

TAS5815 96kHz の拡張処理機能搭載、30W、デジタル入力、ステレオ、閉ループ Class-D オーディオ アンプ

1 特長

- 複数の出力構成をサポート
 - 2.0 モードで $2 \times 30\text{W}$ (6Ω , 21V , $\text{THD+N}=1\%$)
 - モノラル モードで 58W (3Ω , 21V , $\text{THD+N}=1\%$)
- 優れたオーディオ性能:
 - $\text{THD+N} \leq 0.03\%$ (1W , 1kHz , $\text{PVDD} = 12\text{V}$)
 - $\text{SNR} \geq 110\text{dB}$ (A-weighted), $\text{ICN} \leq 45\mu\text{VRMS}$
- 効率的な Class-D 動作:
 - 90% を超える電力効率、 $120\text{m}\Omega$ の $\text{R}_{\text{DS(on)}}$
- 柔軟な電源構成
 - $\text{PVDD}: 4.5\text{V} \sim 26.4\text{V}$
 - DVDD および $\text{I/O}: 1.8\text{V}$ または 3.3V
- 柔軟なオーディオ I/O:
 - 32 , 44.1 , 48 , 88.2 , 96kHz のサンプル レートをサポート
 - I^2S , LJ , RJ , TDM
 - SDOUT によるオーディオ モニタ、サブチャネル、エコー キャンセル
 - 3 線式のデジタル オーディオ インターフェイスをサポート (MCLK 不要)
 - ステレオのブリッジ結合またはモノラルの並列ブリッジ結合の負荷をサポート (BTL および PBTL)
 - 8 ステップの Class-H DC/DC 制御をサポート。
- 高度なオーディオ処理:
 - サンプル レート コンバータ
 - 96kHz プロセッサ サンプリング
 - DC ブロッキング、 $2 \times 15 \text{ BQ}$, DPEQ , THD マネージャ
 - 2 バンドの 4 次 $\text{DRC} + \text{AGL}$
 - 過熱フォールドバック
 - 8 つの Class-H DC/DC 制御ステップは、 48k のサンプル レートにおいて、 BTL モードで 2.5ms 、 PBTL モードで 5ms のルック アヘッド バッファを備えています。
- 優れた自己保護機能を内蔵:
 - 過電流エラー (OCE)
 - 過熱警告 (OTW)
 - 過熱エラー (OTE)
 - 低電圧または過電圧誤動作防止 (UVLO/OVLO)
- システム統合が簡単
 - I^2C ソフトウェア制御
 - ソリューション サイズの低減
 - 開ループ デバイスと比べて必要なパッシブ部品数が減少
 - 最新の EMI テクノロジーによる超低 EMI

- ほとんどのアプリケーションで大きなインダクタが不要

2 アプリケーション

- サウンドバー、PC オーディオ
- ワイヤレス、Bluetooth スピーカー
- DTV、HDTV、UHD、および汎用モニタ

3 説明

TAS5815 は、高効率のデジタル入力 Class-D オーディオ アンプで、最大 96kHz 対応アーキテクチャのオーディオ プロセッサ、出力電力に基づく適応変調方式、低 $\text{R}_{\text{DS(on)}} = 120\text{m}\Omega$ を内蔵しています。また、 DPEQ プロセスもサポートしており、簡単にチューニングできます。

DPEQ を使用して、 2 つの信号パス (Low レベルと High レベル) 経由でオーディオ信号をミキシングします。これら 2 つのパスは、別々のイコライゼーション プロパティで使用されます。 3 番目のパスは、受信オーディオを監視し、これら 2 つの 部品間の スレッショルドとミキシング特性を決定します。したがって、 2 つの High レベルと Low レベルのチャンネル間のミキシングは動的性質であり、受信オーディオに依存します。

高性能の開ループ アーキテクチャと広いスイッチング周波数範囲により、ほとんどのアプリケーションで受動部品を減らしインダクタのサイズを最小化することで、ソリューションのサイズを縮小できます。TAS5815 にはオーディオ プロセッサが内蔵されており、アーキテクチャで最高 96kHz に対応し、高度なプロセス フローをサポートしています。デバイスには、Class-H と呼ばれる独自のアルゴリズムが内蔵されています。Class-H アルゴリズムは、予測されるオーディオ電力の需要を検出し、フィードバック ピン (FB) により、前段の DC-DC コンバータに PWM 制御信号を出力します。この機能を使用して、システム レベルの効率を高め、総消費電力を削減します。TAS5815 は、オーディオ信号を先読みしてオーディオ クリッピング歪みを防止するために最大 2.5ms の遅延バッファをサポートしています。

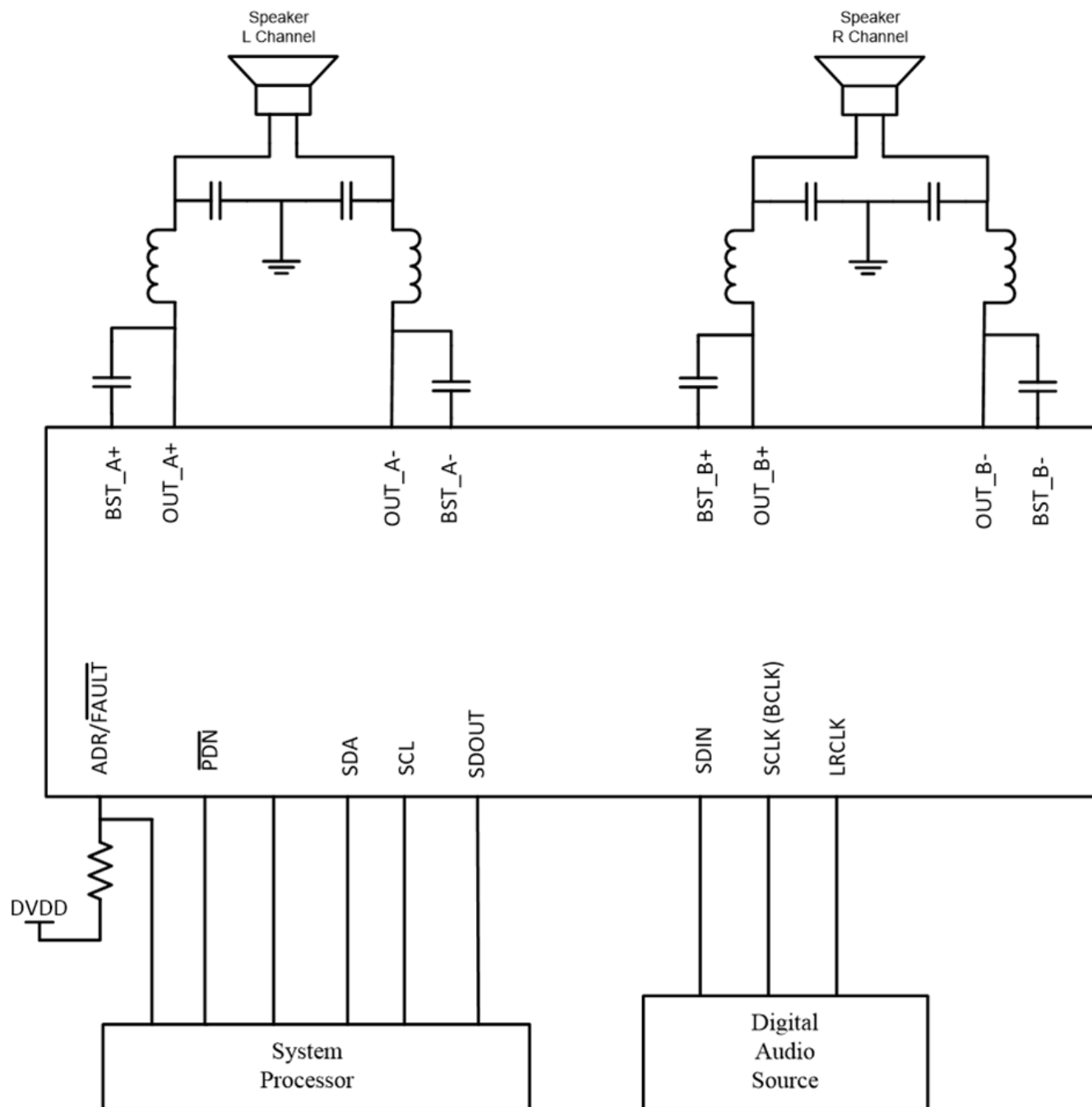
また、このデバイスは、スピーカ負荷の開放 / 短絡検出と、レジスタ レポートによるレポート検出結果をサポートしています。



製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ (公称)
TAS5815PWP	TSSOP (28) PWP	9.70mm × 6.40mm	9.70mm × 4.40mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



Copyright © 2018, Texas Instruments Incorporated

目次

1 特長	1	7 レジスタ マップ	50
2 アプリケーション	1	7.1 ポート コントロール レジスタ.....	51
3 説明	1	8 アプリケーションと実装	97
4 ピン構成および機能	4	8.1 使用上の注意.....	97
5 仕様	6	8.2 代表的なアプリケーション.....	99
5.1 絶対最大定格.....	6	8.3 電源に関する推奨事項.....	105
5.2 ESD 定格.....	6	8.4 レイアウト.....	107
5.3 推奨動作条件.....	6	9 デバイスおよびドキュメントのサポート	110
5.4 熱に関する情報.....	6	9.1 デバイス サポート.....	110
5.5 電気的特性.....	7	9.2 サポート・リソース.....	110
5.6 タイミング要件.....	10	9.3 商標.....	110
5.7 代表的特性.....	11	9.4 静電気放電に関する注意事項.....	111
6 詳細説明	32	9.5 用語集.....	111
6.1 概要.....	32	10 改訂履歴	111
6.2 機能ブロック図.....	32	11 メカニカルおよびパッケージ情報	112
6.3 機能説明.....	33	11.1 付録: パッケージ オプション.....	113
6.4 デバイスの機能モード.....	38	11.2 テープおよびリール情報.....	114
6.5 プログラミングと制御.....	43		

デバイス比較表

部品番号	推奨 PVDD 範囲	R _{DS(ON)} オプション	パッケージ	Class-H アルゴリズムを内蔵
TAS5815	4.5V ~ 26.4V	120mΩ	TSSOP28(PWP)	有
TAS5802	4.5V ~ 20V	120mΩ	TSSOP28(PWP)	無
TAS5827	4.5V ~ 26.4V	70mΩ	QFN32(RHB)	有
TAS5825P	4.5V ~ 26.4V	90mΩ	QFN32(RHB)	有
TAS5828M	4.5V ~ 26.4V	90mΩ	TSSOP32(DAD)	有
TAS5822M	4.5V ~ 26.4V	90mΩ	HTSSOP38(DCP)	無
TAS5806M	4.5V ~ 26.4V	180mΩ	TSSOP38(DCP)	無
TAS5805M	4.5V ~ 26.4V	180mΩ	TSSOP28(PWP)	無

4 ピン構成および機能

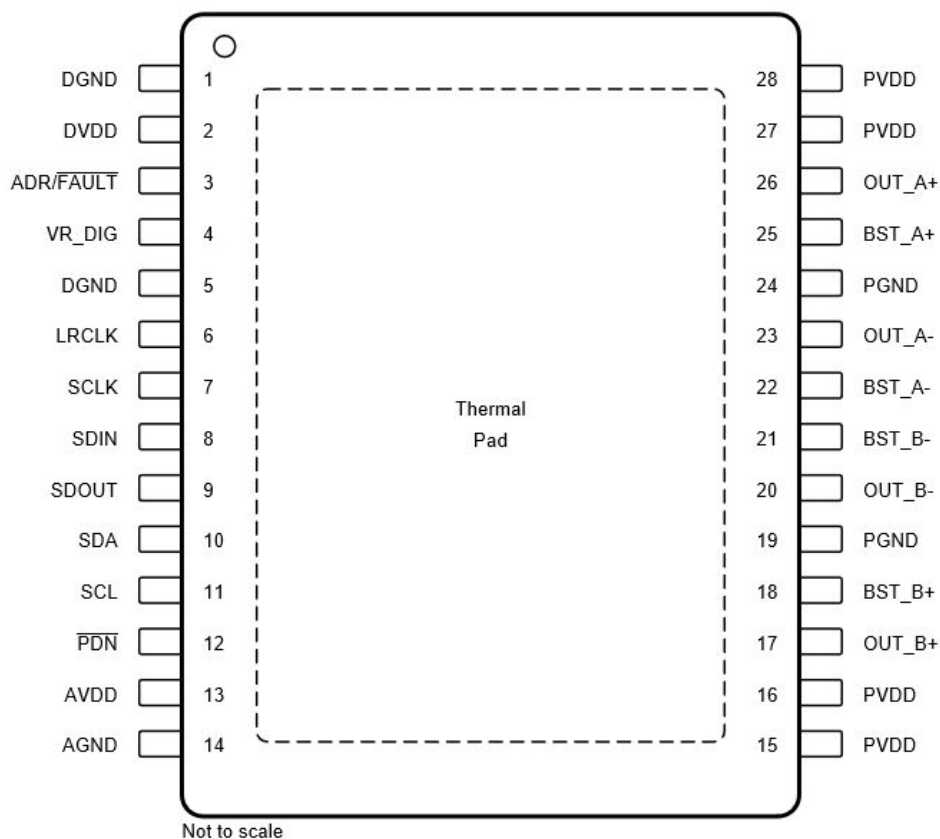


図 4-1. PWP (TSSOP) パッケージ、28 ピン パッドダウン、上面図

表 4-1. TSSOP28 パッケージのピン機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	DGND	P	デジタル グランド
2	DVDD	P	3.3V/1.8V デジタル電源

表 4-1. TSSOP28 パッケージのピン機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
3	ADR/FAULT	DI/O	抵抗値 (プル アップ / プル ダウンと DVDD/GND の間) の表により、デバイスの I2C アドレスが決定されます。 このピンは、電源投入後、パワー アップ ビット後にレジスタ ビットに 1 を書き込むことによりプログラムできます。このモードでは、ADR/ FAULT は FAULT として再定義されます。
4	VR_DIG	P	内部で安定化された 1.5V デジタル電源電圧。このピンを外部デバイスの駆動に使用しないでください
5	DGND	P	デジタル グランド
6	LRCLK	DI	入力シリアル オーディオ データ左 / 右クロック (サンプル レート クロック)
7	SCLK	DI	シリアル オーディオ データ クロック (シフト クロック)。SCLK は、シリアル オーディオ ポートの入力データ ビット クロックです。
8	SDIN	DI	シリアル オーディオ データ入力。SDIN は、3 つのディスクリート (ステレオ) データ フォーマットをサポートしています
9	SDOUT	DO	シリアル オーディオ データ出力、ソース データは Pre-DSP または Post-DSP として選択できます。
10	SDA	DI/O	I2C シリアル制御データ インターフェイス入出力
11	SCL	DI	I2C シリアル制御クロック入力
12	PDN	DI	パワーダウン、アクティブ low。PDN は、アンプをシャットダウン状態にし、すべての内蔵レギュレータをオフにします。
13	AVDD	P	内部的に安定化された 5V アナログ電源電圧。このピンを外部デバイスの駆動に使用しないでください。
14	AGND	G	アナログ グランド
15	PVDD	P	PVDD 電圧入力
16	PVDD	P	PVDD 電圧入力
17	OUT_B+	PO	差動スピーカ アンプ出力 B の正側ピン
18	BST_B+	P	OUT_B+ ブートストラップ コンデンサの接続ポイント。これを使用して、OUT_B+ のハイサイド ゲート駆動用の電源を生成します
19	PGND	G	電源デバイス回路用のグランド リファレンス。このピンはシステム グランドに接続します
20	OUT_B-	なし	差動スピーカ アンプ出力 B- の負側ピン
21	BST_B-	P	OUT_B- ブートストラップ コンデンサの接続ポイント。これを使用して、OUT_B- のハイサイド ゲート駆動用の電源を生成します
22	BST_A-	P	OUT_A- ブートストラップ コンデンサの接続ポイント。これを使って、OUT_A- のハイサイド ゲート駆動用の電源を作成します
23	OUT_A-	なし	差動スピーカ アンプ出力 A- の負側ピン
24	PGND	G	電源デバイス回路用のグランド リファレンス。このピンはシステム グランドに接続します
25	BST_A +	P	OUT_A+ ブートストラップ コンデンサの接続ポイント。これを使って、OUT_A+ のハイサイド ゲート駆動用の電源を作成します
26	OUT_A+	PO	差動スピーカ アンプ出力 A+ の正側ピン
27	PVDD	P	PVDD 電圧入力
28	PVDD	P	PVDD 電圧入力
	PowerPAD™	G	最高のシステム性能を得るため、グランド接続されたヒートシンクに接続してください。

(1) AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DI/O = デジタル双方向 (入力および出力)、PO = 正出力、NO = 負出力、P = 電源、G = グランド (0V)

5 仕様

5.1 絶対最大定格

自由気流での室温 25°C (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
DVDD	低電圧デジタル電源	-0.3	3.9	V
PVDD	PVDD 電源	-0.3	30	V
$V_{I(DigIn)}$	DVDD 基準のデジタル入力 ⁽²⁾	-0.5	$V_{DVDD} + 0.5$	V
$V_{I(SPK_OUTxx)}$	スピーカ出力ピンの電圧	-0.3	32	V
T_A	動作時周囲温度:	-40	85	°C
T_J	動作時接合部温度	-40	160	°C
T_{stg}	保存温度	-40	125	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) DVDD 基準のデジタル ピンには以下が含まれます ADR/FAULT、LRCLK、SCLK、SDIN、SDOUT、SCL、SDA、 $\overline{PDN}$

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	± 500

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{(POWER)}$	電源入力	DVDD	1.62	3.63	V
		PVDD	4.5	26.4	V
$V_{IH(DigIn)}$	DVDD 参照デジタル入力の入力ロジック high	$0.9 \times V_{DVDD}$		DVDD	V
$V_{IL(DigIn)}$	DVDD 参照デジタル入力の入力ロジック low			$0.1 \times V_{DVDD}$	V
L_{OUT}	短絡状態での LC フィルタの最小インダクタ値	1			μH

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TAS5815M TSSOP28 (PWP) 28 ピン	単位
		JEDEC 規格 4-LAYER PCB	
$R_{\theta JA}$	接合部から周囲への熱抵抗	27.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	19.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.9	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での室温 25°C、1SPW モード、LC フィルタ = 4.7uH + 0.68μF、Fsw = 768kHz、Class-D 帯域幅 = 175kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル I/O						
IIIH	DVDD 参照デジタル入力ピンの 入力ロジック high 電流レベル	$V_{IN(DigIn)} = V_{DVDD}$			10	μA
IIL	DVDD 参照デジタル入力ピンの 入力ロジック low 電流レベル	$V_{IN(DigIn)} = 0\text{ V}$			-10	μA
$V_{IH(DigIn)}$	DVDD 参照デジタル入力の 入力ロジック high しきい値		70%			V_{DVDD}
$V_{IL(DigIn)}$	DVDD 参照デジタル 入力の入力ロジック low しきい値				30%	V_{DVDD}
$V_{OH(DigIn)}$	ロジック high 出力電圧 レベル	$I_{OH} = 4\text{ mA}$	80%			V_{DVDD}
$V_{OL(DigIn)}$	出力ロジック low 電圧レベル	$I_{OH} = -4\text{ mA}$			20%	V_{DVDD}
I²C 制御ポート						
$C_L(I2C)$	各 I ² C ラインで許容される負荷 容量				400	pF
f _{SCL(fast)}	SCL 周波数をサポート	ウェイトなし、高速モード			400	kHz
f _{SCL(slow)}	SCL 周波数をサポート	ウェイトなし、スロー モード			100	kHz
シリアル オーディオ ポート						
t _{DLY}	必要な LRCLK/SCLK から FS までの 立ち上がりエッジ遅延		5			ns
D _{SCLK}	許容される SCLK デューティ サ イクル		40%		60%	
f _S	サポートしている入力サンプルレ ート		32		96	kHz
f _{SCLK}	サポートしている SCLK 周波数		32		64	f _S
f _{SCLK}	SCLK 周波数				24.576	MHz
アンプの動作モードと DC パラメータです						
t _{off}	ターンオフ時間	ボリウム ランプを除く			10	ms
A _{V(SPK_AMP)}	プログラマブル ゲイン	値は、0dB 入力 (1FS) で測定された低い PVDD による クリッピングを無視した「ピーク電圧」を表します			29.4	dBV
ΔA _{V(SPK_AMP)}	アンプのゲイン誤差	ゲイン = 26.4dBV		0.5		dB
f _{SPK_AMP}	スピーカ アンプのスイッチング 周波数			384		kHz
f _{SPK_AMP}	スピーカ アンプのスイッチング 周波数			768		kHz
R _{DS(on)}	個別の出力 MOSFET のドレイン-ソース間オ ン抵抗	FET + メタライゼーション。V _{PVDD} = 24V、 I _(OUT) = 500mA、 T _J = 25°C		120		mΩ
PROTECTION						
OCE _{THRES}	過電流エラー スレッシュホルド	OUTxx 過電流エラー スレッシュホルド	6	7		A
UVE _{THRES(PVDD)}	PVDD 低電圧エラー スレッシュホルド条件		3.7	4	4.2	V
OVE _{THRES(PVDD)}	PVDD 過電圧誤差 スレッシュホルド		27	28.1	29.2	V
DCE _{THRES}	出力 DC 誤差保護 スレッシュホルド	Class-D アンプの出力 DC 電圧クロス スピーカ負荷により、出力 DC フォルト保護をトリガ		1.9		V

5.5 電気的特性 (続き)

自由気流での室温 25°C、1SPW モード、LC フィルタ = 4.7uH + 0.68μF、Fsw = 768kHz、Class-D 帯域幅 = 175kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _{DCDET}	出力 DC 検出時間	Class-D アンプの出力は DCE _{THRES} 以上のみです		570		ms
OTE _{THRES}	過熱エラー スレッシュホールド			160		°C
OTE _{Hysteresis}	過熱エラー ヒステリシス			10		°C
OTW _{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 3 を読み出します		135		°C
OL	解放負荷検出	チャンネル A または チャンネル B、またはその両方の開放 負荷検出	40	70		Ω
SL	短絡負荷検出	チャンネル A または チャンネル B、またはその両方の短絡 負荷検出 (PVDD = 13.5V)		1		Ω
SL	短絡負荷検出	チャンネル A または チャンネル B、またはその両方の短絡 負荷検出 (PVDD = 18V)		2		Ω
SL	短絡負荷検出	チャンネル A または チャンネル B、またはその両方の短絡 負荷検出 (PVDD = 21V)		3		Ω
SL	短絡負荷検出	チャンネル A または チャンネル B、またはその両方の短絡 負荷検出 (PVDD = 24V)		4		Ω
オーディオ PERFORMACNE (ステレオ BTL)						
V _{OS}	アンプのオフセット電圧	入力データがゼロで差動測定、 29.4dBV のアナログ ゲインでプログラマブルな ゲイン構成、V _{PVDD} = 13.5V	-6.5		6.5	mV
P _{O(SPK)}	チャンネルあたりの出力電力	V _{PVDD} = 13.5V, R _{SPK} = 6Ω, f = 1kHz, THD+N = 10%		16		W
		V _{PVDD} = 13.5V, R _{SPK} = 6Ω, f = 1kHz, THD+N = 1%		13		W
		V _{PVDD} = 21V, R _{SPK} = 4Ω, f = 1kHz, THD+N = 10%		50		W
		V _{PVDD} = 21V, R _{SPK} = 4Ω, f = 1kHz, THD+N = 1%		42		W
		V _{PVDD} = 24V, R _{SPK} = 6Ω, f = 1kHz, THD+N = 1%		39		W
P _{O(SPK)}	チャンネルあたりの出力電力	V _{PVDD} = 24V, R _{SPK} = 6Ω, f = 1kHz, THD+N = 10%		48		W
THD+N _{SPK}	全高調波歪みおよび ノイズ (P _O = 1W, f = 1kHz, R _{SPK} = 6Ω)	V _{PVDD} = 18V		0.03		%
		V _{PVDD} = 21V		0.03		%
		V _{PVDD} = 24V		0.03		%
THD+N _{SPK}	全高調波歪みおよび ノイズ (P _O = 1W, f = 1kHz, R _{SPK} = 4Ω)	V _{PVDD} = 21V		0.03		%
ICN _(SPK)	アイドル チャンネル ノイズ (重み付 け、 AES17)	V _{PVDD} = 13.5V, LC フィルタ、負荷 =6Ω		40		μVrms
		V _{PVDD} = 24V, LC フィルタ、負荷 =6Ω		50		μVrms
SNR	信号対雑音比	A-Weighted, 1% THD+N 出力 レベルを基準、V _{PVDD} = 24V		111		dB
		A-Weighted, 1% THD+N 出力 レベルを基準、V _{PVDD} = 13.5V		106		dB
PSRR	電源除去比	注入ノイズ = 1kHz, 1Vrms, V _{PVDD} = 13.5V、 入力オーディオ信号 = デジタル ゼロ		72		dB
X-talk _{SPK}	クロストーク (左から右へ の結合と右から 左への結合の間の最悪のケー ス)	f = 1kHz, Murata のインダクタ (DFEG7030D-4R7) に基づく		100		dB

5.5 電気的特性 (続き)

自由気流での室温 25°C、1SPW モード、LC フィルタ = 4.7uH + 0.68μF、Fsw = 768kHz、Class-D 帯域幅 = 175kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オーディオ性能 (モノラル PBTL)						
V _{OS}	アンプのオフセット電圧	入力データがゼロで差動測定、29.4dBV のアナログ ゲインでプログラマブルなゲイン構成、V _{PVDD} = 18V	-6.5		6.5	mV
P _O (SPK)	出力電力	V _{PVDD} = 24V、R _{SPK} = 3Ω、f = 1kHz、THD+N = 1%		79		W
		V _{PVDD} = 24V、R _{SPK} = 3Ω、f = 1kHz、THD+N = 10%		96		W
		V _{PVDD} = 18V、R _{SPK} = 2Ω、f = 1kHz、THD+N = 1%		58		W
P _O (SPK)	出力電力	V _{PVDD} = 18V、R _{SPK} = 2Ω、f = 1kHz、THD+N = 10%		75		W
THD+N _{SPK}	全高調波歪みおよびノイズ (P _O = 1W、f = 1kHz)	V _{PVDD} = 18V、LC フィルタ、R _{SPK} = 2Ω		0.08		%
		V _{PVDD} = 24V、LC フィルタ、R _{SPK} = 3Ω		0.03		%
SNR	信号対雑音比	A-Weighted、1% THD+N 出力レベルを基準、V _{PVDD} = 24V、R _{SPK} = 4Ω		108		dB
		A-Weighted、1% THD+N 出力レベルを基準、V _{PVDD} = 13.5V、R _{SPK} = 3Ω		106		dB
PSRR	電源除去比	注入ノイズ = 1kHz、1V _{rms} 、V _{PVDD} = 18V、入力オーディオ信号 = デジタル ゼロ		72		dB

5.6 タイミング要件

		最小値	公称値	最大値	単位
シリアル オーディオ ポートのタイミング - ターゲット モード					
f_{SCLK}	SCLK 周波数	1.024			MHz
t_{SCLK}	SCLK 周期	40			ns
t_{SCLKL}	SCLK パルス幅、low	16			ns
t_{SCLKH}	SCLK パルス幅、high	16			ns
t_{SL}	SCLK の立ち上がりから LRCLK/FS エッジまで	8			ns
t_{LS}	LRCLK/FS エッジから SCLK 立ち上がりエッジまで	8			ns
t_{SU}	データ セットアップ時間、SCLK 立ち上がりエッジ前	8			ns
t_{DH}	データ ホールド時間、SCLK 立ち上がりエッジ後	8			ns
t_{DFS}	SCLK 立ち下がりエッジからのデータ遅延時間			15	ns
I²C バス タイミング - スタンダード					
f_{SCL}	SCL クロック周波数			100	kHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			μs
t_{LOW}	SCL クロックの Low 期間	4.7			μs
t_{HI}	SCL クロックの High 期間	4			μs
$t_{\text{RS-SU}}$	(反復) 開始条件のセットアップ時間	4.7			μs
$t_{\text{S-HD}}$	(反復) 開始条件のホールド時間	4			μs
$t_{\text{D-SU}}$	データ セットアップ時間	250			ns
$t_{\text{D-HD}}$	データ ホールド時間	0		3450	ns
$t_{\text{SCL-R}}$	SCL 信号の立ち上がり時間	$20 + 0.1C_B$		1000	ns
$t_{\text{SCL-R1}}$	START 条件の繰り返し、およびアクリッジ ビット後の SCL 信号の立ち上がり時間	$20 + 0.1C_B$		1000	ns
$t_{\text{SCL-F}}$	SCL 信号の立ち下がり時間	$20 + 0.1C_B$		1000	ns
$t_{\text{SDA-R}}$	SDA 信号の立ち上がり時間	$20 + 0.1C_B$		1000	ns
$t_{\text{SDA-F}}$	SDA 信号の立ち下がり時間	$20 + 0.1C_B$		1000	ns
$t_{\text{P-SU}}$	停止条件のセットアップ時間	4			μs
C_B	各バスラインの容量性負荷			400	pf
I²C バス タイミング - ファスト					
f_{SCL}	SCL クロック周波数			400	kHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			μs
t_{LOW}	SCL クロックの Low 期間	1.3			μs
t_{HI}	SCL クロックの High 期間	600			ns
$t_{\text{RS-SU}}$	(反復) 開始条件のセットアップ時間	600			ns
$t_{\text{RS-HD}}$	(反復) 開始条件のホールド時間	600			ns
$t_{\text{D-SU}}$	データ セットアップ時間	100			ns
$t_{\text{D-HD}}$	データ ホールド時間	0		900	ns
$t_{\text{SCL-R}}$	SCL 信号の立ち上がり時間	$20 + 0.1C_B$		300	ns
$t_{\text{SCL-R1}}$	START 条件の繰り返し、およびアクリッジ ビット後の SCL 信号の立ち上がり時間	$20 + 0.1C_B$		300	ns
$t_{\text{SCL-F}}$	SCL 信号の立ち下がり時間	$20 + 0.1C_B$		300	ns
$t_{\text{SDA-R}}$	SDA 信号の立ち上がり時間	$20 + 0.1C_B$		300	ns
$t_{\text{SDA-F}}$	SDA 信号の立ち下がり時間	$20 + 0.1C_B$		300	ns
$t_{\text{P-SU}}$	停止条件のセットアップ時間	600			ns
t_{SP}	抑制されたスパイクのパルス幅			50	ns
C_B	各バスラインの容量性負荷			400	pf

5.7 代表的特性

5.7.1 BD 変調によるブリッジ接続負荷 (BTL) 構成曲線

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォール フィルタに設定しました。特に記述のない限り、すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、120kHz の Class-D アンプループ帯域幅、10μH/0.68μF 付き LC フィルタに設定して行われます。

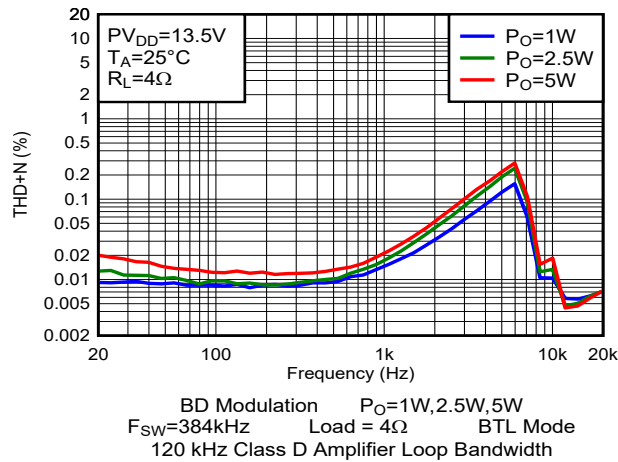


図 5-1. THD+N と周波数との関係

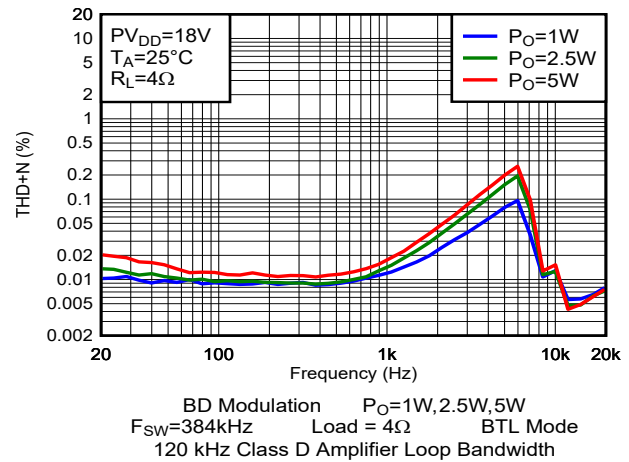


図 5-2. THD+N と周波数との関係

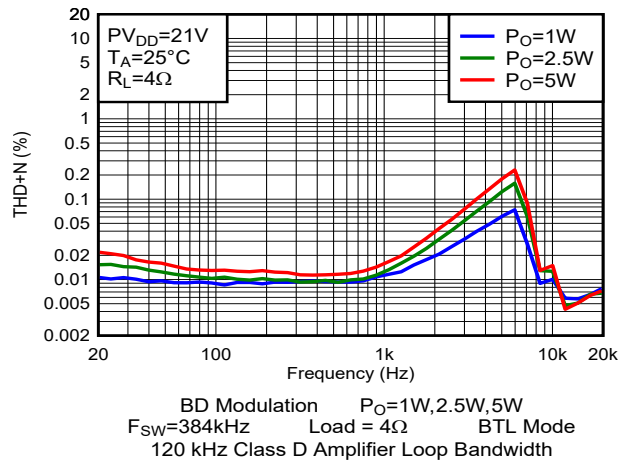


図 5-3. THD+N と周波数との関係

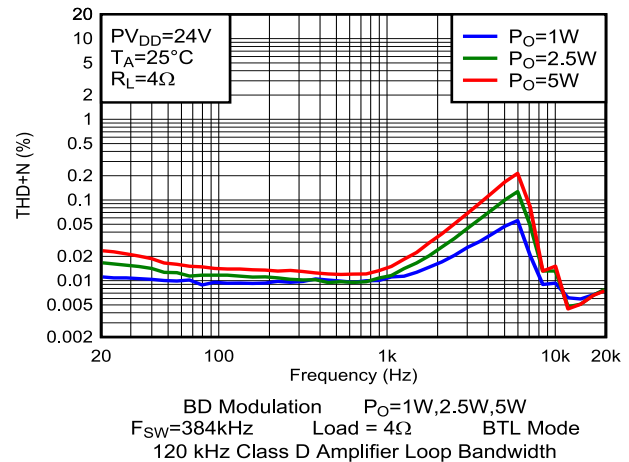
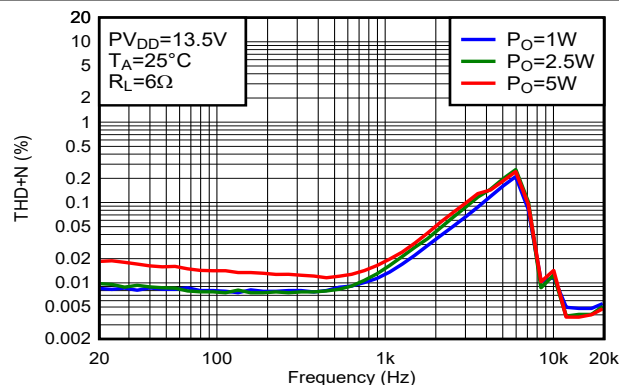
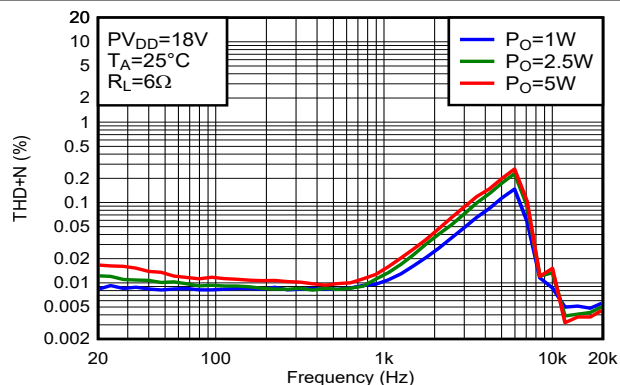


図 5-4. THD+N と周波数との関係



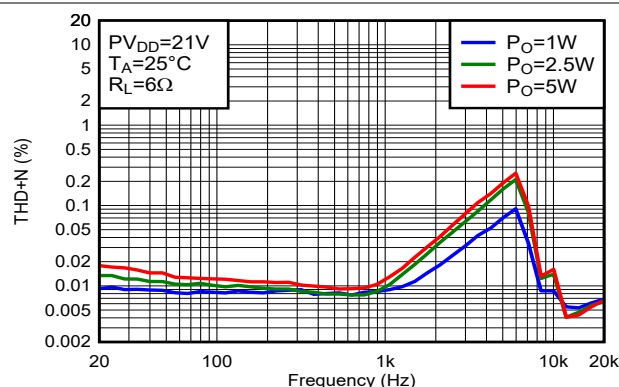
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 6Ω BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-5. THD+N と周波数との関係



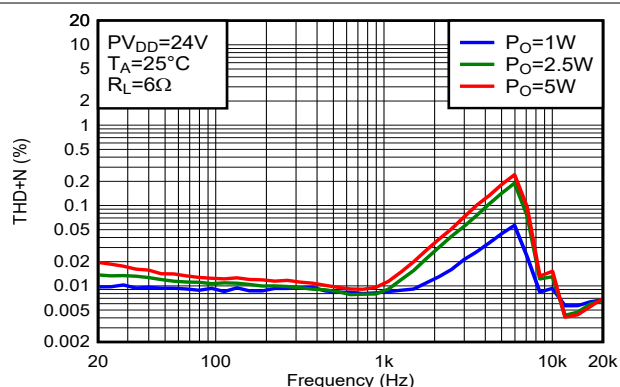
BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 6Ω BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-6. THD+N と周波数との関係



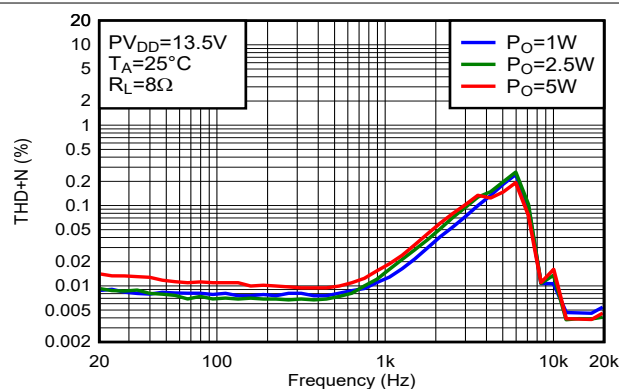
BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 6Ω BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-7. THD+N と周波数との関係



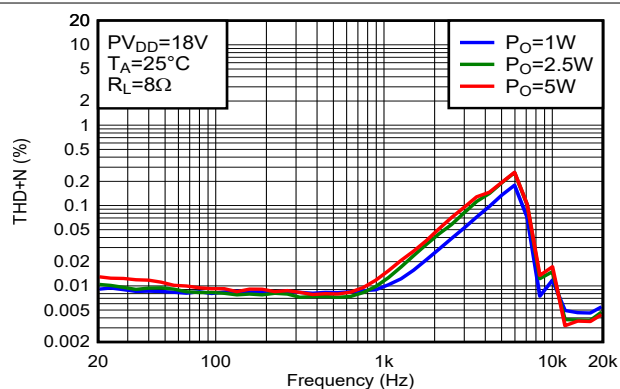
BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 6Ω BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-8. THD+N と周波数との関係



BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 8Ω BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-9. THD+N と周波数との関係



BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 8Ω BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-10. THD+N と周波数との関係

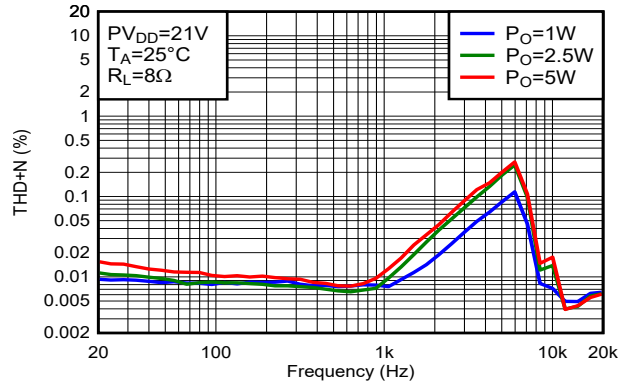


図 5-11. THD+N と周波数との関係

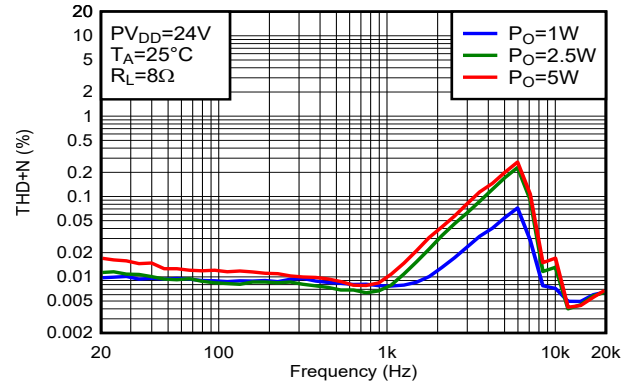


図 5-12. THD+N と周波数との関係

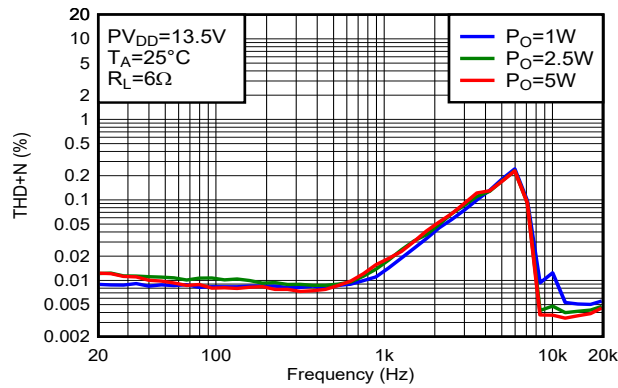


図 5-13. THD+N と周波数との関係

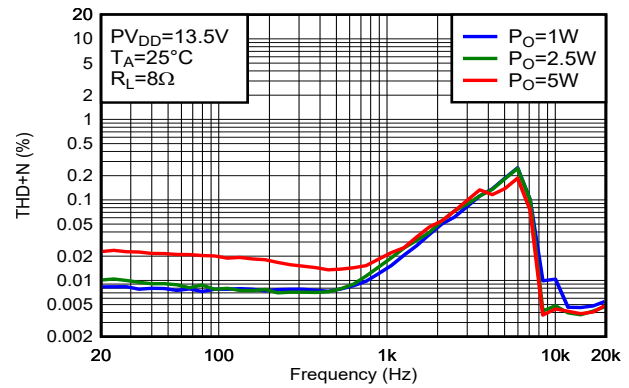


図 5-14. THD+N と周波数との関係

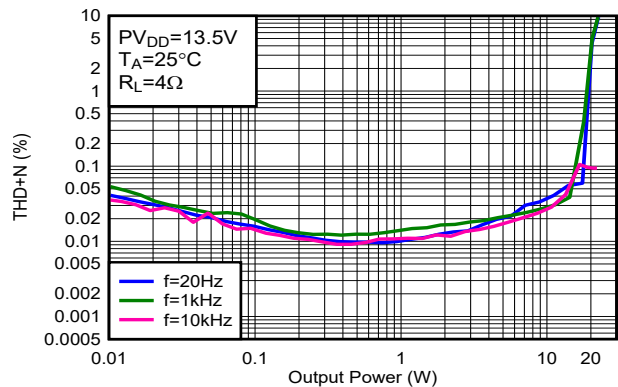


図 5-15. THD+N と出力電力との関係

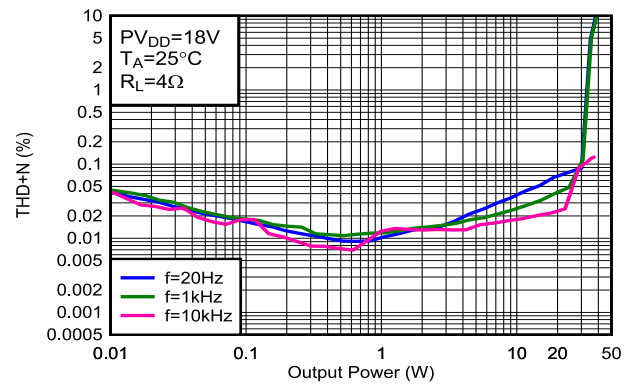


図 5-16. THD+N と出力電力との関係

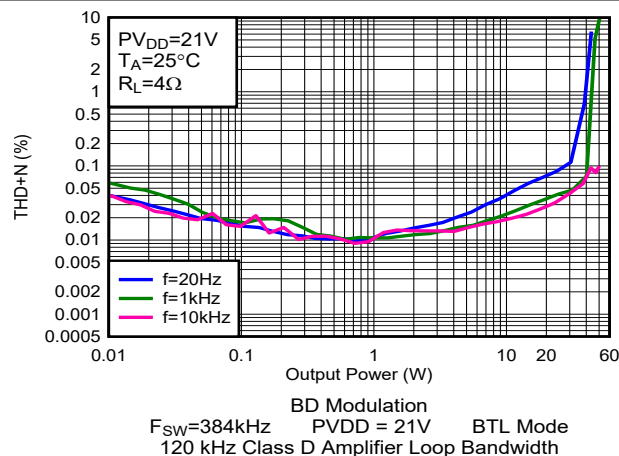


図 5-17. THD+N と出力電力との関係

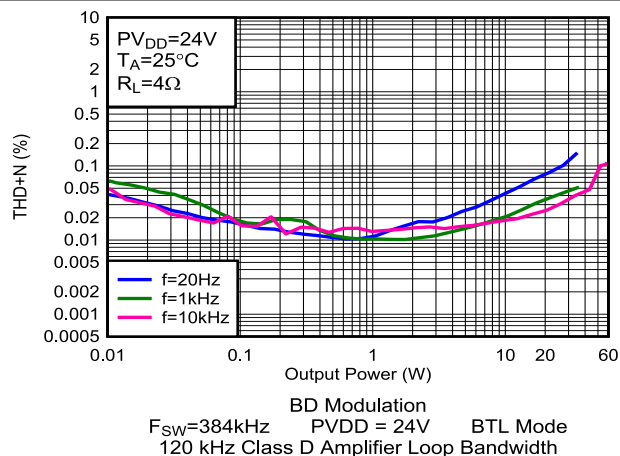


図 5-18. THD+N と出力電力との関係

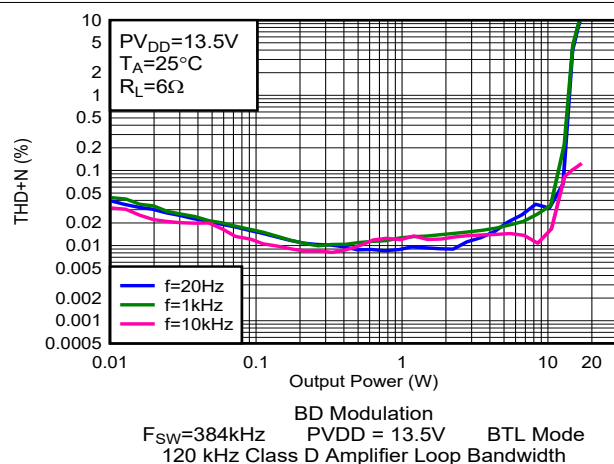


図 5-19. THD+N と出力電力との関係

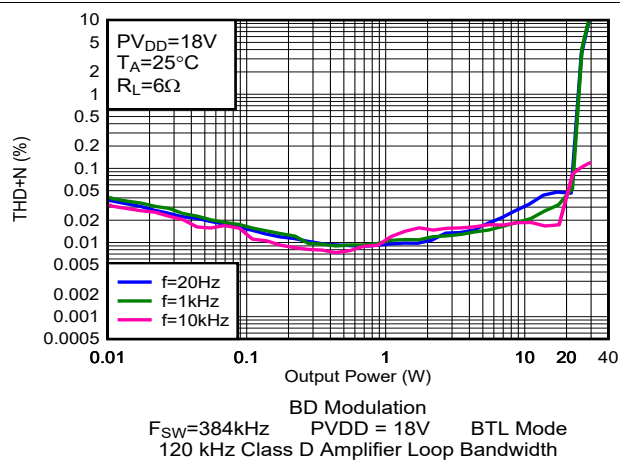


図 5-20. THD+N と出力電力との関係

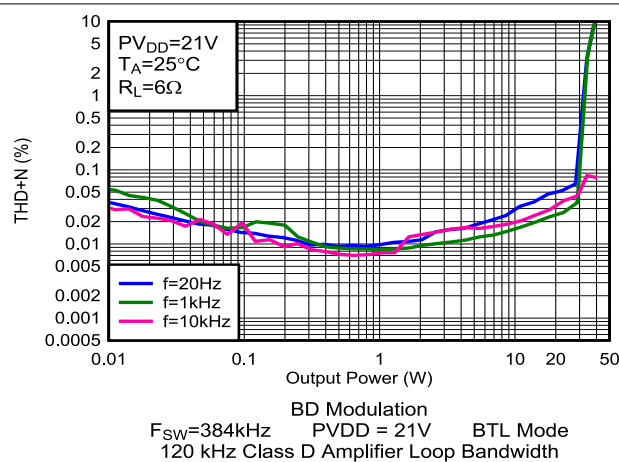


図 5-21. THD+N と出力電力との関係

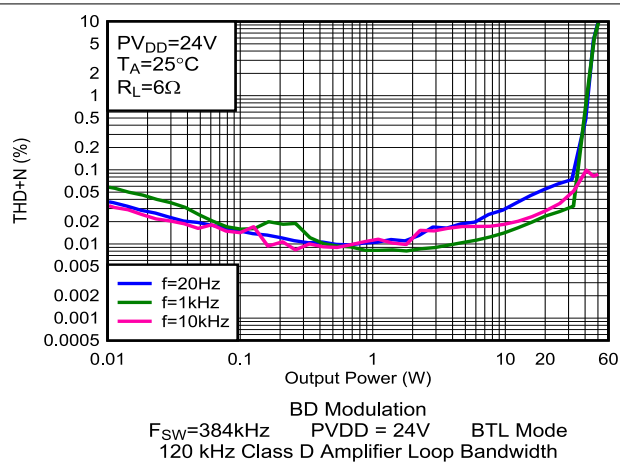


図 5-22. THD+N と出力電力との関係

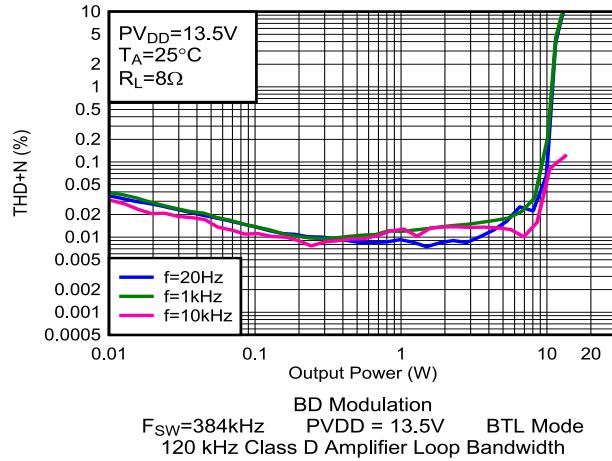


図 5-23. THD+N と出力電力との関係

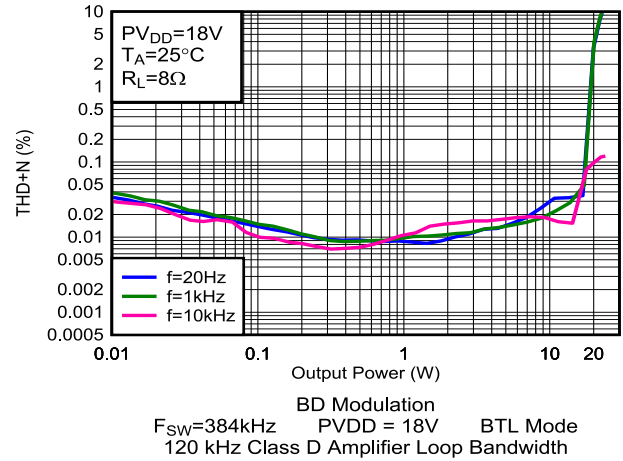


図 5-24. THD+N と出力電力との関係

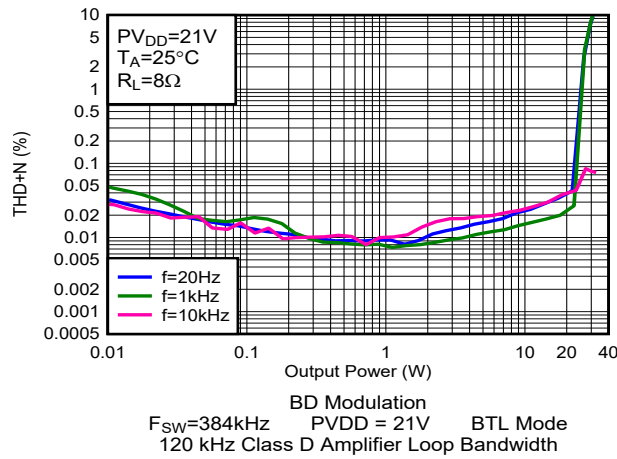


図 5-25. THD+N と出力電力との関係

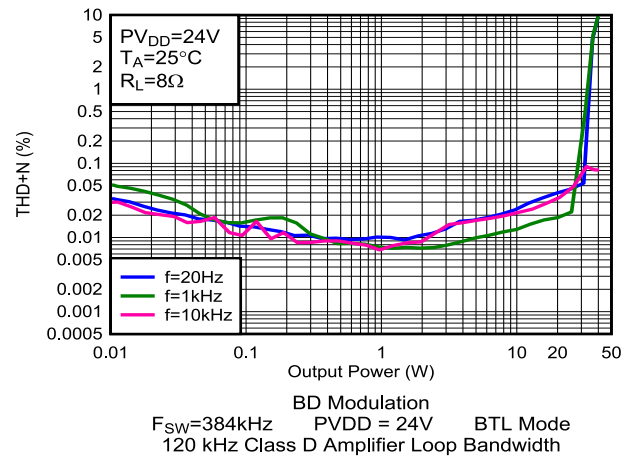


図 5-26. THD+N と出力電力との関係

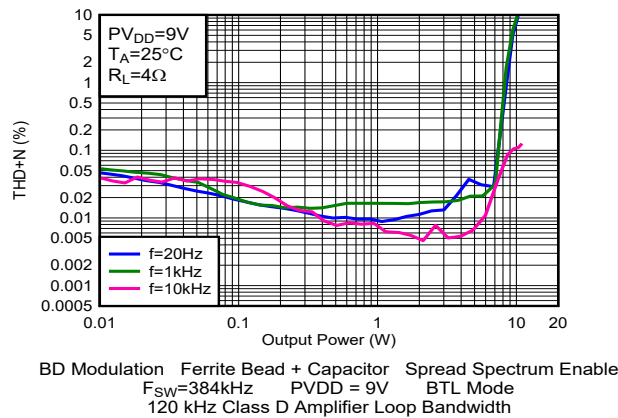


図 5-27. THD+N と出力電力との関係

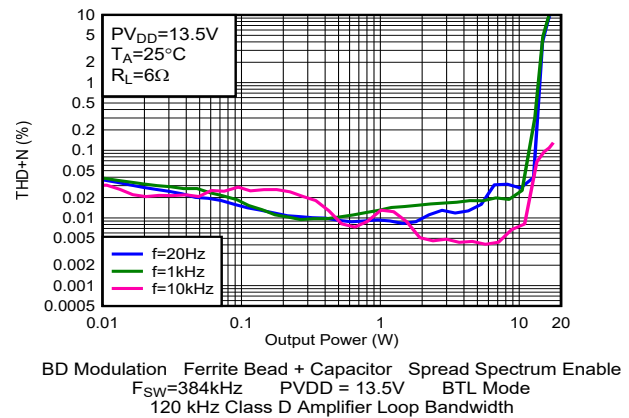


図 5-28. THD+N と出力電力との関係

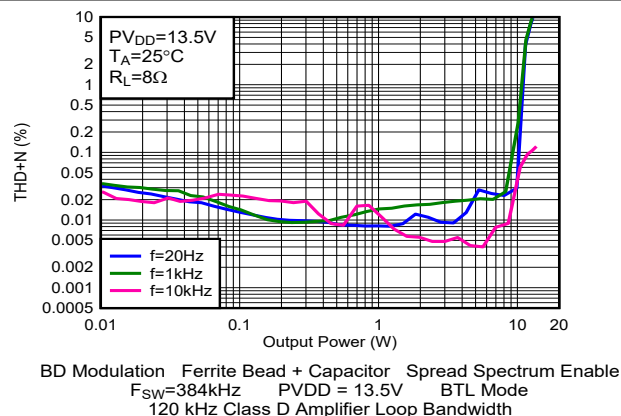


図 5-29. THD+N と出力電力との関係

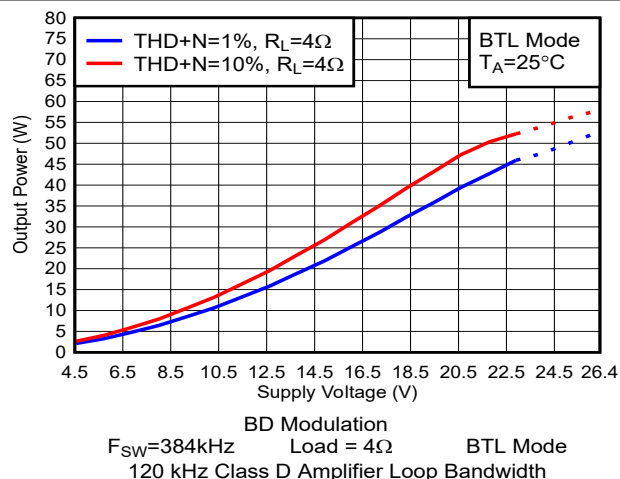


図 5-30. 出力電力と電源電圧との関係

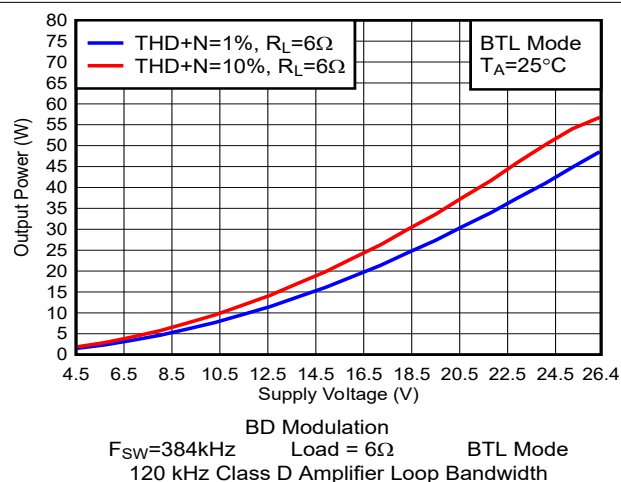


図 5-31. 出力電力と電源電圧との関係

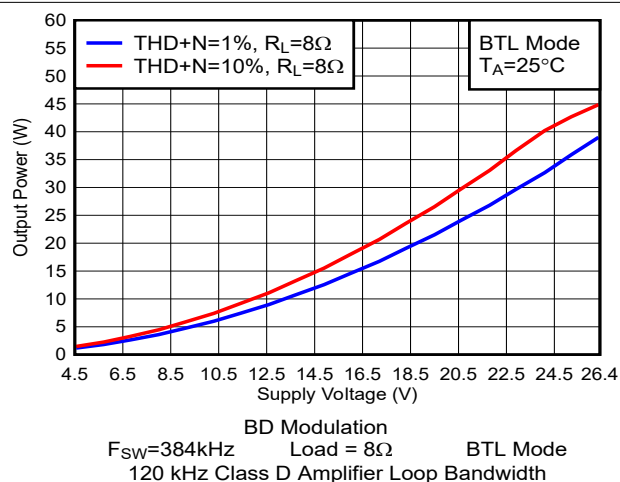


図 5-32. 出力電力と電源電圧との関係

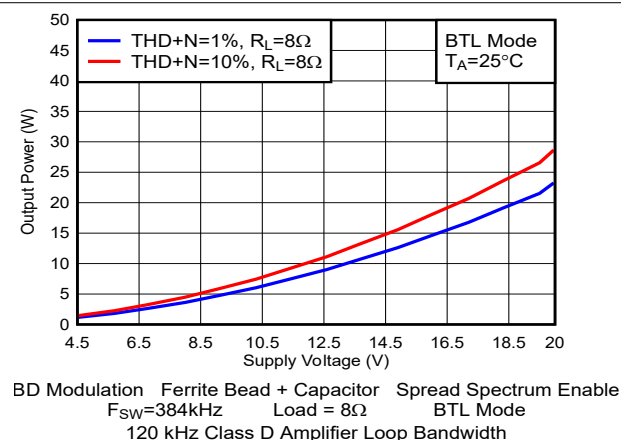


図 5-33. 出力電力と電源電圧との関係

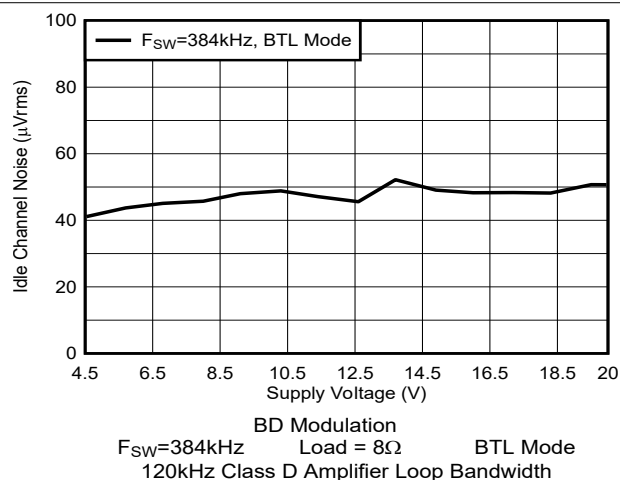


図 5-34. アイドル チャネル ノイズと電源電圧との関係

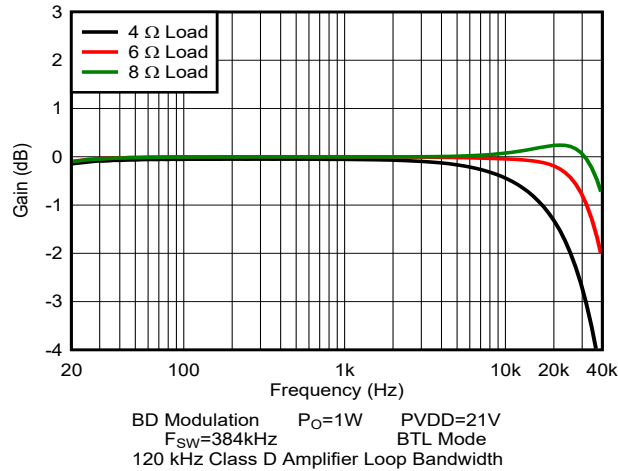


図 5-35. ゲインと周波数との関係

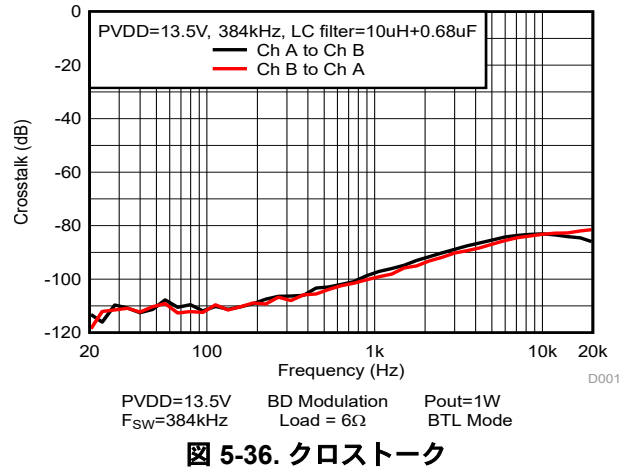


図 5-36. クロストーク

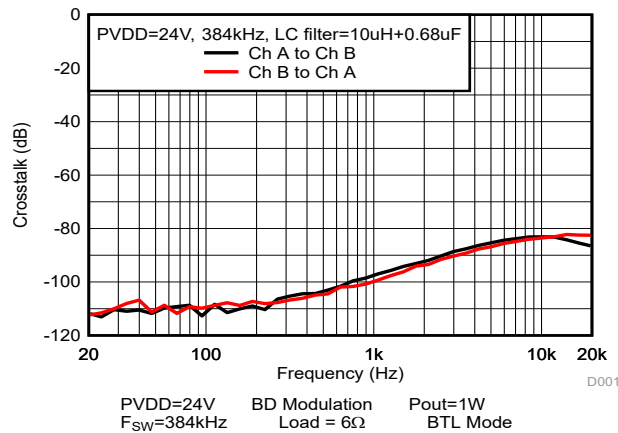


図 5-37. クロストーク

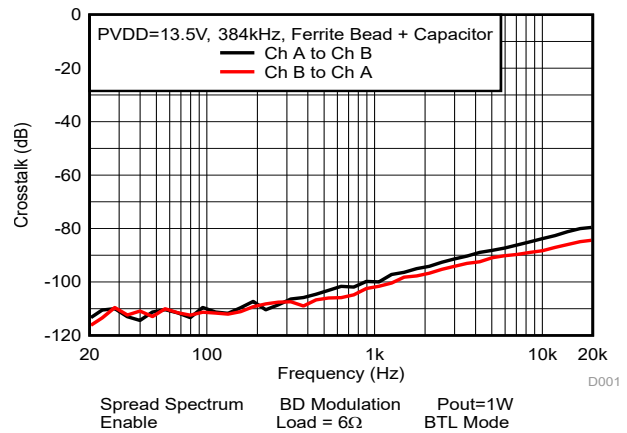


図 5-38. クロストーク

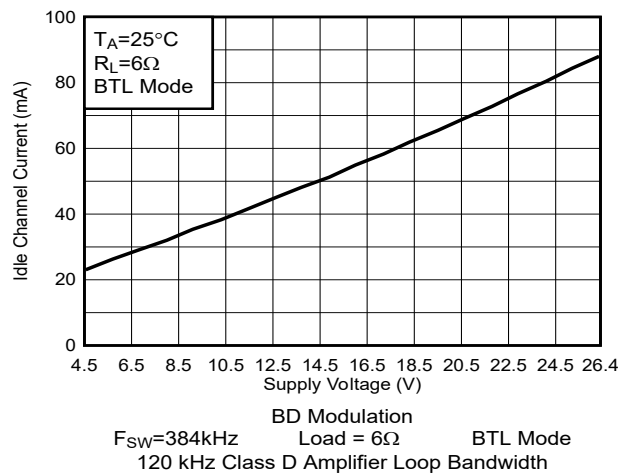


図 5-39. PVDD のアイドル電流と PVDD の電圧との関係

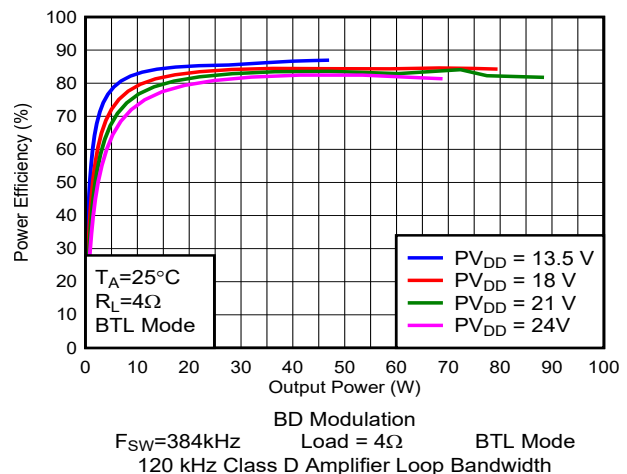


図 5-40. 効率と出力電力との関係

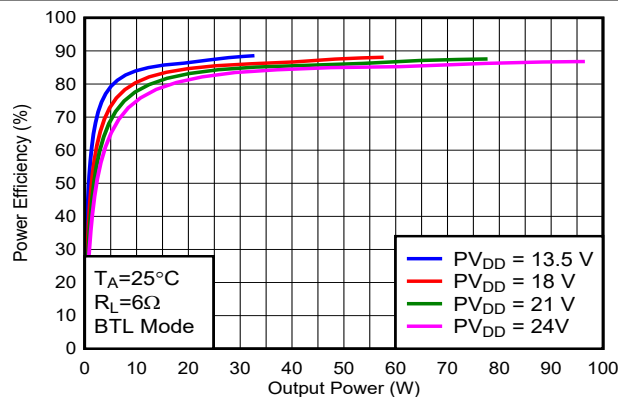


図 5-41. 効率と出力電力との関係

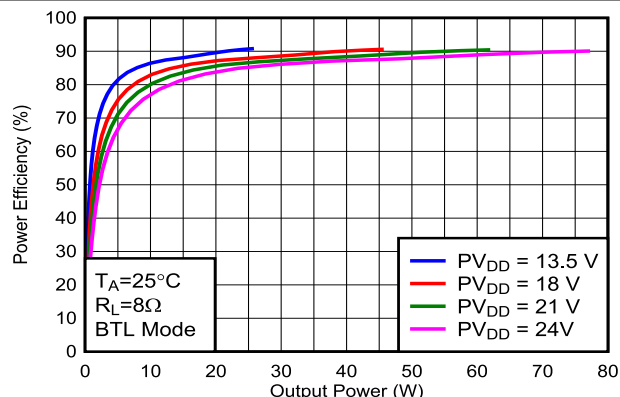


図 5-42. 効率と出力電力との関係

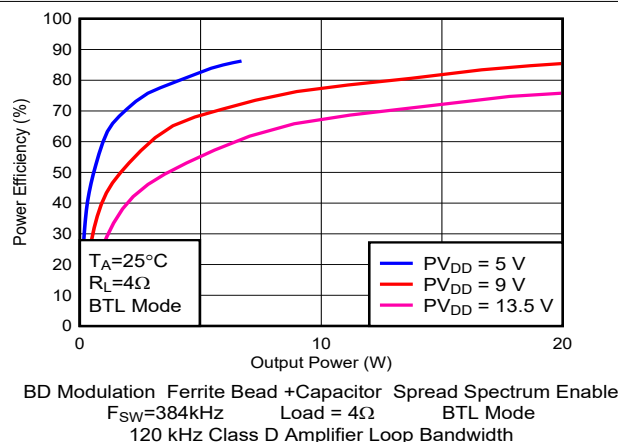


図 5-43. 効率と出力電力との関係 (FB あり)

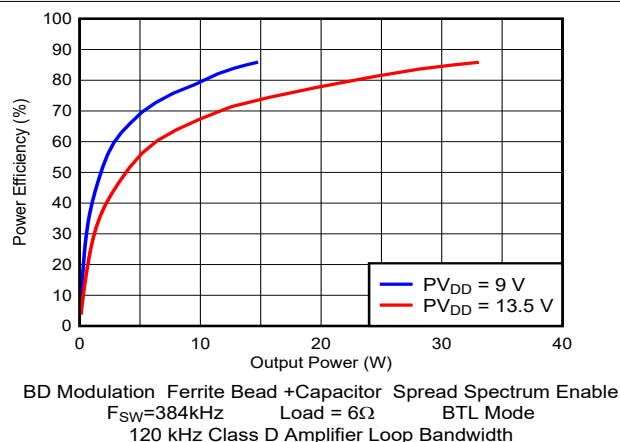


図 5-44. 効率と出力電力との関係

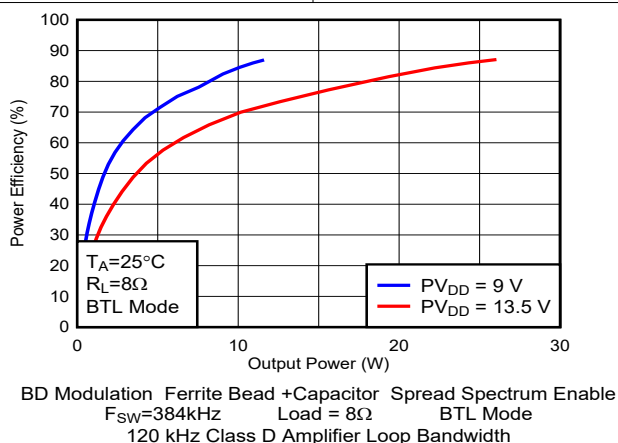


図 5-45. 効率と出力電力との関係

5.7.2 1SPW 変調によるブリッジ接続負荷 (BTL) 構成曲線

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォール フィルタに設定しました。特に記述のない限り、すべての測定はオーディオ周波

数を 1kHz、デバイスの PWM 周波数を 384kHz、175kHz の Class-D ループ帯域幅に設定した状態で行われます。ただし、LC フィルタの使用場所は 10 μ H/0.68 μ F でした。

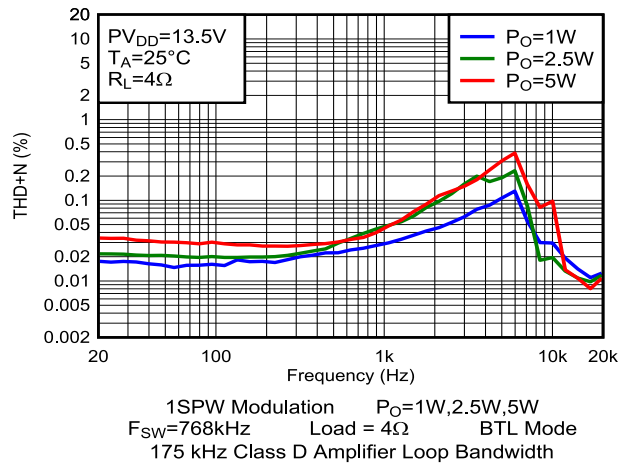


図 5-46. THD+N と周波数との関係

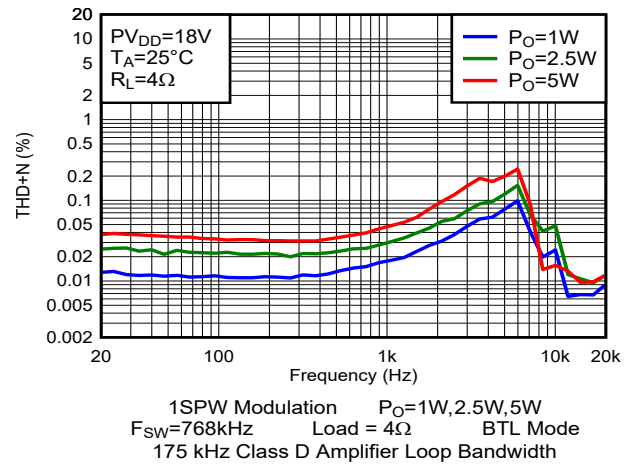


図 5-47. THD+N と周波数との関係

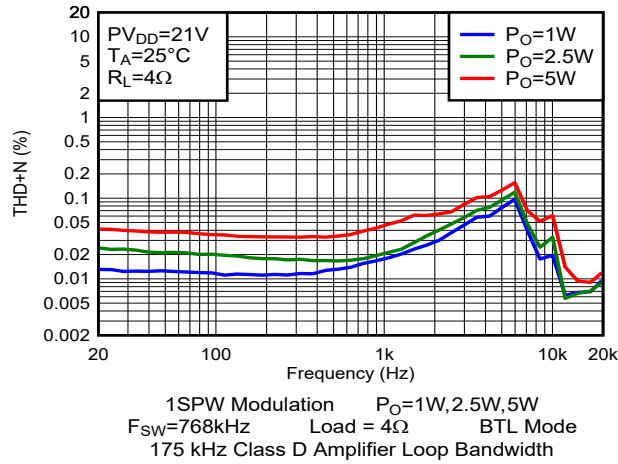


図 5-48. THD+N と周波数との関係

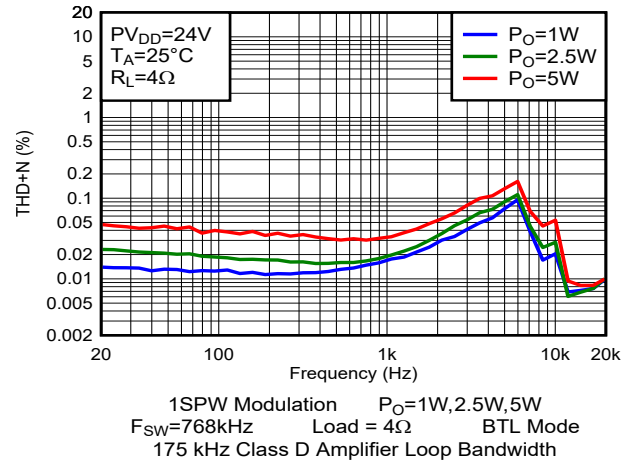


図 5-49. THD+N と周波数との関係

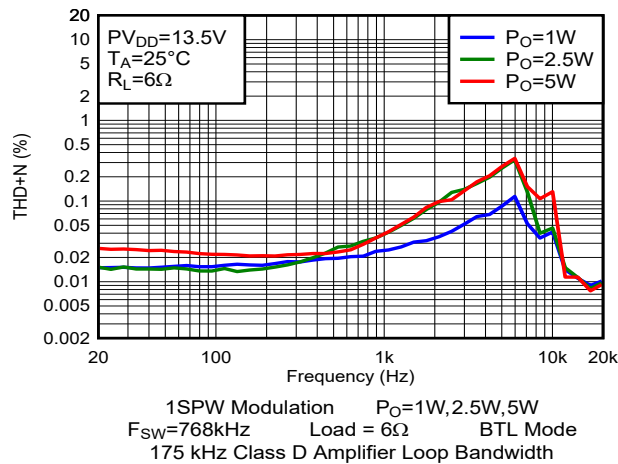


図 5-50. THD+N と周波数との関係

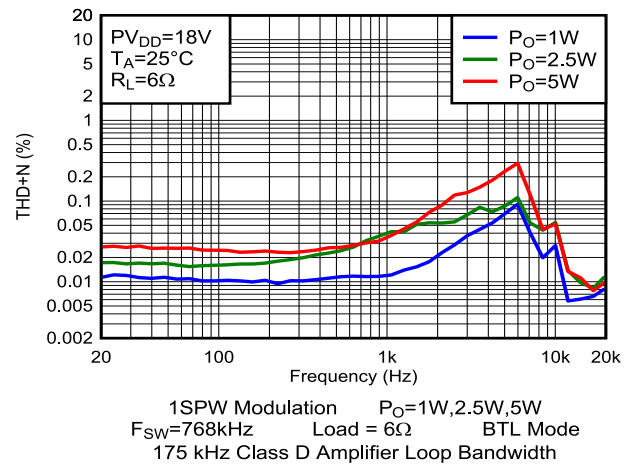
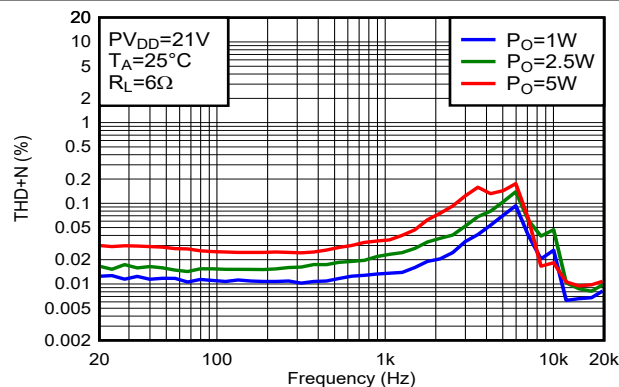
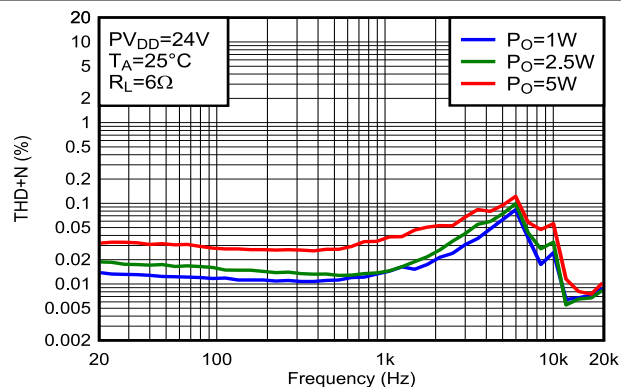


図 5-51. THD+N と周波数との関係



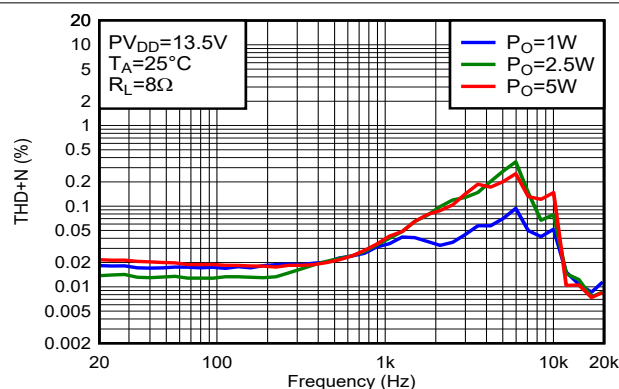
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 6Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-52. THD+N と周波数との関係



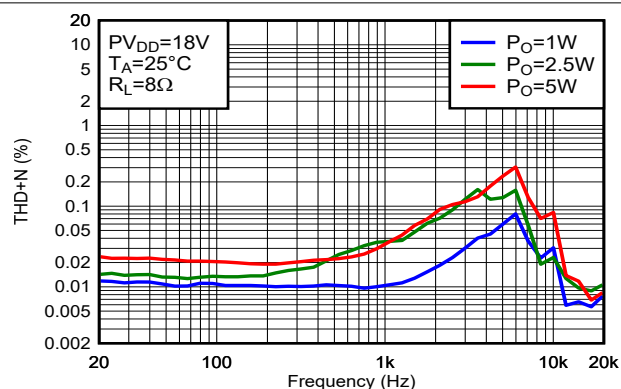
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 6Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-53. THD+N と周波数との関係



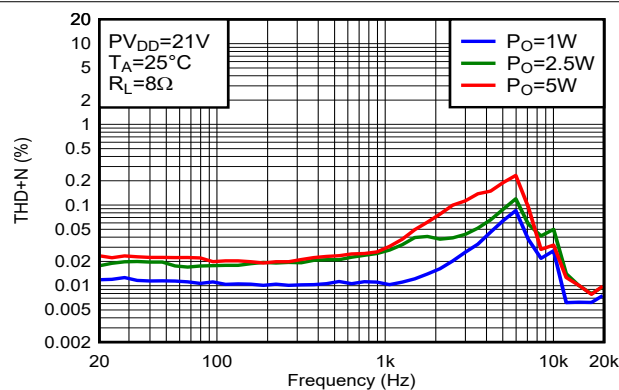
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 8Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-54. THD+N と周波数との関係



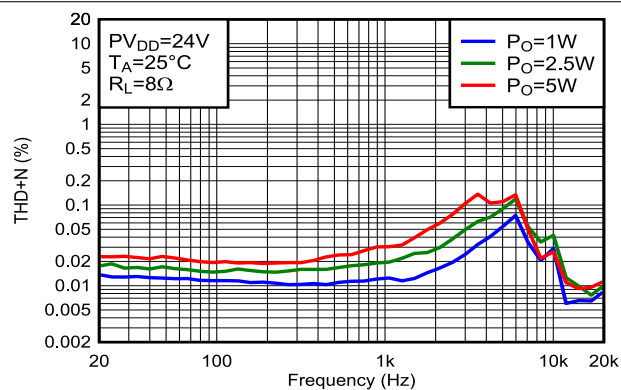
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 8Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-55. THD+N と周波数との関係



1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 8Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-56. THD+N と周波数との関係



1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 8Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-57. THD+N と周波数との関係

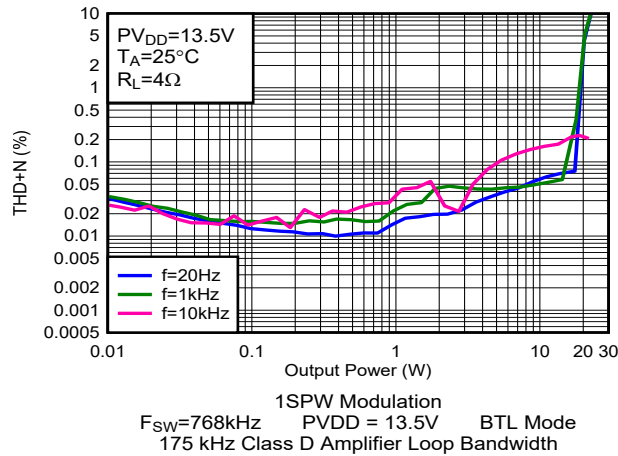


図 5-58. THD+N と出力電力との関係

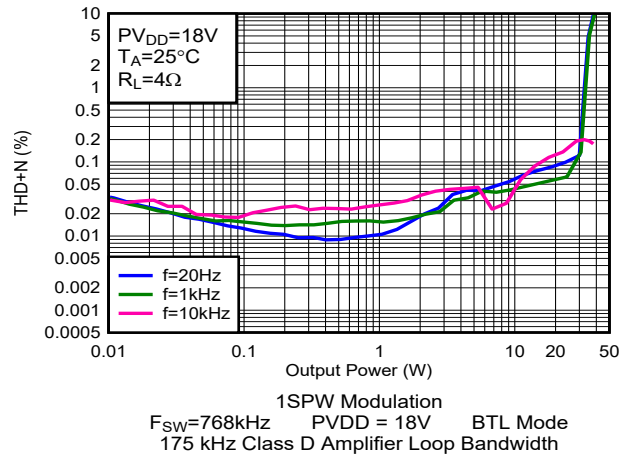


図 5-59. THD+N と出力電力との関係

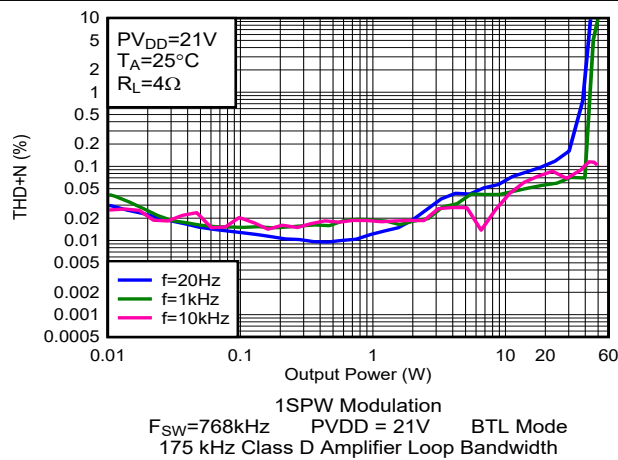


図 5-60. THD+N と出力電力との関係

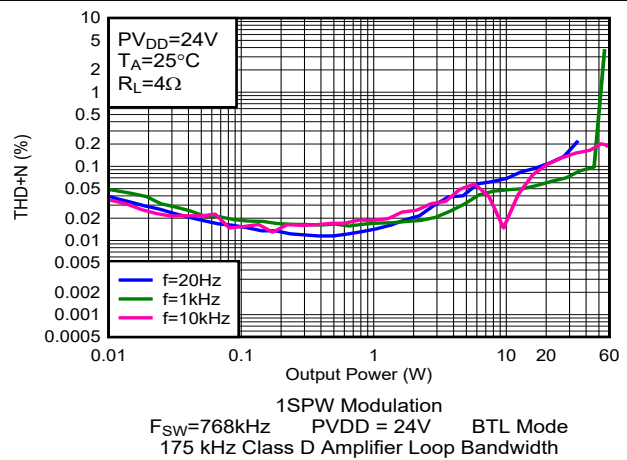


図 5-61. THD+N と出力電力との関係

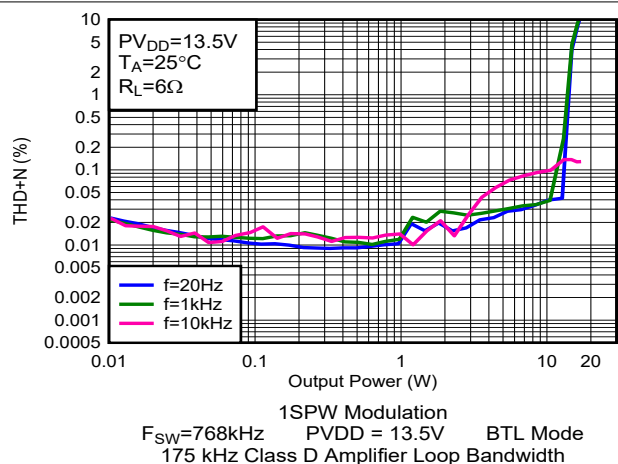


図 5-62. THD+N と出力電力との関係

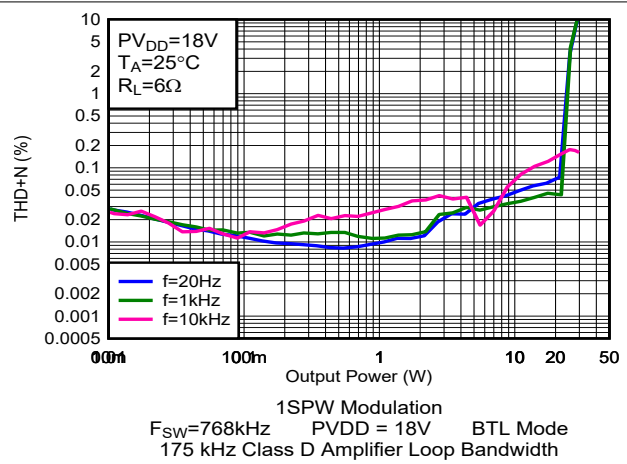


図 5-63. THD+N と出力電力との関係

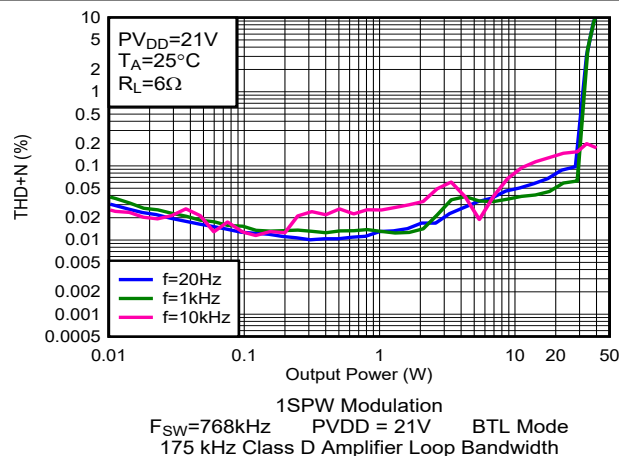


図 5-64. THD+N と出力電力との関係

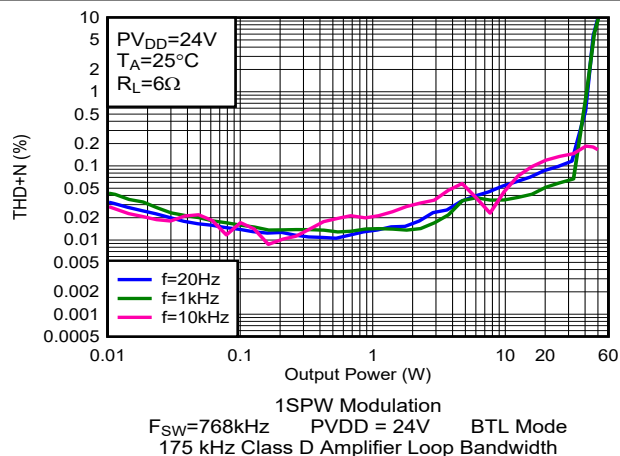


図 5-65. THD+N と出力電力との関係

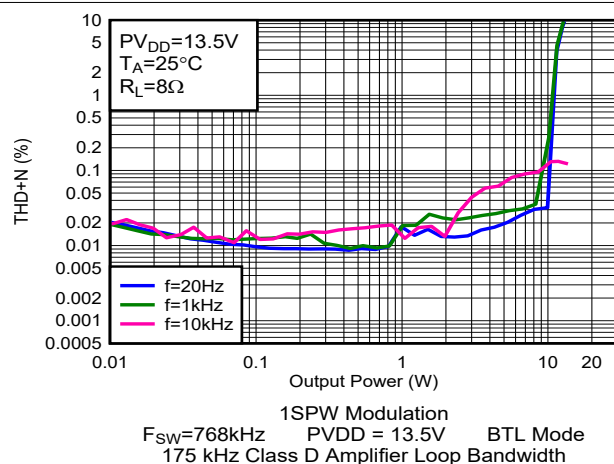


図 5-66. THD+N と出力電力との関係

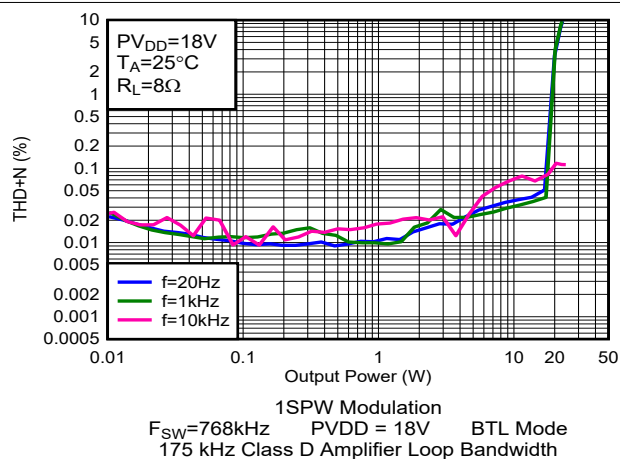


図 5-67. THD+N と出力電力との関係

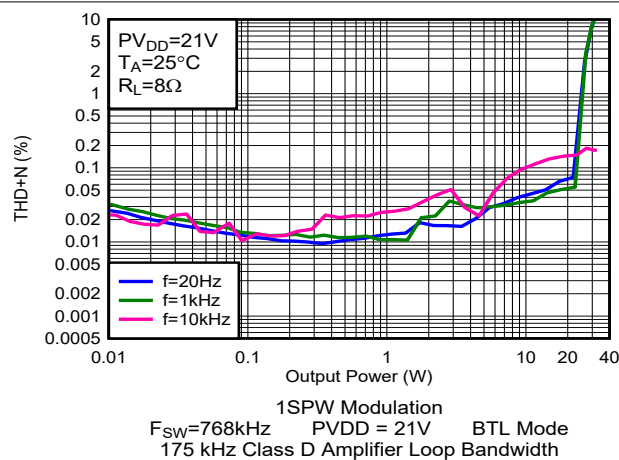


図 5-68. THD+N と出力電力との関係

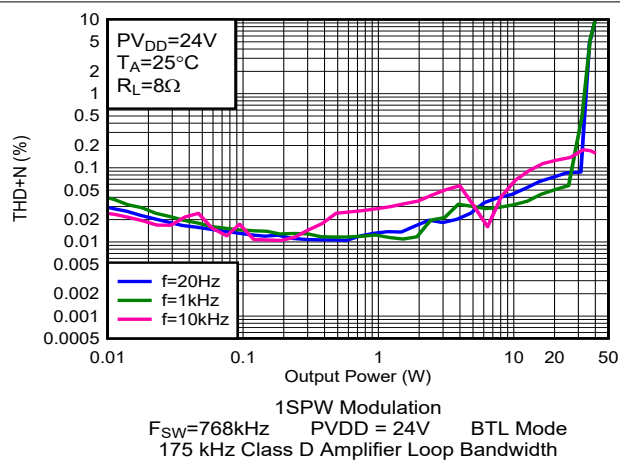


図 5-69. THD+N と出力電力との関係

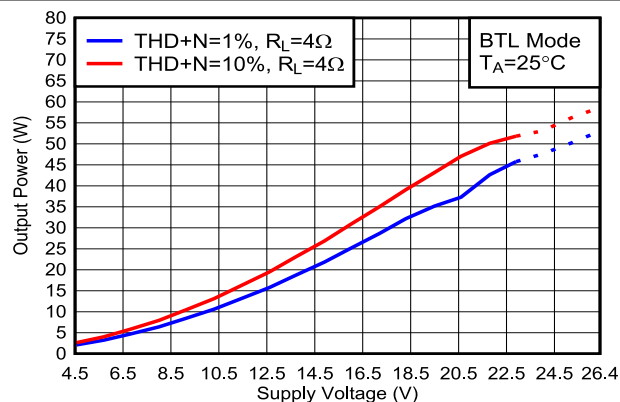


図 5-70. 出力電力と電源電圧との関係 (点線は熱的制限を示しています)

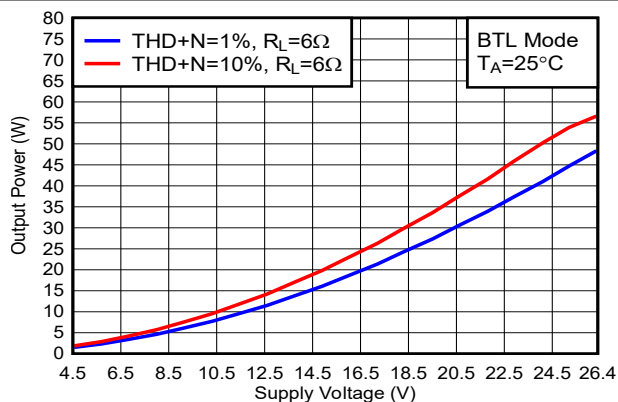


図 5-71. 出力電力と電源電圧との関係

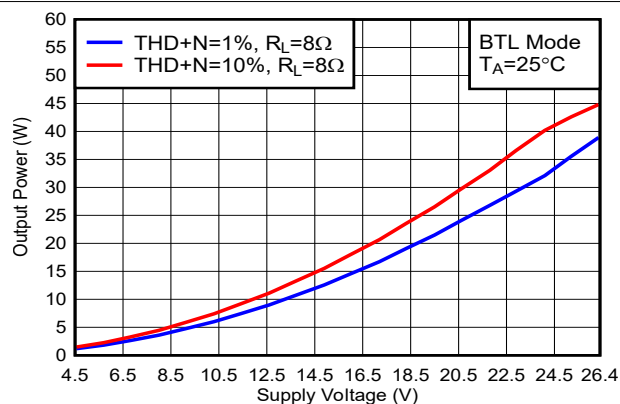


図 5-72. 出力電力と電源電圧との関係

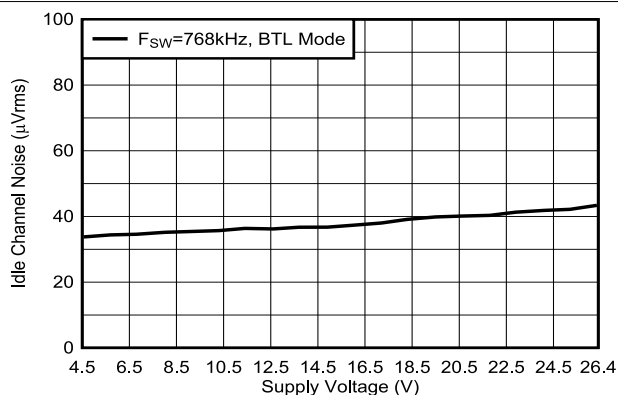


図 5-73. アイドルチャネルノイズと電源電圧との関係

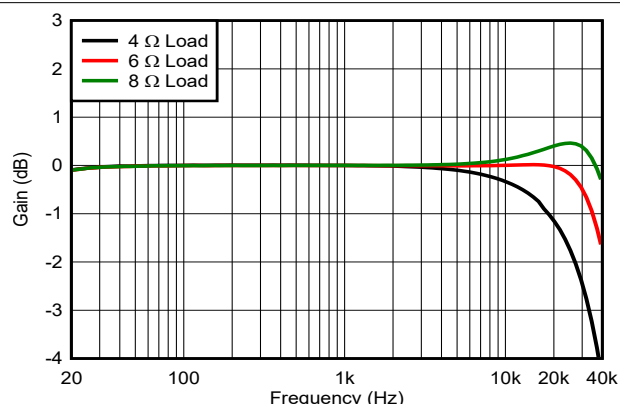


図 5-74. ゲインと周波数との関係

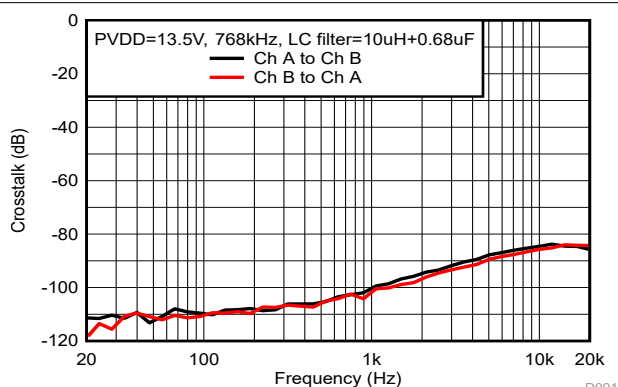


図 5-75. クロストーク

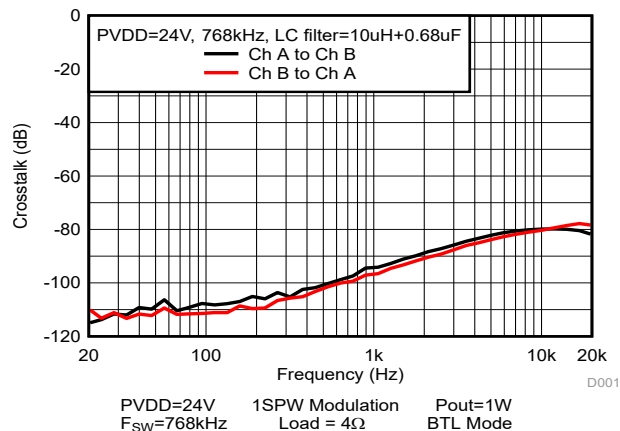


図 5-76. クロストーク

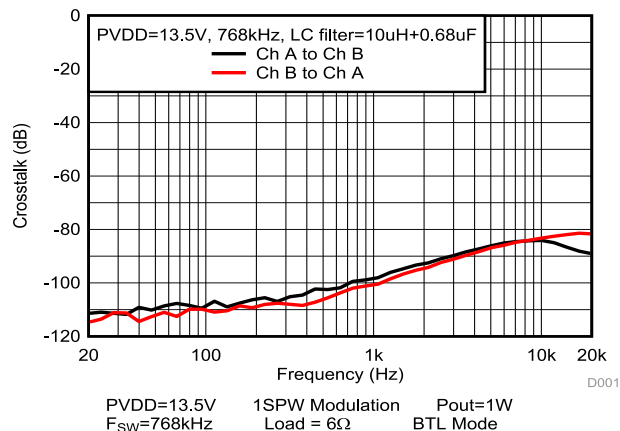


図 5-77. クロストーク

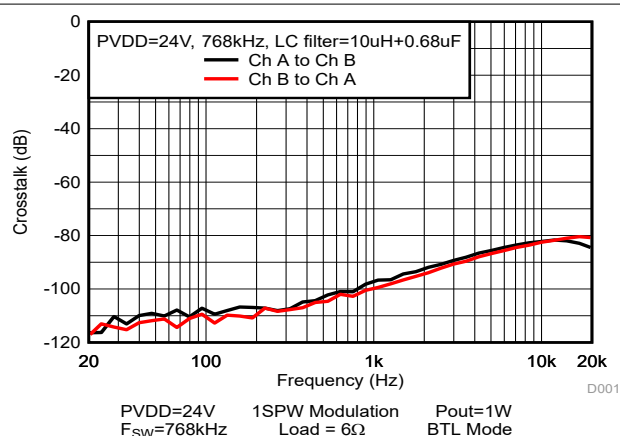


図 5-78. クロストーク

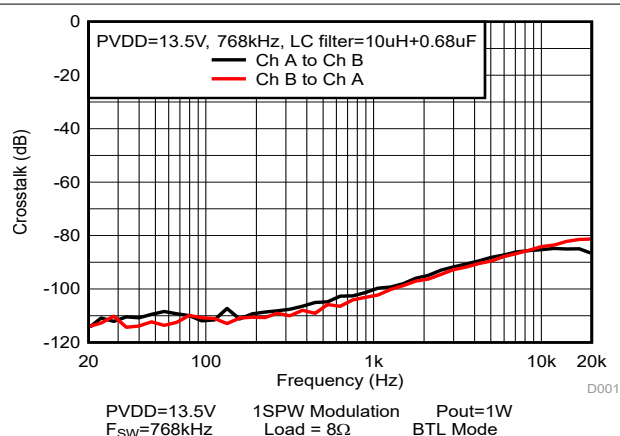


図 5-79. クロストーク

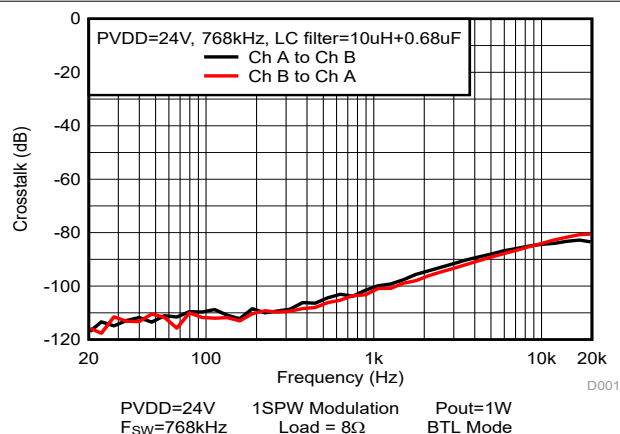


図 5-80. クロストーク

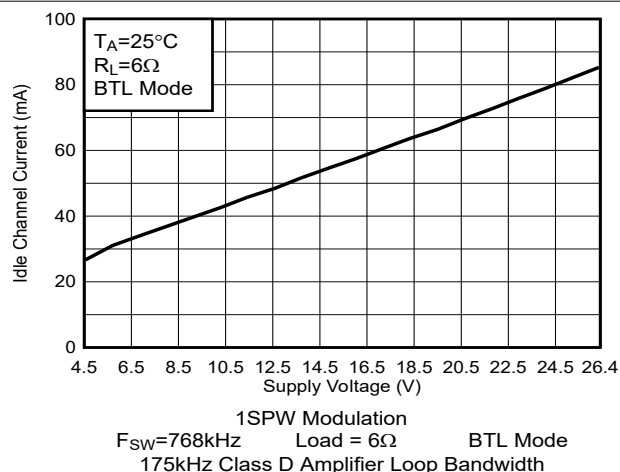


図 5-81. PVDD のアイドル電流と PVDD の電圧との関係

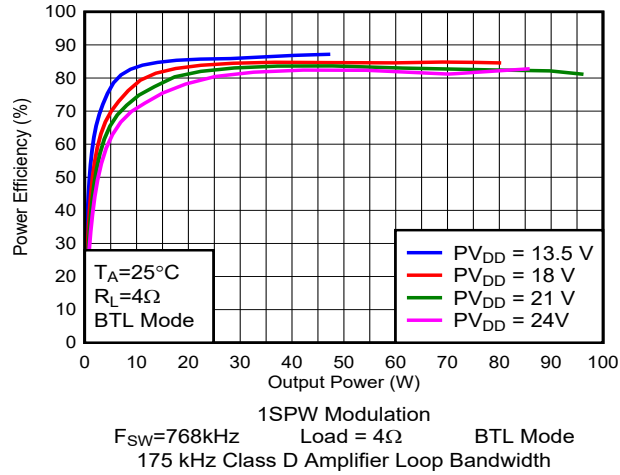


図 5-82. 効率と出力電力との関係

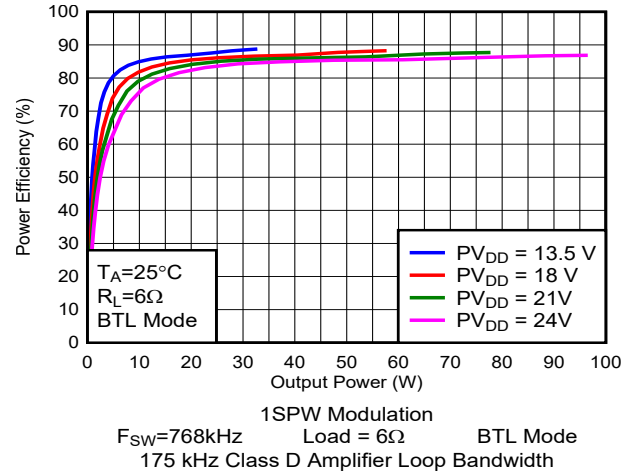


図 5-83. 効率と出力電力との関係

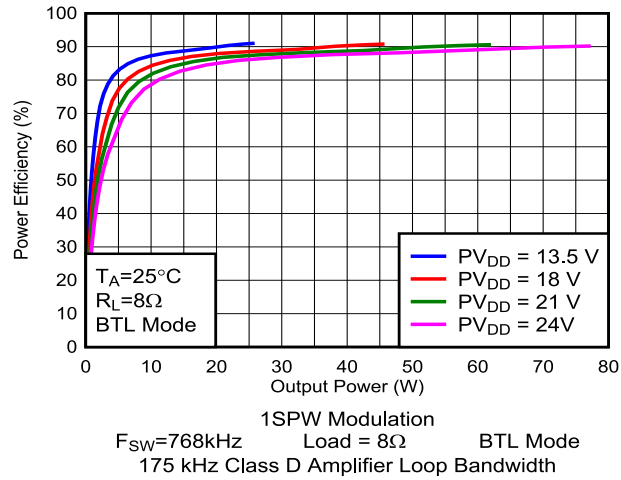
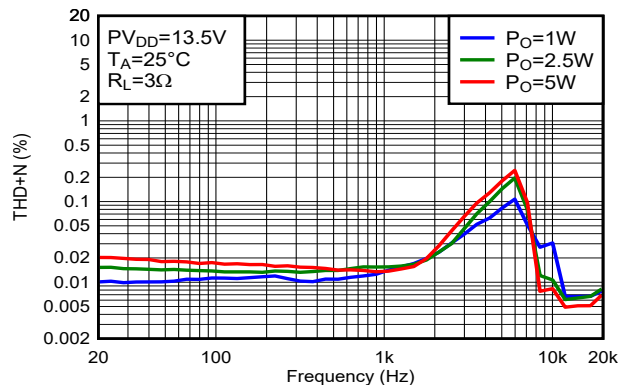


図 5-84. 効率と出力電力との関係

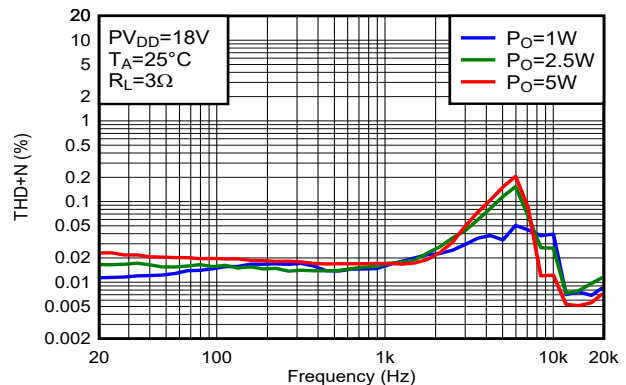
5.7.3 BD 変調による並列ブリッジ接続負荷 (PBTL) 構成

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォール フィルタに設定しました。すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、クラス D アンプのループ帯域幅を 120kHz に設定して行いました。特に明記されていない限り、LC フィルタは 10μH / 0.68μF (ポストフィルタ PBTL、出力フィルタのインダクタ部分の後の 2 つの出力チャンネルの結合、[セクション 8.2.3](#) の詳細を参照) を使用しました。



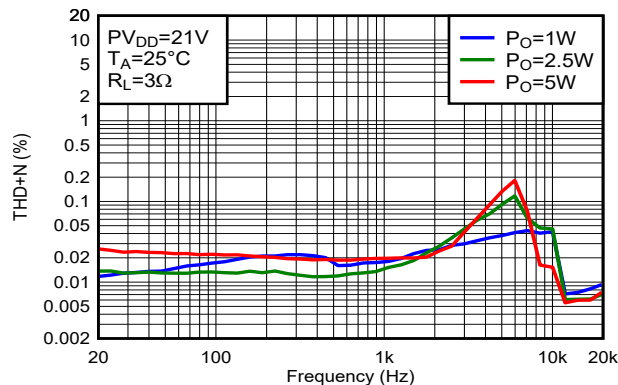
BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 3Ω PBTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-85. THD+N と周波数との関係



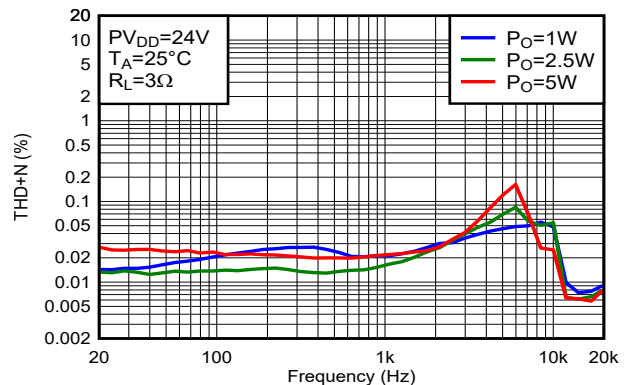
BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 3Ω PBTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-86. THD+N と周波数との関係



BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 3Ω PBTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-87. THD+N と周波数との関係



BD Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=384kHz$ Load = 3Ω PBTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-88. THD+N と周波数との関係

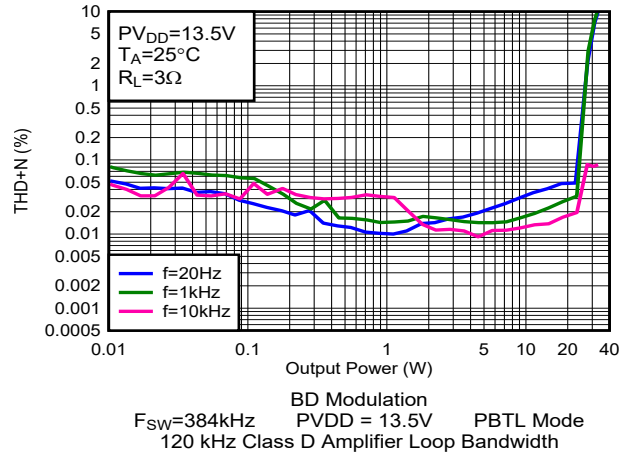


図 5-89. THD+N と出力電力との関係

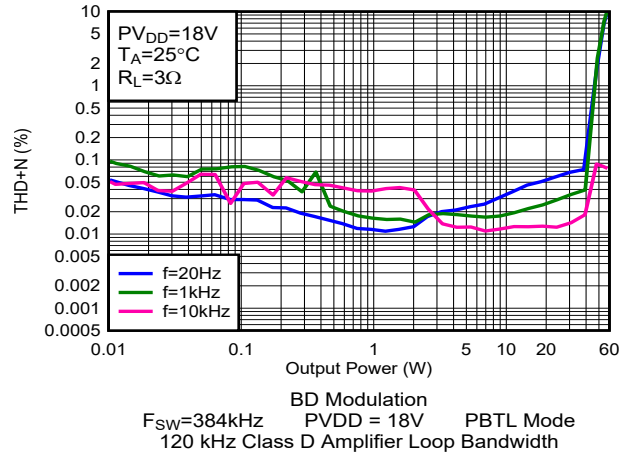


図 5-90. THD+N と出力電力との関係

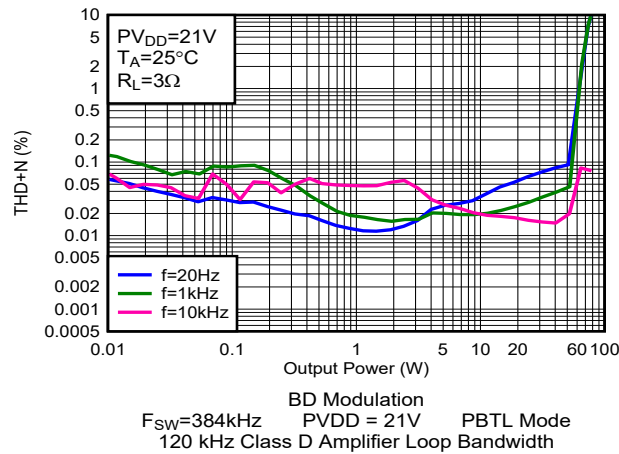


図 5-91. THD+N と出力電力との関係

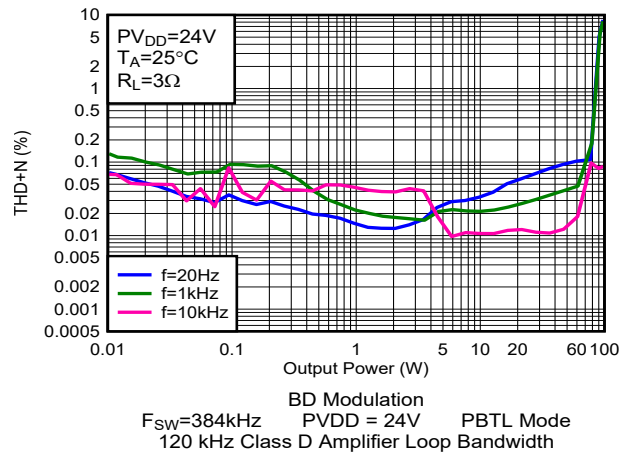


図 5-92. THD+N と出力電力との関係

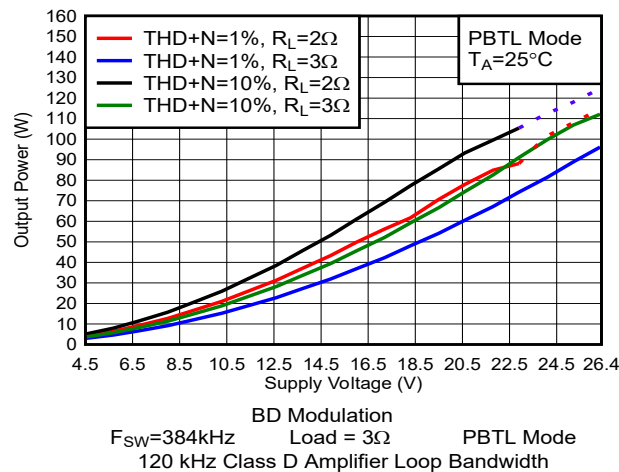


図 5-93. 出力電力と電源電圧との関係 (点線は熱的制限を示しています)

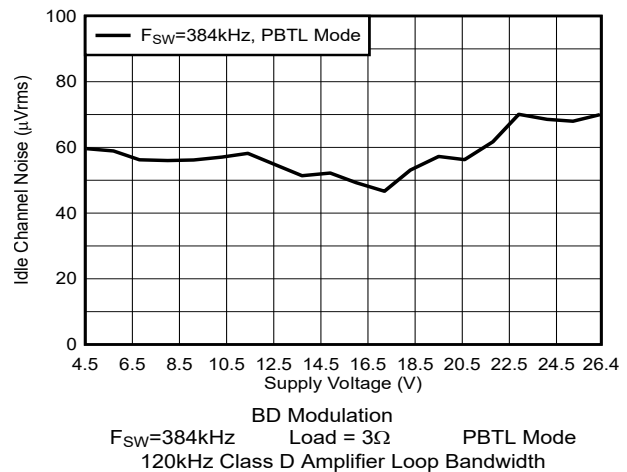
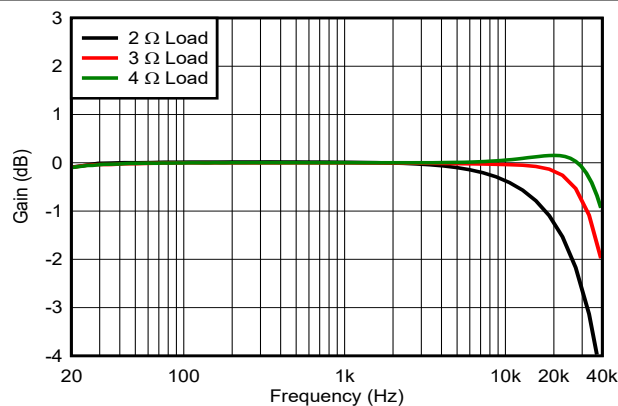
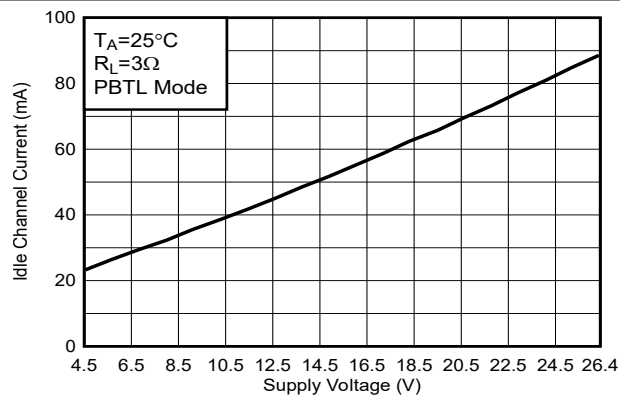


図 5-94. アイドルチャネルノイズと電源電圧との関係

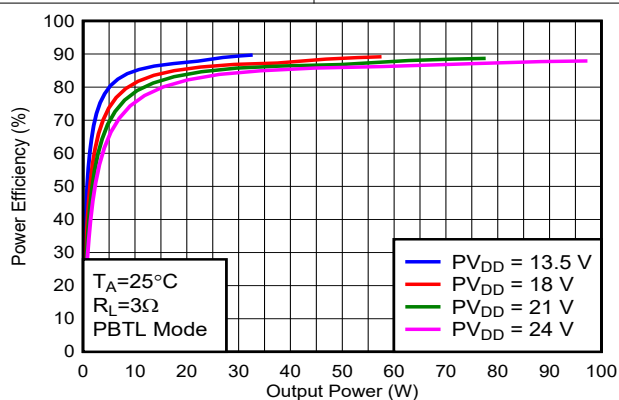


BD Modulation $P_O=1W$ $PV_{DD}=13.5V$
 $F_{SW}=384kHz$ BTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-95. ゲインと周波数との関係



BD Modulation
 $F_{SW}=384kHz$ Load = 3Ω PBTL Mode
 120kHz Class D Amplifier Loop Bandwidth

図 5-96. PV_{DD} のアイドル電流と PV_{DD} の電圧との関係

BD Modulation
 $F_{SW}=384kHz$ Load = 3Ω PBTL Mode
 120 kHz Class D Amplifier Loop Bandwidth

図 5-97. 効率と出力電力との関係

5.7.4 1SPW 変調による並列ブリッジ接続負荷 (PBTL) 構成

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォール フィルタに設定しました。すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、クラス D アンプのループ帯域幅を 175kHz に設定して行いました。特に明記されていない限り、LC フィルタは 10μH / 0.68μF (ポストフィルタ PBTL、出力フィルタのインダクタ部分の後の 2 つの出力チャンネルの結合、[セクション 8.2.3](#) の接続方法を参照) を使用しました。

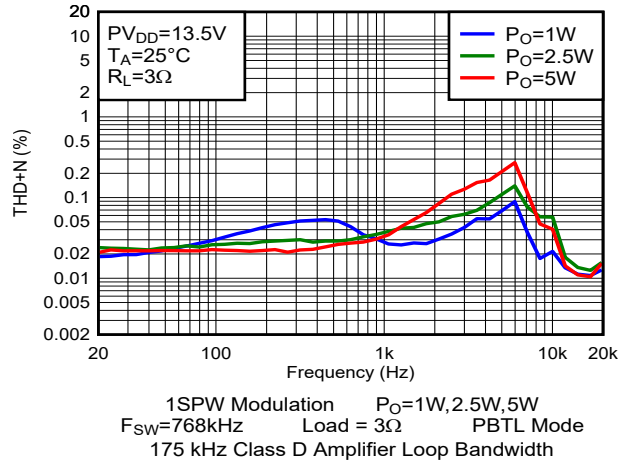


図 5-98. THD+N と周波数との関係

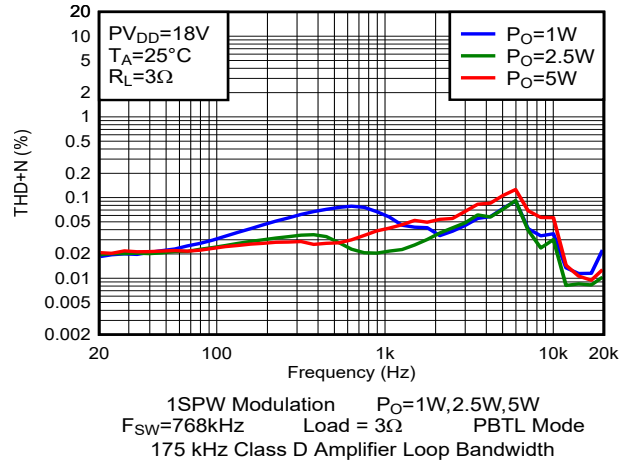


図 5-99. THD+N と周波数との関係

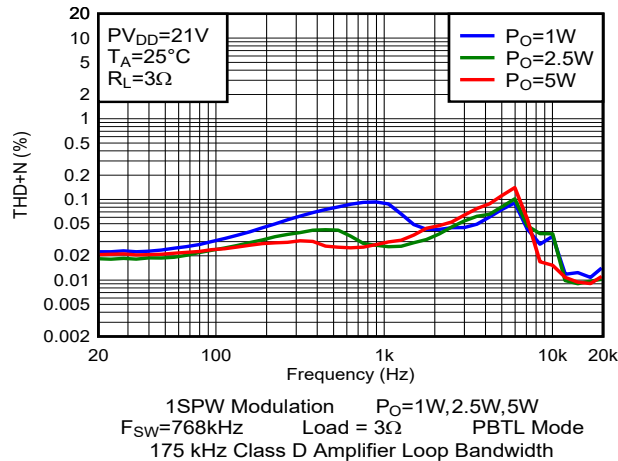


図 5-100. THD+N と周波数との関係

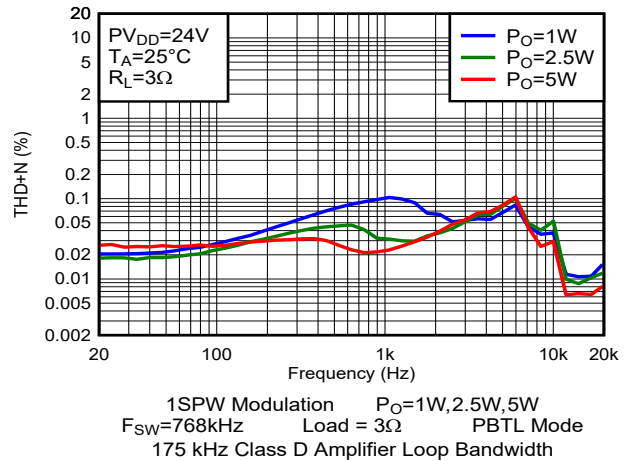


図 5-101. THD+N と周波数との関係

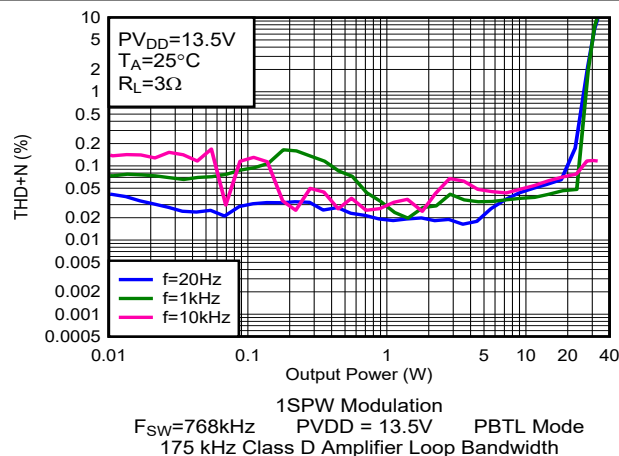


図 5-102. THD+N と出力電力との関係

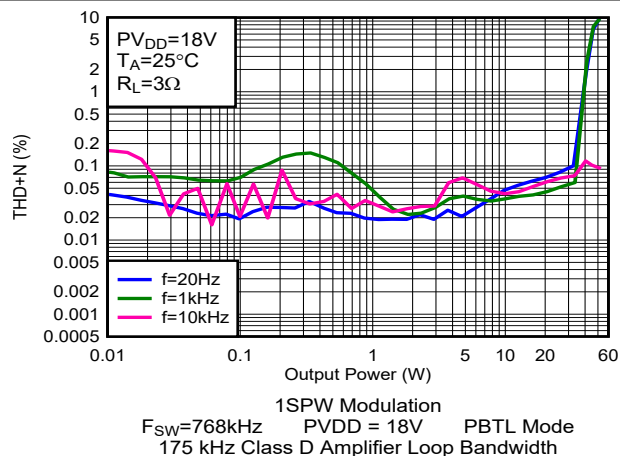


図 5-103. THD+N と出力電力との関係

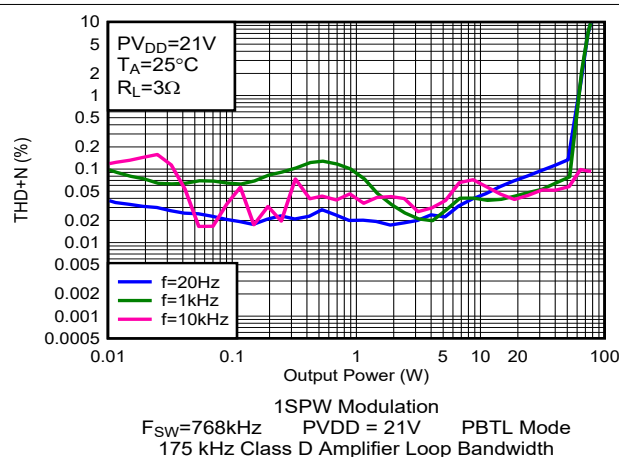


図 5-104. THD+N と出力電力との関係

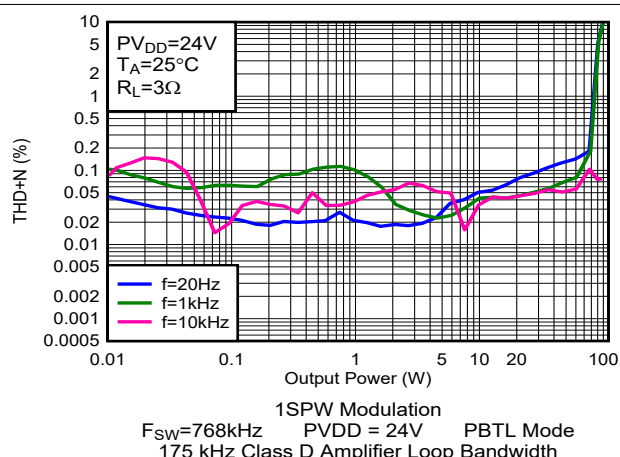


図 5-105. THD+N と出力電力との関係

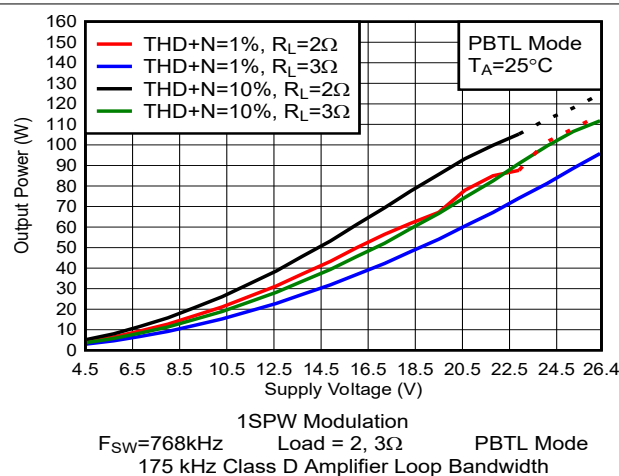


図 5-106. 出力電力と電源電圧との関係 (点線は熱的制限を示しています)

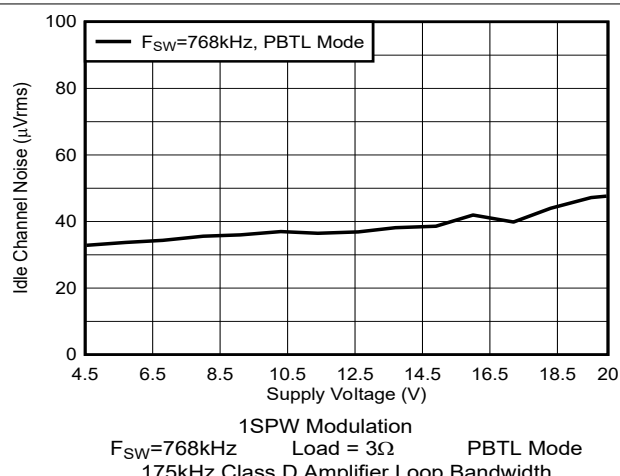
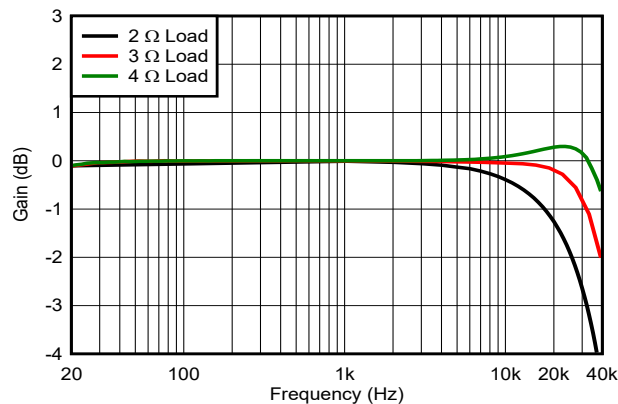
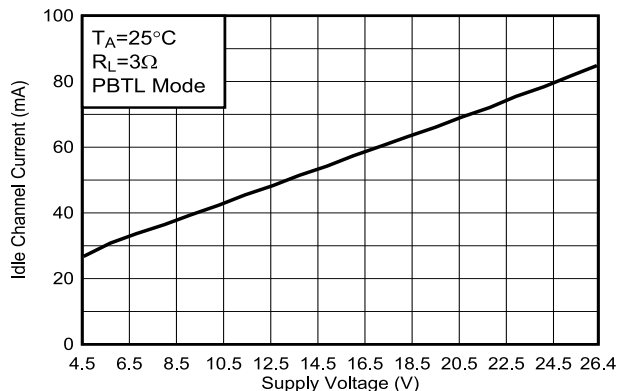


図 5-107. アイドル チャネル ノイズと電源電圧との関係



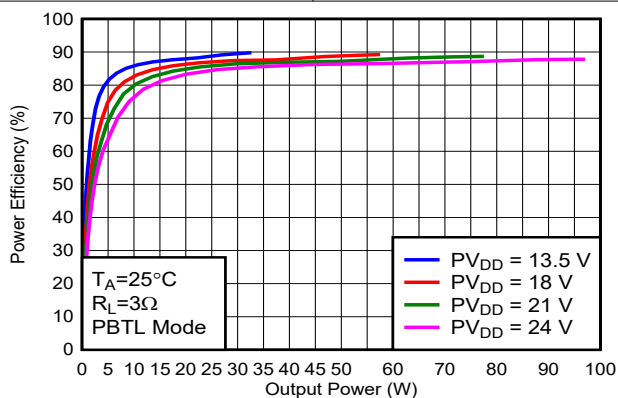
1SPW Modulation $P_O=1W$ $PV_{DD}=13.5V$
 $F_{SW}=768kHz$ PBTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-108. ゲインと周波数との関係



1SPW Modulation
 $F_{SW}=768kHz$ Load = 3Ω PBTL Mode
 175kHz Class D Amplifier Loop Bandwidth

図 5-109. PVDD のアイドル電流と PVDD の電圧との関係



1SPW Modulation
 $F_{SW}=768kHz$ Load = 3Ω PBTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

図 5-110. 効率と出力電力との関係

6 詳細説明

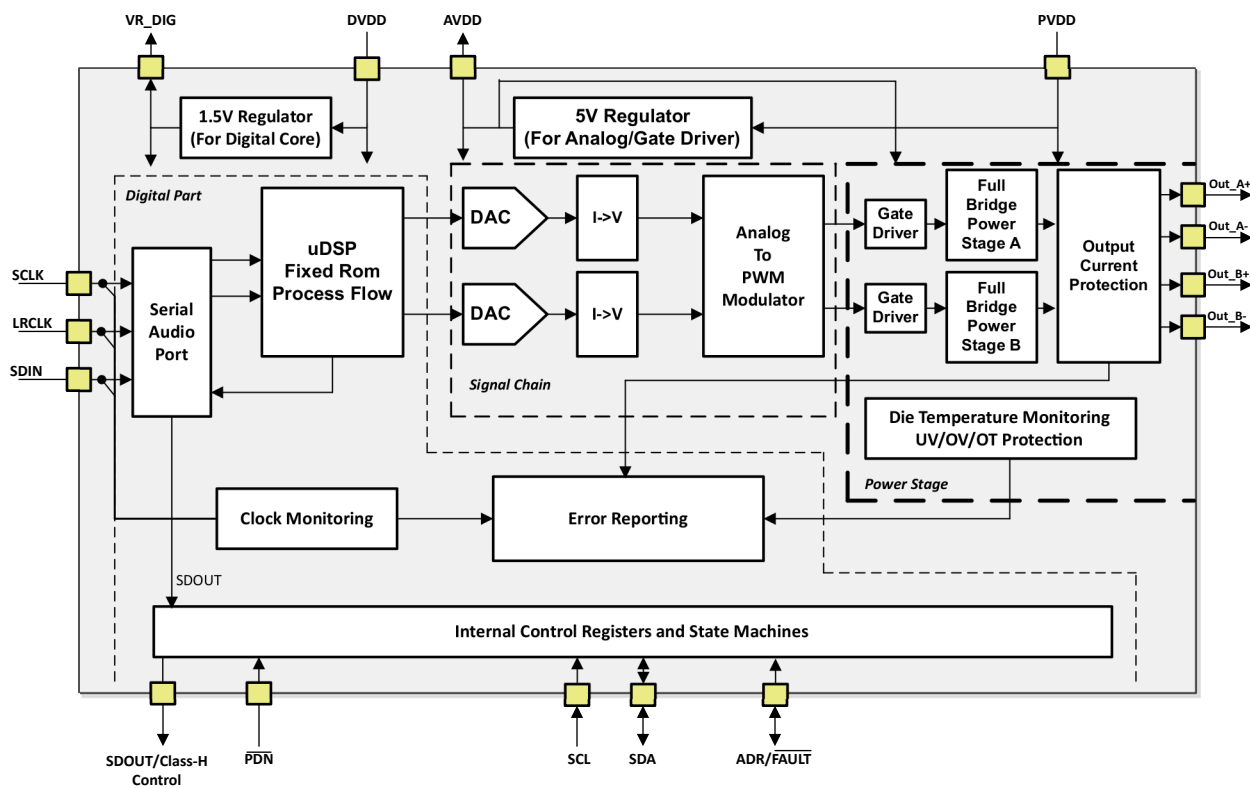
6.1 概要

TAS5815 デバイスは、4 つの主要なビルディング ブロックを単一の統合デバイスにまとめることにより、音質、柔軟性、使いやすさを最大化しています。4 つの主要なビルディング ブロックを以下に示します。

1. ステレオ デジタル から PWM への変換ブロック。
2. オーディオ DSP サブシステム。
3. 柔軟な閉ループ アンプは、ステレオまたはモノラルで、さまざまなスイッチング周波数および多様な出力電圧および負荷で動作できます。
4. デバイスとの通信用の I²C 制御ポート

このデバイスが適切に動作するために必要な電源は 2 つだけです。低電圧デジタル回路に電力を供給するには DVDD 電源が必要です。オーディオ アンプの出力段に電力を供給するには、PVDD と呼ばれるもう 1 つの電源が必要です。1 つの内部 LDO は、GVDD および AVDD 用に PVDD を 5V に変換します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 電源

システム設計では、TAS5815 には (標準的な) 12V または 26.4V 電力段の電源に加えて、3.3V または 1.8V の電源のみが必要です。2 つの内部電圧レギュレータにより、ゲート駆動回路と内部回路に適した電圧レベルが提供されます。外部ピンは、電源をフィルタリングするためのオフチップ バイパス コンデンサの接続ポイントとしてのみ提供されます。外部回路をこれらのレギュレータ出力に接続すると、性能が低下し、デバイスが損傷する可能性があります。また、フローティング電圧電源 (ハイサイド ゲートドライブなど) を必要とするすべての回路は、数個の外付けコンデンサのみを必要とするブートストラップ回路を内蔵しています。優れた電気的特性と音響特性を得るため、出力段の PWM 信号路は同じ独立したハーフブリッジとして設計されています。このため、各ハーフブリッジには個別のブートストラップピン (BST_x) があります。ゲート駆動電圧 (GVDD) は PVDD 電圧から生成されます。すべてのデカップリング コンデンサは、関連するピンのできるだけ近くに配置するように、特に注意を払う必要があります。一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを防ぐ必要があります。ブートストラップ回路を適切に機能させるには、各ブートストラップ ピン (BST_x) と電力段出力ピン (OUT_x) の間に小さなセラミック コンデンサを接続する必要があります。電力段の出力が low のとき、ゲート駆動レギュレータ出力ピン (GVDD) とブートストラップ ピンの間に接続された内部ダイオードを介してブートストラップ コンデンサが充電されます。電力段の出力が high になると、ブートストラップ コンデンサの電位が出力電位よりもシフトされるため、ハイサイド ゲートドライブに適切な電圧電源が供給されます。

6.3.2 デバイス クロッキング

TAS5815 デバイスは、クロックに対し柔軟なシステムを備えています。内部的には、デバイスを正しく機能させるために、主に関連するクロックレートで、いくつかのクロックが必要です。これらのクロックは、すべてシリアルオーディオインターフェイスから入手できます。

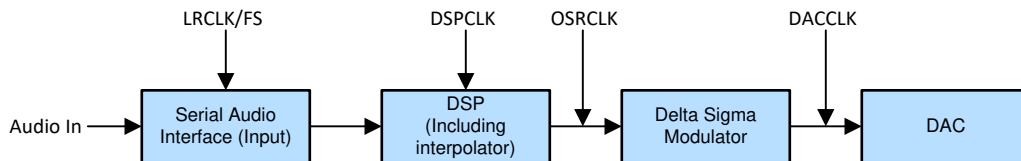


図 6-1. 各クロックのオーディオフロー

図 6-1 に、基本的なデータフローとクロック ディストリビューションを示します。

シリアルオーディオインターフェイスには、通常、以下の 3 つの接続ピンがあります。

- SCLK (ビット クロック)
- LRCLK/FS (左右ワード クロックおよびフレーム同期)
- SDIN (入力データ)。
- SDOUT (出力データ)

このデバイスには、SCLK を取得して DSP と DAC クロックに必要な高速クロックを作成するために使用される内部 PLL があります。

このデバイスには、サンプリング レートがどの周波数で動作しているかを自動的に検知するオーディオ サンプリング レート検出回路が搭載されています。32kHz、44.1kHz ~ 48kHz、88.2kHz ~ 96kHz の一般的なオーディオ サンプリング 周波数に対応しています。サンプリング周波数検出器は、DAC と DSP のクロックを自動的に設定します。

6.3.3 シリアル オーディオ ポート – クロック速度

シリアル オーディオ インターフェイス ポートは、LRCLK/SCLK、FS および SDIN 信号を持つ 3 線式シリアル ポートです。SCLK は、SDIN にあるシリアルデータをオーディオ インターフェイスのシリアル シフトレジスタにクロック供給するために使用されるシリアル オーディオ ビット クロックです。シリアル データは、SCLK の立ち上がりエッジに同期してデバイスに入力されます。LRCLK/FS ピンは、デバイスが TDM モードで動作している場合、シリアルオーディオの左/右ワード クロックまたはフレーム同期です。

表 6-1. オーディオデータの形式、ビット深度、クロックレート

フォーマット	データビット	FS の最大周波数 (kHz)	SCLK レート (f_s)
I ² S/LJ/RJ	32、24、20、16	32～96	64、32
		32	128
TDM	32、24、20、16	44.1、48	128、256、512
		96	128、256

TAS5815 は、スタートアップ時に I²C で DSP レジスタを初期化する前に、安定な I2S 信号を必要とします。クロック停止、サポートされていない SCLK 対 LRCLK(FS) 比率が検出されると、デバイスはレジスタ 113 (レジスタ アドレス 0x71) にクロック エラーを報告します。

6.3.4 シリアル オーディオ ポートー データ形式とビット深度

シリアル オーディオ インターフェイス ポートは、LRCK/FS、SCK、SDIN の信号を使用する 3 線式シリアル ポートです。SCK は、SDIN にあるシリアルデータをオーディオ インターフェイスのシリアル シフト レジスタにクロック供給するために使用されるシリアル オーディオ ビット クロックです。シリアル データは、SCK の立ち上がりエッジに同期してデバイスに入力されます。LRCK/FS ピンは、デバイスが TDM モードで動作している場合、シリアルオーディオの左/右ワード クロックまたはフレーム同期です。

TAS5815 は、標準の I2S、左揃え、右揃え、TDM/DSP データを含む、業界標準のオーディオ データ フォーマットをサポートしています。データ形式はレジスタ (ページ 0 レジスタ 0x33 [5:4]) を介して選択します。TDM/DSP モードでの LRCK/FS の High 幅が SCK の 8 サイクル未満の場合、レジスタ (ページ 0 レジスタ 0x33 [3:2]) を 01 に設定します。すべての形式には、バイナリの 2 の補数、MSB ファーストのオーディオ データが必要です。最大 32 ビットのオーディオ データを受け付けます。このデバイスでサポートされているすべてのデータ フォーマット、ワード長、クロック レートを表 6-1 に示します。データ形式については、図 5-1 から 図 5-110 で詳しく説明します。ワード長はレジスタ (ページ 0 レジスタ 0x33 [1:0]) によって選択されます。データのオフセットは、レジスタ (ページ 0 レジスタ 0x33 [7]) とレジスタ (ページ 0 レジスタ 0x34 [7:0]) によって選択されます。デフォルト設定は I2S と 24 ビットのワード長です。

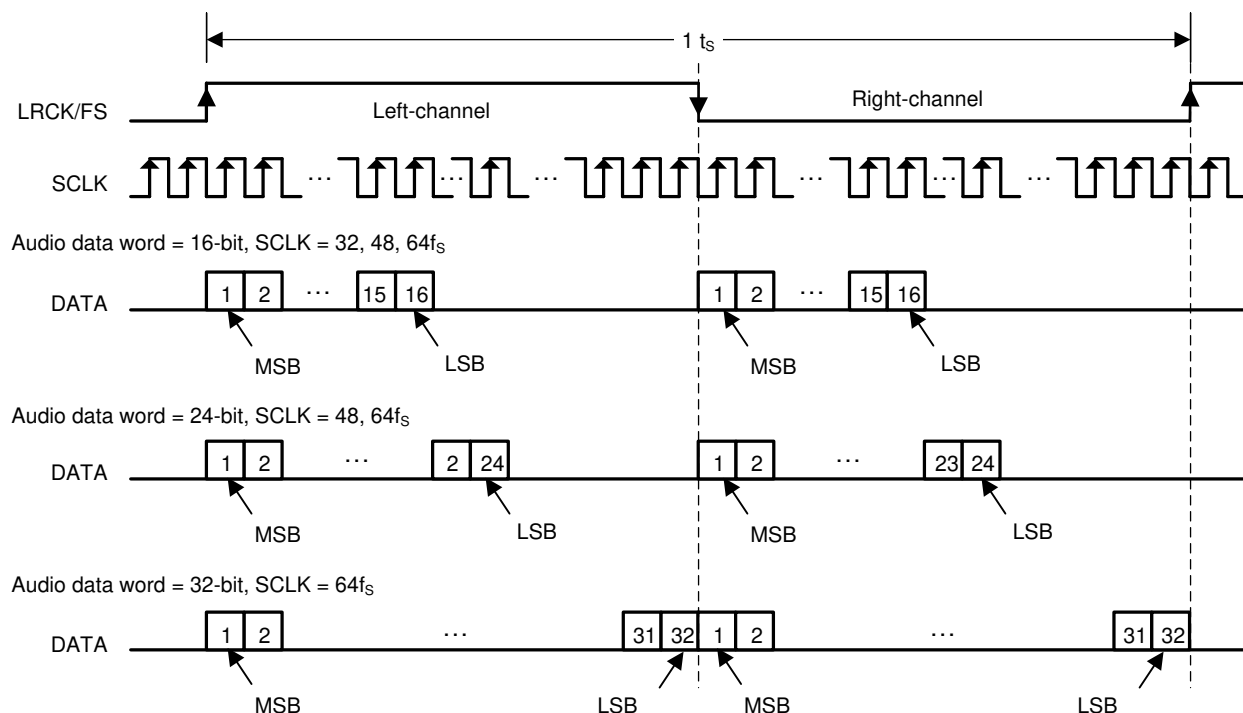


図 6-2. 左揃えのオーディオ データ形式

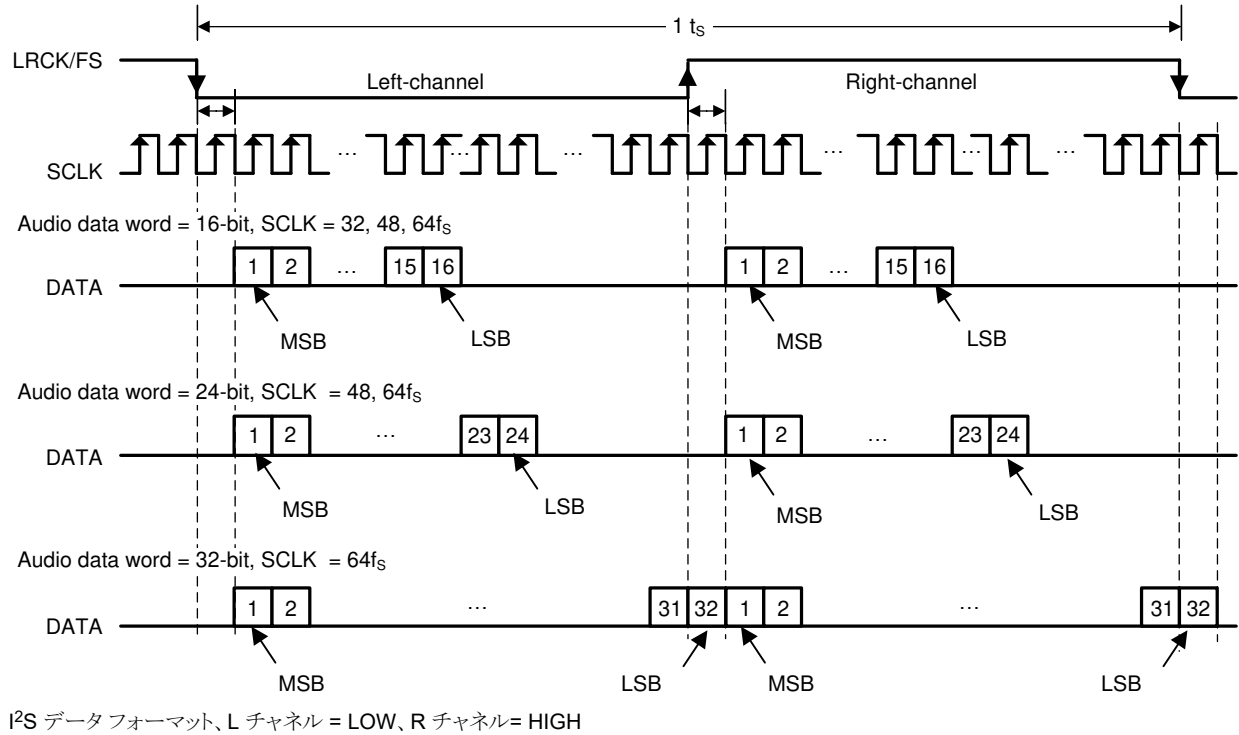


図 6-3. I²S オーディオ データ形式

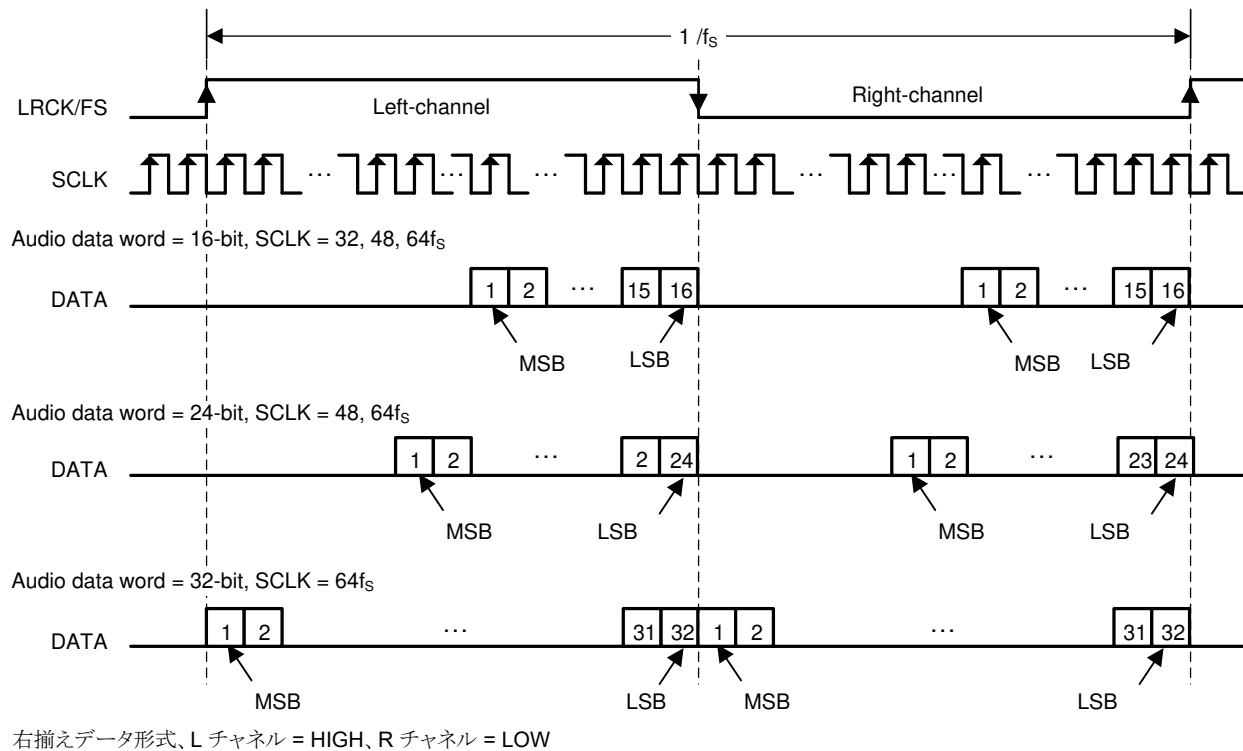
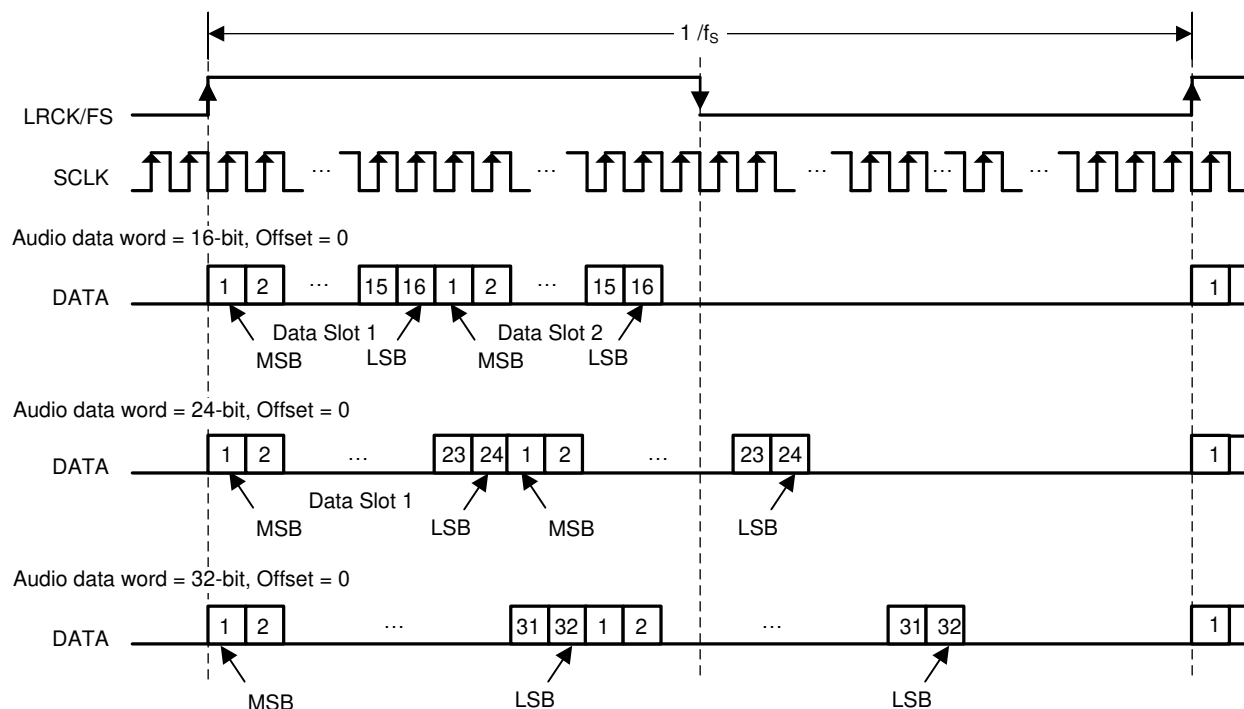


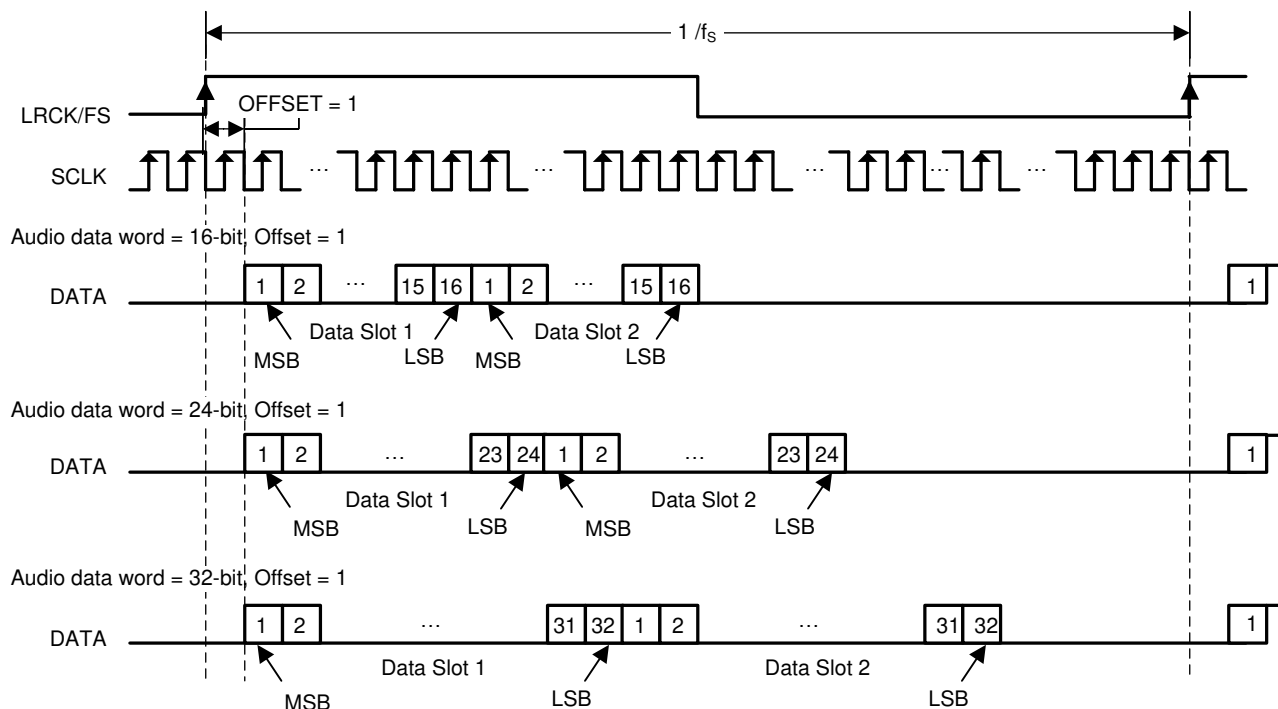
図 6-4. 右揃えオーディオ データ形式



オフセット = 0 の TDM データ形式

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

図 6-5. TDM 1 オーディオ データ形式



オフセット = 1 の TDM データ形式

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

図 6-6. TDM 2 オーディオ データ形式

6.3.5 クロック HALT 自動回復

一部のホスト プロセッサは、オーディオが再生されていないときに I2S クロックを停止します。クロックが停止すると、デバイスはすべてのチャンネルを Hi-Z 状態に移行して、レジスタ 113 (レジスタ アドレス 0x71) で ラッチ クロック エラーを報告します。オーディオ クロックの回復後、デバイスは自動的に以前の状態に戻ります。

6.3.6 サンプル レートの即時変更

TAS5815 は、オンザフライの変更で LRCLK(FS) レートをサポートしています。たとえば、LCRLK を 32kHz から 48kHz、96kHz に変更する場合、ホスト プロセッサは、新しいサンプル レートに変更する前に、LRCLK(FS)/SCLK を少なくとも 100μs 前に停止状態にする必要があります。

6.3.7 デジタル オーディオ 処理

TAS5815 DSP には、DSP の 96kHz というサンプル レートをサポートする ROM 固定プロセス フローがあります。デジタル オーディオ 処理は、基本的なオーディオ チューニング ブロックと Class-H アルゴリズムの 2 つの主要機能を搭載しています。

基本的なオーディオ チューニングブロックは、SRC、ステレオ チャンネル入力ミキサ、各チャンネル用の 14 の BQ、ポップ クリック フリー ボリューム、マルチバンド DRC、AGL で構成されています。

Class-H は、革新的な Class-D 内部 PWM 変調方式であるハイブリッド変調と組み合わせて使用すると、THD+N の性能を犠牲にせずに効率をさらに向上させることができます。Class-H は、システム効率の観点から、Hybrid PWM 変調を超えた進化を実現し、高度なルックアヘッド DSP 構造でオーディオ信号エンベロープをトラッキングし、外部 PVDD 電源電圧レールを制御し、クリッピング歪みなしに高いダイナミック レンジを実現する十分なマージンを維持して、可能な限り多くの電力を節約することができます。Class-H の詳細を以下に示します。

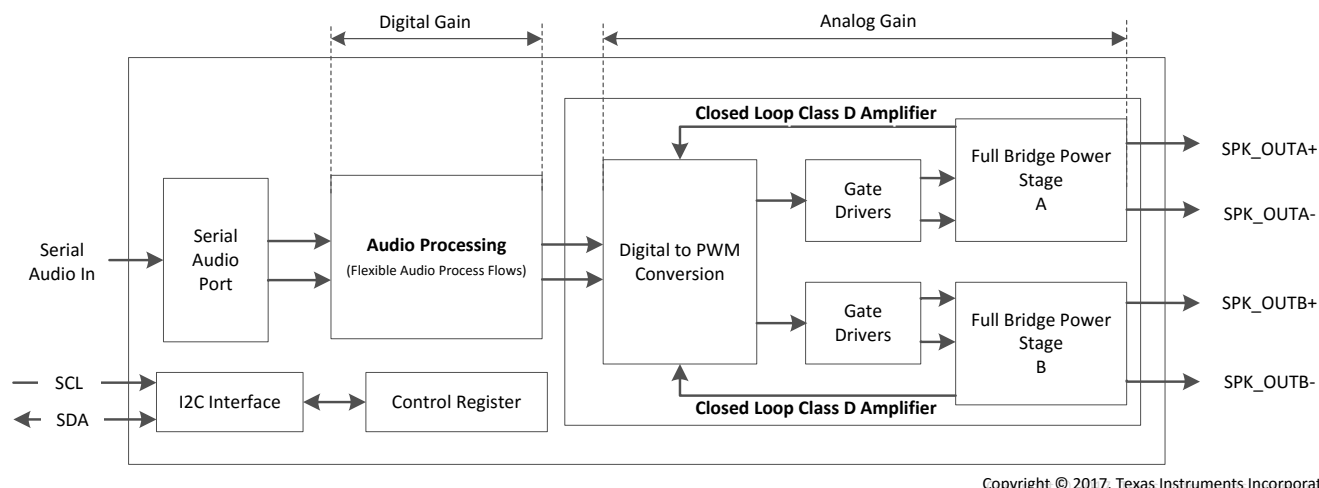
- 外部 DC/DC コンバータ用、384kHz PWM 形式の 8 ステップ Class-H 制御波形。
- 構成可能な最大 2.5ms (PBTL モードでは 5ms) の先読みオーディオ信号遅延バッファは、さまざまなアプリケーション システムの DC/DC 帯域幅と電源カップリング容量に適合します。
- Class-H Margin は、オーディオ信号のトリガ レベルと各ステップ レベルを自動調整します。効率とエンベロープ追跡速度のバランスを取れるよう微調整します。
- Class-H を有効にする制御レジスタは、DSP_MISC (0x66) のビット 5 です。デフォルト値である 0 は、Class-H コントローラが無効です。

6.3.8 Class-D オーディオ アンプ

デジタル クリッパーの後、補間されたオーディオ データは、閉ループ Class-D アンプに送られ、その最初のステージはデジタルから PWM への変換 (DPC) ブロックです。このブロックでは、ステレオ オーディオ データが 2 ペアの相補型パルス幅変調 (PWM) 信号に変換され、スピーカ アンプの出力を駆動するために使用されます。DPC 全体の帰還ループは、電源電圧全体にわたって一定のゲインを確実に維持し、歪みを低減し、電源により注入されるノイズや歪みに対する耐性を向上します。アナログ ゲインは、デバイスの Class-D アンプ セクションにも適用されます。

6.3.8.1 スピーカ アンプ ゲイン選択

デジタル ゲインとアナログ ゲインの組み合わせにより、スピーカ アンプの全体的なゲインを得ることができます。図 6-7 に示すように、TAS5815 のオーディオ パスは、デジタル オーディオ入力ポート、デジタル オーディオ パス、デジタル PWM コンバータ (DPC)、ゲートドライバ段、Class-D 電力段、帰還ループで構成され、この帰還ループが、出力情報を DPC ブロックに送り返して、出力ピンで検出された歪みを補正します。アンプの総ゲインは、デジタル オーディオ パスに示されているデジタル ゲインと、アナログ変調器の入力からスピーカ アンプ電力段の出力までのアナログ ゲインで構成されます。



Copyright © 2017, Texas Instruments Incorporated

図 6-7. スピーカ アンプ ゲイン

図 6-7 に示すように、スピーカ アンプの最初のゲイン ステージは、デジタル オーディオ パスに存在します。このゲイン段は、ボリューム制御とデジタル昇圧ブロックで構成されています。ボリューム制御はデフォルトで 0dB に設定されており、変更はされません。レジスタ 0x54、AGAIN[4:0] のすべての設定に対し、デジタル昇圧ブロックは 0dB のままです。これらのゲイン設定により、出力信号が異なる PVDD レベルでクリッピングされないように維持されます。0dBFS 出力は 29.5V ピーク出力電圧です

表 6-2. アナログ ゲイン設定

再び <4:0>	ゲイン (dBFS)	アンプ出力ピーク電圧 (V)
00000	0	29.5
00001	-0.5	27.85
.....		
11111	-15.5	4.95

6.4 デバイスの機能モード

6.4.1 ソフトウェア コントローラ

TAS5815 デバイスは、I²C 通信ポートを介して構成されます。

I²C 通信プロトコルについては、「I²C 通信ポート」のセクションを参照してください。I²C のタイミング要件は、「I²C バスのタイミング - 標準」および「I²C バスのタイミング - 高速」のセクションに記載されています。

6.4.2 スピーカ アンプの動作モード

TAS5815 デバイスは、2 つの異なるアンプ構成で使用できます：

- BTL モード
- PBTL モード

6.4.2.1 BTL モード

一般的な BTL モード動作では、TAS5815 デバイスを使用して 2 つの独立した信号を増幅し、それぞれがステレオ信号の左部分と右部分を表します。左の増幅された信号は、OUT_A+ および OUT_A- として示された差動出力ペアに渡され、増幅された右の信号は、OUT_B+ および OUT_B- として示された差動出力ペアに渡されます。

6.4.2.2 PBTL モード

PBTL 動作モードは、デバイスの 2 つの出力を互いに並列に配置して、デバイスの電力供給能力を向上させる動作を表すために使用されます。TAS5815 デバイスの出力側では、事前フィルタ並列ブリッジ接続負荷 (PBTL) と呼ばれる構成

で、フィルタの前にデバイスの合算を行うことができます。ただし、出力フィルタのインダクタ部分の後で 2 つの出力をマージする必要がある場合があります。これにより 2 つのインダクタが追加されますが電流が 2 つのインダクタで分割されるため、小型で低コストのインダクタを使用できます。このプロセスはポスト フィルタ PBTL と呼ばれます。TAS5815 デバイスの入力側では、PBTL アンプへの入力信号は I²S または TDM データの左フレームです。

6.4.3 低 EMI モード

TAS5815 には、オーディオ再生中に EMI を最小限に抑えるためのモードが複数備えられており、これらのモードをさまざまなアプリケーションに基づいて使用できます。

6.4.3.1 スペクトラム拡散による EMI 最小化

このデバイスは、三角波モードのスペクトラム拡散をサポートしています。スペクトラム拡散を使用して、EMI ノイズを最小化します。

ユーザーは、三角波モードとスペクトラム拡散を有効化するためにレジスタ RAMP_SS_CTRL0 (0x6B) を設定する必要があります。RAMP_SS_CTRL1 (0x6C) を使用してスペクトラム拡散周波数と範囲を選択できます。DEVICE_CTRL1 (0x02) で設定される 384kHz FSW の場合、スペクトル拡散周波数と範囲は 表 6-3 に記載されています。

表 6-3. スペクトル周波数および範囲

SS_TRI_CTRL[3:0]	0	1	2	3	4	5	6	7
三角波周波数	24k				48k			
スペクトラム拡散範囲	5%	10%	20%	25%	5%	10%	20%	25%

- ユーザー アプリケーションの例:

中心スイッチング周波数は 384kHz、三角波周波数は 24kHz です。I²C デバイスアドレス 0x58 を例にします。

w A8 6b 01 // スペクトラム拡散を有効化

w A8 6c 03 //RAMP_SS_CTRL[3:0]0011、三角波周波数 = 24kHz、スペクトラム拡散範囲は 25% (336kHz ~ 432kHz)

6.4.3.2 チャネル間位相シフトによる EMI の最小化

このデバイスは、チャネル間 180 度の PWM 位相シフトをサポートしており、EMI を最小限に抑えます。ANA_CTRL レジスタ 0x53 のビット 0 を使用して、位相シフトをディスエーブルまたはイネーブルにできます。

注

BD モードのみが、チャネル間 180 度の PWM 位相シフトをサポートしています。

6.4.3.3 複数デバイスの PWM 位相同期による EMI の最小化

このデバイスは、複数のデバイス アプリケーション システムについて、最大 4 つの位相選択をサポートしています。たとえば、システムが 4 台の TAS5815 デバイスを統合する場合、ユーザーはレジスタ RAMP_PHASE_CTRL (0x6A) を使用してデバイスごとに位相 0、1、2、または 3 を選択できます。これにより、各デバイス間に 45 度の位相シフトが設定され、EMI を最小限に抑えることができます。

スタートアップ フェーズ中に、I²S クロックとの位相同期を行うことを推奨します。

- I²S クロックを停止。
- 各デバイスの位相選択を構成し、位相同期を有効にします。例: デバイス 0 の場合はレジスタ 0x6A = 0x00、デバイス 1 の場合はレジスタ 0x6A = 0x04、デバイス 2 の場合はレジスタ 0x6A = 0x08、デバイス 3 の場合はレジスタ 0x6A = 0x0C。EMI を最小限に抑えるため、各デバイス間に 45 度の PWM 位相シフトが必要です。
- 各デバイスをハイ インピーダンス モードに設定します。
- 各デバイスに I²S を入力します。4 台すべてのデバイスに対する位相同期は内部シーケンスによって自動的行われます。

5. DSP コードを初期化します。(実行する必要があるのが PWM 位相同期のみである場合は、このステップをスキップできます)。
6. デバイス間の PWM 位相シフトは 45 度に固定する必要があります。

6.4.4 サーマル フォールドバック

サーマル フォールドバック (TFB) は、推奨される温度 / 電力制限を超えて TAS5815 が動作している場合や、熱システムの設計が推奨値よりも弱い場合に、ダイ温度の過度な上昇からデバイスを保護するように設計されています。TFB を使うと、予期しないサーマル シャットダウンをトリガすることなく、TAS5815 は可能な限り大きな音量で再生できます。ダイ温度によって過熱警告 (OTW) レベル (標準 135°C) がトリガされると、内部 AGL (自動ゲイン リミット) がデジタル ゲインを自動的に低下させます。ダイ温度が OTW を下回ると、デバイスのデジタル ゲインは徐々に以前の設定に戻ります。

6.4.5 デバイスの状態制御

TAS5815 には、消費電力が異なる 5 つの状態があり、これらは電気的特性の表に記載されています。

- シャットダウン モード。PDN ピンを GND にプルダウンします。すべての内部 LDO (デジタル コア用 1.5V、アナログ用 5V) が無効化されており、すべてのレジスタがデフォルト値にクリアされています。

注

シャットダウン モードを終了して再生モードに再移行するには、起動シーケンスをフォロー アップし、すべてのレジスタ構成を再ロードする必要があります (PurePath Console3 で生成可能)。

- ディープ スリープ モード。レジスタ 0x68h [1:0] = 00 の場合、デバイスはディープ スリープ モードに留まります。このモードでは、I²C ブロックおよびデジタル コア用の 1.5V LDO は引き続き動作しますが、低消費電力を実現するために内部 5V LDO (AVDD および MOSFET ゲートドライバ用) は無効化されます。このモードを使用することにより、一部の携帯用スピーカ アプリケーションのバッテリー駆動時間を延長できます。ホストプロセッサがオーディオの再生を長時間停止した場合、ディープ スリープ モードに設定して、ホストプロセッサがオーディオの再生を再開するまで消費電力を最小限に抑えることができます。シャットダウン モード (PDN を Low にプル) とは異なり、ディープ スリープ モードへの移行または終了では、DSP はアクティブ状態を維持します。
- スリープ モード。レジスタ 0x68h [1:0] = 01 の場合、デバイスはスリープ モードに留まります。このモードでは、I²C ブロック、デジタル コア、DSP メモリ、5V アナログ LDO はそのまま動作し続けます。シャットダウン モード (PDN を Low にプル) とは異なり、スリープ モードへの移行または終了では、DSP はアクティブ状態を維持します。レジスタ 0x68h [1:0]=11 に設定するだけで、このモードを終了して再生モードに再移行できます。
- 出力ハイ インピーダンス モード。レジスタ 0x68h [1:0] = 10 の場合、デバイスはハイ インピーダンス モードに留まります。このモードでは、出力ドライバのみがハイ インピーダンス状態に設定され、他のすべてのブロックは通常動作します。レジスタ 0x68h [1:0]=11 に設定するだけで、このモードを終了して再生モードに再移行できます。
- 再生モード。レジスタ 0x68h [1:0] = 11 の場合、デバイスは再生モードに留まります。

6.4.6 デバイス変調

TAS5815 には 3 つの変調方式があります。BD 変調、1SPW 変調、ハイブリッド変調です。レジスタ 0x02 [1:0]-DEVICE_CTRL1 を使用して変調方式を選択します。

6.4.6.1 BD 変調

これは変調方式で、アンプが短いスピーカ配線で誘導性負荷を駆動している場合に、従来の LC 再構成フィルタを使用しないで動作できるようにしています。各出力は、0V から電源電圧に切り替えられます。OUTPx と OUTNx は入力がない状態では互いに同位相なので、スピーカには電流はほとんどまたはまったく流れません。正の出力電圧に対して、OUTPx のデューティ サイクルは 50% より大きく、OUTNx は 50% 未満です。負の出力電圧に対して、OUTPx のデューティ サイクルは 50% 未満、OUTNx は 50% を超えます。負荷にかかる電圧は、多くのスイッチング期間にわたって 0V となるためスイッチング電流が減少し、負荷での I²R の損失が減少します。

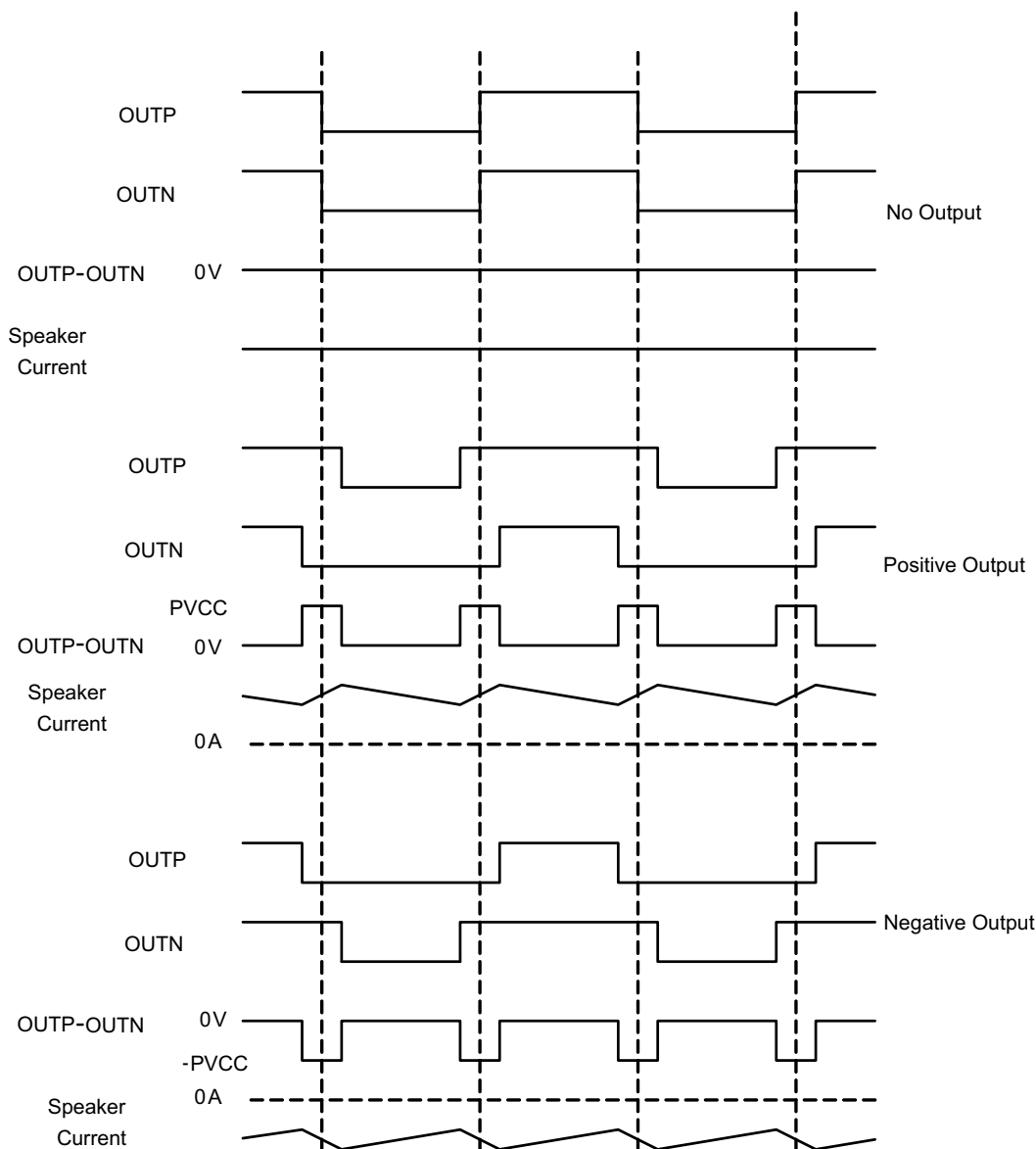


図 6-8. BD モードの変調

6.4.6.2 1SPW 変調

1SPW モードでは、通常の変調方式が変更されて、THD がわずかに劣化し、また、出力フィルタの選択により多くの注意が必要になりますが、効率が向上します。低アイドル電流モードでは、出力はアイドル条件で **17%** の変調で動作します。オーディオ信号を印加すると、1 つの出力が減少し、1 つが増加します。出力信号が減少すると、急速に **GND** にレールされます。この時点で、すべてのオーディオ変調は立ち上がり出力を通して行われます。その結果、オーディオ サイクルの大部分の間、1 つの出力だけがスイッチングします。このモードでは、スイッチング損失が減少するため、効率が向上します。

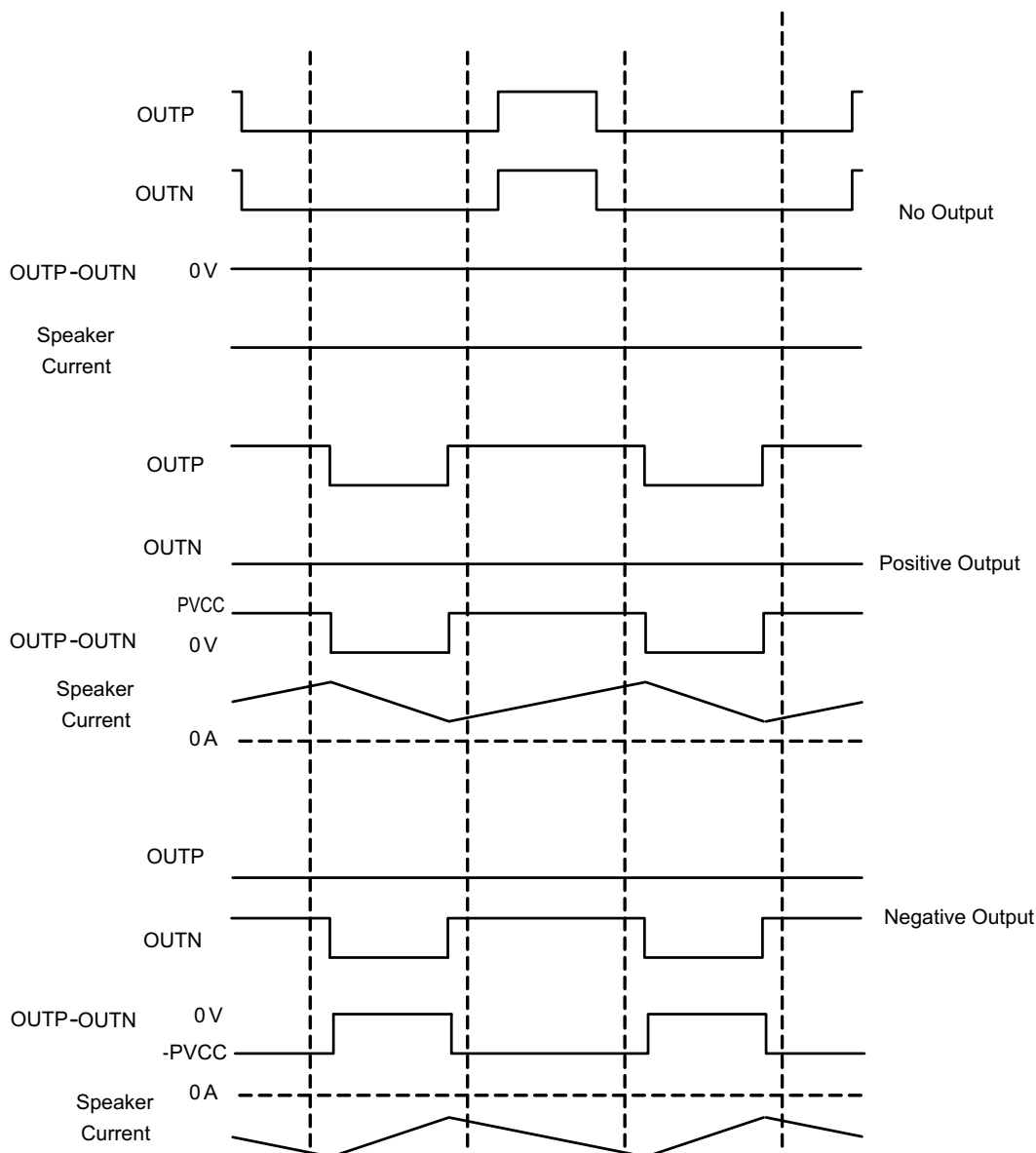


図 6-9. 1SPW モード変調

6.4.6.3 ハイブリッド変調

ハイブリッド変調は、THD + N の性能を損なうことなく電力損失を最小限に抑えるように設計されており、バッテリー駆動アプリケーションに最適です。ハイブリッド変調が有効になっている場合、デバイスは入力信号レベルを検出し、PVDD に基づいて PWM デューティサイクルを動的に調整します。ハイブリッド変調は、超低アイドル電流を実現し、BD 変調と同じオーディオ性能レベルを維持します。消費電力を最小限に抑えるため、適切な LC フィルタ ($15\mu\text{H} + 0.68\mu\text{F}$ または $22\mu\text{H} + 0.68\mu\text{F}$) を使用した低スイッチング周波数 ($F_{\text{sw}} = 384\text{kHz}$ など) を推奨します。ハイブリッド変調を使用する場合は、次の手順に従います。

- 1) ハイブリッド変調では、デバイス開発アプリケーションからシステムの PVDD 値を入力する必要があります。
- 2) ハイブリッド変調では、デバイスの状態をディープ スリープ モードから再生モードに変更する、特定のシーケンスが必要です。
1. レジスタ (ブック 0 / ページ 0 / レジスタ 0x02h、ビット [1:0]) を使用して、デバイスの PWM 変調を BD モードまたは 1SPW モードに設定します。

- レジスタ (ブック 0 / ページ 0 / レジスタ 0x03h、ビット [1:0]) を使用して、デバイスをハイ インピーダンス状態に設定します。
- 2ms 遅延させます。
- レジスタ (ブック 0 / ページ 0 / レジスタ 0x02h、ビット [1:0]) を使用して、デバイスの PWM 変調をハイブリッド モードに設定します。
- 15ms 遅延させます。
- レジスタ (ブック 0 / ページ 0 / レジスタ 0x03h、ビット [1:0]) を使用して、デバイスを再生状態に設定します。

6.4.7 負荷検出

このデバイスは、短絡負荷検出と開放負荷検出をサポートしています。短絡負荷検出により、チャンネルのいずれかまたは両方の負荷インピーダンスが仕様セクションの制限値よりも小さいかどうか報告されます。開放負荷検出により、チャンネルのいずれかまたは両方の負荷インピーダンスが仕様セクションの制限値を超えているかどうか報告されます。

6.4.7.1 短絡負荷検出

短絡負荷検出を使用するには、次の手順に従います。

- 入力デジタル信号チェーンをミュートし、デバイスの出力ドライバを再生モードに設定します。0x03 = 0x0F を登録します。
- 短絡負荷検出を構成し、有効にします。0x7B = 0x03、0x7A = 0xC9 の順に登録します。
- 20ms 待ちます。
- レジスタ 0x7C から短絡負荷ステータスを読み戻します。短絡負荷の結果は、DONE ビットが 1 の場合にのみ有効です。

注

- PBTL モードでは CH2 の短絡負荷レポートを取得します。
-

6.4.7.2 開放負荷検出

開放負荷検出を使用するには、次の手順に従います。

- 入力デジタル信号チェーンをミュートし、デバイスの出力ドライバを再生モードに設定します。0x03 = 0x0F を登録します。
- 開放負荷検出を構成し、有効にします。0x7B = 0x09、0x79 = 0xC0 の順に登録します。
- 20ms 待ちます。
- レジスタ 0x7C から開放負荷ステータスを読み戻します。開放負荷の結果は、DONE ビットが 1 の場合にのみ有効です。
-

注

PBTL モードでは CH2 の開放負荷レポートを取得します。

6.5 プログラミングと制御

6.5.1 I²C シリアル通信バス

このデバイスは双方向のシリアル制御インターフェイスを備え、IC 間 (I²C) バスのプロトコルと互換性があり、100kbps および 400kbps のデータ転送レートをサポートしており、ターゲット デバイスとしてランダムおよびシーケンシャルな書き込みおよび読み取り動作を実現します。TAS5815 のレジスタ マップと DSP メモリは複数のページとブックにまたがるため、ユーザーはページごとに、またはブックごとに変更してから、個別のレジスタや DSP メモリに書き込みます。ブックからブックへの変更は、各ブックのページ 0x00 のレジスタ 0x7F を介して行われます。ページからページへの変更は、各ページのレジスタ 0x00 を介して行われます。このレジスタ値は、ページアドレスを 0 ~ 255 の範囲で選択します。

6.5.2 ターゲット アドレス

TAS5815 デバイスには、ターゲット アドレス用の 7 ビットがあります。ターゲット アドレスの最初の 5 ビット (MSB) は工場出荷時に 10101 (0xAx) にプリセットされています。アドレス バイトの次の 2 ビットは、表 6-4 の ADR ピンでユーザー定義できるデバイス選択ビットです。

表 6-4. I²C ターゲット アドレス構成

ADR/FAULT ピンの構成	MSB					ユーザー定義		LSB
DVDD との間に 4.7kΩ	1	0	1	0	1	0	0	R/W
15kΩ から DVDD へ	1	0	1	0	1	0	1	R/W
47kΩ から DVDD へ	1	0	1	0	1	1	0	R/W
120kΩ から DVDD へ	1	0	1	0	1	1	1	R/W

6.5.2.1 ランダム書き込み

図 6-10 に示すように、シングル バイトのデータ書き込み転送では、マスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することにより開始されます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送する場合、R/W ビットは 0 です。正しい I²C デバイス アドレスと R/W ビットを受信すると、デバイスはアクノリッジ ビットを返します。次に、マスターは、アクセスしている内部メモリ アドレスに対応するアドレス バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビットを返信します。次に、マスター デバイスはアクセスしているメモリ アドレスに書き込まれるデータ バイトを送信します。デバイスは、データ バイトを受信すると、再度アクノリッジ ビットを返信します。最後に、マスター デバイスが停止条件を送信すると、シングル バイト データの書き込み転送が完了します。

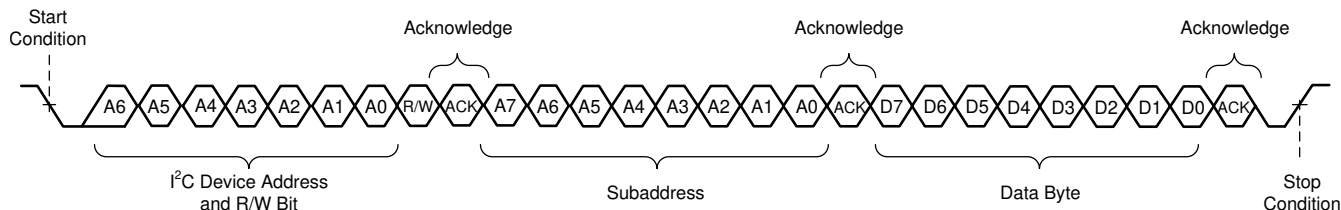


図 6-10. ランダム書き込み転送

6.5.2.2 ランダム読み出し

図 6-11 に示すように、シングル バイトのデータ読み取り転送では、マスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することにより開始されます。データ読み取り転送の場合、実際には書き込みとその次の読み取りの両方が行われます。最初に、内部メモリ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、R/W ビットは 0 になります。このデバイスは、アドレスと読み取り/書き込み ビットを受信すると、アクノリッジ ビットで応答します。さらに、内部メモリ アドレス バイトの送信後、マスター デバイスは別の開始条件に続いて、アドレス、R/W ビットを送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されたことを示します。デバイスは、アドレスと R/W ビットを受信すると、再度アクノリッジ ビットで応答します。次に、デバイスは読み取り中のメモリ アドレスからデータ バイトを送信します。マスター デバイスがデータ バイトを受信すると、ノット アクノリッジと停止条件をこの順番で送信し、シングル バイト データの読み取り転送が完了します。

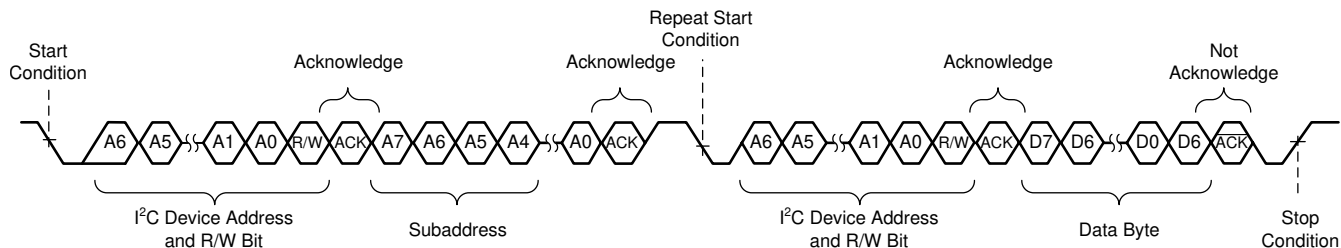


図 6-11. ランダム読み取り転送

6.5.2.3 シーケンシャル書き込み

シーケンシャル データの書き込み転送は、図 6-12 に示すように、複数のデータ バイトがマスターからデバイスに送信される点を除き、シングル バイト データの書き込み転送と同じです。各データバイトを受信すると、デバイスはアクノリッジビットで応答し、I²C サブアドレスが自動的に 1 つずつ増加します。

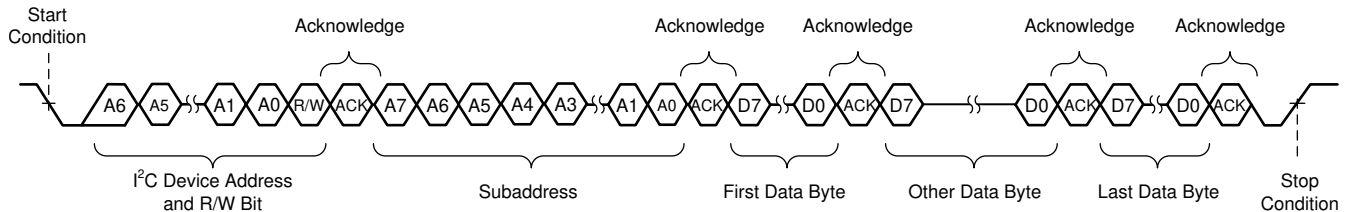


図 6-12. シーケンシャル書き込み転送

6.5.2.4 シーケンシャル読み出し

シーケンシャル データの読み取り転送はシングル バイトのデータ読み取り転送と同じですが、図 6-13 に示すように、複数のデータ バイトがこのデバイスによってプライマリ デバイスに送信されます。プライマリ デバイスは、最後のデータバイトを除いて、各データ バイトを受信するとアクノリッジビットで応答し、I²C サブアドレスを自動的に 1 ずつインクリメントします。最後のデータ バイトを受信した後、プライマリ デバイスは、転送を完了するためにノット アクノリッジを送信し、その後停止条件を送信します。

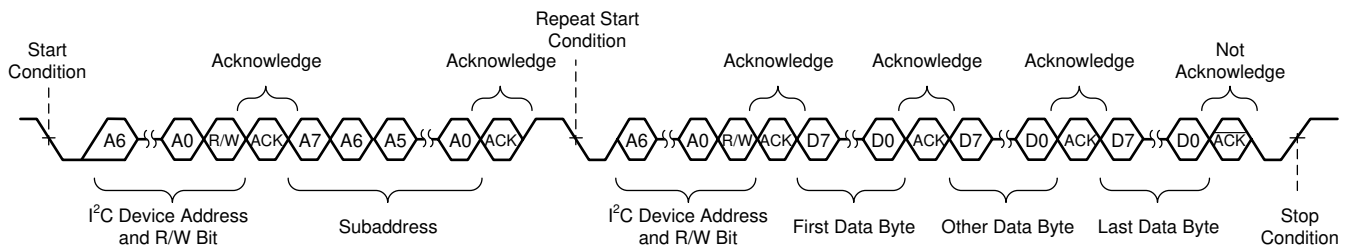


図 6-13. シーケンシャルリード転送

6.5.2.5 DSP メモリ ブック、ページおよび BQ を更新

TAS5815 デバイスは、I²C シリアル バスと、ターゲット デバイスとしてのスタンダード モードおよび高速モード用のデータ 伝送プロトコルをサポートしています。

DSP メモリは、ブック、ページ、およびレジスタに配置されています。各ブックには複数のページがあり、各ページには複数のレジスタがあります。

TAS5815 レジスタ マップは複数のブックとページにまたがっているため、ユーザーは個別のレジスタ ビットやバイトを書き込む前に、正しいブックとページを選択する必要があります。

ブックを変更するには、ユーザーはページ 0x00 にある必要があります。ページ 0x00 のレジスタ 0x7f でブックを変更できます。各ブックのページ 0x00 で、ブックを変更するためにレジスタ 0x7f を使用します。各ページのレジスタ 0x00 は、ページを変更するために使用されます。ブックを変更するには、まずレジスタ 0x00 に 0x00 を書き込んでページ 0 に切り替え、その後、ページ 0 のレジスタ 0x7f にブック番号を書き込みます。ブック内のページを変更するには、レジスタ 0x00 にページ番号を書き込むだけです。

すべてのバイクワッド フィルタ係数は、ブック 0xAA でアドレス指定されています。あらゆるバイクワッド フィルタの 5 つの係数は、すべて、最小アドレスから最高アドレスの順に書き込む必要があります。

6.5.2.6 使用例

以下に、I²C ターゲット アドレス 0xA8 にデバイスを設定し、デバイスのスイッチング周波数を 768kHz、Class-D ループ 帯域幅を 175kHz、BD 変調に設定するためのサンプル スクリプトを示します。

- w A8 00 00 # ページ 0 に移動します
- w A8 7f 00 # ブックを 0x00 に変更します
- w A8 00 00 # ページ 0x00 に移動します
- W A8 02 01 # 1SPW 変調でスイッチング周波数を 768kHz に設定します
- W A8 53 60 # Class-D ループ帯域幅を 175kHz に設定します

例 2: I²C ターゲット アドレス 0xA8 にデバイスを設定し、DSP ホスト メモリを使用してデジタル ボリュームをデフォルト値 0dB に変更するためのサンプル スクリプトを示します。

- w A8 00 00 # ページ 0 に移動します
- w A8 7f 8c # ブックを 0x8C に変更します
- w A8 00 2a # 0x2a ページに移動します
- w A8 24 00 80 00 00 # デジタル ボリュームを 0dB に変更します

6.5.2.7 チェックサム

このデバイスは、巡回冗長性検査 (CRC) チェックサムと排他的 (XOR) チェックサムという 2 種類のチェックサム方式をサポートしています。レジスタの読み出しではチェックサムは変更されませんが、存在しないレジスタに書き込みを行うと、チェックサムが変更されます。両方のチェックサムは 8 ビットのチェックサムであり、両方とも同時に利用できます。チェックサムは、4 バイトの各レジスタ位置に開始値 (たとえば、0x 00 00 00 00) を書き込むことでリセットできます。

6.5.2.7.1 巡回冗長性検査 (CRC) チェックサム

使用される 8 ビット CRC チェックサムは 0x7 多項式 (CRC-8-CCITT I.432.1、ATM HEC、ISDN HEC、およびセルの描画 (1 + x¹ + x² + x⁸)) である。CRC チェックサムの主な利点は、入力順序に敏感であることです。CRC は、ブックとページの切り替えを除く、すべての I²C トランザクションをサポートします。CRC チェックサムは、任意のブックのページ 0 にある (B_x、Page_0、Reg_126) のレジスタ 0x7E から読み出されます。CRC チェックサムは、CRC チェックサムが有効なものであるのと同じレジスタ位置に 0x00 を書き込むことでリセットできます。

6.5.2.7.2 排他 または (XOR) チェックサム

Xor チェックサムは、より単純なチェックサム方式である。各レジスタ バイト書き込みを、直前の 8 ビット チェックサムレジスタ値と順次 XOR 演算します。XOR は、ブック 0x8C のみをサポートしており、ブック 0x8C のページ 0x00 にあるすべてのレジスタは除外されます。XOR チェックサムは、ブック 0x8C (B_140、Page_0、Reg_125) の 0x00 の位置レジスタ 0x7D から読み出されます。XOR チェックサムは、0x00 が読み出されるのと同じレジスタ位置に 0x00 を書き込むことによってリセットできます。

6.5.3 ソフトウェアによる制御

- 起動手順
- シャットダウン手順

6.5.3.1 起動手順

1. I²C デバイス アドレスを適切に設定して $\overline{\text{ADR}}/\overline{\text{FAULT}}$ ピンを設定します。
2. 電源を起動します (PVDD と DVDD のどちらが先に起動するかは問題ではありません)。
3. すべての電源が安定したら、 $\overline{\text{PDN}}$ を High にし、5ms 待ってから、SCLK、LRCLK を開始します。
4. I²S クロックが安定したら、ユーザー ケースに基づいて、I²C 制御ポートを使用してデバイスを構成します (I²C 制御ポートを動作させる前に、 $\overline{\text{PDN}}$ ピンが High であることを確認してください)。
5. これでデバイスは通常動作となります。

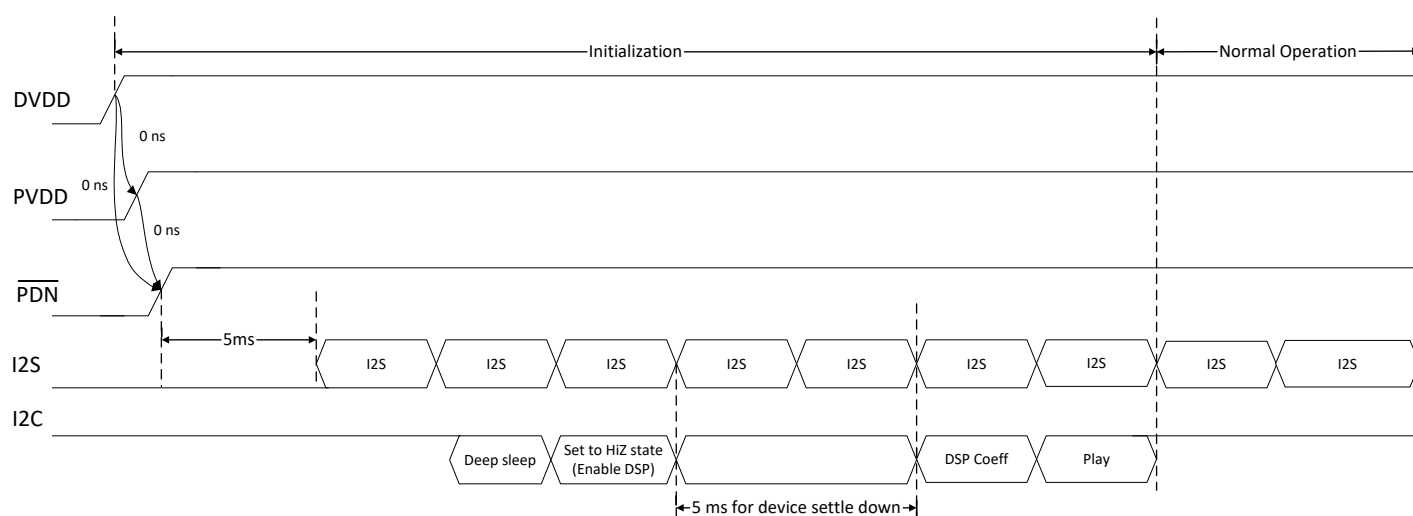
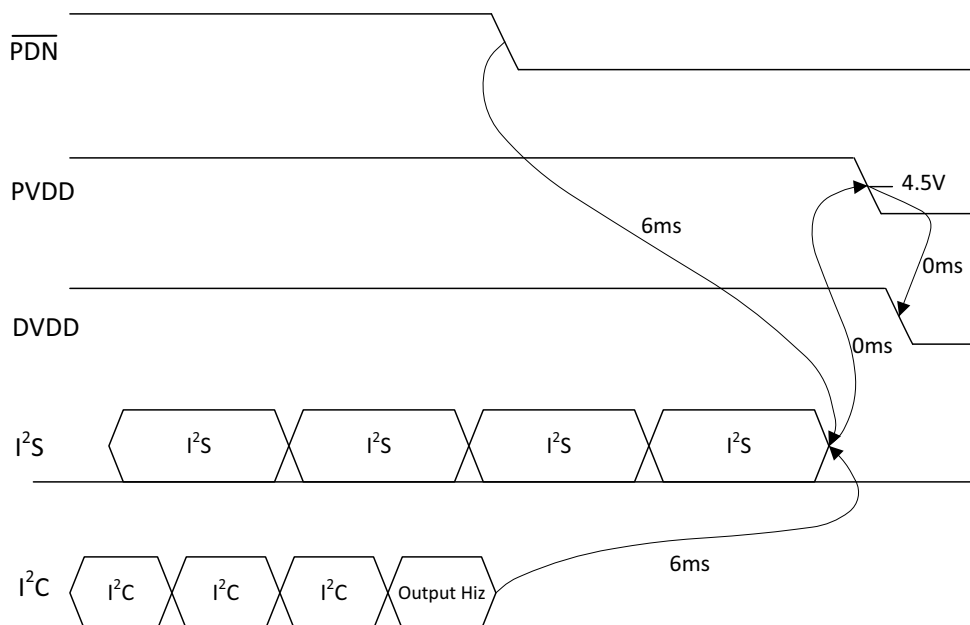


図 6-14. スタートアップ シーケンス

6.5.3.2 シャットダウン手順

1. デバイスは正常に動作しています。
2. I²C 制御ポートを使用して **DEVICE_CTRL2** レジスタ [1:0]=00 (ディープ スリープ) を設定するか、 $\overline{\text{PDN}}$ を low にプルします。
3. これで、クロックを停止して電源を停止できます。
4. これでデバイス完全にシャットダウンし、電源がオフになりました。



- A. PVDD/DVDD のパワー ダウンの前に、Class-D 出力ドライバを $\overline{\text{PDN}}$ または I²C によって無効化する必要があります。
- B. 以下に基づいて少なくとも 6ms の遅延が必要です。すなわち、LRCLK (Fs) = 48kHz、デジタル ボリューム = 24dB、デジタル ボリュームはサンプル期間ごとに 0.5dB 低下します。DIG_VOL_CTRL2 または DIG_VOL_CTRL3 レジスタの値を変更するか、LRCLK レートを変更するか変更すると、遅延時間が変化します。

図 6-15. 電源オフ シーケンス

6.5.3.3 保護および監視

6.5.3.3.1 過電流シャットダウン (OCS D)

PVDD やグランドへの短絡などの重大な短絡イベントが発生した場合、このデバイスはピーク電流検出器を使用し、ピーク電流が十分である場合は、影響を受けたチャネルを 100ns 未満でシャットダウンします。シャットダウン速度は、短絡のインピーダンス、電源電圧、スイッチング周波数など、いくつかの要因に依存します。ユーザーは I²C を介して影響を受けるチャネルを再起動できます。OCS D イベントによって故障ピンがアクティブになり、I²C 故障レジスタによって記録が保存されます。電源またはグランドの短絡が、ピーク電流スレッシュホールドを超えるだけの十分な強度であっても、OCS D をトリガするほどではない場合、ピーク電流リミッタによって出力 FET の損傷が防止され、短絡が解消されると動作は通常に戻ります。

6.5.3.3.2 DC 検出

TAS5815 デバイスが出力電圧で DC オフセットを測定した場合、ADR/FAULT ラインが Low にプルされ、OUTxx 出力がハイインピーダンスに遷移して、故障を通知します。

6.5.3.3.3 デバイス過熱保護機能

ダイ温度が 160°C (標準値) を超えると、デバイスは出力ドライバを再生モードからハイインピーダンスモードに設定します。加熱シャットダウン故障は、ブック 0 / ページ 0 の GLOBAL_FAULT2 (0x72) レジスタによって報告されます。この故障の動作を自動回復モードに設定すると、ダイの温度が 150°C に低下した場合にデバイスは自動的に再生モードに戻ります。自動回復モードに設定しない場合、ブック 0 / ページ 0 の FAULT_CLEAR (0x78) レジスタで故障をクリアすることによって、デバイスは再生モードに戻る必要があります。

6.5.3.3.4 過電圧保護

PVDD 電圧が OVE_{THRES}(PVDD) を超えると、デバイスは出力ドライバを再生モードからハイインピーダンスモードに設定します。過電圧故障は、ブック 0 / ページ 0 の GLOBAL_FAULT1 (0x71) レジスタで報告されます。PVDD 電圧が通常値に戻ると、デバイスは再生モードに戻ります。しかし、このビットはブック 0 / ページ 0 の FAULT_CLEAR (0x78) レジスタで手動でクリアしない限り 1 のままです。

6.5.3.3.5 低電圧保護

PVDD 電圧が UVE_{THRES}(PVDD) (標準 4V) を下回ると、デバイスは出力ドライバを再生モードからハイインピーダンスモードに設定します。低電圧故障は、ブック 0 / ページ 0 の GLOBAL_FAULT1 (0x71) レジスタで報告されます。PVDD が 4.25V (標準値) を超えると、デバイスは再生モードに戻ります。しかし、このビットはブック 0 / ページ 0 の FAULT_CLEAR (0x78) レジスタで手動でクリアしない限り 1 のままです。

6.5.3.3.6 クロック障害

クロックエラー (クロック停止、SCLK/LRCLK 比誤エラー、PLL ロック解除、FS エラー) が発生すると、[セクション 7.1.12](#) および [セクション 7.1.14](#) がこれらのエラーおよびリアルタイムレポートを詳細に監視し、デバイスはハイインピーダンスモードに移行します。クロック故障は、ブック 0 / ページ 0 の [セクション 7.1.34](#) でレポートされます。クロックエラーが解消されると、デバイスは自動的に再生モードに戻ります。しかし、このビットはブック 0 / ページ 0 の [セクション 7.1.40](#) で手動でクリアしない限り 1 のままです。

7 レジスタ マップ

7.1 ポートコントロールレジスタ

表 7-1 に、CONTROL_PORT レジスタのメモリ マップトレジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. CONTROL_PORT レジスタ

オフセット	略称	レジスタ名	セクション
1h	RESET_CTRL	リセット制御	表示
2h	DEVICE_CTRL1	デバイス制御 1	表示
3h	DEVICE_CTRL2	デバイス制御 2	表示
Fh	I2C_PAGE_AUTO_INC	I2C DSP メモリ アクセス ページの自動インクリメント	表示
28h	SIG_CH_CTRL	シグナル チェーン制御	表示
29h	CLOCK_DET_CTRL	クロック検出制御	表示
30h	SDOUT_SEL	SDOUT の選択	表示
31h	I2S_CTRL	I2S 制御 0	表示
33h	SAP_CTRL1	I2S 制御 1	表示
34h	SAP_CTRL2	I2S 制御 2	表示
35h	SAP_CTRL3	I2S 制御 3	表示
37h	FS_MON	FS モニタ	表示
38h	BCLK_MON	BCLK モニタ	表示
39h	CLKDET_STATUS	クロック検出ステータス	表示
40h	DSP_PGM_MODE	DSP プログラム モード	表示
46h	DSP_CTRL	DSP 制御	表示
4Ch	DIG_VOL_CTL	デジタル ボリューム	表示
4Eh	DIG_VOL_CTRL2	デジタル ボリューム制御 2	表示
4Fh	DIG_VOL_CTRL3	デジタル ボリューム制御 3	表示
50h	AUTO_MUTE_CTRL	自動ミュート 制御	表示
51h	AUTO_MUTE_TIME	自動ミュート時間	表示
53h	ANA_CTRL	アナログ コントローラ	表示
54h	AGAIN	アナログ ゲイン	表示
60h	ADR_CTRL	ADR 制御	表示
61h	ADR_SEL	ADR 出力の選択	表示
66h	DSP_MISC	DSP のその他のデータ	表示
67h	DIE_ID	DIE ID	表示
68h	POWER_STATE	電源の状態	表示
69h	AUTOMUTE_STATE	自動ミュート状態	表示
6Ah	RAMP_PHASE_CTRL	スイッチング クロックの位相制御	表示
6Bh	RAMP_SS_CTRL0	スペクトラム拡散制御 0	表示
6Ch	RAMP_SS_CTRL1	スペクトラム拡散制御 1	表示
70h	CHAN_FAULT	チャネル障害	表示
71h	GLOBAL_FAULT1	グローバル故障 1	表示
72h	GLOBAL_FAULT2	グローバル故障 2	表示
73h	OT_WARNING	OT 警告	表示
74h	PIN_CONTROL1	ピン制御 1	表示
75h	PIN_CONTROL2	ピン制御 2	表示
76h	MISC_CONTROL	その他の制御	表示

表 7-1. CONTROL_PORT レジスタ (続き)

オフセット	略称	レジスタ名	セクション
78h	FAULT_CLEAR	フォルト クリア	表示
79h	OLD_CONTROL	開放負荷検出制御	表示
7Ah	SLD_CONTROL1	短絡負荷検出制御 1	表示
7Bh	SLD_CONTROL2	短絡負荷検出制御 2	表示
7Ch	LD_REPORT	負荷検出レポート	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. CONTROL_PORT アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 RESET_CTRL Register (オフセット = 1h) [リセット = 00h]

図 7-1 に、RESET_CTRL を示し、表 7-3 に、その説明を示します。

概略表に戻ります。

リセット制御

図 7-1. RESET_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			RST_MOD	予約済み			RST_REG
W-0h			W-0h	W-0h			W-0h

表 7-3. RESET_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	W	0h	
4	RST_MOD	W	0h	書き込みクリア ビット リセット モジュール このビットは、補間フィルタと DAC モジュールをリセットします。DSP もリセットされるので、RAM 係数の内容も DSP によってクリアされます。このビットは自動的にクリアされ、ハイ インピーダンス モードでのみ設定できます。 0:通常 1:リセット モジュール
3-1	予約済み	W	0h	
0	RST_REG	W	0h	書き込みクリア ビット リセット レジスタ このビットは、モードレジスタを初期値にリセットします。RAM の内容はクリアされません。このビットは自動的にクリアされるため、DAC がハイ インピーダンス モードのときのみセットする必要があります (DAC 実行中のレジスタ リセットは禁止され、サポートしていません) 0:通常 1:リセット モード レジスタ

7.1.2 DEVICE_CTRL1 レジスタ (オフセット = 2h) [リセット = 00h]

図 7-2 に、DEVICE_CTRL1 を示し、表 7-4 に、その説明を示します。

概略表に戻ります。

デバイス制御 1

図 7-2. DEVICE_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み	FSW_SEL			予約済み	PBTL_MODE	変調	
R/W-0h	R/W-0h			R/W-0h	R/W-0h	R/W-0h	

表 7-4. DEVICE_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-4	FSW_SEL	R/W	0h	PWM スイッチング周波数 (Fsw) 3'b 000:768kHz 3'b 001:384kHz 3'b 101:1.024MHz その他は予約済み
3	予約済み	R/W	0h	
2	PBTL_MODE	R/W	0h	0:デバイスを BTL モードに設定 1:デバイスを PBTL モードに設定します
1-0	変調	R/W	0h	00:BD モード 01:1SPW モード 10:ハイブリッド モード 11:予約済み

7.1.3 DEVICE_CTRL2 レジスタ (オフセット = 3h) [リセット = 10h]

図 7-3 に、DEVICE_CTRL2 を示し、表 7-5 に、その説明を示します。

概略表に戻ります。

デバイス制御 2

図 7-3. DEVICE_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み			DSP_RST	MUTE	予約済み	STATE_CTL	
R/W-0h			R/W-1h	R/W-0h	R/W-0h	R/W-0h	

表 7-5. DEVICE_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4	DSP_RST	R/W	1h	DSP リセット ビットが 0 になると、DSP は電源投入を開始し、データを送信します。これは、すべての入力クロックがセトリングした後でのみ 0 にして、DMA チャンネルが同期を終了しないようにする必要があります。 0: 通常動作 1: DSP をリセットします
3	MUTE	R/W	0h	左および右チャンネルの両方をミュート このビットは両チャンネルのソフト ミュート要求を発行します。ボリュームは、ポップ/クリック ノイズを防ぐためにスムーズに下降/上向きになります。 0: 通常のボリューム 1: ミュート
2	予約済み	R/W	0h	このビットは予約済みです
1-0	STATE_CTL	R/W	0h	デバイス状態制御レジスタ 00: ディープ スリープ 01: スリープ 10: Hi-Z 11: PLAY

7.1.4 I2C_PAGE_AUTO_INC レジスタ (オフセット= Fh) [リセット= 00h]

図 7-4 に、I2C_PAGE_AUTO_INC を示し、表 7-6 に、その説明を示します。

概略表に戻ります。

I2C DSP メモリ アクセス ページの自動インクリメント

図 7-4. I2C_PAGE_AUTO_INC レジスタ

7	6	5	4	3	2	1	0
予約済み				PAGE_INC	予約済み		
R/W-0h				R/W-0h	R/W-0h		

表 7-6. I2C_PAGE_AUTO_INC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3	PAGE_INC	R/W	0h	ページ自動増分を無効にします ページ数がゼロ以外の書籍の場合、ページ自動増分モードを無効にします。ページの末尾に達すると、このビットが 0 であれば次のページの 8 番目のアドレス位置に戻ります。このビットが 1 の場合、旧部分と同様に、現在のページ自体の 0 th 位置に移動します。 0: ページ自動インクリメントを有効にします 1: ページ自動インクリメントを無効にします
2-0	予約済み	R/W	0h	

7.1.5 SIG_CH_CTR レジスタ (オフセット = 28h) [リセット = 00h]

図 7-5 に、SIG_CH_CTRL を示し、表 7-7 に、その説明を示します。

概略表に戻ります。

シグナル チェーン制御

図 7-5. SIG_CH_CTRL レジスタ

7	6	5	4	3	2	1	0
BCLK_RATIO				FS_MODE			
R/W-0h				R/W-0h			

表 7-7. SIG_CH_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	BCLK_RATIO	R/W	0h	これらのビットは、構成された BCLK 比 (1 つのオーディオ フレーム内の BCLK クロック数) を示します。 4'b0000: 自動検出 4'b0011:32FS 4'b0101:64FS 4'b0111:128FS 4'b1001:256FS 4'b1011:512FS その他の予約済み
3-0	FS_MODE	R/W	0h	FS 速度モードこれらのビットは、FS 動作モードを選択します。このモードは、現在のオーディオ サンプリング レートに応じて設定する必要があります。 4'b0000 自動検出 4'b0110 32kHz 4'b1000 44.1kHz 4'b1001 48kHz 4'b1010 88.2kHz 4'b1011 96kHz その他は予約済み

7.1.6 CLOCK_DET_CTRL レジスタ (オフセット = 29h) [リセット = 00h]

図 7-6 に、CLOCK_DET_CTRL を示し、表 7-8 に、その説明を示します。

概略表に戻ります。

クロック検出制御

図 7-6. CLOCK_DET_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	DET_PLL	BCLK_RANGE	DET_FS	DET_BCLK	DET_BCLKMISS	予約済み	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 7-8. CLOCK_DET_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6	DET_PLL	R/W	0h	PLL オーバーレート検出を無視 このビットは、PLL オーバーレート検出を無視するかどうかを制御します。PLL は 150MHz よりも低速にする必要があります。そうしないと、エラーが報告されます。無視すると、PLL オーバーレート エラーによってクロック エラーは発生しません。 0:PLL オーバーレート検出を考慮 1:PLL オーバーレート検出を無視します
5	BCLK_RANGE	R/W	0h	BCLK 範囲検出を無視 このビットは、BCLK 範囲検出を無視するかどうかを制御します。BCLK は 256kHz ~ 50MHz の範囲で安定している必要があります。安定していない場合、エラーが通知されます。無視されると、BCLK 範囲エラーによってクロック エラーは発生しません。 0:BCLK 範囲検出を考慮 1:BCLK 範囲検出を無視します
4	DET_FS	R/W	0h	FS エラー検出を無視 このビットは、FS エラー検出を無視するかどうかを制御します。無視されると、FS エラーによってクロック エラーは発生しません。しかし、CLKDET_STATUS は fs エラーを報告します。 0:FS 検出を考慮 1:FS 検出を無視します
3	DET_BCLK	R/W	0h	BCLK 検出を無視 このビットは、LRCLK に対する BCLK 検出を無視するかどうかを制御します。BCLK は 32FS ~ 512FS の範囲で安定している必要があります。安定していない場合、エラーが報告されます。無視されると、BCLK エラーによってクロック エラーは発生しません。 0: BCLK 検出を考慮 1:BCLK 検出を無視します
2	DET_BCLKMISS	R/W	0h	BCLK 欠損検出を無視 このビットは、BCLK 欠損検出を無視するかどうかを制御します。無視されると、BCLK が欠けてもクロック エラーは発生しません。 0: BCLK 喪失検出を考慮します 1:BCLK 消失検出を無視します
1-0	予約済み	R/W	0h	

7.1.7 SDOUT_SEL レジスタ (オフセット = 30h) [リセット = 04h]

図 7-7 に SDOUT_SEL を示し、表 7-9 でその説明を示します。

概略表に戻ります。

SDOUT の選択

図 7-7. SDOUT_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み					CLASSH-LOGIC	SDOUT_MOD	SDOUT_SEL
R/W-0h					R/W-1h	R/W-0h	R/W-0h

表 7-9. SDOUT_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	
2	CLASSH_LOGIC	R/W	1h	Class-H が有効で、デバイスが再生状態ではない場合 1:SDOUT ピンを High に設定 0:SDOUT ピンを Low に設定
1	SDOUT_MOD	R/W	0h	SDOUT をオープンドレインとして設定します。このビットは、出力プッシュプル モードでの GPO 機能にのみ適用され、デフォルトでオープンドレイン モードを使用する機能には影響しません 0:出力プッシュプル モード 1:オープンドレイン モード
0	SDOUT_SEL	R/W	0h	SDOUT 選択 このビットは、GPIO ピン経由で SDOUT として出力されるものを選択します。 0: SDOUT は DSP 出力 (後処理) です。 1:SDOUT は DSP 入力 (前処理) です

7.1.8 I2S_CTRL レジスタ (オフセット = 31h) [リセット = 00h]

図 7-8 に、I2S_CTRL を示し、表 7-10 に、その説明を示します。

概略表に戻ります。

I2S 制御 0

図 7-8. I2S_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み		BCLK_INV	予約済み				
R/W-0h		R/W-0h	R/W-0h				

表 7-10. I2S_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5	BCLK_INV	R/W	0h	BCLK 極性 このビットは、反転 BCLK モードを設定します。反転 BCLK モードでは、DAC は LRCLK と DIN のエッジが BCLK の立ち上がりエッジに整列していることを想定しています。通常は、BCLK の立ち下がりエッジに合わせて調整されているものと想定されています。 0:通常 BCLK モード 1:反転 BCLK モード
4-0	予約済み	R/W	0h	

7.1.9 SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 02h]

図 7-9 に、SAP_CTRL1 を示し、表 7-11 に、その説明を示します。

概略表に戻ります。

I2S 制御 1

図 7-9. SAP_CTRL1 レジスタ

7	6	5	4	3	2	1	0
SHIFT_MSB	予約済み	DATA_FMT		LRCLK_PULSE		FRAME_LENGTH	
R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-2h	

表 7-11. SAP_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SHIFT_MSB	R/W	0h	I2S シフト MSB。下限レジスタ 34h の 8 ビットと組み合わせます。
6	予約済み	R/W	0h	
5-4	DATA_FMT	R/W	0h	I2S データフォーマット これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイス フォーマットを制御します。 00: I2S 01: DSP/TDM 10: RTJ 11: LTJ
3-2	LRCLK_PULSE	R/W	0h	LRCLK パルスが 8 x BCLK より短い場合、ビット 0-1 を「01」に設定します。 それ以外の場合、これらのビットはデフォルト値「00」のままにします 00: LRCLK パルスの high 幅が BCLK の 8 サイクル以上 01: LRCLK パルスの high 幅は、BCLK の 8 サイクル未満です
1-0	FRAME_LENGTH	R/W	2h	I2S ワード長 これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイスのサンプル ワード長を制御します。 00: 16 ビット 01: 20 ビット 10: 24 ビット 11: 32 ビット

7.1.10 SAP_CTRL2 レジスタ (オフセット = 34h) [リセット = 00h]

図 7-10 に、SAP_CTRL2 を示し、表 7-12 に、その説明を示します。

概略表に戻ります。

I2S 制御 2

図 7-10. SAP_CTRL2 レジスタ

7	6	5	4	3	2	1	0
SHIFT_LSB							
R/W-0h							

表 7-12. SAP_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SHIFT_LSB	R/W	0h	I2S シフト LSB これらのビットは、入力と出力の両方のオーディオ フレーム内のオーディオ データのオフセットを制御します。オフセットは、オーディオ フレームの開始 (MSB) から目的のオーディオ サンプルの開始までの BCLK 数として定義されます。 8'b00000000: オフセット = 0 BCLK (オフセットなし) 8'b00000001: オフセット = 1 BCLK 8'b00000010: オフセット = 2 BCLK ... 8'b11111111: オフセット = 512 BCLK

7.1.11 SAP_CTRL3 レジスタ (オフセット = 35h) [リセット = 11h]

図 7-11 に、SAP_CTRL3 を示し、表 7-13 に、その説明を示します。

概略表に戻ります。

I2S 制御 3

図 7-11. SAP_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		CH1_DAC		予約済み		CH2_DAC	
R/W-0h		R/W-1h		R/W-0h		R/W-1h	

表 7-13. SAP_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5-4	CH1_DAC	R/W	1h	チャンネル 1 DAC データ バスこれらのビットは、チャンネル 1 のオーディオデータ バス接続を制御します。 00:ゼロ データ (ミュート) 01: Ch1 データ 10: Ch2 データ 11: 予約済み (設定しないでください)
3-2	予約済み	R/W	0h	
1-0	CH2_DAC	R/W	1h	チャンネル 2 DAC データ バスこれらのビットは、チャンネル 2 のオーディオデータ バス接続を制御します。 00:ゼロ データ (ミュート) 01: Ch2 データ 10: Ch1 データ 11: 予約済み (設定しないでください)

7.1.12 FS_MON レジスタ (オフセット = 37h) [リセット = 00h]

図 7-12 に FS_MON を示し、表 7-14 でその説明を示します。

[概略表](#)に戻ります。

FS モニタ

図 7-12. FS_MON レジスタ

7	6	5	4	3	2	1	0
予約済み		BCLKRATION_MSB		FS_MON			
R-0h		R-0h		R-0h			

表 7-14. FS_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5-4	BCLKRATION_MSB	R	0h	検出された BCLK 比の 2MSB。 これらのビットは、現在検出されている BCLK 比 (1 つのオーディオ フレーム内の BCLK クロック数) を示します。 下位レジスタ 38h の 8 ビットと組み合わせます。BCLK = 32 FS ~ 512 FS
3-0	FS_MON	R	0h	これらのビットは、現在検出されているオーディオ サンプリング レートを示します。 4'b0000 FS エラー 4'b0010 8kHz 4'b0100 16kHz 4'b0110 32kHz 4'b1000 予約済み 4'b1001 48kHz 4'b1011 96kHz その他は予約済み

7.1.13 BCLK_MON レジスタ (オフセット = 38h) [リセット = 00h]

図 7-13 に BCLK_MON を示し、表 7-15 に、その説明を示します。

概略表に戻ります。

BCLK モニタ

図 7-13. BCLK_MON レジスタ

7	6	5	4	3	2	1	0
BCLKRATIO_LSB							
R-0h							

表 7-15. BCLK_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BCLKRATIO_LSB	R	0h	これらのビットは、現在検出されている BCLK 比 (1 つのオーディオ フレーム内の BCLK クロック数) を示します。 BCLK = 32 FS ~ 512 FS

7.1.14 CLKDET_STATUS レジスタ (オフセット = 39h) [リセット = 00h]

図 7-14 に、CLKDET_STATUS を示し、表 7-16 に、その説明を示します。

概略表に戻ります。

クロック検出ステータス

図 7-14. CLKDET_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み	BCLK_OVERRATE	PLL_OVERRATE	PLL_LOCKED	BCLK_MISSING	BCLK_VALID	FS_VALID	
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-16. CLKDET_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5	BCLK_OVERRATE	R	0h	このビットは、BCLK がオーバーレートかアンダーレートかを示します。 0: BCLK はアンダーレートです 1: BCLK はオーバーレートです
4	PLL_OVERRATE	R	0h	このビットは PLL がオーバーレートであるかどうかを示します。 0: PLL はアンダーレートです 1: PLL はオーバーレートです
3	PLL_LOCKED	R	0h	このビットは、PLL がロックされているかどうかを示します。PLL がディセーブルになると、PLL はロック解除されて通知されます。 0: PLL はロックされています 1: PLL はロックされていません
2	BCLK_MISSING	R	0h	このビットは、BCLK が欠落しているかどうかを示します。 0: BCLK は通常 1: BCLK がありません
1	BCLK_VALID	R	0h	このビットは BCLK が有効かどうかを示します。BCLK 比は安定しており、32 ~ 512FS の範囲内で有効にする必要があります。 0: BCLK は有効 1: BCLK が有効ではありません
0	FS_VALID	R	0h	自動検出モード (reg_fsmode = 0) では、このビットはオーディオ サンプリングレートが有効かどうかを示します。非自動検出モード (reg_fsmode != 0) では、FS エラーは、LRCLK (FS) で設定された構成されたサンプリング周波数が、検出されたサンプリング周波数と異なることを示します。FS エラー検出無視がセットされていても、このフラグもアサートされます。 0: サンプリング レートは有効 1: 無効

7.1.15 DSP_PGM_MODE レジスタ (オフセット = 40h) [リセット = 01h]

図 7-15 に、DSP_PGM_MODE を示し、表 7-17 に、その説明を示します。

概略表に戻ります。

DSP プログラム モード

図 7-15. DSP_PGM_MODE レジスタ

7	6	5	4	3	2	1	0
予約済み				CH1_HIZ	CH2_HIZ	予約済み	
R/W-0h				R/W-0h	R/W-0h	R/W-1h	

表 7-17. DSP_PGM_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3	CH1_HIZ	R/W	0h	0: 通常動作 1: CH1 をハイ インピーダンス モードに強制
2	CH2_HIZ	R/W	0h	0: 通常動作 1: CH2 をハイ インピーダンス モードに強制
1-0	予約済み	R/W	1h	

7.1.16 DSP_CTRL レジスタ (オフセット = 46h) [リセット = 01h]

図 7-16 に、DSP_CTRL を示し、表 7-18 に、その説明を示します。

概略表に戻ります。

DSP 制御

図 7-16. DSP_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			PROC_RATE	予約済み			
R/W-0h			R/W-0h	R/W-1h			

表 7-18. DSP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4	PROC_RATE	R/W	0h	0:96k の処理フロー、2.0 処理 SRC を有効 1:48k の処理フロー、2.1 処理フローを有効
3-0	予約済み	R/W	1h	

7.1.17 DIG_VOL_CTL レジスタ (オフセット = 4Ch) [リセット = 30h]

図 7-17 に DIG_VOL_CTL を示し、表 7-19 でその説明を示します。

概略表に戻ります。

デジタル ボリューム

図 7-17. DIG_VOL_CTL レジスタ

7	6	5	4	3	2	1	0
PGA							
R/W-30h							

表 7-19. DIG_VOL_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PGA	R/W	30h	デジタル ボリューム これらのビットはデジタル ボリュームを制御します。デジタル ボリュームは、-0.5dB ステップで 24dB から -103dB です。 8'b00000000: +24.0 dB 8'b00000001: +23.5 dB ... 8'b00101111: +0.5 dB 8'b00110000: 0.0 dB 8'b00110001: -0.5 dB ... 8'b11111110: -103 dB 8'b11111111: ミュート

7.1.18 DIG_VOL_CTRL2 レジスタ (オフセット = 4Eh) [リセット = 33h]

図 7-18 に、DIG_VOL_CTRL2 を示し、表 7-20 に、その説明を示します。

概略表に戻ります。

デジタル ボリューム制御 2

図 7-18. DIG_VOL_CTRL2 レジスタ

7	6	5	4	3	2	1	0
VNDF		VNDS		VNUF		VNUS	
R/W-0h		R/W-3h		R/W-0h		R/W-3h	

表 7-20. DIG_VOL_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VNDF	R/W	0h	デジタル ボリューム通常ランプダウン周波数 これらのビットは、ボリュームがランプダウンしているときのデジタル ボリュームの更新周波数を制御します 00:1 FS 期間ごとに更新 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11: ボリュームを直接ゼロに設定します (インスタント ミュート)
5-4	VNDS	R/W	3h	デジタル ボリューム通常ランプダウン周波数 これらのビットは、ボリュームがランプダウンしているときのデジタル ボリュームの更新周波数を制御します 00:1 FS 期間ごとに更新 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11: ボリュームを直接ゼロに設定します (インスタント ミュート)
3-2	VNUF	R/W	0h	デジタル ボリューム通常ランプアップ周波数 これらのビットは、ボリュームがランプアップしているときのデジタル ボリュームの更新周波数を制御します 00:1 FS 期間ごとに更新 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11: ボリュームを直接復元する (即時ミュート解除)
1-0	VNUS	R/W	3h	デジタル ボリューム通常ランプ アップ ステップ これらのビットは、ボリュームのランプアップ時のデジタル ボリュームの更新手順を制御します 00: 更新ごとに 4dB インクリメント 01: 更新ごとに 2dB インクリメント 10: 更新ごとに 1dB インクリメント 11: 更新ごとに 0.5dB インクリメント

7.1.19 DIG_VOL_CTRL3 レジスタ (オフセット = 4Fh) [リセット = 30h]

図 7-19 に、DIG_VOL_CTRL3 を示し、表 7-21 に、その説明を示します。

概略表に戻ります。

デジタル ボリューム制御 3

図 7-19. DIG_VOL_CTRL3 レジスタ

7	6	5	4	3	2	1	0
VEDF		VEDS		予約済み			
R/W-0h		R/W-3h		R/W-0h			

表 7-21. DIG_VOL_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VEDF	R/W	0h	デジタル ボリューム緊急ランプダウン周波数 これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新頻度を制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です 00:1 FS 期間ごとに更新 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11:ボリュームを直接ゼロに設定します (インスタントミュート)
5-4	VEDS	R/W	3h	デジタル ボリューム緊急ランプダウン ステップ これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新ステップを制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です 00:更新ごとに 4dB デクリメント 01:更新ごとに 2dB デクリメント 10:更新ごとに 1dB デクリメント 11:更新ごとに 0.5dB デクリメント
3-0	予約済み	R/W	0h	

7.1.20 AUTO_MUTE_CTRL レジスタ (オフセット = 50h) [リセット = 00h]

図 7-20 に AUTO_MUTE_CTRL を示し、表 7-22 でその説明を示します。

概略表に戻ります。

自動ミュート 制御

図 7-20. AUTO_MUTE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み					AM_CTL	AMUTE_CH2	AMUTE_CH1
R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 7-22. AUTO_MUTE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	
2	AM_CTL	R/W	0h	0:チャンネル 1 とチャンネル 2 を個別に自動ミュート 1:両方のチャンネルをミュートにしようとしている場合にのみ、チャンネル 1 とチャンネル 2 を自動的にミュートします
1	AMUTE_CH2	R/W	0h	チャンネル 2 の自動ミュート このビットは、チャンネル 2 の自動ミュートを有効または無効にします 0:チャンネル 2 の自動ミュートを無効にします 1:チャンネル 2 の自動ミュートを有効にします
0	AMUTE_CH1	R/W	0h	チャンネル 1 の自動ミュート このビットは、チャンネル 1 の自動ミュートを有効または無効にします 0:チャンネル 1 の自動ミュートを無効にします 1:チャンネル 1 の自動ミュートを有効にします

7.1.21 AUTO_MUTE_TIME レジスタ (オフセット = 51h) [リセット = 55h]

図 7-21 に AUTO_MUTE_TIME を示し、表 7-23 でその説明を示します。

概略表に戻ります。

自動ミュート時間

図 7-21. AUTO_MUTE_TIME レジスタ

7	6	5	4	3	2	1	0
予約済み		CH1_AMT		予約済み		CH2_AMT	
R/W-0h		R/W-5h		R/W-0h		R/W-5h	

表 7-23. AUTO_MUTE_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-4	CH1_AMT	R/W	5h	チャンネル 1 の自動ミュート時間 これらのビットは、チャンネルを自動ミュートできるようにするために、ch1 で の連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケーリ ングされます。 000: 11.5ms 001: 53ms 010: 106.5ms 011: 266.5ms 100: 0.535 秒 101: 1.065 秒 110: 2.665 sec 111: 5.33 秒
3	予約済み	R/W	0h	
2-0	CH2_AMT	R/W	5h	チャンネル 2 の自動ミュート時間 これらのビットは、チャンネルを自動ミュートできるようにするために、ch2 で の連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケーリ ングされます。 000: 11.5ms 001: 53ms 010: 106.5ms 011: 266.5ms 100: 0.535 秒 101: 1.065 秒 110: 2.665 sec 111: 5.33 秒

7.1.22 ANA_CTRL レジスタ (オフセット = 53h) [リセット = 00h]

図 7-22 に ANA_CTRL を示し、表 7-24 でその説明を示します。

概略表に戻ります。

アナログ コントローラ

図 7-22. ANA_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	BW_CTL		予約済み			PHASE_CTL	
R/W-0h	R/W-0h		R/W-0h			R/W-0h	

表 7-24. ANA_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-5	BW_CTL	R/W	0h	Class-D ループ帯域幅 00: 100kHz 01: 80kHz 10: 120kHz 11: 175kHz Fsw = 384kHz の場合、100kHz の帯域幅を選択することで、高いオーディオ性能を実現できます。Fsw = 768kHz の場合、高いオーディオ性能を得るには、175kHz の帯域幅を選択する必要があります。
4-1	予約済み	R/W	0h	
0	PHASE_CTL	R/W	0h	0: 位相差 1: 相差で

7.1.23 AGAIN レジスタ (オフセット = 54h) [リセット = 00h]

図 7-23 に、AGAIN を示し、表 7-25 に、その説明を示します。

概略表に戻ります。

アナログ ゲイン

図 7-23. AGAIN レジスタ

7	6	5	4	3	2	1	0
予約済み				AGAIN			
R/W-0h				R/W-0h			

表 7-25. AGAIN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4-0	AGAIN	R/W	0h	アナログ ゲイン 制御このビットはアナログ ゲインを制御します 00000: 0 dB 00001: -0.5 dB 11111: -15.5dB

7.1.24 ADR_CTRL レジスタ (オフセット = 60h) [リセット = 00h]

図 7-24 に ADR_CTRL を示し、表 7-26 に、その説明を示します。

概略表に戻ります。

ADR 制御

図 7-24. ADR_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み							ADR_OE
R/W-0h							R/W-0h

表 7-26. ADR_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0h	
0	ADR_OE	R/W	0h	ADR 出力イネーブル このビットは ADR ピンの方向を設定します 0:ADR は入力です 1:ADR は出力です

7.1.25 ADR_SEL レジスタ (オフセット = 61h) [リセット = 00h]

図 7-25 に ADR_SEL を示し、表 7-27 に、その説明を示します。

[概略表](#)に戻ります。

ADR 出力の選択

図 7-25. ADR_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				ADR_SEL			
R/W-0h				R/W-0h			

表 7-27. ADR_SEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4-0	ADR_SEL	R/W	0h	b'00000:オフ (Low) b'00011: 自動ミュート フラグ (L と R の両方のチャンネルが自動ミュートされているときにアサート) b'00100: 左チャンネルの自動ミュート フラグ b'00101: 右チャンネルの自動ミュート フラグ b'00110: クロック無効フラグ (クロック エラーまたはクロック消失) b'00111: PLL ロック フラグ b'01000: 警告 b'01001: シリアル オーディオ インターフェイス データ出力 (SDOUT) b'01011: FAULTZ 出力としての ADR その他: 予約済み

7.1.26 DSP_MISC レジスタ (オフセット = 66h) [リセット = 00h]

図 7-26 に DSP_MISC を示し、表 7-28 でその説明を示します。

概略表に戻ります。

DSP のその他のデータ

図 7-26. DSP_MISC レジスタ

7	6	5	4	3	2	1	0
予約済み		DSP_MISC	予約済み				
R/W-0h		R/W-0h	R/W-0h				

表 7-28. DSP_MISC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5	DSP_MISC	R/W	0h	0:Class-H 無効 1:Class H 有効
4-0	予約済み	R/W	0h	

7.1.27 DIE_ID レジスタ (オフセット = 67h) [リセット = A7h]

図 7-27 に DIE_ID を示し、表 7-29 でその説明を示します。

概略表に戻ります。

DIE ID

図 7-27. DIE_ID レジスタ

7	6	5	4	3	2	1	0
DIE_ID							
R-A7h							

表 7-29. DIE_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIE_ID	R	A7h	TAS5815 のダイ ID

7.1.28 POWER_STATE レジスタ (オフセット = 68h) [リセット = 00h]

図 7-28 に POWER_STATE を示し、表 7-30 でその説明を示します。

概略表に戻ります。

電源の状態

図 7-28. POWER_STATE レジスタ

7	6	5	4	3	2	1	0
予約済み						STATE_RPT	
R-0h						R-0h	

表 7-30. POWER_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	
1-0	STATE_RPT	R	0h	00: ディープ スリープ 01: スリープ 10: Hi-Z 11: 再生

7.1.29 AUTOMUTE_STATE レジスタ (オフセット = 69h) [リセット = 00h]

図 7-29 に AUTOMUTE_STATE を示し、表 7-31 でその説明を示します。

概略表に戻ります。

自動ミュート状態

図 7-29. AUTOMUTE_STATE レジスタ

7	6	5	4	3	2	1	0
予約済み						CH2MUTE_ST ATUS	CH1MUTE_ST ATUS
R-0h						R-0h	R-0h

表 7-31. AUTOMUTE_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	
1	CH2MUTE_STATUS	R	0h	このビットは、チャンネル 2 の自動ミュート ステータスを示します。 0: 自動ミュートなし 1: 自動ミュート
0	CH1MUTE_STATUS	R	0h	このビットは、チャンネル 1 の自動ミュート ステータスを示します。 0: 自動ミュートなし 1: 自動ミュート

7.1.30 RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h]

図 7-30 に RAMP_PHASE_CTRL を示し、表 7-32 でその説明を示します。

概略表に戻ります。

スイッチング クロックの位相制御

図 7-30. RAMP_PHASE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み				RAMPPHASE_SEL		予約済み	
R/W-0h				R/W-0h		R/W-0h	

表 7-32. RAMP_PHASE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-2	RAMPPHASE_SEL	R/W	0h	複数のデバイスが 1 つのシステムに統合されている場合にランプ クロック フェーズを選択する EMI とピーク電源ピーク電流を低減するために、すべてのデバイスを同じランプ周波数と同じスペクトラム拡散に設定することを推奨します。この機能が必要な場合は、デバイスを再生モードに駆動する前に設定する必要があります。 00: 0 度 01: 45 度 10: 90 度 11: 135 度 以上の全例で 45 度の位相シフトがあります
1-0	予約済み	R/W	0h	I2S を使用して出力 PWM 位相を同期 0: ディスエーブル 1: イネーブル
0	PHASE_SYNC_EN	R/W	0h	0: RAMP 位相同期ディスエーブル 1: RAMP 位相同期イネーブル

7.1.31 RAMP_SS_CTRL0 レジスタ (オフセット = 6Bh) [リセット = 00h]

図 7-31 に、RAMP_SS_CTRL0 を示し、表 7-33 に、その説明を示します。

概略表に戻ります。

スペクトラム拡散制御 0

図 7-31. RAMP_SS_CTRL0 レジスタ

7	6	5	4	3	2	1	0
予約済み						RDM_EN	TRI_EN
R/W-0h						R/W-0h	R/W-0h

表 7-33. RAMP_SS_CTRL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0h	
1	RDM_EN	R/W	0h	0:ランダム SS ディスエーブル 1:ランダム SS イネーブル
0	TRI_EN	R/W	0h	0:三角波 SS ディスエーブル 1:三角波 SS イネーブル

7.1.32 RAMP_SS_CTRL1 レジスタ (オフセット = 6Ch) [リセット = 00h]

図 7-32 に、RAMP_SS_CTRL1 を示し、表 7-34 に、その説明を示します。

概略表に戻ります。

スペクトラム拡散制御 1

図 7-32. RAMP_SS_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み	RDM_CTL			TRI_CTL			
R/W-0h	R/W-0h			R/W-0h			

表 7-34. RAMP_SS_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-4	RDM_CTL	R/W	0h	ランダム SS 範囲制御 384kHz の F_{SW} の場合 3'b000: SS 範囲 +/- 0.62% 3'b010: SS 範囲 +/- 1.88% 3'b011: SS 範囲 +/- 4.38% 3'b100: SS 範囲 +/- 9.38% 3'b101: SS 範囲 +/- 19.38% その他: 予約済み 768kHz の F_{SW} の場合 3'b000: SS 範囲 - 1.25% 3'b001: SS 範囲 +/- 1.25% 3'b010: SS 範囲 +/- 3.75% 3'b011: SS 範囲 +/- 8.75% 3'b100: SS 範囲 +/- 18.75% 3'b101: SS 範囲 +/- 38.75% その他: 予約済み
3-0	TRI_CTL	R/W	0h	三角波 SS 周波数と範囲制御 384kHz の F_{SW} の場合 4'b0000: 24kHz SS +/- 5% 4'b0001: 24kHz SS +/- 10% 4'b0010: 24kHz SS +/- 20% 4'b0011: 24kHz SS +/- 25% 4'b0100: 48kHz SS +/- 5% 4'b0101: 48kHz SS +/- 10% 4'b0110: 48kHz SS +/- 20% 4'b0111: 48kHz SS +/- 25% 4'b1000: 32kHz SS +/- 5% 4'b1001: 32kHz SS +/- 10% 4'b1010: 32kHz SS +/- 20% 4'b1011: 32kHz SS +/- 25% 4'b1100: 16kHz SS +/- 5% 4'b1101: 16kHz SS +/- 10% 4'b1110: 16kHz SS +/- 20% 4'b1111: 16kHz SS +/- 25%

7.1.33 CHAN_FAULT レジスタ (オフセット = 70h) [リセット = 00h]

図 7-33 に CHAN_FAULT を示し、表 7-35 でその説明を示します。

概略表に戻ります。

チャンネル障害

図 7-33. CHAN_FAULT レジスタ

7	6	5	4	3	2	1	0
予約済み				CH1DC	CH2DC	CH1OC	CH2OC
R-0h				R-0h	R-0h	R-0h	R-0h

表 7-35. CHAN_FAULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	
3	CH1DC	R	0h	チャンネル 1 DC フォルト。DC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
2	CH2DC	R	0h	チャンネル 2 DC フォルト。DC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
1	CH1OC	R	0h	チャンネル 1 過電流フォルト。OC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
0	CH2OC	R	0h	チャンネル 2 過電流フォルト。OC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

7.1.34 GLOBAL_FAULT1 レジスタ (オフセット = 71h) [リセット = 00h]

図 7-34 に、GLOBAL_FAULT1 を示し、表 7-36 に、その説明を示します。

概略表に戻ります。

グローバル故障 1

図 7-34. GLOBAL_FAULT1 レジスタ

7	6	5	4	3	2	1	0
予約済み	BQWRTFAULT_FLAG	予約済み			CLKFAULT_FLAG	PVDDOV_FLAG	PVDDUV_FLAG
R-0h	R-0h	R-0h			R-0h	R-0h	R-0h

表 7-36. GLOBAL_FAULT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6	BQWRTFAULT_FLAG	R	0h	0: 最近の BQ が正常に書き込まれました 1: 最近の BQ 書き込みは失敗しました
5-3	予約済み	R	0h	
2	CLKFAULT_FLAG	R	0h	クロック不良。クロック フォルトが発生するとフォルトがラッチされ、このビットは 1 に設定されます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。 クロック フォルトは自動回復モードと連携して動作し、クロック エラーが解消すると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
1	PVDDOV_FLAG	R	0h	PVDD OV フォルト。OV フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。 OV フォルトは自動回復モードで動作し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
0	PVDDUV_FLAG	R	0h	PVDD UV フォルト。UV フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。 UV フォルトは自動回復モードと連携し、UV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

7.1.35 GLOBAL_FAULT2 レジスタ (オフセット = 72h) [リセット = 00h]

図 7-35 に、GLOBAL_FAULT2 を示し、表 7-37 に、その説明を示します。

概略表に戻ります。

グローバル故障 2

図 7-35. GLOBAL_FAULT2 レジスタ

7	6	5	4	3	2	1	0
予約済み							OTSD_FLAG
R-0h							R-0h

表 7-37. GLOBAL_FAULT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	
0	OTSD_FLAG	R	0h	過熱シャットダウン フォルト OT フォルトが発生すると、フォルトがラッチされ、このビットは 1 に設定されます。 Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。 OV フォルトは自動回復モードで動作し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

7.1.36 OT_WARNING (オフセット = 73h) [リセット = 00h]

図 7-36 に OT_WARNING を示し、表 7-38 でその説明を示します。

概略表に戻ります。

OT 警告

図 7-36. OT_WARNING レジスタ

7	6	5	4	3	2	1	0
予約済み					OTW_FLAG	予約済み	
R-0h					R-0h	R-0h	

表 7-38. OT_WARNING レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	
2	OTW_FLAG	R	0h	0: 温度警告なし 1: 過熱警告がトリガされます
1-0	予約済み	R	0h	

7.1.37 PIN_CONTROL1 レジスタ (オフセット = 74h) [リセット = 00h]

図 7-37 に、PIN_CONTROL1 を示し、表 7-39 に、その説明を示します。

概略表に戻ります。

ピン制御 1

図 7-37. PIN_CONTROL1 レジスタ

7	6	5	4	3	2	1	0
MASK_OTSD	MASK_DVDDUV	MASK_DVDDOV	MASK_CLKERR	MASK_PVDDUV	MASK_PVDDOV	MASK_DC	MASK_OC
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-39. PIN_CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MASK_OTSD	R/W	0h	0:OTSD フォルト通知を有効化 1:OTSD 障害通知をマスクします
6	MASK_DVDDUV	R/W	0h	0:DVDD UV フォルト通知を有効化 1:DVDD UV レポートをマスクします
5	MASK_DVDDOV	R/W	0h	0:DVDD OV フォルト通知を有効化 1:DVDD OV フォルト通知をマスクします
4	MASK_CLKERROR	R/W	0h	0:CLK フォルト通知を有効化 1:CLK 障害通知をマスクします
3	MASK_PVDDUV	R/W	0h	0:UV フォルト通知を有効化 1:UV 障害通知をマスクします
2	MASK_PVDDOV	R/W	0h	0:OV フォルト通知を有効化 1:OV 障害通知をマスクします
1	MASK_DC	R/W	0h	0:DC フォルト通知を有効化 1:DC 障害通知をマスクします
0	MASK_OC	R/W	0h	0:OC フォルト通知を有効化 1:OC 障害通知をマスクします

7.1.38 PIN_CONTROL2 レジスタ (オフセット = 75h) [リセット = F8h]

図 7-38 に、PIN_CONTROL2 を示し、表 7-40 に、その説明を示します。

概略表に戻ります。

ピン制御 2

図 7-38. PIN_CONTROL2 レジスタ

7	6	5	4	3	2	1	0
予約済み		CLKFAULTLATCH_EN	OTSDLATCH_EN	OTWLATCH_EN	MASK_OTW	予約済み	
R/W-3h		R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	

表 7-40. PIN_CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	3h	
5	CLKFAULTLATCH_EN	R/W	1h	0:CLK フォルト ラッチを無効化 1:CLK フォルト ラッチを有効化
4	OTSDLATCH_EN	R/W	1h	0:OTSD フォルト ラッチを無効化 1:OTSD フォルト ラッチを有効化
3	OTWLATCH_EN	R/W	1h	0:OTW 警告ラッチを無効化 1:OTW 警告ラッチを有効化
2	MASK_OTW	R/W	0h	0:OTW 警告レポートを有効化 1:OTW 警告レポートをマスクします
1-0	予約済み	R/W	0h	

7.1.39 MISC_CONTROL レジスタ (オフセット = 76h) [リセット = 00h]

図 7-39 に MISC_CONTROL を示し、表 7-41 でその説明を示します。

概略表に戻ります。

その他の制御

図 7-39. MISC_CONTROL レジスタ

7	6	5	4	3	2	1	0
CLKDET_LATCH	予約済み		OTSD_AUTOREC	予約済み			
R/W-0h	R/W-0h		R/W-0h	R/W-0h			

表 7-41. MISC_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLKDET_LATCH	R/W	0h	1:ラッチ クロック検出ステータス 0:ラッチ クロック検出ステータスがない
6-5	予約済み	R/W	0h	
4	OTSD_AUTOREC	R/W	0h	0:OTSD 自動復帰を無効化 1:OTSD 自動復帰を有効化
3-0	予約済み	R/W	0h	

7.1.40 FAULT_CLEAR レジスタ (オフセット = 78h) [リセット = 00h]

図 7-40 に FAULT_CLEAR を示し、表 7-42 でその説明を示します。

概略表に戻ります。

フォルト クリア

図 7-40. FAULT_CLEAR レジスタ

7	6	5	4	3	2	1	0
FAULT_CLR	予約済み						
W-0h	W-0h						

表 7-42. FAULT_CLEAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FAULT_CLR	W	0h	書き込みクリア ビット 0:フォルト クリアなし 1:アナログ障害をクリアします
6-0	予約済み	W	0h	

7.1.41 OLD_CONTROL レジスタ (オフセット = 79h) [リセット = 00h]

図 7-41 に OLD_CONTROL を示し、表 7-43 でその説明を示します。

概略表に戻ります。

開放負荷検出制御

図 7-41. OLD_CONTROL レジスタ

7	6	5	4	3	2	1	0
DET_EN	PLUSE_EN	WAIT_TIME	DISCHG_TIME	CHG_TIME			
W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 7-43. OLD_CONTROL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DET_EN	W	0h	0: 開放負荷検出はイネーブル 1: 開放負荷検出はディスエーブル
6	PLUSE_EN	R/W	0h	0: OLD パルス注入はディスエーブル 1: OLD パルス注入はイネーブル
5-4	WAIT_TIME	R/W	0h	00: 0.5ms 01: 1ms 10: 2ms 11: 4ms
3-2	DISCHG_TIME	R/W	0h	00: 3ms 01: 6ms 10: 12ms 11: 24ms
1-0	CHG_TIME	R/W	0h	00: 1ms 01: 2ms 10: 4ms 11: 8ms

7.1.42 SLD_CONTROL1 レジスタ (オフセット = 7Ah) [リセット = 09h]

図 7-42 に、SLD_CONTROL1 を示し、表 7-44 に、その説明を示します。

概略表に戻ります。

短絡負荷検出制御 1

図 7-42. SLD_CONTROL1 レジスタ

7	6	5	4	3	2	1	0
DET_EN	STATUS_SET	WIN_SET			DUTY_SET		
W-0h	W-0h	W-1h			W-1h		

表 7-44. SLD_CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DET_EN	W	0h	0:短絡負荷検出はディスエーブル 1:短絡負荷検出はイネーブル
6	STATUS_SET	W	0h	0:OL 検出後に終了して再生 1:ハイ インピーダンスに戻り、このビットを手動でクリアした後、再生に戻る
5-3	WIN_SET	W	1h	b'000:15us b'001:20us b'010:30us b'011:40us b'100:50us b'101:60us b'110:70us b'111:80us
2-0	DUTY_SET	W	1h	b'000:100% デューティ方形波 b'001:20% デューティ方形波 b'010:40% デューティ方形波 b'011:50% デューティ方形波 b'100:60% デューティ方形波 b'101:70% デューティ方形波 b'110:80% デューティ方形波 b'111:90% デューティ方形波

7.1.43 SLD_CONTROL2 レジスタ (オフセット = 7Bh) [リセット = 03h]

図 7-43 に、SLD_CONTROL2 を示し、表 7-45 に、その説明を示します。

概略表に戻ります。

短絡負荷検出制御 2

図 7-43. SLD_CONTROL2 レジスタ

7	6	5	4	3	2	1	0
DISCHG_TIME		STATUS_SET		予約済み			
R/W-0h		R/W-0h		R/W-3h			

表 7-45. SLD_CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DISCHG_TIME	R/W	0h	00:1ms 01:2ms 10:4ms 11:8ms
5	STATUS_SET	R/W	0h	0:SL 検出後に終了して再生 1:ハイ インピーダンスに戻り、このビットを手動でクリアした後、再生に戻る
4-0	予約済み	R/W	3h	

7.1.44 LD_REPORT レジスタ (オフセット = 7Ch) [リセット = 00h]

図 7-44 に LD_REPORT を示し、表 7-46 でその説明を示します。

概略表に戻ります。

負荷検出レポート

図 7-44. LD_REPORT レジスタ

7	6	5	4	3	2	1	0
予約済み	SLD_STATUS2	SLD_STATUS1	SLDET_FLAG	予約済み	OLD_STATUS2	OLD_STATUS1	OLDET_FLAG
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-46. LD_REPORT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6	SLD_STATUS2	R	0h	0:チャンネル 2 に短絡負荷なし 1:チャンネル 2 の短絡負荷
5	SLD_STATUS1	R	0h	0:チャンネル 1 に短絡負荷なし 1:チャンネル 1 の短絡負荷
4	SLDET_FLAG	R	0h	0:短絡負荷を検出中 1:短絡負荷の検出が終了
3	予約済み	R	0h	
2	OLD_STATUS2	R	0h	0:チャンネル 2 に開放負荷なし 1:チャンネル 2 の開放負荷
1	OLD_STATUS1	R	0h	0:チャンネル 1 に開放負荷なし 1:チャンネル 1 の開放負荷
0	OLDET_FLAG	R	0h	0:開放負荷を検出中 1:開放負荷の検出が終了

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

このセクションでは、複数の一般的な構成でデバイスを構成するために必要な情報について詳細に説明し、より大規模なシステムに TAS5815 デバイスを統合するためのガイダンスを提供します。

8.1.1 ブートストラップコンデンサ

TAS5815 の出力段は、PMOS ドライバではなくハイサイド NMOS ドライバを使用しています。ハイサイド NMOS のゲートドライバ電圧を生成するために、各出力端子のブートストラップ コンデンサがスイッチング サイクルのフローティング電源として機能します。0.22μF のコンデンサを使用して、適切な出力ピン (OUT_X) をブートストラップ ピン (BST_X) に接続します。たとえば、A チャネルをブートストラップするため、OUT_A と BST_A の間に 0.22μF のコンデンサを接続します。同様に、B チャネルの反転出力については、別の 0.22μF のコンデンサを OUT_B ピンと BST_B ピンの間に接続します。

8.1.2 インダクタの選択

ピーク電流は、OCP (過電流保護) 値である 7A (代表値) よりも小さいことが必要です。インダクタに大きなピーク電流が生じる原因となるケースは 3 つあります。

1. 電源投入時 (idle 状態、オーディオ入力なし) には、デューティ サイクルが 0 から θ に増加します。

$$I_{peak_power_up} \approx PVDD \times \sqrt{C/L} \times \sin(1/\sqrt{L \times C} \times \theta / F_{sw}) \quad (1)$$

注

θ = 0.5 (BD 変調)、0.14 (1SPW 変調)、0.14 (ハイブリッド変調)。この式は、概算値を提示するだけであり、使用する LC フィルタに基づいてスタートアップ電流の測定を行うことを推奨します。

表 8-1. 電源投入時のピーク電流

PVDD	L (μH)	C (μF)	Fsw (kHz)	I _{peak_power_up}
24	4.7	0.68	384	6.07A
24	4.7	0.68	768	3.25A
24	10	0.68	384	3A
24	10	0.68	768	1.55A
12	4.7	0.68	384	3.32A
12	10	0.68	384	1.55A

2. 音楽再生中は、PVDD クリッピングが困難な一部のオーディオ バースト信号 (高周波) により、PWM デューティ サイクルが大幅に増加します。これは最悪の場合であり、めったに起こりません。

$$I_{peak_clipping} \approx PVDD \times (1 - \theta) / (F_{sw} \times L) \quad (2)$$

3. 最大出力電力によるピーク電流。ここでは、コンデンサを流れるリップル電流は無視してください。

$$I_{peak_output_power} \approx \sqrt{2 \times Max_Output_Power / R_{speaker_Load}} \quad (3)$$

同じ PVDD およびスイッチング周波数では、インダクタンスが大きいほどアイドル電流が小さくなり、消費電力が低減されます。電源投入時およびオーディオ再生時のアンプのピーク電流よりもインダクタの飽和電流 I_{SAT} を大きくすることを推奨します。

$$I_{SAT} \geq \max(I_{peak_power_up}, I_{peak_clipping}, I_{peak_output_power}) \quad (4)$$

さらに、データシートの仕様を満たすには、ピーク電流での実効インダクタンスを、表 8-2 に示すインダクタンス値の 80% 以上とする必要があります。

表 8-2. LC フィルタの推奨事項

スイッチング周波数 (kHz)	変調方式	LC フィルタ設計に推奨される最小インダクタンス (μH)
1024	1SPW	3.3μH (またはそれ以上) + コンデンサ (0.22μF ~ 0.68μF)
768		4.7μH (またはそれ以上) + コンデンサ (0.22μF ~ 0.68μF)
384 または 480		10μH (またはそれ以上) + コンデンサ (0.22μF ~ 0.68μF)
384~1024	BD	8.2μH (またはそれ以上) + コンデンサ (0.22μF ~ 0.68μF)

インダクタの選択については、[LCFILTER-CALC-TOOL](#) を参照してください。

8.1.3 電源のデカップリング

高効率、低 THD、高 PSRR を確保するには、適切な電源デカップリングが必要です。電源ラインのノイズ過渡は、短時間の電圧スパイクです。これらのスパイクには、数百メガヘルツに及ぶ周波数成分が含まれている可能性があります。電源入力、22μF よりも大きな高品質、低 ESL、低 ESR のコンデンサでデカップリングする必要があります。これらのコンデンサは、低周波数ノイズをグランド プレーンにバイパスします。高周波デカップリングの場合、1μF または 0.1μF コンデンサを、デバイスの PVDD ピンのできるだけ近くに配置します。

8.1.4 出力 EMI フィルタリング

TAS5815 デバイスは多くの場合、ローパス フィルタとともに使用され、PWM 変調出力のキャリア周波数をフィルタリングして除去するために使用されます。このフィルタは、2 極フィルタを構成する誘導性素子 L と容量性素子 C が存在するため、よく LC フィルタと呼ばれます。

LC フィルタはキャリア周波数を減衰させ、電磁放射を削除し、電源から引き込む電流波形を平滑化します。LC フィルタの存在とサイズは、いくつかのシステム レベルの制約によって決まります。低消費電力の使用事例では、EMI の影響を受けやすい他の回路を採用していない場合も、単純なフェライト ビーズまたはフェライト ビーズとコンデンサを組み合わせることで、一般的に使用されている従来の大型インダクタとコンデンサを置き換えることができます。その他の大電力アプリケーションでは、最大出力に大型のトロイド インダクタが必要であり、オーディオ特性からフィルム コンデンサを使用することができます。必要な負荷と応答に基づいた LC フィルタの適切な部品選択および設計の詳細については、アプリケーション レポート [Class-D LC フィルタの設計 \(SLOA119\)](#) を参照してください。

8.2 代表的なアプリケーション

8.2.1 2.0 (ステレオ BTL) システム

2.0 システムでは、デジタル入力信号を介して 2 つのチャンネルがアンプに供給されます。これら 2 つのチャンネルは増幅され、2 つの個別のスピーカに送られます。場合によっては、L-C フィルタ後のパッシブ クロスオーバー ネットワークで周波数に基づいて、増幅された信号がさらに分離されます。それでも、アプリケーションは 2.0 と見なされます。

最も一般的には、2 つのチャンネルはステレオペアと呼ばれる信号のペアであり、1 つのチャンネルには左のチャンネルのオーディオが含まれ、もう 1 つのチャンネルには右のチャンネルのオーディオが含まれます。2 つのチャンネルは、マルチチャンネルスピーカ システムの 2 つのサラウンド チャンネルなど、任意の 2 つのオーディオ チャンネルを含めることができますが、2 つのチャンネル システムで最も一般的に発生するのは、ステレオ ペアです。

図 8-1 および 図 8-2 に、それぞれフェライト ビーズ フィルタおよび L-C フィルタを使用した 2.0 (ステレオ BTL) システム アプリケーションを示します。

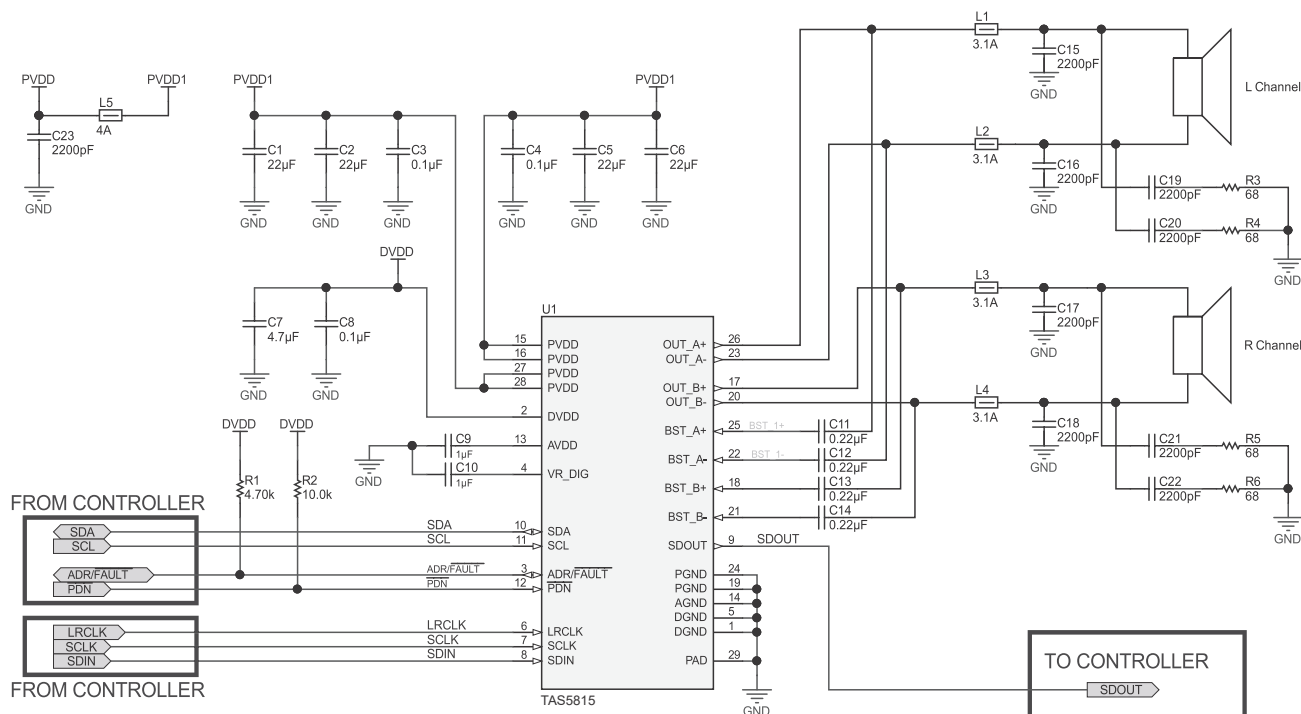


図 8-1. フェライト ビーズを出力フィルタとして使用した 2.0 (ステレオ BTL) システム アプリケーションの回路図

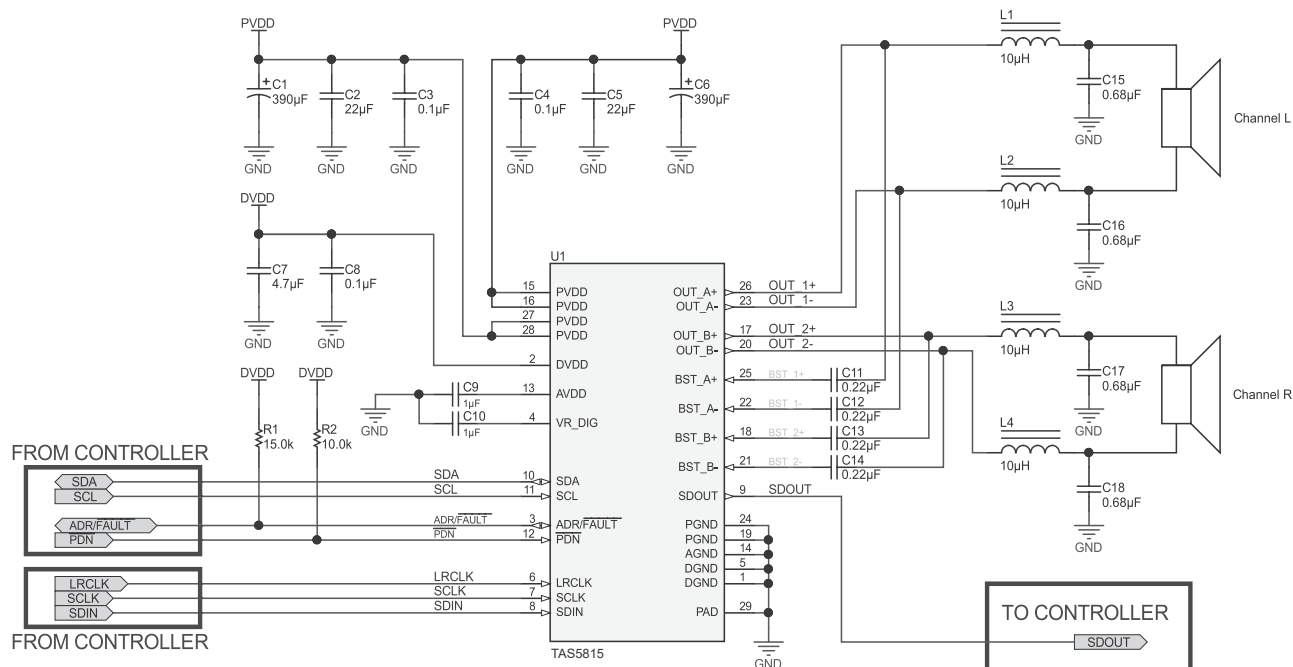


図 8-2. インダクタを出力フィルタとして使用した 2.0 (ステレオ BTL) システムアプリケーションの回路図

8.2.1.1 設計要件

- 電源:
 - DVDD 用の 3.3V または 1.8V 電源。
 - 4.5V PVDD 用 ~ 26.4V 電源。
- 通信: I2C 準拠コントローラとして機能するホスト プロセッサ。
- 係数として使用される外部メモリ (EEPROM やフラッシュなど)。

ステレオ 2.0 (BTL) システムの TAS5815 デバイスのサポート部品要件は、表 8-3 表 8-3 および 表 8-4 で説明しています。

表 8-3. ステレオ 2.0 (BTL) システムのサポート部品要件 (フェライト ビーズを出力フィルタとして使用)

リファレンス指定子	値	サイズ	詳細説明
C1, C2, C5, C6	22uF	0805	コンデンサ、セラミック、22μF、35V、±20%、JB、0805
C3, C4	0.1uF	0402	コンデンサ、セラミック、0.1μF、50V、±10%、X7R、0402
C7	4.7uF	0603	コンデンサ、セラミック、4.7μF、10V、±10%、X5R、0603
C8	0.1uF	0603	コンデンサ、セラミック、0.1μF、16V、±10%、X7R、0603
C9, C10	1uF	0603	コンデンサ、セラミック、1μF、16V、±10%、X5R、0603
R1	4.70kΩ	0402	抵抗、4.70kΩ、1%、0.0625W、0402
R2	10.0kΩ	0404	抵抗、10.0kΩ、1%、0.063W、0402
C11, C12, C13, C14	0.22uF	0603	コンデンサ、セラミック、0.22μF、50V、±10%、X7R、0603
C15, C16, C17, C18, C19, C20, C21, C22, C23	2200pF	0603	コンデンサ、セラミック、2200pF、100V、±10%、X7R、0603
R3, R4, R5, R6	68ohm	0603	抵抗、68Ω、5%、0.1W、0603
L1, L2, L3, L4	300ohm	0806	フェライト ビーズ、300Ω@100MHz、3.1A、0806
L5	100Ω	0806	フェライト ビーズ、100MHz で 100Ω、4A、0806

低 EMI 技術により、TAS5815 は、PVDD が 14V 未満のほとんどのアプリケーションに対し、フェライトビーズ (低 BOM コスト) を使用して十分な EMI マージンを確保できます。表 8-3 では、フェライトビーズとコンデンサを出力フィルタとして使用し、適切な構成 (フェライトビーズ、コンデンサ、抵抗の適切な値) を用いているため、PVDD = 12V、スピーカ負荷 = 8Ω/6Ω、各スピーカ配線の長さ 1m、各チャンネルの出力電力 = 1W/4W/8W という標準的な場合について十分な EMI マージンを達成しています。

- フェライトビーズ (L1 ~ L5) を選択します。トレードオフは、インピーダンスと定格電流です。定格電流がシステムの要件を満たす場合、インピーダンスが大きくなると、特に周波数帯域 5MHz ~ 50MHz の場合、EMI に対応する EMI マージンが大きくなります。TAS5815 に対し推奨される標準的なフェライトビーズは、NFZ2MSM シリーズ (Murata) と UPZ2012E シリーズ (Sunlord) です。100MHz で 300Ω のフェライトビーズは標準的な値であり、ほとんどのアプリケーション ケースで EMI に合格できます。
- コンデンサ (C15 ~ C23) を選択します。トレードオフは、コンデンサの値とアイドル電流です。コンデンサが大きいとアイドル電流が大きくなるため、周波数帯域 5MHz ~ 100MHz の場合、コンデンサの値を 1nF から 2.2nF に大きくすると非常に役立ちます。
- フェライトビーズを出力フィルタとして使用します。Fsw = 384kHz に設定し、スペクトラム拡散をイネーブルして、BD 変調を使用することを推奨します。セクション 6.4.3.1 を参照してください。
- 出力電力としてフェライトビーズを使用します。EMI (AC 伝導エミッション) 規格に合格するためには、EMI フィルタを備えた AC/DC アダプタが必要です。110V ~ 220V の電源を必要とするほとんどのアプリケーション (TV / 音声制御スピーカ / ワイヤレススピーカ / サウンドバー) では通常、AC/DC アダプタに EMI フィルタがあります。場合によっては、DC 電源を使用し、DC 伝導エミッションをテストする必要もあります。このアプリケーション (車載 / 産業) では、TAS5815 の PVDD にシンプルな EMI フィルタが必要です。アプリケーション ノート:『AN-2162 DC-DC コンバータからの伝導 EMI への簡単な対処方法』を参照してください。

表 8-4. ステレオ 2.0 (BTL) システムのサポート部品要件 (インダクタを出力フィルタとして使用)

リファレンス指定子	値	サイズ	詳細説明
C1, C6	390μF	10mmx10mm	コンデンサ、アルミ、390μF、35V、±20%、0.08Ω、SMD
C2, C5	22μF	0603	コンデンサ、セラミック、22μF、35V、±20%、JB、0805
C3, C4	0.1μF	0402	コンデンサ、セラミック、0.1μF、50V、±10%、X7R、0402
C7	4.7μF	0603	コンデンサ、セラミック、4.7μF、10V、±10%、X5R、0603
C8	0.1μF	0603	CAP、CERM、0.1μF、16V、±10%、X7R、0603
C9, C10	1μF	0603	CAP、CERM、1μF、16V、±10%、X5R、0603
R1	15.0kΩ	0402	抵抗、15.0kΩ、1%、0.0625W、0402
R2	10.0kΩ	0404	抵抗、10.0kΩ、1%、0.063W、0402
C11, C12, C13, C14	0.22μF	0603	コンデンサ、セラミック、0.22μF、50V、±10%、X7R、0603
C15, C16, C17, C18	0.68μF	0805	コンデンサ、セラミック、0.68μF、50V、±10%、X7R、0805
L1, L2, L3, L4	10μH		インダクタ、シールド付き、10μH、4.4A、0.023Ω、SMD

インダクタを出力フィルタとして使用することにより、設計者はアイドル電流を非常に低く (ハイブリッド変調または 1SPW 変調を使用)、大きな EMI マージンを維持できます。TAS5815 のスイッチング周波数は 384kHz ~ 768kHz の範囲で調整できます。スイッチング周波数が高いほど、必要なインダクタの値も小さくなります。

- 768kHz のスイッチング周波数。設計者は出力フィルタとして 10μH + 0.68μF または 4.7μH + 0.68μF を選択できます。これにより、インダクタの選択時に同じ定格電流に対するインダクタのサイズを低減できます。4.7μH + 0.68μF の場合、OC スレッシュホールド (5A) をトリガする大きなリップル電流を回避するため、確実に PVDD が 12V 以下となるようにしてください。
- 384kHz のスイッチング周波数。設計者は出力フィルタとして 22μH + 0.68μF、15μH + 0.68μF、または 10μH + 0.68μF を選択できます。これは、一部のバッテリー電源アプリケーションの消費電力を節約するのに役立ちます。10μH + 0.68μF の場合、OC スレッシュホールド (5A) をトリガする大きなリップル電流を回避するため、確実に PVDD が 12V 以下となるようにしてください。

8.2.2 詳細な設計手順

この設計手順は、ステレオ 2.0 システムまたはモノラル 2.1 システムに対し使用できます。

8.2.2.1 ステップ 1：ハードウェア統合

- 代表的なアプリケーション回路図をガイドとして使用して、ハードウェアをシステム回路図に統合します。
- 上記のレイアウト例で示されている推奨部品配置、基板レイアウト、配線に従い、デバイスとサポート部品をシステムの PCB ファイルに統合します。
 - 回路の最も重要なセクションは、電源入力、アンプの出力信号、高周波信号であり、すべてシリアル オーディオ ポートに入力されます。設計トレードオフとしての所定の先例となるようこれらの信号を構築することを推奨します。
 - 質問やサポートについては、E2E フォーラム (E2E.ti.com) を参照してください。推奨レイアウトから逸脱する必要がある場合は、E2E フォーラムにアクセスしてレイアウトのレビューを依頼してください。

8.2.2.2 ステップ 2：スピーカ チューニング

[TAS5815EVM](#) 基板および [PPC3](#) チューニング ソフトウェアを使用して、目的のデバイス設定を構成します

8.2.2.3 ステップ 3：ソフトウェアの統合

- [PPC3](#) チューニング ソフトウェア アプリのエンド システム統合機能を使用して、ベースライン構成ファイルを生成します。
- 最終製品の動作モードに基づいて追加の構成ファイルを生成し、静的な構成情報を初期化ファイルに統合します。
- 動的コントロール (ボリューム コントロール、ミュート コマンド、モードベースの EQ カーブなど) をメイン システム プログラムに統合します。

8.2.3 モノラル(PBTL) システム

モノラル モードでは、TAS5815 PBTL モードとして使用してサブウーファをより多くの出力で駆動できます。

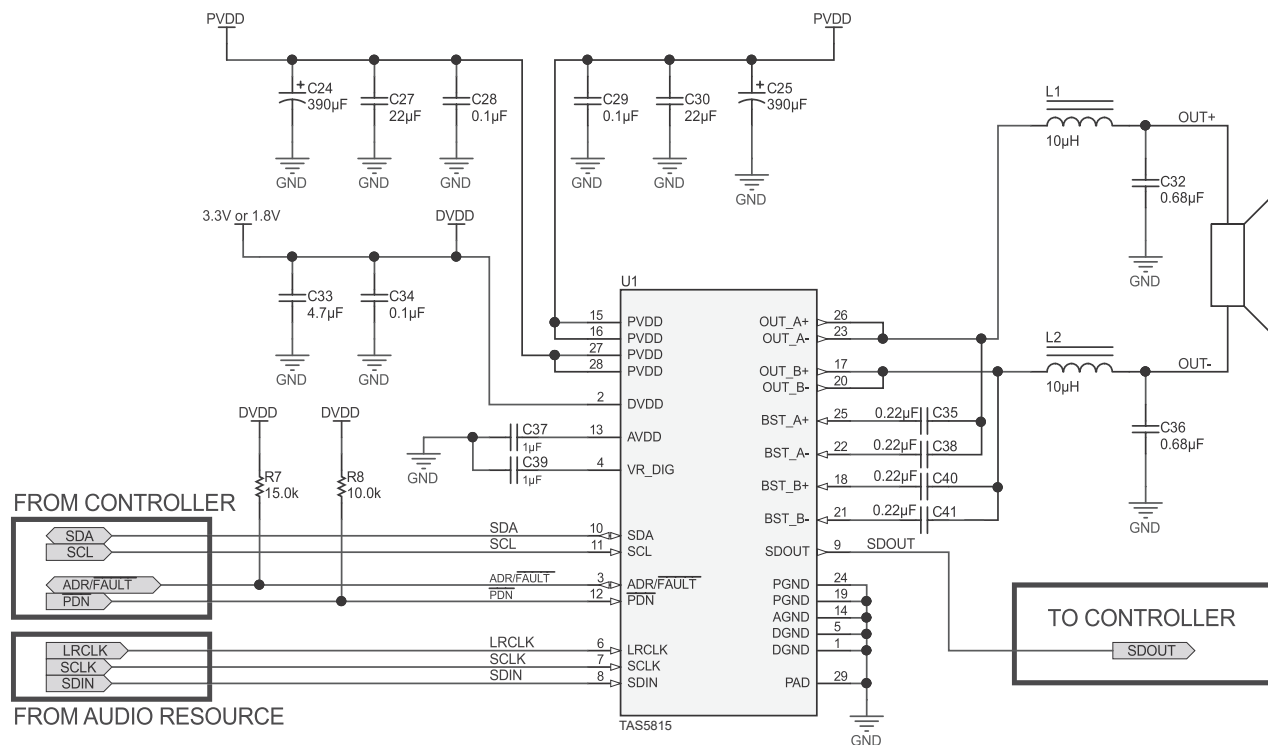


図 8-3. モノラル (PBTL) システム アプリケーションの回路図

8.2.3.1 設計要件

- 電源:
 - 3.3V または 1.8V 電源
 - 4.5V ~ 26.4V 電源
- 通信: I²C 準拠コントローラとして機能するホスト プロセッサ
- 係数として使用される外部メモリ (EEPROM やフラッシュなど)

モノラル (PBTL) システムの TAS5815 デバイスのサポート コンポーネントの要件は、表 8-5 で説明しています。

表 8-5. モノラル (PBT) システムのサポート部品要件 (インダクタを出力フィルタとして使用)

リファレンス指定子	値	サイズ	詳細説明
C24、C25	390uF	10mmx10mm	コンデンサ、アルミ、390μF、35V、±20%、0.08Ω、SMD
C27、C30	22uF	0603	コンデンサ、セラミック、22μF、35V、±20%、JB、0805
C28、C29	0.1uF	0402	コンデンサ、セラミック、0.1μF、50V、±10%、X7R、0402
C33	4.7uF	0603	コンデンサ、セラミック、4.7μF、10V、±10%、X5R、0603
C34	0.1uF	0603	コンデンサ、セラミック、0.1μF、16V、±10%、X7R、0603
C37、C39	1uF	0603	コンデンサ、セラミック、1μF、16V、±10%、X5R、0603
R7	4.70kΩ	0402	抵抗、4.70kΩ、1%、0.0625W、0402
R8	10.0kΩ	0404	抵抗、10.0kΩ、1%、0.063W、0402
C35、C38、C40、C41	0.22uF	0603	コンデンサ、セラミック、0.22μF、50V、±10%、X7R、0603
C32、C36	0.68uF	0805	コンデンサ、セラミック、0.68μF、50V、±10%、X7R、0805
L1、L2	10uH		インダクタ、シールド付き、10μH、7A、0.023Ω、SMD

詳細な設計手順については、[セクション 8.2.2](#) を参照してください。

8.2.4 Advanced 2.1 System (2 つの TAS5815 デバイス)

より高性能なシステムでは、高周波チャンネルで行われるように、デジタル オーディオ処理を使用してサブウーファー出力を向上させることができます。これを実現するために、2 つの TAS5815 デバイスが使用されます。1 つは高周波の左右スピーカ用、もう 1 つはモノラル サブウーファー スピーカ用です。このシステムでは、オーディオ信号を **SDOUT** ピン経由で TAS5815 デバイスから送信できます。あるいは、サブウーファー アンプは、セントラル システム プロセッサからのステレオと同じデジタル入力を受け入れることができます。図 8-4 に 2.1 (ステレオ BTL と 2 つの TAS5815 デバイス) のシステム アプリケーションを示します。

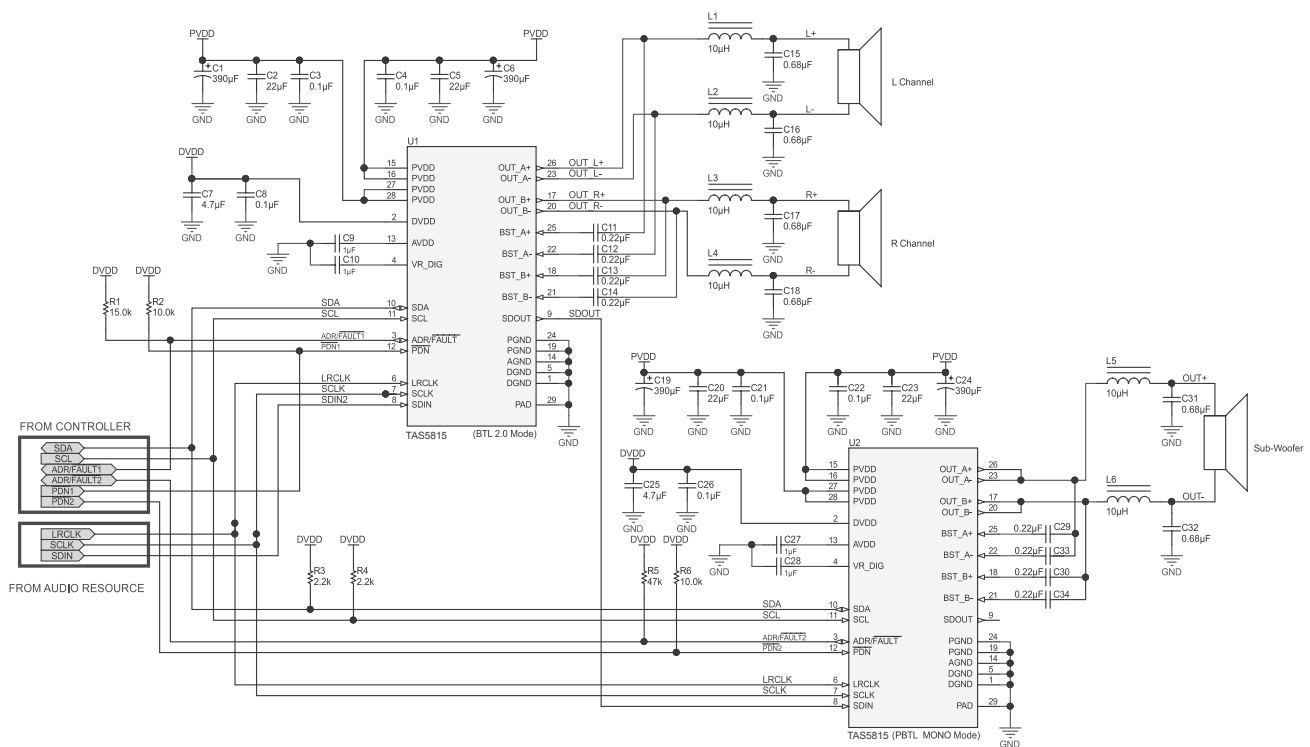


図 8-4. 2.1 (2 つの TAS5815 デバイス付き 2.1 チャンネル) アプリケーションの回路図

8.3 電源に関する推奨事項

TAS5815 デバイスを正常に動作させるためには、2 つの電源が必要です。スピーカ アンプの出力段とその関連回路に給電するには、高電圧電源と PVDD 電圧が必要です。デバイスの各種低消費電力部分に電力を供給するには、DVDD と呼ばれる 1 つの低電圧電源が必要です。PVDD 電源と DVDD 電源の両方の許容電圧範囲を、「推奨動作条件」の表に示します。2 つの電源装置には、必要なパワーアップ シーケンスがありません。電源は任意の順序で投入できますが、デバイスの初期化が完了したら、PVDD を通常動作電圧の範囲内に維持する必要があります。PVDD が 3.5V を下回ると、すべてのレジスタを再度初期化する必要があります。I²C 通信を開始する前に DVDD 電源が安定するまで 1ms ~ 5ms 待機し、デバイス出力を有効化する前に安定した I²S クロックを供給することを推奨します。

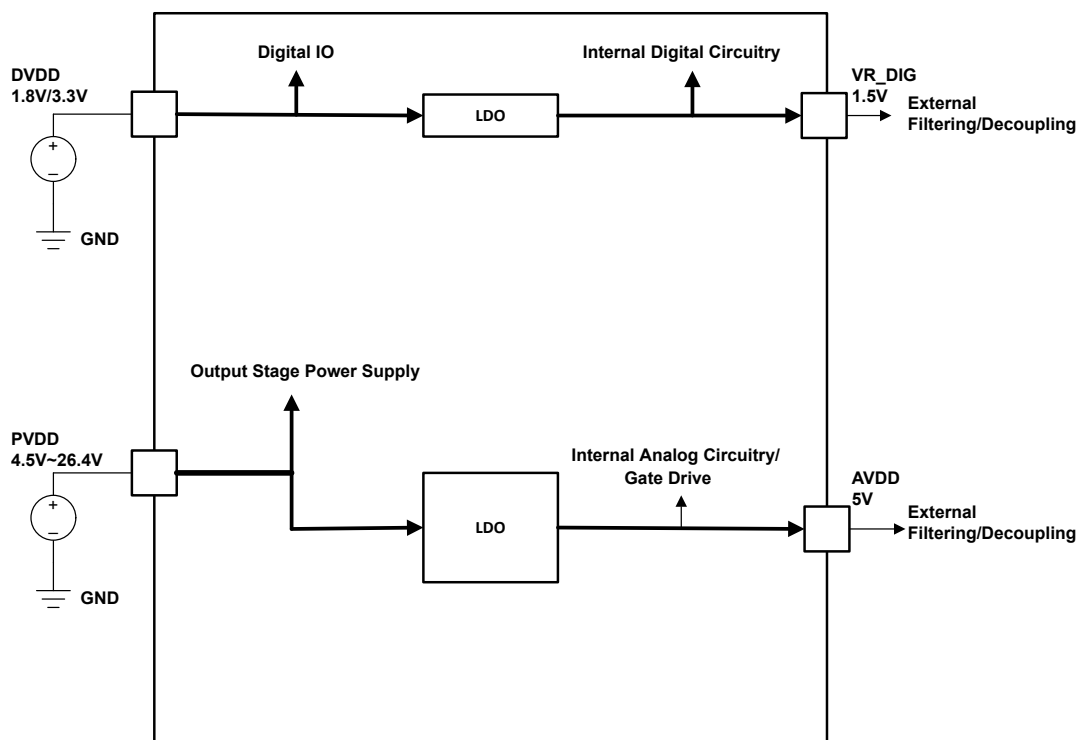


図 8-5. 電源の機能ブロック図

8.3.1 DVDD 電源

システムから必要な DVDD 電源は、デバイスの複数の部分に電力を供給するために使用されます。図 8-5 に示すように、DVDD ピンに電力を供給します。適切な接続、配線、およびデカップリング手法については、セクション [使用上の注意](#) および [レイアウト例](#) セクションに記載しており、適切な動作と性能を実現するためにできる限り厳密に従う必要があります。

デバイスの一部には、DVDD 電源より低い電圧の個別電源も必要とします。システムの電源要件を簡素化するため、TAS5815 この電源を生成するため、低ドロップアウト (LDO) リニア レギュレータを内蔵しています。このリニア レギュレータは内部で DVDD 電源に接続されており、その出力は DVDD ピンに与えられます。このピンが、外付けバイパス コンデンサへの接続ポイントとなります。本デバイスに内蔵されているリニア レギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないでください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

8.3.2 PVDD 電源

スピーカ アンプの出力段は、PVDD 電源を使用して負荷を駆動します。これは、再生中に駆動電流を負荷に供給する電源です。TAS5815 評価基板では、適切な接続、配線、デカップリングの手法について説明しており、適切な動作と性能を実現するためにできる限りこの手法に従う必要があります。出力段の高電圧スイッチングにより、本 TAS5815 デバイス [使用上の注意](#) で説明されている方法で出力段を適切にデカップリングすることが特に重要です。適切なデカップリングがないと、電圧スパイクが発生し、デバイスが損傷する可能性があります。

スピーカ アンプの出力段で使用されている MOSFET のゲートを駆動するために、別途電源が必要です。この電源は、内蔵のリニアレギュレータを介して PVDD 電源から生成されます。ゲート駆動電圧レギュレータ用のデカップリング コンデンサの接続用に、GVDD ピンが用意されています。本デバイスに内蔵されているリニアレギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないでください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

内蔵リニアレギュレータを介して PVDD 電源から供給されるもう 1 つの独立した電源は AVDD です。内部回路のデカップリング コンデンサを接続するための AVDD ピンが用意されて TAS5815 います。本デバイスに内蔵されているリニアレギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないでください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

8.4.1.1 オーディオ アンプの一般的なガイドライン

スイッチング出力段を持つオーディオ アンプは、それ自体のレイアウトと、それらの周囲で使用されるサポート部品のレイアウトに特に注意を払う必要があります。放熱性能、電磁適合性 (EMC)、デバイスの信頼性、オーディオ性能などのシステム レベル性能指標は、すべてデバイスとサポートする部品レイアウトの影響を受けます。

アプリケーションのセクションに示すデバイスおよび部品の選択に関するガイダンスは、[レイアウト例](#) に示すレイアウト ガイダンスに正確に従うことによって遵守できます。これら例は、デバイスをレイアウトすることに伴うエンジニアリングトレードオフの模範的なベースライン バランスを表しています。これらの設計は、アプリケーションのニーズに合わせて、必要に応じて多少変更できます。たとえば、一部のアプリケーションでは、デバイス付近に連続的な銅を追加使用することにより、ソリューション サイズを犠牲にして熱性能を向上できます。逆に、内部トレースに配線し、ビア ピケット フェンスと追加のフィルタ部品を内蔵することで、熱性能よりも EMI 性能を優先することができます。いずれの場合も、[レイアウト例](#) に示されているガイダンスから開始し、TI のフィールド アプリケーション エンジニアまたは E2E コミュニティと連携して、アプリケーション固有の目標に基づきこれを変更することが推奨されます。

8.4.1.2 PVDD ネットワーク上の PVDD バイパス コンデンサの配置の重要性

バイパス コンデンサとデカップリング コンデンサを電源の近くに配置することは、業界で長い間理解されてきました。これは DVDD、AVDD、GVDD、PVDD に適用されます。ただし、TAS5815 デバイスの PVDD ネット上のコンデンサには特に注意する価値があります。

DUT の PVDD ラインの小さなバイパス コンデンサは、PVDD ピンのできるだけ近くに配置する必要があります。デバイスをピンから離して配置するだけでなく、システムの電磁干渉が増加します。また、デバイスの信頼性に悪影響を及ぼす可能性もあります。これらの部品を TAS5815 デバイスから離れた位置に配置しすぎると、出力ピンにリンギングが発生し、出力ピンの電圧が「絶対最大定格」の表に示す最大許容定格を超えてしまい、デバイスが損傷する可能性があります。そのため、PVDD ネット上のコンデンサは、関連する PVDD ピンから、[レイアウト例](#) のレイアウト例に示すものよりも離れないようにする必要があります。

8.4.1.3 最適化済みの放熱特性

[セクション 8.4.2](#) に示すレイアウト例に従って、ソリューション サイズ、熱、オーディオ、電磁性能のバランスを最適化します。場合によっては、回避できない設計上の制約によって、このガイダンスからの逸脱が必要になることがあります。このような場合、システム設計者は、熱をデバイスからデバイス周囲の空気へ確実に放出できるようにする必要があります。幸い、デバイス内で発生した熱はデバイスから遠ざかり、デバイス周囲の低温構造に入ります。

8.4.1.3.1 デバイス、銅線、およびコンポーネントのレイアウト

主に、PCB 設計の目標は、これらの冷却構造への経路の熱インピーダンスを最小にすることです。この目標を達成するには、次のヒントに従う必要があります。

- 熱を発生する他の部品や構造体をアンプの近く (最終製品の上または下を含む) に配置しないでください。

- 可能であれば、層数の多い PCB を使用して TAS5815 デバイスのヒートシンク能力を高め、配線と銅信号および電源プレーンによる上層と下層の連続した銅の分割を防止します。
- 可能な場合は TAS5815 デバイスを PCB のエッジから離して配置し、4 つの側面すべてで熱がデバイスから確実に離れるようにします。
- TAS5815 デバイスから周囲の領域への熱の流れを、トレースまたはストリングで遮断しないようにします。代わりに、デバイスに垂直なトレースを配線し、デバイスに対して垂直の列にビアを整理させます。
- 受動部品の 2 個のパッド間の領域が、2 個のパッド間に銅箔を流すのに十分な大きさでない限り、受動部品の狭い端が TAS5815 デバイスに向くようにパッドの向きを合わせます。
- グランド ピンはパッケージの熱伝導体であるため、できるだけ多くのグランドピンについて、グランドピンからデバイス周囲の PCB 領域への連続したグランド プレーンを維持する必要があります。

8.4.1.3.2 ステンシル パターン

デバイスの PCB フットプリント TAS5815 の推奨図面をおよびそれに関連するステンシル パターン、このドキュメントの末尾にパッケージ情報を示します。また、PCB 設計の出発点として、デバイスの下と周辺ビアの配置に関するベースラインに関する推奨事項も記載されています。このガイダンスは、業界の大部分の製造能力に適したものとなるように提供されており、製造可能性を他のすべての性能基準よりも優先しています。周囲温度が高い場合や消費電力が高い場合には、このガイダンスは安全マージンを取りすぎている可能性があり、システムの熱性能を向上させるためにより高度な PCB 設計手法を使用することもできます。

注

お客様は、このセクションで説明した偏差も含めて、パッケージ補遺に記載されている指針から逸脱して、品質、信頼性、製造可能性に関するお客様の目標を満たしていることを確認する必要があります。

8.4.1.3.2.1 PCB のフットプリントとビアの配置

PCB フットプリント (シンボルまたはランドパターンとも呼びます) は、TAS5815 デバイスが半田付けされる銅パターンの形状と位置を PCB 製造ベンダに伝達します。このフットプリントは、このデータシートの末尾にあるパッケージ付録に記載されているガイダンスから直接たどり着きます。TAS5815 デバイスの PowerPAD™ に電気的または熱的に接続するサーマル パッドが、パッケージ情報に規定されている値よりも小さくならないようにすることが重要です。それにより、TAS5815 デバイスから基板に熱を移動するために可能な最大のインターフェイスが、デバイスで確実に使用できます。

付録のパッケージに記載されているビア パターンは、小径のメッキされたビア (最小限のサイズの環状リング) により、デバイスから PCB 層に熱を伝達するための改良されたインターフェイスとして機能します。これは、本デバイスから PCB への熱インピーダンスのパスが低いからです。PCB に入ると、熱はデバイスから周囲の構造や空気に放出されます。セクション内で示されているように、ビアの数を増やすことで、このインターフェイスの放熱性能の向上を有効にできます。

注

ビアを適切に形成しないと、ビアによって熱が遮られる可能性があります。

ビアの構造と配置に関する詳細な注意事項は、以下のとおりです。

- サーマル リリーフによりビアを通過する熱の流れが妨げられるため、サーマル ビアのサーマル リリーフは除去します。
- 熱伝導性材料を充てんするビアが最良ですが、単純なめっきビアを使用することで、充てんされたビアの追加コストを回避できます。
- ドリルの直径は 8mm 以下でなければなりません。また、ビアから周囲の銅素材に熱が流れるように、ビア バレルと周囲のプレーンの間の距離を最小限に抑える必要があります。いずれの場合も、ビア周囲のプレーンに存在する電圧によって最小間隔を決定し、可能な限り最小にする必要があります。
- ビアは、熱源から周囲の領域まで放射状に直線状に伸びる列状に配置する必要があります。この方式を、[レイアウト例](#)に示します。
- ビアによって、電源から内部層のプレーンを経由して流れる電源電流が遮断されないようにします。必要に応じて、デバイスから最も離れた場所にあるビアをいくつか取り外し、TAS5815 デバイスとの間の電流パスを開きます。

8.4.1.3.2.2 半田ステンシル

PCB のアセンブリ プロセスで、PCB 上にステンシルと呼ばれる金属片が、ステンシル内の開口部 (開口部と呼ばれます) がある任意の場所に PCB 上にハンダ ペーストを堆積させます。ステンシルは、電子製造プロセスで PCB に適用される半田ペーストの量と位置を決定します。ほとんどの場合、各コンポーネント パッドの開口部はパッド自体とほぼ同じサイズです。ただし、PCB 上のサーマル パッドは大きく、半田ペーストを単一に大きく堆積させると、製造上の問題が発生します。代わりに、半田を複数の開口部で基板に塗布し、アセンブリ プロセス中に半田ペーストをアウト ガス状態にして、デバイスの下での半田ブリッジのリスクを軽減します。この構造をアパーチャ アレイと呼び、[レイアウト例](#) に示します。アパーチャ アレイの合計面積 (すべての小さなアパーチャを合わせた面積) がサーマル パッド自体の面積の 70% ~ 80% の範囲をカバーしていることが重要です。

8.4.2 レイアウト例

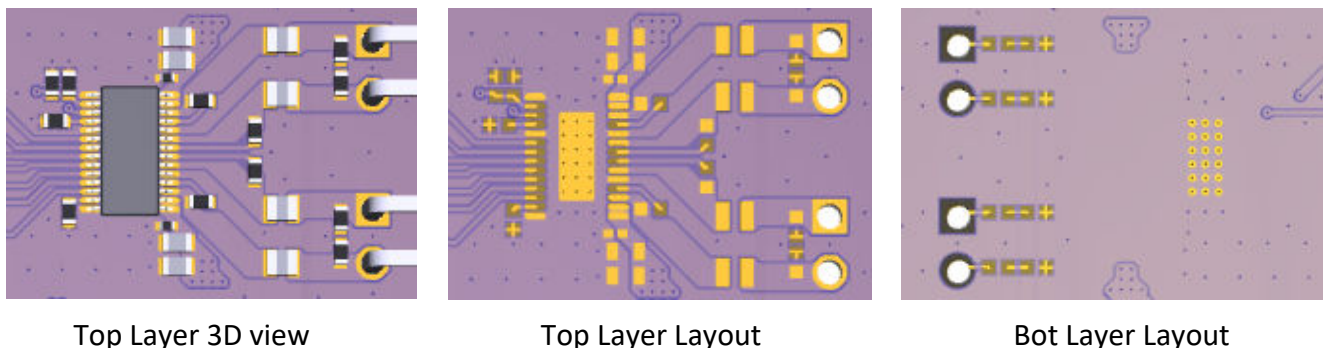


図 8-6. 2.0 (フェライト ビーズを出力フィルタとして使用したステレオ BTL) レイアウト ビュー

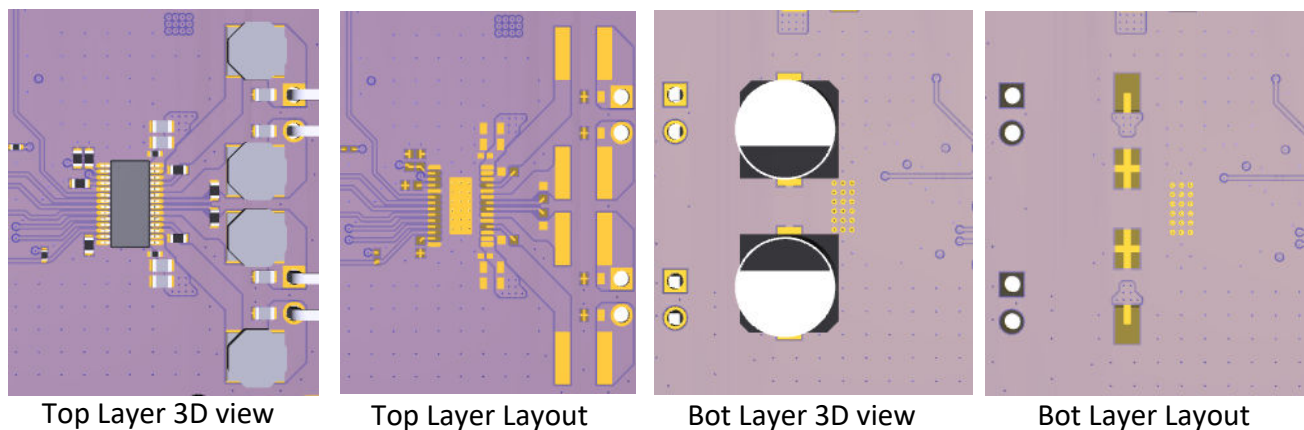


図 8-7. 2.0 (インダクタを出力フィルタとして使用したステレオ BTL) レイアウト ビュー

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 デバイスの命名規則

このセクションの用語集は一般的な用語集であり、JEDEC、IPC、IEEE、その他の業界標準に準拠する広範な TI イニシアチブに従って定義された、一般的に使用される頭字語や用語が含まれます。このセクションに示す用語集では、この製品およびドキュメント、付属品、またはこの製品とともに使用されるサポート ツールやソフトウェアに固有の単語、熟語、頭字語が定義されています。定義や用語に関する追加質問については、「[e2e オーディオ アンプ フォーラム](#)」を参照してください。

ブリッジ接続負荷 (BTL) は、スピーカの一方の端子を 1 つのハーフブリッジに、もう一方の端子を別のハーフブリッジに接続する出力構成です。

DUT は、デバイスと別のデバイスとを区別するため、テスト対象のデバイスを指す言葉です。

クローズド ループ アーキテクチャは、アンプが出力端子を監視し、出力信号と入力信号とを比較して、出力の非直線性の補正を試みるトポロジです。

動的制御は、システムまたはエンド ユーザーによって、通常の使用中に変更されるものです。

GPIO は汎用入出力ピンですさまざまな構成が可能な双方向のデジタル ピンで、システムによって要求される多くの機能を実行できます。

ホスト プロセッサ(システム プロセッサ、スカラ、ホスト、システム コントローラとも呼ばれます)は、中央のシステム コントローラとして機能し、接続されているデバイスへ制御情報を提供し、同時に上流のデバイスからオーディオのソース データを収集し、他のデバイスへ配信するデバイスを指します。このデバイスは多くの場合、オーディオ パス内のオーディオ処理デバイス(TAS5815 など)のコントロールを構成し、周波数応答、時間調整、ターゲットの音圧レベル、システムの安全動作領域、ユーザーの好みに基づいて、スピーカのオーディオ出力を最適化します。

最大連続出力電力とは、アンプが 25°C 周囲温度で動作しているとき、シャットダウンすることなく連続的に供給できる最大出力電力を意味します。テストは、温度が熱平衡に達し、それ以上上昇しなくなるまでの時間にわたって行われます。

並列ブリッジ接続負荷 (PBTL) は、スピーカの一方の端子を並列に配置した 2 つのハーフブリッジに接続し、もう一方の端子を並列に配置した別のハーフブリッジのペアに接続する出力構成です。

r_{DS(on)} は、アンプの出力段で使用される MOSFET のオン抵抗の尺度です。

静的コントロール/静的構成は、システムが通常使用されている間に変更されないコントロールです。

ビアは、PCB 上の銅メッキされたスルーホールです。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歷

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (January 2026)	Page
- 代表的なアプリケーションの例を変更..... - シングル チャネル ミュート制御のため、レジスタ 03h、ビット 3 を変更。記載内容の正確性向上のため、レジスタ 30h ビット 2 の説明を変更。両方のチャネルのボリューム制御について、レジスタ 4Ch を変更。レジスタ 4Dh を削除。384kHz F_{SW} の 6Ch の説明を変更。.....	39 51

11 メカニカルおよびパッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

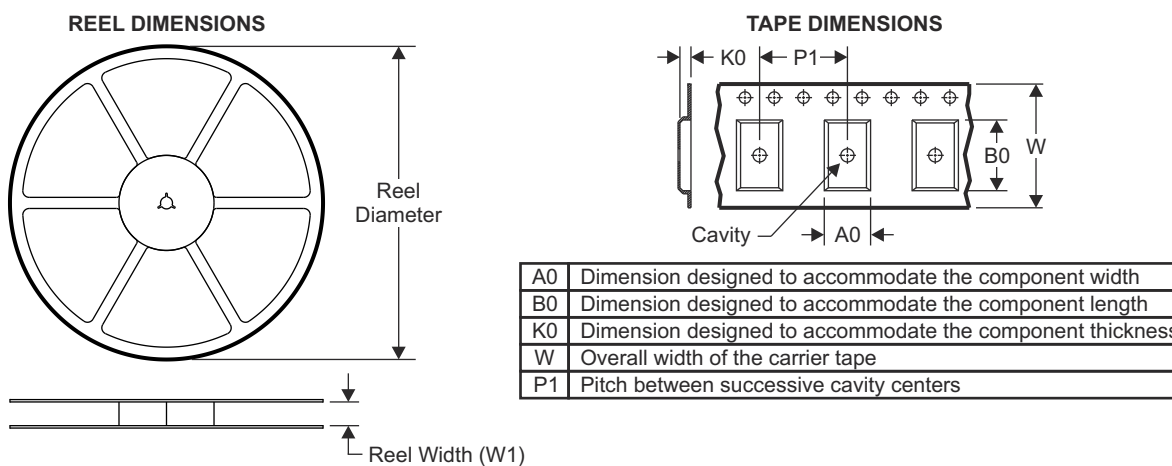
11.1 付録 : パッケージ オプション

パッケージ情報

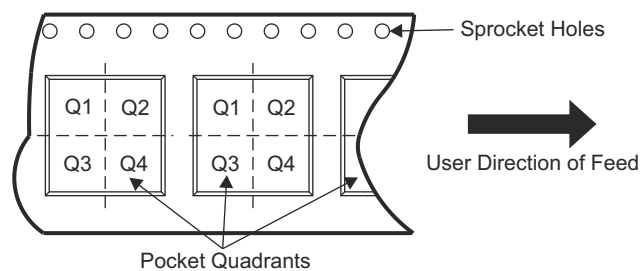
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

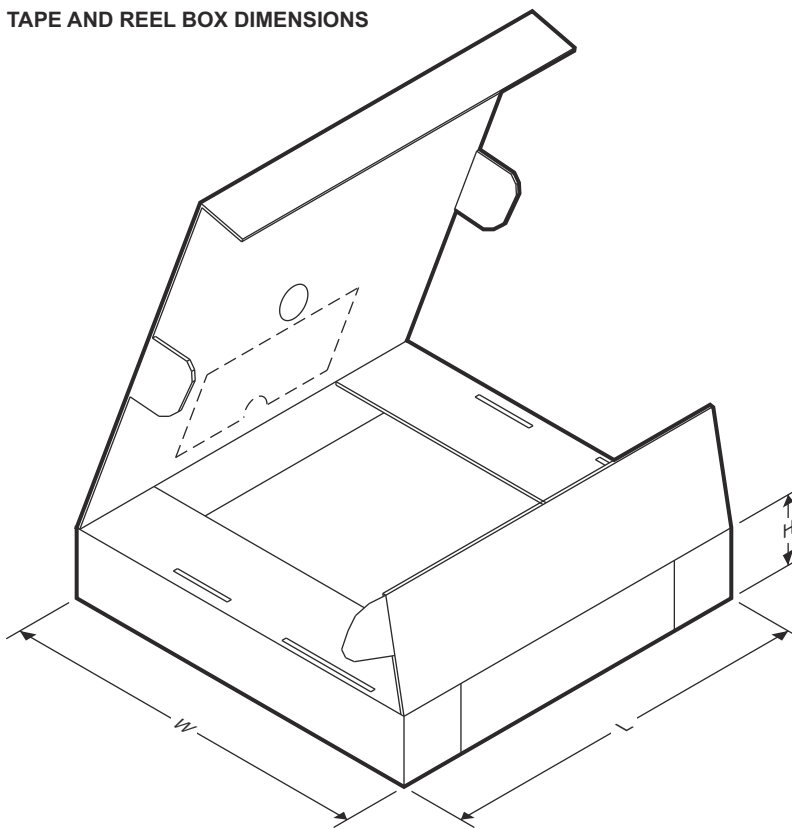
11.2 テープおよびリール情報



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



TAPE AND REEL BOX DIMENSIONS



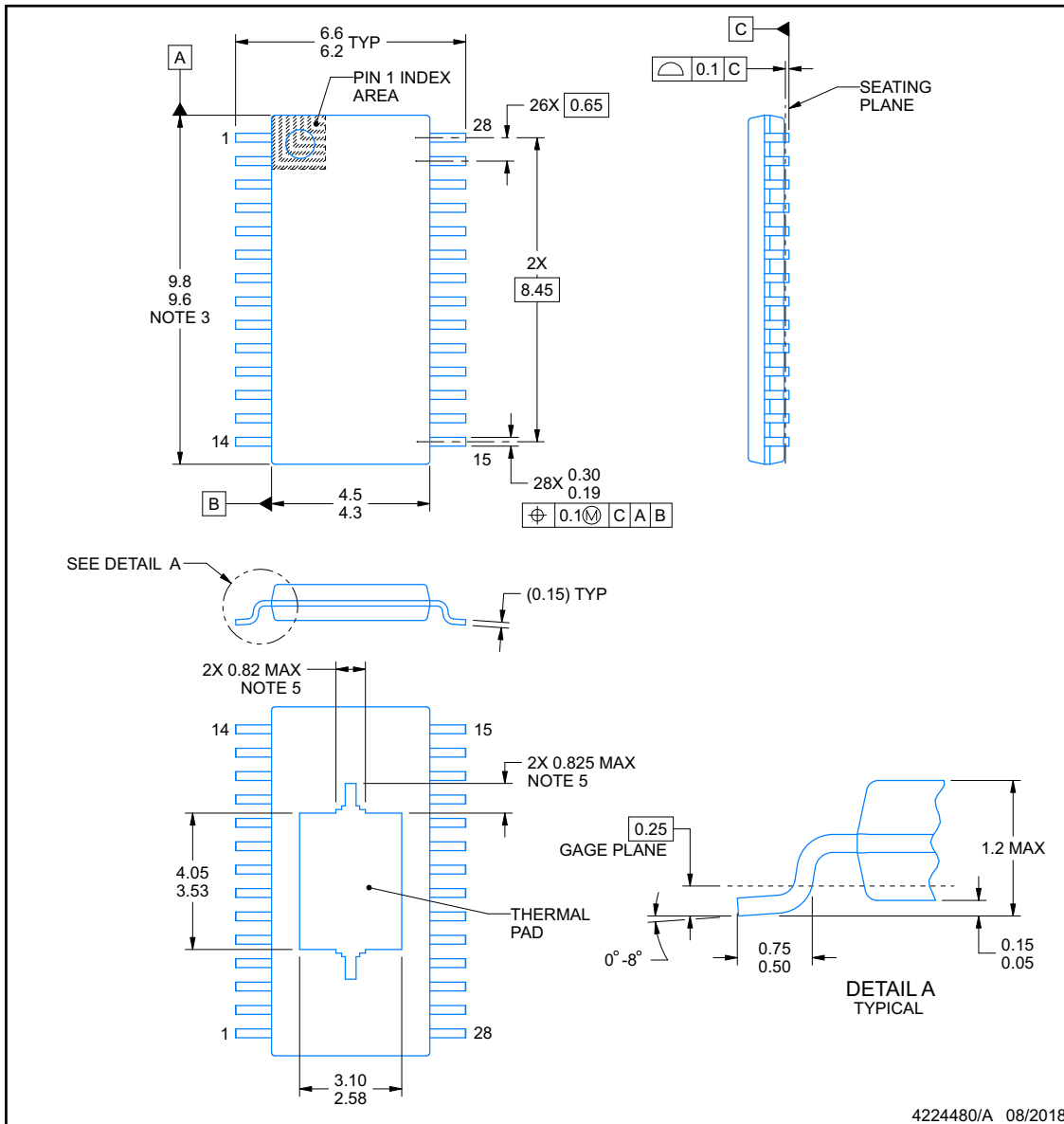


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

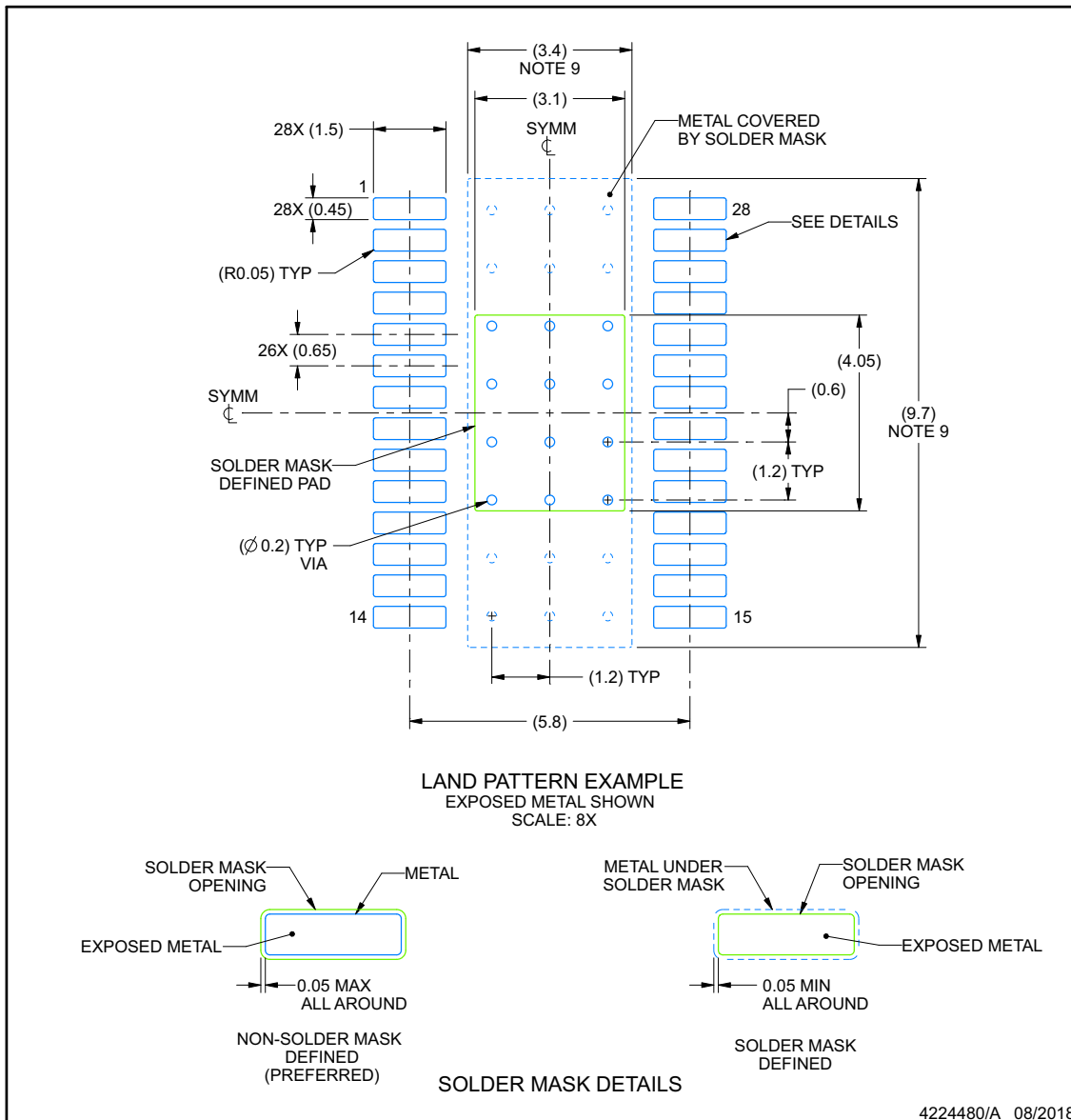
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT**PWP0028M****PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

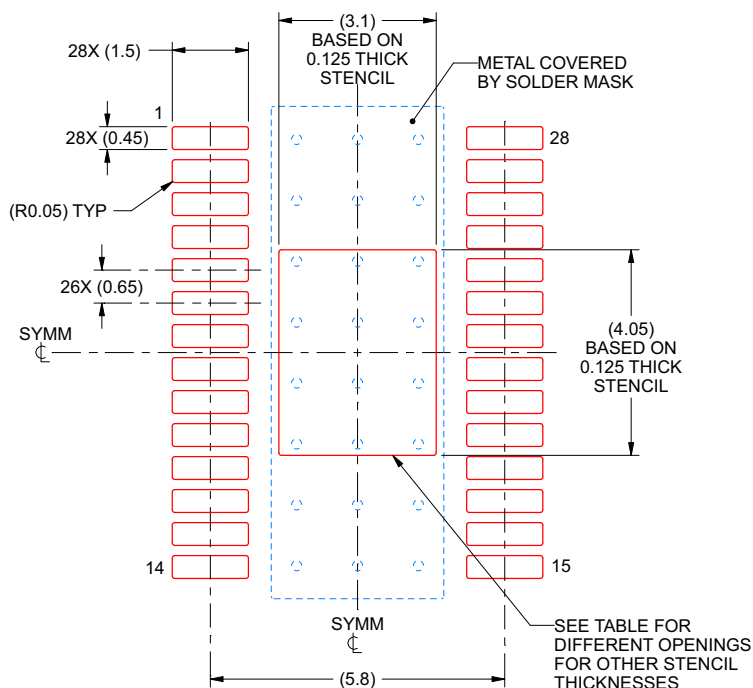
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS5815PWPR	Active	Production	HTSSOP (PWP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	5815
TAS5815PWPR.A	Active	Production	HTSSOP (PWP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	5815

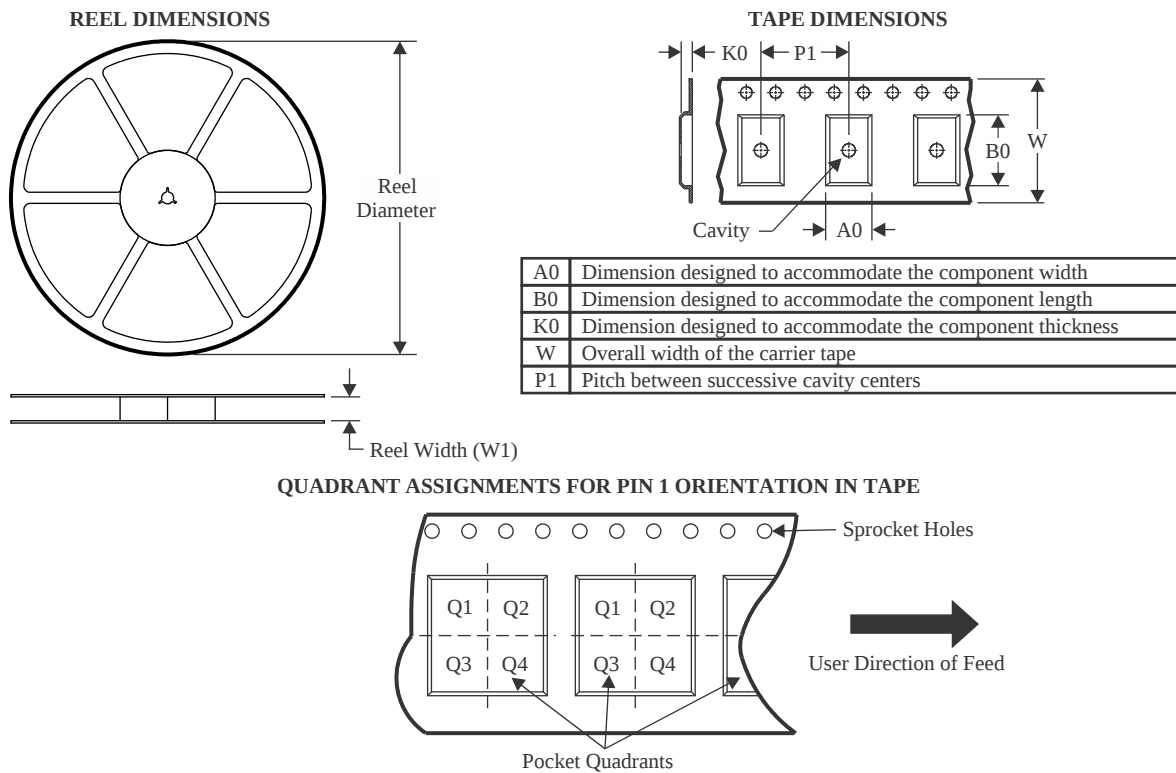
- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

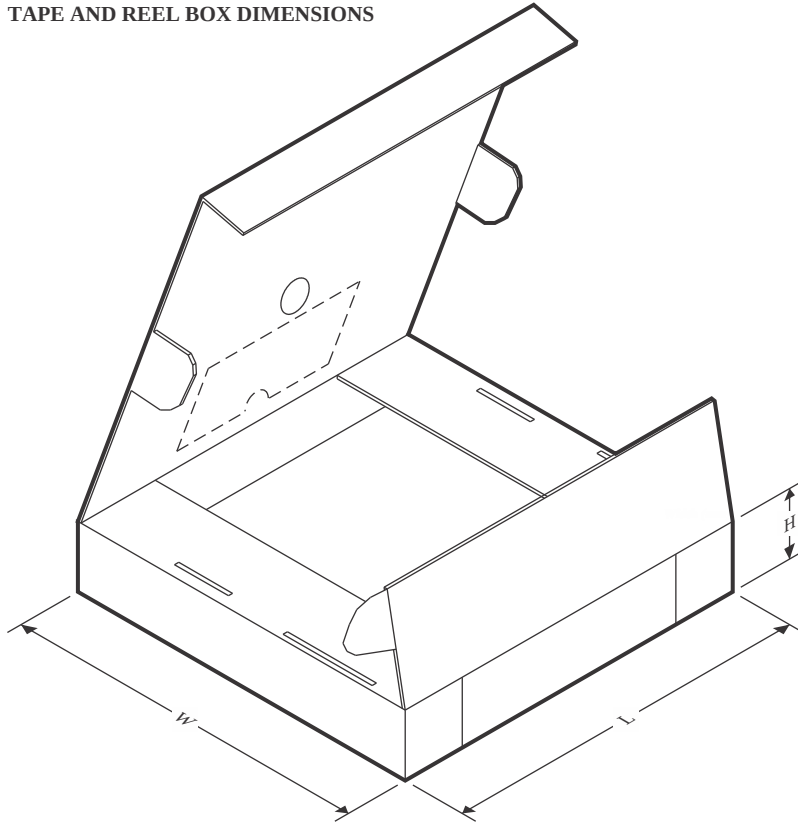
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5815PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5815PWPR	HTSSOP	PWP	28	2000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

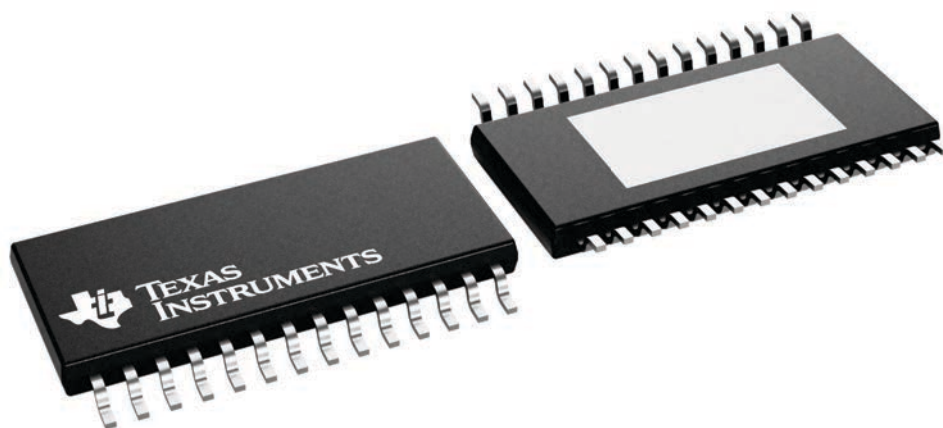
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

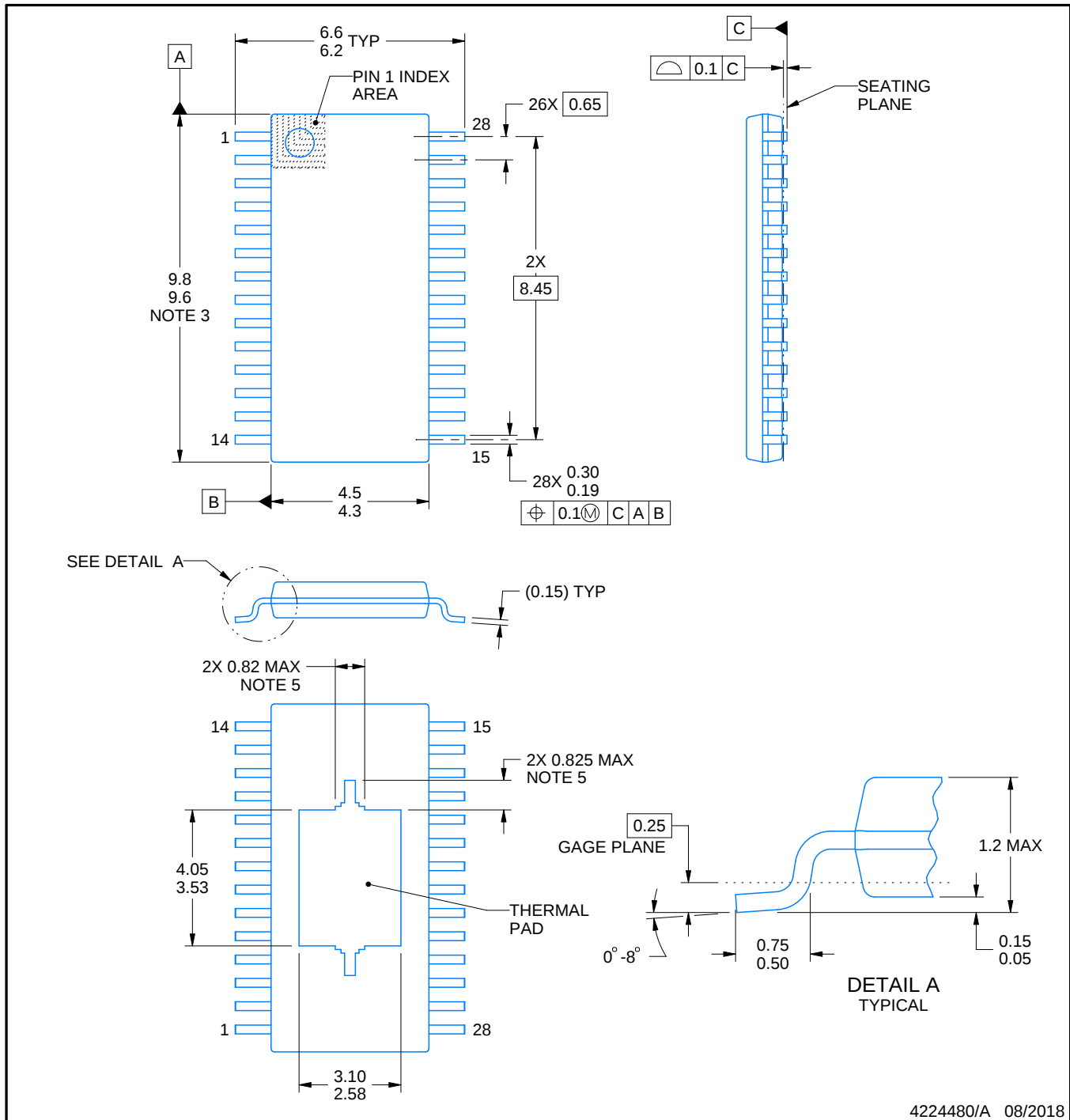
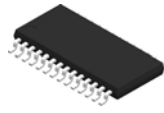
4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B



4224480/A 08/2018

NOTES:

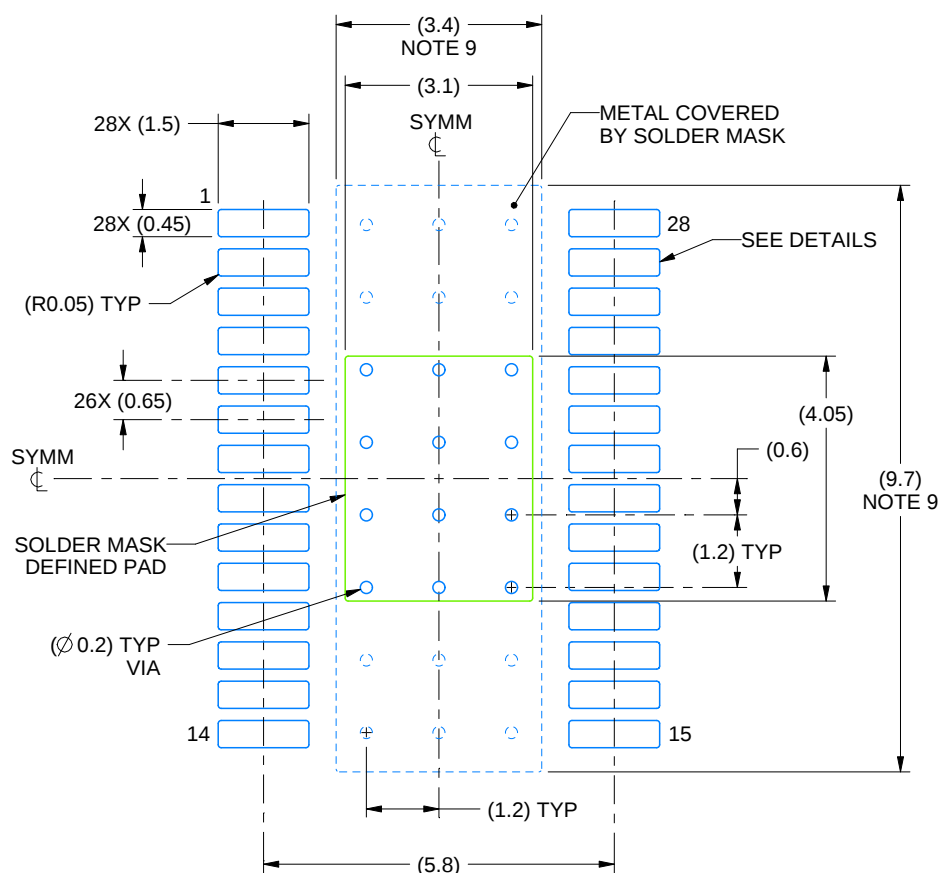
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

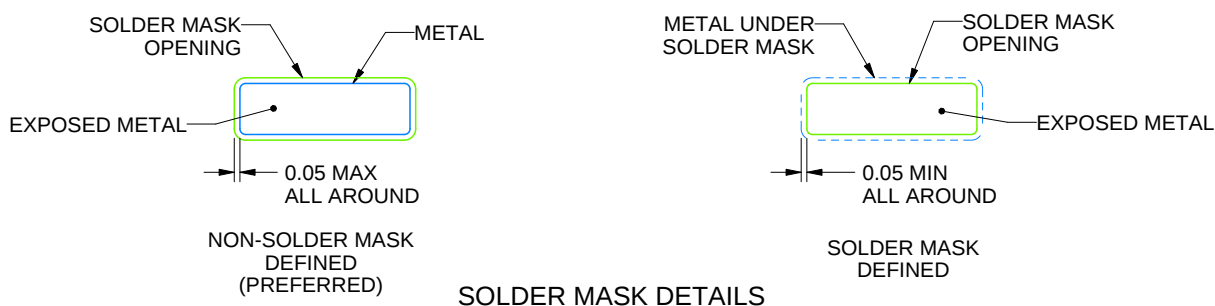
PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



4224480/A 08/2018

NOTES: (continued)

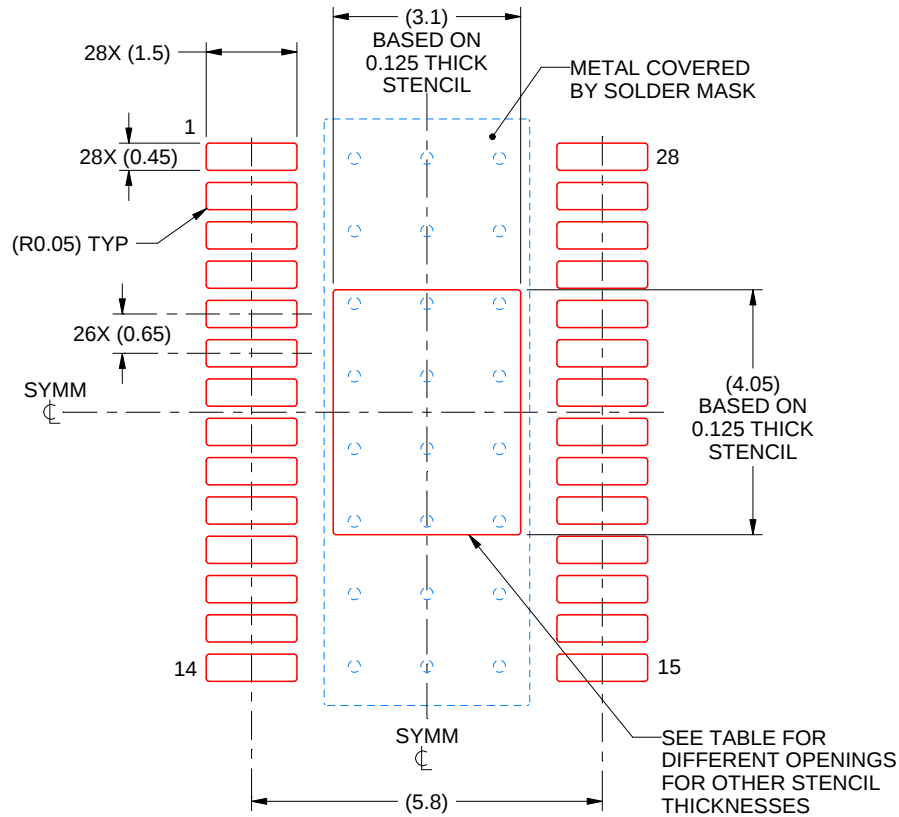
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月