TCA9535 割り込み出力および構成レジスタ付き、低電圧 16 ビット I²C および SMBus、低消費電力 I/O エクスパンダ

1 特長

- I²C からパラレル ポートへのエクスパンダ
- 幅広い電源電圧範囲:1.65V～5V
- 低スタンバイ消費電流
- オープンドレインのアクティブ LOW 割り込み出力
- 5V 許容 I/O ポート
- 400kHz の高速 I²C バス
- 極性反転レジスタ
- 3 本のハードウェア アドレス ピンにより、8 つまでのデバイスをアドレス指定可能
- 大電流の駆動能力を持つラッチ付き出力により、LED を直接駆動
- JESD 78、Class II 準拠で 100 mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
  - 2000V、人体モデル (A114A)
  - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- サーバー
- ルーター (テレコム・スイッチング機器)
- パーソナル・コンピュータ
- パーソナル・エレクトロニクス (ゲーム機など)
- 産業用オートメーション
- GPIO が制限されたプロセッサを使用する製品

3 説明

TCA9535 は 24 ピン デバイスで、2 ライン双方向 I²C バス (または SMBus) プロトコル用に 16 ビットの汎用パラレル入出力 (I/O) 拡張機能を提供します。このデバイスは、1.65V～5.5V の電源電圧で動作します。

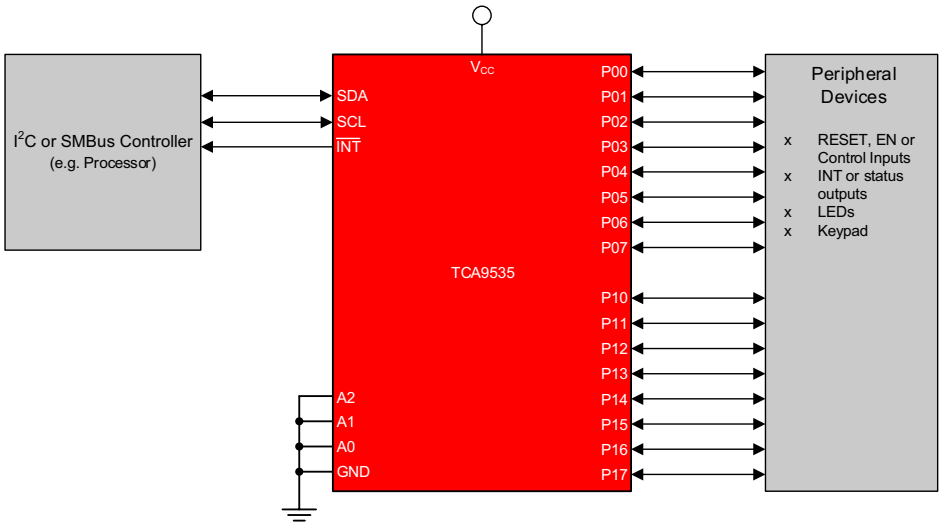
TCA9535 は、構成 (入力 / 出力選択)、入力ポート、出力ポート、極性反転 (アクティブ High またはアクティブ Low 動作) 用の 8 ビット レジスタをそれぞれ 2 個ずつ搭載しています。電源オン時に、I/O は入力として構成されます。システム コントローラは、I/O 構成ビットに書き込むことで、I/O を入力にするか出力にするかを設定できます。

TCA9535 は TCA9555 の同等品ですが、TCA9535 は内部 I/O プルアップ抵抗を内蔵していないため、入力として設定されていて駆動されていない場合は、未使用の I/O ピンをプル アップおよびプル ダウンする必要があります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TCA9535	PW (TSSOP、24)	7.8mm × 6.4mm
	DB (SSOP、24)	8.2mm × 7.8mm
	RTW (WQFN、24)	4mm × 4mm
	RGE (VQFN、24)	4mm × 4mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....6
5.4 熱に関する情報.....6
5.5 電気的特性.....7
5.6 I²C インターフェイス タイミングの要件.....8
5.7 スイッチング特性.....9
5.8 代表的特性.....10
6 詳細説明.....16
6.1 概要.....16
6.2 機能ブロック図.....16
6.3 機能説明.....17
6.4 デバイスの機能モード.....18
6.5 プログラミング.....18
6.6 レジスタ マップ.....24
7 アプリケーションと実装.....26
7.1 使用上の注意.....26
7.2 代表的なアプリケーション.....26
7.3 電源に関する推奨事項.....29
7.4 レイアウト.....31
8 デバイスおよびドキュメントのサポート.....33
8.1 ドキュメントのサポート.....33
8.2 ドキュメントの更新通知を受け取る方法.....33
8.3 サポート・リソース.....33
8.4 商標.....33
8.5 静電気放電に関する注意事項.....33
8.6 用語集.....33
9 改訂履歴.....33
10 メカニカル、パッケージ、および注文情報.....34

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

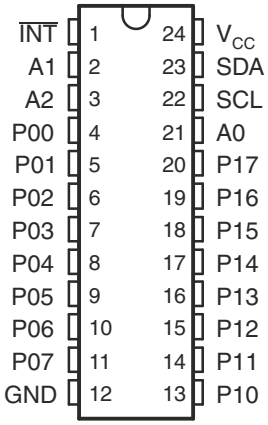
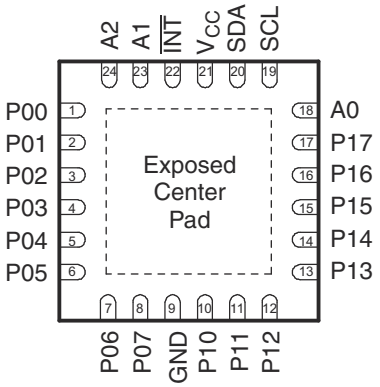


図 4-1. DB、PW (TSSOP) パッケージ 24 ピン (上面図)



露出したセンター パッドを使用する場合は、2 次側グランドとして接続するか、電気的に開放しておく必要があります。

図 4-2. RTW (WQFN)、RGE (VQFN) パッケージ 24 ピン (上面図)

表 4-1. ピンの機能

ピン			タイプ	説明
名称	番号			
	DB、PW	RTW、RGE		
A0	21	18	入力	アドレス入力 0。V_{CC} またはグランドに直接接続します
A1	2	23	入力	アドレス入力 1。V_{CC} またはグランドに直接接続します
A2	3	24	入力	アドレス入力 2。V_{CC} またはグランドに直接接続します
GND	12	9	—	グランド
$\overline{INT}$	1	22	出力	割り込み出力。外部プルアップ抵抗を経由して V_{CC} に接続します
P00(1)	4	1	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P00 は入力として構成されます
P01(1)	5	2	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P01 は入力として構成されます
P02(1)	6	3	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P02 は入力として構成されます
P03(1)	7	4	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P03 は入力として構成されます
P04(1)	8	5	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P04 は入力として構成されます
P05(1)	9	6	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P05 は入力として構成されます
P06(1)	10	7	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P06 は入力として構成されます
P07(1)	11	8	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P07 は入力として構成されます
P10(1)	13	10	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P10 は入力として構成されます
P11(1)	14	11	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P11 は入力として構成されます
P12(1)	15	12	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P12 は入力として構成されます
P13(1)	16	13	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P13 は入力として構成されます
P14(1)	17	14	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P14 は入力として構成されます
P15(1)	18	15	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P15 は入力として構成されます
P16(1)	19	16	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P16 は入力として構成されます
P17(1)	20	17	I/O	P ポート I/O。プッシュプルの設計構造。電源投入時に、P17 は入力として構成されます
SCL	22	19	入力	シリアル クロック バス。プルアップ抵抗を経由して V_{CC} に接続します
SDA	23	20	入力	シリアル データ バス。プルアップ抵抗を経由して V_{CC} に接続します
V_{CC}	24	21	—	電源電圧

(1) ポートを使用しない場合は、適度な値の抵抗 (約 10kΩ) を介して V_{CC} または GND に接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6	V
V_I	入力電圧(2)		-0.5	6	V
V_O	出力電圧(2)		-0.5	6	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0		-20	mA
I_{IOK}	入力 / 出力クランプ電流	V_O < 0 または V_O > V_{CC}		±20	mA
I_{OL}	連続出力 Low 電流	V_O = 0～V_{CC}		50	mA
I_{OH}	連続出力 High 電流	V_O = 0～V_{CC}		-50	mA
I_{CC}	GND を流れる連続電流			-250	mA
	V_{CC} を流れる連続電流			160	mA
$T_{j(MAX)}$	最大接合部温度			130	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。推奨動作条件の範囲外でも、絶対最大定格の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力および出力の電流定格が遵守されているなら、入力の負電圧や出力電圧定格を超えてもかまいません。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

				最小値	最大値	単位
V_{CC}	電源電圧			1.65	5.5	V
V_{IH}	High レベル入力電圧	SCL、SDA		0.7 × V_{CC}	V_{CC}(1)	V
		A2–A0、P07–P00、P17–P10		0.7 × V_{CC}	5.5	V
V_{IL}	Low レベル入力電圧	SCL、SDA、A2–A0、P07–P00、P17–P10		-0.5	0.3 × V_{CC}	V
I_{OH}	High レベル出力電流	P07–P00、P17–P10			-10	mA
I_{OL}	Low レベル出力電流(2)	P07–P00、P17–P10	T_j ≤ 65°C		25	mA
			T_j ≤ 85°C		18	
			T_j ≤ 100°C		11	
			T_j ≤ 130°C		5	
I_{OL}	Low レベル出力電流(2)	$\overline{INT}$、SDA	T_j ≤ 85°C		6	mA
			T_j ≤ 100°C		3.5	
			T_j ≤ 130°C		1	
T_A	自由空気での動作温度			-40	125	°C

(1) V_{CC} よりも高い電圧を印加すると、I_{CC} が増加します。
(2) ここに示す値は、使用されるパッケージの $R_{\theta JA}$ によって決まる特定の接合部温度に適用されます。接合部温度の計算方法については、「接合部温度と消費電力の計算」セクションを参照してください。

5.4 熱に関する情報

熱評価基準(1)		TCA9535				単位
		PW (TSSOP)	DB (SSOP)	RTW (WQFN)	RGE (VQFN)	
		24 ピン	24 ピン	24 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	108.8	92.9	43.6	48.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	54	53.5	46.2	58.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	62.8	50.4	22.1	27.1	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	11.1	21.9	1.5	3.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	62.3	50.1	22.2	27.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	10.7	15.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値 (1)	最大値	単位
V_{IK}	入力ダイオード クランプ電圧		I_I = -18mA	1.65V ～ 5.5V	-1.2			V
V_{PORR}	パワーオン リセット電圧、V_{CC} 立ち上がり		V_I = V_{CC} または GND、I_O = 0			1.2	1.5	V
V_{PORF}	パワーオン リセット電圧、V_{CC} 立ち下がり		V_I = V_{CC} または GND、I_O = 0		0.75	1		V
V_{OH}	P ポート High レベル出力電圧(2)		I_{OH} = -8mA	1.65V	1.2			V
				2.3V	1.8			
				3V	2.6			
				4.75V	4.1			
			I_{OH} = -10mA	1.65V	1			
				2.3V	1.7			
				3V	2.5			
				4.75V	4			
I_{OL}	Low レベル出力電流	SDA	V_{OL} = 0.4 V	1.65V ～ 5.5V	3			mA
		P ポート(3)	V_{OL} = 0.5 V	1.65V ～ 5.5V	8			
			V_{OL} = 0.7 V	1.65V ～ 5.5V	10			
		$\overline{INT}$	V_{OL} = 0.4 V	1.65V ～ 5.5V	3			
I_I	入力リーク電流	SCL、SDA 入力リーケージ	V_I = V_{CC} または GND	1.65V ～ 5.5V			±1	µA
		A2 ～ A0 入力リーケージ	V_I = V_{CC} または GND	1.65V ～ 5.5V			±1	
I_{IH}	入力 High リーク電流	P ポート	V_I = V_{CC}	1.65V ～ 5.5V			1	µA
I_{IL}	入力 Low リーク電流	P ポート	V_I = GND	1.65V ～ 5.5V			-1	µA
I_{CC}	静止時電流	動作モード	V_I = V_{CC} または GND、I_O = 0、I/O = 入力、f_{SCL} = 400kHz、無負荷	5.5V		22	40	µA
				3.6V		11	30	
				2.7V		8	19	
				1.95V		5	11	
		スタンバイ モード	V_I = V_{CC}、I_O = 0、I/O = 入力、f_{SCL} = 0kHz、無負荷、-40°C < T_A ≤ 85°C	5.5V		1.5	3.9	
				3.6V		0.9	2.2	
				2.7V		0.6	1.8	
				1.95V		0.6	1.5	
			V_I = V_{CC}、I_O = 0、I/O = 入力、f_{SCL} = 0kHz、無負荷、-40°C < T_A ≤ 125°C	5.5V			8.5	
				3.6V			5.0	
				2.7V			4.0	
				1.95V			3.5	
			V_I = GND、I_O = 0、I/O = 入力、f_{SCL} = 0kHz、無負荷、-40°C < T_A ≤ 85°C	5.5V		1.5	8.7	
				3.6V		0.9	4	
				2.7V		0.6	3	
				1.95V		0.4	2.2	
			V_I = GND、I_O = 0、I/O = 入力、f_{SCL} = 0kHz、無負荷、-40°C < T_A ≤ 125°C	5.5V			26	
				3.6V			13	
				2.7V			9	
				1.95V			7	
C_I	入力容量	SCL	V_I = V_{CC} または GND	1.65V ～ 5.5V		3	8	pF

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値 (1)	最大値	単位
C_{io}	入力 / 出力ピンの容量	SDA	V_{IO} = V_{CC} または GND	1.65V ～ 5.5V		3	9.5	pF
		P ポート	V_{IO} = V_{CC} または GND	1.65V ～ 5.5V		3.7	9.5	

(1) すべての標準値は公称電源電圧 (1.8V、2.5V、3.3V、または 5V、V_{CC}) および T_A = 25°C での値です。
(2) 各 I/O は外部で最大 25mA に制限する必要があります。また、各 8 個の I/O (P07 ～ P00 および P17 ～ P10) は最大電流 100mA に制限する必要があります。デバイス全体では 200mA です。
(3) すべての I/O から供給される合計電流は、160mA (P07 ～ P00 が 80mA、P17 ～ P10 が 80mA) に制限する必要があります。

5.6 I²C インターフェイス タイミングの要件

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-2 を参照)

			最小値	最大値	単位
I²C バス - スタンダード モード					
f_{scl}	I²C クロック周波数		0	100	kHz
t_{sch}	I²C クロックの High 時間		4		µs
t_{scl}	I²C クロックの Low 時間		4.7		µs
t_{sp}	I²C スパイク時間			50	ns
t_{sds}	I²C シリアル データ セットアップ時間		250		ns
t_{sdh}	I²C シリアル データ ホールド時間		0		ns
t_{icr}	I²C 入力の立ち上がり時間			1000	ns
t_{icf}	I²C 入力の立ち下がり時間			300	ns
t_{ocf}	I²C 出力の立ち下がり時間	10pF～400pF バス		300	ns
t_{buf}	STOP と START 間の I²C バスのフリー時間		4.7		µs
t_{sts}	I²C START または反復 START 条件の設定		4.7		µs
t_{sth}	I²C START または反復 START 条件ホールド		4		µs
t_{sps}	I²C STOP 条件の設定		4		µs
$t_{vd(data)}$	有効データ時間	SCL Low から SDA 出力有効まで		3.45	µs
$t_{vd(ack)}$	ACK 条件の有効データ時間	SCL Low から SDA (出力) Low への ACK 信号		3.45	µs
C_b	I²C バスの容量性負荷			400	pF
I²C バス (ファスト モード)					
f_{scl}	I²C クロック周波数		0	400	kHz
t_{sch}	I²C クロックの High 時間		0.6		µs
t_{scl}	I²C クロックの Low 時間		1.3		µs
t_{sp}	I²C スパイク時間			50	ns
t_{sds}	I²C シリアル データ セットアップ時間		100		ns
t_{sdh}	I²C シリアル データ ホールド時間		0		ns
t_{icr}	I²C 入力の立ち上がり時間		20	300	ns
t_{icf}	I²C 入力の立ち下がり時間		20 × (V_{CC} / 5.5V)	300	ns
t_{ocf}	I²C 出力の立ち下がり時間	10pF～400pF バス	20 × (V_{CC} / 5.5V)	300	ns
t_{buf}	STOP と START 間の I²C バスのフリー時間		1.3		µs

Copyright © 2026 Texas Instruments Incorporated

5.6 I²C インターフェイス タイミングの要件 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-2 を参照)

			最小値	最大値	単位
t_{sts}	I²C START または反復 START 条件の設定		0.6		µs
t_{sth}	I²C START または反復 START 条件ホールド		0.6		µs
t_{sps}	I²C STOP 条件の設定		0.6		µs
$t_{vd(data)}$	有効データ時間	SCL Low から SDA 出力有効まで		0.9	µs
$t_{vd(ack)}$	ACK 条件の有効データ時間	SCL Low から SDA (出力) Low への ACK 信号		0.9	µs
C_b	I²C バスの容量性負荷			400	pF

5.7 スイッチング特性

自由空気での推奨動作温度範囲内、$C_L \leq 100pF$ (特に記述のない限り) (図 6-2 および図 6-3 を参照)

パラメータ		始点 (入力)	終点 (出力)	最小値	最大値	単位
t_{iv}	割り込み有効時間	P ポート	$\overline{INT}$		4	µs
t_{ir}	割り込みリセット遅延タイミング	SCL	$\overline{INT}$		4	µs
t_{pv}	出力データ有効:V_{CC} = 2.3V ～ 5.5V の場合	SCL	P ポート		200	ns
	出力データ有効:V_{CC} = 1.65V ～ 2.3V の場合				300	ns
t_{ps}	入力データ セットアップ時間	P ポート	SCL	150		ns
t_{ph}	入力データ ホールド時間	P ポート	SCL	1		µs

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

T_A = 25℃ (特に記述のない限り)

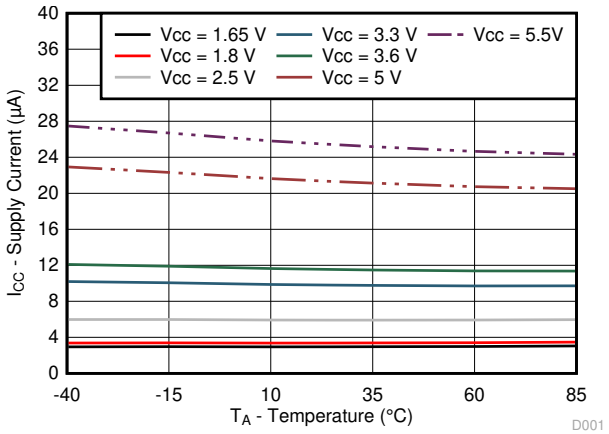


図 5-1. 各種電源電圧 (V_{CC}) での電源電流と温度との関係

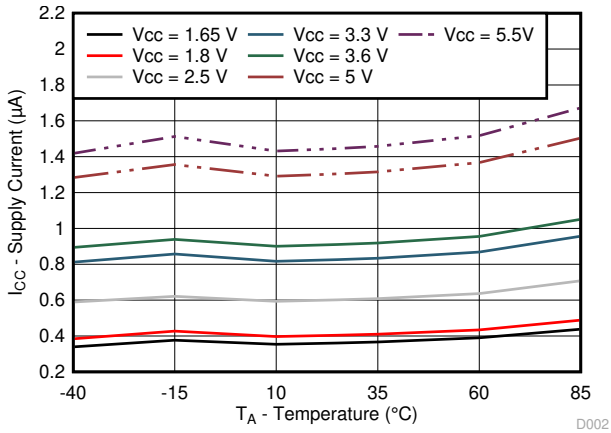


図 5-2. 各種電源電圧 (V_{CC}) でのスタンバイ電源電流と温度との関係

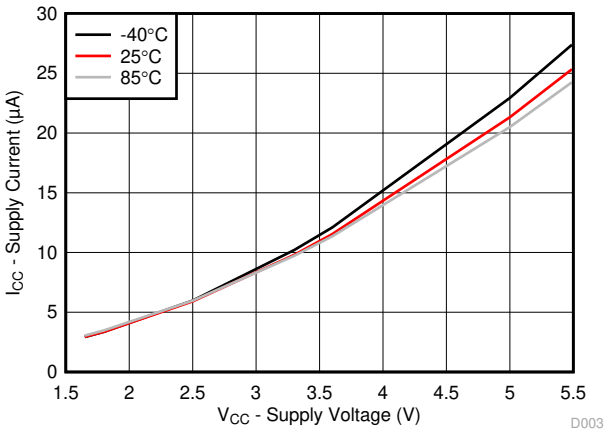


図 5-3. 各種温度での電源電流と電源電圧との関係 (T_A)

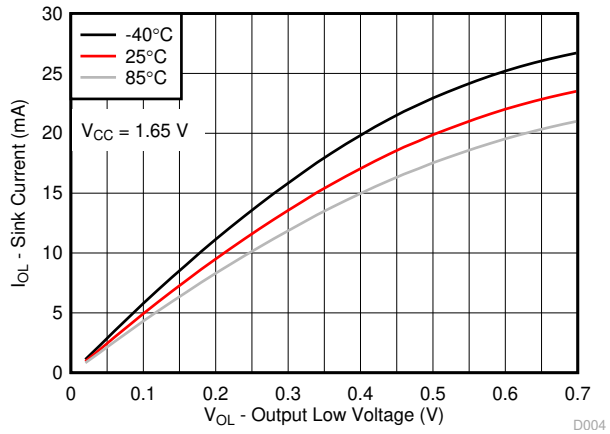


図 5-4. V_{CC} = 1.65V での各種温度 (T_A) での I/O シンク電流と出力 Low 電圧との関係

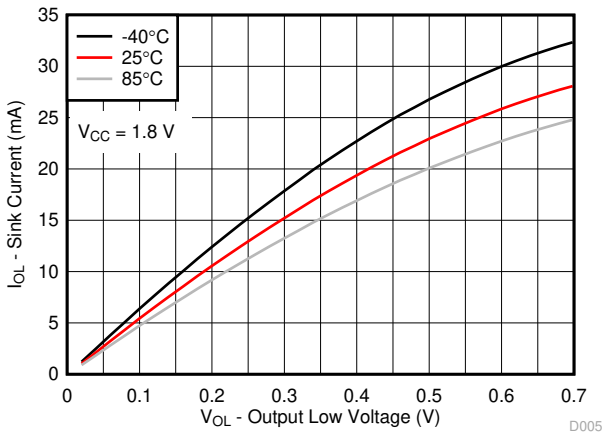


図 5-5. V_{CC} = 1.8V での各種温度 (T_A) での I/O シンク電流と出力 Low 電圧との関係

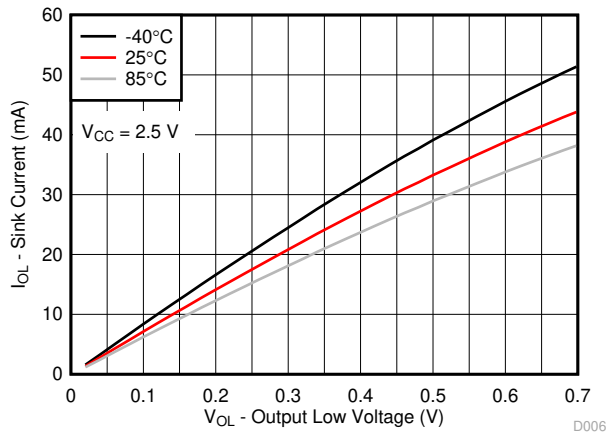


図 5-6. V_{CC} = 2.5V での各種温度 (T_A) での I/O シンク電流と出力 Low 電圧との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

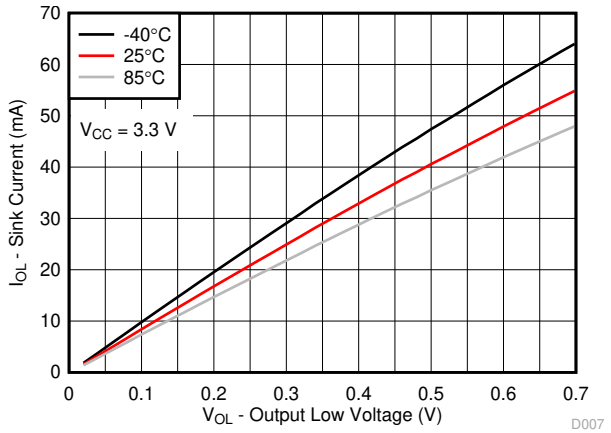


図 5-7. V_{CC} = 3.3V での各種温度 (T_A) での I/O シンク電流と出力 Low 電圧との関係

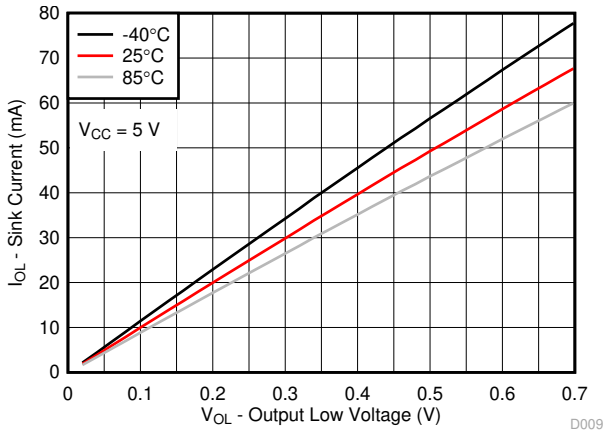


図 5-8. V_{CC} = 5V での各種温度 (T_A) での I/O シンク電流と出力 Low 電圧との関係

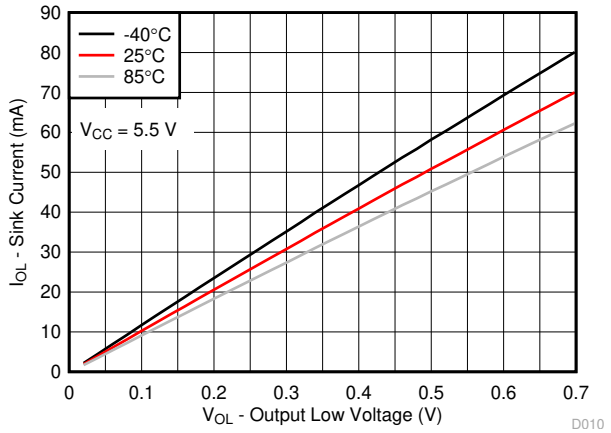


図 5-9. V_{CC} = 5.5V での各種温度 (T_A) での I/O シンク電流と出力 Low 電圧との関係

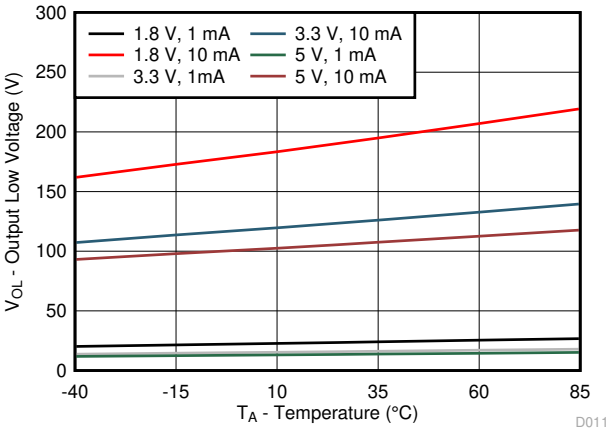


図 5-10. 異なる V_{CC} および I_{OL} での I/O Low 電圧と温度との関係

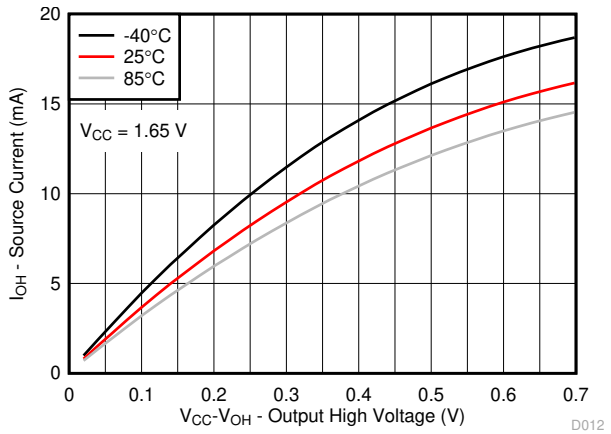


図 5-11. V_{CC} = 1.65V での各種温度 (T_A) での I/O ソース電流と出力 High 電圧との関係

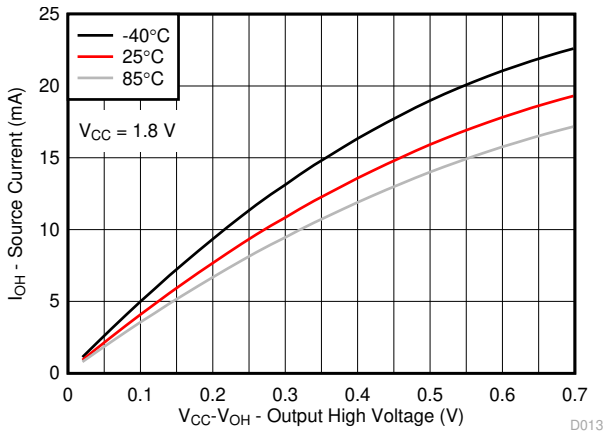


図 5-12. V_{CC} = 1.8V での各種温度 (T_A) での I/O ソース電流と出力 High 電圧との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

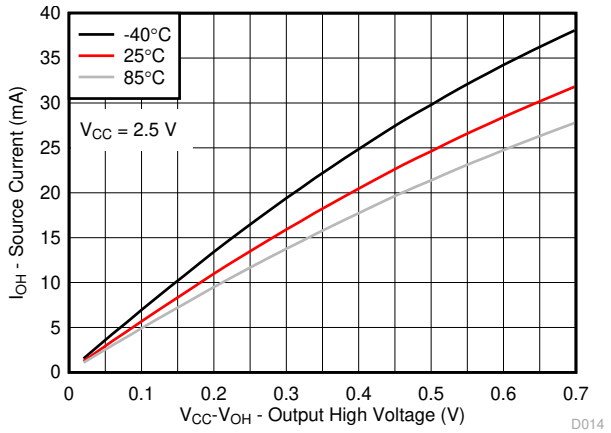


図 5-13. V_{CC} = 2.5V での各種温度 (T_A) での I/O ソース電流と出力 High 電圧との関係

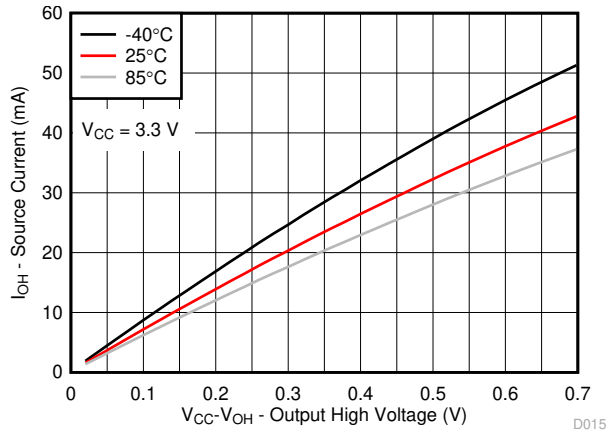


図 5-14. V_{CC} = 3.3V での各種温度 (T_A) での I/O ソース電流と出力 High 電圧との関係

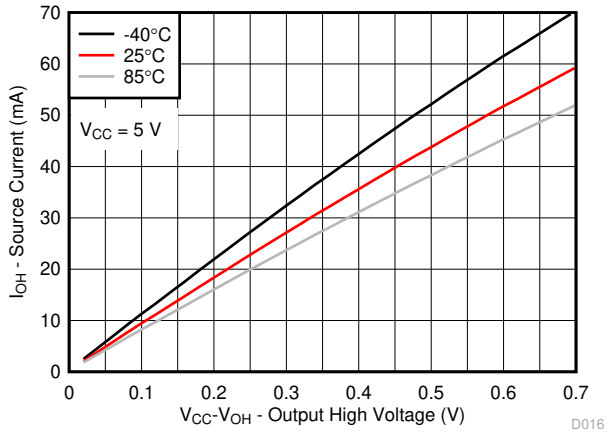


図 5-15. V_{CC} = 5V での各種温度 (T_A) での I/O ソース電流と出力 High 電圧との関係

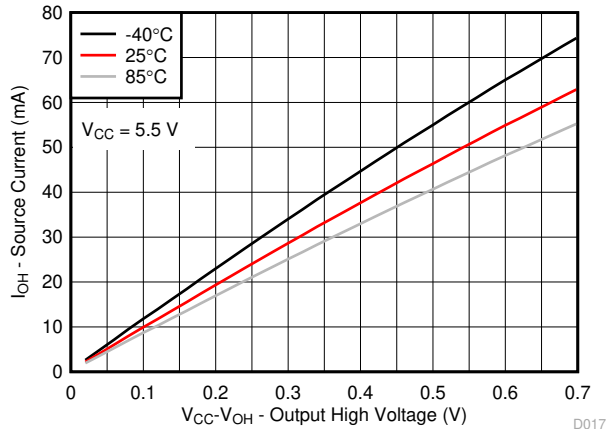


図 5-16. V_{CC} = 5.5V での各種温度 (T_A) での I/O ソース電流と出力 High 電圧との関係

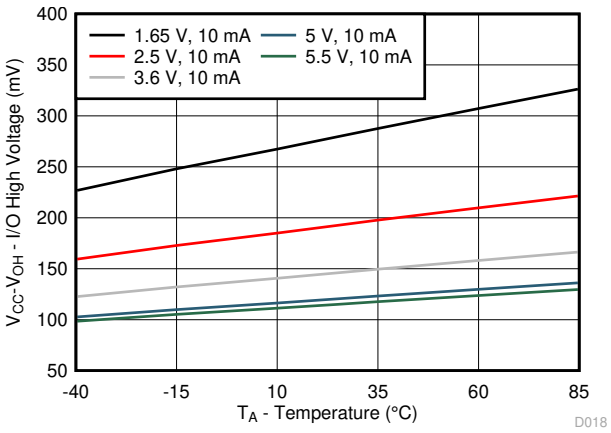


図 5-17. 異なる V_{CC} での V_{CC} – V_{OH} 電圧

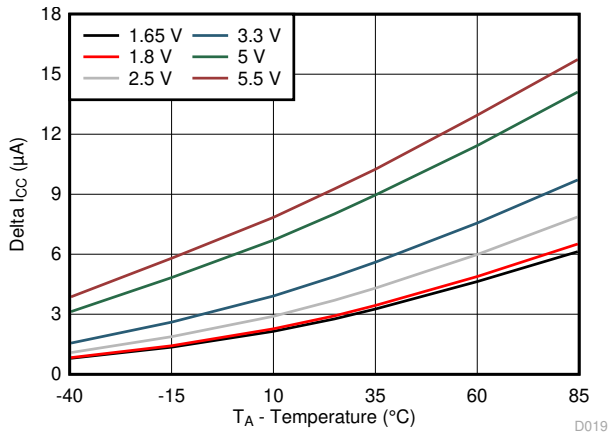
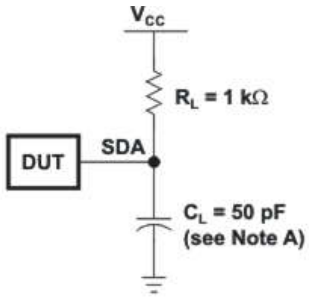


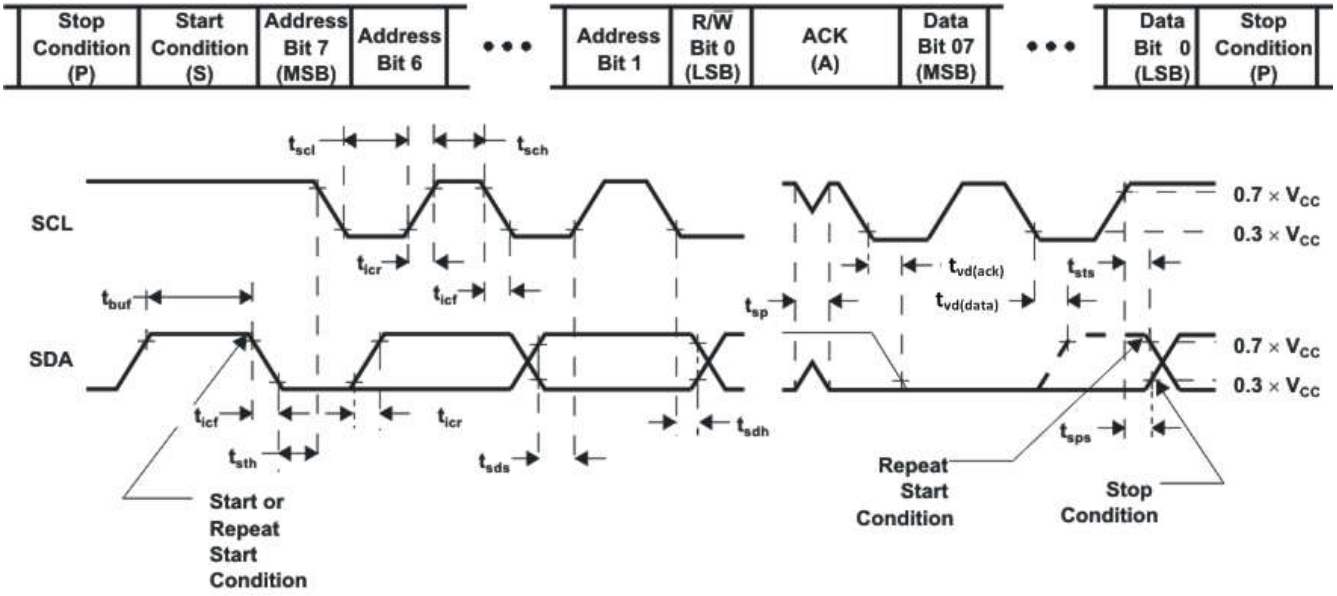
図 5-18. 異なる V_{CC} での Δ I_{CC} と温度の関係 (V_I = V_{CC} – 0.6V)

Copyright © 2026 Texas Instruments Incorporated

パラメータ測定情報



SDA LOAD CONFIGURATION



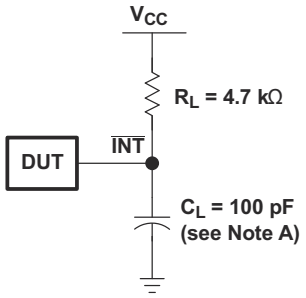
VOLTAGE WAVEFORMS

BYTE	DESCRIPTION
1	I^2C address
2, 3	P-port data

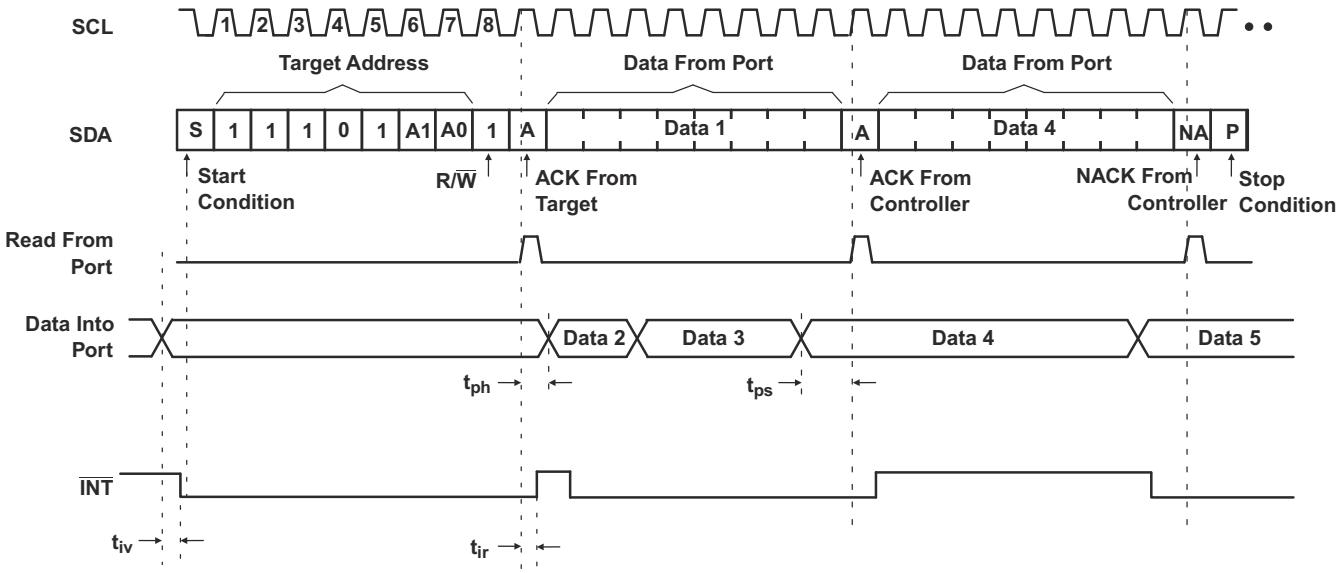
A. C_L にはプローブと治具の容量が含まれます。
B. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Z_O = 50Ω、t_r/t_f = 30ns。
C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

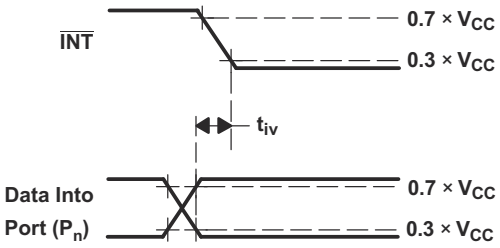
図 6-1. I^2C インターフェイスの負荷回路と電圧波形

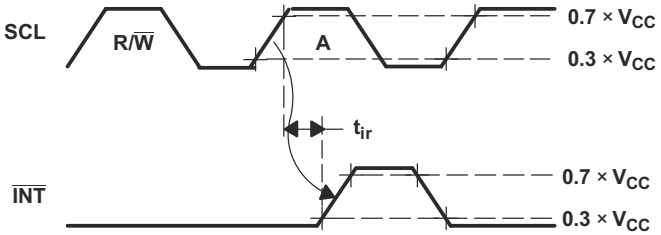
Copyright © 2026 Texas Instruments Incorporated



Interrupt Load Configuration



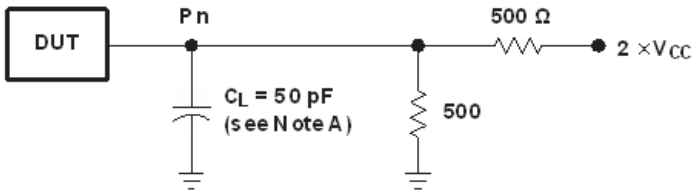




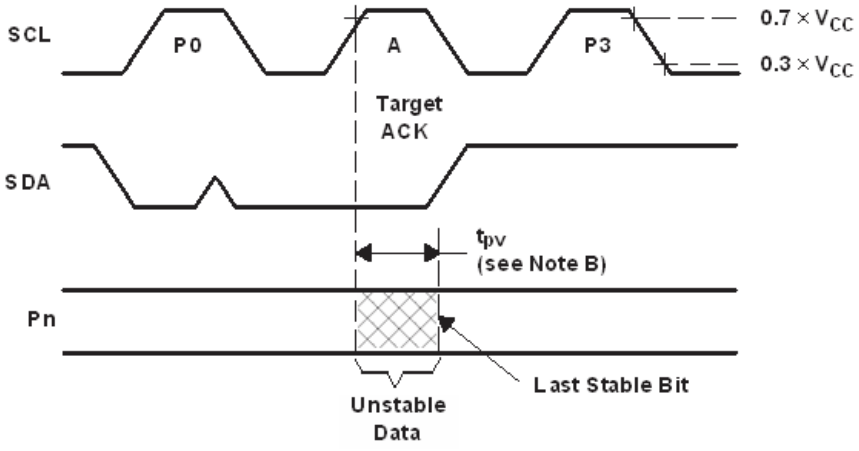
A. C_L にはプローブと治具の容量が含まれます。
B. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Z_O = 50Ω、t_r/t_f = 30ns。
C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-2. 割り込み負荷回路および電圧波形

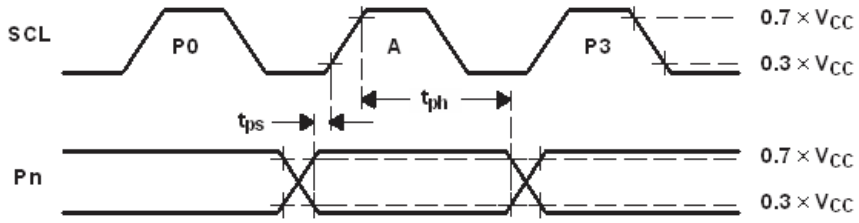
Copyright © 2026 Texas Instruments Incorporated



P-Port Load Configuration



Write Mode (R/W = 0)



Read Mode (R/W = 1)

A. C_L にはプローブと治具の容量が含まれます。
B. t_{pv} は、SCL で 0.7 × V_{CC} から 50% の I/O (On) 出力まで測定されます。
C. すべての入力は、以下の特性を持つジェネレータから供給されます：PRR ≤ 10MHz、Z_O = 50Ω、t_r/t_f = 30ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-3. P ポートの負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TCA9535 デバイスは I²C バス用の 16 ビット I/O エクスパンダで、1.65V ～ 5.5V の V_{CC} で動作するように設計されています。I²C インターフェイスにより、ほとんどのマイクロコントローラ ファミリの汎用リモート I/O 拡張に使用できます。

TCA9535 は、構成 (入力 / 出力選択)、入力ポート、出力ポート、極性反転 (アクティブ HIGH またはアクティブ LOW 動作) 用の 8 ビット レジスタをそれぞれ 2 個ずつ搭載しています。電源オン時に、I/O は入力として構成されます。システム コントローラは、I/O 構成レジスタ ビットに書き込むことで、I/O を入力にするか出力にするかを設定できます。それぞれの入力または出力のデータは、対応する入力または出力レジスタに保持されます。入力ポート レジスタの極性は、極性反転レジスタで反転できます。すべてのレジスタは、システム コントローラで読み出すことができます。

TCA9535 のオープン ドレイン割り込み ($\overline{INT}$) 出力は、いずれかの入力の状態が、対応する入力ポート レジスタの状態と異なっている場合にアクティブになり、入力状態が変化したことをシステム コントローラに示すために使用されます。

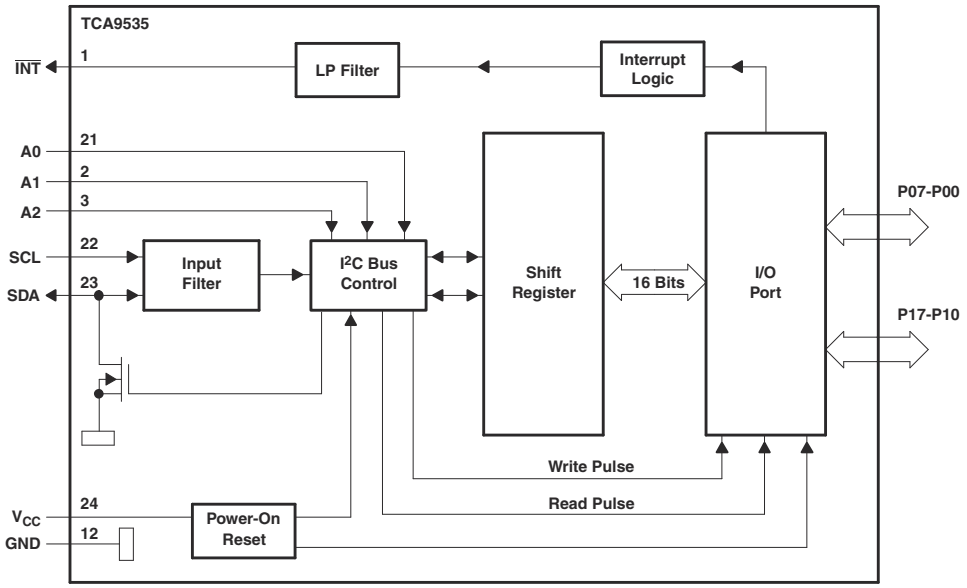
$\overline{INT}$ はマイクロコントローラの割り込み入力に接続できます。この配線で割り込み信号を送ることで、リモート I/O は、I²C バス経由で通信しなくてもポート上に入力データが存在するかどうかをマイコンに通知できます。そのため、TCA9535 はシンプルなターゲット デバイスとして動作し続けることができます。

本デバイスの出力 (ラッチ付き) は大電流駆動能力を備えているため、LED を直接駆動できます。本デバイスは低消費電流です。

TCA9535 デバイスは PCA9555 と類似していますが、内部 I/O プルアップ抵抗が除去されている点が異なります。これにより、I/O が Low に保持されている際の消費電力が大幅に低減されます。TCA9535 は PCA9535 の同等品ですが、より低い電圧 (最小 V_{CC} = 1.65V) をサポートし、各種のアプリケーション シナリオ用にパワーオン リセット回路が改善されています。

3 本のハードウェア ピン (A0、A1、A2) を使って固定 I²C アドレスをプログラムおよび変更することで、最大 8 つのデバイスが同じ I²C バスまたは SMBus を共有できます。

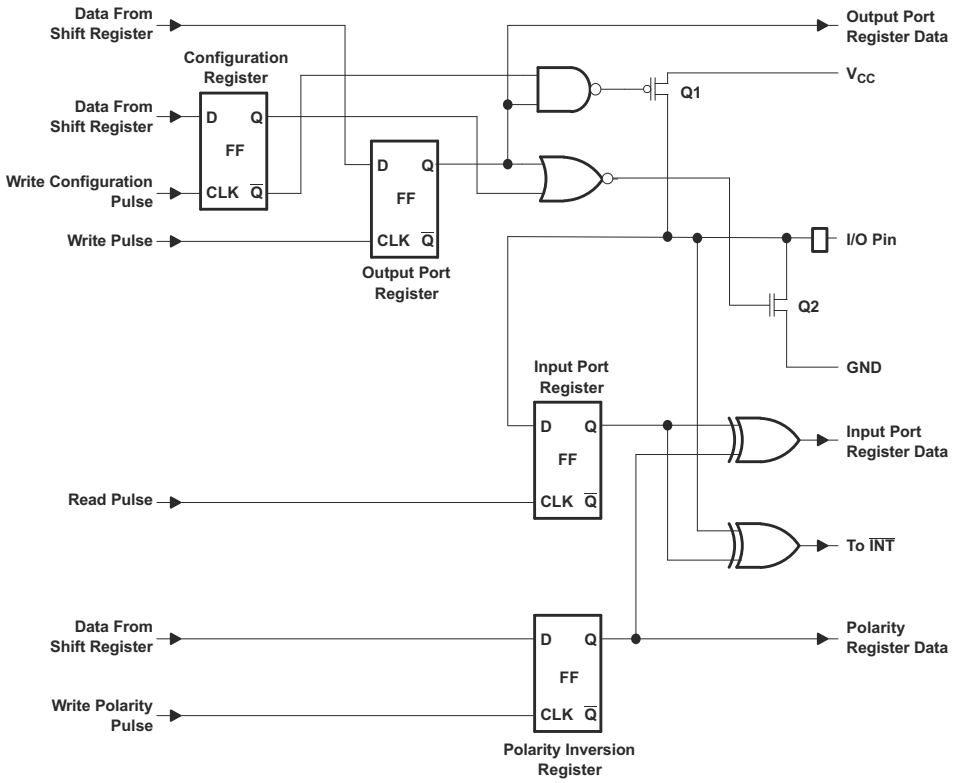
6.2 機能ブロック図



ここに示すピン番号は、PW パッケージのものです。
すべての I/O は、リセット時に入力に設定されます。

図 6-1. 論理図 (正論理)

Copyright © 2026 Texas Instruments Incorporated



パワーオン リセット時に、すべてのレジスタがデフォルト値に戻ります。

図 6-2. P ポート I/O の概略回路図

6.3 機能説明

6.3.1 5V 許容 I/O ポート

TCA9535 は、最大 5V を許容する I/O ポートを備えています。このポートを使用して、TCA9535 をさまざまなデバイス群に接続できます。I_{CC} を最小化するため、すべての入力信号は、「電気的特性」セクションに記載されている、デバイスの V_{IH} および V_{IL} 以内に入力電圧が維持されるよう設計する必要があります。

6.3.2 ハードウェア アドレス ピン

TCA9535 は、3 つのハードウェア アドレス ピン (A0、A1、A2) を備えています。ユーザーは、各ピンを V_{CC} または GND にプルしてアドレスのビット値を指定することにより、デバイスの I^2C アドレスを選択します。この処置で、アドレスが競合することなく、最大 8 つの TCA9535 デバイスを同じバス上に接続できます。3 つのアドレス ピンについては、「機能ブロック図」を参照してください。転送処理中にデバイス アドレスが変化することによって I^2C のグリッチが発生することを防ぐため、デバイスの電源投入中はピンの電圧が変化しないようにする必要があります。すべてのピンは V_{CC} または GND に接続する必要があります。フローティングのままにすることはできません。

6.3.3 割り込み ($\overline{INT}$) 出力

入力モードのポート入力に立ち上がりまたは立ち下がりエッジが発生すると、割り込みが生成されます。t_{iv} 時間が経過すると、$\overline{INT}$ 信号は有効になります。割り込み回路は、ポート上のデータが元の設定に戻されたとき、または割り込みを生成したポートからデータが読み取られたときにリセットされます。リセットは、読み取りモード時に SCL 信号の立ち上がりエッジの後のアクノリッジ (ACK) ビットで発生します。$\overline{INT}$ は、変更されたデータのバイトが送信される直前の ACK 時にリセットされることに注意してください。ACK クロック パルス中に発生する割り込みは、このパルス中に割り込みがリセットされるため、失われる (または非常に短くなる) ことがあります。リセット後に I/O の各変化が検出され、$\overline{INT}$ として送信されます。

Copyright © 2026 Texas Instruments Incorporated

他のデバイスとの間での読み取りや書き込みは、割り込み回路に影響しません。また、出力として構成されたピンが割り込みを発生させることはありません。I/O を出力から入力に変更すると、ピンの状態が入力ポート レジスタの内容と一致しない場合、誤った割り込みが発生する可能性があります。各 8 ビット ポートは個別に読み取られるため、ポート 0 によって発生した割り込みがポート 1 の読み取りによってクリアされることはありません。また、ポート 1 によって発生した割り込みがポート 0 の読み取りによってクリアされることもありません。

$\overline{INT}$ はオープン ドレイン構造になっています。$\overline{INT}$ には、V_{CC} に対して適度な値 (通常は 10kΩ) のプルアップ抵抗が必要です。

6.4 デバイスの機能モード

6.4.1 パワーオン リセット (POR)

V_{CC} に電源 (0V から) が印加されると、内部のパワーオン リセット回路により、V_{CC} が V_{PORR} に到達するまで TCA9535 はリセット状態に維持されます。到達した時点で、リセット状態は解除されます。TCA9535 のレジスタと I^2 C-SMBus ステート マシンは、デフォルト状態に初期化されます。その後、パワーリセット サイクルを行には、V_{CC} を V_{PORF} 未満に下げてから、再び動作電圧まで戻す必要があります。

6.4.2 パワーアップ

V_{CC} に印加された電力が V_{PORR} を超えると、POR が実行される、デバイスは機能モードに入ります。この状態では、デバイスは受信 I^2C 要求をすべて受け入れる準備ができており、入力ポートの変化を監視しています。

6.5 プログラミング

6.5.1 I^2C インターフェイス

TCA9535 には標準の双方向 I^2C インターフェイスがあり、このデバイスのステータスを構成または読み取りするためにコントローラ デバイスによって制御されます。I^2C バスの各ターゲットには特定のデバイス アドレスがあり、同じ I^2C バスにある他のターゲット デバイスと区別できます。多くのターゲット デバイスでは、スタートアップ時にデバイスの動作を設定するための構成が必要です。これは通常、一意のレジスタ アドレスを持つターゲットの内部レジスタ マップにコントローラがアクセスするときに行われます。デバイスには 1 つまたは複数のレジスタがあり、データの保存、書き込み、読み取りが行われます。詳細については、アプリケーション ノート『I^2C バスについて』を参照してください。

物理的な I^2C インターフェイスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。SDA ラインおよび SCL ラインは、どちらもプルアップ抵抗を介して V_{CC} に接続する必要があります。プルアップ抵抗のサイズは、I^2C ラインの容量によって決まります。詳細については、アプリケーション ノート『I^2C のプルアップ抵抗の計算』を参照してください。データ転送は、バスがアイドル状態のときのみ開始できます。STOP 条件の後に SDA ラインと SCL ラインの両方が High になると、バスはアイドルと見なされます。表 6-1 を参照してください。

コントローラがターゲット デバイスにアクセスするための、一般的な手順を図 6-3 と図 6-4 に示します:

1. コントローラがデータをターゲットに送信する場合:
   - コントローラのトランスミッタは START 条件を送信し、ターゲットのレシーバをアドレス指定します。
   - コントローラのトランスミッタは、ターゲットのレシーバにデータを送信します。
   - コントローラのトランスミッタは、STOP 条件で転送を終了します。
2. コントローラがターゲットからデータを受信または読み取る場合:
   - コントローラのレシーバは START 条件を送信し、ターゲットのトランスミッタをアドレス指定します。
   - コントローラのレシーバは、ターゲットのトランスミッタから読み出すため必要なレジスタを送信します。
   - コントローラのレシーバは、ターゲットのトランスミッタからデータを受信します。

Copyright © 2026 Texas Instruments Incorporated

- コントローラのレシーバは、STOP 条件で転送を終了します。

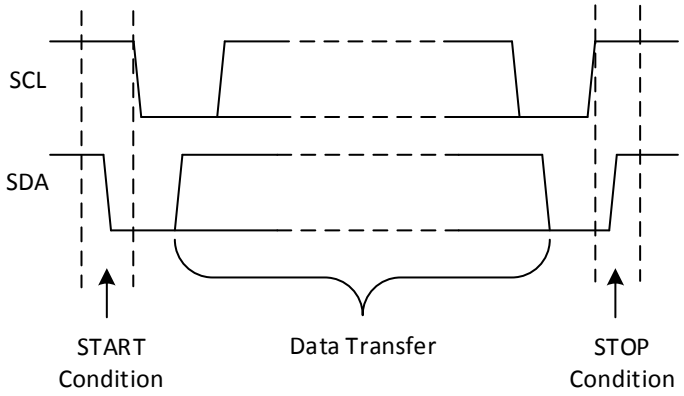


図 6-3. START 条件と STOP 条件の定義

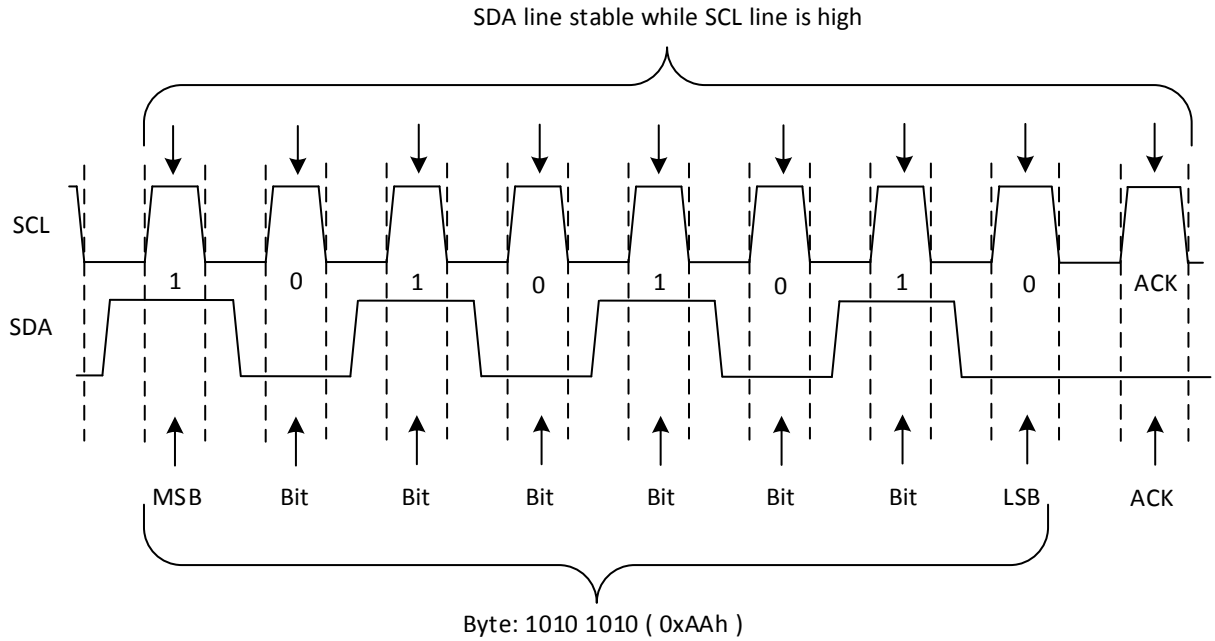


図 6-4. ビット転送

表 6-1 に、インターフェイスの定義を示します。

表 6-1. インターフェイスの定義

バイト	ビット							
	7 (MSB)	6	5	4	3	2	1	0 (LSB)
I^2C ターゲット アドレス	L	H	L	L	A2	A1	A0	R/$\overline{W}$
P0x I/O データ バス	P07	P06	P05	P04	P03	P02	P01	P00
P1x I/O データ バス	P17	P16	P15	P14	P13	P12	P11	P10

6.5.1.1 バス トランザクション

データは、コントローラと TCA9535 の間で、書き込みおよび読み取りコマンドを介してやり取りされます。この処理は、ターゲット デバイスのレジスタから読み取りをしたり、レジスタへ書き込みをすることで実現できます。

レジスタは、ターゲットのメモリの情報を含む場所で、構成情報が含まれていることも、サンプリングされたデータをコントローラに返送するため保持していることもあります。コントローラは、これらのレジスタに情報を書き込んで、ターゲット デバイスにタスクの実行を指示する必要があります。

6.5.1.1.1 書き込み

コントローラが I²C バスに書き込むときは、ターゲットのアドレスを指定して START 条件をバスに送信し、最後のビット (R/$\overline{W}$ ビット) を 0 に設定して書き込みを行うことを示します。ターゲット デバイスがアクノリッジ ビットを送信した後、コントローラは書き込み対象レジスタのレジスタ アドレスを送信します。ターゲットはアクノリッジを再び行い、準備が整っていることをコントローラに通知します。その後、コントローラはレジスタ データのターゲットへの送信を開始し、必要なすべてのデータ (通常は単一バイトのみ) を送信し終えたら、STOP 条件で送信を終了します。

TCA9535 の内部レジスタのリストと、各レジスタの説明については、「制御レジスタおよびコマンド バイト」セクション参照してください。

図 6-5 に、ターゲット レジスタに単一バイトを書き込む例を示します。

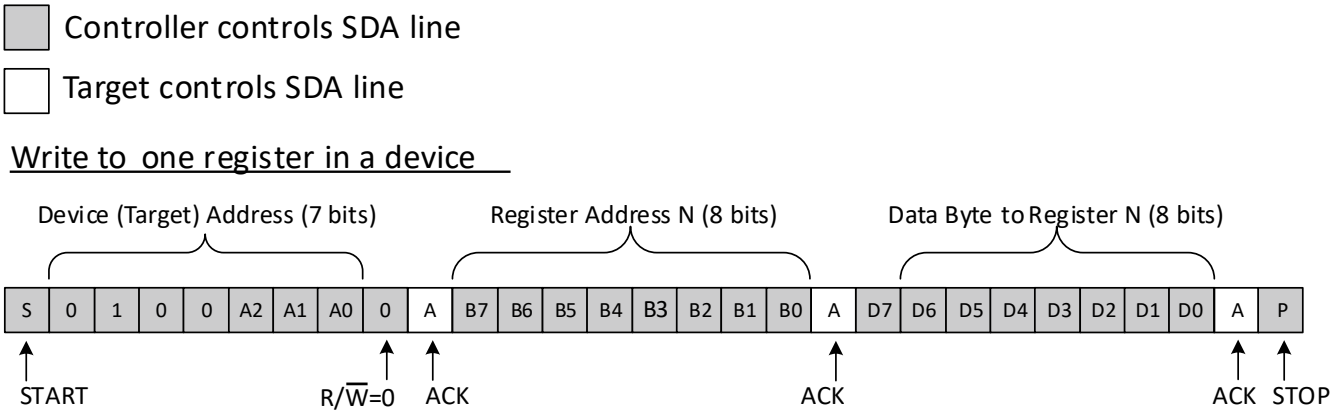


図 6-5. レジスタへの書き込み

図 6-6 に極性反転レジスタへの書き込みを示します。

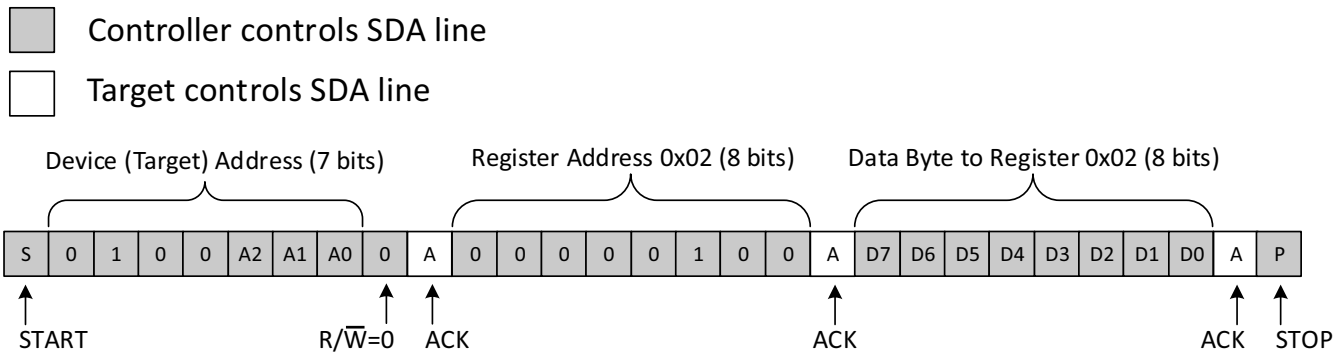


図 6-6. 極性反転レジスタへの書き込み

図 6-7 に出力ポート レジスタへの書き込みを示します。

Copyright © 2026 Texas Instruments Incorporated

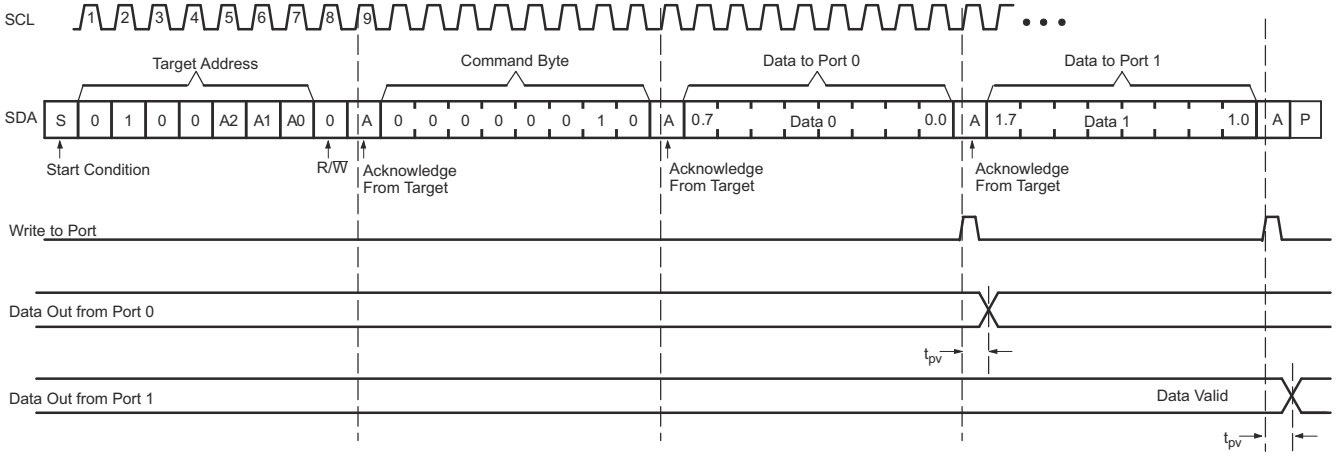


図 6-7. 出力ポート レジスタへの書き込み

6.5.1.1.2 読み取り

ターゲットからの読み取りは書き込みとよく似ていますが、追加の手順が必要です。コントローラがターゲットからの読み取りを実行するには、まずどのレジスタから読み取るかをターゲットに指示する必要があります。これは、コントローラが書き込みと同様の方法で転送を開始する際に、R/$\overline{W}$ ビットが 0 (書き込みを意味する) のアドレスを送信し、その後に読み取りたいレジスタ アドレスを送信することで実行します。ターゲットがこのレジスタ アドレスをアクノリッジすると、コントローラは START 条件を再度送信し、続いて R/$\overline{W}$ ビットが 1 (読み取りを意味します) に設定されたターゲット アドレスを送信します。今回は、ターゲットが読み取り要求をアクノリッジし、コントローラは SDA バスを解放しますが、ターゲットへのクロック供給は継続します。トランザクションのこの部分では、コントローラがコントローラ レシーバになり、ターゲットがターゲット トランスミッタになります。

コントローラは引き続きクロック パルスを送信しますが、SDA ラインを解放して、ターゲットがデータを送信できるようにします。データのすべてのバイトが終了すると、コントローラは ACK をターゲットに送信し、さらに多くのデータを送信する準備ができたことをターゲットに通知します。コントローラは、予期された数のバイトを受信すると、NACK を送信してターゲットに通信停止とバスの解放を通知します。コントローラはこれに続いて STOP 条件を送信します。

TCA9535 の内部レジスタのリストと、各レジスタの説明については、「制御レジスタおよびコマンド バイト」セクションを参照してください。

図 6-8 に、ターゲット レジスタから単一のバイトを読み取る例を示します。

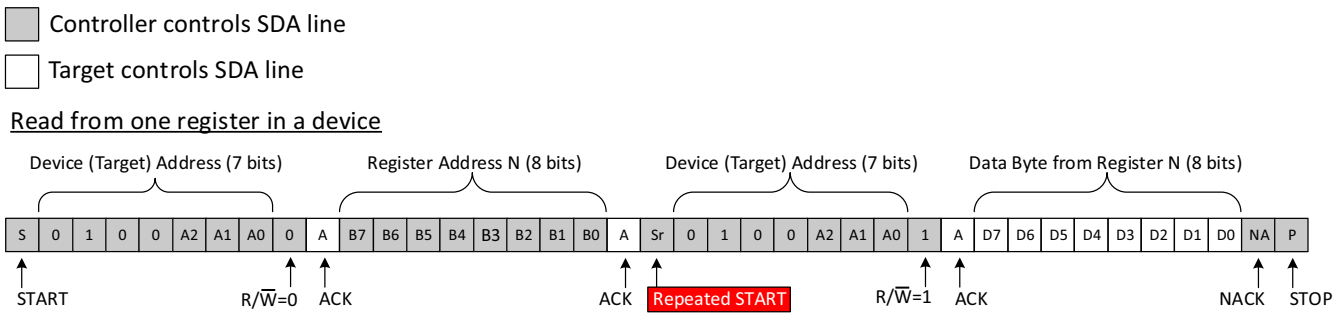


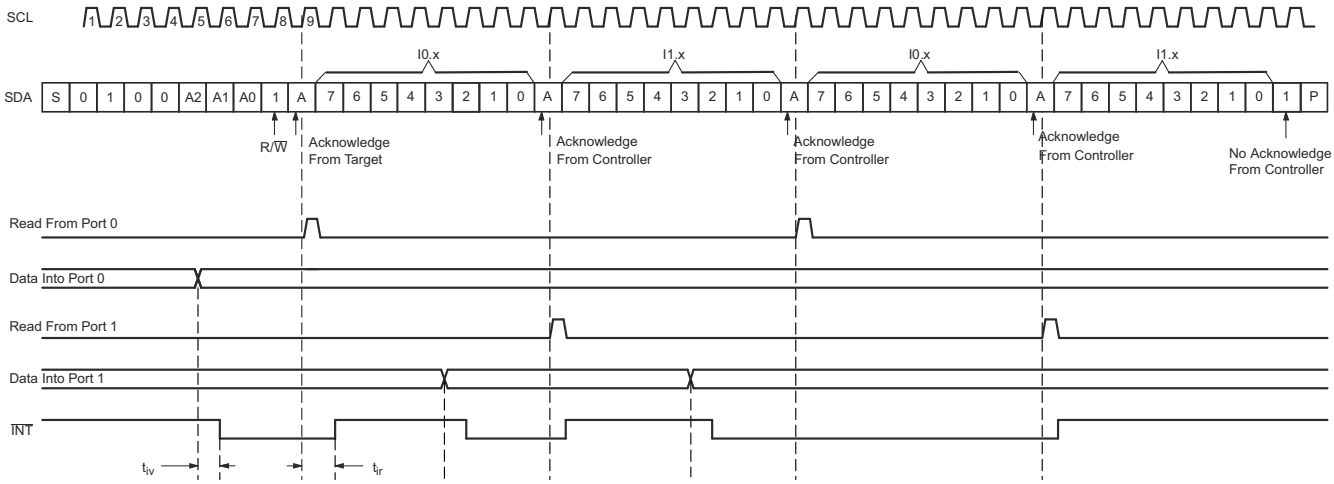
図 6-8. レジスタからの読み取り

再起動後、コマンド バイトで定義されたレジスタの値は、再起動時にアクセス中のレジスタと一致します。たとえば、コマンド バイトが再起動の前に入力ポート 1 を参照しており、入力ポート 0 の読み取り中に再起動が発生すると、保存されているコマンド バイトは入力ポート 0 を参照するように変わります。元のコマンド バイトは消去されます。続いて再起動が発生すると、最初に入力ポート 0 が読み取られます。データは、ACK クロック パルスの立ち上がりエッジでレジスタに書き込まれます。最初のバイトが読み取られた後に、他のバイトを読み取ることもできますが、この時点でデータにはペアになって

Copyright © 2026 Texas Instruments Incorporated

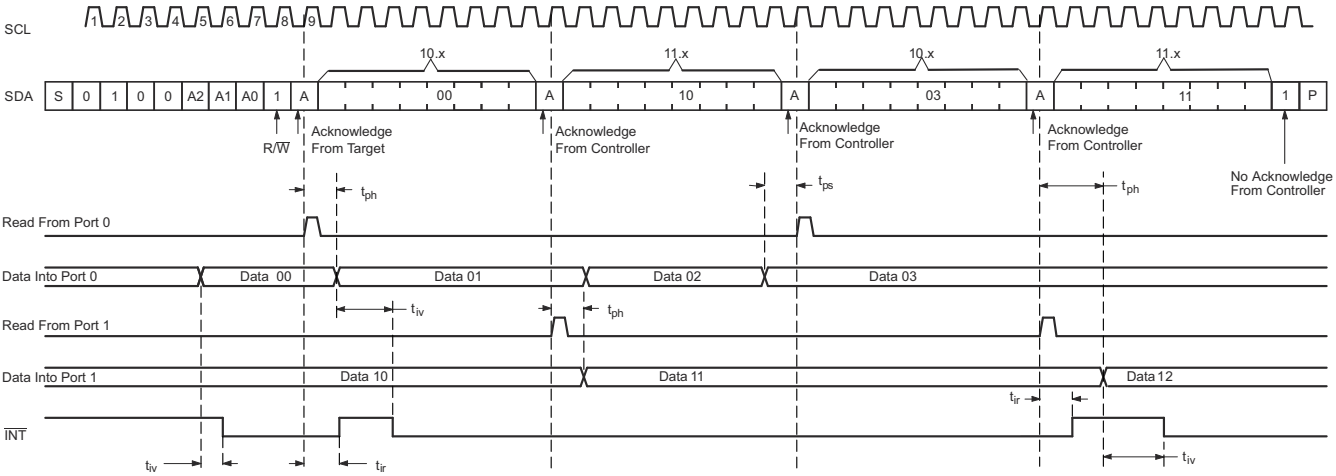
いるもう片方のレジスタの情報が反映されています。たとえば、入力ポート 1 が読み出されると、次に読み出されるバイトは入力ポート 0 になります。

データは、ACK クロック パルスの立ち上がりエッジでレジスタに書き込まれます。1 回の読み出し転送で受信するデータ バイト数に制限はありませんが、最後のバイトを受信するとき、バス コントローラはデータにアクノリッジを返しません。図 6-9 と図 6-10 に、入力ポート レジスタの読み取りの 2 つの異なるシナリオを示します。



データの転送は、STOP 条件によりいつでも停止できます。このとき、最新のアクノリッジ フェーズに存在するデータが有効になります (出力モード)。これは、コマンド バイトがここまでの時点で 00 (Input Port レジスタの読み取り) に設定されているものと想定しています。
この図では、最初のターゲット アドレス呼び出しと、P ポートからの実際のデータ転送との間で行われる、コマンド バイト転送、再起動、ターゲット アドレス呼び出しが省略されています。

図 6-9. 入力ポート レジスタの読み取り、シナリオ 1



データの転送は、STOP 条件によりいつでも停止できます。このとき、最新のアクノリッジ フェーズに存在するデータが有効になります (出力モード)。これは、コマンド バイトがここまでの時点で 00 (Input Port レジスタの読み取り) に設定されているものと想定しています。
この図では、最初のターゲット アドレス呼び出しと、P ポートからの実際のデータ転送との間で行われる、コマンド バイト転送、再起動、ターゲット アドレス呼び出しが省略されています。

図 6-10. 入力ポート レジスタの読み取り、シナリオ 2

Copyright © 2026 Texas Instruments Incorporated

6.5.2 デバイス アドレス

図 6-11 は、TCA9535 のアドレス バイトを示しています。

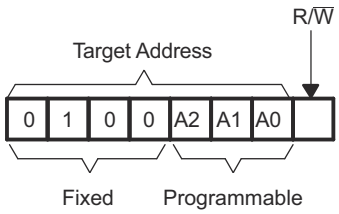


図 6-11. TCA9535 アドレス

表 6-2 は、TCA9535 のアドレス参照を示しています。

表 6-2. アドレス参照

入力			I²C バスのターゲットのアドレス
A2	A1	A0	
L	L	L	32 (10 進)、0×20 (16 進)
L	L	H	33 (10 進)、0x21 (16 進)
L	H	L	34 (10 進)、0x22 (16 進)
L	H	H	35 (10 進)、0x23 (16 進)
H	L	L	36 (10 進)、0x24 (16 進)
H	L	H	37 (10 進)、0x25 (16 進)
H	H	L	38 (10 進)、0x26 (16 進)
H	H	H	39 (10 進)、0x27 (16 進)

ターゲットのアドレスの最後のビットにより、実行する動作 (読み取りまたは書き込み) が定義されます。High (1) を選択すると読み取り動作、Low (0) を選択すると書き込み動作となります。

6.5.3 制御レジスタとコマンド バイト

アドレス バイトのアクノリッジが成功すると、バス コントローラは表 6-3 に示すコマンド バイトを送信します。このバイトは TCA9535 の制御レジスタに格納されます。このデータ バイトのうち 3 ビットは、操作内容 (読み取りまたは書き込み) と、影響を受ける内部レジスタ (入力、出力、極性反転、構成) を指定します。このレジスタは、I²C バス経由で書き込みや読み出しができます。コマンド バイトは、書き込み転送中にのみ送信されます。

コマンド バイトが送信されると、新たなコマンド バイトが送信されるまで、指定されたレジスタは読み取り操作で引き続きアクセスされます。図 6-12 に、制御レジスタ ビットを示します。

0	0	0	0	0	B2	B1	B0

図 6-12. 制御レジスタ ビット

表 6-3. コマンド バイト

制御レジスタ ビット			コマンド バイト (16 進数)	レジスタ	プロトコル	電源投入時のデフォルト値
B2	B1	B0				
0	0	0	0x00	入力ポート 0	バイトの読み取り	xxxx xxxx
0	0	1	0x01	入力ポート 1	バイトの読み取り	xxxx xxxx
0	1	0	0x02	出力ポート 0	読み取り/ 書き込みバイト	1111 1111
0	1	1	0x03	出力ポート 1	読み取り/ 書き込みバイト	1111 1111

Copyright © 2026 Texas Instruments Incorporated

表 6-3. コマンド バイト (続き)

制御レジスタ ビット			コマンド バイト (16 進数)	レジスタ	プロトコル	電源投入時のデフォルト値
B2	B1	B0				
1	0	0	0x04	極性反転ポート 0	読み取り/ 書き込みバイト	0000 0000
1	0	1	0x05	極性反転ポート 1	読み取り/ 書き込みバイト	0000 0000
1	1	0	0x06	構成ポート 0	読み取り/ 書き込みバイト	1111 1111
1	1	1	0x07	構成ポート 1	読み取り/ 書き込みバイト	1111 1111

6.6 レジスタ マップ

6.6.1 レジスタの説明

表 6-4 に示す入力ポート レジスタ (レジスタ 0 および 1) には、ピンが構成レジスタによって入力と出力のどちらに定義されているかに関係なく、ピンに入力されるロジック レベルが反映されます。読み出し動作時にのみ機能します。これらのレジスタに書き込みを行っても、影響はありません。デフォルト値 X は、外部で印加されるロジック レベルによって決まります。

読み取り動作の前に、コマンド バイトを含む書き込み転送が送信され、次に入力ポート レジスタがアクセスされることを I^2C デバイスに伝えます。

表 6-4. レジスタ 0 および 1 (入力ポート レジスタ)

ビット	I0.7	I0.6	I0.5	I0.4	I0.3	I0.2	I0.1	I0.0
デフォルト	X	X	X	X	X	X	X	X
ビット	I1.7	I1.6	I1.5	I1.4	I1.3	I1.2	I1.1	I1.0
デフォルト	X	X	X	X	X	X	X	X

表 6-5 に示す出力ポート レジスタ (レジスタ 2 および 3) は、構成レジスタで出力として定義されているピンから出力されるロジック レベルを提示します。このレジスタのビット値は、入力として定義されたピンには影響を与えません。反対に、このレジスタから読み出した値は、実際のピンの値ではなく、出力選択を制御しているフリップフロップの値に反映されます。

表 6-5. レジスタ 2 および 3 (出力ポート レジスタ)

ビット	O0.7	O0.6	O0.5	O0.4	O0.3	O0.2	O0.1	O0.0
デフォルト	1	1	1	1	1	1	1	1
ビット	O1.7	O1.6	O1.5	O1.4	O1.3	O1.2	O1.1	O1.0
デフォルト	1	1	1	1	1	1	1	1

表 6-6 に示す極性反転レジスタ (レジスタ 4 および 5) により、構成レジスタで入力として定義されたピンの極性を反転することができます。このレジスタのビットが設定される (1 が書き込まれる) と、対応するピンの極性が反転します。このレジスタのビットがクリアされる (0 が書き込まれる) と、対応するピンの元の極性が保持されます。

表 6-6. レジスタ 4 および 5 (極性反転レジスタ)

ビット	N0.7	N0.6	N0.5	N0.4	N0.3	N0.2	N0.1	N0.0
デフォルト	0	0	0	0	0	0	0	0
ビット	N1.7	N1.6	N1.5	N1.4	N1.3	N1.2	N1.1	N1.0
デフォルト	0	0	0	0	0	0	0	0

Copyright © 2026 Texas Instruments Incorporated

表 6-7 に示す構成レジスタ (レジスタ 6 および 7) は、I/O ピンの方向を設定します。このレジスタのビットを 1 に設定すると、対応するポート ピンは高インピーダンス出力ドライバを持つ入力としてイネーブルになります。このレジスタのビットを 0 にクリアすると、対応するポート ピンは出力としてイネーブルになります。

表 6-7. レジスタ 6 および 7 (構成レジスタ)

ビット	C0.7	C0.6	C0.5	C0.4	C0.3	C0.2	C0.1	C0.0
デフォルト	1	1	1	1	1	1	1	1
ビット	C1.7	C1.6	C1.5	C1.4	C1.3	C1.2	C1.1	C1.0
デフォルト	1	1	1	1	1	1	1	1

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

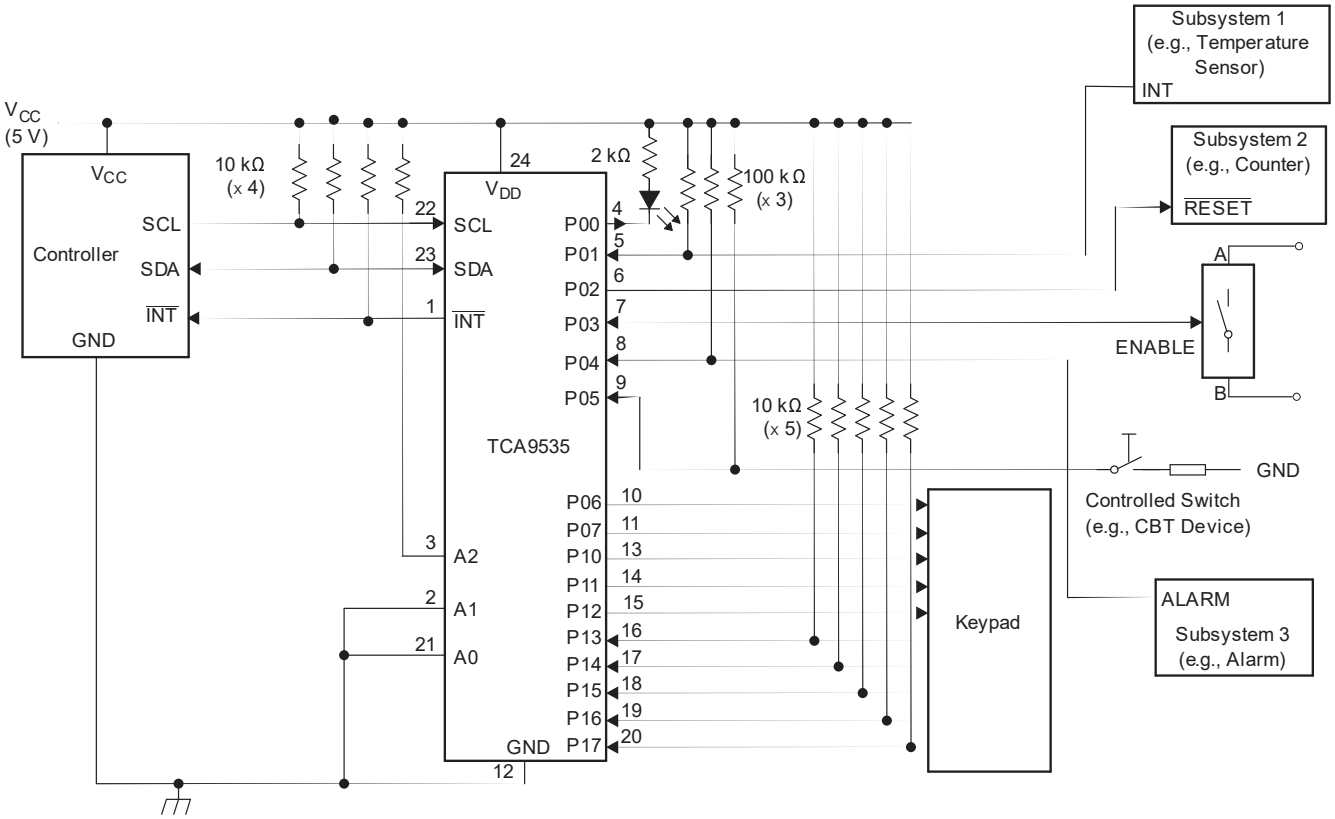
7.1 使用上の注意

TCA9535 のアプリケーションでは、このデバイスは I^2C コントローラ (プロセッサ) のターゲットとして接続され、I^2C バスには他の任意の数のターゲット デバイスが含まれる場合があります。TCA9535 は、通常コントローラから離れた場所で、コントローラが監視または制御する必要のある GPIO の近くに配置されます。

TCA9535 などの IO エクスパンダは、一般に LED (フィードバックまたはステータス ライト用) の制御、他のデバイスの有効化またはリセット信号の制御、他のデバイスやボタンの出力の読み取りに使用されます。

7.2 代表的なアプリケーション

図 7-1 は、TCA9535 を使用可能なアプリケーションを示します。



この例では、デバイス アドレスを 0100100 に設定しています。
P00、P02、P03 は出力として構成されています。
P01、P04–P07、P10–P17 は入力として構成されています。
ここに示すピン番号は、PW パッケージのものです。

図 7-1. アプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

7.2.1 設計要件

設計者は、いずれのパラメータ仕様にも違反しないようにシステムを考慮する必要があります。表 7-1 に、違反してはならない重要なパラメータを示します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
I^2C とサブシステム電圧 (V_{CC})	5V
出力電流定格、P ポート シンク (I_{OL})	25mA
I^2C バス クロック (SCL) 速度	400kHz

7.2.1.1 接合部温度と消費電力の計算

このデバイスを設計に使用する際は、「推奨動作条件」に違反しないことが重要です。このデバイスのパラメータの多くは、接合部温度に基づいて定格が設定されています。したがって、デバイスの安全な動作条件が満たされていることを確認するために、接合部温度を計算する必要があります。式 1 に、接合部温度の基本的な式を示します。

$$T_j = T_A + (\theta_{JA} \times P_d) \quad (1)$$

θ_{JA} は、「熱に関する情報」表に示すように、パッケージの接合部 周囲間の標準的な熱抵抗測定値です。P_d はデバイスの合計消費電力で、その近似値を式 2 に示します。

$$P_d \approx (I_{CC_STATIC} \times V_{CC}) + \sum P_{d_PORT_L} + \sum P_{d_PORT_H} \quad (2)$$

式 2 は、デバイス内の消費電力の近似値です。この式は、静的電力と、各ポートで消費される電力 (ポートが High 出力か Low 出力かによって異なる計算式を用います) の合計となります。ポートが入力に設定されている場合、消費電力はピンの入力リーク電流にピンの電圧を掛けた値となります。これは、これらの過渡が小さいと仮定して、$\overline{INT}$ および SDA ピンの消費電力を無視することに注意してください。これらは、式 3 を使用して $\overline{INT}$ または SDA が Low にプルされているときの消費電力を計算することで、消費電力の計算に簡単に含めることができます。その結果から最大消費電力が求められます。

$$P_{d_PORT_L} = (I_{OL} \times V_{OL}) \quad (3)$$

出力 Low に設定された 1 つのポートの消費電力を、式 3 に示します。ポートによって消費される電力は、ポートの V_{OL} にシンクしている電流を掛けた値になります。

$$P_{d_PORT_H} = (I_{OH} \times (V_{CC} - V_{OH})) \quad (4)$$

出力 High に設定された 1 つのポートの消費電力を 式 4 に示します。ポートによって消費される電力は、ポートから供給される電流にデバイスでの電圧降下 (V_{CC} と出力電圧の差) を乗算した値です。

7.2.1.2 I/O で LED を制御する場合の I_{CC} の最小化

I/O で LED を制御する場合、図 7-1 に示すように、通常は抵抗を介して V_{CC} に接続します。LED はダイオードとして機能するため、LED がオフのとき、I/O の V_{IN} は V_{CC} よりも約 1.2V 低くなります。「電気的特性」表に記載されている ΔI_{CC} パラメータは、V_{IN} が V_{CC} より低くなるにつれて I_{CC} がどのように増加するかを示しています。バッテリ駆動の用途では、消費電流を最小限に抑えるため、LED 消灯時に I/O ピンの電圧が V_{CC} 以上になるようにすることが重要です。

図 7-2 に、LED と並列に設置した値の大きな抵抗を示します。図 7-3 では、V_{CC} が LED 電源電圧よりも、少なくとも 1.2V だけ低くなっています。この両方の方法では、I/O の V_{IN} が V_{CC} 以上に維持され、LED 消灯時の追加の電源電流消費を防ぐことができます。

Copyright © 2026 Texas Instruments Incorporated

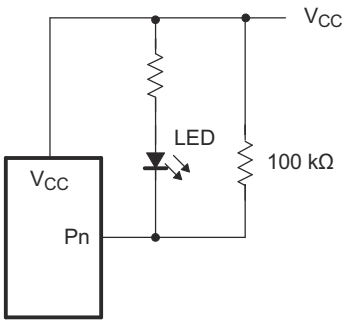


図 7-2. LED と並列に設置した高抵抗値の抵抗

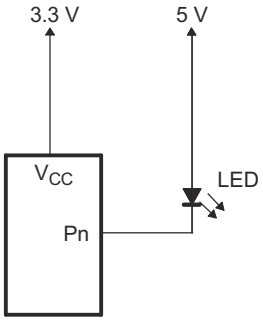


図 7-3. 低電圧が供給されるデバイス

7.2.2 詳細な設計手順

SCL および SDA ラインのプルアップ抵抗 R_P は、I^2C バス上のすべてのターゲットの合計容量を考慮して、適切に選択する必要があります。最小プルアップ抵抗は、式 5 で示すように V_{CC}、$V_{OL,(max)}$、I_{OL} の関数です。

$$R_{p(min)} = \frac{V_{CC} - V_{OL(max)}}{I_{OL}} \quad (5)$$

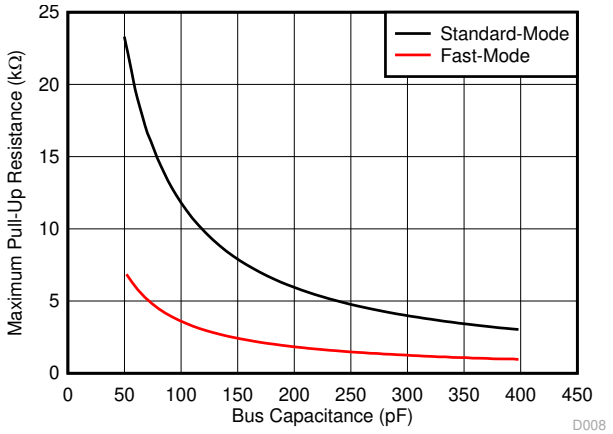
最大プルアップ抵抗は、式 6 で示すように最大立ち上がり時間 t_r (高速モード動作時は 300ns、f_{SCL} = 400kHz) とバス容量 C_b の関数です。

$$R_{p(max)} = \frac{t_r}{0.8473 \times C_b} \quad (6)$$

I^2C バスの最大バス容量は、標準モードおよび高速モード動作の場合、400pF を超えないものとします。バス容量は、TCA9535 の容量 (SCL では C_i、SDA では C_{IO})、配線 / 接続 / パターンの容量、バス上の追加ターゲットの容量を追加することで近似値を求めることができます。詳細については、アプリケーション ノート『I^2C のプルアップ抵抗の計算』を参照してください。

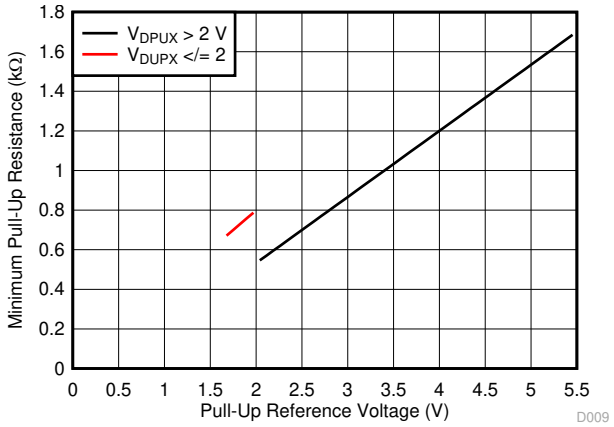
Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線



標準モード:f_{SCL} = 100kHz、t_r = 1µs
高速モード:f_{SCL} = 400kHz、t_r = 300ns

図 7-4. 最大プルアップ抵抗 ($R_{p(max)}$) とバス容量 (C_b) との関係



V_{OL} = 0.2 × V_{CC}、I_{OL} = 2mA (V_{CC} ≦ 2V の場合)
V_{OL} = 0.4V、I_{OL} = 3mA (V_{CC} > 2V)

図 7-5. 最小プルアップ抵抗 ($R_{p(min)}$) とプルアップ リファレンス電圧 (V_{CC}) との関係

7.3 電源に関する推奨事項

グリッチやデータ破損が発生した場合、パワーオン リセット機能を使用して TCA9535 をデフォルト状態にリセットできます。パワーオン リセットを実行するには、デバイスを完全にリセットするためにパワー サイクルを完了させる必要があります。このリセットは、アプリケーションでデバイスの電源を初めてオンにしたときにも発生します。

図 7-6 および 図 7-7 に、2 種類のパワーオン リセットを示します。

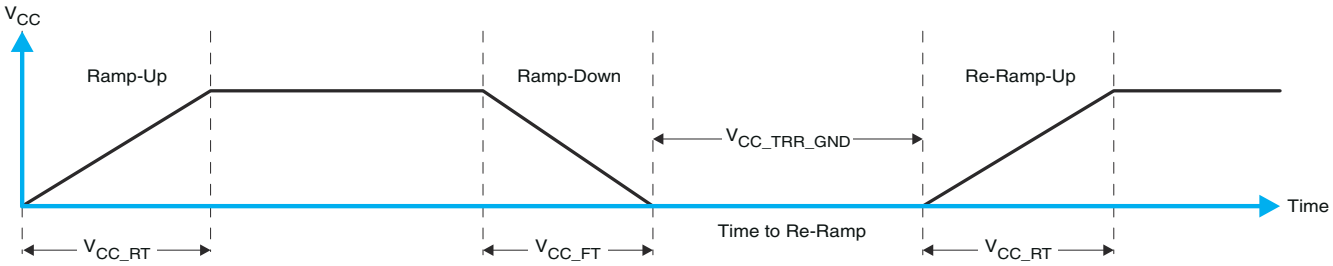


図 7-6. V_{CC} は、0.2V または 0V を下回るまで低下してから、再度 V_{CC} まで上昇します

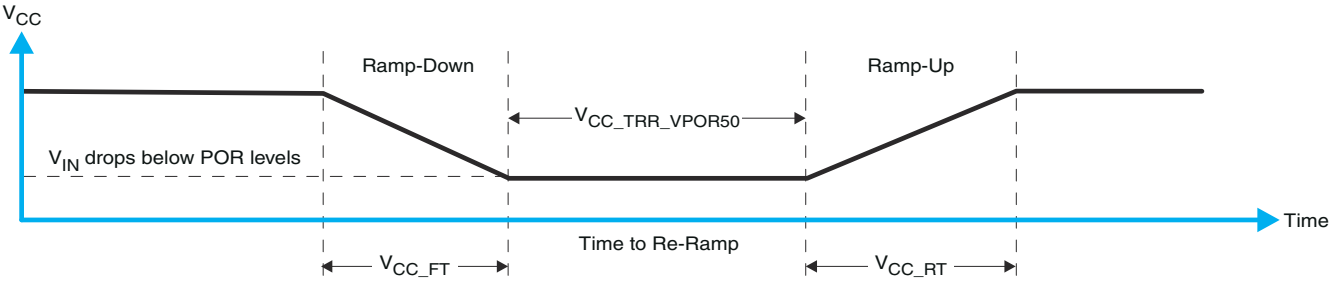


図 7-7. V_{CC} は、Por スレッショルドを下回るまで低下してから、再度 V_{CC} まで上昇します

表 7-2 に、両方のタイプのパワーオン リセットについて、TCA9535 のパワーオン リセット機能の性能を規定します。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 推奨される電源シーケンシングとランプ レート

パラメータ (1)			最小値	標準値	最大値	単位
V_{CC_FT}	立ち下がりレート	図 7-6 を参照	0.1			ms
V_{CC_RT}	立ち上がりレート	図 7-6 を参照	0.01			ms
V_{CC_TRR}	再ランプ時間 (V_{CC} が V_{VOR_MIN} - 50mV まで低下する場合、または V_{CC} が GND まで低下する場合)	図 7-6 を参照	1			µs
V_{CC_GH}	V_{CC} がグリッチで低下しても、機能上の障害を起こさないレベル (V_{CC} を基準、V_{CC_GW} 時)	図 7-8 を参照			1.2	V
V_{CC_MV}	V_{CC} がグリッチで低下しても、リセットを引き起こすことのない最低電圧 (V_{CC_GH} を厳守する必要があります)	図 7-8 を参照	1.5			V
V_{CC_GW}	機能不良を引き起こさないグリッチ幅	図 7-8 を参照			10	µs
V_{PORF}	V_{CC} 立ち下がり時の POR の電圧トリップ ポイント		0.75	1	1	V
V_{PORR}	V_{CC} 立ち上がり時の POR の電圧トリップ ポイント			1.2	1.5	V

(1) T_A = -40°C ～ 85°C (特に記述のない限り)

電源のグリッチは、このデバイスのパワーオン リセット性能にも影響を及ぼす可能性があります。グリッチ幅 (V_{CC_GW}) と高さ (V_{CC_GH}) は互いに依存します。バイパス容量、ソース インピーダンス、デバイス インピーダンスは、パワーオン リセット性能に影響を及ぼす要因です。これらの仕様を測定する方法の詳細については、図 7-8 と 表 7-2 を参照してください。

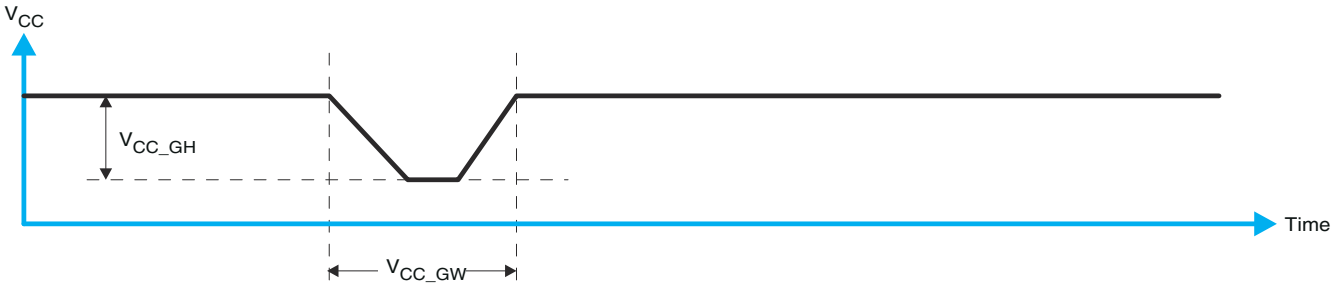


図 7-8. グリッチ幅とグリッチ高さ

V_{PORR} は、パワーオン リセットに不可欠です。V_{PORR} は、リセット条件が解放され、すべてのレジスタと I^2C/SMBus ステート マシンがデフォルト状態に初期化される電圧レベルです。V_{POR} の値は、0 に低下するか、または 0 から低下した V_{CC} に応じて変わります。図 7-9 と 表 7-2 で、この仕様の詳細について説明します。

Copyright © 2026 Texas Instruments Incorporated

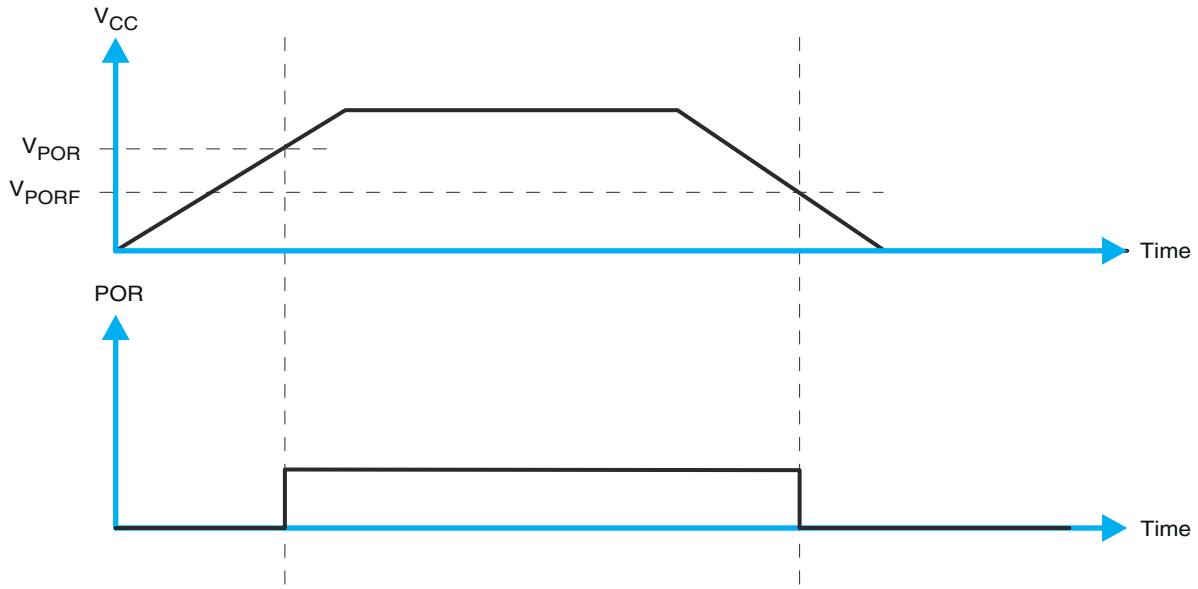


図 7-9. V_{POR}

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TCA9535 のプリント回路基板 (PCB) レイアウトでは、一般的な PCB レイアウトの慣例に従う必要がありますが、整合インピーダンスや差動ペアなどの高速データ転送に関する追加の考慮事項は、I^2C 信号速度では問題にはなりません。

すべての PCB レイアウトにおける最善策は、信号トレースを直角に曲げないこと、集積回路 (IC) の近接部を離れるときに信号トレースが互いに離れていくように配置すること、トレース幅を太くして電源とグランドのトレースを通常時に大容量の電流が流れるようにすることです。バイパス コンデンサとデカップリング コンデンサは、一般的に V_{CC} ピンの電圧の制御に使用されます。大容量コンデンサを使用すると、短時間の電源グリッチ時に追加電力を供給し、容量の小さいコンデンサを使用すると、高周波リップルをフィルタリングできます。これらのコンデンサは、できる限り TCA9535 の近くに配置する必要があります。理想的な配置を「レイアウト例」に示します。

「レイアウト例」に例示されたレイアウトでは、信号配線に上層を、電源 (V_{CC}) とグランド (GND) に分割プレーンとして下層を使用することで、2 層のみの PCB を製造できるようにする必要があります。ただし、信号配線密度の高い基板では、4 層基板が推奨されます。一般的に 4 層 PCB では、信号を最上層と最下層に配線し、内部の 1 層をグランド プレーン専用にして、もう 1 つの内部層を電源プレーン専用にします。電源とグランドにプレーンまたは分割プレーンを使用する基板レイアウトの場合は、V_{CC} または GND に接続する必要がある表面実装部品パッドのすぐ隣にビアを配置し、ビアを内部層または基板の反対側に電気的に接続します。ビアは、信号パターンを基板の反対側に配線する必要がある場合にも使用されますが、この方法は「レイアウト例」には示されていません。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

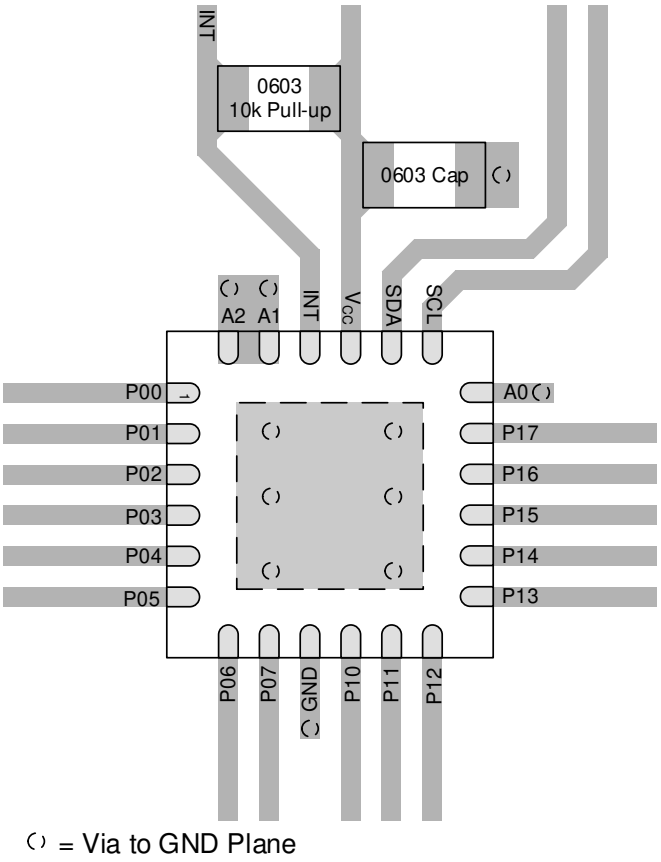


図 7-10. TCA9535 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『I2C バスのプルアップ抵抗値の計算』アプリケーション ノート』
- テキサス インスツルメンツ、『リピータを使用する I2C バスの最大クロック周波数』アプリケーション ノート
- テキサス インスツルメンツ、『I2C バスの理解』アプリケーション ノート SLVA704
- テキサス インスツルメンツ、『IO エクスパンダ EVM ユーザー ガイド』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (May 2022) to Revision F (September 2026)	Page
• $T_{J(MAX)}$ を 100°C から 130°C に更新	5
• T_A の最大値を 85°C から 125°C に更新	6
• T_J 130°C における最大 I_{OL} を更新	6
• 125°C の周囲温度に対する I_{CC} スタンバイを追加	7

Changes from Revision D (June 2016) to Revision E (May 2022)	Page
• I^2C に言及されている場合、従来の用語の具体的表現をコントローラーおよびターゲットに全体的に変更	1

Copyright © 2026 Texas Instruments Incorporated

• 図 7-1 の制御スイッチの V_{CC} を GND に変更.....26

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCA9535DBR	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535DBR.A	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535DBR.B	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535DBT	Active	Production	SSOP (DB) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535DBT.A	Active	Production	SSOP (DB) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535DBT.B	Active	Production	SSOP (DB) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535MRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535MRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535MRGER.B	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535PWR	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PW535
TCA9535PWR.A	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PW535
TCA9535PWR.B	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PW535
TCA9535PWRG4	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PW535
TCA9535PWRG4.A	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PW535
TCA9535PWRG4.B	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PW535
TCA9535RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535RGER.B	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535RGERG4	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535RGERG4.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535RGERG4.B	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TD9535
TCA9535RTWR	Active	Production	WQFN (RTW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PW535
TCA9535RTWR.A	Active	Production	WQFN (RTW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PW535
TCA9535RTWR.B	Active	Production	WQFN (RTW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PW535
TCA9535RTWRG4	Active	Production	WQFN (RTW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PW535
TCA9535RTWRG4.A	Active	Production	WQFN (RTW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PW535
TCA9535RTWRG4.B	Active	Production	WQFN (RTW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PW535

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

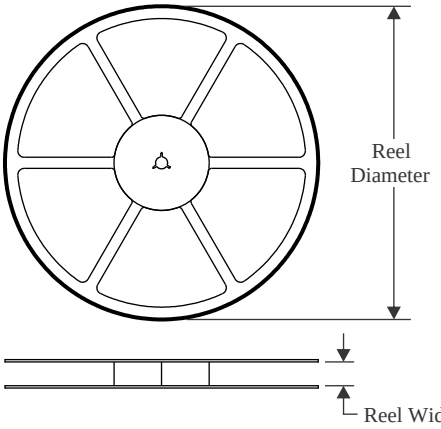
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

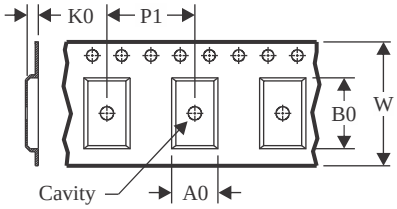
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

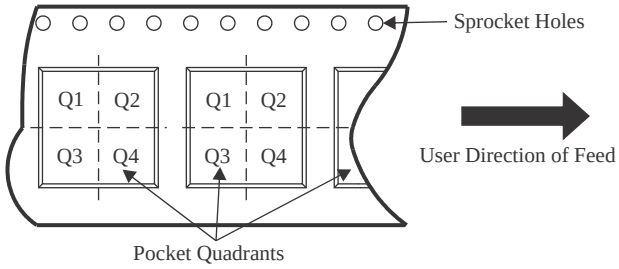


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

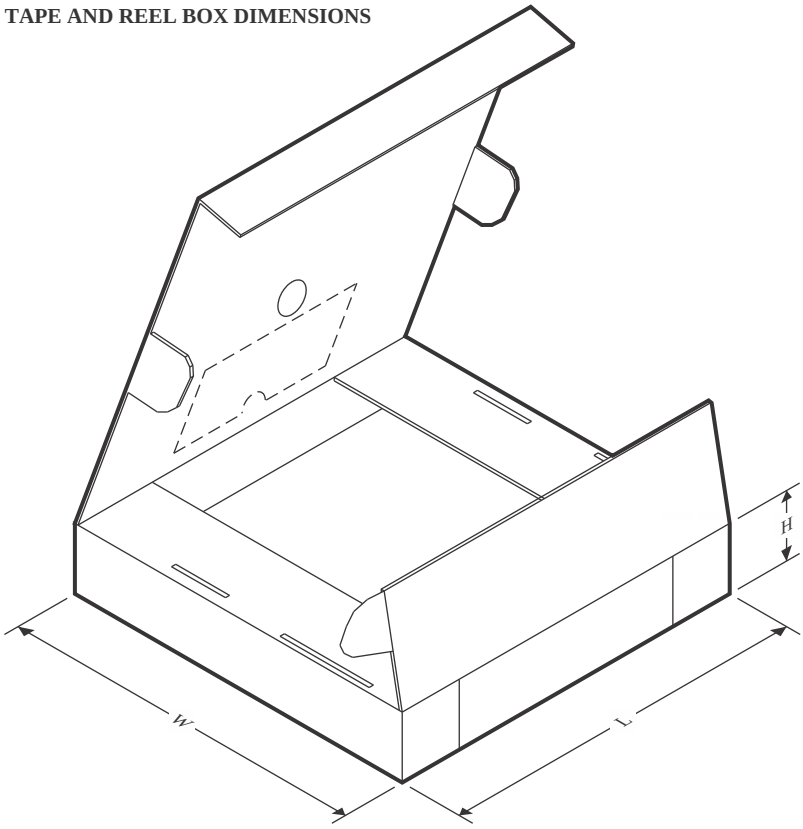
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCA9535DBR	SSOP	DB	24	2000	330.0	16.4	8.2	8.8	2.5	12.0	16.0	Q1
TCA9535DBT	SSOP	DB	24	250	330.0	16.4	8.2	8.8	2.5	12.0	16.0	Q1
TCA9535MRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TCA9535PWR	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TCA9535PWRG4	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TCA9535RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TCA9535RGERG4	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TCA9535RTWR	WQFN	RTW	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TCA9535RTWRG4	WQFN	RTW	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



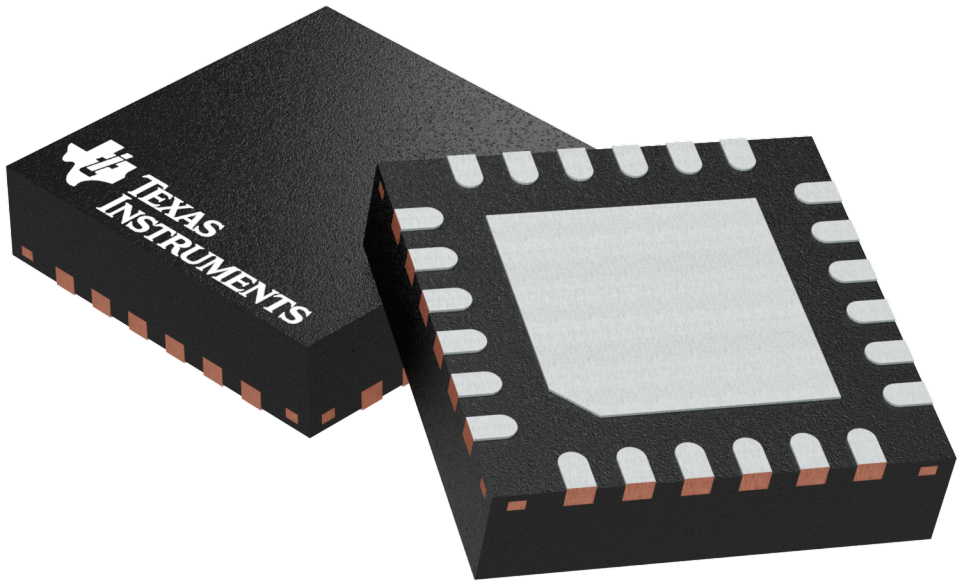
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCA9535DBR	SSOP	DB	24	2000	353.0	353.0	32.0
TCA9535DBT	SSOP	DB	24	250	353.0	353.0	32.0
TCA9535MRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
TCA9535PWR	TSSOP	PW	24	2000	353.0	353.0	32.0
TCA9535PWRG4	TSSOP	PW	24	2000	353.0	353.0	32.0
TCA9535RGER	VQFN	RGE	24	3000	346.0	346.0	33.0
TCA9535RGERG4	VQFN	RGE	24	3000	346.0	346.0	33.0
TCA9535RTWR	WQFN	RTW	24	3000	353.0	353.0	32.0
TCA9535RTWRG4	WQFN	RTW	24	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

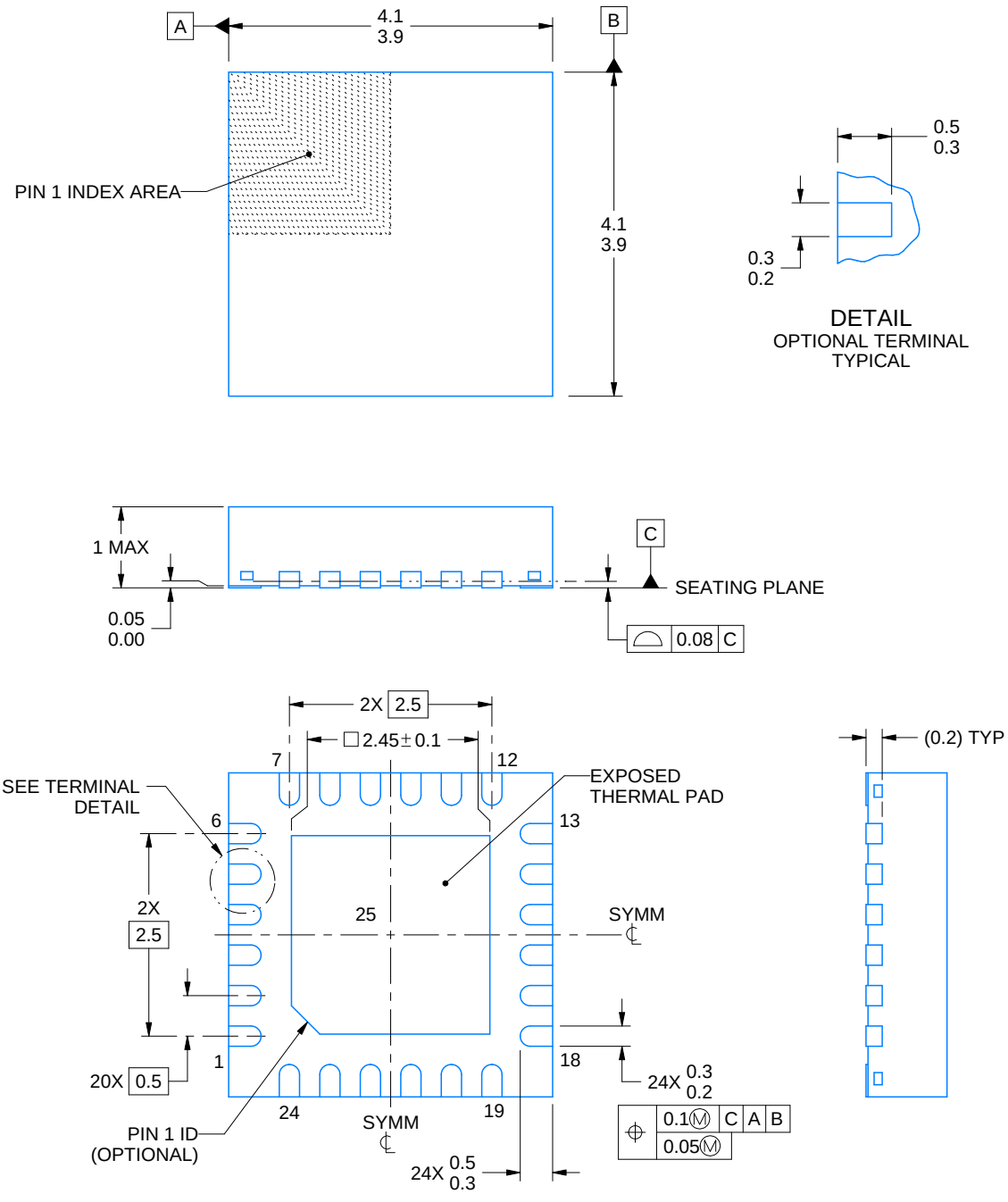
4204104/H

PACKAGE OUTLINE

RGE0024B

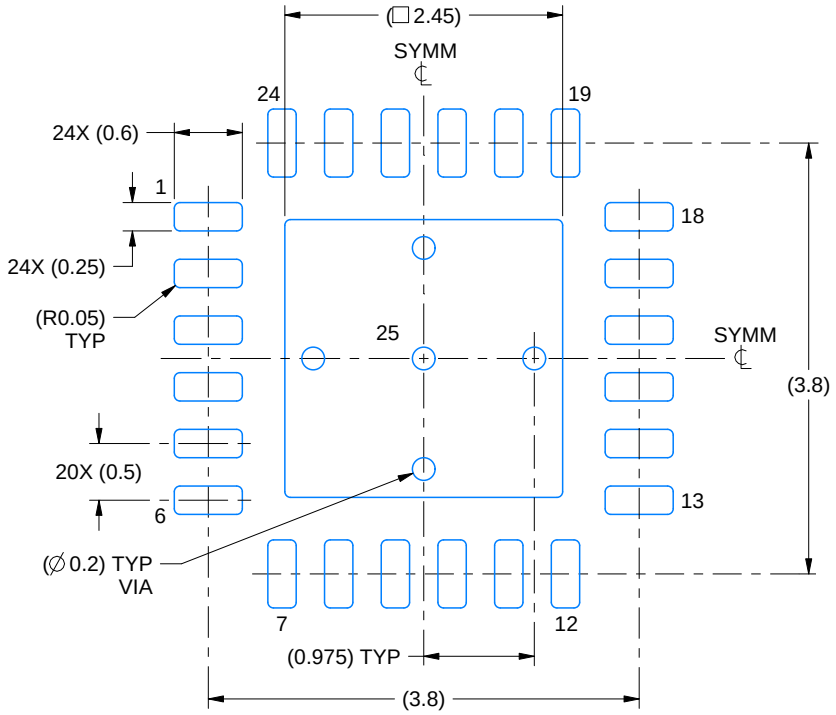
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

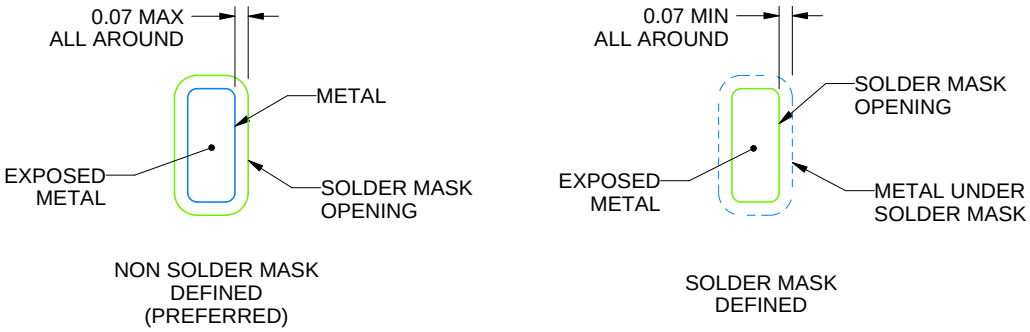


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

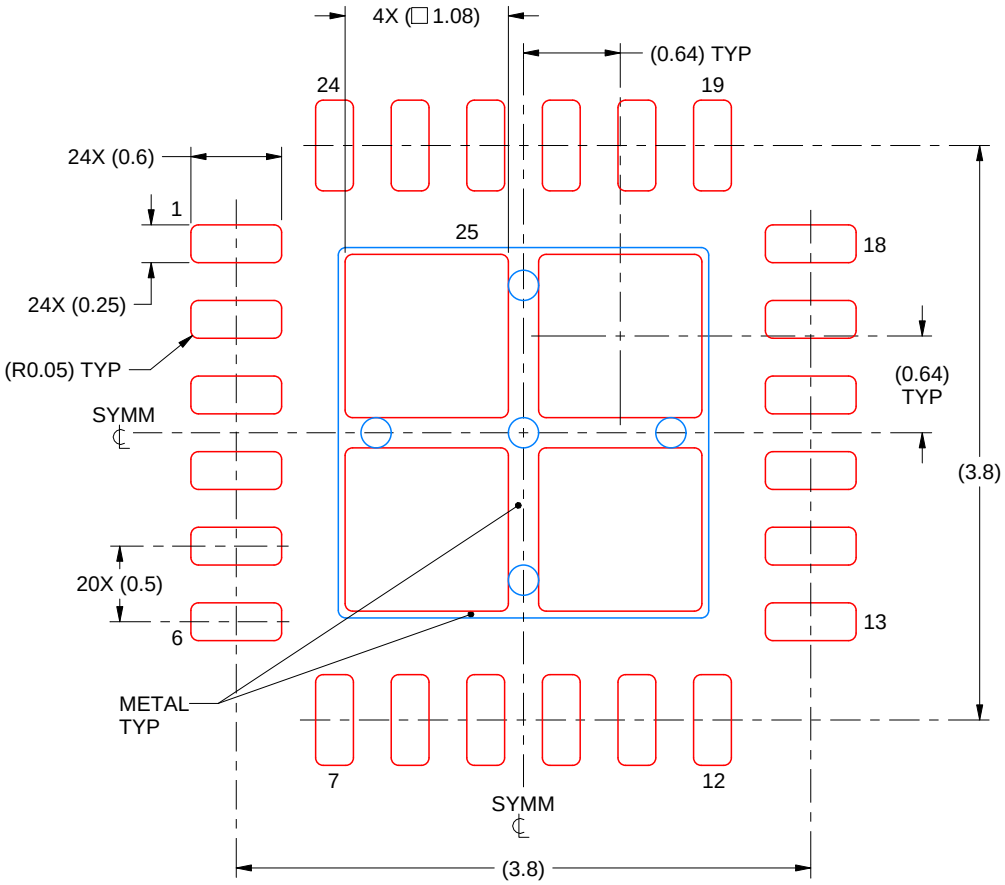


SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

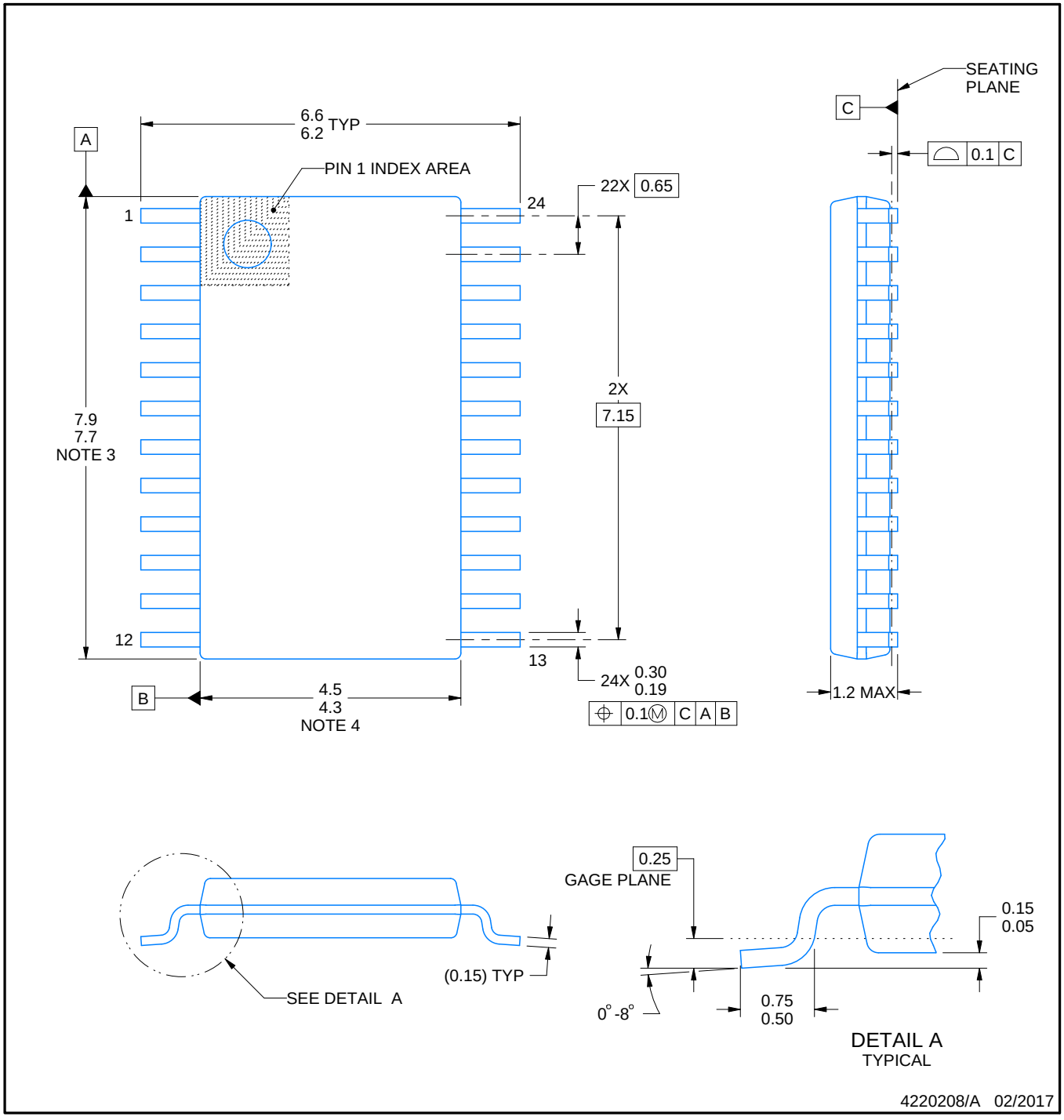
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0024A

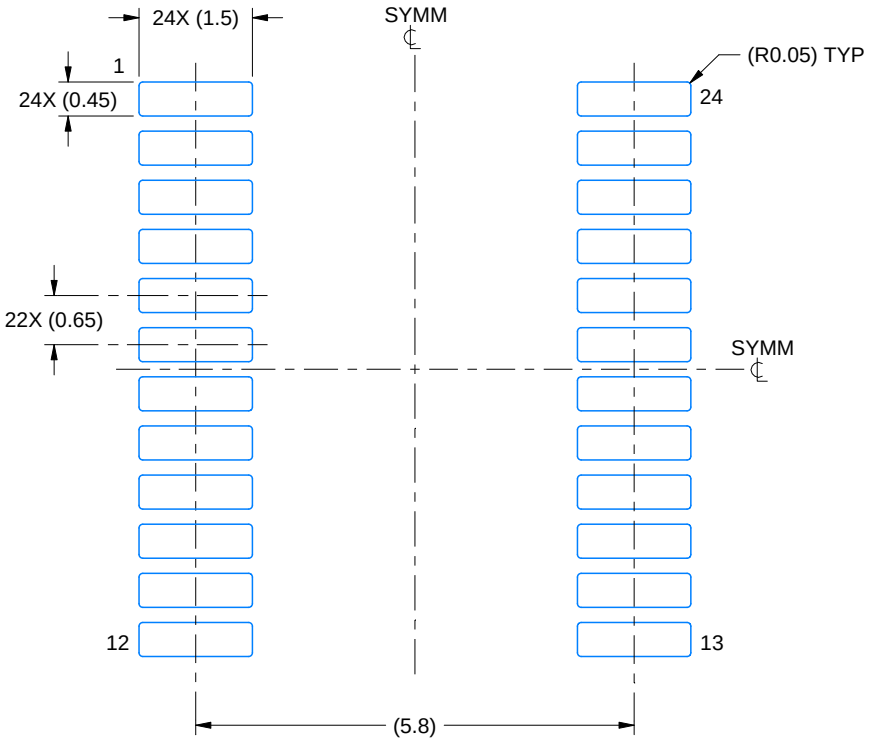
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

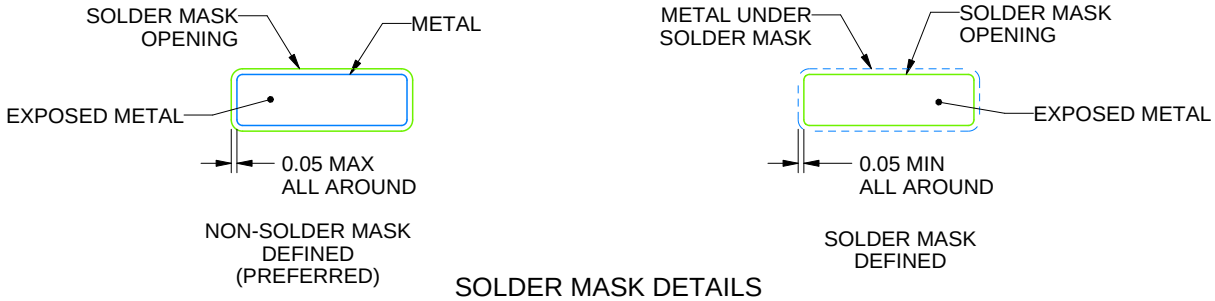


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

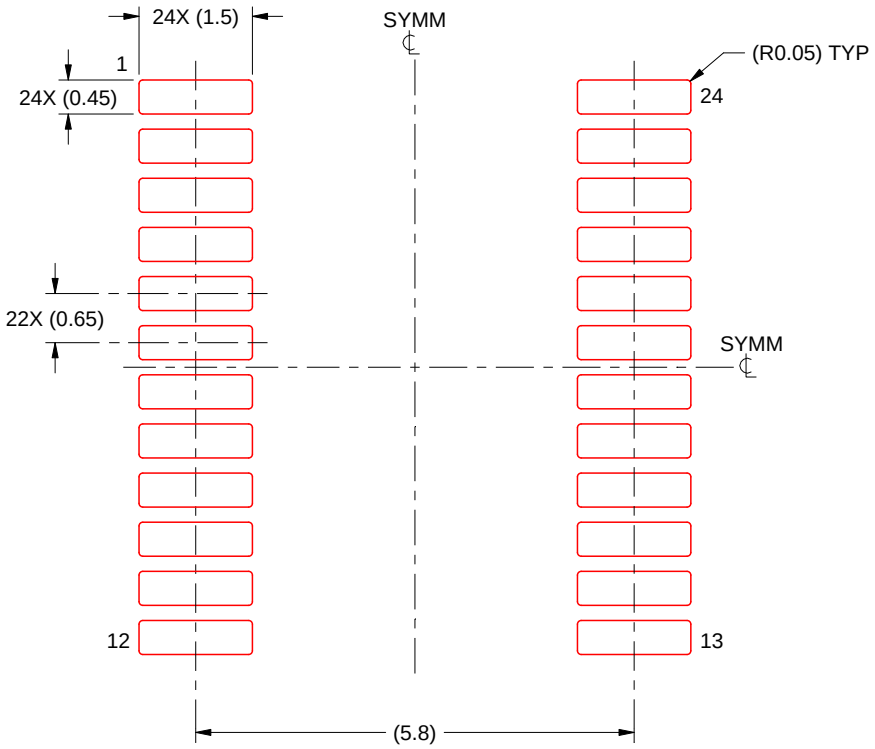


SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220208/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

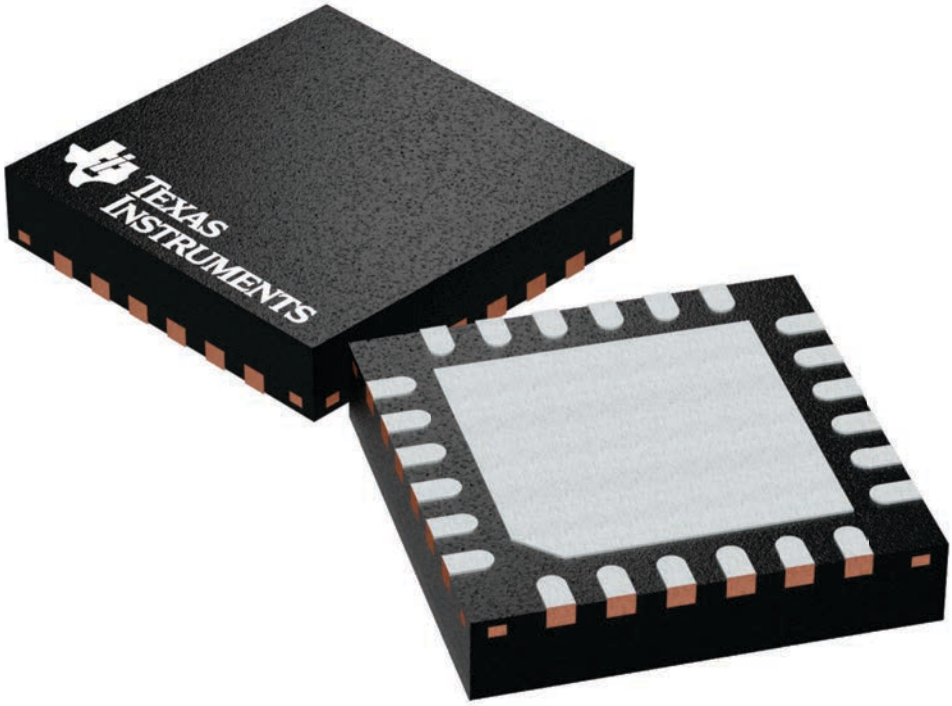
RTW 24

WQFN - 0.8 mm max height

4 x 4, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



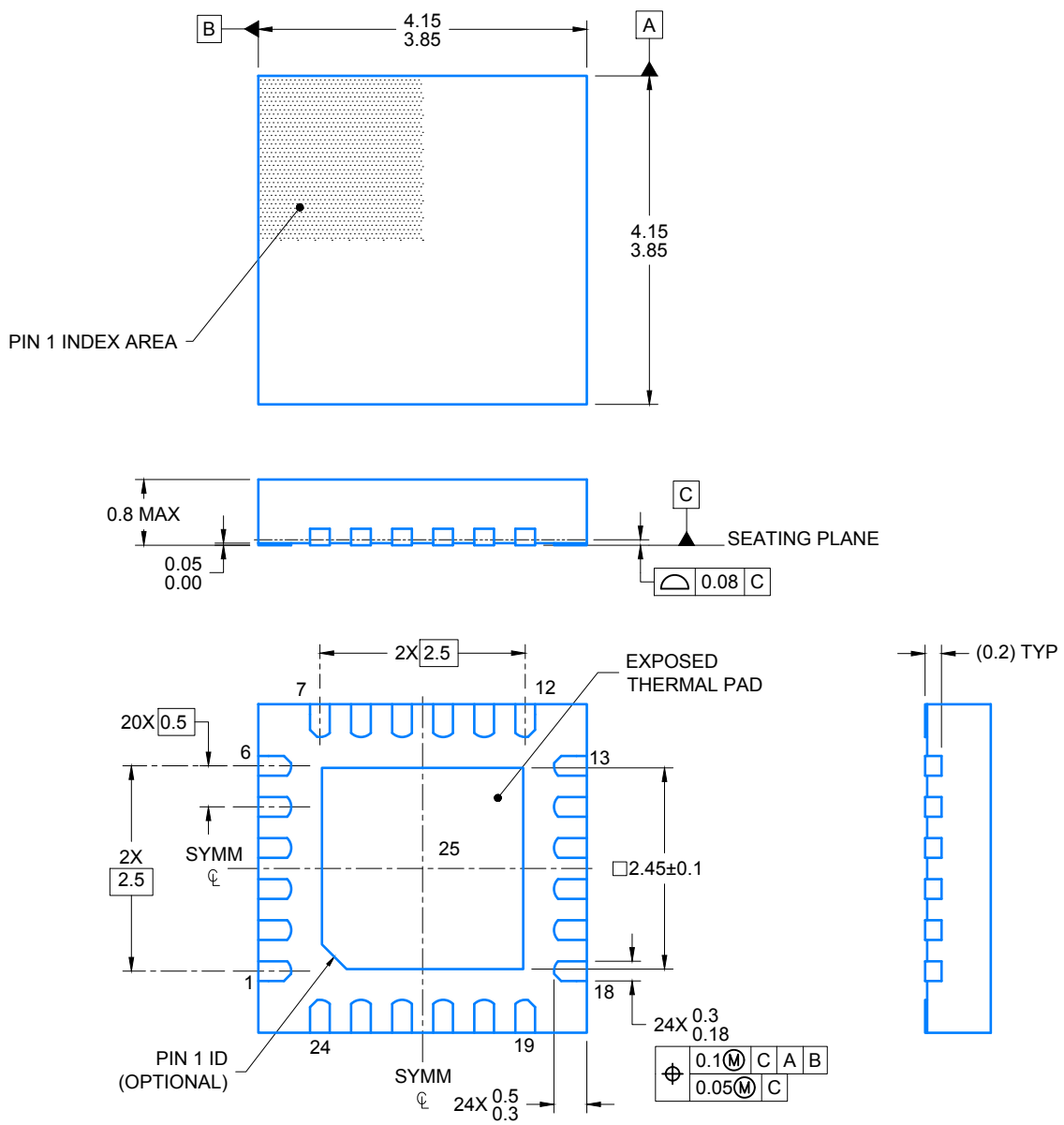
4224801/A

PACKAGE OUTLINE

RTW0024B

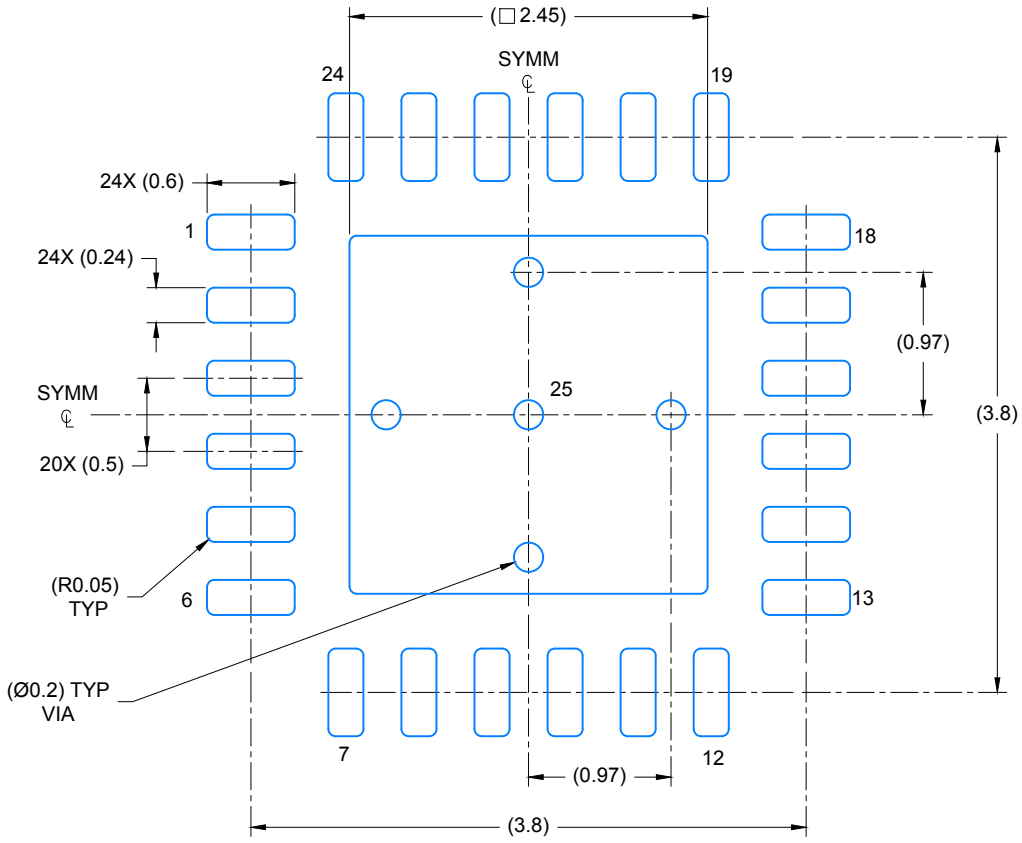
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

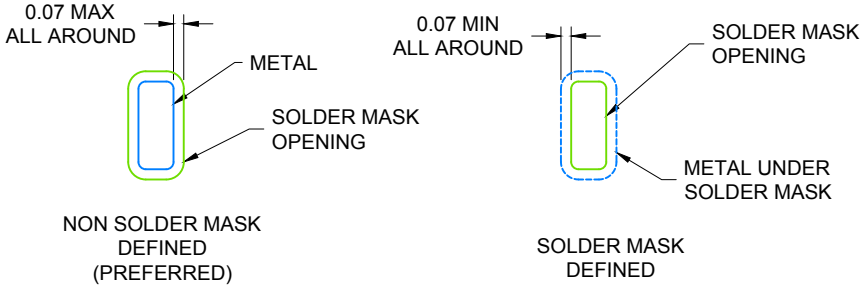


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 20X

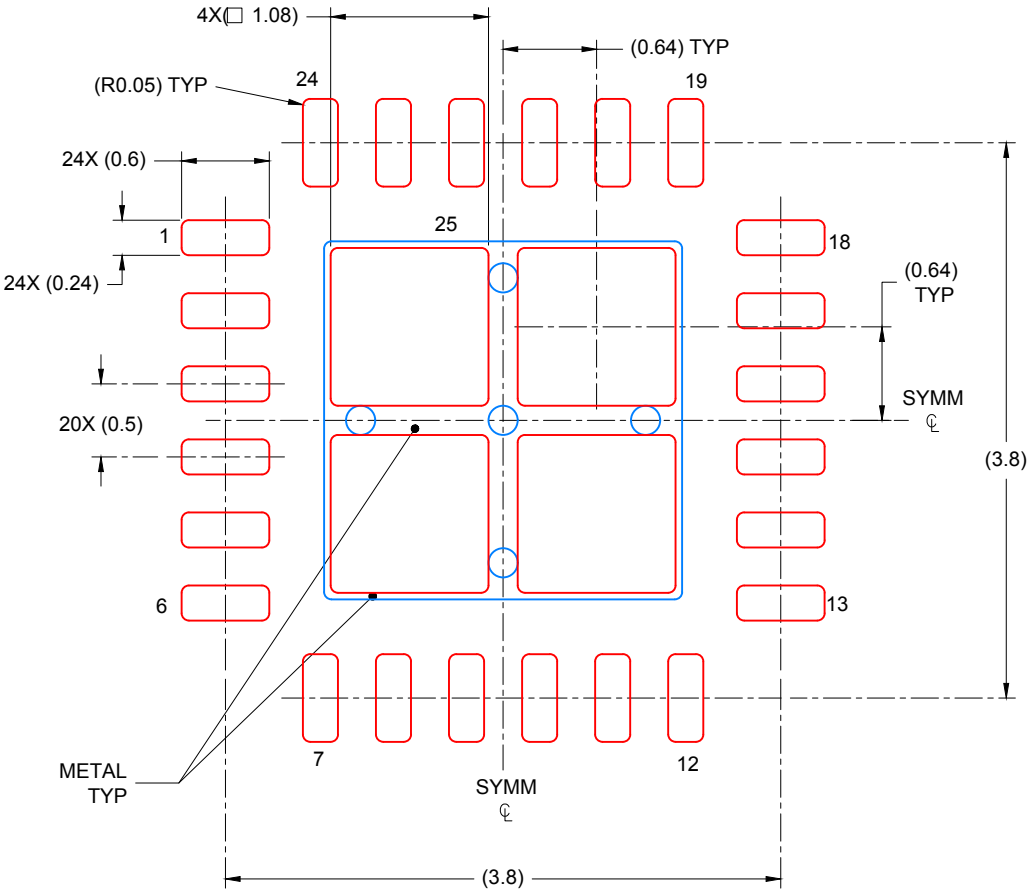


SOLDER MASK DETAILS

4219135/B 11/2016

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25:
78% PRINTED COVERAGE BY AREA UNDER PACKAGE
SCALE: 20X

4219135/B 11/2016

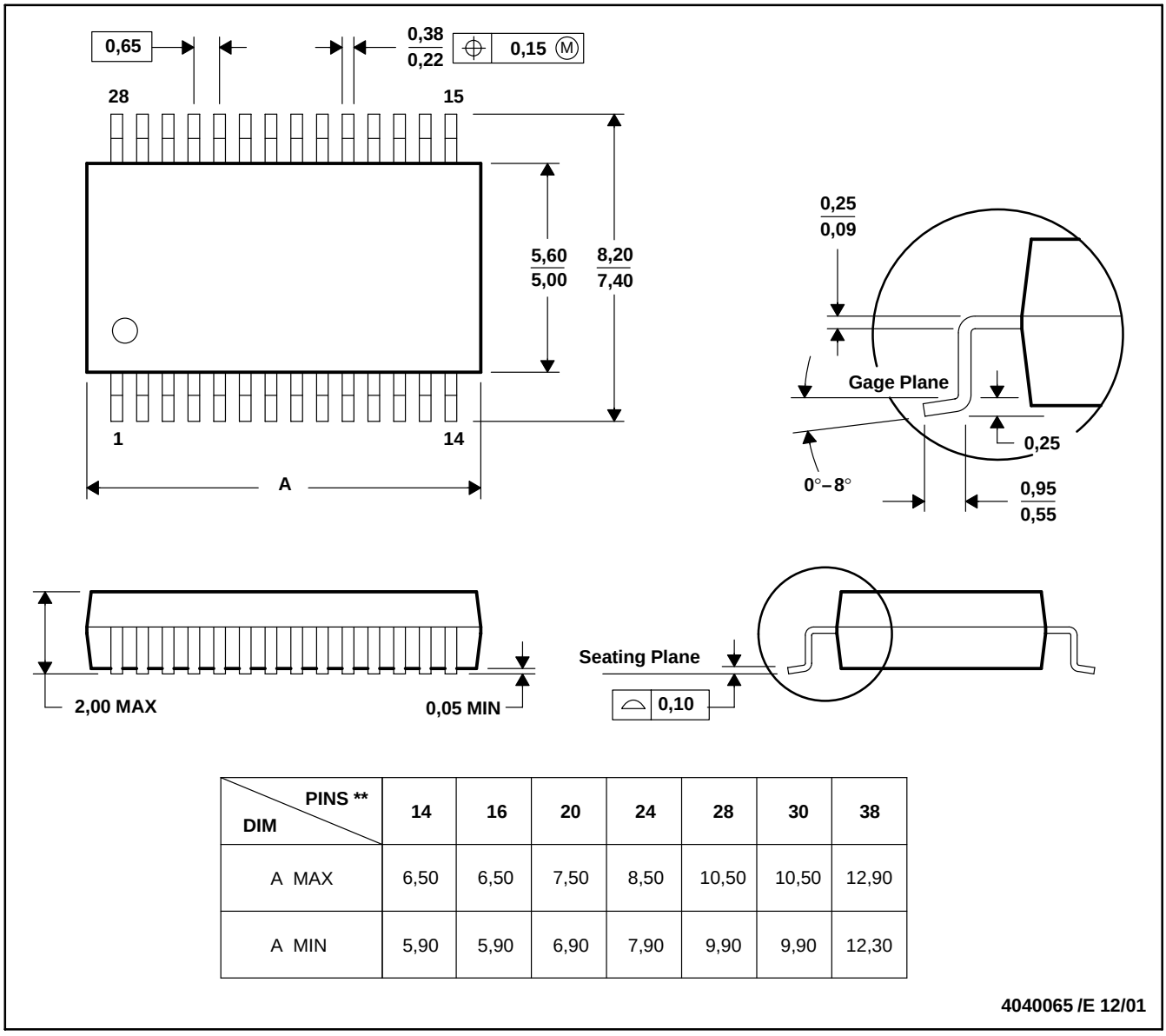
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MSSO002E – JANUARY 1995 – REVISED DECEMBER 2001

DB (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

28 PINS SHOWN



DIM \ PINS **	14	16	20	24	28	30	38
A MAX	6,50	6,50	7,50	8,50	10,50	10,50	12,90
A MIN	5,90	5,90	6,90	7,90	9,90	9,90	12,30

4040065 /E 12/01

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. Falls within JEDEC MO-150

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月