TCA9617B レベル変換 FM+ I²C バス リピータ

1 特長

- 2 チャネルの双方向 I²C バッファ
- Standard Mode、Fast Mode (400kHz)、Fast Mode+ (1MHz) の I²C 動作をサポート
- A 側の動作電源電圧範囲:0.8V～5.5V
- B 側の動作電源電圧範囲:2.2V～5.5V
- 0.8V から 5.5V および 2.2V から 5.5V への電圧レベル変換
- フットプリントと機能において TCA9517 を代替可能
- アクティブ HIGH のリピータ イネーブル入力
- オープンドレインの I²C I/O
- 5.5V 許容の I²C およびイネーブル入力に対応
- ロックアップの発生しない動作
- 電源オフ時に高インピーダンスになる I²C バス ピン
- デバイス全体で、クロック ストレッチングと複数マスタの調停をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - 人体モデルで 4000V
  - 荷電デバイス モデルで 1500V

2 アプリケーション

- サーバー
- ルーター (テレコム スイッチング機器)
- 産業用機器
- 多くの I²C ターゲットや長い PCB 配線を持つ製品

3 概要

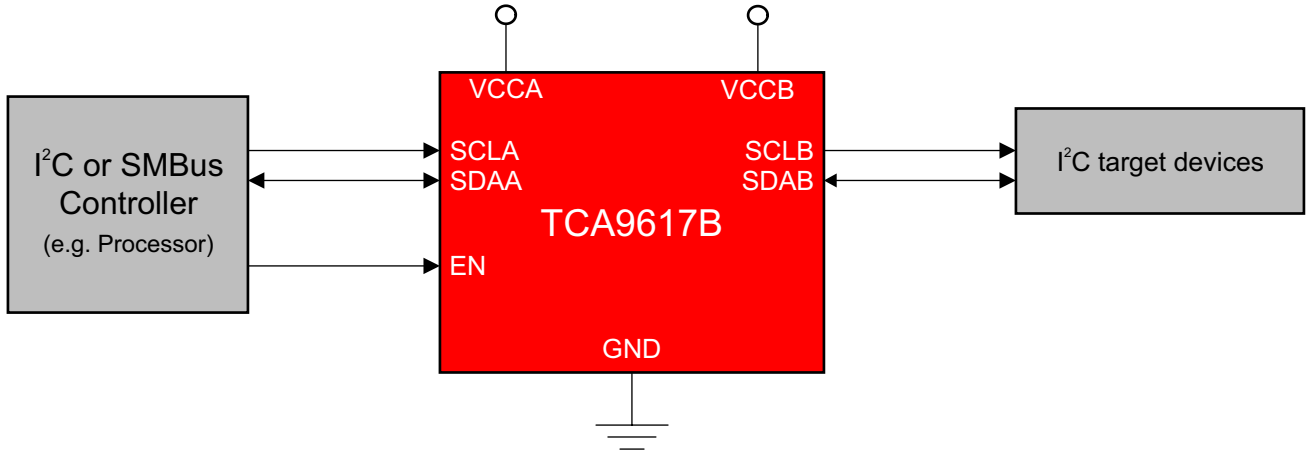
TCA9617B は、BiCMOS のデュアル双方向バッファで、I²C バスおよび SMBus システム用に設計されています。混在モード アプリケーションで、低電圧 (最低 0.8V) とより高い電圧
(2.2V～5.5V) との間の双方向電圧レベル変換 (昇圧変換/降圧変換) を行います。このデバイスにより、I²C および同様のバス システムを拡張でき、レベル シフト時にも性能劣化を防ぐことができます。

TCA9617B は、I²C バス上でシリアル データ (SDA) 信号とシリアル クロック (SCL) 信号の両方をバッファするため、容量が 550pF の 2 つのバスを、I²C アプリケーション内で接続できます。このデバイスを使って電圧や容量のバスを 2 つに分離することもできます。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
TCA9617B	VSSOP (8)	3mm×3mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 タイミング要件.....7
5.7 代表的特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....11
7.3 機能説明.....11
7.4 デバイスの機能モード.....12
8 アプリケーションと実装.....13
8.1 使用上の注意.....13
8.2 代表的なアプリケーション.....13
8.3 電源に関する推奨事項.....16
8.4 レイアウト.....17
9 デバイスおよびドキュメントのサポート.....18
9.1 ドキュメントの更新通知を受け取る方法.....18
9.2 サポート・リソース.....18
9.3 商標.....18
9.4 静電気放電に関する注意事項.....18
9.5 用語集.....18
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....19

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

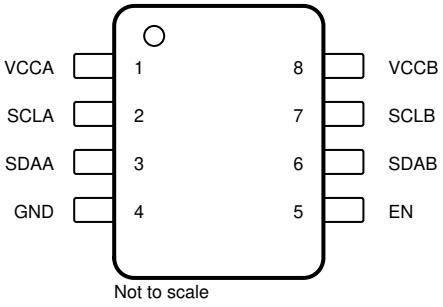


図 4-1. DGK パッケージ、8 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン		説明
名称	番号	
VCCA	1	A 側電源電圧 (0.8V ～ 5.5V)
SCLA	2	I^2C の SCL ライン、A 側。プルアップ抵抗を経由して V_{CCA} に接続します
SDAA	3	I^2C の SDA ライン、A 側。プルアップ抵抗を経由して V_{CCA} に接続します
GND	4	電源グランド
EN	5	アクティブ "High" のリピータ イネーブル入力。弱いプルアップ抵抗を経由して内部で V_{CCB} に接続します。
SDAB	6	I^2C の SDA ライン、B 側。プルアップ抵抗を経由して V_{CCB} に接続します
SCLB	7	I^2C の SCL ライン、B 側。プルアップ抵抗を経由して V_{CCB} に接続します
VCCB	8	B 側およびデバイス電源電圧 (2.2V ～ 5.5V)

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CCB}	電源電圧範囲		-0.5	6.5	V
V_{CCA}	電源電圧範囲		-0.5	6.5	V
V_I	イネーブル入力電圧範囲(2)		-0.5	6.5	V
V_{IO}	I^2C バス電圧範囲 (2)		-0.5	6.5	V
I_{IK}	入力クランプ電流	$V_I < 0$		-50	mA
I_{OK}	出力クランプ電流	$V_O < 0$		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本デバイスが動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CCA}	電源電圧、A 側バス		0.8	V_{CCB}	V
V_{CCB}	電源電圧、B 側バス		2.2	5.5	V
I_{OLA}	Low レベル出力電流			30	mA
I_{OLB}	Low レベル出力電流		0.1	30	mA
T_A	周囲温度		-40	85	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		DGK	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	171.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	107.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	12.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	105.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

V_{CCB} = 2.2V ～ 5.5V、GND = 0V、T_J = -40°C ～ 85°C (特に記述の無い限り)

パラメータ			テスト条件	V_{CCB}	最小値	標準値 (1)	最大値	単位
V_{IK}	入力クランプ電圧		I_I = -18mA	2.2V ～ 5.5V	-1.2		0	V
V_{OL}	"Low" レベル出力電圧	SDAB、SCLB	I_{OL} = 100µA または 30mA、V_{ILA} = 0V	2.2V ～ 5.5V	0.48	0.53	0.58	V
		SDAA、SCLA	I_{OL} = 30mA			0.1	0.23	
V_{IH}	"High" レベル入力電圧	SDAA、SCLA		2.2V ～ 5.5V	0.7 × V_{CCA}		5.5	V
		SDAB、SCLB			0.7 × V_{CCA}		5.5	
		EN			0.7 × V_{CCB}		5.5	
V_{IL}	"Low" レベル入力電圧	SDAA、SCLA		2.2V ～ 5.5V			0.3 × V_{CCA}	V
		SDAB、SCLB					0.4	
		EN					0.3 × V_{CCB}	
I_{CCA}	V_{CCA} の静止電源電流		両方のチャネルが "Low"、SDAA = SCLA = GND および I_{OLB} =100µA、または SDAA = SCLA = オープンおよび SDAB = SCLB = GND	2.2V ～ 5.5V			13	µA
I_{CCB}	静止電源電流		両方のチャネルが "High"、SDAA = SCLA = VCCA B 側がプルアップ抵抗により VCCB にプルアップ	2.2V ～ 5.5V		4.5	7	mA
			両方のチャネルが "Low"、SDAA = SCLA = GND、I_{OLB} = 100µA	5.5V		5.7	8.1	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

V_{CCB} = 2.2V ～ 5.5V、GND = 0V、T_J = -40°C ～ 85°C (特に記述の無い限り)

パラメータ			テスト条件	V_{CCB}	最小値	標準値 (1)	最大値	単位
I_I	入力リーク電流	SDAB、SCLB	V_I = V_{CCB}	2.2V ～ 5.5V	-1		1	μA
			V_I = 0.2V、EN = 0		-10		10	
			V_I = V_{CCB} – 0.2V		-1		1	
			V_I = 5.5V、V_{CCA} = 0V	0V	-10		10	
		SDAA、SCLA	V_I = V_{CCA}	2.2V ～ 5.5V	-1		1	
			V_I = 0.2V、EN = 0		-10		10	
			V_I = V_{CCA} – 0.2V		-1		1	
			V_I = 5.5V、V_{CCA} = 0V	0V	-10		10	
		EN	V_I = V_{CCB}		-1		1	
			V_I = 0.2V		-25			
C_I	入力容量	EN	V_I = 3V または 0V	3.3V			7	pF
C_{IO}	入力/出力ピンの容量	SCLA、SDAA	V_I = 3V または 0V	3.3V			9	pF
				0V			9	
		SCLB、SDAB	V_I = 3V または 0V	3.3V			14	
				0V			14	

(1) 標準値はすべて、T_A = 25℃における値です。

Copyright © 2026 Texas Instruments Incorporated

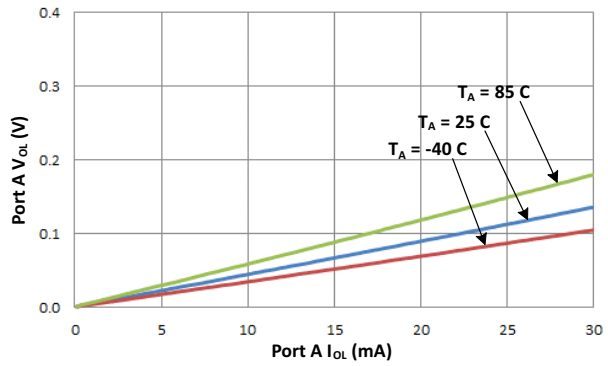
5.6 タイミング要件

V_{CCA} = 0.8V ～ 5.5V、V_{CCB} = 2.2V ～ 5.5V、GND = 0V、TA = –40℃ ～ 85℃ (特に記述のない限り) (1) (2) (3)

パラメータ		始点 (入力)	終点 (出力)	テスト条件	最小値	標準値	最大値	単位
t_{PLH}	伝搬遅延	SDAB、SCLB	SDAA、SCLA		35		90	ns
t_{PLH}	伝搬遅延	SDAA、SCLA	SDAB、SCLB	V_{CCB} ≤ 3V	50		137	ns
t_{PLH}	伝搬遅延	SDAA、SCLA	SDAB、SCLB	V_{CCB} > 3V	59		250	ns
t_{PHL}	伝搬遅延	SDAB、SCLB	SDAA、SCLA		32		144	ns
t_{PHL}	伝搬遅延	SDAA、SCLA	SDAB、SCLB		28		140	ns
t_{TLH} (4)	遷移時間	B 側	30%	70%		88		ns
		A 側				37		
t_{THL}	遷移時間	B 側	70%	30%	5.40		32	ns
		A 側			1.40		40	
$t_{su,en}$ (5)	セットアップ時間、開始条件の前に EN が "High"				100			ns

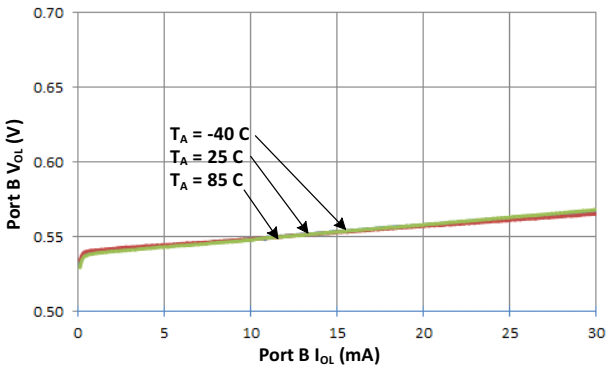
(1) 時間は、B 側に 240Ω ±1% および 400pF ±10%の負荷、A 側に 240Ω ±1% および 200pF ±10% の負荷を接続した条件で規定されています。負荷抵抗および負荷容量によって立ち上がり時間が変化し、結果として伝搬遅延時間および遷移時間が変化します。
(2) 時間は、A 側の信号を V_{CCA} にプルアップし、B 側の信号を V_{CCB} にプルアップすることによる規定されています。
(3) 特に記述のない限り、標準値は V_{CCA} = 0.9V、V_{CCB} = 2.5V、T_A = 25℃ で測定されました。
(4) t_{TLH} は、プルアップ抵抗および負荷容量によって決まります
(5) EN の状態が変化するのは、グローバル バスおよびリピータ ポートがアイドル状態のときのみです

5.7 代表的特性



V_{CCA} = 0.9V　　V_{CCB} = 2.2 V

図 5-1. ポート A V_{OL} と I_{OL} の関係



V_{CCA} = 0.9V　　V_{CCB} = 2.2 V

図 5-2. ポート B V_{OL} と I_{OL} の関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

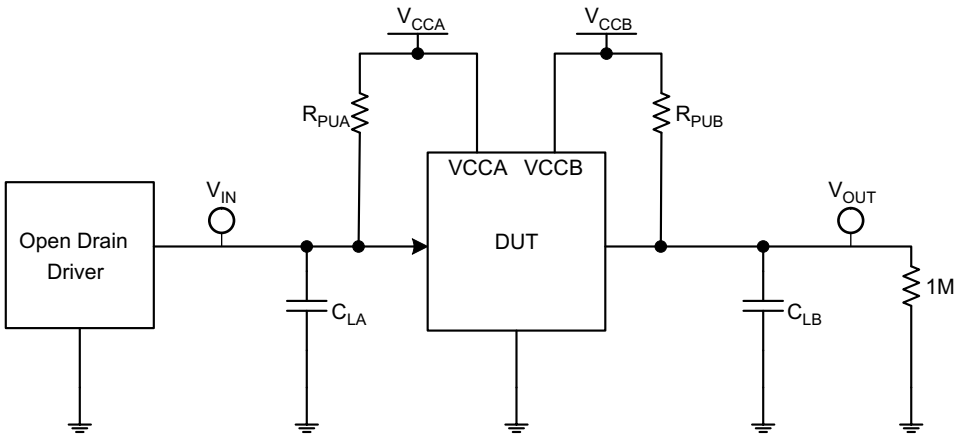
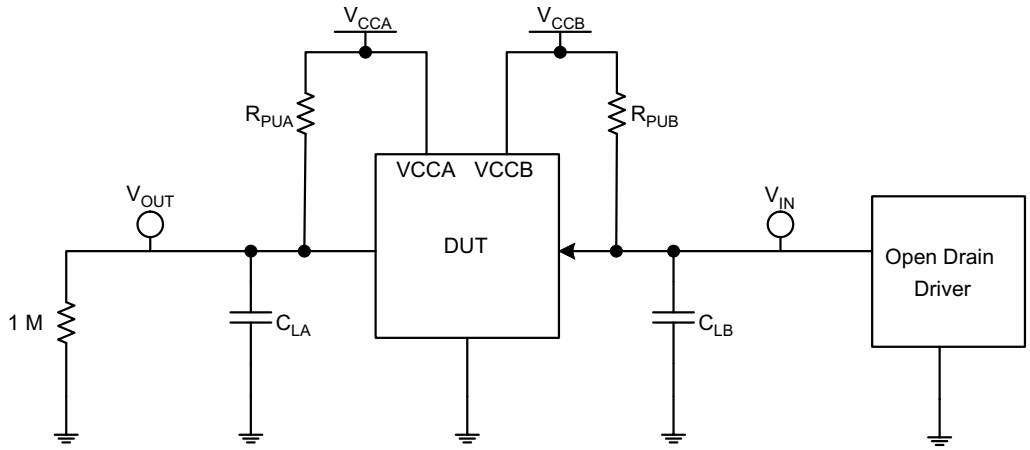


図 6-1. A から B へのオープン ドレイン出力のテスト回路



A. V_{CCA} = 0.9V
B. V_{CCB} = 2.5 V
C. R_{PUA} = R_{PUB} = 240Ω (A 側および B 側)
D. C_{LA} = 200pF (A 側) および C_{LB} = 400pF (B 側) (プローブおよびジグの静電容量を含む)
E. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 10MHz、Z_O = 50Ω、スルーレート ≥ 1V/ns
F. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。

図 6-2. B から A へのオープン ドレイン出力のテスト回路

Copyright © 2026 Texas Instruments Incorporated

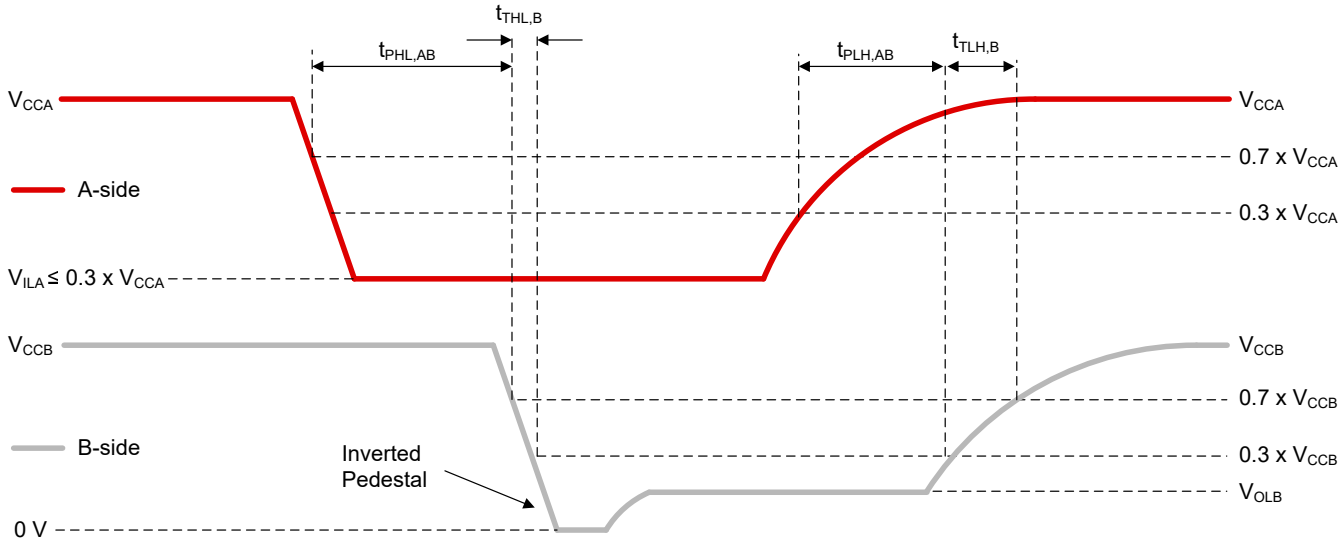


図 6-3. 伝搬遅延および遷移時間 (A から B)

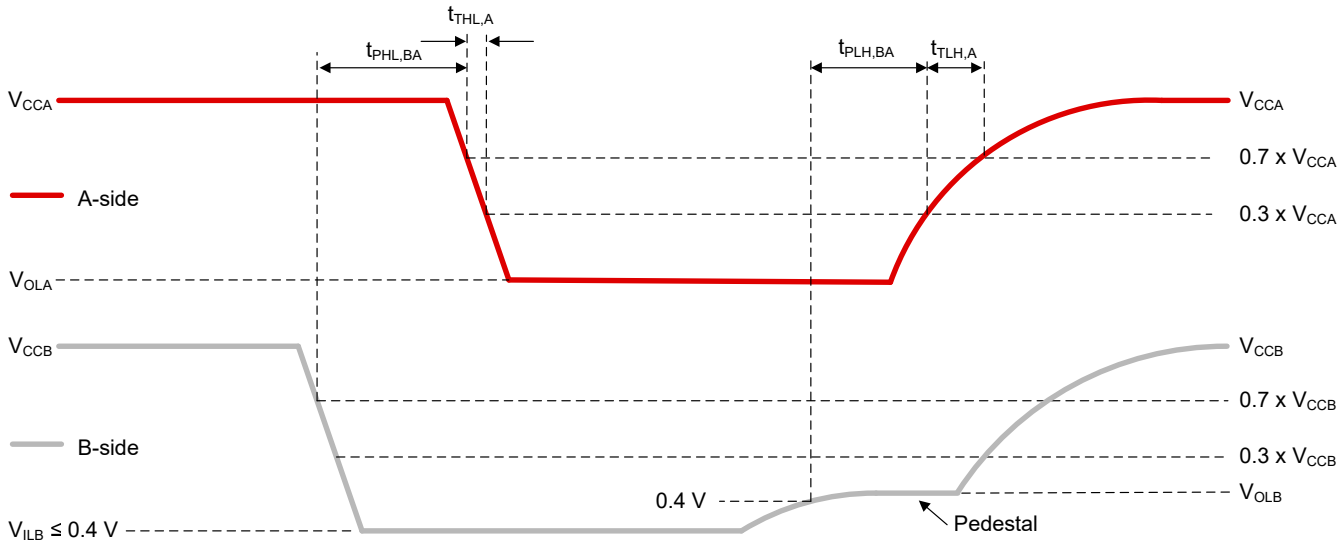


図 6-4. 伝搬遅延および遷移時間 (B から A)

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TCA9617B は、BiCMOS のデュアル双方向バッファで、I^2C バスおよび SMBus システム用に設計されています。標準の I^2C システムと同様に、バッファされたバスにロジック "High" レベルを与えるにはプルアップ抵抗が必要です。TCA9617B は、I^2C バスの標準的なオープン ドレイン構成を持っています。これらのプルアップ抵抗のサイズはシステムに依存しますが、リピータの各側にプルアップ抵抗が必要です。このデバイスは、標準モード、高速モード、高速モード プラス の I^2C デバイスとともに動作するよう設計されています。いずれかの電源がオフの場合、SCL ラインおよび SDA ラインはハイインピーダンスになります。

TCA9617B の B 側のドライバは、2.2V ～ 5.5V で動作します。この内部バッファの出力 "Low" レベルは約 V_{OLB} ですが、出力が内部で "Low" に駆動される場合は、入力電圧は V_{ILB} 未満である必要があります。高電圧出力 "Low" 信号 (V_{OLB}) は、バッファされた "Low" または静的電圧オフセットと呼ばれます。B 側の I/O が内部で "Low" に駆動される場合、出力電圧 (V_{OLB}) は入力 (V_{ILB}) によって "Low" と認識されません。この機能により、入力 LOW 条件が解除されたとき、ロックアップ状況が発生することが防止されます。B 側のこの種の設計により、TCA9617B を別の TCA9617B の B 側や、静的または動的オフセット電圧を持つその他のバッファと直列に使用することを防止できます。これは、これらのデバイスがバッファされた "Low" 信号を有効な "Low" とは認識せず、バッファされた "Low" として再伝搬しないことが理由です。

TCA9617B の A 側ドライバは 0.8V ～ V_{CCB} で動作し、バッファされた "Low" 機能 (または静的オフセット電圧) はありません。つまり、B 側の "Low" 信号入力は、A 側の V_{OLA} に変換されます。これにより、低電圧ロジックの小さな電圧スイングに対応できます。A 側の出力プルダウンが V_{OLA} になり、入力 "Low" レベルが V_{CCA} の 30% に設定されることにより、低電圧側の電源電圧が低いシステム (最小 0.8V) においてより低い "Low" レベルが必要な場合に対応できます。

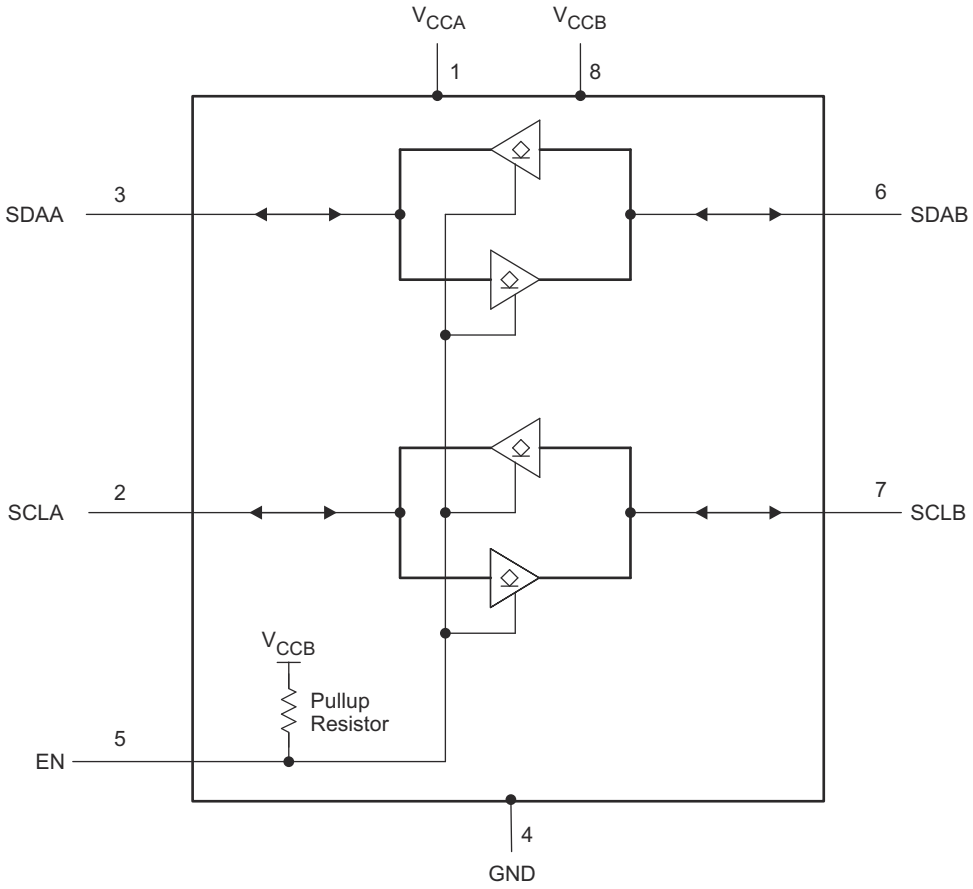
2 つ以上の TCA9617B の A 側を互いに接続することにより、A 側を共通バスとしてスター トポロジを実現できます。また、A 側は静的または動的オフセット電圧を持つ他の任意のバッファに直接接続できます。複数の TCA9617B を A 側から B 側へ直列に接続できます。この場合、オフセット電圧の増加を考慮する必要はなく、タイム オブ フライト遅延のみを考慮すれば十分です。

TCA9617B にはパワーアップ回路が内蔵されており、V_{CCB} が 2V を上回り、V_{CCA} が 0.7V を上回るまで、出力ドライバをオフに維持します。V_{CCA} は、A 側の入力コンパレータおよびパワー グッド検出回路に基準電圧を供給するためにのみ使用されます。TCA9617B の内部回路やすべての I/O は、V_{CCB} ピンから電力を供給されます。

電源投入後かつ EN が "High" の場合、A 側が V_{CCA} の 30% 未満になると、対応する B 側ドライバ (SDA または SCL) がオンになり、一時的に B 側が 0V に駆動された後、およそ V_{OLB} に安定化します。A 側が V_{CCA} の 30% を上回ると、B 側のプルダウン ドライバがオフになり、外付けプルアップ抵抗がピンを "High" にプルアップします。B 側が最初に低下して V_{ILB} を下回ると、A 側ドライバがオンになり、A 側が V_{OLA} に駆動されます。B 側が V_{ILB} を上回ると、A 側のプルダウン ドライバがオフになり、外付けプルアップ抵抗がピンを "High" にプルアップします。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

7.3 機能説明

7.3.1 双方向レベル変換

TCA9617B では、混在モード アプリケーションにおいて、低電圧 (最低 0.8V) とより高い電圧 (2.2V ～ 5.5V) との間の双方向電圧レベル変換 (昇圧変換 / 降圧変換) が可能です。

7.3.2 "Low" から "High" への遷移特性 (B から A)

図 7-1 に、デバイスの B 側のオフセット電圧を示します。図 7-1 に示すように、ターゲットが解放され B 側の電圧が上昇します。V_{OLB} まで上昇すると、A 側が V_{CCA} の 30% を上回るまでそこにとどまります。その影響により、"Low" レベル信号にペデスタルが発生する可能性があります。A 側の電圧が V_{CCA} の 30% を超えると、B 側は V_{CCB} まで上昇し始めます。

B 側のペデスタルおよび静的オフセット電圧の性質により、B 側が外部的に "Low" に駆動されてから V_{OLB} オフセットまで上昇するときに、わずかなオーバーシュートが発生します。

7.3.3 "High" から "Low" への遷移特性 (A から B)

バスの A 側を V_{CCA} の 30% に駆動すると、B 側のドライバがオンになります。これにより、B 側が短時間 0V に駆動され (図 7-1 を参照)、その後、B 側は静的オフセット電圧 (TCA9617B の V_{OLB}) まで上昇します。この効果は反転ペデスタルと呼ばれ、B 側は静的オフセットに駆動するよりもはるかに速くロジック "Low" に駆動できます。静的オフセット電圧に駆動するには、リンギングを防止するために立ち下がり時間を遅くする必要があります。

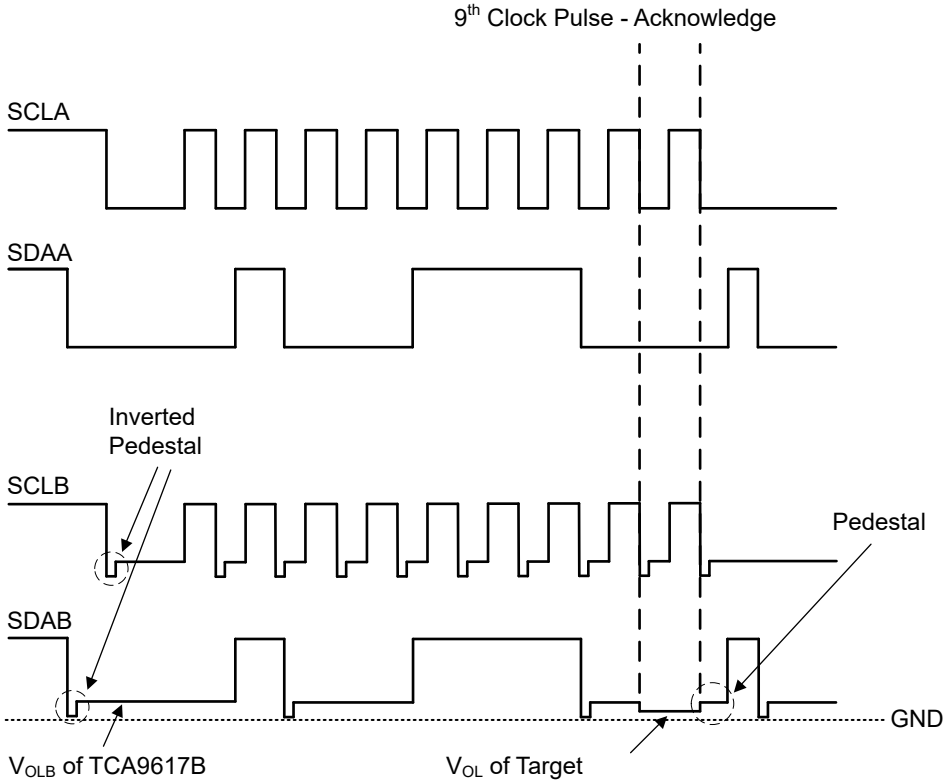


図 7-1. バス A (0.8V ～ 5.5V のバス) およびバス B (2.2V ～ 5.5V のバス) の波形

7.4 デバイスの機能モード

TCA9617B にはアクティブ high のイネーブル (EN) 入力があり、V_{CCB} までの内部プルアップを備えているため、ユーザーはリピータを有効にするタイミングを選択できます。これを使用して、パワーアップ リセット時に不適切に動作しているターゲットを分離できます。I^2C 動作中は、EN の状態を変更しないでください。バス動作中に無効化すると、バスがハングする可能性があります。バス サイクル中に部分的に有効にすると、有効になっている I^2C 部品が混乱する可能性があります。システムの故障を防止するため、EN 入力の状態を変更するのは、グローバル バスとリピータ ポートがアイドル状態の場合のみにしてください。

表 7-1. 機能表

入力 EN	機能
L	出力ディセーブル
H	SDAA = SDAB SCLA = SCLB

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

代表的なアプリケーション回路を図 8-1 に示します。この例では、システム コントローラは 0.9V の I^2C バスで動作し、ターゲットは 2.5V のバスに接続されています。どちらのバスも 400kHz で動作しています。デカップリング コンデンサが必要ですが、単純化するために図 8-6 には示されていません。

TCA9617B は 5V に対応しているため、0.8V ～ 5.5V のバス電圧と 2.7V ～ 5.5V のバス電圧の間で変換を行うための追加回路は必要ありません。

TCA9617B の A 側が I^2C バスのドライバによって "Low" にプルダウンされた場合、信号レベルが V_{CCA} の 30% を下回るとコンパレータが立ち下がりエッジを検出し、B 側の内部ドライバがオンになります。B 側はまず 0V にプルダウンされ、次に V_{OLB} (反転ペデスタル) に安定します。TCA9617B の B 側が V_{ILB} 未満に外部から駆動されると、TCA9617B が立ち下がりエッジを検出し、A 側の内部ドライバが A 側のピンを V_{OLA} にプルダウンします。

TCA9617B の B 側バスでは、クロックおよびデータ ラインのグランドからの正のオフセットは、TCA9617B の V_{OLB} に等しい値になります。八番目のクロック パルスの後、データ ラインはターゲット デバイスの V_{OL} にプルされます。この例ではグランドに近い値です。アクノリッジ (受信確認) が終了すると、電圧レベルは TCA9617B のドライバによって設定された "Low" レベル (V_{OLB}) まで上昇し、短時間の遅延を設けます。この間、A 側のバスが V_{CCA} の 30% を上回るまで待機します。A 側が V_{CCA} の 30% に達すると、B 側は解放され、バスのプルアップ抵抗がバスを "High" にします。

ここでは TCA9617B をシングル アプリケーションで用いていますが、このデバイスは複数を用いた構成が可能です。図 8-1 には、TCA9617B の標準的な構成を示します。複数の TCA9617B は、スター構成 (図 8-5) または直列構成 (図 8-4) で接続できます。セクション 8.2.1 の設計要件、詳細な設計手順、アプリケーション曲線は、3 つの構成すべてについて有効です。

8.2 代表的なアプリケーション

8.2.1 標準的なアプリケーション

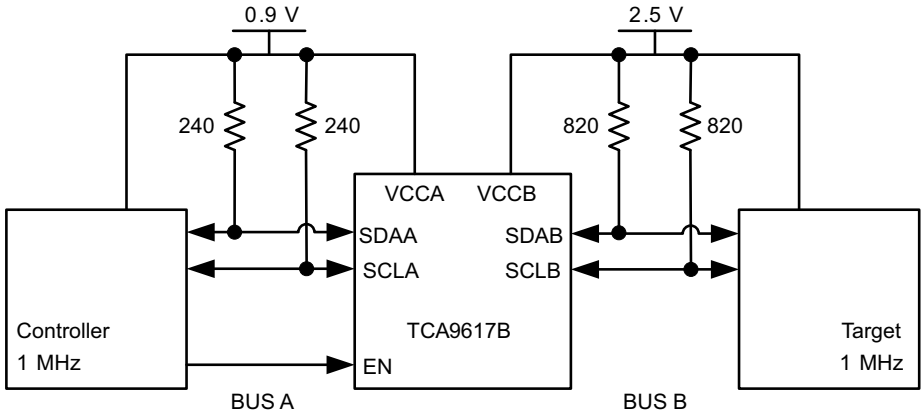


図 8-1. 双方向電圧レベル シフタ

8.2.1.1 設計要件

レベル変換アプリケーションでは、次の要件を満たす必要があります。

- V_{CCA} = 0.8V～5.5V
- V_{CCB} = 2.2V ～ 5.5V
- $V_{CCA} \leq V_{CCB}$
- $I_{OL} > I_O$

8.2.1.2 詳細な設計手順

8.2.1.2.1 プルアップ抵抗の値設定

TCA9617B を正常に機能させるには、B 側のすべてのデバイスが B 側を V_{ILB} 未満までプルダウンできる必要があります。これは、正しく動作するには、B 側のどのデバイスの V_{OL} も 0.4V を超えてはならないことを意味します。

デバイスの V_{OL} は、デバイスを通じてプルアップ抵抗値によって設定される I_{OL} を変更することにより調整できます。ロジック レベルが A 側に正しく伝達されるように、B 側のプルアップ抵抗を慎重に選択する必要があります。詳細については、アプリケーション ノート『I² C バスのプルアップ抵抗の計算』を参照してください。

図 8-2:

- ポイント 1:B 側に接続された外部ターゲットまたはコントローラ デバイスによって駆動されるロジック "Low"。
- ポイント 2:B 側を解放する外部ターゲットまたはコントローラ デバイスによって形成されるペデスタル。この電圧は V_{OLB} まで上昇し、A 側の電圧が V_{CCA} の 30% まで上昇するまで待機してから、V_{CCB} まで完全に上昇します。また、B 側のプルアップ抵抗のサイズは、立ち上がり時間が確実に 20ns を超えるものであることも必要です。立ち上がり時間が短いほど、ペデスタルのオーバーシュートが大きくなります。

図 8-3:

- ポイント 1:ターゲットまたはコントローラ デバイスは、A 側の V_{ILA} を通過して "Low" に駆動され、B 側のリドライバが 0V まで駆動されます。
- ポイント 2:リドライバが 0V に達した後、B 側の電圧出力は、静的電圧オフセットまたはバッファされたオフセット電圧 V_{OLB} で安定します。

0V への駆動と、静的電圧オフセット (V_{OLB}) への解放の組み合わせにより、ポイント 1 および 2 に示す反転ペデスタルが生成されます。

8.2.1.3 アプリケーション曲線

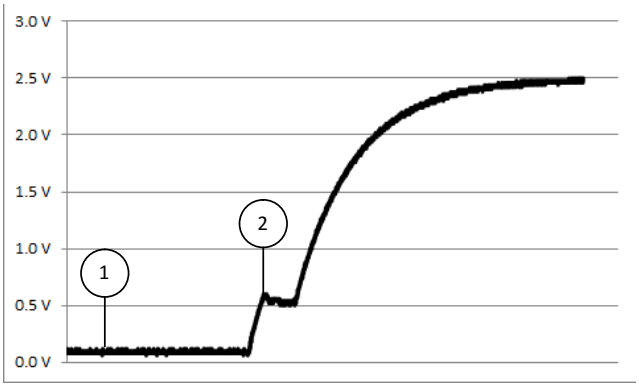


図 8-2. B から A を駆動、B 側のペデスタル

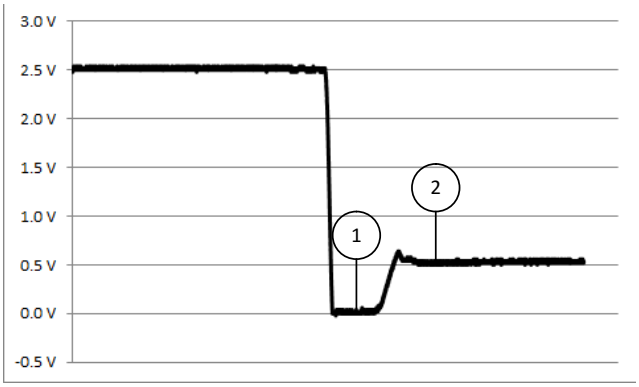


図 8-3. A から B を駆動、B 側の反転ペデスタル

Copyright © 2026 Texas Instruments Incorporated

8.2.2 スター アプリケーション

複数の A 側をスター構成で接続できるため、すべてのノードが互いに通信できます。

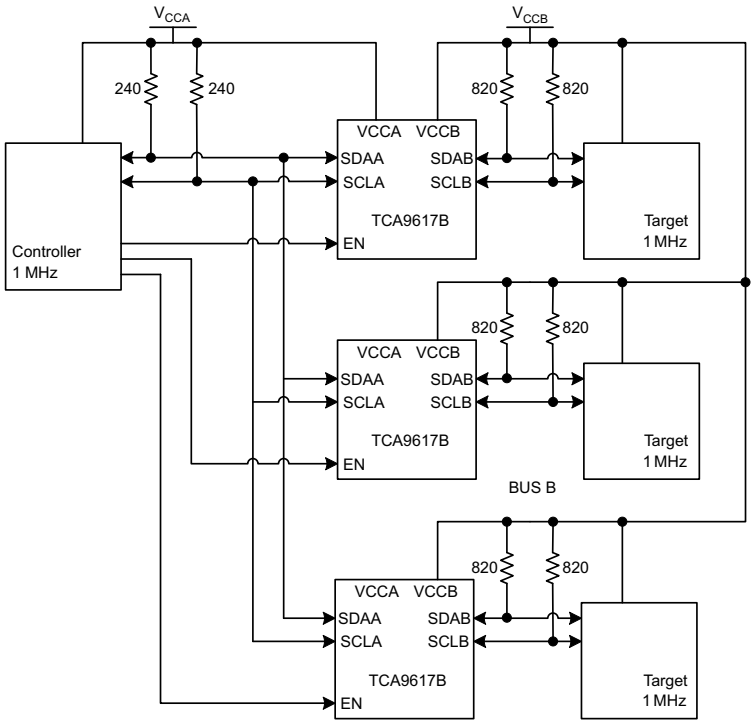


図 8-4. 代表的なスター アプリケーション

8.2.2.1 設計要件

セクション 8.2.1.1 を参照してください。

8.2.2.2 詳細な設計手順

セクション 8.2.1.2 を参照してください。

8.2.2.3 アプリケーション曲線

セクション 8.2.1.3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 直列アプリケーション

A 側が B 側に接続されている限り、複数の TCA9617B を直列に接続できます。I²C バスターゲットデバイスは、どのバス セグメントにも接続できます。直列に接続できるデバイスの数は、最大バス速度要件に関するリピータの遅延/タイム オブ フライトの考慮事項によって制限されます。

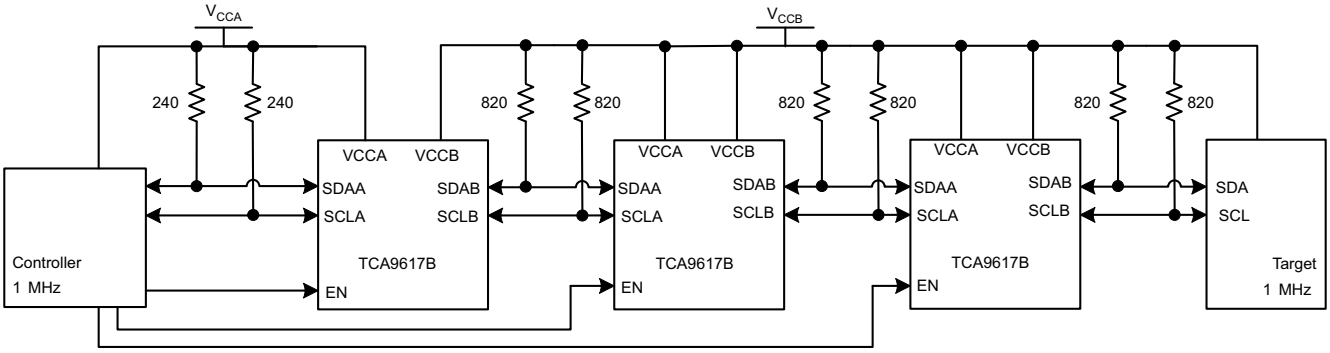


図 8-5. 代表的なシリーズ アプリケーション

8.2.3.1 設計要件

セクション 8.2.1.1 を参照してください。

8.2.3.2 詳細な設計手順

セクション 8.2.1.2 を参照してください。

8.2.3.3 アプリケーション曲線

セクション 8.2.1.3 を参照してください。

8.3 電源に関する推奨事項

VCCA には、0.8V ～ 5.5V の電源が必要です。VCCB には、2.2V ～ 5.5V の電源が必要です。

標準的なデカップリング コンデンサを推奨します。これらのコンデンサは通常、0.1µF ～ 1µF の範囲ですが、静電容量の値は電源からのノイズの周波数に依存します。

Copyright © 2026 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

推奨するデカップリング コンデンサを、TCA9617B の VCCA ピンおよび VCCB ピンのできるだけ近くに配置する必要があります。

8.4.2 レイアウト例

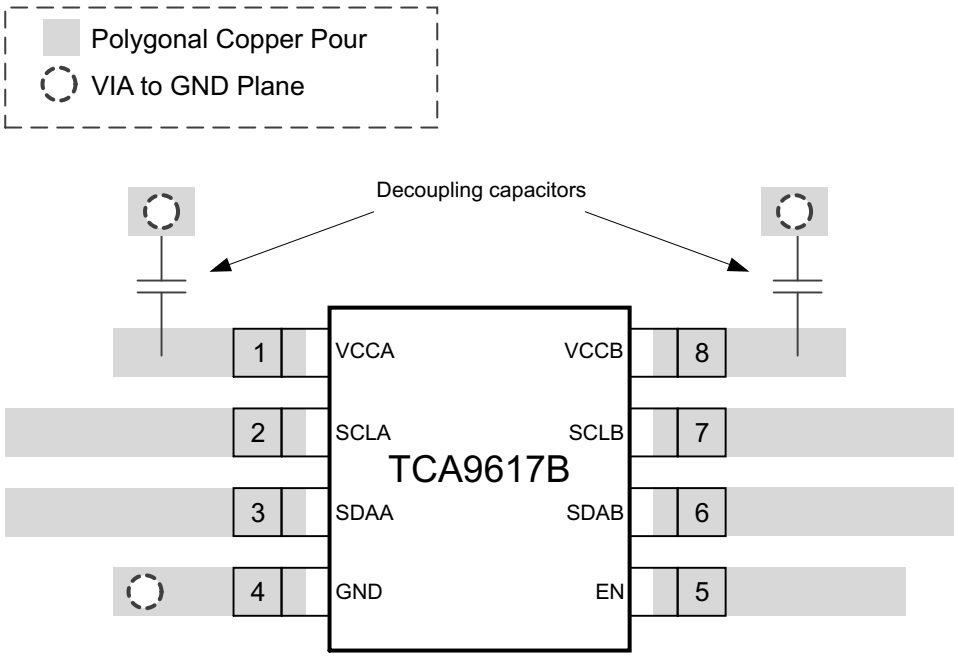


図 8-6. レイアウト回路図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (October 2024) to Revision F (March 2026)	Page
• 図 6-3 および図 6-4 を更新	8
• 特定の電圧値をパラメータ名に変更 (たとえば、「約 0.5V」を V_{OLB}、「約 0V」を「V_{OLA}」)	10
• 「入力電圧は VIL 未満にする必要があります」を「V_{ILB}」未満に変更	10
• 動作制限を 5.5V から V_{CCB} に更新	10
• V_{OLA} の電気的特性仕様値の推定電圧を更新	10
• 「ハード "Low" に駆動」を V_{OLA} に変更	10
• V_{OLB} や V_{ILB} などのデータシートの電気的特性に合わせて、出力電圧の番号の値を更新	10
• 0.5V を V_{OLA} に更新	10
• 0.5V を V_{OLB} に変更	11
• 図 6-1 および図 6-2 を更新し、図 7-1 に統合	11
• V_{OLA}、V_{OLB}、V_{ILB} などの電気的特性パラメータの具体的な値を変更	13
• 反転ペデスタルの説明を追加	13
• 近似を削除し、電気的特性パラメータに置き換え	13
• ターゲット デバイスの要件を更新	14
• 図 8-2 および図 8-3 の各ポイントの説明を追加し、静的オフセット電圧、反転ペデスタル、ペデスタルの性質を定義	14
• 図 8-2 および 図 8-3 を更新	14

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision D (September 2024) to Revision E (October 2024) **Page**

Changes from Revision C (January 2024) to Revision D (September 2024) **Page**

Changes from Revision B (December 2018) to Revision C (January 2024) **Page**

- すべての古い用語をコントローラおよびターゲットに変更 1
- ピン EN に弱いプルアップ抵抗の情報を追加 3
- 絶対最大電圧を 7V から 6.5V に変更 4
- 「熱に関する情報」を 8 DGK 用に変更 5
- -1.2V の V_{IK} 最大値を最小値に変更 5
- 標準値を削除することにより、T_{PLH} (B から A) を変更。 7
- 最小値を 59ns から 50ns に変更し標準値を削除することにより、VCCB ≤ 3V の T_{PLH} (A から B) を変更 7
- 標準値を削除することにより、VCCB > 3V の T_{PLH} (A から B) を変更 7
- 最小値を 69ns から 32ns に変更し標準値を削除することにより、T_{PHL} (B から A) を変更 7
- 最小値を 68ns から 28ns に変更し標準値を削除することにより、T_{PHL} (A から B) を変更 7
- 最大値を 13.8ns から 32ns に変更し標準値を削除することにより、T_{THL} (B 側) を変更 7
- 最大値を 11.3ns から 40ns に変更し標準値を削除することにより、T_{THL} (B 側) を変更 7
- 「概要」の 0.3V_{CCA} を「V_{CCA} の 30%」に変更 10
- A 側が 0.7V_{CCA} 未満に低下を「A 側が V_{CCA} の 30% 未満に低下」に変更 10
- 0.7V_{CCB} 未満に低下を「0.4V 未満に低下」に変更 10
- 「"Low" から "High" への遷移特性」で、0.3V_{CCA} を「V_{CCA} の 30%」に変更 11
- 「A 側には静的なオフセット "Low" 電圧がないため、A 側にはペデスタルは見られません」を削除 11
- 「"High" から "Low" への遷移特性」で、0.7V_{CCA} を「V_{CCA} の 30%」に変更 12
- 「デバイスの機能モード」の「不適切に動作するターゲットを分離」を「不適切に動作しているターゲットを分離」に変更 12
- 「アプリケーション情報」の 0.7V_{CCA} を「V_{CCA} の 30%」に変更 13
- 「0.45V 未満に低下」を「0.4Vt 未満に低下」に変更 13
- 「プルアップ抵抗の値設定」の (0.45V) を (0.4V) に変更 14

Changes from Revision A (December 2014) to Revision B (December 2018) **Page**

- DGK のピン配置画像の外観を変更 3
- 「設計要件」のリストの $V_{CCA} < V_{CCB}$ を $V_{CCA} \leq V_{CCB}$ に変更 14

Changes from Revision * (December 2014) to Revision A (December 2014) **Page**

- 完全版の初回リリース 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCA9617BDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	ZBOK
TCA9617BDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZBOK
TCA9617BDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZBOK

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

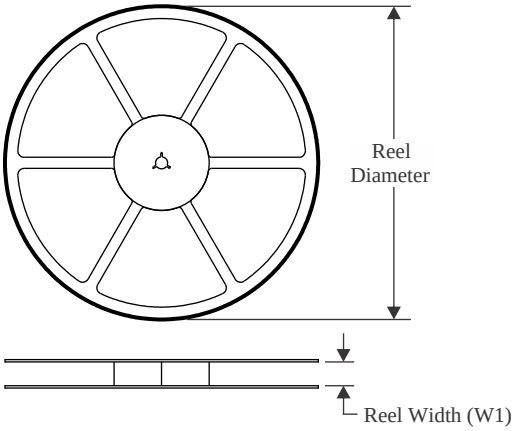
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

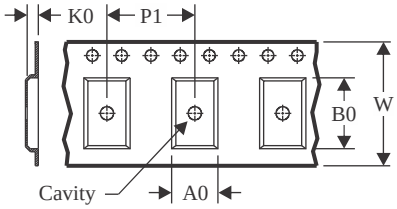
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

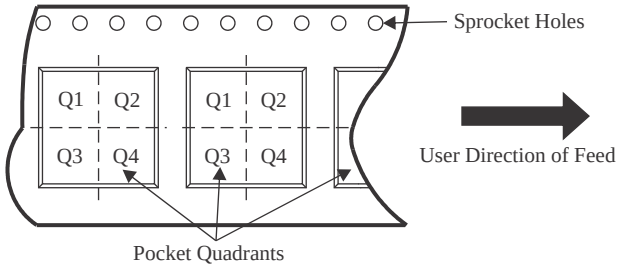


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

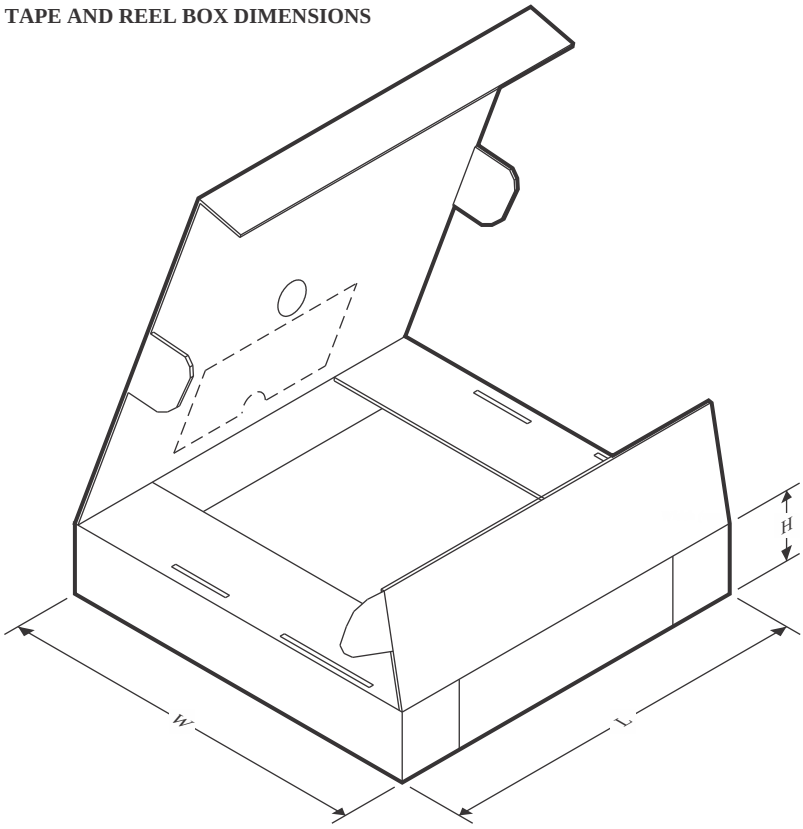
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCA9617BDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

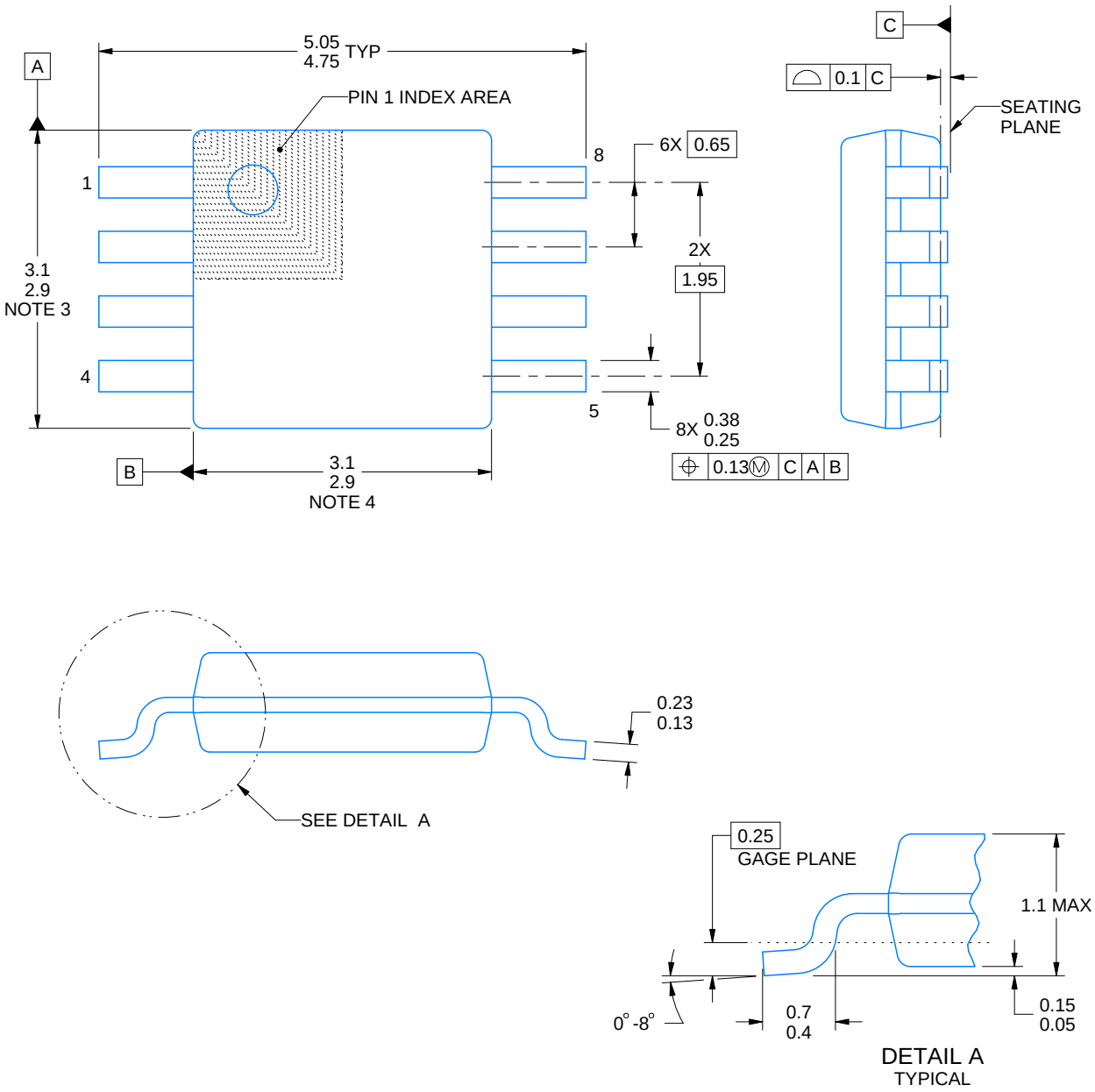
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCA9617BDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

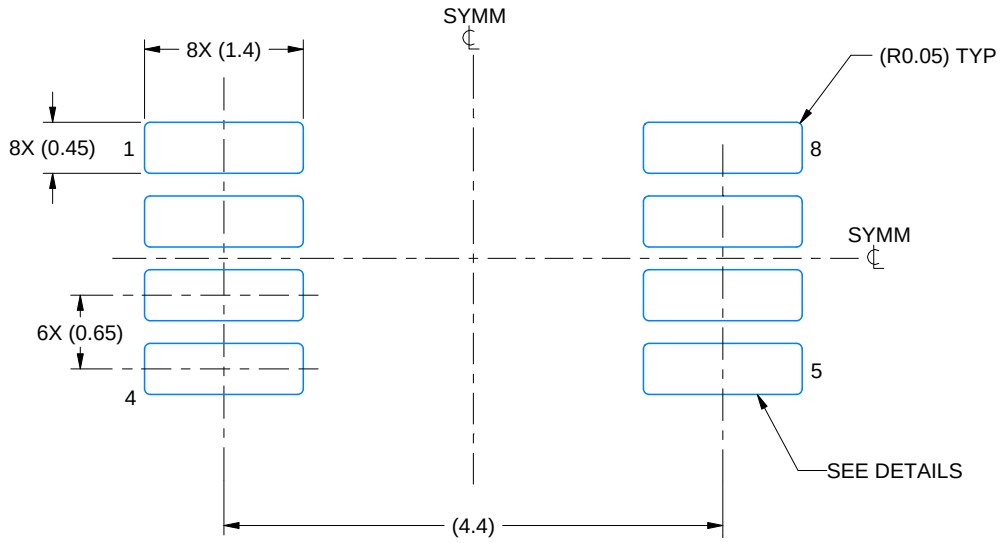
SMALL OUTLINE PACKAGE



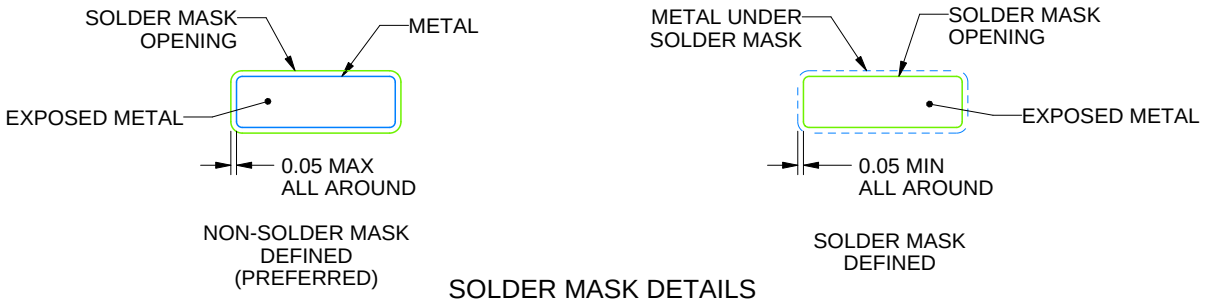
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

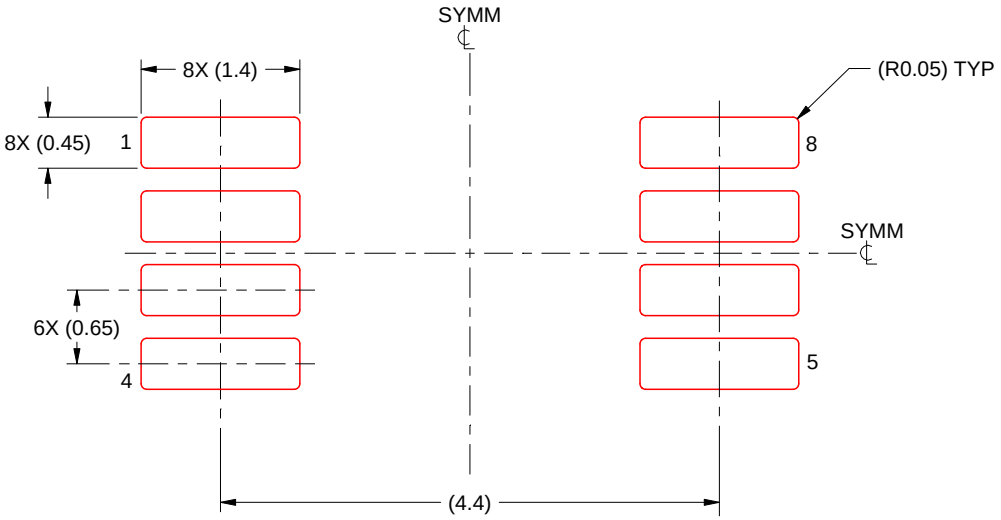


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月