TCAN1167-Q1 車載、LDO 出力、スリープ モード、ウォッチドッグ機能付き、CAN FD システム ベーシス チップ

1 特長

- 車載アプリケーション用に AEC Q100 認定済み
- ISO 11898-2:2016 の要件に適合
- 機能安全品質管理
  - 機能安全システムの設計に役立つ資料を利用可能
- 広い動作入力電圧範囲
- CAN トランシーバ電源用 LDO を内蔵
  - 出力電流容量 100mA の 5V LDO
- Classic CAN および最大 8Mbps の CAN FD
  - 各種モードをサポートするウォッチドッグ タイマ
    - タイムアウト
    - ウィンドウ
    - Q&A ウォッチドッグ
- 動作モードは SPI からプログラム可能
  - 通常モード
  - サイレント モード
  - スタンバイ モード
  - 低消費電力スリープ モード
- システム電源制御のための高電圧 INH 出力
- ウェークピンによるローカル WAKE アップのサポート
- 高度な CAN バス フォルト検出をサポート
- 電源非接続時の規定された挙動
  - バスおよび入出力端子はハイ インピーダンス (動作中のバスまたはアプリケーションに対して無負荷)
- 保護機能:
  - CAN バスの障害耐性:±58V
  - V_{SUP} でのロード ダンプのサポート
  - IEC ESD 保護
  - 低電圧保護、過電圧保護
  - サーマル シャットダウン保護機能
  - TXD ドミナント状態タイムアウト (TXD DTO)
- きわめて広い接合部温度に対応
- 自動光学検査 (AOI) 性能を向上させたウェッタブル フランク付きリードレス VSON (14) パッケージで供給

2 アプリケーション

- 先進運転支援システム (ADAS)
- ボディ・エレクトロニクス / 照明
- 車載用インフォテインメントおよびクラスタ
- ハイブリッド、電動、パワートレイン・システム

3 説明

TCAN1167-Q1 は、ISO 11898-2:2016 高速 CAN (Controller Area Network) 仕様の物理層要件を満たす高速 CAN SBC (システム ベーシス チップ) です。本トランシーバは Classical CAN ネットワークと最高 8 メガビット/秒 (Mbps) の CAN FD ネットワークの両方に対応しています。

TCAN1167-Q1 は、広い入力電源電圧範囲に対応し、5V LDO 出力を内蔵しています。5V LDO 出力 (V_{CCOUT}) は、CAN トランシーバ電圧を内部的に供給し、さらに外部にも電流を供給できます。

TCAN1167-Q1 を使用すると、システムに存在する各種電源供給の有効 無効を INH 出力ピンで切り替えることにより、バッテリの消費電流をシステム レベルで低減できます。これにより、CAN バスを監視しながら、TCAN1167-Q1 を除くすべてのシステム コンポーネントへの電力をゲートする超低電流スリープ状態を実現します。バス上でウェイクアップ イベントが検出された場合、または WAKE 入力を介してローカル ウェークアップが要求された場合、TCAN1167-Q1 が INH を High に駆動してノードの起動を開始します。

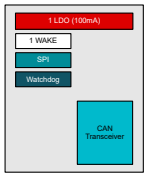
TCAN1167-Q1 は超低消費電力スタンバイ モードをサポートしています。このモードでは、高速トランスミッタとノーマル レシーバの電源がオフになり、低消費電力ウェイクアップ レシーバが働いて、ISO 11898-2:2016 に定義されたウェイクアップ パターン (WUP) によるリモート ウェイクアップを可能にします。

TCAN1167-Q1 はウォッチドッグ機能をサポートしているため、一定期間内にウォッチドッグ タイマをリセットすることをプロセッサに要求して、システムが正常であることを確認できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TCAN1167-Q1	VSON (14)	4.5mm × 3mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TCAN1167-Q1 の図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 ESD 定格、IEC 仕様.....4
5.4 推奨動作条件.....5
5.5 熱に関する情報.....5
5.6 電源特性.....5
5.7 電気的特性.....6
5.8 スイッチング特性.....9
5.9 代表的特性.....11
6 パラメータ測定情報.....12
7 詳細説明.....17
7.1 概要.....17
7.2 機能ブロック図.....17
7.3 機能説明.....18
7.4 デバイスの機能モード.....36
7.5 プログラミング.....45
8 アプリケーション情報に関する免責事項.....61
8.1 アプリケーション情報.....61
8.2 代表的なアプリケーション.....61
8.3 アプリケーション曲線.....63
8.4 電源要件.....64
8.5 レイアウト.....64
9 デバイスおよびドキュメントのサポート.....65
9.1 ドキュメントの更新通知を受け取る方法.....65
9.2 サポート・リソース.....65
9.3 商標.....65
9.4 静電気放電に関する注意事項.....65
9.5 用語集.....65
10 改訂履歴.....65
11 メカニカル、パッケージ、および注文情報.....65

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

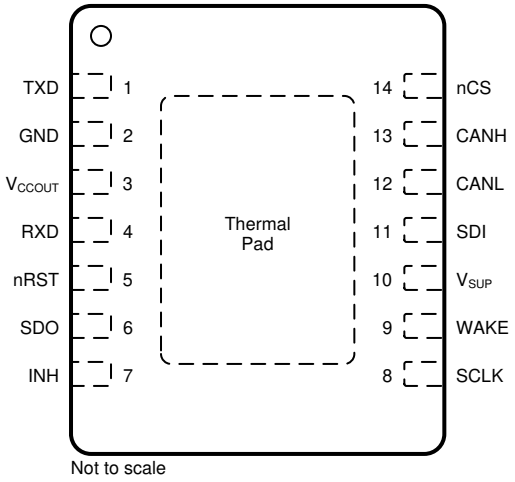


図 4-1. DMT パッケージ、14 ピン (VSON)、上面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
TXD	1	デジタル	CAN 送信データ入力、内蔵プルアップ
GND	2	GND	グランド接続
V_{CCOUT}	3	電源	5V LDO レギュレート出力電圧
RXD	4	デジタル	CAN 受信データ出力
nRST	5	デジタル	リセット入力 / 出力
SDO	6	デジタル	SPI データ出力
INH	7	高電圧	システム電圧レギュレータと電源、高電圧を制御する禁止ピン
SCLK	8	デジタル	SPI クロック入力。
WAKE	9	高電圧	逆流防止機能付き WAKE 入力端子
V_{SUP}	10	電源	逆電圧ブロック済みバッテリ電源入力
SDI	11	デジタル	SPI データ入力
CANL	12	バス IO	Low レベル CAN バス入出力ライン
CANH	13	バス IO	High レベル CAN バス入出力ライン
nCS	14	デジタル	SPI チップセレクト (アクティブ Low)

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時仮想接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{SUP}	電源電圧範囲	-0.3	42	V
V_{CCOUT}	5V レギュレータ出力	-0.3	6	V
V_{BUS}	CAN バス IO 電圧範囲 (CANH、CANL)	-58	58	V
V_{INH}	INH 出力ピン電圧範囲	-0.3	42 および $V_O \le V_{SUP}$ + 0.3	V
$V_{(Logic_Input)}$	ロジック入力端子電圧範囲	-0.3	6	V
$V_{(Logic_Output)}$	ロジック出力端子電圧範囲	-0.3	6	V
$I_{O(LOGIC)}$	ロジック出力電流		8	mA
$I_{O(INH)}$	INH 出力電流		6	mA
$I_{O(WAKE)}$	グランドシフトによるウェイク電流は $V_{(WAKE)} \le V_{(GND)}$ – 0.3V となるため、WAKE への電流は外部直列抵抗を介して制限する必要がある。		3	mA
T_J	動作接合部温度範囲	-40	150	°C
T_{STG}	保存温度	-65	165	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピンの HBM 分類レベル 3A	±4000	V
			V_{SUP}、の HBM 分類レベル 3A	±8000	
			グローバル ピン CANH および CANL の HBM 分類レベル 3B	±10000	
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 すべてのピンの CDM 分類レベル C5		±750	

(1) AEC-Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 ESD 定格、IEC 仕様

				値	単位
V_{ESD}	システムレベルの静電気放電 (ESD) (1)	CAN バス端子 (CANH、CANL) から GND への接続	IEC 61000-4-2 (150pF、330Ω) 電源なしの接触放電	±8000	V
		V_{SUP}		±8000	
V_{TRAN}	ISO 7637 ISO パルス過渡応答(2)	CAN バス端子 (CANH および CANL) から GND、V_{SUP} の接続	パルス 1	-100	
			パルス 2	75	
			パルス 3a	-150	
			パルス 3b	100	
	ISO 7637-3 過渡応答(3)		DCC 低速過渡パルス	±30	

(1) IEC 62228-3 CAN トランシーバ、セクション 6.4、DIN EN 61000-4-2 に従ってテスト済み
(2) IEC 62228-3 CAN トランシーバ、セクション 6.3 に従ってテスト済み。ISO 7637-2 に定義された標準パルスパラメータ
(3) ISO 7637-3 に従ってテスト済み。電源ライン以外のラインを経由する容量結合と誘導性結合による電気的過渡伝送

Copyright © 2026 Texas Instruments Incorporated

5.4 推奨動作条件

		最小値	公称値	最大値	単位
V_{SUP}	電源電圧範囲	5.5		28	V
$I_{OH(DO)}$	デジタル出力端子の high レベル出力電流	-2			mA
$I_{OL(DO)}$	デジタル出力端子の low レベル出力電流			2	mA
$I_{O(INH)}$	INH 出力電流			1	mA
C_{VSUP}	V_{SUP} ピン容量		0.1		µF
C_{VCCOUT}	V_{CCOUT} ピンの容量	10			µF
T_{SDR}	サーマル シャットダウン立ち上がり	175	180		°C
T_{SDF}	サーマル シャットダウン立ち下がり		165	170	°C
T_{SDW}	サーマル シャットダウン警告	150			°C
T_{HYS}	サーマル シャットダウン ヒステリシス		15		°C

5.5 熱に関する情報

熱評価基準(1)		DMT (VSON) 14 ピン	単位
$R_{\Theta JA}$	接合部から周囲への熱抵抗	37.7	°C/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	37.9	°C/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	14.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	14.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

5.6 電源特性

動作温度範囲全体、T_J = -40°C ～ 150°C、特に記述のない限りすべての標準値は、25°C、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧および電流						
I_{SUP}	電源電流 バス バイアスアクティブ:ドミナント	TXD = 0V、R_L = 60Ω、C_L = オープン 図 6-2 を参照			60	mA
		TXD = 0V、R_L = 50Ω、C_L = オープン 図 6-2 を参照			70	mA
	電源電流 バス バイアスアクティブ:リセッシブ	TXD = V_{CCOUT}、R_L = 50Ω、C_L = オープン 図 6-2 を参照			3	mA
$I_{SUP(STB)}$	消費電流 スタンバイ モード バス バイアス自律:非アクティブ	5.5V < V_{SUP} ≤ 19V 図 6-2 を参照			230	µA
$I_{SUP(SLP)}$	消費電流 スリープ モード バス バイアス自律:非アクティブ	5.5V < V_{SUP} ≤ 19V T_A > 85°C 図 6-2 を参照			50	µA
$I_{SUP(SLP)}$	消費電流 スリープ モード バス バイアス自律:非アクティブ	5.5V < V_{SUP} ≤ 19V T_A ≤ 85°C 図 6-2 を参照			40	µA
$I_{SUP(BIAS)}$	消費電流 バス バイアス自律:アクティブ(1)	5.5V < V_{SUP} ≤ 28V 図 6-2 を参照			60	µA
UV_{SUPR}	V_{SUP} 低電圧スレッショルド立ち上がり	増加	4.05		4.42	V
UV_{SUPF}	V_{SUP} 低電圧スレッショルド立ち下がり	減少	3.9		4.25	V

Copyright © 2026 Texas Instruments Incorporated

5.6 電源特性 (続き)

動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25°C、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{CCOUT} Characteristics						
V_{CCOUT}	5V レギュレータ出力	V_{SUP} = 5.5V ～ 18V I_L = 0mA ～ 100mA TXD = V_{CCOUT}	4.9	5	5.1	V
V_{CCOUT}	5V レギュレータ出力	V_{SUP} = 5.65V ～ 18V I_L = 0mA ～ 100mA TXD = 0V、V_{CANH} = 0V	4.9	5	5.1	V
V_{CCOUT_DROP}	ドロップアウト電圧	5 V LDO、V_{SUP} – V_{CCOUT}、I_L = 125mA		300	650	mV
$\Delta V_{CCOUT(\Delta VSUP)}$	ライン レギュレーション	V_{SUP} = 5.5V ～ 28V、I_L = 10mA、ΔV_{CCOUT}			50	mV
$\Delta V_{CCOUT(\Delta VSUPL)}$	ロード レギュレーション	I_L = 1mA ～ 125mA、V_{SUP} = 14V、ΔV_{CCOUT}			50	mV
$UV_{VCCOUTR}$	低電圧 V_{CCOUT} スレッショルド立ち上がり	増加	4.25	4.6	4.75	V
$UV_{VCCOUTF}$	V_{CCOUT} 低電圧スレッショルド立ち下がり	減少	4.2	4.45	4.7	V
OV_{CCOUTR}	過電圧 V_{CCOUT} スレッショルドの立ち上がり	増加		5.7	6.15	V
OV_{CCOUTF}	V_{CCOUT} スレッショルドの立ち下がり	減少	5.47	5.65		V
I_{L_VCCOUT}	出力電流制限	V_{CCOUT} はグランドへ短絡	175		275	mA
$PSRR_{VCCOUT}$	電源除去リップル除去	V_{RIP} = 0.5V_{PP}、負荷 = 10mA、f = 100Hz、C_O = 10µF	60			dB

(1) 有効なウェークアップ後、合計 I_{SUP} 電流は、$I_{SUP(STB)}$ と $I_{SUP(BIAS)}$ (I_{SUP} = $I_{SUP(STB)}$ + $I_{SUP(BIAS)}$) の合計です。

5.7 電気的特性

動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25℃、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ			テスト条件	最小値	標準値	最大値	単位
CAN ドライバの電気的特性							
$V_{O(D)}$	ドミナント出力電圧 バス バイアスがアクティブ	CANH	TXD = 0V、50 ≤ R_L ≤ 65Ω、C_L = オープン、R_{CM} = オープン 図 6-2 を参照	2.75		4.5	V
	ドミナント出力電圧 バス バイアスがアクティブ	CANL		0.5		2.25	V
$V_{O(R)}$	リセッシブ出力電圧 バス バイアスがアクティブ		TXD = V_{CCOUT}、R_L = オープン (無負荷)、R_{CM} = オープン 図 6-2 を参照	2		3	V
V_{SYM}	ドライバ対称性 バス バイアス アクティブ ($V_{O(CANH)}$ + $V_{O(CANL)}$)/V_{CCOUT}		R_L = 60Ω、C_{SPLIT} = 4.7nF、C_L = オープン、R_{CM} = オープン、TXD = 250kHz、1Mhz、2.5MHz 図 6-2 を参照	0.9		1.1	V/V
V_{SYM_DC}	DC ドライバ対称性 バス バイアスがアクティブ V_{CCOUT} – $V_{O(CANH)}$ – $V_{O(CANL)}$		R_L = 60Ω、C_L = オープン 図 6-2 を参照	-400		400	mV
$V_{OD(DOM)}$	差動出力電圧 バス バイアス アクティブ ドミナント	CANH - CANL	TXD = 0V、50Ω ≤ R_L ≤ 65Ω、C_L = オープン 図 6-2 を参照	1.5		3	V
	差動出力電圧 バス バイアス アクティブ ドミナント	CANH - CANL	TXD = 0V、45Ω ≤ R_L ≤ 70Ω、CL = オープン 図 6-2 を参照	1.4		3.3	V
	差動出力電圧 バス バイアス アクティブ ドミナント	CANH - CANL	TXD = 0V、R_L = 2240Ω、C_L = オープン 図 6-2 を参照	1.5		5	V
$V_{OD(REC)}$	差動出力電圧 バス バイアス アクティブ バス バイアス非アクティブ リセッシブ	CANH - CANL	TXD = V_{CCOUT}、R_L = オープン Ω、C_L = オープン 図 6-2 を参照	-50		50	mV

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性 (続き)

動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25℃、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ			テスト条件	最小値	標準値	最大値	単位
$V_{O(INACT)}$	ピン出力電圧 バス バイアスが非アクティブ	CANH	TXD = V_{CCOUT} R_L = オープン (無負荷)、C_L = オープン 図 6-2 を参照	-0.1		0.1	V
		CANL	TXD = V_{CCOUT} R_L = オープン (無負荷)、C_L = オープン 図 6-2 を参照	-0.1		0.1	V
$V_{OD(STB)}$	差動出力電圧 バス バイアスが非アクティブ	CANH - CANL	TXD = V_{CCOUT} R_L = オープン (無負荷)、C_L = オープン 図 6-2 を参照	-0.2		0.2	V
$I_{OS(DOM)}$	短絡時の定常状態出力電流 バス バイアス アクティブ ドミナント		TXD = 0V -15V ≤ $V_{(CANH)}$ ≤ 40 V 図 6-2 および図 6-8 を参照	-75			mA
	短絡時の定常状態出力電流 バス バイアス アクティブ ドミナント		TXD = 0V -15V ≤ $V_{(CANL)}$ ≤ 40 V 図 6-2 および図 6-8 を参照			75	mA
$I_{OS(REC)}$	短絡時の定常状態出力電流 バス バイアス アクティブ リセッシブ		V_{BUS} = CANH = CANL -27V ≤ V_{BUS} ≤ 42V 図 6-2 および図 6-8 を参照	-3		3	mA
CAN レシーバの電気的特性							
$V_{IT(DOM)}$	レシーバがドミナント状態の入力電圧範囲 バスバイアス アクティブ		-12V ≤ V_{CM} ≤ 12V 図 6-3 および表 7-14 を参照	0.9		8	V
$V_{IT(REC)}$	レシーバ リセッシブ状態の差動入力電圧範囲 バス バイアスが非アクティブ			-3		0.5	V
V_{HYS}	入力スレッショルド ヒステリシス電圧 バス バイアス アクティブ		図 6-3 および 表 7-14 を参照してください。	80	140		mV
$V_{DIFF(MAX)}$	V_{DIFF} の最大定格			-5		10	V
$V_{DIFF(DOM)}$	レシーバ リセッシブ状態の差動入力電圧範囲 バス バイアスが非アクティブ		-12V ≤ V_{CM} ≤ 12V 図 6-3 および表 7-14 を参照	1.150		8	V
$V_{DIFF(REC)}$	レシーバ リセッシブ状態の差動入力電圧範囲 バス バイアスが非アクティブ			-3		0.4	V
V_{CM}	同相範囲		図 6-3 および 表 7-14 を参照してください。	-12		12	V
$I_{OFF(LKG)}$	パワーオフ (電源オフ) バス入力リーク電流		V_{SUP} = 0V、CANH = CANL = 5V			2.5	µA
C_I	グランドに対する入力容量 (CANH または CANL) (1)		TXD = V_{CCOUT}			20	pF
C_{ID}	差動入力容量(1)		TXD = V_{CCOUT}			10	pF
R_{ID}	差動入力抵抗		TXD = V_{CCOUT} -12V ≤ V_{CM} ≤ 12V	50		100	kΩ
R_{IN}	入力抵抗 (CANH または CANL)			25		50	kΩ
$R_{IN(M)}$	入力抵抗マッチング : [1– $R_{IN(CANH)}$ / $R_{IN(CANL)}$] × 100%		$V_{(CANH)}$ = $V_{(CANL)}$ = 5V	-1		1	%
TXD 入力特性							
V_{IH}	High レベル入力電圧			0.7			V_{CCOUT}
V_{IL}	Low レベル入力電圧					0.3	V_{CCOUT}
I_{IH}	High レベル入力リーク電流		TXD = V_{CCOUT}	-1	0	1	µA
I_{IL}	Low レベル入力リーク電流		TXD = 0V	-130		-15	µA
R_{PU}	プルアップ抵抗			40	60	80	kΩ
$I_{LKG(OFF)}$	電源がない場合のリーク電流です		TXD = 5.5V、V_{SUP} = 0V	-1	0	1	µA
C_I	入力容量		V_{IN} = 0.4 x sin(2 × π × 2 × 106 × t) + 2.5V		5		pF
RXD 出力特性							
V_{OH}	High レベル出力電圧		I_O = –2mA。	0.8			V_{CCOUT}
V_{OL}	Low レベル出力電圧		I_O = 2mA。			0.2	V_{CCOUT}
R_{PU}	プルアップ抵抗			40	60	80	kΩ

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性 (続き)

動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25℃、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ			テスト条件	最小値	標準値	最大値	単位
$I_{LKG(OFF)}$	電源がない場合のリーク電流です		RXD = 5.5V、V_{SUP} = 0V	-5		5	µA
INH 出力特性							
ΔV_H	V_{SUP} を基準とした high レベル電圧降下 INH		I_{INH} = –6mA		0.5	1	V
$I_{LKG(INH)}$	スリープ モード リーク電流		INH = 0V	-0.5		0.5	µA
R_{PD}	プルダウン抵抗		スリープ モード	2.5	4	6	MΩ
WAKE 入力特性							
V_{IH}	High レベル入力電圧		スリープ モード	4			V
V_{IL}	Low レベル入力電圧					2	V
I_{IL}	Low レベル入力リーク電流		WAKE = 1V			3	µA
V_{HYS}	入力ヒステリシス			800		1200	mV
nRST の双方向特性							
V_{IH}	High レベル入力電圧			0.8			V_{CCOUT}
V_{IL}	Low レベル入力電圧					0.2	V_{CCOUT}
V_{OL}	Low レベル出力電圧		I_O = 2mA。			0.2	V_{CCOUT}
I_{IH}	High レベル入力リーク電流		nRST = V_{CCOUT}	-1		1	µA
R_{PU}	V_{CCOUT} へのプルアップ抵抗			160	240	320	kΩ
SDI 入力特性							
V_{IH}	High レベル入力電圧			0.8			V_{CCOUT}
V_{IL}	Low レベル入力電圧					0.2	V_{CCOUT}
I_{IH}	High レベル入力リーク電流		SDI = V_{CCOUT} (2)	-1		1	µA
I_{IL}	Low レベル入力リーク電流		SDI = 0V	-130		-50	µA
R_{PU}	プルアップ抵抗			40	60	80	kΩ
$I_{LKG(OFF)}$	電源がない場合のリーク電流です		SDI = 5.5V、V_{SUP} = 0V	-1		1	µA
C_{IN}	入力容量		20MHz	4		10	pF
SCLK 入力特性							
V_{IH}	High レベル入力電圧			0.7			V_{CCOUT}
V_{IL}	Low レベル入力電圧					0.3	V_{CCOUT}
I_{IH}	High レベル入力リーク電流		SCLK = V_{CCOUT} (2)	50		130	µA
I_{IL}	Low レベル入力リーク電流		SCLK = 0V	-1		1	µA
R_{PD}	プルダウン抵抗			40	60	80	kΩ
$I_{LKG(OFF)}$	電源がない場合のリーク電流です		SCLK = 5.5V、V_{SUP} = 0V	-1		1	µA
C_{IN}	入力容量		20MHz	4		10	pF
nCS 入力特性							
V_{IH}	High レベル入力電圧	High レベル入力電圧	High レベル入力電圧	0.7			V_{CCOUT}
V_{IL}	Low レベル入力電圧	Low レベル入力電圧	Low レベル入力電圧			0.3	V_{CCOUT}
I_{IH}	High レベル入力リーク電流		nCS = V_{CCOUT}	-1		1	µA
I_{IL}	Low レベル入力リーク電流		nCS = 0V	-130		-50	µA
R_{PU}	プルアップ抵抗			40	60	80	kΩ
$I_{LKG(OFF)}$	電源がない場合のリーク電流です		nCS = 5.5V、V_{SUP} = 0V	-1		1	µA
C_{IN}	入力容量		20MHz	4		10	pF
SDO 出力特性							
V_{OH}	High レベル出力電圧		I_{OH} = -2mA	0.8			V_{CCOUT}
V_{OL}	Low レベル出力電圧		I_{OL} = 2mA			0.2	V_{CCOUT}

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性 (続き)

動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25℃、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	V_{nCS} = 5.5V	-1		1	µA

(1) ISO 11898-2:2003 に準拠したテスト
(2) V_{CCOUT} に対して内部にプルアップ抵抗があることにご注意ください。外部でより高い電圧またはより低い電圧に駆動すると、ピンのリーク電流測定値が増加します。

5.8 スイッチング特性

動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25°C、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源のスイッチング特性						
t_{POWER_UP}	パワーアップ時間を供給できます	C_{VCCOUT} = 10µF を参照図 6-9 を参照		1.8	4	ms
$t_{UV(SUP)}$	V_{SUP} フィルタ時間 (立ち上がりおよび立ち下がり)		4		25	µs
$t_{UV(VCCOUT)}$	V_{CCOUT} フィルタ時間 (立ち上がりおよび立ち下がり)	UV_{CCOUT} に達すると、デバイスがスリープ状態リセット状態に移行するまでの時間		30		µs
デバイスのスイッチング特性						
$t_{UV(nRST)}$	低電圧検出遅延時間 nRST low			10	50	µs
t_{WK_FILTER}	ウェークアップ要求のフィルタリングされたバス要件を満たすためのバス時間	を参照 図 7-14 を参照	0.5		1.8	µs
$t_{WK_TIMEOUT}$	バス ウェークアップ タイムアウト値		0.8		2	ms
$t_{SILENCE}$	バスがアクティブでない場合はタイムアウトになります			0.9	1.2	s
$t_{INACTIVE}$	フェイルセーフと電源投入の非アクティブ化のためのハードウェア タイマ(1)		3	4	5	最小値
t_{BIAS}	ドミナント リセッシブ ドミナント シーケンスの開始から Vsym ≥ 0.1 までの時間	各フェーズ:6µs 図 6-11 を参照			250	µs
$t_{CAN(ACTIVE)}$	スイッチングから CAN がアクティブ モードへの時間、トランシーバ レディから送信準備完了までの時間	V_{CCOUT} > $UV_{VCCOUT(R)}$			25	us
$t_{PROP(LOOP1)}$	ドライバ入力 (TXD) からレシーバ出力 (RXD) までの総ループ遅延 リセッシブからドミナント	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF 図 6-6 を参照		100	160	ns
$t_{PROP(LOOP2)}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) までドミナントからリセッシブまで	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF 図 6-6 を参照		120	175	ns
$t_{mode_slp_reset}$	WUP または LWU イベントから INH が high にアサートされるまで、以下を参照してください				50	µs
ドライバのスイッチング特性						
t_{pHR}	伝搬遅延時間、High TXD からドライバまで	R_L ≤ 60Ω、C_L = 100pF、R_{CM} = オープン 図 6-2 を参照	20	35	70	ns
t_{pLD}	伝搬遅延時間、Low TXD からドライバドミナントまで		15	40	70	ns
$t_{sk(p)}$	パルス スキュー ($\lvert t_{pHR} - t_{pLD} \rvert$)			10	20	ns
t_R	差動出力信号の立ち上がり時間			40		ns
t_F	差動出力信号の立ち下がり時間			45		ns
t_{TXD_DTO}	ドミナント タイムアウト	R_L = 60Ω、C_L = オープン 図 6-7 を参照、TXD = 0V	1.2		3.8	ms
レシーバのスイッチング特性						
t_{pRH}	伝搬遅延時間、バス リセッシブ入力から High RXD	$C_{L(RXD)}$ = 15pF (図 6-3 を参照)	25	80	140	ns
t_{pDL}	伝搬遅延時間、バスドミナント入力から RXD Low 出力まで	$C_{L(RXD)}$ = 15pF (図 6-3 を参照)	20	50	110	ns

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性 (続き)

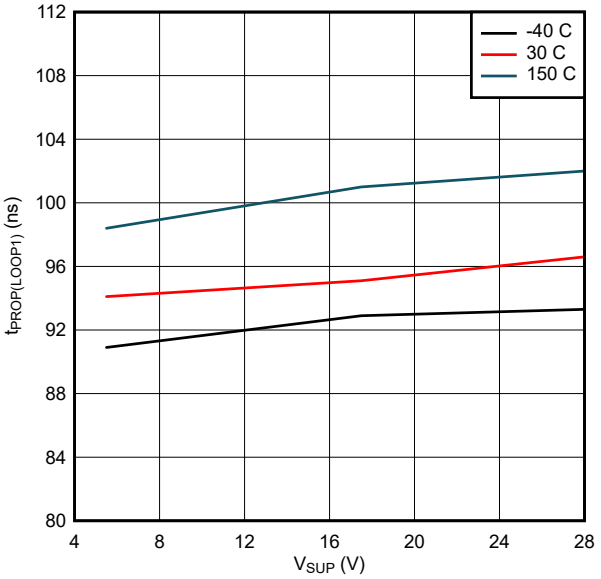
動作温度範囲全体、T_J = -40℃ ～ 150℃、特に記述のない限りすべての標準値は、25°C、V_{SUP} = 12V、R_L = 60Ω で測定されています

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_R	出力信号の立ち上がり時間 (RXD)	$C_{L(RXD)}$ = 15pF (図 6-3 を参照)		8		ns
t_F	出力信号の立ち下がり時間 (RXD)	$C_{L(RXD)}$ = 15pF (図 6-3 を参照)		5		ns
WAKE の特性						
t_{WAKE}	WAKE ピンでローカルウェイク イベントが発生した後、INH ピンが high になるために必要な時間		40			µs
nRST の特性						
t_{nRST}	リセットの最小 low 時間	入力パルス幅	15			µs
$t_{nRST(cold)}$	出力パルス幅	コールド クランク	20		27	ms
$t_{nRST(warm)}$	出力パルス幅	ウォーム クランク	1		1.5	ms
SPI スイッチング特性						
f_{SCK}	SCLK、SPI クロック周波数	通常モード、スタンバイ モード、およびサイレント モード			4	MHz
t_{SCK}	SCLK、SPI クロック周期	通常、スタンバイ、およびサイレント モード。図 6-13 を参照してください	250			ns
t_{RSCK}	SCK の立ち上がり時間	図 6-12 を参照			40	ns
t_{FSCK}	SCK の立ち下がり時間	図 6-12 を参照			40	ns
t_{SCKH}	SCK、SPI クロック high	通常、スタンバイ、およびサイレント モード。図 6-13 を参照してください	125			ns
t_{SCKL}	SCK、SPI クロック low	通常、スタンバイ、およびサイレント モード。図 6-13 を参照してください	125			ns
t_{ACC}	チップ セレクトからの最初の読み取りアクセス時間		50			ns
t_{CSS}	チップ セレクト セットアップ時間	図 6-12 を参照	100			ns
t_{CSH}	チップ セレクトのホールド時間	図 6-12 を参照	100			ns
t_{CSD}	チップ セレクトのディスエーブル時間	図 6-12 を参照	50			ns
t_{SISU}	セットアップ時間のデータ	通常、スタンバイ、およびサイレント モード。図 6-12 を参照してください	50			ns
t_{SIH}	ホールド時間のデータ	通常、スタンバイ、およびサイレント モード。図 6-12 を参照してください	50			ns
t_{SOV}	データ出力有効	通常、スタンバイ、およびサイレント モード。図 6-13 を参照してください			80	ns
t_{RSO}	SO の立ち上がり時間	図 6-13 を参照			40	ns
t_{FSO}	SO の立ち下がり時間	図 6-13 を参照			40	ns
CAN FD のタイミング特性						
$t_{BIT(BUS)}$	$t_{BIT(TXD)}$= 500ns の CAN バス出力ピンのビット時間	R_L = 60Ω、C_L = 100pF $C_{L(RXD)}$ = 15pF Δt_{REC} = $t_{BIT(RXD)}$ - $t_{BIT(BUS)}$ 図 6-6 を参照	435		530	ns
	$t_{BIT(TXD)}$= 200ns の CAN バス出力ピンのビット時間		155		210	ns
	$t_{BIT(TXD)}$= 125ns の CAN バス出力ピンのビット時間		80		140	ns
$t_{BIT(RXD)}$	$t_{BIT(TXD)}$= 500ns の RXD 出力ピンのビット時間	R_L = 60Ω、C_L = 100pF $C_{L(RXD)}$ = 15pF Δt_{REC} = $t_{BIT(RXD)}$ - $t_{BIT(BUS)}$ 図 6-6 を参照	400		550	ns
	$t_{BIT(TXD)}$= 200ns の RXD 出力ピンのビット時間		120		220	ns
	$t_{BIT(TXD)}$= 125ns の RXD 出力ピンのビット時間		80		135	ns
Δt_{REC}	レシーバのタイミングの対称性、$t_{BIT(TXD)}$ = 500 ns	R_L = 60Ω、C_L = 100pF $C_{L(RXD)}$ = 15pF Δt_{REC} = $t_{BIT(RXD)}$ - $t_{BIT(BUS)}$ 図 6-6 を参照	-50		20	ns
	レシーバのタイミングの対称性、$t_{BIT(TXD)}$ = 200 ns		-45		15	ns
	レシーバのタイミングの対称性、$t_{BIT(TXD)}$ = 125 ns		-40		10	ns

(1) CAN バスの状態が変化すると、タイマがリセットされます。

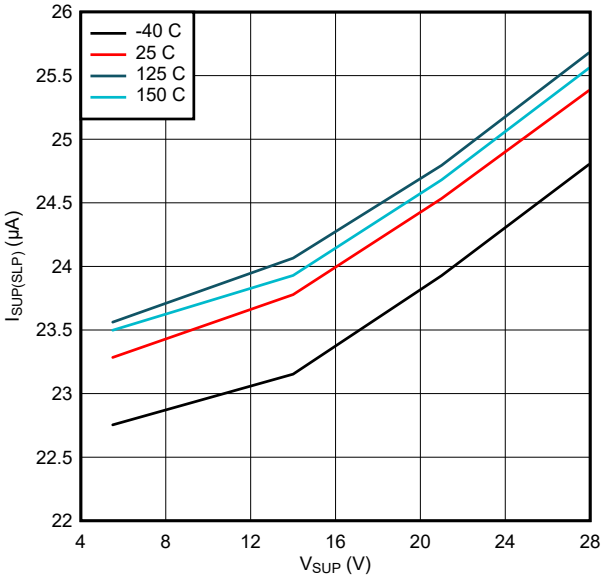
Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性



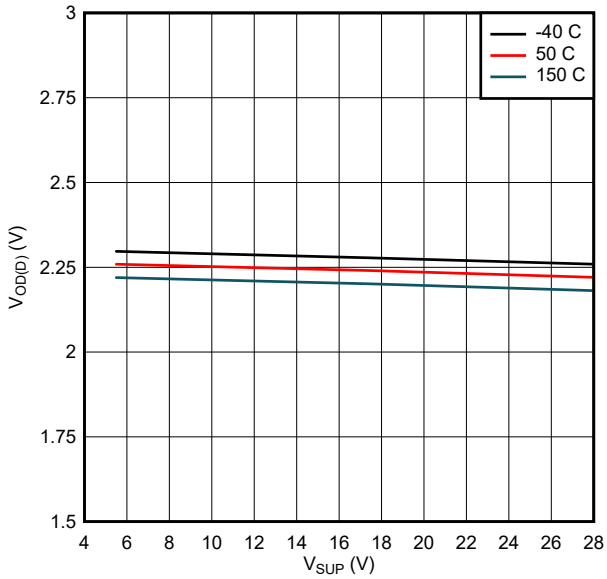
R_L = 60Ω C_L = 100pF C_{LRXD} = 15pF

図 5-1. V_{SUP} 上の $t_{PROP(LOOP1)}$



R_L = 60Ω

図 5-2. V_{SUP} スリープ モード上の I_{SUP}



R_L = 60Ω

図 5-3. V_{SUP} 上の $V_{OD(DOM)}$

6 パラメータ測定情報

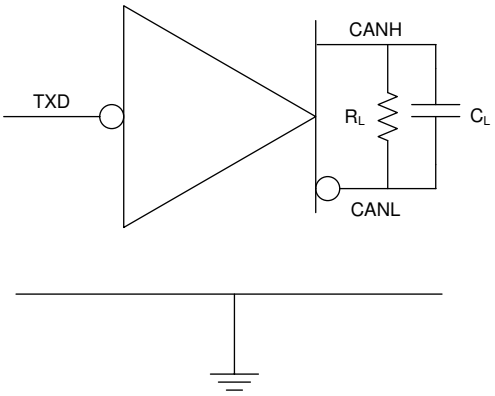


図 6-1. I_{SUP} 測定回路

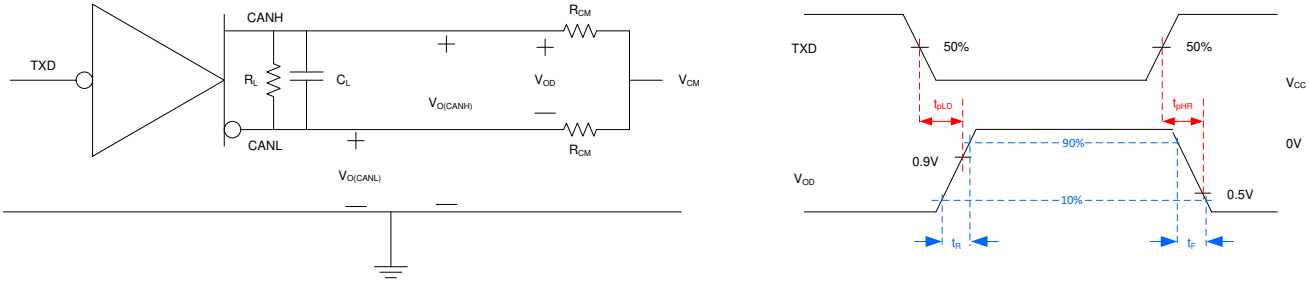


図 6-2. ドライバテスト回路と測定

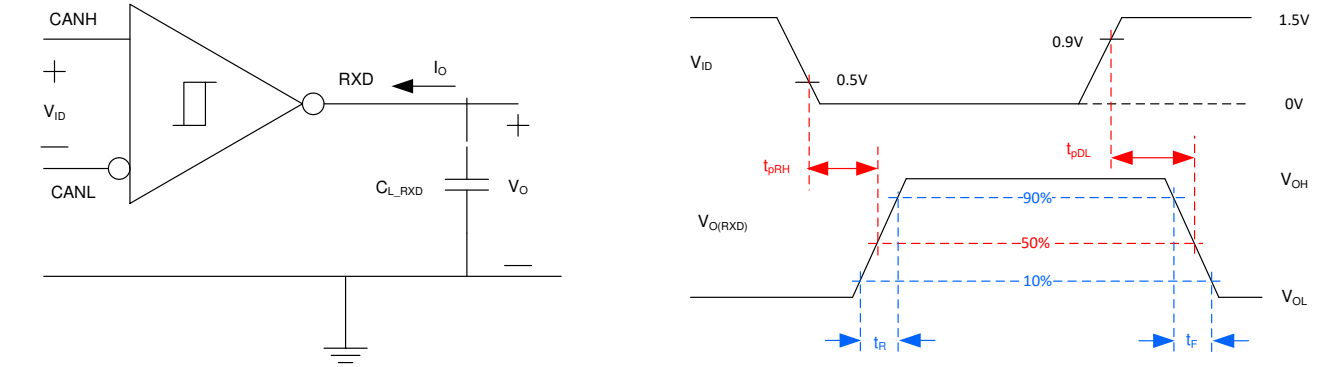


図 6-3. レシーバのテスト回路と測定

Copyright © 2026 Texas Instruments Incorporated

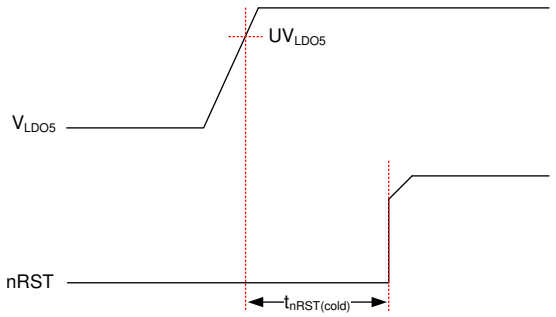


図 6-4. t_{nRST} コールド スタート

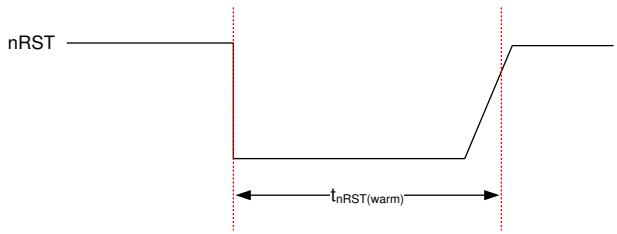


図 6-5. t_{nRST} ウォーム スタート

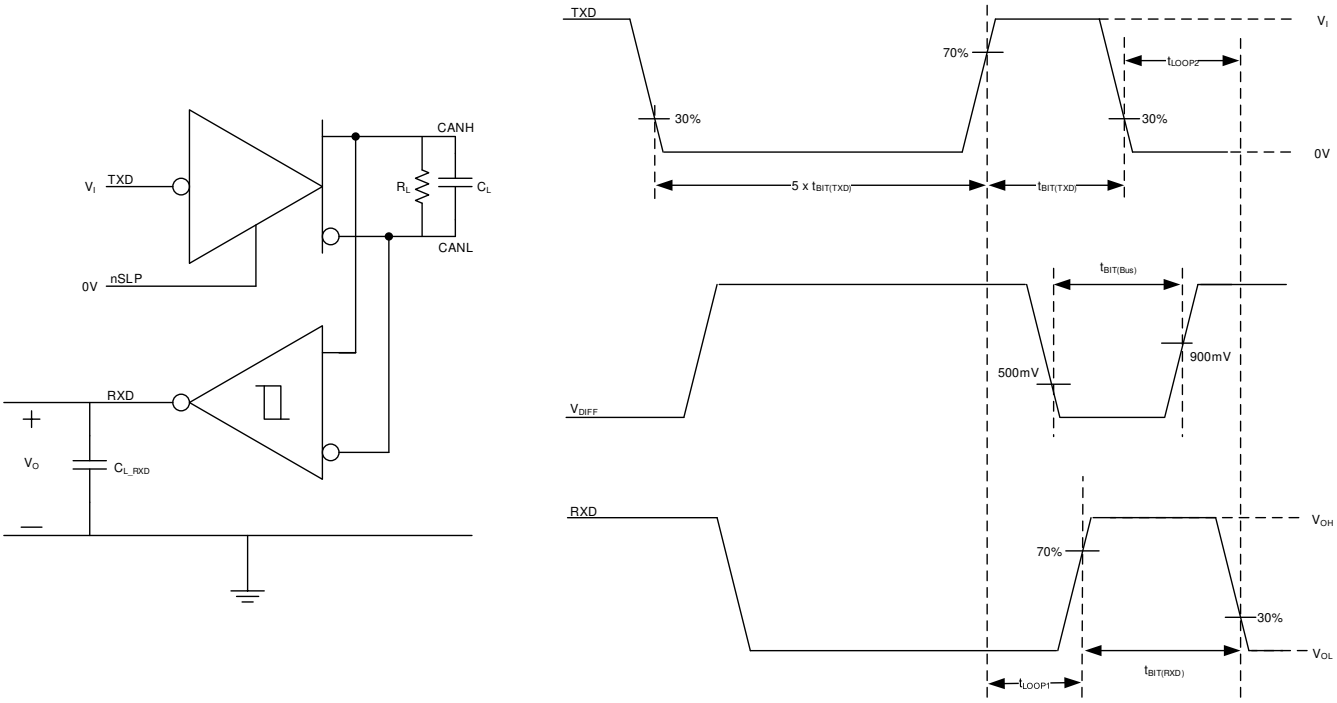


図 6-6. トランスミッタとレシーバのタイミング動作テスト回路と測定

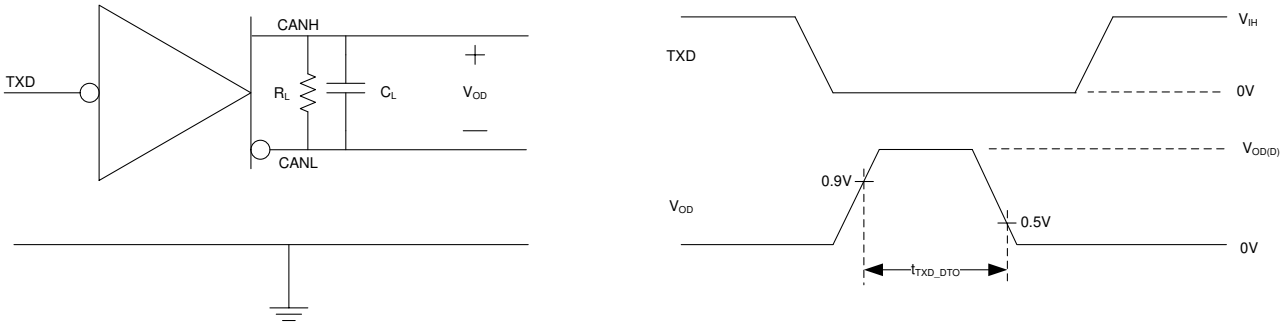


図 6-7. TXD ドミナントタイムアウトのテスト回路と測定

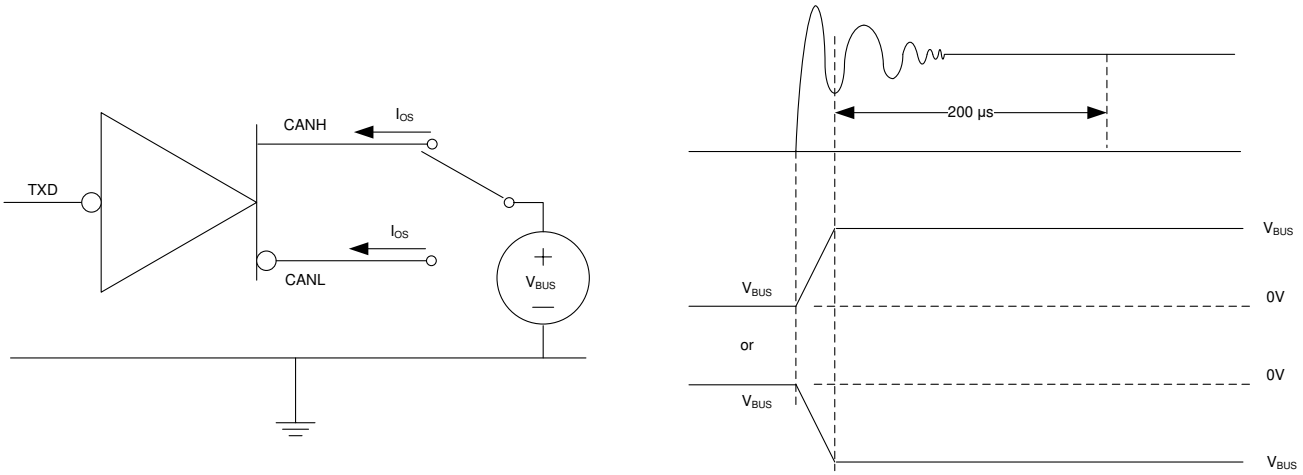


図 6-8. ドライバ短絡電流テスト回路と測定

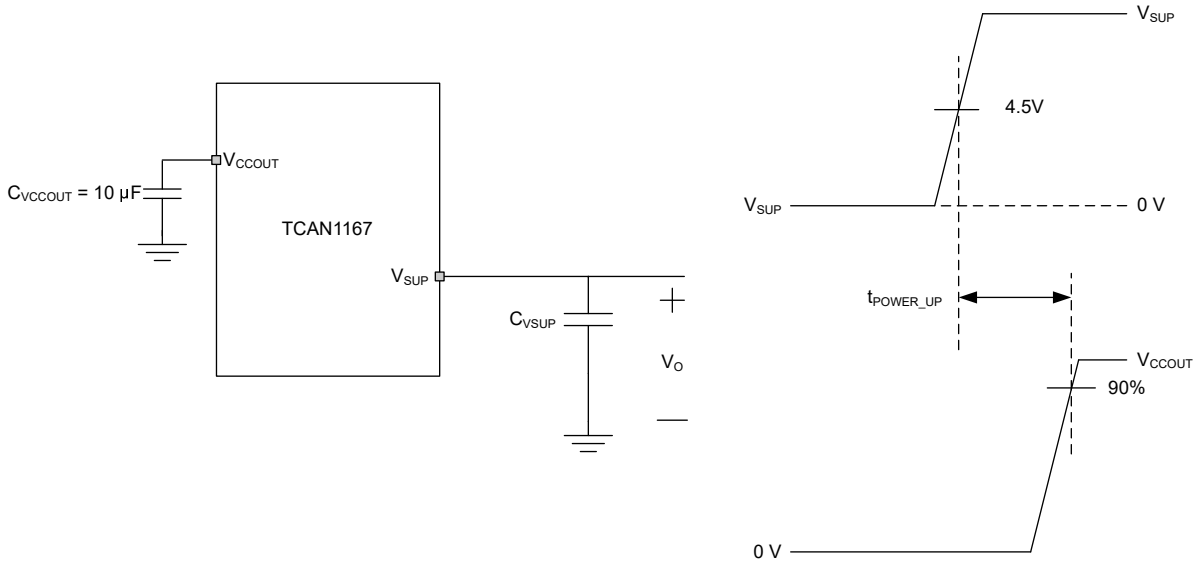


図 6-9. t_{POWER_UP} 時間測定

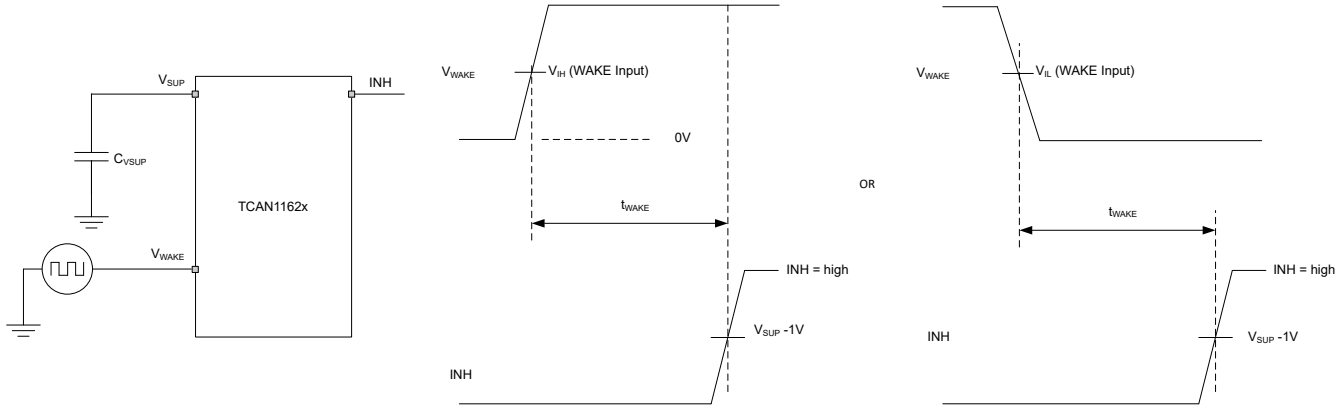


図 6-10. INH 出力監視中の t_{WAKE}

Copyright © 2026 Texas Instruments Incorporated

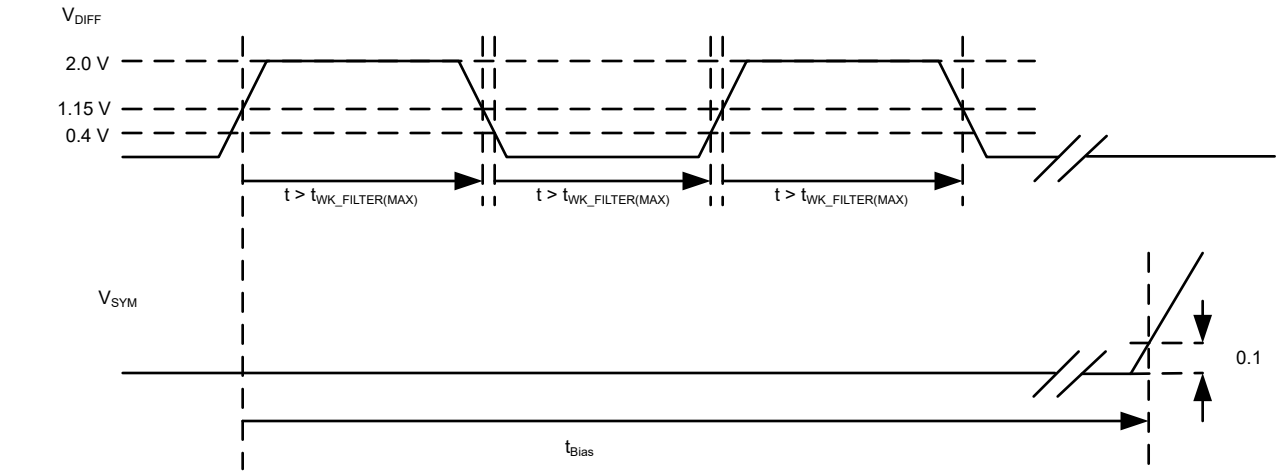


図 6-11. バイアス応答時間測定のテスト信号の定義

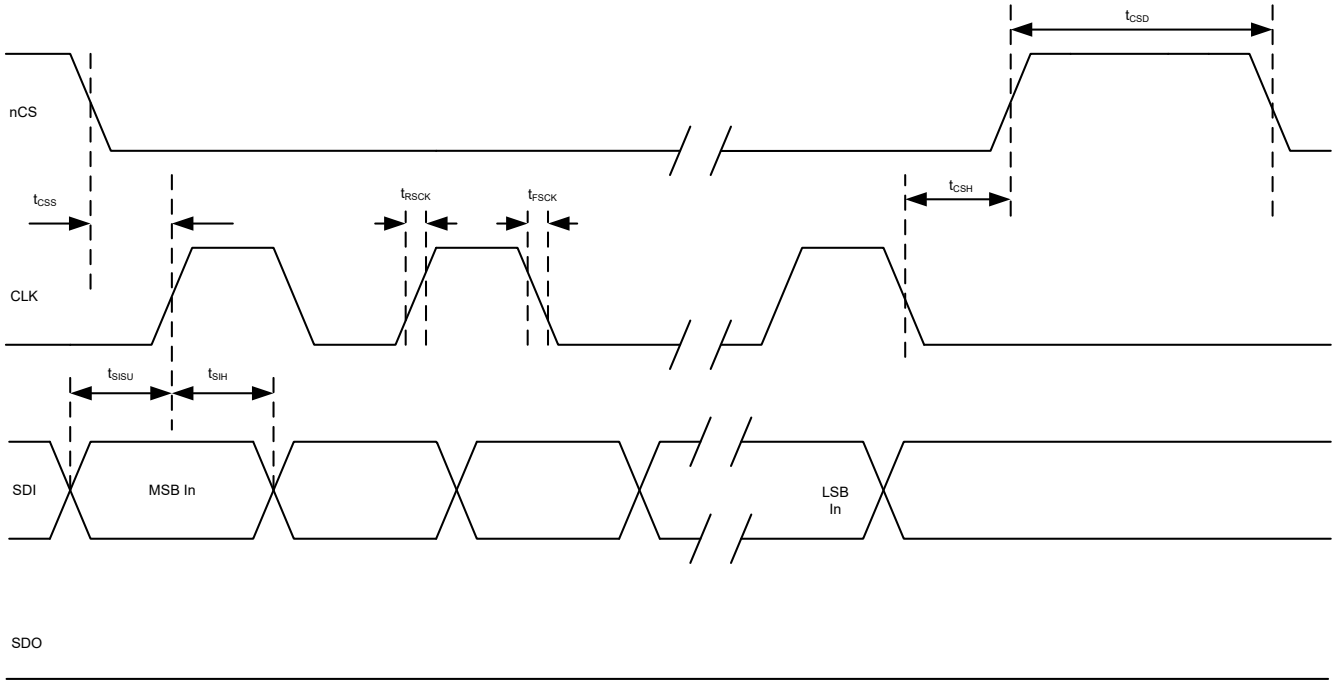


図 6-12. SPI AC 特性書き込み

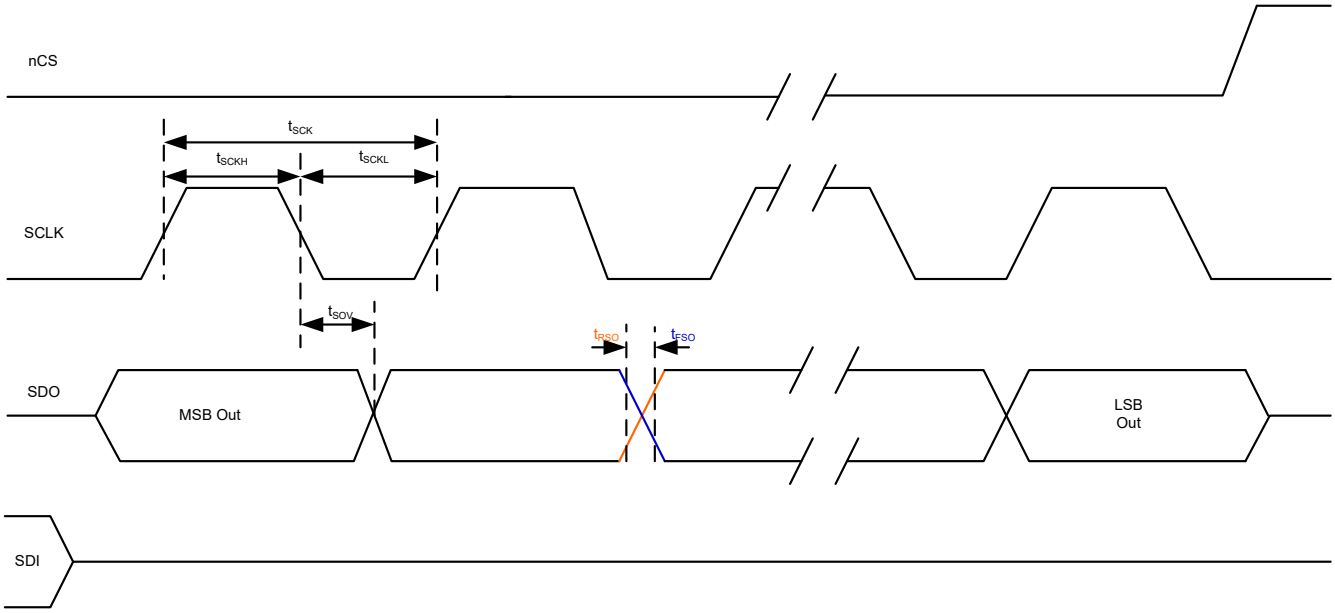


図 6-13. SPI AC 特性読み取り

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

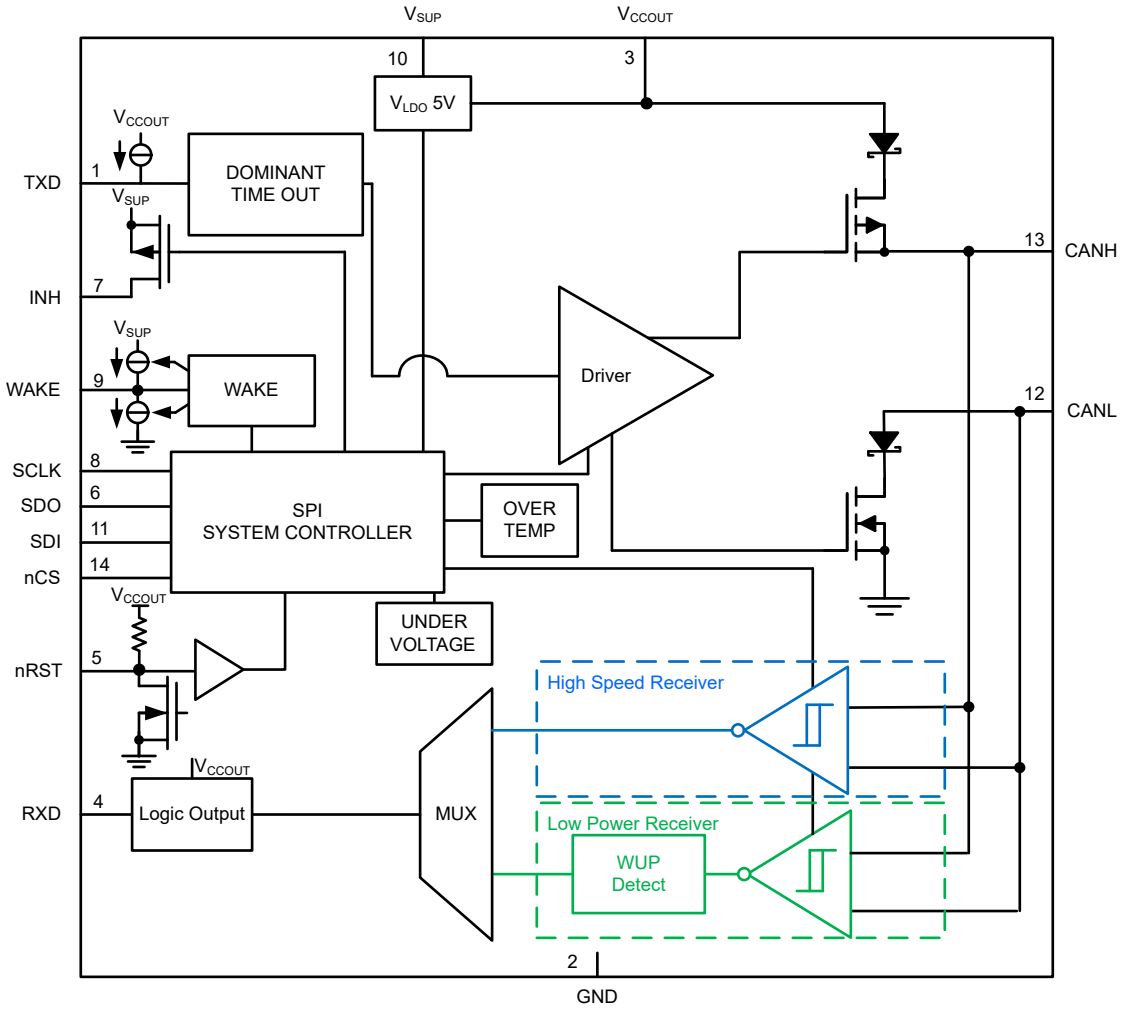
7.1 概要

TCAN1167-Q1 は、ISO 11898-2:2016 高速 CAN (Controller Area Network) 仕様の物理層要件を満たす高速 CAN SBC (システム ベーシス チップ) です。このトランシーバは、Classical CAN ネットワークと最高 8 メガビット/秒 (Mbps) の CAN FD ネットワークの両方に対応しています。

TCAN1167-Q1 は、広い入力電源電圧範囲に対応し、5V LDO 出力を内蔵しています。5V LDO 出力 (V_{CCOUT}) は、CAN トランシーバ電圧を内部的に供給し、さらに外部にも電流を供給できます。

TCAN1167-Q1 を使用すると、システムに存在する各種電源供給の有効 無効を INH 出力ピンで切り替えることにより、バッテリの消費電流をシステム レベルで低減できます。これにより、CAN バスを監視しながら、TCAN1167-Q1 を除くすべてのシステム コンポーネントの電源が遮断される超低電流スリープ状態を実現します。ウェイクアップ イベントが検出されると、TCAN1167-Q1 が INH を HIGH に駆動してノードの起動を開始します。

7.2 機能ブロック図



TCAN1167-Q1

7.3 機能説明

7.3.1 V_{SUP} ピン

このピンは、バッテリー電源に接続されます。このデバイスは、デジタル コア、CAN トランシーバ、低消費電力 CAN レシーバをサポートする内部レギュレータに電力を供給します。

7.3.2 V_{CCOUT} ピン

内部 LDO は、内蔵 CAN トランシーバと V_{CCOUT} 出力ピンに電力を供給します。外部に供給可能な電流の量は、通常動作時の CAN トランシーバの要件と動作周囲温度によって異なります。LDO からの追加電流を必要とする CAN バス フォルトが発生すると、外部負荷部品に対する利用可能な電流の合計が低下する可能性があります。スリープ モード中は LDO は無効化され、電流は供給されません。デバイスがスリープ モードを終了して他のアクティブ モードに移行すると、LDO は通常の動作でイネーブルになります。このピンには、このピンにできるだけ近付けて 10µF の外付けコンデンサが必要です。

7.3.3 デジタル入力および出力

TCAN1167-Q1 には、デジタル入力スレッショルドの設定に使用する V_{CCOUT} 電源があります。入力スレッショルドは、CMOS 入力レベルを使用した V_{CCOUT} 電源との比の指標です。TXD 入力は V_{CCOUT} レベルにバイアスされ、ピンがフローティングの場合に強制的にリセッシブ入力になります。RXD および出力ピンの high レベル出力電圧は、ロジック high 出力として V_{CCOUT} レベルに駆動されます。

7.3.4 GND

GND はグランドピンで、PCB のグランドに接続する必要があります。

7.3.5 INH ピン

TCAN1167-Q1 禁止 (INH) 出力ピンは、システム電源管理デバイスのイネーブルを制御するために使用でき、アプリケーションがスリープ モードの間、バッテリの静止電流消費を大幅に低減できます。INH ピンには、high および高インピーダンスに駆動されるという 2 つの状態があります。INH ピンが high に駆動されているとき、この端子は V_{SUP} からダイオードの電圧降下を引いた値になります。ハイ インピーダンス状態では、出力はフローティングのままになります。INH ピンは、通常およびスタンバイ モードでは high で、スリープ モードでは low になります。INH 出力に 100kΩ 負荷を追加することで、high 駆動状態から low 状態への高速遷移時間を確保し、フローティングのままになったときにピンを強制的に low にすることもできます。

この端子は、電力出力ではなく、高電圧ロジック端子とみなす必要があります。そのため、システム パワー マネージメント デバイスの EN 端子を駆動するために使用し、パワー マネージメント電源のスイッチとしては使用しないでください。この端子は逆バッテリ保護されていないため、システム モジュールの外部に接続しないでください。

7.3.6 WAKE ピン

WAKE ピンは、ローカル ウェイクアップ (LWU) 機能に使用される高電圧逆ブロック入力です。この機能については、「WAKE 入力端子によるローカル ウェイクアップ (LWU)」セクションでさらに説明します。このピンはデフォルトで双方向エッジトリガにフォルトされているため、WAKE ピン遷移の立ち上がりエッジまたは立ち下がりエッジでローカル ウェイクアップ (LWU) が認識されます。

7.3.7 nRST ピン

nRST は、V_{CCOUT} へのプルアップ抵抗を内蔵した双方向オープン ドレイン ローサイド ドライバです。フェイルセーフ モードに移行すると、デバイスによって low にプルできます。

デバイスの最初の電源投入時、スリープ モードからリセットへの遷移、フェイルセーフ モードからリセットへの遷移、または低電圧イベントは、コールド クランク リセット条件として認識されます。nRST ピンは $t_{nRST(cold)}$ 間 low に保持されるため、データ送信が開始される前に MCU およびペリフェラル デバイスは正しく電源オンにできます。

Copyright © 2026 Texas Instruments Incorporated

通常モードまたはスタンバイ モードからリセット モードに移行するには、nRST の最小時間にわたって t_{nRST} を low にする必要があります。TCAN1167-Q1 は、この とウォッチドッグ エラー をウォーム クランク リセット状態として認識し、nRST ピンを $t_{nRST(warm)}$ の間ローに保持します。

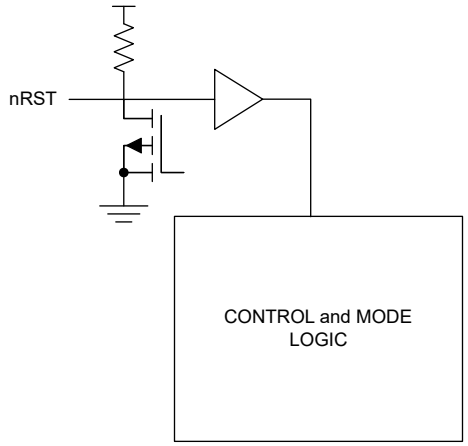


図 7-1. nRST 回路

7.3.8 SDO

nCS が low のとき、このピンは SPI シリアル データ出力ピンです。nCS が high のとき、ピン はトリステートになります。

7.3.9 nCS ピン

nCS ピンは、SPI チップ セレクト ピンです。クロックが存在し、low にプルされると、デバイスの書き込みと読み出しが可能になります。

7.3.10 SCLK

SCLK ピンは、SPI クロックです。クロック レートは、f_{SCK} の最大値を超えないようにする必要があります。

7.3.11 SDI

nCS が low のとき、このピンは、デバイスのプログラミングまたはデータの要求に使用される SPI シリアル データ入力ピンです。

7.3.12 CAN バス ピン

これらは CAN high と CAN low、CANH および CANL の差動バス ピンです。これらのピンは、CAN トランシーバおよび低電圧ウェーク レシーバに接続されています。

7.3.13 ローカル フォルト

7.3.13.1 TXD ドミナント タイムアウト (TXD DTO)

CAN ドライバがアクティブ モードのとき、TXD DTO 回路は、TXD がタイムアウト期間 t_{TXD_DTO} よりも長くドミナントに保持されるハードウェアまたはソフトウェアのフォルトが発生した場合に、ローカル ノードがネットワーク通信をブロックすることを防ぎます。TXD DTO 回路は、TXD の立ち下がりエッジでトリガされます。回路のタイムアウト定数 t_{TXD_DTO} よりも前に立ち上がりエッジが確認されない場合、CAN ドライバはディセーブルされ、バス ラインはリセッシブ レベルに解放されます。これにより、ネットワーク上の他のノード間の通信用にバスが空いた状態になります。CAN ドライバーは、TXD 端末での次の優勢から劣勢への遷移時に再度アクティブ化され、優勢タイムアウトがクリアされます。高速レシーバと RXD 端子は、TXD DTO 故障時に、CAN バス上の状態を反映します。TXD DTO フォルト中に TS 端子が low に駆動されます。

Copyright © 2026 Texas Instruments Incorporated

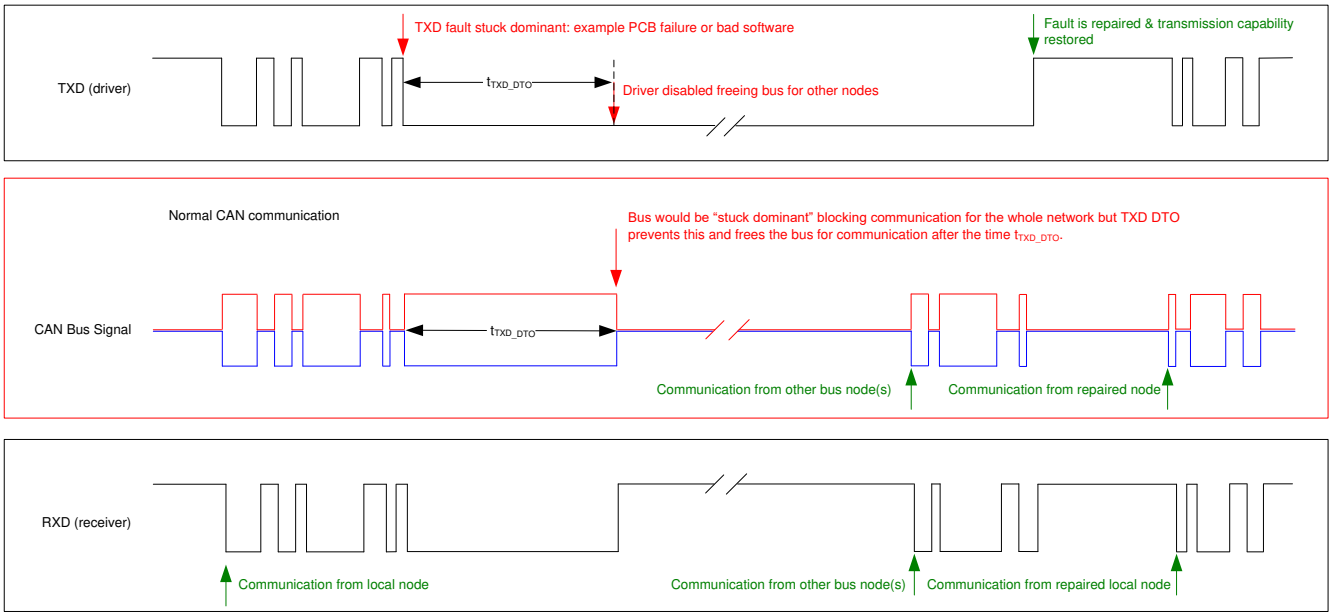


図 7-2. TXD DTO のタイミング図

TXD DTO 回路で許容される最小ドミナント TXD タイムにより、デバイスの可能な最小送信データ レートが制限されます。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナント ビットを許容しています。この場合、5 個の連続したドミナント ビットの直後にエラー フレームが発生します。最小送信データ レートは、最小 t_{TXD_DTO} 時間と連続するドミナント ビットの最大数 (11 ビット) を使用して計算できます。

$$\text{Minimum Data Rate} = 11 \text{ bits} / t_{TXD_DTO} = 11 \text{ bits} / 1.2\text{ms} = 9.2 \text{ kbps} \quad (1)$$

7.3.13.2 サーマル シャットダウン (TSD)

TCAN1167-Q1 の接合部温度がサーマル シャットダウン スレッショルド $T_J > T_{SDR}$ を超えると、デバイスはフェイルセーフ モードに遷移し、CAN バスとの間のトランシーバ トランスミッタとレシーバのブロッキング伝送をディセーブルにします。デバイスの接合部温度がサーマル シャットダウン温度スレッショルド $T_J < T_{SDF}$ を 下回ると、TSD フォルト状態はクリアされます。TSD フォルトの原因となったフォルト状態がまだ存在する場合、温度が再び上昇し、デバイスが再びサーマル シャットダウン状態になる可能性があります。TSD フォルト状態での長時間の動作は、デバイスの信頼性に影響を与える可能性があります。

7.3.13.3 低電圧 / 過電圧誤動作防止

電源端子は、低電圧および過電圧検出回路を実装しています。低電圧が検出されると、TCAN1167-Q1 はリセット モードに遷移します。低電圧イベントが解消されるまで、SBC はリセット モードのままです。

過電圧フォルトが検出されると、TCAN1167-Q1 はフェイルセーフ モードに遷移します。これらのモード変更により、デバイスは既知の状態になり、システムが意図しない動作から保護されます。 を参照 表 7-1 を参照

表 7-1. 低電圧 / 過電圧誤動作防止

フォルト	モード
UV_{CCOUT}	リセット
OV_{CCOUT}	フェイルセーフ

Copyright © 2026 Texas Instruments Incorporated

7.3.13.4 電源喪失

デバイスに電源が供給されていないとき、CAN バスへのパッシブまたは無負荷となるように設計されています。CANH ピンと CANL ピンは、デバイスが電源オフの状態ではリーク電流が低いため、バスに負荷を与えません。これは、ネットワークの一部のノードが電源オフの状態でも、ネットワークの残りのノードが動作している場合に重要です。

また、デバイスの電源がオフになっているときでもロジック端子のリーク電流は低いため、電源が入ったままになっている可能性のある他の回路に端子の負荷がかかることはありません。

7.3.13.5 端子のフローティング

TCAN1167-Q1 には、重要なピンに内部プルアップおよびプルダウンがあり、ピンがフローティングのままの場合に既知の動作を確保するためです。

TXD ピンは V_{CCOUT} にプルアップされ、このピンがフローティングの場合、強制的にリセッシブレベルになります。この内部バイアスは設計上で依存する必要ではなく、安全な方法である必要があります。オープン ドレイン出力を備えた CAN コントローラとともにデバイスを使用する場合は、特別な注意が必要です。このデバイスは、TXD ピンに弱い内部プルアップ抵抗を実装しています。CAN FD データ レートの CAN ビット タイミングについては特別な考慮が必要であるため、オープン ドレイン出力を使用する場合はプルアップ強度を注意深く考慮する必要があります。CAN コントローラの TXD 出力が CAN デバイスへの適切なビット タイミング入力を維持するには、適切な外部プルアップ抵抗を使用する必要があります。

表 7-2. 端子のフェイルセーフ バイアス

端子	プルアップまたはプルダウン	備考
TXD	プルアップ	バスの障害または TXD DTO トリガを防止するため、TXD をリセッシブに弱くバイアスします
nCS	プルアップ	意図しない SPI 通信を防止するため、nCS を high に弱くバイアスします
SCLK	プルダウン	グランドに弱くバイアスされます
INH	プルダウン	グランドに弱くバイアスされます

7.3.13.6 CAN バスの短絡電流制限

TCAN1167-Q1 には、CAN バス ラインが短絡したときに、優位時および劣位時の短絡電流を制限するいくつかの保護機能があります。このデバイスには TXD ドミナント状態タイムアウトがあり、ドミナント状態フォルト時に常に大きな短絡電流が流れることを防ぎます。

CAN 通信中、バスはドミナント状態とリセッシブ状態の間で切り替わります。したがって、短絡電流は、各バス状態における電流として、または DC 平均電流として見ることができます。終端抵抗とコモン モード チョークのシステム電力を考慮する場合、平均短絡電流を使用する必要があります。パーセンテージドミナントは、TXD 優勢状態のタイムアウトと CAN プロトコルによって制限されます。このプロトコルでは、ビットの詰め、制御フィールド、フレーム間空間など強制的に状態が変化し、リセッシブビットが使用されています。これにより、データ フィールドにドミナント ビットが高割合で含まれている場合でも、バス上のリセッシブ時間が最小限になるようにします。

バスの短絡電流は、リセッシブ ビットとドミナント ビットの比率と、それぞれの短絡電流に依存します。平均短絡電流は、式 2 で計算できます。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}] \quad (2)$$

ここで

- $I_{OS(AVG)}$ は平均短絡電流です
- %Transmit は、ノードが CAN メッセージを送信している割合です
- %Receive は、ノードが CAN メッセージを受信している割合です
- %REC_Bits は、送信された CAN メッセージ内のリセッシブ ビットの割合です
- %DOM_Bits は、送信された CAN メッセージ内のドミナントビットの割合です
- $I_{OS(SS)_REC}$ は、リセッシブ定常状態の短絡電流です

Copyright © 2026 Texas Instruments Incorporated

- $I_{OS(SS)_DOM}$ は、ドミナント定常状態の短絡電流です

終端抵抗やその他のネットワーク コンポーネントの電力定格の大きさを決定するときは、短絡電流やネットワークで起こりうるフォルト ケースを考慮してください。

7.3.13.7 スリープ ウェイク エラー タイマ

スリープ ウェイク エラー (SWE) タイマ $t_{INACTIVE}$ は、特定の外部機能および内部機能が動作しているかどうかを判定するために使用されるタイマです。SWE タイマは、デバイスがスタンバイ モードに移行すると開始し、スタンバイ モードでのみ動作します。モード遷移により、タイマは停止します。デバイスがスタンバイ モードの間にタイマがタイムアウトすると、INT_1 レジスタの WKERR 割り込みビットがセットされ、レジスタ 8'h51[4] と RXD ピンが low になり、割り込みを示します。TCAN1167-Q1 はその後スリープ モードに移行します。

7.3.14 ウォッチドッグ

TCAN1167-Q1 は、ウォッチドッグ機能を内蔵しています。TCAN1167-Q1 は、SPI プログラミングを使用して選択可能なウィンドウ ベースのウォッチドッグに加えて、自律型タイムアウトまたは (Q&A) ウォッチドッグを備えています。この機能はデフォルトでは無効です。イネーブルのとき、ウォッチドッグ タイマは最初のウォッチドッグ トリガ イベントとしてモード遷移を処理します。

ウォッチドッグ、自律モード、タイムアウト、ウィンドウ、Q&A の 4 つのバージョンすべてが、通常モードとサイレント モードで使用できます。スタンバイ モードになると、本デバイスは自動的にタイムアウト ウォッチドッグに移行します。自律が選択されている場合、スタンバイに移行すると自律設定が保持されます。スリープ モードでは、ウォッチドッグ タイマはオフになります。

7.3.14.1 ウォッチドッグ エラー カウンタ

TCAN1167-Q1 にはウォッチドッグ エラー カウンタがあります。このカウンタは、見逃したウィンドウや入力ウォッチドッグのトリガ イベントごとにインクリメントするアップダウン カウンタです。正しい入力トリガごとに、カウンタはデクリメントしますが、ゼロを下回ることはありません。このカウンタのデフォルトのトリガは、ウォッチドッグ エラー イベントをトリガするように設定されています。このカウンタは、5 番目または 9 番目のエラーに変更できます。エラー カウンタは、レジスタ 8'h13[3:2] で読み出すことができます。

7.3.14.2 ウォッチドッグ SPI 制御プログラミング

ウォッチドッグはレジスタ 8'h13 ～ 8'h15 を使用して設定および制御されます。表 7-3 に、これらのレジスタを示します。TCAN1167-Q1 ウォッチドッグは、8'h13[7:6] を選択方式に設定することで、自律型、タイムアウト、ウィンドウまたは (Q&A) ウォッチドッグとして設定できます。タイムアウトおよびウィンドウ ウォッチドッグ タイマは、レジスタ 8'h13[5:4] WD プリスケーラおよび 8'h14[7:5] WD タイマに基づいており、単位は ms です。実現可能な時間については、表 7-3 を参照してください。より小さな時間枠を使用する場合は、ウォッチドッグのタイムアウト バージョンを使用することをお勧めします。これは、4ms ～ 64ms の時間です。

表 7-3. ウォッチドッグ ウィンドウおよびタイムアウト タイマ構成 (ms)

WD_TIMER (ms)	8'h13[5:4] WD_PRE			
8'h14[7:5]	00	01	10	11
000	4	8	12	16
001	32	64	96	128
010	128	256	384	512
011	256	384	512	768
100	512	1024	1536	2048
101	2048	4096	6144	8192
110	10240	20240	RSVD	RSVD
1111	RSVD	RSVD	RSVD	RSVD

Copyright © 2026 Texas Instruments Incorporated

注

ウォッチドッグの動作中にタイミングパラメータが変更された場合、WD は新しいパラメータがプログラムされ、新しいタイミング パラメータに基づいて実行されるまで、最初の入力トリガ イベントが終了します。

7.3.14.3 ウォッチドッグ タイミング

このデバイスには、ウォッチドッグを設定するための 4 つの方法があります。64ms 未満の頻度では、入力トリガ イベントが望ましい場合は、タイムアウト タイマーを使用することをお勧めします。タイムアウト タイマーは、タイムアウト イベント内のイベントであり、開いているウィンドウに固有ではないためです。

自律ウォッチドッグは、タイムアウト ウォッチドッグの一種です。タイムアウトとの違いは、タイムアウトが有効になっている場合です。スタンバイ (RXD = High なので、ウェーク イベントはありません) またはスリープ モードでは、ウェーク イベントは自律動作に影響を及ぼします。スタンバイ モードでのウェーク イベントは、ウォッチドッグ トリガ イベントとして扱われます。スタンバイでのウェーク イベントをクリアすると、ウォッチドッグがディセーブルされ、RXD = H に設定されます。デバイスがスタンバイ モードのままに別のウェーク イベントが発生した場合、WD トリガ イベントとして処理されます。スリープ モードでは、WD はオフですが、ウェイク イベントによってデバイスはスタンバイ モードに移行し、WD トリガ イベントとして扱われます。通常のタイムアウト ウォッチドッグ (または他のウォッチドッグ) では、タイマを開始するためにモード遷移が必要です。ウェーク イベントに基づいてトリガーを実行できるのは、自律のみです。通常モードでは、自律はタイムアウト (常にイネーブル) のように動作します。

ウィンドウウォッチ ドッグを使用する場合、クローズ ウィンドウとオープン ウィンドウの特徴を理解しておくことが重要です。このデバイスは、50%/50% のオープン ウィンドウと閉ウィンドウで設定され、±10% の精度範囲を持つ内部発振器を基礎としています。入力トリガを提供するタイミングを決定するには、このばらつきを考慮する必要があります。公称合計 60ms のウィンドウを使用すると、それぞれ 30ms のクローズ ウィンドウとオープン ウィンドウが得られます。±10% の内部発振器を考慮すると、合計ウィンドウは 54ms、t_{WINDOW}、MIN または 66ms、t_{WINDOW} MAX になります。閉およびオープン ウィンドウは 27ms、T_{WDOUT} 最小値または 33ms、T_{WDOUT} 最小値になります。合計 54ms、クローズ ウィンドウ 33ms から、オープン ウィンドウの合計は 21ms になります。トリガ イベントは、43.5ms±10.5ms の安全トリガ領域で発生する必要があります。他のウィンドウ値にも同じ方法が使用されます。図 7-3 上記の情報をグラフィカルに提供します。WD トリガが書き込まれると、現在のウィンドウは終了し、新しいクローズ ウィンドウが開始されます。

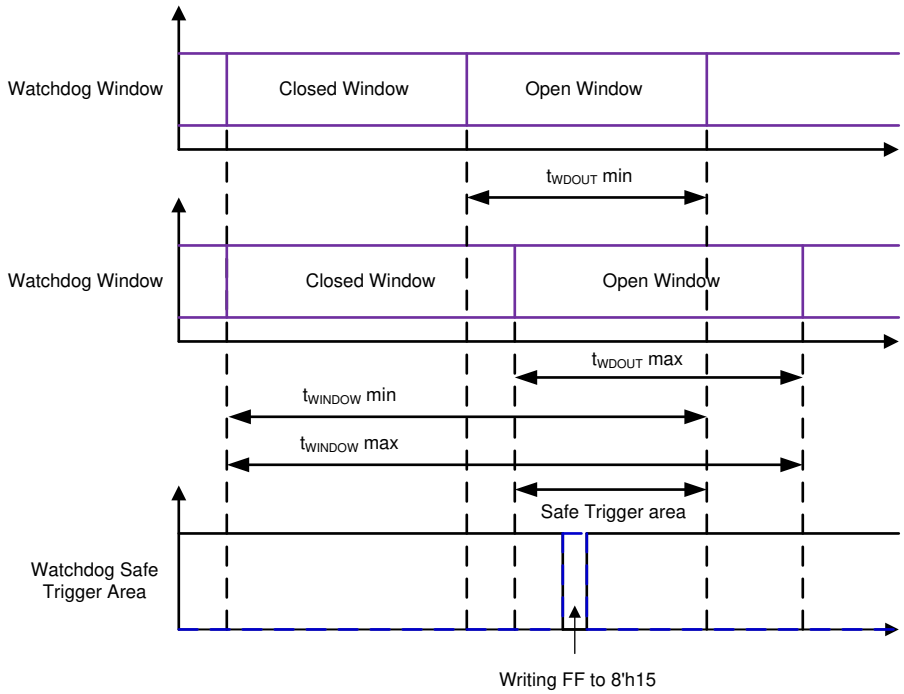


図 7-3. ウィンドウ ウォッチドッグのタイミング図

Copyright © 2026 Texas Instruments Incorporated

7.3.14.4 Q&A ウォッチドッグ

TCAN1167-Q1 は、ウィンドウ ウォッチドッグと Q&A ウォッチドッグをサポートするウォッチドッグ タイマを備えています。

セクション 7.3.14.5 に、WD 初期化イベントを示します。

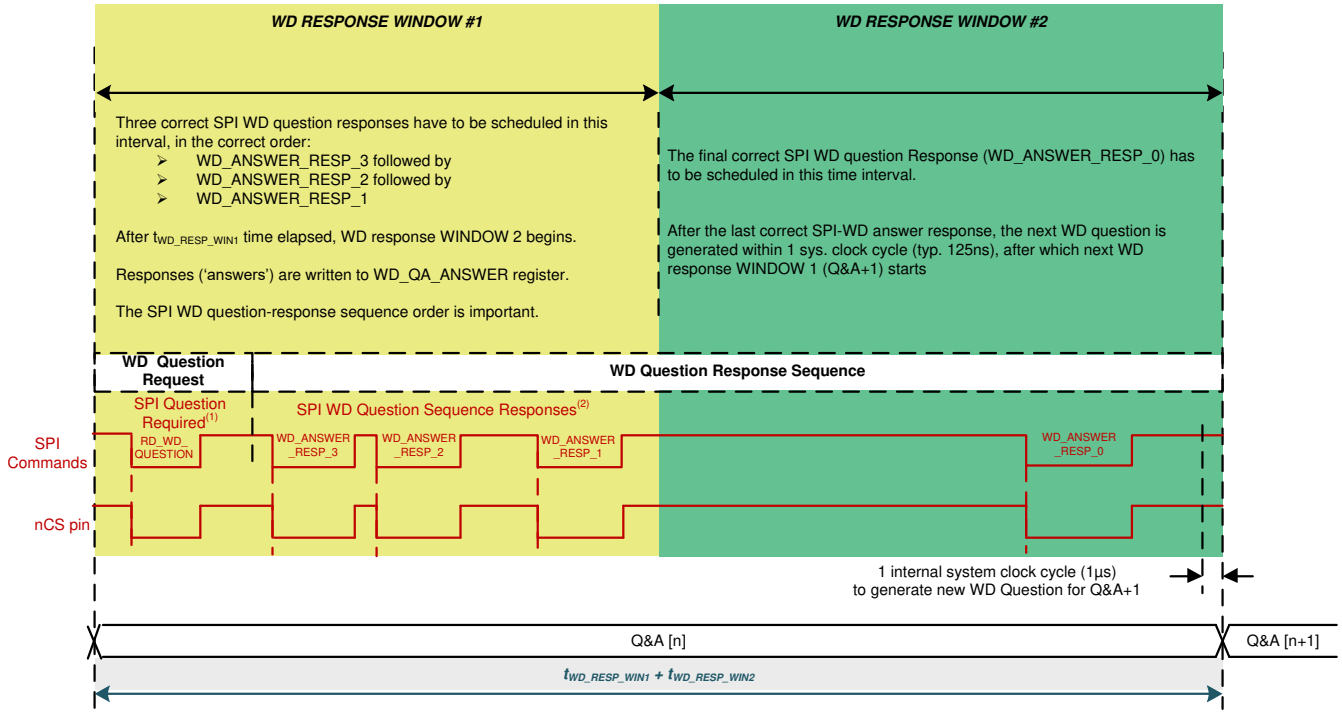
7.3.14.4.1 WD Q&A 基本情報

Q&A ウォッチドッグはウォッチドッグの一種で、MCU は SPI 書き込みまたはピン トグルによってウォッチドッグをリセットする代わりに、TCAN1167-Q1 から「質問」を読み取り、計算した回答を TCAN1167-Q1 に書き戻します。正解は 4 バイトで応答します。正しい答えを得るには、各バイトを順番に正しいタイミングで書き込む必要があります。

ウォッチドッグ ウィンドウには、WD 応答ウィンドウ#1 および WD 応答ウィンドウ#2 (例として 図 7-4WD QA ウィンドウ) という 2 つのウォッチドッグ ウィンドウがあります。各ウィンドウのサイズはウォッチドッグ時間全体の 50% であり、この時間は WD_TIMER ビットと WD_PRE レジスタ ビットから選択します。

ウォッチドッグの質問と回答は、完全なウォッチドッグ サイクルです。一般的なプロセスとしては、MCU が質問を読み取ることで、質問が読み出されるとタイマが開始されます。CPU は質問に対して数学的な関数を実行する必要があり、結果として 4 バイトの回答が得られます。4 つの回答バイトのうち 3 つは、最初のウィンドウ内の回答レジスタに正しい順序で書き込む必要があります。WD 応答ウィンドウ#2 の内部で、最初の応答ウィンドウの後に最後の回答を回答レジスタに書き込む必要があります。4 つの回答バイトすべてが正しい順序であれば、応答は良いとみなされ、新しい質問が生成され、サイクルが再度開始されます。WD 応答ウィンドウ#2 に 4 番目の回答が書き込まれると、そのウィンドウは終了し、新しい WD 応答ウィンドウ#1 が開始されます。

正しくない、または欠落している場合、応答は「不適切」とみなされ、ウォッチドッグの質問は変更されません。また、エラーカウンタがインクリメントされます。このエラーカウンタがスレッショルド (WD_ERR_CNT レジスタ フィールドで定義) に達すると、ウォッチドッグ フォルト アクションが実行されます。アクションの例としては、割り込みやリセット トグルなどがあります。



A. MCU は WD 質問を要求する必要はありません。MCU は、正しい回答から開始できます。応答ウィンドウ 1 内の任意の場所で WD_ANSWER_RESP_x バイトから始めることができます。新しい WD 質問は、前の WD Q&A シーケンス実行中に最後の WD_ANSWER_RESP_0 回答が発生した後、常に 1 システム クロック サイクル以内に生成されます。

Copyright © 2026 Texas Instruments Incorporated

B. WD_ANSWER_RESP_[3:1] バイトが応答ウィンドウ 1 内に与えられ、WD_ANSWER_RESP_0 が応答ウィンドウ 2 内に与えられていれば、MCU は WD 関数に影響を及ぼさずに WD_ANSWER_RESPx 応答の間の他の SPI コマンド (WD の質問を要求するコマンドであっても) をスケジュールできます。

図 7-4. WD Q&A マルチアンサー モードでの WD Q&A シーケンスの実行

7.3.14.4.2 Q&A レジスタおよび設定

ウォッチドッグ レジスタ表 7-4 の構成には、いくつかのレジスタが使用されています。

表 7-4. ウォッチドッグ関連レジスタの一覧

レジスタ・アドレス	レジスタ名	説明
0x13	WD_CONFIG_1	フォルト発生時のウォッチドッグの設定とアクション
0x14	WD_CONFIG_2	ウィンドウの時刻を設定し、現在のエラー カウンタ値を表示します
0x15	WD_INPUT_TRIG	ウォッチドッグをリセットまたは開始するためのレジスタ
0x16	WD_RST_PULSE	ウォッチドッグ フォルト発生時のリセット パルス幅
0x2D	WD_QA_CONFIG	QA 設定に関連する設定
0x2E	WD_QA_ANSWER	計算された回答を書き込むための登録
0x2F	WD_QA_QUESTION	現在の QA 質問を読んでください

WD_CONFIG_1 および WD_CONFIG_2 レジスタは主に、ウォッチドッグ ウィンドウ時間長の設定に対処します。ウィンドウ サイズのオプション、および WD_TIMER 値と WD_PRE 値に必要な値については、表 7-3 を参照してください。2 つの応答ウィンドウのそれぞれが、選択した値の半分であることに注意してください。ウォッチドッグ QA イベントごとに複数バイトの SPI を使用する必要があるため、QA ウォッチドッグ機能を使用する場合は 64ms を超えるウィンドウを使用することを推奨します。

また、ウォッチドッグ エラー カウンタがエラー カウンタ スレッショルドに達したときに実行できるアクションもいくつかあります。

7.3.14.4.3 WD Q&A 値の生成

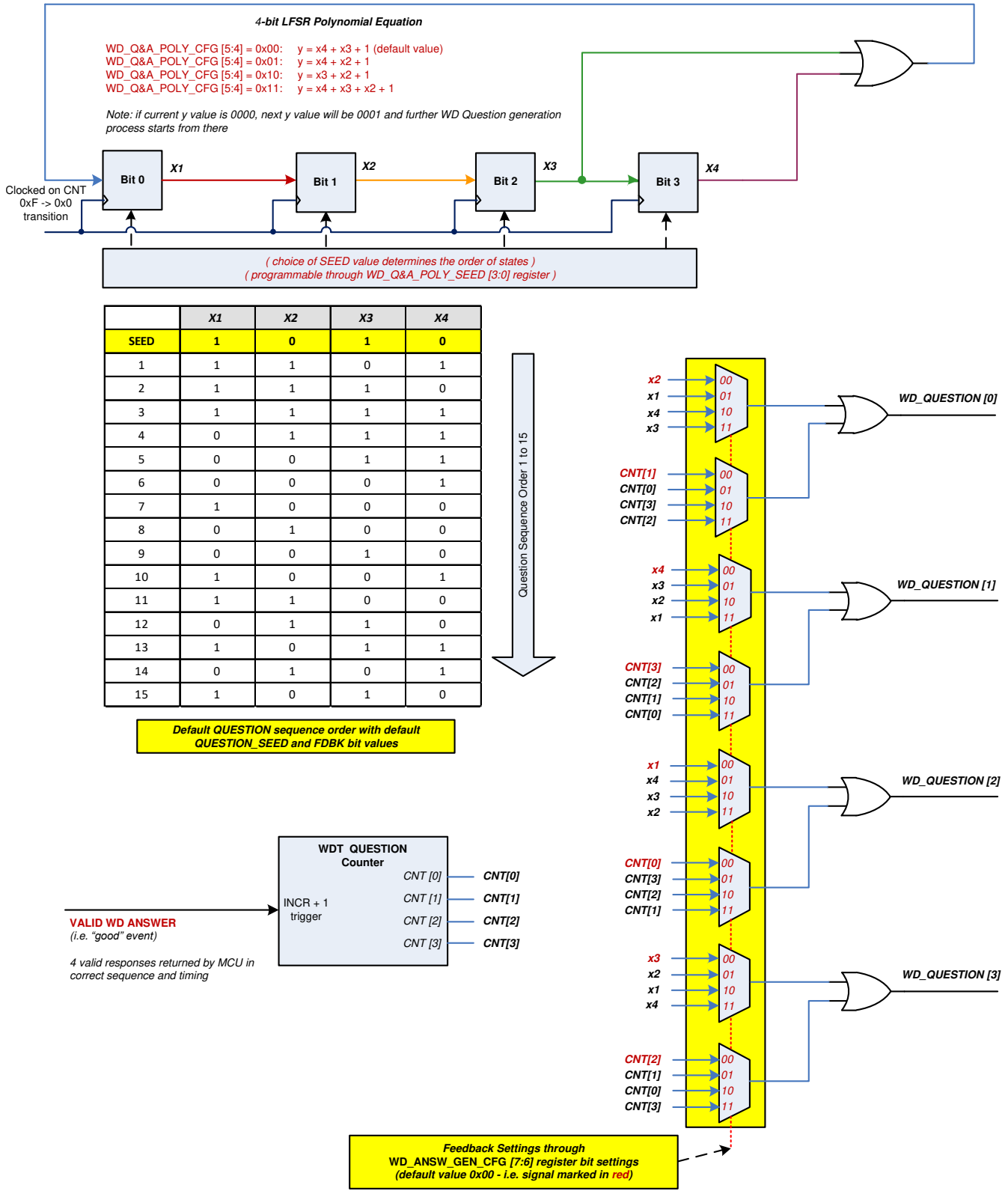
4 ビット WD の質問 WD_QA_QUESTION[3:0] は、4 ビット マルコフ連鎖プロセスによって生成されます。マルコフ連鎖はマルコフ性質を持つ確率過程であり、状態変化は確率的であり、将来の状態は現在の状態にのみ依存することを意味する。各 WD Q&A モードで有効かつ完全な WD 回答シーケンスは、次のとおりです。

- WD Q&A マルチアンサーの場合:
  1. 応答ウィンドウ 1 では、3 つの正しい SPI WD 回答を受信します。
  2. 応答ウィンドウ 2 では、正しい SPI WD 回答 1 つを受信します。
  3. 前述のタイミングに加えて、4 つの応答のシーケンスは正しいものとします。

WD 質問値は WD_QA_QUESTION レジスタの WD_QUESTION[3:0] ビットにラッチされ、いつでも読み出すことができます。

マルコフ連鎖プロセスは、b1111 から b0000 への遷移時に 4 ビットの質問カウンタによってクロックされます。これには、正解の状態が含まれます (正解値と正しいタイミング応答)。4 ビット質問 WD_QUESTION[3:0] 生成のロジック コンビネーションを図 7-5 に示します。

Copyright © 2026 Texas Instruments Incorporated



	X1	X2	X3	X4
SEED	1	0	1	0
1	1	1	0	1
2	1	1	1	0
3	1	1	1	1
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	1	0	0	0
8	0	1	0	0
9	0	0	1	0
10	1	0	0	1
11	1	1	0	0
12	0	1	1	0
13	1	0	1	1
14	0	1	0	1
15	1	0	1	0

A. 現在の *y* 値が 0000 の場合、次の *y* 値は 0001 です。ウォッチドッグ質問生成プロセスはこの値から開始します。

図 7-5. ウォッチドッグ質問生成

Copyright © 2026 Texas Instruments Incorporated

表 7-5 には、質問多項式と回答生成構成が両方ともデフォルト値である限り、各質問に対する回答が含まれます。

表 7-5. デフォルト設定の質問への回答例

WD_QUESTION_VALUE レジスタの質問	WD 回答バイト (各バイトは WD_QA_ANSWER レジスタに書き込まれる)			
	WD_ANSWER_RESP_3	WD_ANSWER_RESP_2	WD_ANSWER_RESP_1	WD_ANSWER_RESP_0
WD_QUESTION	WD_ANSW_CNT 2'b11	WD_ANSW_CNT 2'b10	WD_ANSW_CNT 2'b01	WD_ANSW_CNT 2'b00
0x0	FF	0F	F0	00
0x1	B0	40	BF	4F
0x2	E9	19	E6	16
0x3	A6	56	A9	59
0x4	75	85	7A	8A
0x5	3A	CA	35	C5
0x6	63	93	6C	9C
0x7	2C	DC	23	D3
0x8	D2	22	DD	2D
0x9	9D	6D	92	62
0xA	C4	34	CB	3B
0xB	8B	7B	84	74
0xC	58	A8	57	A7
0xD	17	E7	18	E8
0xE	4E	BE	41	B1
0xF	01	F1	0E	FE

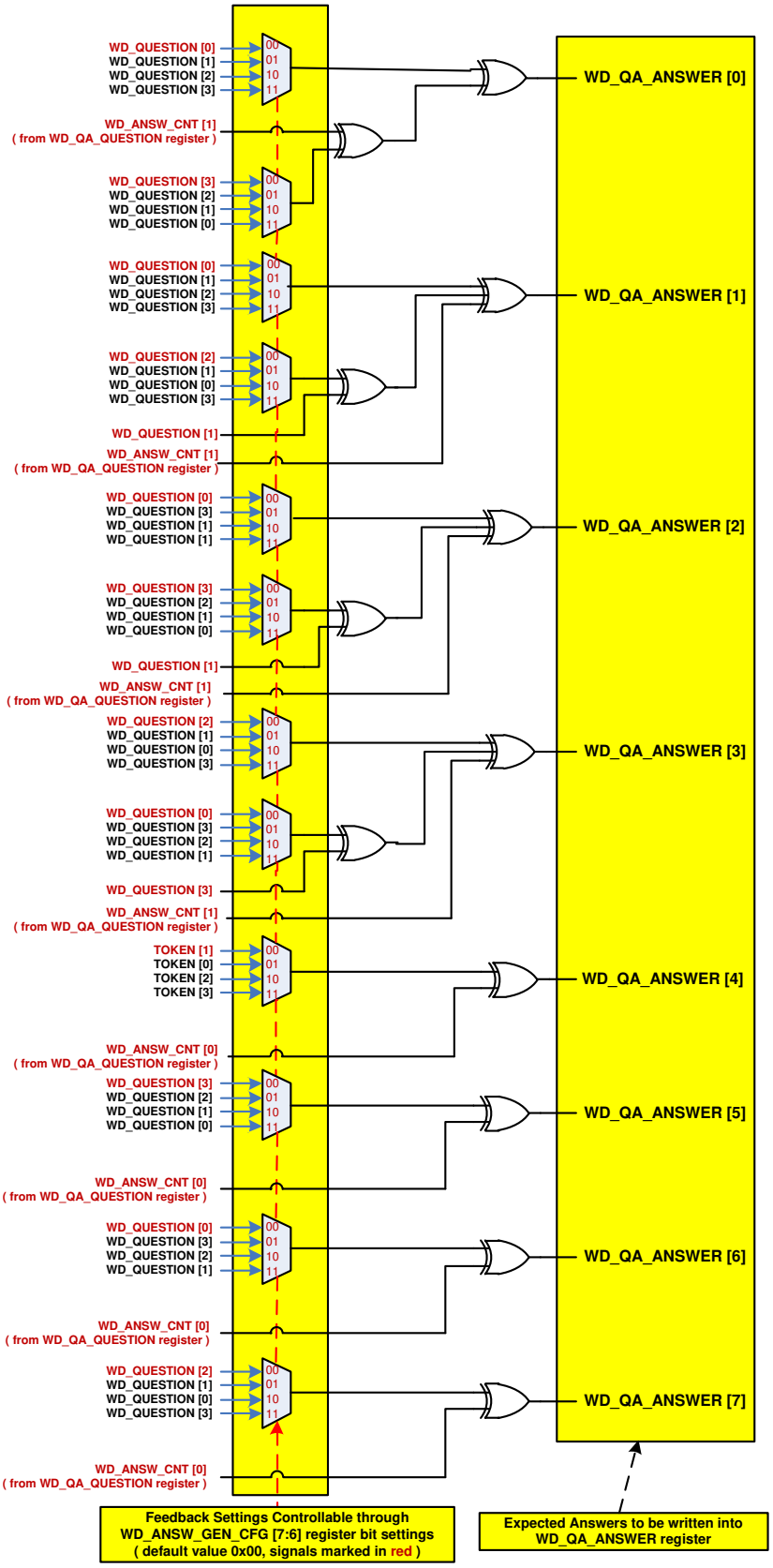


図 7-6. WD 予期される回答生成

Copyright © 2026 Texas Instruments Incorporated

表 7-6. WD Q&A マルチアンサー モード (WD_CFG = 0b) の正しい WD Q&A シーケンスの実行シナリオと誤り

WD 回答数		アクション	WD_QA_QUESTION レジスタの WD ステータス ビット		コメント
応答 ウィンドウ 1	応答 ウィンドウ 2		QA_ANSW_ERR	WD_ERR[1]	
0 回答	0 回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	回答なし
0 回答	4 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	WD_ANSW_CNT[1:0] の合計 = 4
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	WD_ANSW_CNT[1:0] の合計 = 4
0 回答	1 正解	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	応答ウィンドウ 1 に正解が 3 つ未満、応答ウィンドウ 2 に正解が 1 つ (合計 WD_ANSW_CNT[1:0]<4)
1 正解	1 正解				
2 正解	1 正解				
0 回答	1 つの正しくない回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	応答ウィンドウ 1 で正解が 3 つ未満、応答ウィンドウ 2 で正しくない回答が 1 つ (合計 WD_ANSW_CNT[1:0]<4)
1 正解	1 つの正しくない回答				
2 正解	1 つの正しくない回答				
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	WIN1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0]= 4)
1 正解	3 正解				
2 正解	2 正解				
0 回答	4 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0]= 4)
1 正解	3 つの正しくない回答				
2 正解	2 つの正しくない回答				
0 回答	3 正解	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0]<4)
1 つの正しくない回答	2 正解	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	
2 つの正しくない回答	1 正解				
0 回答	3 つの正しくない回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0]<4)
1 つの正しくない回答	2 つの正しくない回答				
2 つの正しくない回答	1 つの正しくない回答				
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0]=4)
1 つの正しくない回答	3 正解		1b	1b	
2 つの正しくない回答	2 正解				
0 回答	4 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0]=4)
1 つの正しくない回答	3 つの正しくない回答				
2 つの正しくない回答	2 つの正しくない回答				
3 正解	0 回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	応答ウィンドウ 1 で正解が 4 つ未満、応答ウィンドウ 2 で 0 以上 (合計 WD_ANSW_CNT[1:0]<4)
2 正解	0 回答		0b	1b	
1 正解	0 回答				
3 正解	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの減算 - 新しい WD サイクルは新しい WD 質問から開始されます	0b	0b	正しい順序

表 7-6. WD Q&A マルチアンサー モード (WD_CFG = 0b) の正しい WD Q&A シーケンスの実行シナリオと誤り (続き)

WD 回答数		アクション	WD_QA_QUESTION レジスタの WD ステータス ビット		コメント
応答 ウィンドウ 1	応答 ウィンドウ 2		QA_ANSW_ERR	WD_ERR(1)	
3 正解	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	WD_ANSW_CNT[1:0] の合計 = 4
3 つの正しくない回答	0 回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	合計 WD_ANSW_CNT[1:0] < 4
3 つの正しくない回答	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	WD_ANSW_CNT[1:0] の合計 = 4
3 つの正しくない回答	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	WD_ANSW_CNT[1:0] の合計 = 4
4 正解	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	1b	
3 正解 + 1 つ正しくない回答	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	1b	応答ウィンドウ 1 で 4 正解または正しくない回答
2 正解 + 2 つ正しくない回答	該当なし				
1 正解 + 3 つ正しくない回答	該当なし				

(1) WD_ERR は、すべての WD エラーの論理 OR です。

Copyright © 2026 Texas Instruments Incorporated

7.3.14.5 Q&A WD の例

この例では、次の構成設定表 7-7 を含む単一のシーケンスを見ていきます。

表 7-7. 設定例

項目	値	説明
ウォッチドッグ ウィンドウ サイズ	1024ms	ウィンドウ サイズは 1024ms
応答生成オプション	0 (デフォルト)	応答生成設定
質問多項式	0 (デフォルト)	質問の生成に使われる多項式
多項式シードに質問します	9 (デフォルト)	質問を生成するために使用される多項式シード
WD エラー カウンタ制限	15	15 番目のフェイル イベントでは、ウォッチドッグ アクションを実行します

7.3.14.5.1 目的の挙動の設定例

表 7-8 レジスタ書き込みを行うと、上記で指定した動作例に本デバイスが構成されます。ほとんどの設定は、電源オン時のデフォルト設定です。

表 7-8. レジスタ構成の書き込みの例

ステップ	登録	データ
1	WD_CONFIG_1 (0x13)	[W] 0b11011101 / 0xDD
2	WD_CONFIG_2 (0x14)	[W] 0b10000000 / 0x80
3	WD_QA_CONFIG (0x2D)	[W] 0b00001010 / 0x0A

7.3.14.5.2 Q&A シーケンスの実行例

通常のシーケンスの概要は、次のとおりです。

1. 質問を読んでください
2. 4 つの回答バイトを計算します
3. 最初の応答ウィンドウ内に 3 つ送信します
4. 2 番目の応答ウィンドウで、最後のバイトを待機して送信します

最初のループ シーケンスの例については、表 7-9 を参照してください。

表 7-9. 最初のループの例

ステップ	登録	データ	説明
1	WD_INPUT_TRIG (0x15)	[W] 0xFF	ウォッチドッグを起動します (まだ開始されていないため)。また、応答ウィンドウ 1 が終了してウィンドウ 2 が開始するときにフラグを立てるようにタイマを内部的に維持します。
2	WD_QA_QUESTION (0x2F)	[R] 0x3C	質問を読んでください。質問は 0x3C です
3	WD_QA_ANSWER (0x2E)	[W] 0x58	回答 3 を書く (回答を見るには、デフォルト設定の質問に対する表 7-5 回答の例を参照)
4	WD_QA_ANSWER (0x2E)	[W] 0xA8	回答 2 を書く
5	WD_QA_ANSWER (0x2E)	[W] 0x57	回答 1 を書く。
6	WD_QA_ANSWER (0x2E)	[W] 0xA7	ウィンドウ 2 が開始したら、回答 0 を書き込みます

この時点で WD_QA_QUESTION (0x2F) レジスタを読み取って、エラーカウンタが増加したか、QA エラーが設定されているかどうかを確認できます。

Copyright © 2026 Texas Instruments Incorporated

7.3.15 バス フォルト検出および通信

TCAN1167-Q1 は先進バス フォルト検出を備えています。TCAN1167-Q1 は、説明のために使用しています。デバイスは、特定のフォルト状態を判定し、ステータス / 割り込みフラグを設定して、マイコンがフォルトの内容を理解できるようにします。検出が実行され、各ドミナント ビットが 2µs 以上で、4 つのドミナントからリセッシブへの遷移中にフォルトが存在する場合に記録されます。終端抵抗が両端にある他のバス アーキテクチャと同様に、すべてのフォルトを最小レベル、つまり正確な位置に指定できるわけではありません。フォルト検出回路は、CANH および CANL ピン (電流) を監視して、バッテリへの短絡、グランドへの短絡、相互への短絡、開放の有無を判定しています。システムの観点からは、デバイスの位置が検出できる故障に影響を与える可能性があります。ノード位置の例と、それらが実際のフォルトの場所を決定する能力にどのように影響するかについては、図 7-7 を参照してください。図 7-8 から図 7-12 に、3 ノード構成に基づく各種バス フォルトを示します。表 7-10 に、何を検出できるのか、どのデバイスにより検出できるのかを示します。

バス フォルト検出は、システム レベルの状況です。ECU でフォルトが発生している場合、バスの一般的な通信が損なわれます。ノードを完全にカバレッジするには、各ノードにシステム レベルの診断ステップと、それらを中央ポイントに送り返す機能が必要です。

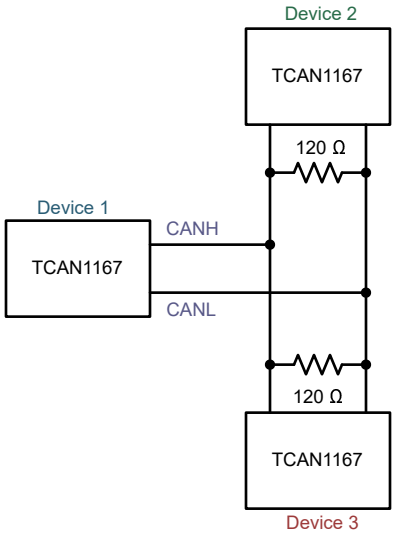


図 7-7. 3 ノードの例

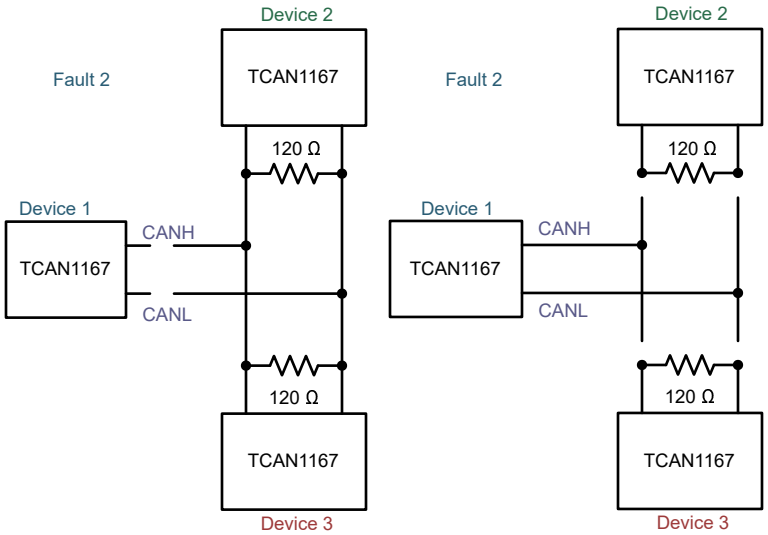


図 7-8. フォルト 2 の例

Copyright © 2026 Texas Instruments Incorporated

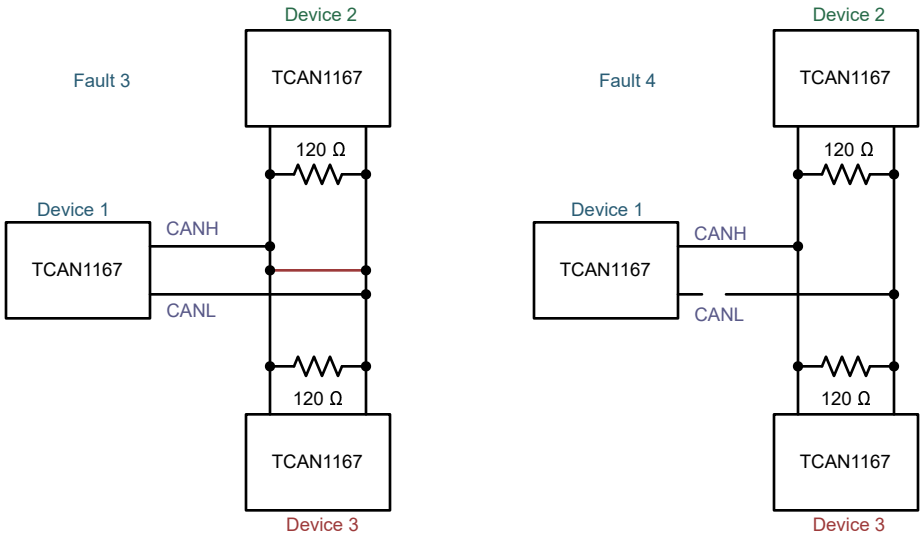


図 7-9. フォルト 3 と 4 の例

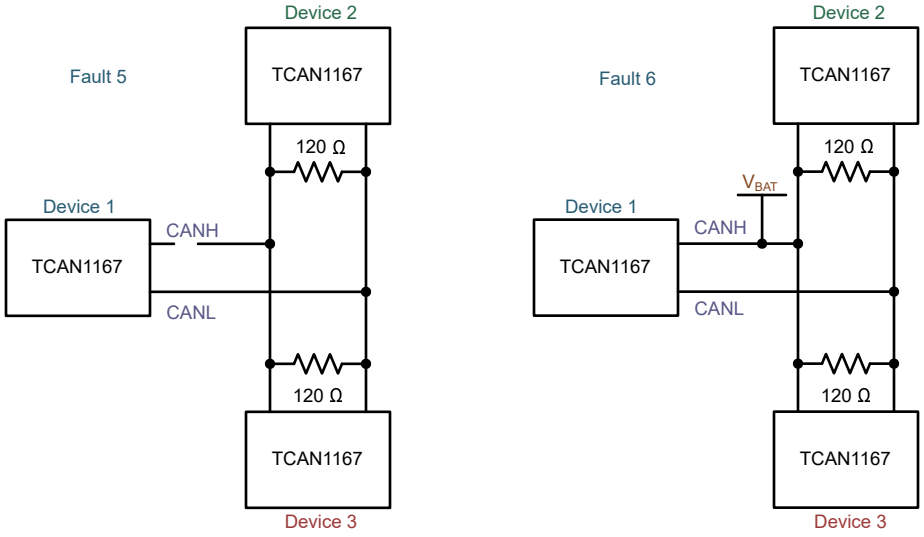


図 7-10. フォルト 5 と 6 の例

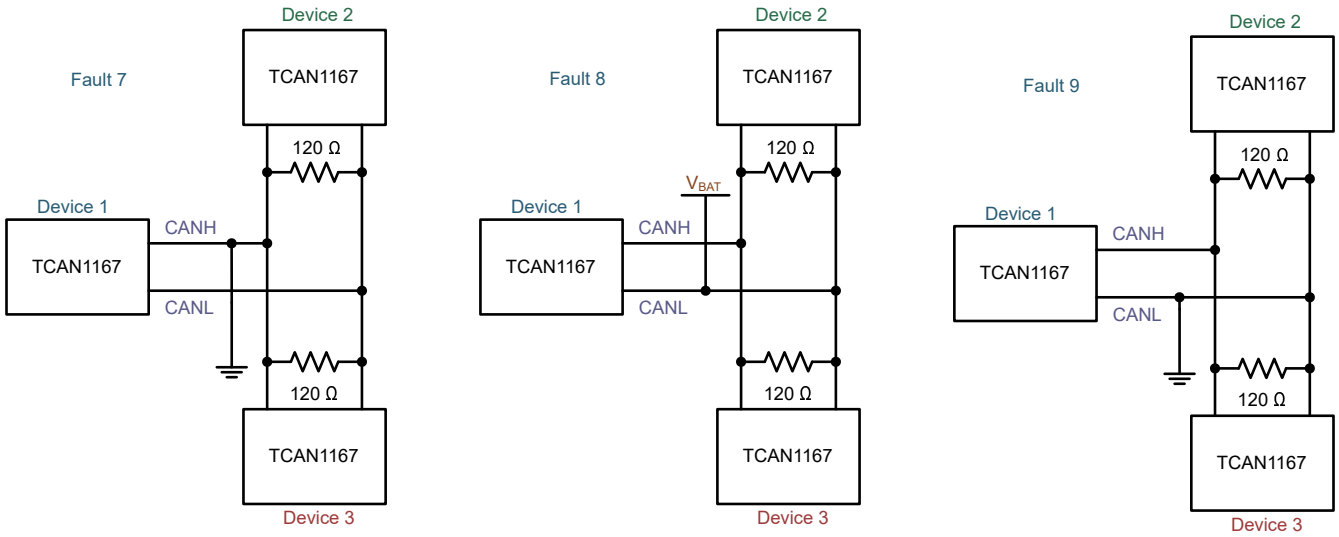


図 7-11. フォルト 7、8、9 の例

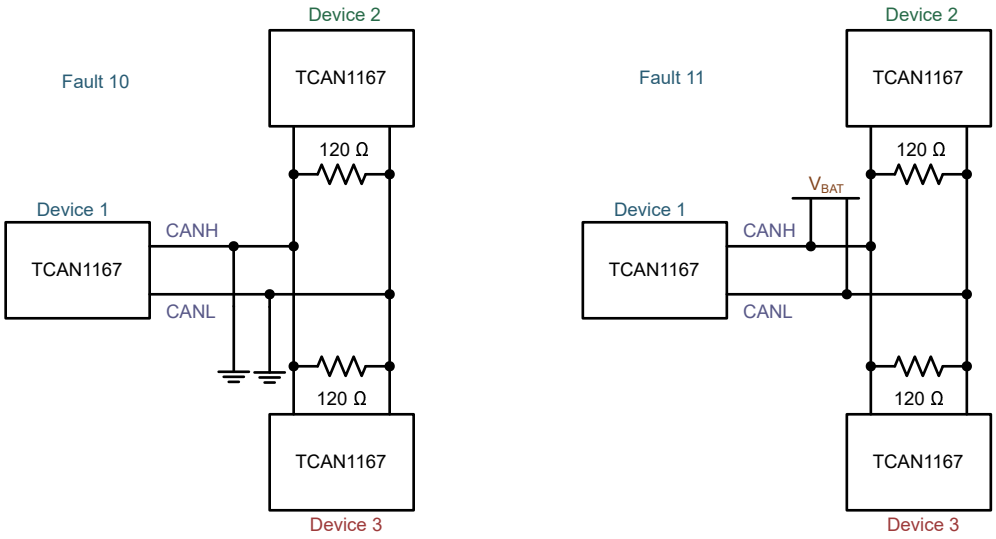


図 7-12. フォルト 10 と 11 の例

表 7-10. バス フォルト ピンの状態および検出表

フォルト番号	CANH	CANL	フォルト検出
1	予約済み	予約済み	予約済み
2	オープン	オープン	オープンな場所に応じて、デバイスはこれを終端なしと検出します。
3	オープン	正常	はい、しかし、それとフォルト 2 とフォルト 4 の違いを見分けることはできません。デバイス 2 とデバイス 3 はこのフォルトを表示しません
4	正常	オープン	はい、しかし、それとフォルト 2 とフォルト 3 の違いを見分けることはできません。デバイス 2 とデバイス 3 はこのフォルトを表示しません
5	CANL へ短絡	CANH へ短絡	はい、しかし、場所はありません
6	V_{bat} と短絡	正常	はい、しかし、場所はありません
7	GND へ短絡	正常	はい、しかし、これとフォルト 10 の違いを見分けることはできません
8	正常	V_{bat} と短絡	はい、しかし、これとフォルト 11 の違いを見分けることはできません
9	正常	GND へ短絡	はい、しかし、場所はありません
10	GND へ短絡	GND へ短絡	はい、しかし、これとフォルト 7 の違いを見分けることはできません

Copyright © 2026 Texas Instruments Incorporated

表 7-10. バス フォルト ピンの状態および検出表 (続き)

フォルト番号	CANH	CANL	フォルト検出
11	V_{bat} と短絡	V_{bat} と短絡	はい、しかし、これとフォルト 8 の違いを見分けることはできません

表 7-11. バス フォルト割り込みフラグからフォルト検出番号へのマッピング

アドレス	ビット (S)	デフォルト	FLAG	説明	フォルト検出	アクセス
8'h54	7	1'b0	RSVD	予約済み		
	6	1'b0	RSVD	予約済み		
	5	1'b0	CANHCANL	CANH と CANL が同時に短絡	フォルト 5	R/WC
	4	1'b0	CANHBAT	CANH は V_{bat} に短絡	フォルト 6	R/WC
	3	1'b0	CANLGND	CANL は GND へ短絡	フォルト 9	R/WC
	2	1'b0	CANBUSOPEN	CAN バス オープン (3 箇所のうちの 1 つ)	フォルト 2、3、4	R/WC
	1	1'b0	CANBUSGND	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡	障害 7 と 10	R/WC
	0	1'b0	CANBUSBAT	CANL が Vbat に短絡、または CANH と CANL の両方が Vbat に短絡	障害 8 と 11	R/WC

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

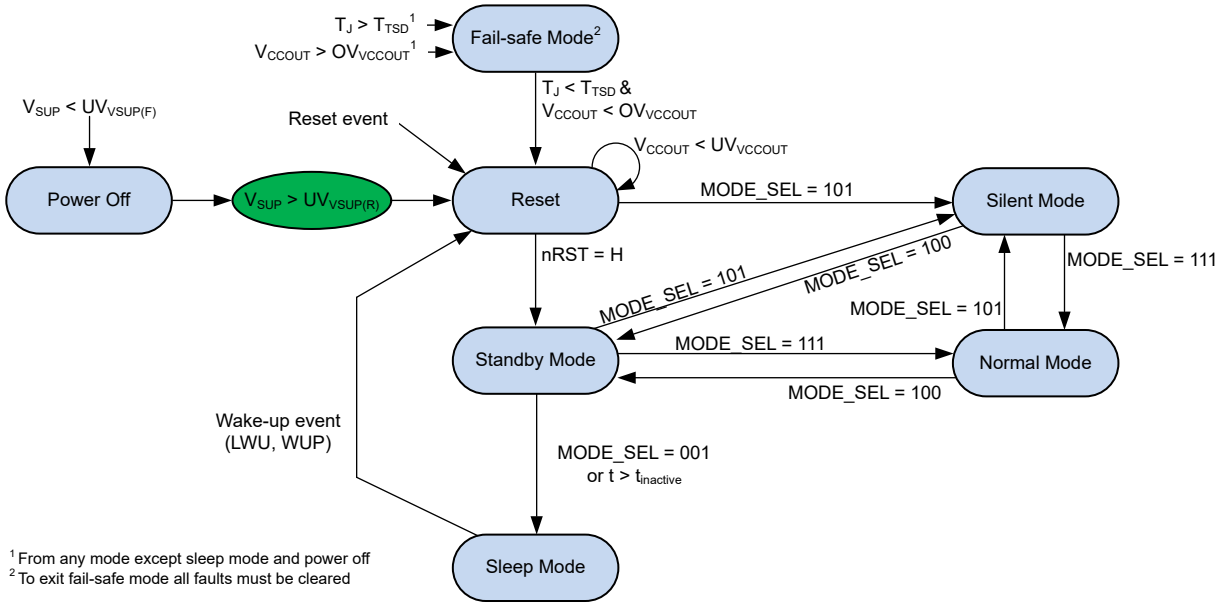


図 7-13. TCAN1167 のステート マシン

表 7-12. TCAN1167 モードの概要

ブロック	電源オフ	リセット	フェイルセーフ	通常	スタンバイ	サイレント	スリープ
V_{CCOUT}	オフ	オン	オフ	オン	オン	オン	オフ
INH	オフ	V_{SUP}	V_{SUP}	V_{SUP}	V_{SUP}	V_{SUP}	オフ
低消費電 CAN RX	オフ	オフ	故障決定	オフ	アクティブ	オフ	アクティブ
CAN トランスミッタ	オフ	CAN 自律	オフ	CAN がアクティブ	CAN 自律	オフ	CAN 自律
CAN レシーバ	オフ	CAN 自律	オフ	CAN がアクティブ	CAN 自律	CAN がアクティブ	CAN 自律
RXD	高インピーダンス	V_{CCOUT}	V_{CCOUT}	バスの状態を反映します	入場料別	バスの状態を反映します	V_{CCOUT}
ウォッチドッグ	オフ	オフ	オフ	アクティブ	アクティブ	アクティブ	オフ
SPI	ディセーブル	ディセーブル	故障決定	アクティブ	アクティブ	アクティブ	ディセーブル

7.4.1 動作モードの説明

7.4.1.1 通常モード

これは、本デバイスの通常の動作モードです。CAN ドライバとレシーバは完全に動作し、CAN 通信は双方向です。このドライバは、TXD デジタル入力を、CANH および CANL の差動出力に変換します。レシーバは、CANH および CANL からの差動信号を RXD のデジタル出力に変換します。通常モードでは、$t_{INACTIVE}$ タイマはアクティブではありません。

7.4.1.2 サイレント モード

サイレント モードは、一般にリッスン専用および受信専用モードと呼ばれます。このモードでは、CAN ドライバは無効になりますが、レシーバは完全に動作し、CAN 通信はデバイスに単方向です。レシーバは、CANH および CANL からの差動信号を RXD 端子のデジタル出力に変換します。

サイレント モードは通常モードと同様ですが、TXD は無視されます。RXD は通常モードとまったく同じように動作します。

Copyright © 2026 Texas Instruments Incorporated

7.4.1.3 スタンバイ モード

ウェイク イベントまたはフォルトが検出されると、スタンバイ モード中に RXD 出力ピンが low にアサートされます。POR はウェーク イベントとしてカウントされ、RXD が low にラッチされることに注意してください。

スタンバイ モードでは、フェイルセーフ タイマ $t_{INACTIVE}$ が有効になります。$t_{INACTIVE}$ タイマーは、タイマーの期限が切れる前にシステム コントローラが TCAN1167-Q1 を通常モードに設定することを要求することで、追加の保護層を追加します。この機能は、プロセッサが正常に起動しない場合に、TCAN1167-Q1 を最低電力モード、つまり SWE 割り込みフラグが設定されたスリープ モードに強制的に移行させます。

7.4.1.4 スリープ モード

スリープ モードは、SPI 書き込みによってスリープ モードに変更し、 の間ローにアサートして、CAN トランシーバーを CAN 自律非アクティブ状態にする、TCAN1167-Q1 の最も低電力のモードです。スリープ モードでは、CAN トランスミッタとレシーバがオフになり、$t_{SILENCE}$ が経過した後、バスピンがグランドにバイアスされ、トランシーバはデータを送受信できません。スリープ モードでは、INH ピンがオフになり、INH によって制御されるシステムの電源要素がオフになるため、システムの消費電力が低減されます。スリープ モードにある間、低消費電力レシーバは CAN バスの有効なウェークアップ パターンをアクティブに監視し、I_{SUP} 電流は最小レベルまで減少します。

以下の場合には、スリープ モードに移行します。

- SPI モード制御レジスタの MODE_SEL ビットにスリープ モードを書き込みます。
- SWE タイマの満了 (「スリープ ウェーク エラー タイマ」を参照)

次の場合、スリープ モードを終了します。

- CAN バスピンを介して有効なウェークアップ パターン (WUP) が受信された場合
- ローカル WAKE (LWU) イベント
- リセット イベントが発生する (リセット モードに移行)

7.4.1.4.1 ウェークアップ パターン (WUP) によるリモート ウェーク リクエスト

TCAN1167-Q1 は、スタンバイおよびスリープ モードで、ISO11898-2:2016 規格に定義されている複数のフィル ウェークアップ パターン (WUP) を使用する低消費電力のウェイク レシーバを実装しています。

ウェークアップ パターン (WUP) は、フィルタリングされたドミナントバス、フィルタリングされたリセッシブ バス時間、および 2 番目のフィルタリングされたバス時間で構成されます。最初のフィルタリングされたドミナントが WUP を開始し、バスモニタがフィルタリングされたリセッシブで待機しているため、他のバス トラフィックはバスモニタをリセットしません。フィルタ処理されたリセッシブを受信すると、バス モニタはフィルタ処理されたドミナントを待機します。他のバス トラフィックはバス モニタをリセットしません。2 番目のフィルタ処理されたドミナントが受信されるとすぐに、バスモニタは WUP を認識し、。

WUP は次の部分で構成されます。

- 少なくとも t_{WK_FILTER} のフィルタされたドミナントバスと、その後に続くドミナント バス
- 少なくとも t_{WK_FILTER} のフィルタされたリセッシブ バス時間の後に続きます
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタ処理されたドミナント バス時間

ドミナントまたはリセッシブを「フィルタ処理」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があります。t_{WK_FILTER} の変動により、以下のシナリオが適用されます。$t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないため、ウェーク要求は生成されません。$t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、ウェーク要求が生成されることがあります。バス状態時間が $t_{WK_FILTER(MAX)}$ を超えると、常に WUP の一部として検出されるため、ウェーク要求が生成されます。WUP のタイミング図については、図 7-14 を参照してください。

WUP およびウェイク要求に使用されるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント フォルトが誤ったウェイク要求を引き起こすことを防止しながら、任意の CAN または CAN FD メッセージによってウェーク要求を開始できます。

Copyright © 2026 Texas Instruments Incorporated

ISO11898-2:2016 では、短いウェークアップ フィルタ時間と長いウェークアップ フィルタ時間に対して 2 セットの時間があります。TCAN1167-Q1 の t_{WK_FILTER} タイミングは、両方のフィルタ範囲の最小値および最大値内に収まるように選択されています。このタイミングは、500kbps の 1 ビット時間、または 1Mbps の 2 バックツーバック ビット時間でフィルタがトリガされるように選択されています。

堅牢性層を追加し、誤ウェークアップを防止するため、本デバイスは $t_{WK_TIMEOUT}$ タイマを実装しています。リモート ウェークアップ イベントが正常に発生するには、タイムアウト値内にウェークアップ パターン全体を受信する必要があります。$t_{WK_TIMEOUT}$ が経過する前に完全なウェークアップ パターンが受信されない場合、内部ロジックがリセットされ、デバイスはウェークアップせずにスリープ モードを維持します。その後、パターン全体が $t_{WK_TIMEOUT}$ ウィンドウ内で再度送信される必要があります。図 7-14 を参照してください。

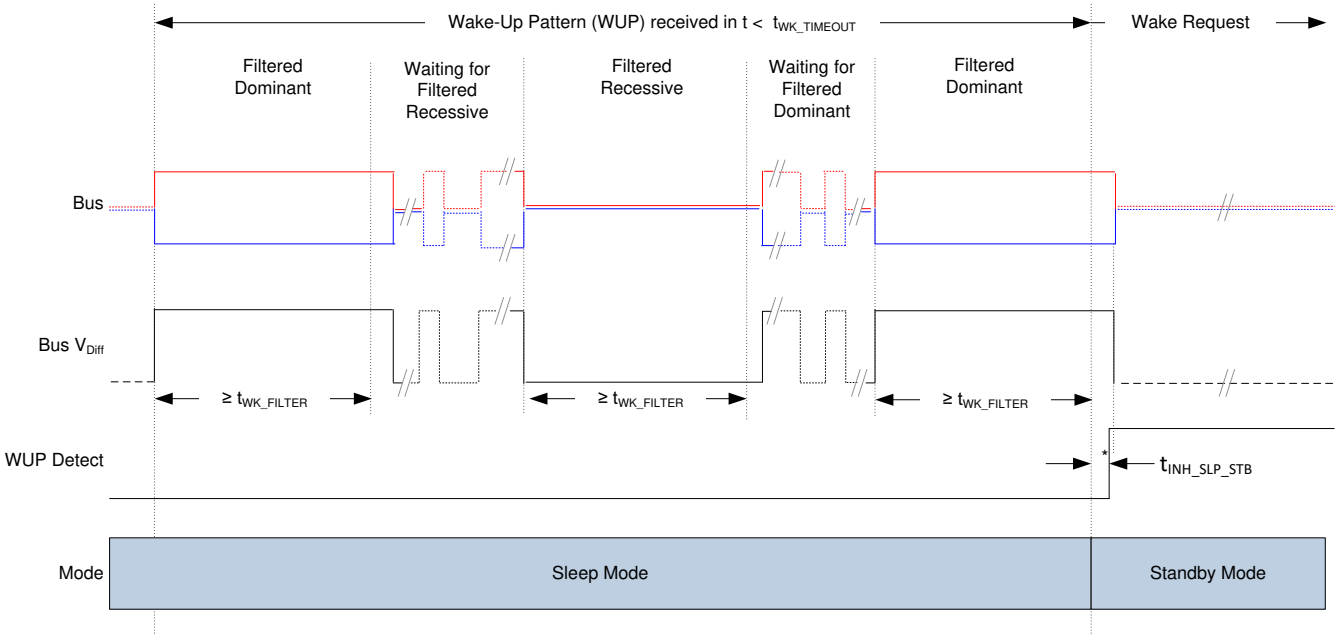


図 7-14. スリープ モードからスタンバイ モードにのウェイクアップ パターン (WUP)

7.4.1.4.2 WAKE 入力端子によるローカル ウェイクアップ (LWU)

WAKE 端子は双方向の高電圧逆バッテリ保護入力で、電圧遷移によるローカル ウェイクアップ (LWU) 要求に使用できます。LWU イベントは、双方向の入力スレッショルドを持っているため、low から high、または high から low への遷移時にトリガされます。WAKE ピンは、V_{SUP} またはグランドへのスイッチと併用できます。端子を使用しない場合は、望ましくない寄生ウェークアップ イベントを回避するために、V_{SUP} またはグランドにプルする必要があります。

Copyright © 2026 Texas Instruments Incorporated

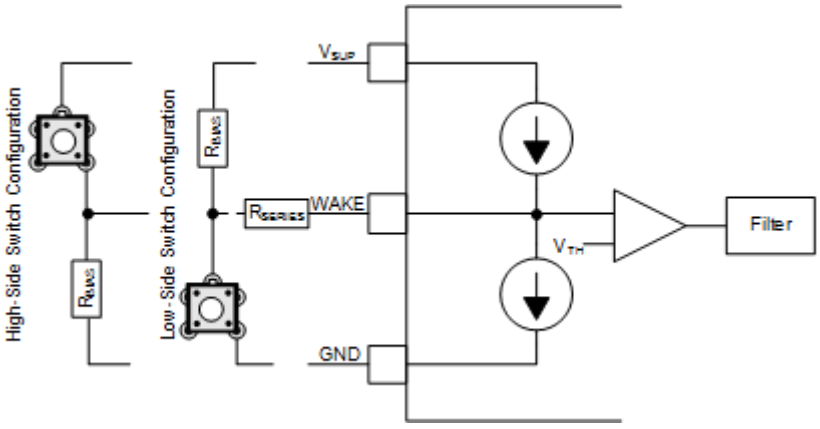


図 7-15. WAKE 回路の例

図 7-15 に、WAKE ピンの 2 つの可能な構成 (ローサイドとハイサイド スイッチ構成) を示します。直列抵抗 R_{SERIES} の目的は、グランド シフトまたはグランド損失時に発生する可能性のある過電流状態から、デバイスの WAKE 入力を保護することです。R_{SERIES} の最小値は、最大電源電圧 V_{SUPMAX} と、WAKE ピンの最大許容電流 $I_{IO(WAKE)}$ を使用して計算できます。R_{SERIES} は を使用して計算されます。

$$R_{SERIES} = V_{SUPMAX} / I_{IO(WAKE)} \quad (3)$$

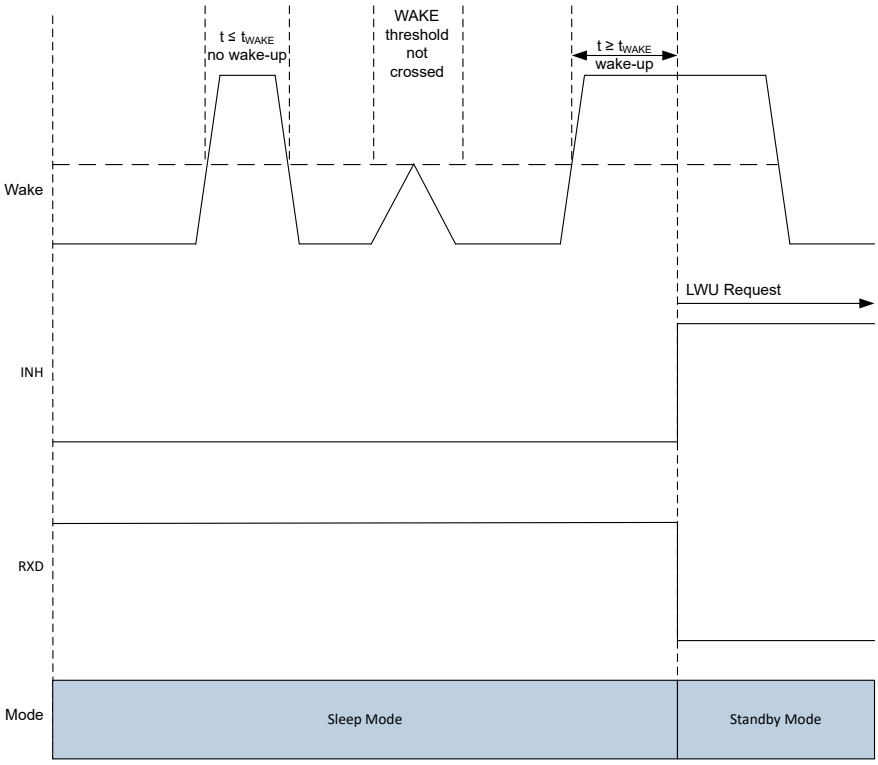
バッテリ電圧が 42 V_{DC} を超えない場合、R_{SERIES} の値は約 10kΩ です。

R_{BIAS} 抵抗は、スイッチを使用していないときの WAKE 入力の静的電圧レベルを設定するために使用します。スイッチをハイサイド スイッチ構成で使用するとき、R_{BIAS} 抵抗と R_{SERIES} 抵抗の組み合わせにより WAKE ピンの電圧が V_{IH} スレッショルドより高く設定されます。R_{BIAS} の最大値は、最大電源電圧 V_{SUPMAX}、最大 WAKE しきい値電圧 V_{IH}、最大 WAKE 入力電流 I_{IH}、および直列抵抗値 R_{SERIES} を使用して計算できます。R_{BIAS} は を使用して計算されます。

$$R_{BIAS} < ((V_{SUPMAX} - V_{IH}) / I_{IH}) - R_{SERIES} \quad (4)$$

バッテリ電圧が 42V_{DC} を超えない場合、R_{BIAS} 抵抗の値は 650kΩ 未満でなければなりません。

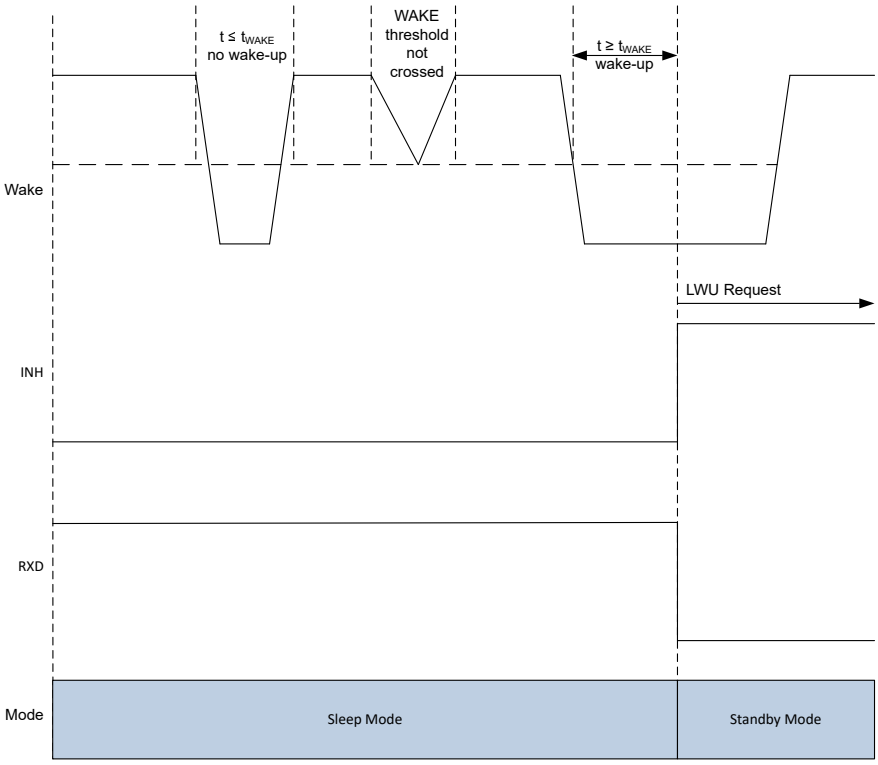
WAKE 回路は通常モードでオフになります。



RXD ピンは、V_{CCOUT} が印加された後にのみ駆動されます。

図 7-16. LWU 要求の立ち上がりエッジ

Copyright © 2026 Texas Instruments Incorporated



RXD ピンは、V_{CCOUT} が印加された後にのみ駆動されます。

図 7-17. LWU 要求の立ち下がりエッジ

7.4.1.5 リセット モード

リセット モードは、nRST ピンが low にアサートされ、コントローラが正常に電源投入されるための TCAN1167-Q1 の低消費電力モードです。この状態では、CAN トランスミッタとレシーバがオフになり、バス ピンはグランドにバイアスされ、トランシーバはデータを送受信できません。

リセット モードにある間、低消費電力レシーバは、CAN バスの有効なウェークアップ パターンをアクティブに監視します。有効なウェークアップ パターンを受信すると、CAN バス ピンは CAN 自律アクティブ状態に遷移し、CANH と CANL は V_{SUP} 電源レールから内部で 2.5V にバイアスされます。有効なウェークアップ パターンを受信すると、RXD ピンに出力される CAN トランシーバによってウェークアップ要求が生成されます。

TCAN1167-Q1 は、次の条件のためにリセット モードに移行します。

- 電源オン
- nRST は外部で low にプルされました

TCAN1167-Q1 は、次のいずれかのフォルト条件をクリアし、フェイルセーフ モードを終了するとリセット モードに移行します。

- $T_J < T_{SDF}$
- 過電圧イベントです

7.4.1.6 フェイルセーフ モード

フェイルセーフ モードは、TCAN1167-Q1 が保護状態にある低消費電力モードです。フェイルセーフ モードでは、内部レギュレータ (V_{CCOUT}) がオフになり、INH ピンがオフになり、RESET ピンが low になり、CAN のトランスミッタとレシーバがオフになります。

次の場合、フェイルセーフ モードになります。

- $T_J > T_{SDR}$

- $V_{VCCOUT} > OV_{CCOUTR}$

次の条件がすべて満たされると、フェイルセーフ モードを終了します。

- $T_J < T_{SDF}$
- $V_{VCCOUT} < OV_{CCOUTF}$
- 有効なウェークアップ イベントが存在します

フォルト条件が $t_{INACTIVE}$ 以内にクリアされない場合、本デバイスは最小消費電力モードであるスリープ モードに遷移します。

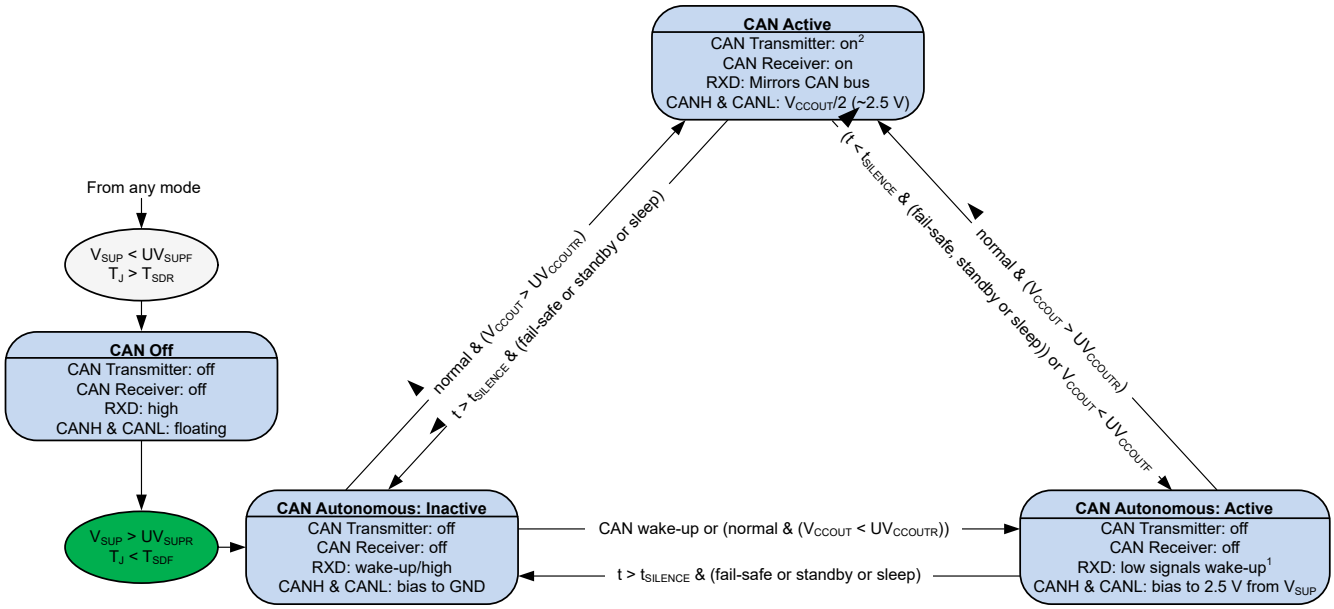
7.4.2 CAN トランシーバ

7.4.2.1 CAN トランシーバの動作

TCAN1167-Q1CAN トランスバースには、CAN がアクティブ、CAN 自律アクティブ、CAN 自律非アクティブの 3 つの動作モードがあります。

7.4.2.2 CAN トランシーバのモード

TCAN1167-Q1 は、ISO 11898-2:2016 の CAN 物理層標準の自律バス バイアス方式をサポートしています。自律的なバス バイアス印加により、トランシーバが CAN がアクティブ、CAN 自律型アクティブ、CAN 自律型非アクティブの間で切り替えることができ、RF 放射の低減に役立ちます。



[1] Wake-up inactive in normal mode
[2] CAN transmitter is on in normal mode. It is off in silent mode.

図 7-18. TCAN1167 CAN トランシーバ ステート マシン

7.4.2.2.1 CAN オフ モード

CAN オフ モードでは、CAN トランシーバがオフになり、CAN バス ラインは真にフローティング状態になります。このモードでは、デバイスは CAN バスに無負荷を伝達すると同時に、バッテリまたはグランド接続が失われた場合に逆電流がデバイスに流れ込むのを防止します。

次の場合は、CAN オフ状態になります。

- $T_J > T_{SDR}$
- $V_{SUP} < UV_{SUPF}$

以下の場合、CAN トランシーバは CAN オフ状態と CAN 自律非アクティブ モードを切り替えます。

Copyright © 2026 Texas Instruments Incorporated

- $V_{SUP} > UV_{SUPR}$
- $T_J < T_{SDF}$

7.4.2.2.2 CAN 自律：非アクティブおよびアクティブ

CAN トランシーバがスタンバイモードまたはスリープ モードのとき、CAN バイアス回路はオフになり、トランシーバは自律非アクティブ状態に移行します。自律的な非アクティブ状態では、CAN ピンが GND にバイアスされます。有効なウェークアップ イベントが発生すると、CAN バスは 2.5V にバイアスされます。$t_{SILENCE}$ タイマが経過する前にコントローラがを TCAN1167-Q1 通常モードに移行しない場合、CAN バイアス回路が再度オフになり、CAN ピンがグランドにバイアスされます。

次のいずれかの条件が満たされると、CAN トランシーバは CAN 自律モードに切り替わります。

- TCAN1167-Q1 は、CAN オフモードから CAN 自律非アクティブに遷移します

以下の場合、CAN トランシーバは CAN 自律非アクティブ モードと CAN 自律アクティブ モードの間で切り替わります。

- 有効なウェークアップ イベント
- 通常モードへの TCAN1167-Q1 遷移および低電圧フォルトは存在しません。

以下の場合、CAN トランシーバは CAN 自律アクティブ モードと CAN 自律非アクティブ モードの間で切り替えを行います。

- $t > t_{SILENCE}$、および TCAN1167-Q1 は、スタンバイ モード、スリープモード、またはフェイルセーフ モードに遷移します。

7.4.2.2.3 CAN がアクティブ

TCAN1167-Q1 が通常モードで、CAN トランシーバはアクティブ モードになります。CAN ドライバとレシーバは完全に動作し、CAN 通信は双方向です。CAN がアクティブ モードの CAN バイアス電圧は、以下から導出されます。

- V_{CCOUT}

CAN トランシーバは、以下の場合、CAN 自律非アクティブまたはアクティブ モードと CAN がアクティブ モードの間で切り替わります。

- 通常モードへの TCAN1167-Q1 遷移および低電圧フォルトは存在しません。

CAN トランシーバは、スタンバイ モードを終了する前に TXD ピンが low にアサートされている場合、CAN がアクティブ モードに移行した後、トランスミッタとレシーバをブロックします。これにより、TXD ピンに TXD DTO フォルトが発生した場合でも、CAN バスの中断を防止できます。

TCAN1167-Q1 がサイレント モードのとき、CAN ドライバは無効化されますが、レシーバは完全に動作します。CAN バイアス電圧は、同じ CAN がアクティブ モードから導かれます。

7.4.2.3 ドライバおよびレシーバ機能表

表 7-13. ドライバ機能表

デバイス モード	TXD 入力(1)	バス出力		駆動されているバスの状態(2)
		CANH	CANL	
通常	"Low"	"High"	"Low"	ドミナント
	High または オープン	高インピーダンス	高インピーダンス	$V_{CCOUT}/2$ にバイアス
サイレント	x	高インピーダンス	高インピーダンス	$V_{CCOUT}/2$ にバイアス
スタンバイ	x	高インピーダンス	高インピーダンス	GND にバイアス
スリープ	x	高インピーダンス	高インピーダンス	GND にバイアス

(1) x = 無関係です
(2) バスの状態と一般的なバス電圧については、図 7-19 を参照してください

表 7-14. レシーバ機能表

デバイス モード	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
通常またはサイレント	$V_{ID} \geq 0.9$ V	ドミナント	"Low"
	0.5V < V_{ID} < 0.9 V	不定	不定
	$V_{ID} \leq 0.5$V	リセッシブ	"High"
	オープン ($V_{ID} \approx 0$ V)	オープン	"High"
スタンバイ	$V_{ID} \geq 1.15$ V	ドミナント	High ウェークアップ イベントが継続した場合は Low
	0.5V < V_{ID} < 1.15 V	不定	
	$V_{ID} \leq 0.4$V	リセッシブ	
	オープン ($V_{ID} \approx 0$ V)	オープン	
スリープ	$V_{ID} \geq 1.15$ V	ドミナント	High Low ウェークアップ イベントが継続した場合。 トライステート V_{SUP} が存在しない場合
	0.4V < V_{ID} < 1.15 V	不定	
	$V_{ID} \leq 0.4$V	リセッシブ	
	オープン ($V_{ID} \approx 0$ V)	オープン	

7.4.2.4 CAN バスの状態

CAN バスの動作時には、リセッシブとドミナントの 2 つの論理状態があります。図 7-19 を参照してください。

ドミナント バス状態は、バスを差動で駆動する場合で、TXD ピンと RXD ピンは論理 LOW になります。リセッシブ バス状態は、バスがレシーバの高抵抗の内部入力抵抗 (R_{IN}) を介して CAN トランシーバ電源電圧の半分にバイアスされ、TXD ピンと RXD ピンは論理 high になります。

アービトレーションの期間は、ドミナント状態がリセッシブ状態を上書きします。調停の際には、複数の CAN ノードが同時にドミナントビットを送信している可能性があり、この場合、CAN バスの差動電圧は単一ドライバの差動電圧よりも大きくなります。TCAN1167-Q1CAN トランシーバには、低消費電力のスタンバイおよびスリープ モードが実装されており、バスのピンがレシーバの高抵抗の内部抵抗を介してグランドにバイアスされる第 3 のバス状態が可能になります。

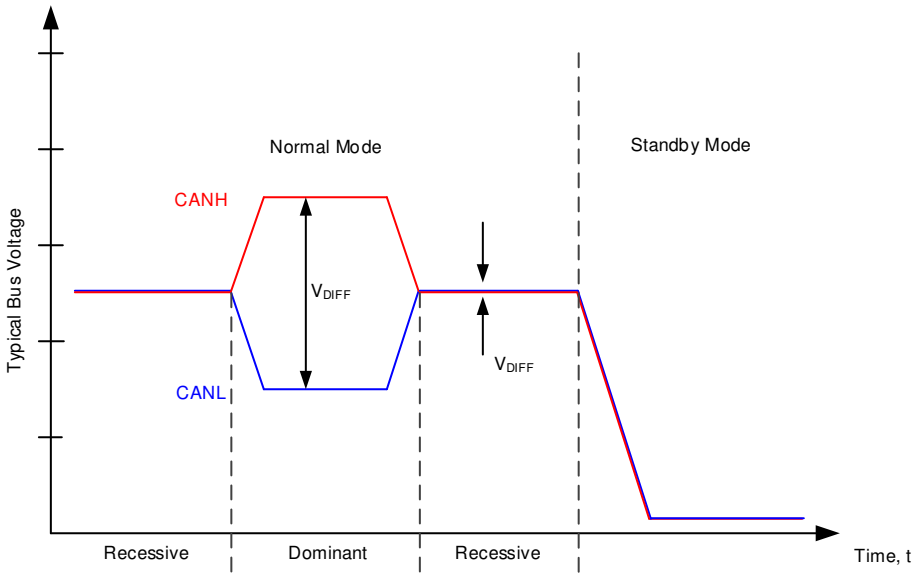


図 7-19. バスの状態

Copyright © 2026 Texas Instruments Incorporated

7.5 プログラミング

7.5.1 シリアル ペリフェラル インターフェイス (SPI) 通信

SPI 通信では、標準の SPI インターフェイスを使用します。物理的には、デジタル インターフェイス ピンは nCS (チップ セレクト Not)、SDI (シリアル データ入力)、SDO (シリアル データ出力)、SCLK (シリアル クロック) です。各 SPI トランザクションは 16 ビット、24 ビット、または 32 ビットで構成され、アドレスおよび読み取り / 書き込みコマンド バイトに続いて、1 ～3 バイトのデータを含みます。トランザクションの SDO ピンでシフトアウトされたデータは、常にグローバル ステータス レジスタ (バイト) から開始されます。このレジスタは、デバイス ステータスについて高レベルのステータス情報を提供します。コマンド バイトに対する「応答」となる 2 つのデータ バイトが、その後にシフト アウトされます。書き込みコマンド中にシフト アウトされるデータ バイトは、新しいデータが書き込まれレジスタを更新する前のレジスタの内容です。読み取りコマンド中にシフト アウトされるデータ バイトは、そのレジスタの内容であり、レジスタは更新されません。

SDI 上の SPI データ入力データは、クロック (SCLK) の立ち上がりエッジでサンプリングされます。SDO 上の SPI 出力データは、クロック (SCLK) の立ち下がりエッジで変更されます。

デバイスがスリープ モードの場合、SPI 通信はディスエーブルされ、SPI 通信を再開するには、デバイスをウェークアップする必要があります。

7.5.2 シリアル クロック入力 (SCLK)

この入力ピンを使用して、SPI にクロックを入力し、入力および出力のシリアル データ ビット ストリームを同期します。SPI データ入力 SDI は、SPI クロックの立ち下がりエッジでサンプリングされ、SPI データ出力 SDO は、SPI クロックの立ち下がりエッジで変更されます。図 7-20 を参照

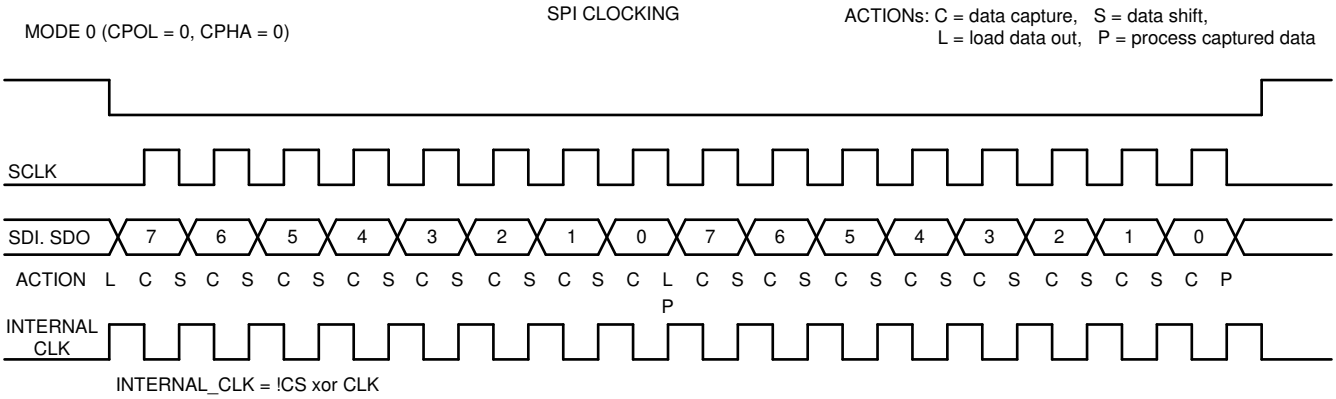


図 7-20. SPI クロック

7.5.3 シリアル データ入力 (SDI)

SDI ピンは、どのレジスタ アドレスに対して読み取りまたは書き込みが行われるかをデバイスに知らせるために使用されます。書き込み時には、クロック サイクル数に応じて、最大 3 バイトまでのデータが連続したアドレスにロードされます。書き込みに必要な最小のクロック サイクル数は 16 クロックであり、これは初期アドレスおよび書き込みコマンドに続いて 1 バイトのデータを送信する構成をサポートします (図 7-21 を参照)。TCAN1167-Q1 は、バースト読み取りと書き込みをサポートしています。図 7-22 は、初期の 7 ビット アドレス、書き込みビット、および 3 バイトのデータを含む 32 ビット書き込みの例を示しています。これらはすべて、32 クロック サイクルを必要とします。nCS が "Low" になることで SPI が有効化されると、SPI クロック (SCLK) の立ち上がりエッジごとに SDI が入力データをサンプリングします。データは、適切なサイズのシフト レジスタに順次シフト インされ、正確なクロック サイクル数に達するとシフト レジスタが満杯となり、SPI トランザクションが完了します。書き込みコマンドでは、新しいデータは、SCLK によって正確なクロック サイクル数がシフトインされ、その後 nCS の立ち上がりエッジでデバイスの選択が解除された後にのみ、指定されたレジスタに書き込まれます。バースト書き込みでは、SCLK が 31 クロック サイクル (3 バイトのフル書き込みより 1 クロック サイクル少ない) である場合、最初の 2 バイトの書き込みは実行されますが、3 バイト目の書き込みは行われません。1 回の SPI トランザクション (nCS が "Low" の状態) 中に、正確なクロック サイクル数とデータがシフトインされない場合、SPIERR フラグが設定されます。

Copyright © 2026 Texas Instruments Incorporated

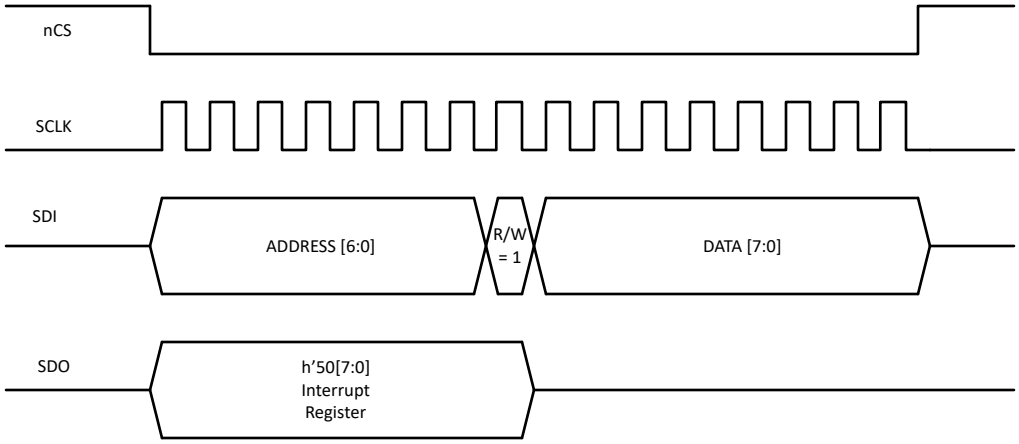


図 7-21. SPI 書き込み

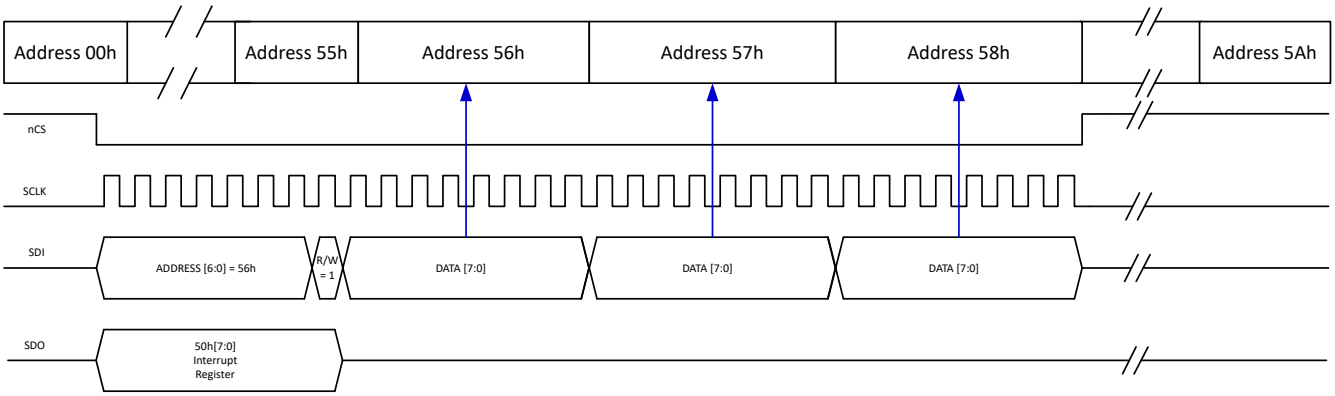


図 7-22. 32 ビット SPI バースト書き込み

7.5.4 シリアル データ出力 (SDO)

nCS によって SPI 出力が有効になるまで、このピンはハイインピーダンスです。nCS が "Low" になることで SPI が有効になると、SDO ピンはただちにハイまたはローに駆動され、グローバル割り込みレジスタ 8'h50、ビット 7 の値を示します。グローバル割り込みレジスタ INT_GLOBAL は、最初にシフトアウトされるバイトです。SDO ピンは、デバイスからプロセッサへのデータ出力を提供します。書き込みコマンドの場合、SDO ピンで提供されるのはこのデータのみです。読み取りコマンドの場合、連続するアドレスからの 1 ～ 3 バイトのデータが SDO ラインに出力されます。図 7-23 と 図 7-24 は、それぞれシングル アドレスの読み取りと、32 ビット バースト読み取りを用いた 3 つの連続するアドレスの読み取り例を示しています。32 ビットのバースト読み取りでは、まずグローバル割り込みレジスタが出力され、その後に要求された 3 バイトのデータが続きます。

注

書き込み後に 2µs よりも高速に読み取りが行われた場合、グローバル フォルト フラグのステータスは、その書き込みによって引き起こされたステータスの変化を反映しない可能性があります。

Copyright © 2026 Texas Instruments Incorporated

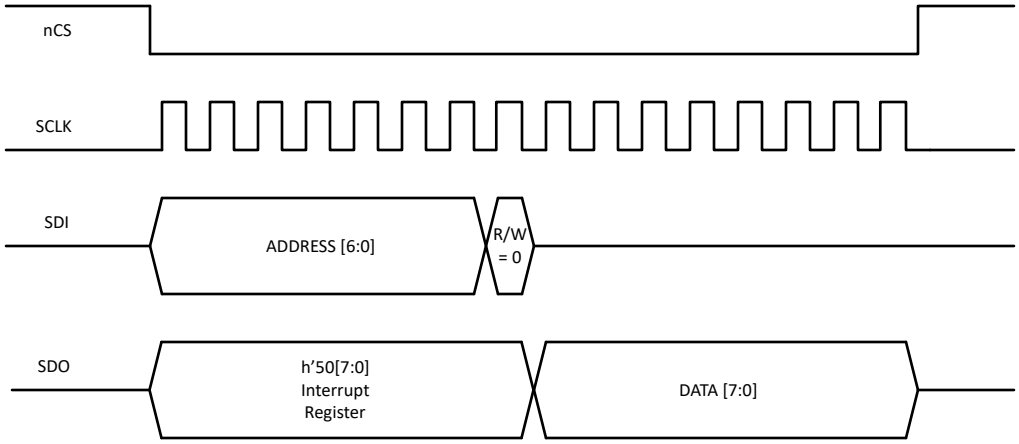


図 7-23. SPI 読み取り

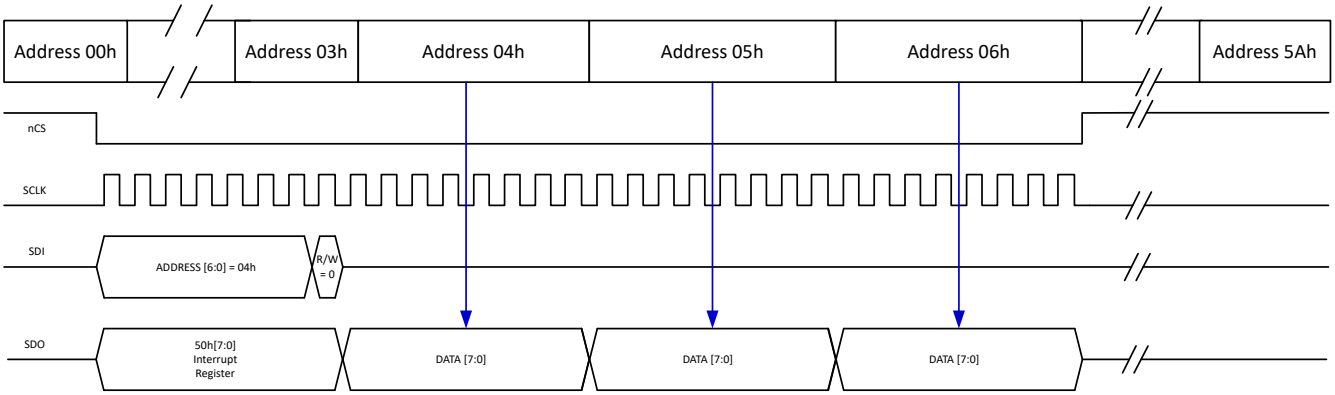


図 7-24. 32 ビット SPI バースト読み取り

7.5.5 ノット チップ セレクト (nCS)

この入力ピンは、SPI トランザクション用デバイスを選択するために使用します。このピンはアクティブ "Low"で動作するため、nCS がハイの状態では、デバイスのシリアル データ出力 (SDO) ピンはハイ インピーダンスとなり、SPI バスの設計が可能になります。nCS が "Low" になると、SDO ドライバが有効となり、通信が開始できる状態になります。SPI トランザクションでは、nCS ピンは Low に保持されます。このデバイスの特別な機能を使用すると、nCS の立ち下がりエッジで SDO ピンをグローバル故障フラグとして直ちに表示できます。

7.5.6 レジスタ

デバイス レジスタは、デバイスのレジスタ用メモリ マップト レジスタを示しています。デバイス レジスタにないレジスタ オフセット アドレスはすべて予約済みの場所と見なして、レジスタの内容は変更しないでください。

表 7-15. デバイスのレジスタ

アドレス	略称	レジスタ名	セクション
0h + 式	DEVICE_ID_y	デバイス部品番号	表示
8h	REV_ID_MAJOR	メジャー リビジョン	表示
9h	REV_ID_MINOR	マイナー リビジョン	表示
Ah + 式	SPI_RSVD_x	SPI 予約済みレジスタ	表示
Fh	Scratch_Pad_SPI	テストレジスタ SPI の読み取りおよび書き込み	表示
10h	MODE_CNTRL	モード構成	表示
13h	WD_CONFIG_1	ウォッチドッグ構成 1	表示
14h	WD_CONFIG_2	ウォッチドッグ構成 2	表示
15h	WD_INPUT_TRIG	ウォッチドッグ入力トリガ	表示
2Dh	WD_QA_CONFIG	Q&A ウォッチドッグ構成	表示
2Eh	WD_QA_ANSWER	Q&A ウォッチドッグの回答	表示
2Fh	WD_QA_QUESTION	Q&A ウォッチドッグの質問	表示
40h	STATUS	CAN トランシーバのステータス	表示
50h	INT_GLOBAL	グローバル割り込み	表示
51h	INT_1	割り込み	表示
52h	INT_2	割り込み	表示
53h	INT_3	割り込み	表示
54h	INT_CANBUS	CAN バス フォルトの割り込み	表示
56h	INT_ENABLE_1	INT_1 の割り込みイネーブル	表示
57h	INT_ENABLE_2	INT_2 の割り込みイネーブル	表示
58h	INT_ENABLE_3	INT_3 の割り込みイネーブル	表示
59h	INT_ENABLE_CANBUS	INT_CANBUS の割り込みイネーブル	表示
5Ah + 式	INT_RSVD_y	割り込み予約済みレジスタ INT_RSVD0 ～ INT_RSVD5	表示

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。デバイス アクセス タイプ コードに、このセクションでアクセス タイプに使用しているコードを示します。

表 7-16. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	H R	ハードウェアによってセットまたはクリア 読み取り
書き込みタイプ		
H	H	ハードウェアによってセットまたはクリア
W	W	書き込み
W1C	1C W	1 でクリア 書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

7.5.6.1 DEVICE_ID_y レジスタ (アドレス = 0h + 式) [リセット = xxh]

図 7-25 に DEVICE_ID_y を示し、表 7-17 にその説明を示します。

概略表に戻ります。

デバイス部品番号

オフセット = 0h + y (ただし、y = 0h ～ 7h)

図 7-25. DEVICE_ID_y レジスタ

7	6	5	4	3	2	1	0
DEVICE_ID							
R-xxh							

表 7-17. DEVICE_ID_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEVICE_ID	R	0b	DEVICE_ID[1:8] レジスタは、デバイスの型番を決定します。 対応するレジスタ アドレスごとに、各 DEVICE_ID レジスタのリセット値および値を以下に示します。 アドレス 00h = 54h = T アドレス 01h = 43h = C アドレス 02h = 41h = A アドレス 03h = 4Eh = N アドレス 04h = 31h = 1 アドレス 05h = 31h = 1 アドレス 06h = 36h = 6 アドレス 07h = 37h = 7

7.5.6.2 REV_ID_MAJOR レジスタ (アドレス = 8h) [リセット = 00h]

図 7-26 に REV_ID_MAJOR を示し、表 7-18 でその説明をします。

概略表に戻ります。

メジャー リビジョン

図 7-26. REV_ID_MAJOR レジスタ

7	6	5	4	3	2	1	0
Major_Revision							
R-00h							

表 7-18. REV_ID_MAJOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Major_Revision	R	00h	メジャーダイリビジョン

7.5.6.3 REV_ID_MINOR レジスタ (アドレス = 9h) [リセット = 00h]

図 7-27 に REV_ID_MINOR を示し、表 7-19 でその説明をします。

概略表に戻ります。

マイナー リビジョン

図 7-27. REV_ID_MINOR レジスタ

7	6	5	4	3	2	1	0
Minor_Revision							
R-00h							

Copyright © 2026 Texas Instruments Incorporated

表 7-19. REV_ID_MINOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Minor_Revision	R	00h	マイナーダイリビジョン

7.5.6.4 SPI_RSVD_x レジスタ (アドレス = Ah + 式) [リセット = 00h]

図 7-28 に SPI_RSVD_x を示し、表 7-20 にその説明を示します。

概略表に戻ります。

構成予約済みビット Ah ～ Eh

オフセット = Ah + x (ただし x = 0h to 4h)

図 7-28. SPI_RSVD_x レジスタ

7	6	5	4	3	2	1	0
SPI_RSVD_x							
R-00h							

表 7-20. SPI_RSVD_x レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SPI_RSVD_x	R	00h	SPI 予約済みレジスタ 0 ～ 4

7.5.6.5 Scratch_Pad_SPI レジスタ (アドレス = Fh) [リセット = 00h]

図 7-29 に Scratch_Pad_SPI は示され、表 7-21 で説明されています。

概略表に戻ります。

テストレジスタ SPI の読み取りおよび書き込み

図 7-29. Scratch_Pad_SPI レジスタ

7	6	5	4	3	2	1	0
Scratch_Pad							
R/W-00h							

表 7-21. Scratch_Pad_SPI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Scratch_Pad	R/W	00h	テストレジスタ SPI の読み取りおよび書き込み

7.5.6.6 MODE_CNTRL レジスタ (アドレス = 10h) [リセット = 04h]

図 7-30 に MODE_CNTRL を示し、表 7-22 にその説明を示します。

概略表に戻ります。

モード選択および機能の有効化・無効化

図 7-30. MODE_CNTRL レジスタ

7	6	5	4	3	2	1	0
RSVD			FD_EN	RSVD	MODE_SEL		
R-000b			R/W-0b	R-0b	R/W-100b		

表 7-22. MODE_CNTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RSVD	R	000b	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 7-22. MODE_CNTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	FD_EN	R/W	0b	フォルト検出イネーブル 0b = ディスエーブル 1b = イネーブル
3	RSVD	R	0b	予約済み
2-0	MODE_SEL	R/W	100b	動作モード選択 001b = スリープ 100b = スタンバイ 101b = サイレント 111b = 通常 **注** 注:現在のモードはリードバックであり、それ以外の値は予約済みです

7.5.6.7 WD_CONFIG_1 レジスタ (アドレス = 13h) [リセット = 54h]

図 7-31 に、WD_CONFIG_1 を示し、表 7-23 に、その説明を示します。

概略表に戻ります。

ウォッチドッグ構成セットアップ 1

図 7-31. WD_CONFIG_1 レジスタ

7	6	5	4	3	2	1	0
WD_CONFIG		WD_PRE		WD_ERR_CNT_SET		RSVD	WD_EN
R/W-01b		R/W-01b		R/W-01b		R-0b	R/W-0b

表 7-23. WD_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_CONFIG	R/W	01b	ウォッチドッグ構成 00b = 自律 01b = タイムアウト 10b = ウィンドウ 11b = Q&A
5-4	WD_PRE	R/W	01b	ウォッチドッグ プリスケーラ 0b = 係数 1 1b = 係数 2 10b = 係数 3 11b = 係数 4
3-2	WD_ERR_CNT_SET	R/W	01b	ウォッチドッグ イベントのエラー カウンタを設定 (このカウンタがオーバーフローすると、ウォッチドッグ出力がトリガされます) 0b = WD イベントごとに即時トリガ 1b = 5 回目のエラー イベントでトリガ 10b = 9 回目のエラー イベントでトリガ 11b = 15 回目のエラー イベントでトリガ
1	RSVD	R	0b	予約済み
0	WD_EN	R/W	0b	ウォッチドッグ イネーブル 0b = ディスエーブル 1b = イネーブル

7.5.6.8 WD_CONFIG_2 レジスタ (アドレス = 14h) [リセット = 02h]

図 7-32 に、WD_CONFIG_2 を示し、表 7-24 に、その説明を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

ウォッチドッグ構成セットアップ 2

図 7-32. WD_CONFIG_2 レジスタ

7	6	5	4	3	2	1	0
WD_TIMER			WD_ERR_CNT				RSVD
R/W-000b			R/H-0001b				R-0b

表 7-24. WD_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	WD_TIMER	R/W	000b	WD_PRE 設定に基づいてウィンドウ時間またはタイムアウト時間を設定 詳細は WD_TIMER 表を参照
4-1	WD_ERR_CNT	R/H	0001b	ウォッチドッグ エラー カウンタ 最大 15 回のエラーをカウント
0	RSVD	R	0b	予約済み

7.5.6.9 WD_INPUT_TRIG レジスタ (アドレス = 15h) [リセット = 00h]

図 7-33 に WD_INPUT_TRIG を示し、表 7-25 に説明を示します。

概略表に戻ります。

FFh を書き込むと、適切なタイミングで WD タイマがリセットされます

図 7-33. WD_INPUT_TRIG レジスタ

7	6	5	4	3	2	1	0
WD_INPUT							
W1C-00h							

表 7-25. WD_INPUT_TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_INPUT	R/W1C	00h	WD をトリガするには、FFh を書き込みます

7.5.6.10 WD_QA_CONFIG レジスタ (アドレス = 2Dh) [リセット = 0h]

図 7-34 に WD_QA_CONFIG を示し、表 7-26 にその説明を示します。

概略表に戻ります。

Q&A ウォッチドッグ構成ビット

図 7-34. WD_QA_CONFIG レジスタ

7	6	5	4	3	2	1	0
WD_ANSW_GEN_CFG		WD_Q&A_POLY_CFG		WD_Q&A_POLY_SEED			
R/W-00b		R/W-00b		R/W-0000b			

注

電源投入直後、WD_Q&A_POLY_SEED のリードバック値は 0000b ですが、実際のシード値は 101b です。一度書き込みを行うと、リードバック値と実際の値は一致します。

表 7-26. WD_QA_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_ANSW_GEN_CFG	R/W	00b	WD 応答生成構成
5-4	WD_Q&A_POLY_CFG	R/W	00b	WD Q&A 多項式構成

Copyright © 2026 Texas Instruments Incorporated

表 7-26. WD_QA_CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	WD_Q&A_POLY_SEED	R/W	0000b	WD Q&A 多項式シード値はデバイスが RESET 状態のときにロードされます

7.5.6.11 WD_QA_ANSWER レジスタ (アドレス = 2Eh) [リセット = 0h]

図 7-35 に WD_QA_ANSWER を示し、表 7-27 にその説明を示します。

概略表に戻ります。

Q&A ウォッチドッグ回答ビット

図 7-35. WD_QA_ANSWER レジスタ

7	6	5	4	3	2	1	0
WD_QA_ANSWER							
R-00h							

表 7-27. WD_QA_ANSWER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_QA_ANSWER	R/W	00h	マイコンのウォッチドッグ Q&A の回答応答バイト

7.5.6.12 WD_QA_QUESTION レジスタ (アドレス = 2Fh) [リセット = 0h]

図 7-36 に WD_QA_QUESTION を示し、表 7-28 にその説明を示します。

概略表に戻ります。

Q&A ウォッチドッグ質問ビット

図 7-36. WD_QA_QUESTION レジスタ

7	6	5	4	3	2	1	0
RSVD	QA_ANSW_ERR	WD_ANSW_CNT		WD_QUESTION			
R-0b	W1C-0b	R-00b		R-0000b			

表 7-28. WD_QA_QUESTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み
6	QA_ANSW_ERR	W1C	0b	ウォッチドッグ Q&A 回答エラー フラグ
5-4	WD_ANSW_CNT	R	00b	受信したウォッチドッグ Q&A エラー カウンタの現在の状態 WD がイネーブルの場合 2'h3 という値が表示されます
3-0	WD_QUESTION	R	0000b	現在のウォッチドッグ質問値 WD がイネーブルの場合 4'hC という値が表示されます

7.5.6.13 STATUS (アドレス = 40h) [リセット = 00h]

表 7-29 に、STATUS を示し、表 7-30 に、その説明を示します。

概略表に戻ります。

CAN トランシーバのステータス

表 7-29. STATUS レジスタ

7	6	5	4	3	2	1	0
STATUS_RSVD				CAN_ACTIVE	TSILENCE	RSVD	TXDDOM

Copyright © 2026 Texas Instruments Incorporated

表 7-29. STATUS レジスタ (続き)

R-0000b	R/U-0b	R/U-0b	R-0b	R/U-0b

表 7-30. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	STATUS_RSVD	R	0000b	予約済み
3	CAN_ACTIVE	R/U	0b	CAN アクティブ モード 0b = 非該当 1b = 該当
2	TSILENCE	R/U	0b	$t_{SILINCE}$ の CAN バス 0b = 非該当 1b = 該当
1	RSVD	R	0b	予約済み
0	TXDDOM	R/U	0b	TXD "Low" で CAN アクティブ モードへの移行を妨げている 0b = 非該当 1b = 該当

7.5.6.14 INT_GLOBAL レジスタ (アドレス = 50h) [リセット = 0h]

図 7-37 に INT_GLOBAL を示し、表 7-31 にその説明を示します。

概略表に戻ります。

特定の割り込みすべての論理和

図 7-37. INT_GLOBAL レジスタ

7	6	5	4	3	2	1	0
GLOBALERR	INT_1	INT_2	INT_3	INT_CANBUS	RSVD		
RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	R-0b		

表 7-31. INT_GLOBAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GLOBALERR	RH	0b	すべての割り込みのロジカル OR
6	INT_1	RH	0b	INT_1 レジスタの論理和
5	INT_2	RH	0b	INT_2 レジスタの論理和
4	INT_3	RH	0b	INT_3 レジスタの論理和
3	INT_CANBUS	RH	0b	INT_CANBUS レジスタの論理和
2-0	RSVD	R	0b	予約済み

7.5.6.15 INT_1 レジスタ (アドレス = 51h) [リセット = 0h]

図 7-38 に、INT_1 を示し、表 7-32 に、その説明を示します。

概略表に戻ります。

割り込み

図 7-38. INT_1 レジスタ

7	6	5	4	3	2	1	0
WD	CANINT	LWU	WKERR	RSVD	CANSLNT	RSVD	CANDOM
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R-0b	R/W1C-0b

Copyright © 2026 Texas Instruments Incorporated

表 7-32. INT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD	R/W1C	0b	ウォッチドッグイベント割り込み。 注:この割り込みビットはウォッチドッグエラーイベントごとに設定され、ウォッチドッグエラーカウンタに依存しません。
6	CANINT	R/W1C	0b	CAN バスウェークアップ割り込み
5	LWU	R/W1C	0b	ローカルウェークアップ
4	WKERR	R/W1C	0b	SWE タイマが満了してステート マシンがスリープ モードに戻ると、ウェーク エラー ビットがセットされます
3	RSVD	R	0b	予約済み
2	CANSLNT	R/W1C	0b	CAN サイレント
1	RSVD	R	0b	予約済み
0	CANDOM	R/W1C	0b	CAN バスがドミナント状態に固着

7.5.6.16 INT_2 レジスタ (アドレス = 52h) [リセット = 40h]

図 7-39 に、INT_2 を示し、表 7-33 に、その説明を示します。

概略表に戻ります。

割り込み

図 7-39. INT_2 レジスタ

7	6	5	4	3	2	1	0
RSVD	PWRON	OVCCOUT	UVSUP	RSVD	UVCCOUT	TSD	TSDW
R-0b	R/W1C-1b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 7-33. INT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み
6	PWRON	R/W1C	1b	電源オン
5	OVCCOUT	R/W1C	0b	V_{CCOUT} 過電圧
4	UVSUP	R/W1C	0b	V_{SUP} 低電圧
3	RSVD	R	0b	予約済み
2	UVCCOUT	R/W1C	0b	V_{CCOUT} 低電圧
1	TSD	R/W1C	0b	サーマル シャットダウン
0	TSDW	R/W1C	0b	サーマル シャットダウン警告

7.5.6.17 INT_3 レジスタ (アドレス = 53h) [リセット = 0h]

図 7-40 に、INT_3 を示し、表 7-34 に、その説明を示します。

概略表に戻ります。

図 7-40. INT_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR	RSVD						
R/W1C-0b	R-00h						

表 7-34. INT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR	R/W1C	0b	いつ SPI ステータスビットがセットされるかをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-34. INT_3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	RSVD	R	00h	予約済み

7.5.6.18 INT_CANBUS レジスタ (アドレス = 54h) [リセット = 0h]

図 7-41 に INT_CANBUS を示し、表 7-35 にその説明を示します。

概略表に戻ります。

短絡および開放を含む CAN バス フォルト

図 7-41. INT_CANBUS レジスタ

7	6	5	4	3	2	1	0
予約済み		CANHCANL	CANHBAT	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSBAT
R-0b		R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 7-35. INT_CANBUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0b	予約済み。読み取り値は 0 です。
5	CANHCANL	R/W1C	0b	CANH と CANL が同時に短絡
4	CANHBAT	R/W1C	0b	CANH は Vbat に短絡
3	CANLGND	R/W1C	0b	CANL は GND へ短絡
2	CANBUSOPEN	R/W1C	0b	CAN バス開放
1	CANBUSGND	R/W1C	0b	CAN バスの GND への短絡または CANH の GND への短絡
0	CANBUSBAT	R/W1C	0b	CAN バスの Vbat への短絡または CANL の Vbat への短絡

7.5.6.19 INT_ENABLE_1 レジスタ (アドレス = 56h) [リセット = F3h]

図 7-42 に、INT_ENABLE_1 を示し、表 7-36 に、その説明を示します。

概略表に戻ります。

INT_1 の割り込みマスク

図 7-42. INT_ENABLE_1 レジスタ

7	6	5	4	3	2	1	0
WD_ENABLE	CANINT_ENABLE	LWU_ENABLE	WKERR_ENABLE	RSVD	CANSLNT_ENABLE	RSVD	CANDOM_ENABLE
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-0b	R/W-1b	R-0b	R/W-1b

表 7-36. INT_ENABLE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD_ENABLE	R/W	1b	ウォッチドッグ イベント割り込み有効化
6	CANINT_ENABLE	R/W	1b	CAN バスのウェーク アップ割り込み有効化
5	LWU_ENABLE	R/W	1b	ローカル ウェークアップ有効化
4	WKERR_ENABLE	R/W	1b	ウェーク エラー有効化
3	RSVD	R	0b	予約済み
2	CANSLNT_ENABLE	R/W	1b	CAN サイレント有効化
1	RSVD	R	0b	予約済み
0	CANDOM_ENABLE	R/W	1b	CAN バス ドミナント固着有効化

Copyright © 2026 Texas Instruments Incorporated

7.5.6.20 INT_ENABLE_2 レジスタ (アドレス = 57h) [リセット = 3Fh]

図 7-43 に、INT_ENABLE_2 を示し、表 7-37 に、その説明を示します。

概略表に戻ります。

INT_2 の割り込みマスク

図 7-43. INT_ENABLE_2 レジスタ

7	6	5	4	3	2	1	0
RSVD		OVCC_ENABLE	UVSUP_ENABLE	RSVD	UVCC_ENABLE	TSD_ENABLE	TSDW_ENABLE
R-0b		R/W-1b	R/W-1b	R-0b	R/W-1b	R/W-1b	R/W-1b

表 7-37. INT_ENABLE_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RSVD	R	0b	予約済み
5	OVCC_ENABLE	R/W	1b	V_{CC} 過電圧イネーブル
4	UVSUP_ENABLE	R/W	1b	V_{SUP} 低電圧イネーブル
3	RSVD	R	0b	予約済み
2	UVCC_ENABLE	R/W	1b	V_{CC} 低電圧イネーブル
1	TSD_ENABLE	R/W	1b	サーマル シャットダウン有効化
0	TSDW_ENABLE	R/W	1b	サーマル シャットダウン警告有効化

7.5.6.21 INT_ENABLE_3 レジスタ (アドレス = 58h) [リセット = 80h]

図 7-44 に、INT_ENABLE_3 を示し、表 7-38 に、その説明を示します。

概略表に戻ります。

INT_3 の割り込みマスク

図 7-44. INT_ENABLE_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR_ENABLE	RSVD						
R/W-1b	R-00h						

表 7-38. INT_ENABLE_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR_ENABLE	R/W	1b	SPI エラー割り込み有効化
6-0	RSVD	R	00h	予約済み

7.5.6.22 INT_ENABLE_CANBUS レジスタ (アドレス = 59h) [リセット = 7Fh]

図 7-45 に INT_ENABLE_CANBUS を示し、表 7-39 にその説明を示します。

概略表に戻ります。

INT_CANBUS 用割り込みマスク

図 7-45. INT_ENABLE_CANBUS レジスタ

7	6	5	4	3	2	1	0
予約済み		CANHCANL_ENABLE	CANHBAT_ENABLE	CANLGND_ENABLE	CANBUSOPEN_ENABLE	CANBUSGND_ENABLE	CANBUSBAT_ENABLE
R-0b		R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

Copyright © 2026 Texas Instruments Incorporated

表 7-39. INT_ENABLE_CANBUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0b	予約済み
5	CANHCANL_ENABLE	R/W	1b	CANH と CANL 同時短絡有効化
4	CANHBAT_ENABLE	R/W	1b	CANH の Vbat への短絡有効化
3	CANLGND_ENABLE	R/W	1b	CANL を GND に短絡有効化
2	CANBUSOPEN_ENABLE	R/W	1b	CAN バス開放有効化
1	CANBUSGND_ENABLE	R/W	1b	CAN バスの GND への短絡有効化
0	CANBUSBAT_ENABLE	R/W	1b	CAN バスの Vbat への短絡有効化

Copyright © 2026 Texas Instruments Incorporated

7.5.6.23 INT_RSVD_y レジスタ (アドレス = 5Ah + 式) [リセット = 00h]

図 7-46 に INT_RSVD_y を示し、表 7-40 にその説明を示します。

概略表に戻ります。

レジスタアドレス 5Ah ～ 5Fh

オフセット = 5Ah + (y * 1h)、ここで y = 0h～7h

図 7-46. INT_RSVD_y レジスタ

7	6	5	4	3	2	1	0
予約済み							
R-00h							

表 7-40. INT_RSVD_y レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	00h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.2 代表的なアプリケーション

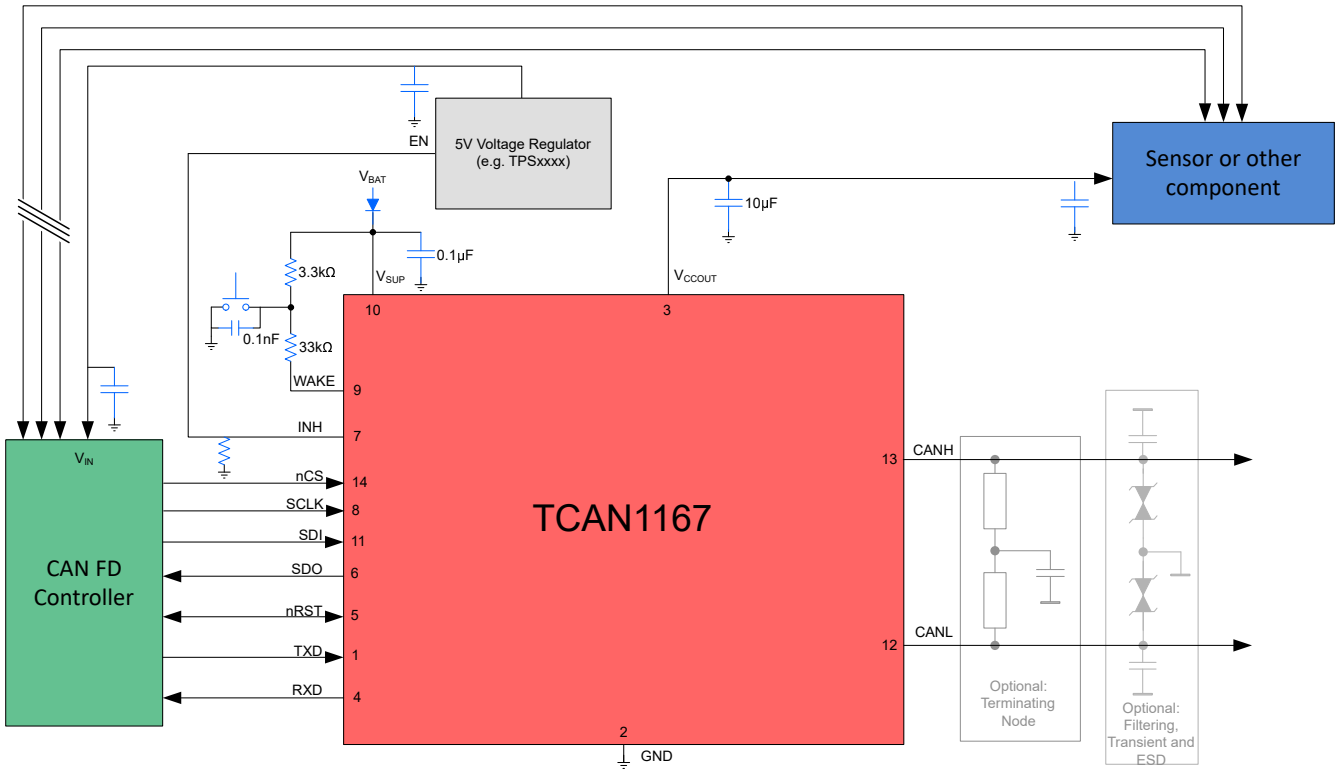


図 8-1. 代表的なアプリケーション

8.2.1 設計要件

8.2.1.1 バスの負荷、長さ、ノード数

代表的な CAN アプリケーションでは、最大バス長は 40m、最大スタブ長は 0.3m です。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、TCAN1167-Q1

多くの CAN の組織および規格は、元の ISO 11898-2 規格外のアプリケーションへと CAN の使用を拡大してきました。この場合、データ レート、ケーブル長、バスの寄生負荷にシステム レベルのトレードオフの決定を下しました。これらの CAN システム レベル仕様の例としては、ARINC 825、CANopen、DeviceNet、SAE J2284、SAE J1939、NMEA 2000 などがあります。

CAN ネットワークのシステム設計は、一連のトレードオフです。ISO 11898-2:2016 仕様では、ドライバの差動出力は 50Ω ～ 65Ω の範囲のバス負荷により規定されており、この場合、差動出力は 1.5V を上回る必要があります。TCAN1167-Q1 は、最小 50Ω の 1.5V の要件を満たすことが規定されており、45Ω のバス負荷で 1.4V の差動出力を満たすように規定されています。TCAN1167-Q1 の差動入力抵抗は最小で 4kΩ です。100 個の TCAN1167-Q1 デバイス

Copyright © 2026 Texas Instruments Incorporated

をバス上で並列に接続する場合は、公称 60Ω のバス終端と並列に 400Ω の差動負荷に相当し、合計バス負荷は約 52Ω になります。したがって、TCAN1167-Q1 は理論的には単一のバスセグメントで 100 を超えるデバイスをサポートします。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、タイミング、ネットワークの不均衡、グランド オフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、少なくなります。また、バス長は、慎重なシステム設計およびデータ レートとのトレードオフにより、40m を超えて延長することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データ レートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。ただし、この柔軟性を使用する場合は、堅牢なネットワーク動作のために適切なネットワーク設計を行う責任が CAN ネットワーク システムの設計者に課されます。

8.2.2 設計手順の詳細

8.2.2.1 CAN の終端

終端として、ケーブル上または終端ノード内、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用することができます。図 8-2 を参照してください。分割終端は、差動信号ラインに存在する可能性があるより高い周波数の同相ノイズをフィルタリングすることで、ネットワークの電磁放射の挙動を改善します。

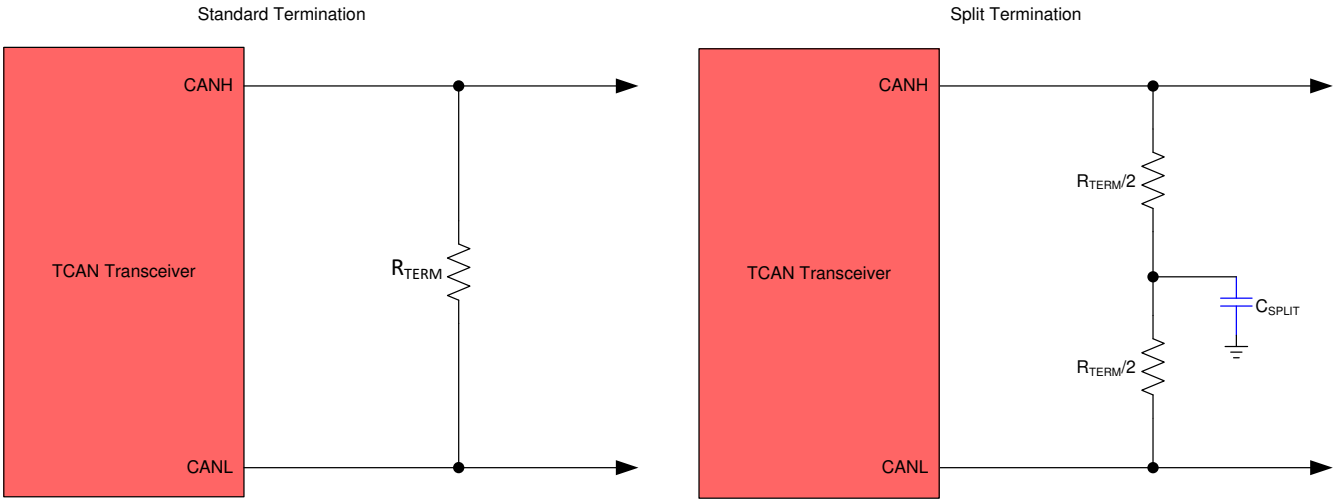
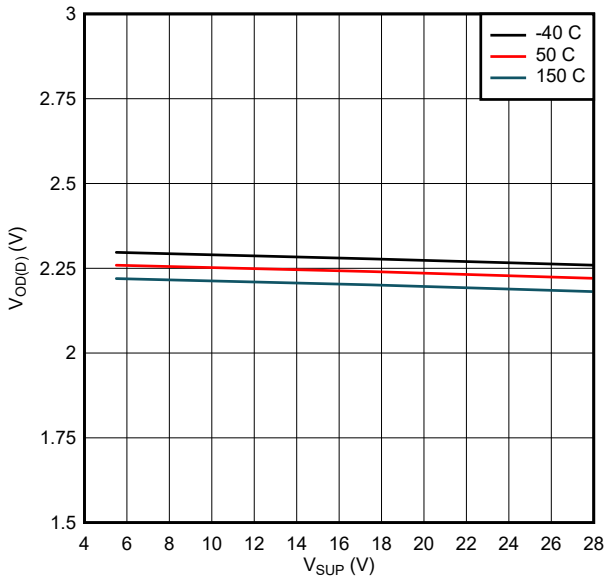


図 8-2. CAN バス終端の概念

Copyright © 2026 Texas Instruments Incorporated

8.3 アプリケーション曲線



R_L = 60Ω

図 8-3. V_{SUP} 経由の $V_{OD(D)}$

8.4 電源要件

TCAN1167-Q1 は、5.5V ～ 28V の V_{SUP} 入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。バイパス容量 (通常 100nF) は、デバイスの V_{SUP} 電源ピンの近くに配置する必要があります。これにより、スイッチ モード電源の出力に存在する電源電圧リップルを低減し、PCB 電源プレーンとトレースの抵抗とインダクタンスを補償するのに役立ちます。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびフィルタリング回路をバス コネクタのできるだけ近くに配置します。このレイアウト例では、デバイス自体の周囲のコンポーネントに関する情報を提供します。保護の強化のため、過渡電圧抑制 (TVS) デバイスを追加できます。量産ソリューションは、アプリケーション要件に一致する定格を持つ、双方向の TVS ダイオードまたはバリスタのいずれかです。この例では、オプションのバス フィルタ コンデンサも示しています。

信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。

注

高周波電流は、抵抗が最小ではなく、インピーダンスが最小であるパスに追従する傾向があることに注意してください。

実効ビア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのビアを使用します。

- バイパス コンデンサとバルク コンデンサは、トランシーバの電源端子にできるだけ近づけて配置する必要があります。
- バス終端:このレイアウト例では、分割終端を示します。ここで、終端を 2 つの抵抗に分割し、終端のセンター タップまたは分割タップをグランド ビア コンデンサに接続します。分割終端は、バスの同相フィルタリングを提供します。バス終端をバスに直接ではなくボード上に配置する場合、終端ノードがバスから取り除かれないように追加の注意を払う必要があります。

8.5.2 レイアウト例

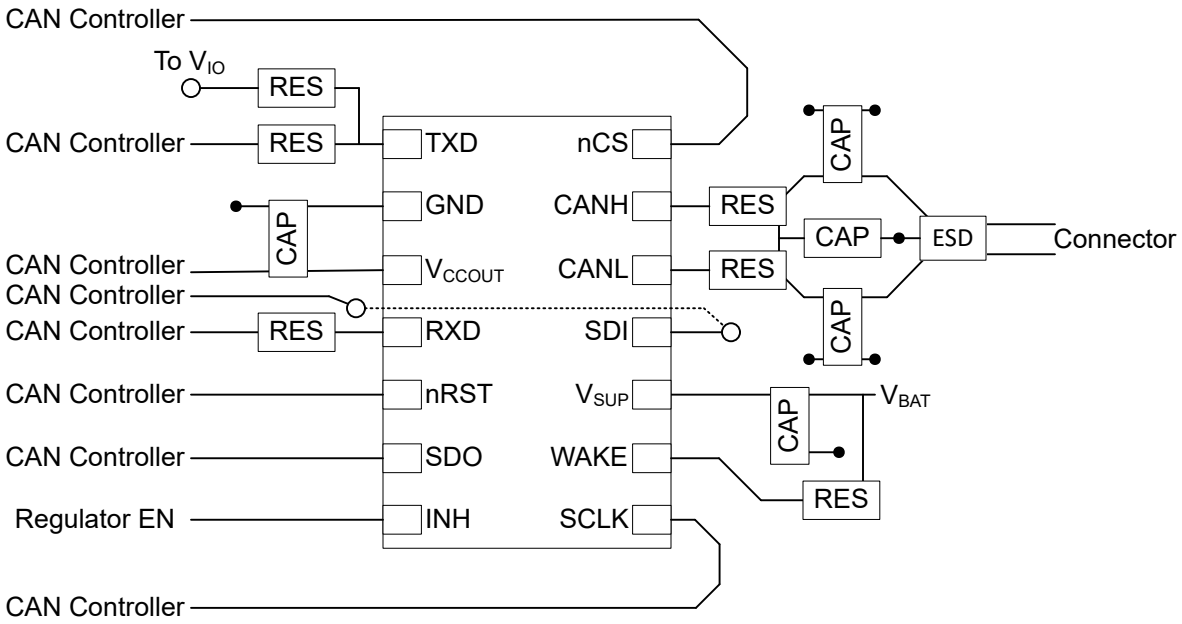


図 8-4. TCAN1167 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (December 2021) to Revision A (April 2026)	Page
• 「機能ブロック図」で SDI をピン 11 に、SDO をピン 6 に変更	1
• TCAN1167-Q1 の図を追加	1
• TCAN1167-Q1 で SDI をピン 11 に、SDO をピン 6 に変更	17
• 表 7-10 でフォルト 1 を予約済みに変更	32
• 図 7-8 でフォルト 1 の図を削除	32
• 表 7-11 でビット 6 を予約済みに変更	32

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN1167DMTRQ1	Active	Production	VSON (DMT) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-45 to 150	1167
TCAN1167DMTRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	See TCAN1167DMTRQ1	1167

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

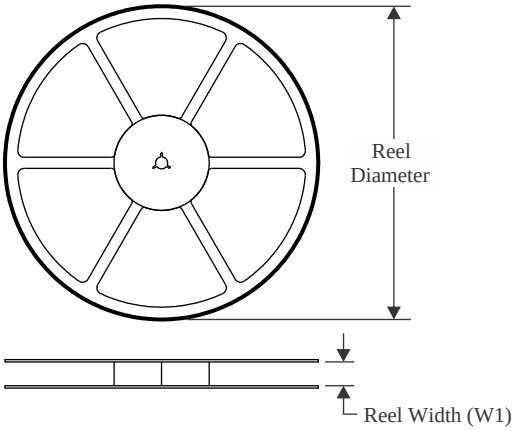
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

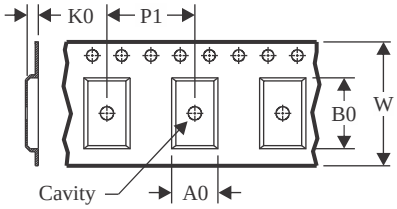
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

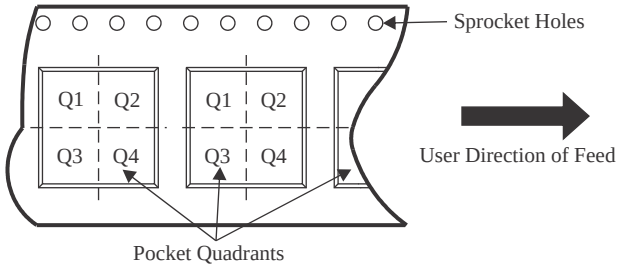


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

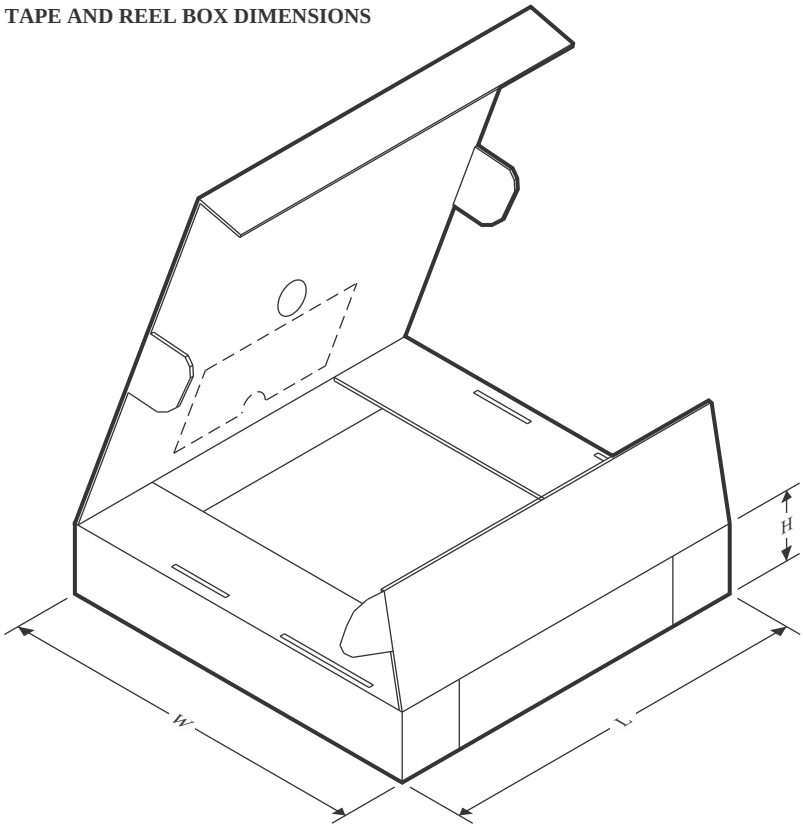
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN1167DMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN1167DMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

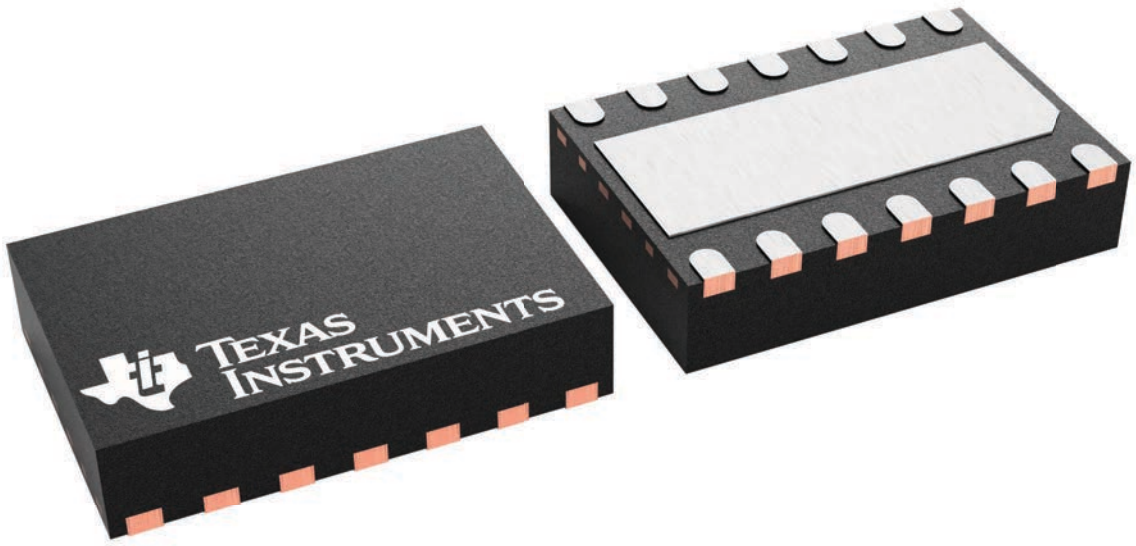
DMT 14

VSON - 0.9 mm max height

3 x 4.5, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



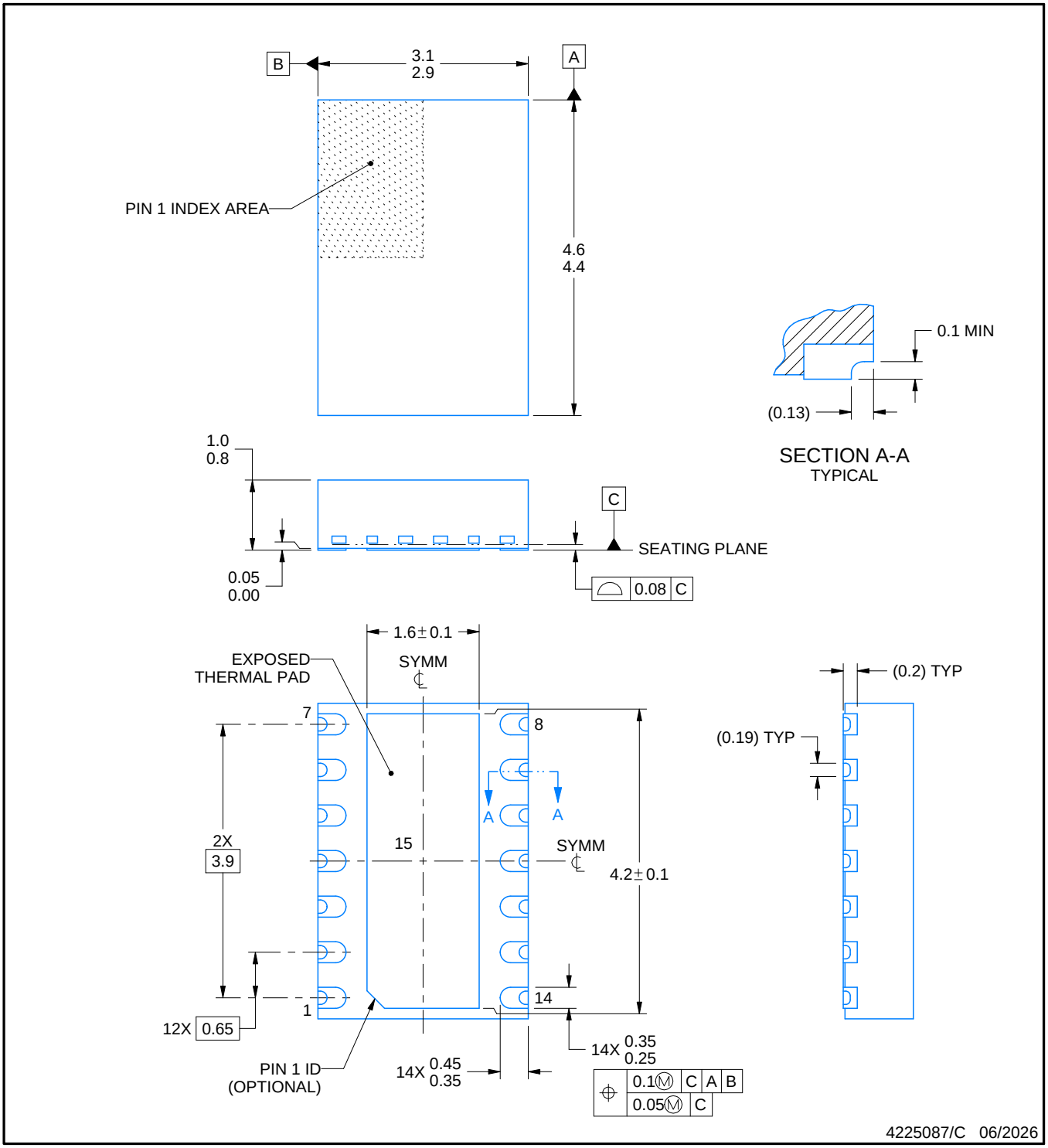
4225088/A

PACKAGE OUTLINE

DMT0014B

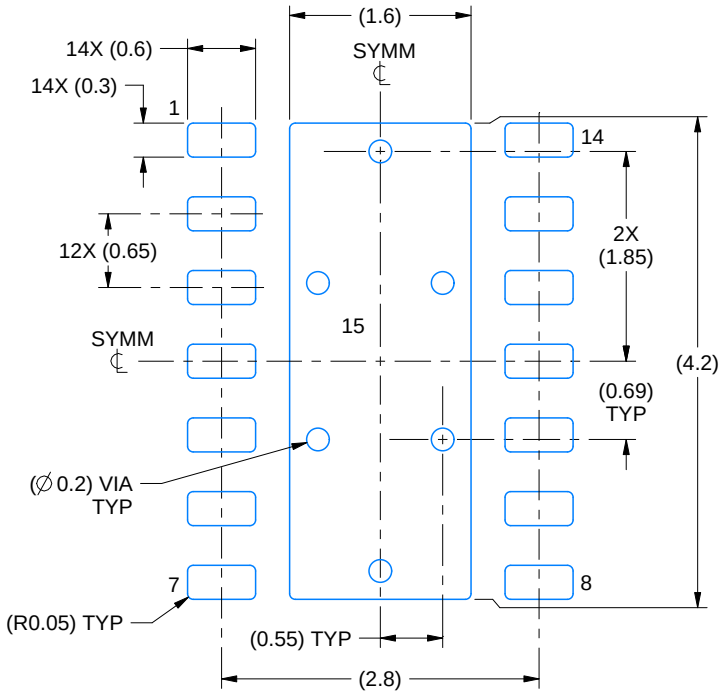
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

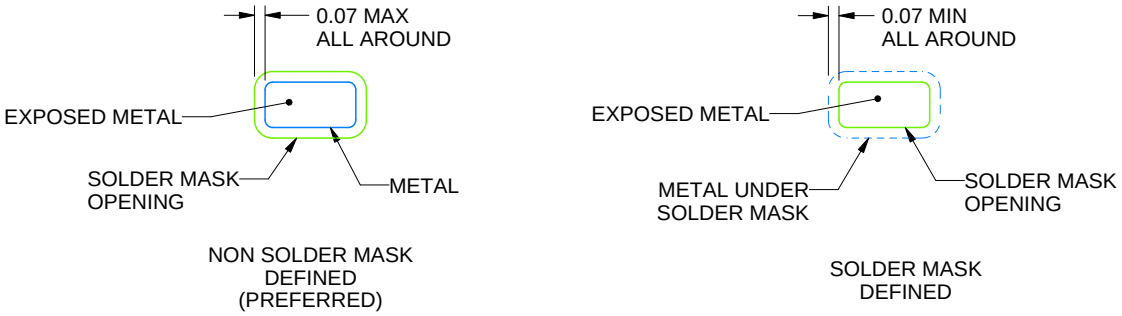


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Exposed side wall metal may vary is shape, size and quantity.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

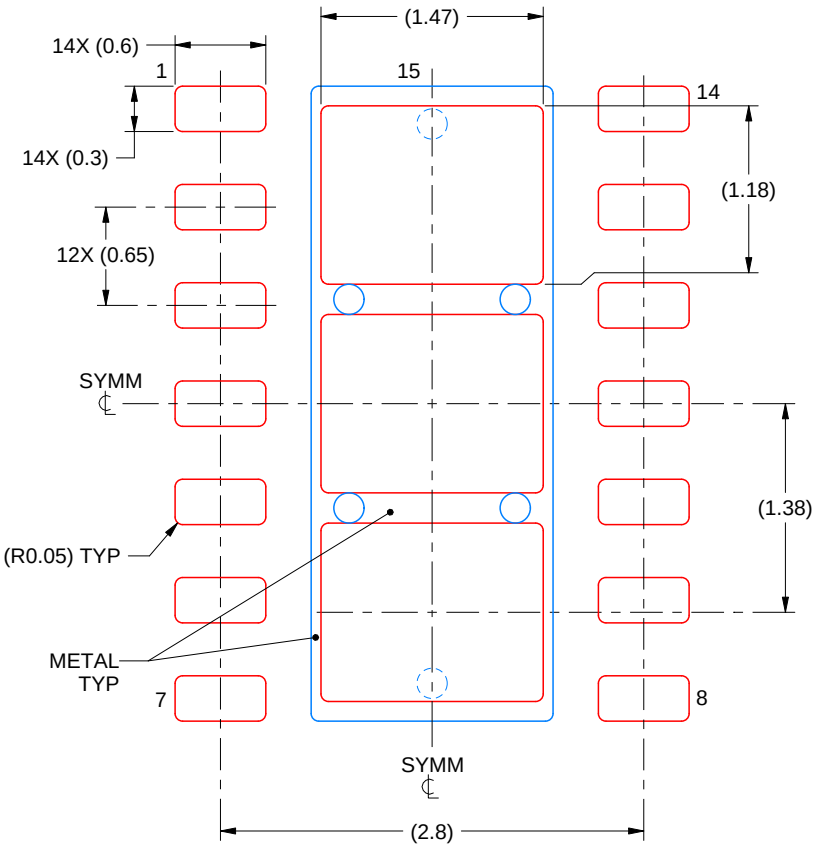


SOLDER MASK DETAILS

4225087/C 06/2026

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 15
77.4% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4225087/C 06/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月