

TCAN29xx-Q1 LDO および拡張診断機能を内蔵した車載用機能安全準拠 CAN FD および LIN システム ベース チップ (SBC) ファミリ

1 特長

- AEC-Q100: 車載アプリケーション認定済み
- CAN FD ISO 11898-2:2024 の要件に適合
- ISO 11898-2:2024 附属書 A (TCAN295x-Q1) に準拠した CAN FD SIC 要件に適合
- ローカル相互接続ネットワーク (LIN) 物理層仕様 ISO/DIS 17987-4:2023 と LIN 用 SAE J2602 推奨プラクティスに準拠
- CAN FD および LIN トランシーバの高速データレート
 - 最高 8Mbps の CAN FD サポート
 - LIN トランシーバは、200kbps の高速モードをサポート
- Classic CAN との下位互換性をサポート
- 機能安全準拠向け
 - ISO 26262 システムの設計に役立つ資料を製品リリース時に提供予定
 - ASIL B までの決定論的対応能力を対象とする
 - ISO 26262 に準拠して開発
 - 電圧監視回路に対するアナログ内蔵セルフ テスト (ABIST)
 - 1 次側バンドギャップ回路をクロスモニタする 2 番目のバンドギャップ回路
 - タイムアウト、ウィンドウ、および Q&A ウォッチドッグをサポート
 - レギュレータ出力について低電圧、過電圧、短絡監視
- スリープ モードから複数の方法でウェーク可能
 - CAN および LIN バスのウェークアップ パターン (WUP)
 - WAKE ピンによるローカル ウェークアップ (LWU)
 - ハイサイド スイッチ使用時に周期的センシングウェークアップをサポート
 - SW ピンを使つたデジタル ウェークアップ
 - 長時間タイマ (LDT)
- 3.3V または 5V で最大 250mA を供給可能なマイコン電源用 (VCC1) 低ドロップ アウト (LDO) レギュレータ
- 5V LDO レギュレータは最大で 100mA (VCC2) をサポート
- 外付け PNP トランジスタ制御、最大 350mA で 1.8V、2.5V、3.3V、5V をサポート (VEXCC)
- CAN および LIN は $\pm 40V$ バスのフォルト保護をサポート
- CAN バスのフォルト (バッテリーまたはグラウンドへの短絡) 検出
- 自動光学検査 (AOI) 性能を向上させた QFN (32) パッケージ

2 アプリケーション

- ボディ エレクトロニクスおよび照明
- インフォテインメントおよびクラスタ
- ハイブリッド / 電気自動車およびパワートレイン システム
- 産業用輸送

3 説明

TCAN29xx-Q1 は、CAN FD (コントロール エリア ネットワーク フレキシブル データ レート) 対応トランシーバを提供するシステム ベース チップ (SBC) ファミリです。TCAN2955-Q1 および TCAN2957-Q1 には、ローカル相互接続ネットワーク (LIN) トランシーバが搭載されています。この CAN FD トランシーバは最高 8Mbps のデータレートをサポートし、LIN トランシーバは最高 200kbps の高速モード データ レートをサポートしています。VCC1 LDO は、最大 250mA の電流で 3.3V または 5V $\pm 2\%$ を供給し、デジタル IO ロジック値を決定します。より多くの電流が必要な場合、外付け PNP トランジスタを使用して、最大 350mA で、1.8V、2.5V、3.3V、5V の電圧をサポートできます。VCC2 LDO は、最大 100mA で 5V を供給します。

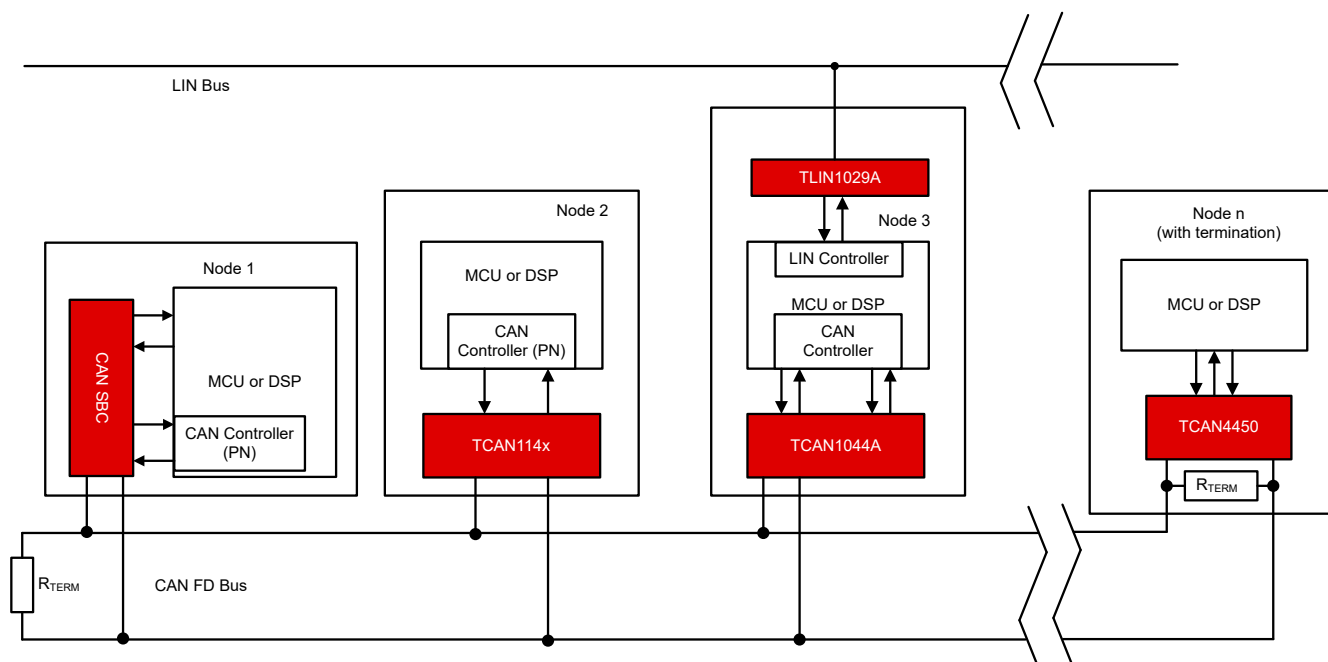
TCAN29xx-Q1 には、LIMP、最大 5 つのローカル ウェーク入力 (4 つの高電圧入力と 1 つのデジタル入力)、4 つのハイサイド スイッチなどの機能が搭載されています。ハイサイド スイッチは、オン / オフ、10 ビット PWM、またはタイマ制御が可能です。GFO ピンを使用すると、外部 CAN FD、LIN トランシーバ、CAN SBC、または LIN SBC を制御できます。WAKE ピンは、静的センシングまたは周期的センシング用に構成できます。WAKE1 および WAKE2 は、外部 V_{BAT} 監視を可能にするため、これらのピン間に内部スイッチを設ける構成に変更することもできます。WAKE3 は、ハイサイド スイッチのいずれかの組み合わせに対する直接駆動制御ピンとして構成できます。

製品情報

型番 ⁽³⁾	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TCAN29xx-Q1	RHB (VQFN, 32)	5mm × 5mm

- (1) 詳細については、[セクション 13](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 「[デバイス比較表](#)」を参照してください。





概略回路図

ADVANCE INFORMATION

目次

1 特長	1	8.3 機能説明	38
2 アプリケーション	1	8.4 デバイスの機能モード	99
3 説明	1	9 デバイスのレジスタ	104
4 デバイス比較表	4	10 アプリケーションと実装	174
5 ピン構成および機能	5	10.1 使用上の注意	174
6 仕様	7	10.2 代表的なアプリケーション	174
6.1 絶対最大定格.....	7	10.3 電源に関する推奨事項	182
6.2 ESD 定格.....	8	10.4 レイアウト	183
6.3 IEC ESD 定格.....	8	11 デバイスおよびドキュメントのサポート	185
6.4 推奨動作条件.....	8	11.1 ドキュメントのサポート.....	185
6.5 熱に関する情報.....	9	11.2 ドキュメントの更新通知を受け取る方法.....	186
6.6 電源の特性.....	9	11.3 サポート・リソース.....	186
6.7 電気的特性.....	16	11.4 商標.....	186
6.8 タイミング要件.....	22	11.5 静電気放電に関する注意事項.....	186
6.9 スイッチング特性.....	25	11.6 用語集.....	186
7 パラメータ測定情報	28	12 改訂履歴	186
8 詳細説明	37	13 メカニカル、パッケージ、および注文情報	186
8.1 概要.....	37	13.1 テープおよびリール情報.....	187
8.2 機能ブロック図.....	37	13.2 メカニカル データ.....	189

4 デバイス比較表

デバイス番号	CAN FD トランシーバ	CAN FD SIC トランシーバ	LIN トランシーバ	3.3V LDO	5V LDO	機能安全定格
TCAN29453MRHBQ1	X			X		QM
TCAN29455MRHBQ1	X				X	QM
TCAN29473MRHBQ1	X		X	X		QM
TCAN29475MRHBQ1	X		X		X	QM
TCAN29453BRHBQ1	X			X		ASIL-B
TCAN29455BRHBQ1	X				X	ASIL-B
TCAN29473BRHBQ1	X		X	X		ASIL-B
TCAN29475BRHBQ1	X		X		X	ASIL-B
TCAN29553MRHBQ1		X		X		QM
TCAN29555MRHBQ1		X			X	QM
TCAN29573MRHBQ1		X	X	X		QM
TCAN29575MRHBQ1		X	X		X	QM
TCAN29553BRHBQ1		X		X		ASIL-B
TCAN29555BRHBQ1		X			X	ASIL-B
TCAN29573BRHBQ1		X	X	X		ASIL-B
TCAN29575BRHBQ1		X	X		X	ASIL-B

5 ピン構成および機能

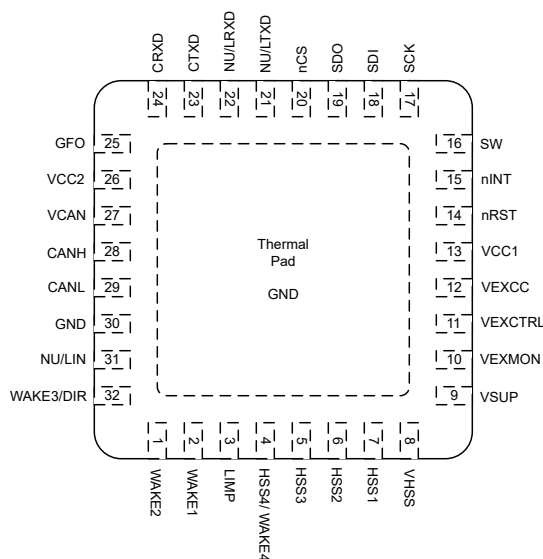


図 5-1. RHB パッケージ、32 ピン (QFN)
(上面図)

表 5-1. ピン機能、RHB パッケージ

ピン			タイプ	説明
番号	TCAN2945 TCAN2955	TCAN2947 TCAN2957		
1	WAKE2	WAKE2	高電圧	ローカル ウェーク入力端子、高電圧対応
2	WAKE1	WAKE1	高電圧	ローカル ウェーク入力端子、高電圧対応
3	LIMP	LIMP	高電圧	リンプ ホーム出力 (アクティブ Low、オープンドレイン出力)
4	HSS4/WAKE4	HSS4/WAKE4	高電圧	ハイスайд スイッチ 4 または WAKE4 のいずれかとして構成できます
5	HSS3	HSS3	高電圧	ハイスайд スイッチ
6	HSS2	HSS2	高電圧	ハイスайд スイッチ
7	HSS1	HSS1	高電圧	ハイスайд スイッチ
8	VHSS	VHSS	電源	ハイスайд スイッチ電源
9	VSUP	VSUP	高電圧電源	バッテリーからの高電圧供給
10	VEXMON	VEXMON	電源	外付け PNP エミッタ接続、シャント接続
11	VEXCTRL	VEXCTRL	電源	外付け PNP ベース制御
12	VEXCC	VEXCC	電源	外付け PNP コレクタ接続フィードバック
13	VCC1	VCC1	電源	LDO 電源出力: 3.3V または 5V
14	nRST	nRST	デジタル	VCC 出力モニタピン (アクティブ Low) およびデバイスリセット入力
15	nINT	nINT	デジタル	割り込み出力 (アクティブ Low)
16	SW	SW	デジタル	プログラミング モード入力ピン (SPI で構成可能、アクティブ High またはアクティブ Low)
17	SCK	SCK	デジタル	SPI クロック入力。
18	SDI	SDI	デジタル	SPI データ入力
19	SDO	SDO	デジタル	SPI データ出力
20	nCS	nCS	デジタル	チップ セレクト入力 (アクティブ Low)
21	NU	LTXD	デジタル	LIN 送信データ入力 (ドミナント バス状態の場合は Low、リセシブ バス状態の場合は High)。NU は使用せず、何も接続してはいけません
22	NU	LRXD	デジタル	LIN 受信データ出力 (ドミナント バス状態の場合は Low、リセシブ バス状態の場合は High)。NU は未使用であり、何も接続してはいけません
23	CTXD	CTXD	デジタル	CAN 送信データ入力 (ドミナント バス状態の場合は Low、リセシブ バス状態の場合は High)

表 5-1. ピン機能、RHB パッケージ (続き)

ピン			タイプ	説明
番号	TCAN2945 TCAN2955	TCAN2947 TCAN2957		
24	CRXD	CRXD	デジタル	CAN 受信データ出力 (ドミナント・バス状態の場合は Low、リセッシブ バス状態の場合は High)
25	GFO	GFO	デジタル	機能出力ピン (SPI 構成可能)
26	VCC2	VCC2	電源	5V LDO 出力
27	VCAN	VCAN	電源	CAN FD トランシーバ 5V 電源入力
28	CANH	CANH	バス I/O	High レベル CAN バス I/O ライン
29	CANL	CANL	バス I/O	Low レベル CAN バス I/O ライン
30	GND	GND	電源	グラウンド接続: グラウンドに接続する必要があります。
31	NU	LIN	高電圧 I/O	LIN バス入出力ピン: NU は未使用であり、何も接続してはいけません
32	WAKE3/DIR	WAKE3/DIR	高電圧	ローカル ウェーク入力端子、高電圧対応。 構成により、いずれかの HSSx を制御する直接駆動
PAD ⁽¹⁾	GND	GND	電源	グラウンド接続: グラウンドに接続する必要があります。

(1) サーマル パッド PAD はデバイス グラウンド ピンで、GND に半田付けする必要があります

6 仕様

6.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
VSUP	電源電圧 ⁽²⁾	-0.3	40	V
VHSS	ハイスайдスイッチ電源電圧 ⁽²⁾	-0.3	40	V
VEXMN	外付け PNP エミッタ監視電圧	$V_{SUP}-0.5$	40 および $V_O \leq V_{SUP} + 0.3$	V
VEXCC	外付け PNP コレクタ帰還電圧 ⁽²⁾	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
VEXCTRL	外付け PNP ベース制御電圧	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
VCC1	3.3V と 5V の安定化出力電圧	-0.3	6	V
VnRST	リセット出力電圧	-0.3	$V_{CC} + 0.3$	V
VCAN	CAN トランシーバ電源電圧	-0.3	6	V
VCC2	5V 出力電源 ⁽²⁾	-0.3	6	V
VBUSCAN	CAN バス I/O 電圧 (CANH, CANL)	-40	40	V
VBUSCAN-DIFF	CAN バスの最大差動電圧	-42	42	V
VBUSLIN	LIN バス I/O 電圧	-40	40	V
VWAKE1-3	WAKE 入力電圧	-0.3	40	V
VWAKE4	WAKE4 ピンの入力電圧範囲	-0.3	40 および $V_O \leq V_{HSS} + 0.3$	V
VHSSx	ハイスайдスイッチピンの出力電圧範囲	-0.3	40 および $V_O \leq V_{HSS} + 0.3$	V
VLIMP	LIMP ピン出力電圧範囲	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
VLOGIC_IN	ロジックピン入力電圧範囲 (SW, SDI, SCK, nCS, nRST, LTXD, CTXD)	-0.3	$V_{CC1}+0.3$	V
VLOGIC_OUT	ロジックピンの出力電圧範囲 (SDO, nRST, LRXD, CRXD, GFO)	-0.3	$V_{CC1}+0.3$	V
IO(LOGIC)	ロジックピンの出力電流 (SDO, LRXD, CRXD, GFO)		8	mA
I(WAKE)	WAKE ピンの入力電流		3	mA
I(LIMP)	LIMP ピンの入力電流		20	mA
IO(nRST)	リセット出力電流	-5	5	mA
T _J	接合部温度	-55	165	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) 300ms 間最大 40V のロード ダンプに耐えることが可能

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、CANL/H、LIN、AEC Q100-002 準拠 ⁽¹⁾	±8000	V
		人体モデル (HBM)、その他のすべてのピン、AEC Q100-002 に準拠 ⁽¹⁾	±2000	
		荷電デバイスモデル (CDM)、分類レベル C5、AEC Q100-011 準拠	角のピン ±750	
			その他のピン ±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 IEC ESD 定格

			値	単位
V _(ESD)	LIN に対する IEC 62228-2 および CAN に対する IEC 62228-3 に準拠する静電放電 ⁽¹⁾	接触放電、LIN、CANH、CANL、VSUP ⁽⁵⁾ 、VHSS ⁽⁵⁾ 、HSSx ⁽⁶⁾ 、WAKE ⁽⁷⁾ および VEXCC	±8000	V
V _(ESD)	LIN に対する IEC 62228-2 に準拠した静電放電	間接 ESD、LIN	±15000	V
V _(ESD)	LIN に対する SAE J2962-1 および CAN に対する J2962-2 に準拠する静電放電 ⁽²⁾	接触放電 (LIN、CANH、CANL)	±8000	V
		空隙放電 (CANH、CANL)	±15000	
		空隙放電 (LIN)	±25000	
ISO7637-2 および IEC 62215-3 過渡、LIN、CANH/L、VSUP、VHSS、WAKE ⁽³⁾		パルス 1	-100	V
		パルス 2	75	
		パルス 3a	-150	
		パルス 3b	100	
ISO7637-3 低速過渡パルス CAN および LIN バス端子から GND へ ⁽⁴⁾		100nF のカップリングコンデンサを備えた直接カップリングコンデンサ「低速過渡パルス」 - 電源	±30	V

- (1) IEC 62228-2 および IEC 62228-3 ESD は、サードパーティーによって実施されました。システムレベルの構成が異なると、結果も異なる可能性があります。回路の構成については、準拠レポートを参照してください。
- (2) SAE J2962-1 および SAE J2962-2 のテストは、サードパーティー US3 承認済みの EMC テスト施設で実施されました。
- (3) IEC 62228-2 と IEC 62228-3 に基づく ISO 7637-2 は、システムレベルの過渡テストです。システムレベルの構成が異なると、結果も異なる可能性があります。回路の構成については、準拠レポートを参照してください。
- (4) ISO 7637-3 はシステムレベルの過渡テストです。システムレベルの構成が異なると、結果も異なる可能性があります。
- (5) VSUP と VHSS はオンボードで互いに接続されており、個別にテストされません
- (6) HSSx ピンには、アプリケーション図の推奨事項に従ってコンデンサが接続されています
- (7) アプリケーション図に従って、WAKEx ピンはピンで推奨される直列抵抗とコンデンサを使用して保護されています

6.4 推奨動作条件

推奨動作範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VSUP	電源電圧 ^{(1) (2)}	5.5		28	V
VHSS	ハイサイドスイッチ電源電圧	5		28	V
VCAN	CAN トランシーバ電源電圧	4.75	5	5.25	V
V _{CM_CAN}	CAN バスの同相電圧範囲	-12		12	V
V _{LIN}	LIN バス入力電圧	0		28	V
I _{OH(DO)}	デジタル出力 High レベル電流	-2			mA
I _{OL(DO)}	デジタル出力 Low レベル電流			2	mA
I _{O(LIMP)}	LIMP として構成時の LIMP ピン電流			6	mA
I _{O(HSSx)}	ハイサイド スイッチ ピン電流		60	100	mA
C _(VHSS)	VHSS 電源ピンの容量	100			nF

6.4 推奨動作条件 (続き)

推奨動作範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$C_{(VSUP)}$	V_{SUP} 電源ピンの容量	100			nF
$C_{(VEXCC)}$	VEXCC 電源容量;	4.7			μF
ESR_C	VEXCC ESR 容量要件	1		150	mΩ
$C_{(VCC1/2)}$	LDO の安定性のために必要な VCC1 と VCC2 の実効電源容量。無負荷から全負荷	1			μF
ESR_{CO}	VCC1 および VCC2 出力の ESR 容量要件	0.001		1	Ω
TSDWR	サーマルシャットダウン警告	145		165	°C
TSDWF	サーマルシャットダウン警告解除	130		150	°C
TSDWHYS	サーマルシャットダウン警告ヒステリシス		15		°C
TSDR	サーマルシャットダウン	165		200	°C
TSDF	サーマルシャットダウン解除	155		190	°C
TSDHYS	サーマル シャットダウンヒステリシス		10.0		°C
T_J	動作ジャンクション温度範囲	-40		150	°C

- VCC1 が 3.3V 出力の場合、VCC1 は 4.5V の VSUP で動作しますが、他の LDO はパススルーモードとなり、出力電圧は調整値になりません。すべての LDO がレギュレーションになるには、VSUP は 5.5V 以上である必要があります。
- VCC1 が 3.3V 出力で、VSUP が 4.5V を超えている場合、LIN トランシーバは動作しますが、電気的特性やタイミング特性の規定値を満たさない可能性があります。

6.5 熱に関する情報

熱評価基準 ⁽¹⁾		RHB (QFN)	単位
		32-PINS	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	21.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.8	°C/W

- 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.6 電源の特性

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および $T_J = 25^\circ\text{C}$ で規定されます

パラメータ	テスト条件	最小値	標準値	最大値	単位
バッテリー電源入力 (VSUP)					
$ISUP_{norm}$	SBC 通常モード時のバッテリー電源電流デバイス	SBC 通常モード、VCC1 無負荷、VCC2 無負荷時にオン、VEXCC = オフ、CAN および LIN トランシーバ オフ、すべての HSS がオフ、WAKE ピン無効	1	2	mA
$ISUP_{stby-85c}$	バッテリー電源電流、低消費電力スタンバイモード	スタンバイ モード、VEXCC、VCC2 = オフ、VCC1 = 無負荷時にオン、 $6.5V \leq VSUP \leq 18V$ 、CAN および LIN トランシーバがオフ、すべての HSS ピンおよび WAKE ピンがオフ、ウォッチドッグがオフ、ロング ウィンドウが終了、 $-40^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ 、		70	μA

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISUP _{slp-85c}	バッテリー電源電流、スリープ モード、LDO およびトランシーバがオフ	スリープ モード、VEXCC、VCC1、VCC2 = オフ、6.5V ≤ VSUP ≤ 18V、トランシーバがオフ、すべての HSSx がオフ、1 つの WAKE ピンが有効で接地またはフローティング、-40°C ≤ T _J ≤ 85°C		20	35	μA
VSUP _{(PU)R}	電源オン検出	VSUP 立ち上がり、 図 7-17 を参照	2.9	3.4	3.7	V
VSUP _{(PU)F}	電源オフ検出	VSUP 立ち下がり、 図 10-2 および 図 10-3 を参照	2.6	2.9	3.2	V
VSUP _{(PU)HYS}	電源オフ検出ヒステリシス		300	430	800	mV
UVSUP _{5R}	電源低電圧回復	VSUP 立ち上がり、 図 7-17 、 図 10-2 、 図 10-3 を参照	4.9		5.5	V
UVSUP _{5F}	電源低電圧検出	VSUP 立ち下がり、 図 10-2 および 図 10-3 を参照	4.5		5.1	V
UVSUP _{5HYS}	電源低電圧検出ヒステリシス		200		600	mV
UVSUP _{33R}	電源低電圧回復	VSUP 立ち上がり、 図 7-17 、 図 10-2 、 図 10-3 を参照	3.7		4.4	V
UVSUP _{33F}	電源低電圧検出	VSUP 立ち下がり、 図 10-2 および 図 10-3 を参照	3.55		4.25	V
UVSUP _{33HYS}	電源低電圧検出ヒステリシス		50		300	mV
有効時の追加機能での消費電流						
ISUP _{VCC2-85C}	VCC2 LDO を有効にしたときの追加電源電流	スリープまたはスタンバイ モード、VCC2 を有効にし、負荷がない場合の追加電流。VSUP = 6.5V ~ 12V、T _J : -40°C ~ 85°C		25	35	μA
ISUP _{VCC2-150C}	VCC2 LDO を有効にしたときの追加電源電流	スリープまたはスタンバイ モード、VCC2 を有効にし、負荷がない場合の追加電流。VSUP = 6.5V ~ 28V、T _J : -40°C ~ 150°C		25	40	μA
ISUP _{HSSNOLOA D-LP}	低消費電力モードでの各 HSS の増分バッテリー電源電流。	各 HSSx をオン (HSS の低消費電力モード、HSSx_LP_EN = 1b) にし、無負荷、T _J ≤ 85°C の場合		5	8	μA
ISUP _{HSSNOLOA D}	各 HSS の漸増バッテリー供給電流。	各 HSSx をオンにし、無負荷、T _J ≤ 85°C の場合		25	35	μA
ISUP _{WD}	ウィンドウまたは Q&A でウォッチドッグが有効時の漸増バッテリー電源電流	スタンバイ モード、VEXCC、VCC2 = オフ、VCC1 = 無負荷時にオン、VSUP 14V、CAN および LIN トランシーバはウェーク対応かつバスリセッパ、すべての HSS および WAKE ピンがオフ、ウォッチドッグが有効 (ウィンドウ、Q&A)、T _J ≤ 85°C		45	55	μA
ISUP _{WDTO}	タイムアウトウォッチドッグが有効時の、漸増バッテリー供給電流。	スタンバイ モード、VEXCC、VCC2 = オフ、VCC1 = 無負荷時にオン、VSUP 14V、CAN および LIN トランシーバはウェーク対応かつバスリセッパ、すべての HSS および WAKE ピンがオフ、ウォッチドッグが有効 (タイムアウト)、T _J ≤ 85°C		2	2.5	μA
ISUP _{CANBIAS}	CAN 出力が自動バイアス時にさらに消費電流を増加 (tSILENCE が期限切れになる前)	tSILENCE 経過前のスリープ モードまたはスタンバイ モード。VSUP = 14V、T _J ≤ 85°C		55	65	μA
ISUP _{wake}	イネーブル時の各 WAKEx ピンの漸増バッテリー供給電流	WAKEx ピンイネーブル、VSUP = 14V、T _J ≤ 85°C		1	2	μA

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISUP _{CS-WK}	スリープモードでサイクリックセンシングウェークが有効時の漸増バッテリー電流	スリープモード、サイクリックセンシングウェークがイネーブル、VSUP = 14V、T _J ≤ 85°C、オン幅 = 1ms、周期 = 100ms の TIMERx		5	8	μA
ISUP _{stdbyswodr}	HSSx 直接駆動による、スリープ モードでのバッテリー電源電流	スタンバイ モード、VEXCC および VCC2 = オフ、VCC1 = 無負荷時にオン、6.5V ≤ VSUP ≤ 18V、CAN および LIN トランシーバはウェーク対応、WAKE3/DIR ピンにより 50ms ごとに 1 つの HSSx が 120μs オン、他のすべての HSSx と WAKEx はオフ、−40°C ≤ T _J ≤ 85°C ⁽²⁾		60	75	μA
ISUP _{stdbywodr}	バッテリー電源電流、HSS4 を直接駆動するスリープ モード	スタンバイ モード、VEXCC および VCC2 = オフ、VCC1 = 無負荷時にオン、6.5V ≤ VSUP ≤ 18V、CAN および LIN トランシーバはウェーク対応、WAKE3/DIR ピンにより 50ms ごとに 1 つの HSSx が 120μs オン、他のすべての HSSx と WAKEx はオフ、T _J ≤ 25°C ⁽²⁾		50	60	μA
IEXCC _{slp}	VEXCC が有効時の、漸増バッテリー電源電流引き込み	スリープまたはスタンバイ モード、VEXCC はスタンダアローン構成で無負荷で有効。VEXMON および VEXCTRL ピンへの電流を含みます			55	μA
VHSS						
IVHSS _{SLP}	スリープモードでのハイサイドスイッチ電源 (VHSS) の消費電流	スリープモード、サイクリックセンシングウェーク = オフ、−40°C ≤ T _J ≤ 85°C		1	2	μA
IHSS _{NOLOAD_LP}	HSS を低消費電力モードに設定してオンにした場合の、各 HSS による追加電流消費	各 HSS がオンの場合、HSS 出力に負荷なし。		10	15	μA
IHSS _{NOLOAD}	各 HSS がオンの場合、さらに電流が引き込まれます	各 HSS がオンの場合、HSS 出力に負荷なし。		20	30	μA
UVHSS _R	ハイサイドスイッチ電源の低電圧回復	VHSS 立ち上がり	4.6		4.9	V
UVHSS _F	ハイサイド スイッチ電源の低電圧検出。HSS_UV_DIS = 0b の場合ハイサイド スイッチはオフ	VHSS 立ち下がり	4.4		4.7	V
UVHSS _{HYS}	ハイサイドスイッチ電源の低電圧検出ヒステリシス		100			mV
OVHSS _R	VHSS 過電圧立ち上がりスレッシュホールド。HSS_OV_DIS = 0b の場合ハイサイド スイッチはオフ	VHSS 立ち上がり	20		22	V
OVHSS _F	VHSS 過電圧立ち下がりスレッシュホールド。ハイサイド スイッチを再度有効にするには VHSS をこのスレッシュホールドより低くする必要があります	VHSS 立ち下がり	18.8		21.2	V
OVHSS _{HYS}	VHSS 過電圧スレッシュホールドヒステリシス		800		1200	mV
VCC1 レギュレータ						
VCC1 ₅	安定化出力	VSUP = 5.5V ~ 28V、ICC1 = 1 ~ 250mA	4.9	5	5.1	V
VCC1 ₃₃	安定化出力	VSUP = 5.5V ~ 28V、ICC1 = 1 ~ 250mA	3.234	3.3	3.366	V

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
ICC1 _{SINK}	VCC1 電流シンク能力	VSUP = 14V およびレジスタ 8'h0D[3]=0b	-17	-11	-7	μA
		VSUP = 14V およびレジスタ 8'h0D[3]=1b	-155	-112	-75	μA
ICC1 _{LIM-DET}	VCC1 の出力電流制限検出スレッシュホルド	VSUP 5.5V ~ 28V	250		475	mA
ICC1 _{LIM}	VCC1 出力電流制限	VCC1 はグラウンドへ短絡	300		500	mA
UVCC1 _{5RPR}	VCC1 低電圧回復スレッシュホルドの事前警告	VCC1 の立ち上がり	4.65		4.9	V
UVCC1 _{5FPR}	VCC1 低電圧検出スレッシュホルドの事前警告	VCC1 の立ち下がり	4.55		4.8	V
UVCC1 _{5PRHYS}	低電圧事前警告 5V LDO ヒステリシス		70		130	mV
UVCC1 _{5R1}	VCC1 低電圧回復スレッシュホルド 1	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 00b	4.60		4.85	V
UVCC1 _{5F1}	VCC1 低電圧検出スレッシュホルド 1	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 00b	4.50		4.75	V
UVCC1 _{5R2}	VCC1 低電圧回復スレッシュホルド 2	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 01b	3.85		4.15	V
UVCC1 _{5F2}	VCC1 低電圧検出スレッシュホルド 2	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 01b	3.75		4.05	V
UVCC1 _{5R3}	VCC1 低電圧回復スレッシュホルド 3	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 10b	3.25		3.55	V
UVCC1 _{5F3}	VCC1 低電圧検出スレッシュホルド 3	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 10b	3.15		3.45	V
UVCC1 _{5R4}	VCC1 低電圧回復スレッシュホルド 4	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 11b	4.6		4.85	V
UVCC1 _{5F4}	VCC1 低電圧検出スレッシュホルド 4	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 11b	3.375		3.675	V
UVCC1 _{5HYS4}	低電圧検出 5V LDO ヒステリシス	レジスタ 8'h0E[4:3] = 11b		1200		mV
UVCC1 _{5HYS}	低電圧検出 5V LDO ヒステリシス	レジスタ 8'h0E[4:3] = 00b, 01b または 10b	50		150	mV
UVCC1 _{33RPR}	VCC1 低電圧回復スレッシュホルドの事前警告	VCC1 の立ち上がり	3.1		3.28	V
UVCC1 _{33FPR}	VCC1 低電圧検出スレッシュホルドの事前警告	VCC1 の立ち下がり	3		3.2	V
UVCC1 _{33PRHYS}	低電圧事前警告 3.3V LDO ヒステリシス		60		120	mV
UVCC1 _{33R1}	VCC1 低電圧回復スレッシュホルド 1	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 00b	3		3.2	V
UVCC1 _{33F1}	VCC1 低電圧検出スレッシュホルド 1	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 00b	2.95		3.15	V
UVCC1 _{33R2}	VCC1 低電圧回復スレッシュホルド 2	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 01b	2.55		2.75	V
UVCC1 _{33F2}	VCC1 低電圧検出スレッシュホルド 2	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 01b	2.5		2.7	V
UVCC1 _{33R3}	VCC1 低電圧回復スレッシュホルド 3	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 10b	2.25		2.45	V
UVCC1 _{33F3}	VCC1 低電圧検出スレッシュホルド 3	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 10b	2.2		2.4	V

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_j = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
UVCC1 _{33R4}	VCC1 低電圧回復スレッシュホールド 4	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 11b	3		3.2	V
UVCC1 _{33F4}	VCC1 低電圧検出スレッシュホールド 4	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 11b	2.2		2.4	V
UVCC1 _{33HYS4}	低電圧検出 3.3V LDO ヒステリシス	レジスタ 8'h0E[4:3] = 11b		800		mV
UVCC1 _{33HYS}	低電圧検出 3.3V LDO ヒステリシス	レジスタ 8'h0E[4:3] = 00b, 01b または 10b	30		70	mV
OVCC1 _{5R1}	スリープモードまたはフェイルセーフモードに移行するための過電圧 5V VCC スレッシュホールド	ランプアップ、レジスタ 8'h0C[7] = 0b	5.25		5.5	V
OVCC1 _{5F1}	過電圧 5V VCC1 スレッシュホールド	ランプダウン、レジスタ 8'h0C[7] = 0b	5.15		5.4	V
OVCC1 _{5R2}	スリープモードまたはフェイルセーフモードに移行するための過電圧 5V VCC1 スレッシュホールド	ランプアップ、レジスタ 8'h0C[7] = 1b	5.5		5.7	V
OVCC1 _{5F2}	過電圧 5V VCC1 スレッシュホールド	ランプダウン、レジスタ 8'h0C[7] = 1b	5.4		5.6	V
OVCC1 _{5HYS}	過電圧 5V VCC スレッシュホールドのヒステリシス		50		150	mV
OVCC1 _{33R1}	スリープモードまたはフェイルセーフモードに移行するための過電圧 3.3V VCC1 スレッシュホールド	ランプアップ、レジスタ 8'h0C[7] = 0b	3.45		3.6	V
OVCC1 _{33F1}	過電圧 3.3V VCC1 スレッシュホールド	ランプダウン、レジスタ 8'h0C[7] = 0b	3.4		3.55	V
OVCC1 _{33R2}	過電圧 3.3V VCC1 スレッシュホールド	ランプアップ、レジスタ 8'h0C[7] = 1b	3.6		3.8	V
OVCC1 _{33F2}	スリープモードまたはフェイルセーフモードに移行するための過電圧 3.3V VCC1 スレッシュホールド	ランプダウン、レジスタ 8'h0C[7] = 1b	3.5		3.7	V
OVCC1 _{33HYS1}	過電圧 3.3V VCC スレッシュホールドのヒステリシス	OVCC1_SEL レジスタ 8'h0C[7] = 0b	30	55	70	mV
OVCC1 _{33HYS2}	過電圧 3.3V VCC スレッシュホールドのヒステリシス	OVCC1_SEL レジスタ 8'h0C[7] = 1b	70	105	140	mV
VCC1 _{5SC}	5V LDO においてスリープモードまたはフェイルセーフモードに移行する VCC1 短絡スレッシュホールド	VSUP ≥ VSUP _(PU)	1.7		2.3	V
VCC1 _{33SC}	3.3V LDO においてスリープモードまたはフェイルセーフモードに移行する VCC1 短絡スレッシュホールド	VSUP ≥ VSUP _(PU)		1.22	1.26	V
V _{5DROP1-VCC1}	ドロップアウト電圧 (VCC1 = 5V 構成)	VSUP = 3.5V, ICC1 = 50mA			500	mV
V _{5DROP2-VCC1}	ドロップアウト電圧 (VCC1 = 5V 構成)	VSUP = 5V, ICC1 = 150mA			500	mV
V _{33DROP1-VCC1}	ドロップアウト電圧 (VCC1 = 3.3V 構成)	VSUP = 3.5V, ICC1 = 50mA			500	mV
VCC2 レギュレータ						
VCC2 _{nom}	通常動作のレギュレーション出力	VSUP = 6V ~ 28V, ICC2 = 0 ~ 100mA	4.9	5	5.1	V
VCC2 _{red}	低減動作のレギュレーション出力	VSUP = 8V ~ 18V, ICC2 = 10μA ~ 5mA, T _j = -40°C ~ 125°C	4.95	5	5.05	V
ICC2 _{LIM-DET}	VCC2 の出力電流制限検出スレッシュホールド	VSUP 5.5V ~ 28V、	125		250	mA
ICC2 _{LIM}	VCC2 出力電流制限	VCC2 = 2.5 V	150		250	mA
UVCC2 _R	低電圧回復 VCC2	VCC2 の立ち上がり	4.6		4.9	V
UVCC2 _F	低電圧検出 VCC2	VCC2 の立ち下がり	4.5		4.75	V
UVCC2 _{HYS}	低電圧検出 VCC2 ヒステリシス		70		175	mV

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
OVCC2 _R	過電圧 VCC2 LDO スレッシュホールド	増加	5.4		5.6	V
OVCC2 _F	過電圧 VCC2 LDO スレッシュホールド	減少	5.2		5.5	V
OVCC2 _{HYS}	過電圧 VCC2 LDO スレッシュホールドのヒステリシス		70		175	mV
VCC2 _{SC}	VCC2 LDO 短絡スレッシュホールド	VSUP ≥ VSUP _(PU)	1.7		2.3	V
V _{5DROP1-VCC2}	ドロップアウト電圧 (5V LDO 出力、VCC2)	VSUP = 3.5V, ICC2 = 50mA			500	mV
V _{5DROP2-VCC2}	ドロップアウト電圧 (5V LDO 出力 VCC2)	VSUP = 5V, ICC2 = 30mA			500	mV
VEXCC レギュレータ						
VEXCC ₁₈	1.8V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	1.764	1.8	1.836	V
VEXCC ₂₅	2.5V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	2.45	2.5	2.55	V
VEXCC ₃₃	3.3V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	3.234	3.3	3.366	V
VEXCC ₅	5V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	4.9	5	5.1	V
UVEXCC _R	VEXCC が低電圧イベントを終了	5.5V ≤ VSUP ≤ 28V	0.87	0.9	0.93	V _{EXCC}
UVEXCC _F	VEXCC が低電圧イベントに移行	5.5V ≤ VSUP ≤ 28V	0.81	0.85	0.89	V _{EXCC}
UVEXCC _{HYS}	VEXCC が低電圧ヒステリシスに移行	5.5V ≤ VSUP ≤ 28V	30		350	mV
OVEXCC _R	VEXCC が過電圧イベントに移行	5.5V ≤ VSUP ≤ 28V	1.12	1.15	1.18	V _{EXCC}
OVEXCC _F	VEXCC が過電圧イベントを終了	5.5V ≤ VSUP ≤ 28V	1.07	1.1	1.13	V _{EXCC}
OVEXCC _{HYS}	VEXCC が過電圧ヒステリシスを終了	5.5V ≤ VSUP ≤ 28V	45		300	mV
VEXCC _{SC18}	1.8V および 2.5V における VEXCC 短絡検出	5.5V ≤ VSUP ≤ 28V		1.1	1.26	V
VEXCC _{SC}	3.3V および 5V における VEXCC 短絡検出	5.5V ≤ VSUP ≤ 28V	1.7		2.3	V
IVEXCC	VEXCC の入力電流	VEXCC = 5V, 3.3V, 2.5V, 1.8V	0	0.5	3	μA
VVEXCTRL	外部 PNP の基数ピンの電圧出力	5.5V ≤ VSUP ≤ 28V			28	V
IVEXCTRL	外部 PNP の基数ピンでの駆動電流	VVEXCTRL = 13.5V	12	40	70	mA
IVEXCTRL _{LKG}	基数ピン VEXCTRL の電流リーク	VVEXCTRL = 13.5, T _J = 25°C			5	μA
IVEXMON	VEXMON ピンの入力電流	VEXMON = VSUP	0	4	8	μA
IVEXMON _{LKG}	VEXMON ピン入力リーク電流の外部 PNP 無効化	VEXMON = VSUP, T _J = 25°C			5	μA
VSHUNTTH	出力電流シャント電圧スレッシュホールド ⁽¹⁾		0.15	0.2	0.25	V
t _{RLINC-3P3V}	電流が増加するレギュレーション応答時間	VEXCC = 3.3V ~ 0V、最大 IVEXCTRL = 20mA、VEXMON = VSUP 図 8-3 を参照			20	μs
t _{RLDEC-3P3V}	電流が減少するレギュレーション応答時間	VEXCC = 0V ~ 3.3V、最大 IVEXCTRL = 20mA、VEXMON = VSUP、 図 8-3 を参照			5	μs
t _{RLINC-5V}	電流が増加するレギュレーション応答時間	VEXCC = 5V ~ 0V、最大 IVEXCTRL = 20mA、VEXMON = VSUP、 図 8-3 を参照			20	μs
t _{RLDEC-5V}	電流が減少するレギュレーション応答時間	VEXCC = 0V ~ 5V、最大 IVEXCTRL = 20mA、VEXMON = VSUP、 図 8-3 を参照			5	μs

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、 $V_{SUP} = 14V$ および $T_J = 25^\circ C$ で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
Ratio _{ICC3/ICC1-5}	負荷共有比 5 (ICC3:ICC1)	6.0V ≤ V_{SUP} ≤ 28V、 SBC 通常モード、 LS 比設定 0x1F[3:1] = 101b $R_{shunt} = 0.25\Omega$ 合計負荷電流 = 500mA レギュレーション中の VCC1、VEXCC (テスト中に UV または OC 割り込みが設定されていない)		3.2		
Ratio _{ICC3/ICC1-5}	負荷共有比 5 (ICC3:ICC1)	6.0V ≤ V_{SUP} ≤ 28V、 SBC 通常モード、 LS 比設定 0x1F[3:1] = 101b $R_{shunt} = 0.25\Omega$ 合計負荷電流 = 300mA レギュレーション中の VCC1、VEXCC (テスト中に UV または OC 割り込みが設定されていない)		3.5		
Ratio _{ICC3/ICC1-3}	負荷共有比 3 (ICC3:ICC1)	6.0V ≤ V_{SUP} ≤ 28V、 SBC 通常モード、 LS 比設定 0x1F[3:1] = 011b $R_{shunt} = 0.25\Omega$ 合計負荷電流 = 500mA レギュレーション中の VCC1、VEXCC (テスト中に UV または OC 割り込みが設定されていない)		2.2		
Ratio _{ICC3/ICC1-1}	負荷共有比 1 (ICC3:ICC1)	6.0V ≤ V_{SUP} ≤ 28V、 SBC 通常モード、 LS 比設定 0x1F[3:1] = 001b $R_{shunt} = 0.25\Omega$ 合計負荷電流 = 300mA レギュレーション中の VCC1、VEXCC (テスト中に UV または OC 割り込みが設定されていない)		1.3	1.6	
VCAN 電源入力						
IVCAN	電源電流	通常モード:リセッスブ、 $V_{TXD} = VCC1$ 、 VEXCC、VCC1、VCC2 = 無負荷時にオン		3	5	mA
		通常モード:ドミナント、 $V_{TXD} = 0V$ 、 $R_L = 60\Omega$ 、 $C_L =$ 開放、標準バス負荷、 VEXCC、VCC1、VCC2 = オン (無負荷時)			60	mA
		通常モード:ドミナント、 $V_{TXD} = 0V$ 、 $R_L = 50\Omega$ 、 $C_L =$ 開放、高バス負荷、VEXCC、 VCC1、VCC2 = オン (無負荷時)			65	mA
		通常モード:バス故障のドミナント、 $V_{TXD} = 0V$ 、CANH = -25V、 R_L および $C_L =$ 開放、 VEXCC、VCC1、VCC2 = オン (無負荷時)			100	mA
UVCAN _R	電源低電圧回復	VCAN 立ち上がり	4.6		4.85	V
UVCAN _F	電源低電圧検出	VCAN 立ち下がり	4.5		4.75	V
UVCAN _{HYS}	VCAN 電源低電圧検出ヒステリシス		50	100	150	mV

- (1) 電流制限が動作を開始し、VEXCC がスタンドアロン構成に設定されている場合にのみアクティブになるスレッシュホルド
- (2) 直接駆動を使用して各 HSS をオンにした場合、電流値が高くなります

6.7 電気的特性

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CAN ドライバ						
$V_{CANH(D)}$	バス出力電圧 (ドミナント) CANH	図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $R_L = 45\Omega \sim 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	3.0		4.26	V
$V_{CANL(D)}$	バス出力電圧 (ドミナント) CANL		0.75		2.01	V
$V_{CANH(R)}$ $V_{CANL(R)}$	バス出力電圧 (リセッパ)	図 7-1 と図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L =$ 開放 (負荷なし)、 $R_{CM} =$ 開放	2	2.5	3	V
$V_{CANH(R)}$ $V_{CANL(R)}$	終端されたバスの出力電圧 (リセッパ)	$V_{CTXD} = V_{CC1}$ 、 $45\Omega \leq R_L \leq 65\Omega$ 、分割終端容量 4.7nF	2.256		2.756	V
$V_{DIFF(D)}$	通常バス負荷時の差動出力電圧 (ドミナント)	図 7-1 および図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $45\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	1.5		3	V
$V_{DIFF(D)}$	拡張差動負荷範囲における差動出力電圧 (ドミナント)	図 7-1 と図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $45\Omega \leq R_L \leq 70\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	1.5		3.3	V
$V_{DIFF(D)}$	アービトレーション中の実効抵抗の差動出力電圧 (ドミナント)	図 7-1 と図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $R_L = 2.24k\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	1.5		5	V
$V_{DIFF(R)}$	差動出力電圧 (リセッパ)	図 7-1 と図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L = 45\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	-50		50	mV
		図 7-1 と図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L =$ 開放 (負荷なし)、 $C_L =$ 開放、 $R_{CM} =$ 開放	-50		50	mV
$V_{CANH(INACT)}$	バスバイアスが非アクティブの場合の CANH のバス出力電圧	図 7-1 と図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L =$ 開放、 $C_L =$ 開放、 $R_{CM} =$ 開放	-0.1		0.1	V
$V_{CANL(INACT)}$	バスバイアスが非アクティブの場合の CANL のバス出力電圧		-0.1		0.1	V
$V_{DIFF(INACT)}$	バスバイアスが非アクティブのときの CANH-CANL (リセッパ) のバス出力電圧		-0.2		0.2	V
$V_{SYM-VCC}$	出力対称 (ドミナントまたはリセッパ) ($V_{O(CANH)} + V_{O(CANL)})/V_{CAN}$ ⁽⁸⁾	図 7-1 と図 7-4 を参照、 $R_L = 60\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放、 $C_1 = 4.7nF$ 、 $CTXD = 250kHz$ 、 $1MHz$ 、 $2.5MHz$	0.9		1.1	V/V
$V_{SYM-REC}$	出力対称 (ドミナントまたはリセッパ) ($V_{O(CANH)} + V_{O(CANL)})/V_{REC}$ ⁽⁸⁾	図 7-1 と図 7-4 を参照、 $R_L = 45\Omega \sim 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放、 $C_1 = 4.7nF$ 、 $CTXD = 250kHz$ 、 $1MHz$ 、 $2.5MHz$	0.95		1.05	V/V
V_{SYM_DC}	出力対称性 (ドミナントまたはリセッパ) ($V_{CC} - V_{O(CANH)} - V_{O(CANL)})$ 、HS-PMA 実装の想定最高ビットレートに対応する周波数。ただし、最大 1MHz (2Mbit/s) とします	図 7-1 と図 7-4 を参照、 $R_L = 60\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放、 $C_1 = 4.7nF$	-400		400	mV
$I_{CANH(OS)}$	短絡時の定常状態出力電流、ドミナント 図 7-1 と図 7-8 を参照	$-3.0V \leq V_{CANH} \leq +18.0V$ 、CANL = 開放、 $V_{CTXD} = 0V$	-100			mA
$I_{CANL(OS)}$		$-3.0V \leq V_{CANL} \leq +18.0V$ 、CANH = 開放、 $V_{CTXD} = 0V$			100	mA
I_{OS_REC}	短絡時の定常状態出力電流、リセッパ、図 7-1 と図 7-8 を参照	$-40V \leq V_{BUS} \leq +40V$ 、 $V_{BUS} = CANH = CANL$	-5		5	mA
CAN レシーバ						
$V_{DIFF_RX(D)}$	レシーバがドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12.0V \leq V_{CANL} \leq +12.0V$ $-12.0V \leq V_{CANH} \leq +12.0V$ 図 7-5 および表 8-3 を参照	0.9		8	V
$V_{DIFF_RX(R)}$	レシーバリセッパ状態の差動入力電圧範囲、バスバイアスがアクティブ		-3		0.5	V

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{HYS}	入力スレッショルド、通常モードのヒステリシス電圧		135			mV
$V_{DIFF_RX(D_INACT)}$	レシーバドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ時	$-12.0V \leq V_{CANL} \leq +12.0V$ $-12.0V \leq V_{CANH} \leq +12.0V$ 図 7-5 および表 8-3 を参照	1.15		8	V
$V_{DIFF_RX(R_INACT)}$	レシーバリセシブ状態の差動入力電圧範囲、バスバイアスがアクティブ中		-3		0.4	V
$I_{LKG-CANH}$, $I_{LKG-CANL}$	電源オフ時の CANH、CANL ピンの入力リーク電流	CANH = 5V、CANL = 5V。VCAN = VSUP = 0V または 47kΩ の抵抗を介して GND に接続	-5		5	μA
C_I	グラウンドに対する入力容量 (CANH または CANL) ⁽⁹⁾				20	pF
C_{ID}	差動入力容量 ⁽⁹⁾				10	pF
$R_{DIFF_PAS_REC}$	パッシブリセシブ状態を維持する差動入力抵抗	$V_{CTXD} = VCC1$, 通常モード: $-2.0V \leq V_{CANH} \leq +7.0V$, $-2.0V \leq V_{CANL} \leq +7.0V$	12		100	kΩ
R_{SE_CANH} R_{SE_CANL}	パッシブリセシブ状態でのシングルエンド入力抵抗	$-2.0V \leq V_{CANH} \leq +7.0V$ $-2.0V \leq V_{CANL} \leq +7.0V$	6		50	kΩ
m_R	入力抵抗マッチング: $[1 - (R_{IN(CANH)} / R_{IN(CANL)})] \times 100\%$	$V_{CANH} = V_{CANL} = 5.0V$	-1		1	%
$R_{SE_SIC_ACT_REC}$	アクティブリセシブ駆動位相時のシングルエンド SIC インピーダンス (CANH から同相バイアス、CANL から同相バイアス) (CAN FD SIC 搭載の TCAN295xx バリエーション)	$TXD = 0V$, $2V \leq V_{CANH/L} \leq VCC - 2V$ ($-12V \leq V_{CANH/L} \leq 12V$ の場合) $\Delta V/\Delta I$ 使用 (RX セクションの $R_{SE_CANH}/CANL/R_{DIFF_PAS_REC}$ と同様)、バスは無負荷 (CAN FD SIC 搭載の TCAN295xx バリエーション)	37.5		66.5	Ω
$R_{DIFF_SIC_ACT_REC}$	アクティブリセシブ駆動位相の差動入力抵抗 (CANH から CANL) (CAN FD SIC 搭載の TCAN295xx バリエーション)	$2V \leq V_{CANH/L} \leq VCC - 2V$ 、 TXD の立上りエッジからアクティブリセシブ駆動期間 (t_{REC_START}) 経過までの継続時間、 $\Delta V/\Delta I$ 使用 (RX セクションの $R_{SE_CANH}/CANL/R_{DIFF_PAS_REC}$ と同様)、バス無負荷 (CAN FD SIC 搭載の TCAN295xx バリエーション)	75		133	Ω
LIN						
V_{OH}	HIGH レベル出力電圧 ⁽¹⁾	LIN リセシブ、LTXD = High、 $I_O = 0mA$ 、 $VSUP = 5.5V \sim 28V$	0.85			VSUP
V_{OL}	LOW レベル出力電圧 ⁽¹⁾	LIN ドミナント、LTXD = Low、 $VSUP = 5.5V \sim 28V$			0.2	VSUP
V_{IH}	HIGH レベル入力電圧 ⁽¹⁾	LIN リセシブ、LTXD = High、 $I_O = 0mA$ 、 $VSUP = 5.5V \sim 28V$	0.47		0.6	VSUP
V_{IL}	LOW レベル入力電圧 ⁽¹⁾	LIN ドミナント、LTXD = Low、 $VSUP = 5.5V \sim 28V$	0.4		0.53	VSUP
$V_{SUP_NON_OP}$	リセシブの LIN バスの影響が 5% 未満の場合の V_{SUP} (ISO/DIS 17987 Param 11)	LTXD および LRXD 開放、 $V_{LIN} = 5.5V \sim 45V$ 、 $VCC =$ 無負荷	-0.3		40	V
I_{BUS_LIM}	制限電流 (ISO/DIS 17987-4 Param 12)	LTXD = 0V、 $V_{LIN} = 18V$ 、 $VSUP = 18V$	40	90	200	mA
$I_{BUS_PAS_DOM}$	レシーバのリーク電流、ドミナント (ISO/DIS 17987 Param 13)	$V_{LIN} = 0V$ 、 $VSUP = 12V$ ドライバオフ/リセシブ、	-1			mA

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{BUS_PAS_rec1}	レシーバのリーク電流、リセッティング (ISO/DIS 17987 Param 14)	V _{LIN} ≥ VSUP、5.5V ≤ VSUP ≤ 28V ドライバオフ、			20	μA
I _{BUS_PAS_rec2}	レシーバのリーク電流、リセッティング (ISO/DIS 17987 Param 14)	V _{LIN} = VSUP、ドライバオフ、	-5		5	μA
I _{BUS_NO_GND}	リーク電流、グラウンド喪失 (ISO/DIS 17987 Param 15)	GND = VSUP、VSUP = 12V、0V ≤ V _{LIN} ≤ 28V、	-1		1	mA
I _{BUSrec_NO_GND}	リーク電流、グラウンド LIN バスの喪失はリセッティング状態	GND = VSUP、VSUP = 12V = V _{LIN} V、	-100		100	μA
I _{BUS_NO_BAT}	リーク電流、電源喪失 (ISO/DIS 17987 Param 16)	0V ≤ V _{LIN} ≤ 28V、VSUP = GND、			10	μA
V _{BUSdom}	Low レベル入力電圧 (ISO/DIS 17987 Param 17)	LIN ドミナント (ウェークアップの LIN ドミナントを含む)、			0.4	VSUP
V _{BUSrec}	High レベル入力電圧 (ISO/DIS 17987 Param 18)	LIN リセッティング、	0.6			VSUP
V _{BUS_CNT}	レシーバのセンター スレッシュホールド (ISO/DIS 17987 Param 19)	V _{BUS_CNT} = (V _{IL} + V _{IH})/2、	0.475	0.5	0.525	VSUP
V _{HYS}	ヒステリシス電圧 (ISO/DIS 17987 Param 20) ⁽²⁾	V _{HYS} = (V _{IH} - V _{IL})、V _{HYS} = (V _{th_rec} - V _{th_dom}) ⁽³⁾	0.07		0.175	VSUP
V _{SERIAL_DIODE}	直列ダイオードの LIN 端子プルアップ バス (ISO/DIS 17987 Param 21)	設計と特性評価による、VSUP 5.5V ~ 18V	0.4	0.7	1.0	V
R _{LIN}	LIN の V _{SUP} への内部プルアップ抵抗 (ISO/DIS 17987 Param 26)	通常モードとスタンバイモード	27.66	35	48	kΩ
I _{RSLEEP}	V _{SUP} に接続されたプルアップ電流源	スリープモード、VSUP = 14V、LIN = GND	-13	-10	-7	μA
C _{LIN_PIN}	LIN ピンの容量	⁽⁹⁾			25	pF
LIMP 出力 (オープンドレイン)						
V _{OL}	オープンドレイン出力電圧 (アクティブ Low)	外部プルアップ、4.5V < V < 28V、I _{LIMP} = -6mA		0.5	1	V
I _{LKG(LIMP)}	出力電流 (非アクティブ)	V _{LIMP} = 0V ~ 28V	-2		2	μA
HSS1、HSS2、HSS3、HSS4 (高電圧出力)						
R _{dson}	HSS 出力のドレイン-ソース間オン抵抗	I _O = -60mA		7	12	Ω
I _{OC-DET(HSS)}	HSS 過電流検出制限	VHSS = 14V	150	200	300	mA
I _{OL(HSS)}	オンで電流が立ち下がり時の HSS 開放負荷電流検出スレッシュホールド	VHSS = 14V	0.4		3.0	mA
I _{OLHYS(HSS)}	HSS 開放負荷電流ヒステリシス	VHSS = 14V	0.05	0.45	1	mA
I _{Ikg}	リーク電流	HSS = 0V、スリープモード	-1		1	μA
t _R	出力の立ち上がり時間 (HSS)	6V ≤ VHSS ≤ 18V、R _L = 220Ω、20%/80% ⁽⁸⁾	0.45		2.5	V/μs
t _F	出力の立ち下がり時間 (HSS)	6V ≤ VHSS ≤ 18V、R _L = 220Ω、80%/20% ⁽⁸⁾	0.45		2.5	V/μs
t _{HSS_on}	各 HSS 出力の読み戻し障害を検出するための (VHSS-HSSx) のスレッシュホールド	VHSS = 14V、I _{LOAD} = 60mA、V _{OUT} = VHSS の 80%	30		90	μs
t _{HSS_off}	SPI コマンドからオフまでのスイッチングオフ遅延 (HSS)	VHSS = 14V、I _{LOAD} = 60mA、V _{OUT} = VHSS の 20%	30		90	μs
t _{R_DD_SR0}	低速スルーレートオプションによる直接駆動モードでの HSS の出力立ち上がり時間	HSS_CNTLx = 1000b、VHSS = 13.5V、R _L = 2.2kΩ、HSSx は VHSS の 20% ~ 80% まで変化 ⁽⁸⁾	1.1	1.25	1.5	V/μs

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{F_DD_SR0}$	低速スルーレートオプションによる直接駆動モードでの HSS の出力立ち下がり時間	HSS_CNTLx = 1000b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx は VHSS の 80% ~ 20% まで変化 ⁽⁸⁾	1	1.15	1.4	V/ μ s
$t_{R_DD_SR1}$	高速スルーレートオプションによる直接駆動モードでの HSS の出力立ち上がり時間 (HSS)	HSS_CNTLx = 1001b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx は VHSS の 20% ~ 80% まで変化 ⁽⁸⁾	2.1	2.5	2.8	V/ μ s
$t_{F_DD_SR1}$	高速スルーレートオプションによる直接駆動モードでの HSS の出力立ち下がり時間	HSS_CNTLx = 1001b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx は VHSS の 80% ~ 20% まで変化 ⁽⁸⁾	2.2	2.5	2.8	V/ μ s
$t_{HSSDD_EN_SR0}$	直接駆動の低速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのイネーブル時間	HSS_CNTLx = 1000b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx = VHSS の 80%	55	65	70	μ s
$t_{HSSDD_DIS_SR0}$	直接駆動の低速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのディスエーブル時間	HSS_CNTLx = 1000b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx = VHSS の 20%	60	70	75	μ s
$t_{HSSDD_EN_SR1}$	直接駆動の高速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのイネーブル時間	HSS_CNTLx = 1001b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx = VHSS の 80%	50	55	65	μ s
$t_{HSSDD_DIS_SR1}$	直接駆動の高速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのディスエーブル時間	HSS_CNTLx = 1001b、 VHSS = 13.5V、 $R_L = 2.2k\Omega$ 、HSSx = VHSS の 20%	45	55	60	μ s
t_{OCFLTR}	過電流故障の通知および HSS のシャットオフのための HSS 過電流フィルタ時間。HSS 低消費電力モードには適用されません	VHSS = 14V、 $I_{O(HSS)} > I_{OC-DET(HSS)}$ HSS_OC_FLTR = 0b	10	16	25	μ s
t_{OCFLTR}	過電流故障の通知および HSS のシャットオフのための HSS 過電流フィルタ時間。HSS 低消費電力モードには適用されません	VHSS = 14V、 $I_{O(HSS)} > I_{OC-DET(HSS)}$ HSS_OC_FLTR = 1b	250	300	350	μ s
t_{OLFLTR}	開放負荷故障通知用の HSS 開放負荷フィルタ時間。HSS 低消費電力モードには適用されません	VHSS = 14V	40	64	80	μ s

WAKE1、WAKE2、WAKE3 入力端子 (高電圧入力)

V_{IH}	High レベル入力電圧 ⁽⁷⁾	レジスタ設定 01b	2.5	3.5	V
		レジスタ設定 10b	3.8	5	V
		レジスタ設定 11b	5.6	7	V
V_{IL}	Low レベル入力電圧 ⁽⁷⁾	レジスタ設定 01b	1.5	2.8	V
		レジスタ設定 10b	3.0	4.2	V
		レジスタ設定 11b	5	6.3	V
V_{IH}	いずれかの HSS が直接駆動モードのときの DIR ピンの High レベル入力電圧 ⁽⁷⁾	スタンバイおよび通常モードのみ、HSSx は直接駆動モードに設定されます	0.7		VCC1
V_{IL}	いずれかの HSS が直接駆動モードのときの DIR ピンの Low レベル入力電圧 ⁽⁷⁾	スタンバイおよび通常モードのみ、HSSx は直接駆動モードに設定されます		0.3	VCC1
I_{IH}	High レベル入力電流	$V_{WAKEx} = 6.5V \sim 28V$	2	4	μ A
I_{IL}	Low レベル入力電流 ⁽⁹⁾	WAKE = 1V	1.2	2.2	μ A
$I_{LKG-VBAT-MON}$	Vbat 監視有効時のリーク電流	$V_{WAKE1} = 4V \sim 28V$	2	3	μ A
$R_{DSON-VBAT-MON}$	Vbat 監視有効時の Vbat スイッチのオン抵抗	$V_{WAKE1} = 4V \sim 28V$ 、スイッチ電流 = 500 μ A	155	400	Ω

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{LKG-WAKE}	リーク電流	WAKEx ピン無効および V _{WAKEx} = 40V		.23	1	μA
t _{WAKE}	スタンバイ中の WAKE のウェークアップエッジから、または静的センシングのスリープモードからの、ウェークアップホールド時間。	図 8-21 および 図 8-22 を参照			140	μs
t _{WAKE_INVALID}	これよりも短い WAKE ピンパルスは、スタンバイで、または静的センシングのスリープモードでフィルタ処理されます。	図 8-21 および 図 8-22 を参照	10			μs
td_IDSTAT	SPI 経由のコマンドと、IDx_STAT レジスタ内の ID ピンのステータス更新との間の遅延	IDx ピンが有効 (レジスタビット IDx_EN = 1b) ⁽⁸⁾		300	350	μs
SDI、SCK、nCS、SW、CTXD、LTXD 入力端子						
V _{IH}	High レベル入力電圧		0.7			VCC1
V _{IL}	Low レベル入力電圧				0.3	VCC1
V _{IHSWINT}	スリープまたはフェイルセーフモードで VCC1 が喪失しているときの SW ピンの High レベル入力電圧	レジスタ 8'h0E[1] = 1 および / または 8'h0E[2] = 1 で、スリープまたはフェイルセーフ モード中に VCC1 が存在しない場合	1.2			V
V _{ILSWINT}	スリープまたはフェイルセーフモードで VCC1 が喪失しているときの SW Low レベル入力電圧	レジスタ 8'h0E[1] = 1 および / または 8'h0E[2] = 1 で、スリープまたはフェイルセーフ モード中に VCC1 が存在しない場合			0.4	V
I _{IHSWINT-PD}	VCC1 がオフのときの SW ピンの High レベル入力リーク電流 (アクティブ High)	VCC1 オフ、内部ブルダウン有効、Vin = 1.5V	18		32	μA
I _{ILSWINT-PD}	VCC1 がオフのときの SW ピンの Low レベル入力リーク電流 (アクティブ High)	VCC1 オフ、内部ブルダウン有効、Vin = 0V	-1		1	μA
I _{IHSWINT-PU}	VCC1 がオフのときの SW ピンの High レベル入力リーク電流 (アクティブ Low)	VCC1 オフ、内部ブルアップ有効、Vin = 1.5V	-60		-20	μA
I _{ILSWINT-PU}	VCC1 がオフのときの SW ピンの Low レベル入力リーク電流 (アクティブ Low)	VCC1 オフ、内部ブルアップ有効、Vin = 0V	-85		-35	μA
I _{IH}	High レベル入力リーク電流 (内部ブルアップ)	入力 = VCC1 ± 2%	-1		1	μA
I _{IH}	High レベル入力リーク電流 (内部ブルダウン)	入力 = VCC1 ± 2%	15		140	μA
I _{IL}	Low レベル入力リーク電流 (内部ブルアップ)	入力 = 0V、VCC1 ± 2%	-140		-2	μA
I _{IL}	Low レベル入力リーク電流 (内部ブルダウン)	入力 = 0V、VCC1 ± 2%	-1		1	μA
C _{IN}	入力容量	20MHz 時	1.5		10	pF
R _{pd}	ブルダウン抵抗 (SDI、SCK、SW ピン)	この方法で構成時、これらのピンにはブルダウン抵抗があります。	40	60	80	kΩ
R _{pu}	ブルアップ抵抗 (SDI、SCK、nCS、SW、CTXD、LTXD ピン)	この方法で構成時、SDI、SCK、SW ピンにはブルアップ抵抗があります。nCS、CTXD、LTXD は常にブルアップがあります。	40	60	80	kΩ
CRXD、LRXD、SDO、GFO、nINT 出力端子						
V _{OH}	HIGH レベル出力電圧	I _{OH} = -2mA	0.8			VCC1
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA			0.2	VCC1
nRST 端子 (入力/出力)						

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IH}	High レベル入力スイッチングスレッショルド電圧	非標準内部電圧	2.1			V
V _{IL}	Low レベル入力スイッチングスレッショルド電圧	非標準内部電圧			0.8	V
I _{OL}	Low レベル出力電流、オープンドレイン	nRST = 0.4V	1.5			mA
I _{LKG}	リーク電流、High レベル	nRST = VCC1	-5		5	μA
R _{PU}	プルアップ抵抗 (VCC1 へ出力プルアップ)		10	30	50	kΩ
LIN のデューティ サイクル						
D1	デューティ サイクル 1 (ISO/DIS 17987 Param 27 および J2602 通常バッテリー) (4) (5)	TH _{REC} (MAX) = 0.744 x VSUP、 TH _{DOM} (MAX) = 0.581 x VSUP、VSUP = 7V ~ 18V、t _{BIT} = 50/52μs、D1 = t _{BUS_rec} (min) / (2 x t _{BIT})、(図 7-13、図 7-14 を参照)	0.396			
D2	デューティ サイクル 2 (ISO/DIS 17987 Param 28 および J2602 通常バッテリー) (4) (5)	TH _{REC} (MIN) = 0.422 x VSUP、 TH _{DOM} (MIN) = 0.284 x VSUP、VSUP = 7.6V ~ 18V、t _{BIT} = 50/52μs、D2 = t _{BUS_rec} (MAX) / (2 x t _{BIT}) (図 7-13、図 7-14 を参照)			0.581	
D3	デューティ サイクル 3 (ISO/DIS 17987 Param 29 および J2602 通常バッテリー) (4) (5)	TH _{REC} (MAX) = 0.778 x VSUP、 TH _{DOM} (MAX) = 0.616 x VSUP、VSUP = 7V ~ 18V、t _{BIT} = 96μs (10.4kbps)、D3 = t _{BUS_rec} (min) / (2 x t _{BIT})、(図 7-13、図 7-14 を参照)	0.417			
D4	デューティ サイクル 4 (ISO/DIS 17987 Param 30 および J2602 通常バッテリー) (4) (5)	TH _{REC} (MIN) = 0.389 x VSUP、 TH _{DOM} (MIN) = 0.251 x VSUP、VSUP = 7.6V ~ 18V、t _{BIT} = 96μs (10.4kbps)、D4 = t _{BUS_rec} (MAX) / (2 x t _{BIT}) (図 7-13、図 7-14 を参照)			0.59	
D1 _{LB}	デューティ サイクル 1 J2602 Low バッテリー (5) (6)	TH _{REC} (MAX) = 0.665 x VSUP、 TH _{DOM} (MAX) = 0.499 x VSUP、VSUP = 5.5V ~ 7V、t _{BIT} = 50/52μs、D1 _{LB} = t _{BUS_rec} (min)/(2 x t _{BIT}) (図 7-13、図 7-14 を参照)	0.396			
D2 _{LB}	デューティ サイクル 2 J2602 Low バッテリー (5) (6)	TH _{REC} (MIN) = 0.496 x VSUP、 TH _{DOM} (MIN) = 0.361 x VSUP、VSUP = 6.1V ~ 7.6V、t _{BIT} = 50/52μs、D2 _{LB} = t _{BUS_rec} (MAX) / (2 x t _{BIT}) (図 7-13、図 7-14 を参照)			0.581	
D3 _{LB}	デューティ サイクル 3 J2602 Low バッテリー (5) (6)	TH _{REC} (MAX) = 0.665 x VSUP、 TH _{DOM} (MAX) = 0.499 x VSUP、VSUP = 5.5V ~ 7V、t _{BIT} = 96μs、D3 _{LB} = t _{BUS_rec} (min)/(2 x t _{BIT}) (図 7-13、図 7-14 を参照)	0.417			
D4 _{LB}	デューティ サイクル 4 J2602 Low バッテリー (5) (6)	TH _{REC} (MIN) = 0.496 x VSUP、 TH _{DOM} (MIN) = 0.361 x VSUP、VSUP = 6.1V ~ 7.6V、t _{BIT} = 96μs、D4 _{LB} = t _{BUS_rec} (MAX) / (2 x t _{BIT}) (図 7-13、図 7-14 を参照)			0.59	

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{r-d \text{ max}}$	$t_{REC(MAX)} - t_{DOM(MIN)}$ (5)	$TH_{REC(MAX)} = 0.744 \times VSUP$ 、 $TH_{DOM(MAX)} = 0.581 \times VSUP$ 、 $VSUP = 7V \sim 18V$ 、 $t_{BIT} = 52\mu s$ (19.231kbps)、 (図 7-13、図 7-14 を参照)			10.8	μs
$T_{d-r \text{ max}}$	$t_{DOM(MAX)} - t_{REC(MIN)}$ (5)	$TH_{REC(MIN)} = 0.422 \times VSUP$ 、 $TH_{DOM(MIN)} = 0.284 \times VSUP$ 、 $VSUP = 7.6V \sim 18V$ 、 $t_{BIT} = 52\mu s$ (19.231kbps)、 (図 7-13、図 7-14 を参照)			8.4	μs
$T_{r-d \text{ max}}$	$t_{REC(MAX)} - t_{DOM(MIN)}$ (5)	$TH_{REC(MAX)} = 0.778 \times VSUP$ 、 $TH_{DOM(MAX)} = 0.616 \times VSUP$ 、 $VSUP = 7V \sim 18V$ 、 $t_{BIT} = 96\mu s$ (10.4kbps)、 (図 7-13、図 7-14 を参照)			15.9	μs
$T_{d-r \text{ max}}$	$t_{DOM(MAX)} - t_{REC(MIN)}$ (5)	$TH_{REC(MIN)} = 0.389 \times VSUP$ 、 $TH_{DOM(MIN)} = 0.251 \times VSUP$ 、 $VSUP = 7.6V \sim 18V$ 、 $t_{BIT} = 96\mu s$ (10.4kbps)、 (図 7-13、図 7-14 を参照)			17.28	μs

- (1) SAE J2602 の負荷には次のものが含まれます。コマンダー: 5.5nF、4k Ω およびレスポンドの場合: 5.5nF、875 Ω
- (2) V_{HYS} は、ISO 17987 と SAE J2602-1 の両方に対して定義されています。
- (3) $V_{HYS} = (V_{th_rec} - V_{th_dom})$ ここで、 V_{th_rec} と V_{th_dom} は、 V_{BUSrec} と V_{BUSdom} からの実際の電圧値です
- (4) ISO 17987 負荷には 1nF、1k Ω / 6.8nF、660 Ω / 10nF、500 Ω 、 t_{BIT} 値は 50 μs と 96 μs です
- (5) SAE J2602 の負荷には次のものが含まれます。コマンダー: 5.5nF、4k Ω /889pF、20k Ω および A レスポンドの場合: 5.5nF、875 Ω /889 pF、900 Ω 、52 μs および 96 μs の t_{BIT} 値
- (6) ISO 17987 にはバッテリー残量に関する仕様はありません。ISO 17987 負荷を使用すると、これらのバッテリーデューティサイクル低パラメータに 50 μs および 96 μs の t_{BIT} 値が適用されます
- (7) WAKE1 にレジスタ 8'h12[1:0]、WAKE2 にレジスタ 8'h2B[5:4]、WAKE3 にレジスタ 8'h2B[1:0] を使用して選択
- (8) 設計と特性評価により規定されています。
- (9) WAKEx ピンの電流ベースの非標準設定 11b

6.8 タイミング要件

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
電源						
t_{PWRUP}	$VSUP$ が UVS_{UP} を超え、 $VCC1 > UVCC1$ となるまでの時間	デバイスの電源が入り、再起動に入ります			3.5	ms
t_{VCCSS}	$VCC1$ 、 $VCC2$ 、 $VEXCC$ のソフトスタート時間	$VCC1$ 、 $VCC2$ 、 $VEXCC$ が 0V から安定化値の 90% まで上昇するのに要する時間		0.75	1.25	ms
t_{UVFLTR}	$VCC1$ 、 $VCC2$ 、 $VEXCC$ の低電圧検出遅延時間		25		50	μs
$t_{UVCC1PR}$	$VCC1$ 事前警告の低電圧フィルタ時間		2		12	μs
$t_{UVCANFLTR}$	$VCAN$ の低電圧フィルタ時間		2		10	μs
t_{OVFLTR}	$VCC1$ 、 $VCC2$ 、 $VEXCC$ の過電圧検出フィルタ時間		15		50	μs
$t_{OVFLTRVHSS}$	$VHSS$ の過電圧検出フィルタ時間		4		12	μs
t_{VSC}	$VCC1$ 、 $VCC2$ 、 $VEXCC$ 検出遅延時間でグラウンドへの短絡		75	100	125	μs
t_{VSCLS}	負荷共有時の $VCC1$ および $VEXCC$ 検出遅延時間でのグラウンドへの短絡		75	100	125	μs

6.8 タイミング要件 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{LDOON}	前回の未クリアの検出後に故障イベントが存在するかどうかを判定するために、LDO がオンになっている時間	図 7-18 を参照		4	5	ms
t_{FS_DUR}	フェイルセーフ モード終了タイマ。タイマはフェイルセーフ モードへの移行で開始し、タイマが満了するとデバイスはフェイルセーフ モードを終了します		250	300	350	ms
モード変更						
$t_{MODE_STBY_NOM_CTRX}$	CRXD ミラー CAN バスでの SPI 書き込み (オフまたはウェーク可能) からオンまたはリッスン状態への CAN トランシーバの状態変更時間				70	μ s
$t_{MODE_STBY_NOM_LTRX}$	SPI 書き込みによって、(オフ状態) または (ウェーク機能付き状態) から (オン状態) または (高速状態) に遷移する際の LIN トランシーバの状態変化時間 (LRXD が LIN バスをミラーしている場合)				70	μ s
$t_{MODE_NOM_SLP}$	CAN および / または LIN トランシーバがオフで、RXD がバスを反映していない状態における SPI スリープ コマンドからの経過時間	図 7-19 を参照			200	μ s
$t_{MODE_NOM_STBY}$	通常モードからスタンバイ モードへ移行するための SPI 書き込み	図 7-20 を参照			70	μ s
デバイス タイミング						
t_{RSTN_act}	低電圧からの復帰後のリセット遅延時間 ($VCC1 \geq UVCC1R$ から nRST リリースまで)。短時間	nRST_PULSE_WIDTH = 0b 図 7-17 を参照	1.5	2	2.5	ms
t_{RSTN_act}	低電圧からの復帰後のリセット遅延時間 ($VCC1 \geq UVCC1R$ から nRST リリースまで)。長時間	nRST_PULSE_WIDTH = 1b 図 7-17 を参照	10	15	20	ms
t_{NRST_TOG}	ウォッチドッグ エラーによるリセット パルス幅。短時間	nRST_PULSE_WIDTH = 0b	1.5	2	2.5	ms
	ウォッチドッグ エラーによるリセット パルス幅。長時間	nRST_PULSE_WIDTH = 1b	10	15	20	ms
t_{NRSTIN}	デバイスリセットを認識するために nRST ピンに必要な入力パルス		75	100	125	μ s
t_{RSTTO}	再起動タイマ。タイマは、 $VCC1 < UVCC1F$ または $VCC1 > OVCC1R$ になると開始します。 $VCC1$ が復帰する前にタイマが満了すると、デバイスはフェイルセーフ モードに移行します。(2)	$VCC1 = 3.3V$ の場合は $VSUP > UV_{SUP33R}$ $VCC1 = 5V$ の場合は $VSUP > UV_{SUP5R}$ nRST がアクティブになってから LIMP がアクティブになるまでの時間を測定	3.5	4	4.5	ms
t_{nINT_TI}	nINT_TOG_EN が有効の場合、nINT 出力パルス幅。	レジスタ 8'h1B[0] = 1b	75	100	125	μ s
t_{nINT_TP}	nINT_TOG_EN が有効のときの nINT パルスの間の周期	レジスタ 8'h1B[0] = 1b	75	100	125	μ s
$t_{WK_TIMEOUT}$	CAN バス ウェークアップ タイムアウト値	図 8-17 を参照	0.8		2	ms
t_{WK_FILTER}	有効なウェークアップ要求に対する CAN バス フィルタの要件	図 8-17 を参照	0.5		0.95	μ s
t_{WK_FILTER}	有効なウェークアップ要求に対する CAN バス フィルタの要件	図 8-17 を参照	0.5		1.8	μ s

6.8 タイミング要件 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t _{WK_CYC}	周期的センシング用のサンプリング ウィンドウ。スタンバイまたはスリープ モード	レジスタ 8'h12[5]= 0b	10	25	35	μs
	周期的センシング用のサンプリング ウィンドウ。スタンバイまたはスリープ モード	レジスタ 8'h12[5]= 1b	55	70	85	μs
t _{SILENCE_CAN}	バスの非アクティブ タイマのタイムアウトは、バスがドミナントからレセツプへ、またはその逆に変化したときに、リセットされて再起動されます。		0.6		1.2	s
t _{LDT}	長時間タイマ (LDT) 精度	レジスタ 8'h1C[6:3] を使用して、さまざまな値にプログラム可能	0.85	1	1.15	
t _{Bias}	ドミナント、レセツプ、ドミナントのシーケンスが開始してから経過時間	V _{sym} ≥ 0.1 までの各相 6μs。図 7-10 を参照			250	μs
t _{SW}	状態変化が認識されるまでの SW ピンのフィルタ時間		130			μs
t _{INITWD}	ウォッチドッグの初期長いウィンドウ	WD_CONFIG_1 レジスタ 8'h13[1:0] = 00b、図 8-30 を参照	127	150	173	ms
	ウォッチドッグの初期長いウィンドウ	WD_CONFIG_1 レジスタ 8'h13[1:0] = 01b、図 8-30 を参照	255	300	345	ms
	ウォッチドッグの初期長いウィンドウ	WD_CONFIG_1 レジスタ 8'h13[1:0] = 10b (デフォルト)、図 8-30 を参照	510	600	690	ms
	ウォッチドッグの初期長いウィンドウ	WD_CONFIG_1 レジスタ 8'h13[1:0] = 11b、図 8-30 を参照	850	1000	1150	ms
t _{WD}	ウィンドウと Q&A ウォッチドッグのタイミング精度 ⁽²⁾	ウィンドウ ウォッチドッグまたは Q&A ウォッチドッグが有効。 PWM タイマの精度は同じ	0.9	1	1.1	
t _{WD-TO}	タイムアウト WD、Timer1、Timer2 タイマ精度 ⁽²⁾	タイムアウト WD、周期的ウェーク、周期的センシング ウェークに関連するタイマ	0.85	1	1.15	
t _{CTXD_DTO}	ドミナント タイムアウト ⁽¹⁾	R _L = 60Ω、C _L = オープン	1		5	ms
t _{LTXD_DTO}	LIN ドミナント状態タイム アウト		20	45	80	ms
t _{TOGGLE}	WUP 後にプログラムされる場合、RXD ピンはタイミングをトグルします	図 8-17 を参照	5	10	15	μs
t _{TSO_SBC}	TSO_SBC が TSDR スレッシュホールドをクリアした後に、SBC がフェイルセーフ モードになる時間		0.8	1	1.2	s
F _{OSC-1M}	1MHz のクロック周波数		0.936	1.04	1.14	MHz
F _{OSC-10k}	10kHz のクロック周波数		8.8	10.4	12	kHz

(1) CTXD ドミナント タイムアウト (t_{CTXD_DTO}) は、CTXD が (t_{CTXD_DTO}) よりも長くドミナントになるとトランシーバのドライバをディセーブルにします。これにより、CAN バス ラインをレセツプに解放して、ローカル障害によりバスドミナントがロックされることを防ぎます。ドライバは、CTXD が HIGH (リセツプ) に戻された後でのみ、ドミナントを再度送信することができます。これにより、CAN バスドミナントをロックするローカル障害からバスが保護できますが、可能な最小データレートが制限されます。CAN プロトコルでは、最悪の場合、(CTXD 上で) 最大 11 個の連続したドミナント ビットを許容しています。この場合、5 個の連続したドミナント ビットの直後にエラー フレームが発生します。これは、t_{CTXD_DTO} の最小値とともに、最小ビット レートを制限します。最小ビット レートは次のように計算できます。最小ビット レート = 11/(t_{CTXD_DTO}) = 11 ビット / 1.2ms = 9.2kbps。

(2) 設計と特性評価により規定されています。

6.9 スイッチング特性

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ドライバおよびレシーバ特性 (CAN FD) TCAN294xx バリエーション						
$t_{prop}(TxD-busrec)$	伝搬遅延時間、High CTXD からドライバまで	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ 、 図 7-4 を参照		55	90	ns
$t_{prop}(TxD-busdom)$	伝搬遅延時間、Low CTXD からドライバドミナントまで			46	90	ns
$t_{sk(p)}$	パルス スキュー ($ t_{pHR} - t_{pLD} $)			6	25	ns
$t_{R/F}$	差動出力信号の立ち上がり時間:		10	48	85	ns
$t_{prop}(busrec-RXD)$	伝搬遅延時間、バスリセッソブ入力から High CRXD 出力	代表的な条件: $CANL = 1.5V$, $CANH = 3.5V$ 、 図 7-5 を参照		84	115	ns
$t_{prop}(busdom-RXD)$	伝搬遅延時間、バスドミナント入力から RXD Low 出力まで			55	110	ns
t_{LOOP}	ループ遅延 ⁽¹⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$, $4.5V \leq V_{CAN} \leq 5.5V$, $V_{CC1} \pm 2\%$, $CAN_SLOPE_CTRL_EN$ 8'h0E[7] = 0b			215	ns
ドライバおよびレシーバ特性 (CAN FD SIC) TCAN295xx バリエーション						
$t_{prop}(TxD-busrec)$	伝搬遅延時間、Low から High TXD エッジからドライバリセッソブまで (ドミナントからリセッソブ)	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ 、 図 7-4 を参照		55	80	ns
$t_{prop}(TxD-busdom)$	伝搬遅延時間、High から Low TXD エッジからドライバドミナントまで (リセッソブからドミナントまで)	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ 、 図 7-4 を参照		55	80	ns
$t_{sk(p)}$	パルス スキュー ($ t_{pHR} - t_{pLD} $)	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ 、 図 7-4 を参照		15	25	ns
t_R	差動出力信号の立ち上がり時間:	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ 、 図 7-4 を参照		40	60	ns
t_F	差動出力信号の立ち下がり時間:	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ 、 図 7-4 を参照		30	55	ns
$t_{prop}(busrec-RXD)$	伝搬遅延時間、バスリセッソブ入力から RXD High 出力 (ドミナントからリセッソブ)	$C_{CRXD} = 15pF$, $CANL = 1.5V$, $CANH = 3.5V$ 、 図 7-5 を参照		65	110	ns
$t_{prop}(busdom-RXD)$	伝搬遅延時間、バスドミナント入力から RXD Low 出力 (リセッソブからドミナントまで)	$C_{CRXD} = 15pF$, $CANL = 1.5V$, $CANH = 3.5V$ 、 図 7-5 を参照		60	110	ns
t_{LOOP}	ループ遅延 ⁽¹⁾	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$, $4.5V \leq V_{CAN} \leq 5.5V$, $V_{CC1} \pm 2\%$ 、 図 7-6 を参照			190	ns
CAN FD 特性 (TCAN294xx バリエーション)						
$t_{\Delta Bit}(Bus)2M$	2Mbps で送信されるリセッソブ ビット幅で、1Mbps を超えて最大 2Mbps までのビットレートでの使用を想定 ⁽³⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$ 、 図 7-6 を参照	-65		30	ns
$t_{\Delta Bit}(Bus)5M$	5Mbps で送信されるリセッソブ ビット幅のばらつきで、2Mbps を超えて最大 5Mbps までのビットレートでの使用を想定 ⁽³⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$ 、 図 7-6 を参照	-40		10	ns
$t_{\Delta Bit}(Bus)8M$	5Mbps で送信されるリセッソブ ビット幅のばらつきで、5Mbps を超えて最大 8Mbps までのビットレートでの使用を想定 ⁽³⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$ 、 図 7-6 を参照	-40		10	ns
$t_{\Delta Bit}(RXD)2M$	2Mbps で受信されたリセッソブ ビット幅変動 ⁽⁴⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$ 、 図 7-6 を参照	-100		50	ns

6.9 スイッチング特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{ΔBit(RXD)5M}	5Mbps で受信されたリセッスビ ビット幅変動(4)	代表的な条件: R _L = 60Ω、C _L = 100pF、C _{CRXD} = 15pF、図 7-6 を参照	-80		20	ns
t _{ΔREC}	2Mbps における受信タイミングの対称性で、1Mbps を超えて最大 2Mbps までのビットレートでの使用を想定	代表的な条件: R _L = 60Ω、C _L = 100pF、C _{CRXD} = 15pF	-60	-11	35	ns
	5Mbps における受信タイミングの対称性で、2Mbps を超えて最大 5Mbps までのビットレートでの使用を想定		-30		10	ns
CAN FD SIC 特性 (TCAN295xx バリエント)						
t _{PAS_REC_START}	パッシブ リセッスビ位相の信号改善開始時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジから信号改善フェーズ終了までの測定、 R _{DIFF_PAS_REC} ≥ MIN R _{DIFF_ACT_REC} 、 R _{SE_CANH/L} ≥ MIN R _{SE_SIC_REC}			530	ns
t _{ACT_REC_START}	アクティブ信号改善位相の開始時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジを測定、			120	ns
t _{ACT_REC_END}	アクティブ信号改善位相の終了時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジを測定、	355			ns
t _{ΔBit(Bus)}	送信されるリセッスビビット幅変化	代表的な条件: 45Ω ≤ R _L ≤ 65Ω、C _L = 100pF、C _{CRXD} = 15pF、t _{ΔBit(Bus)} = t _{Bit(Bus)} – t _{Bit(TXD)} 図 7-6 を参照	-10		10	ns
t _{ΔBit(RXD)}	5Mbps で受信されたリセッスビ ビット幅変動(5)	代表的な条件: 45Ω ≤ R _L ≤ 65Ω、C _L = 100pF、C _{CRXD} = 15pF、t _{ΔBit(RXD)} = t _{Bit(RXD)} – t _{Bit(TXD)} 図 7-6 を参照	-30		20	ns
t _{ΔREC}	レシーバのタイミングの対称性のバリエーション(2)	代表的な条件: 45Ω ≤ R _L ≤ 65Ω、C _L = 100pF、C _{CRXD} = 15pF、t _{ΔREC} = t _{Bit(RXD)} – t _{Bit(Bus)} 、図 7-6 を参照	-20		15	ns
LIN スイッチング特性 (LIN 付きデバイス バリエント)						
t _{rx_pdr} t _{rx_pdf}	レシーバの立ち上がり / 立ち下がり伝搬遅延時間 (ISO/DIS 17987 Param 31)	R _{LRXD} = 2.4kΩ、C _{RXD} = 20pF (図 7-14 を参照)			6	μs
t _{rs_sym}	レシーバ伝搬遅延時間の対称性レシーバの立ち上がり伝搬遅延時間 (ISO/DIS 17987 Param 32)	立ち下がりエッジに対する立ち上がりエッジ、(t _{rx_sym} = t _{rx_pdf} – t _{rx_pdr})、R _{RXD} = 2.4kΩ、C _{LRXD} = 20pF (図 7-14、)	-2		2	μs
t _{LINBUS}	LIN ウェークアップ時間 (ウェークアップのための LIN バスの最小ドミナント時間)	図 8-20 を参照	25	100	150	μs
t _{CLEAR}	LIN バスにバス スタックドミナントフォルトが発生した際に、誤ウェークアップ防止ロジックをクリアするための時間 (バス スタックドミナントフォルトをクリアするための LIN バスのリセッスビ時間)	図 8-45 を参照	10		60	μs
LIN 高速モード (LIN 付きデバイス バリエント)						
DR	データレート	5.5V ≤ VSUP ≤ 18V、R _{LIN} = 500Ω および C _{LIN(bus)} = 600pF			200	kbps
t _{rx_pdr} t _{rx_pdf}	レシーバの立ち上がり / 立ち下がり伝搬遅延時間 (ISO/DIS 17987 Param 31)	R _{LRXD} = 2.4kΩ、C _{LRXD} = 20pF (図 7-14 を参照)			5	μs
t _{txr/f}	LIN トランスミッタの立ち上がり時間および立ち下がり時間	5.5V ≤ VSUP ≤ 18V、R _{LIN} = 500Ω および C _{LIN(bus)} = 600pF			1.5	μs
SPI スイッチング特性						

6.9 スイッチング特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{SCK}	SCK、SPI クロック周波数 ⁽²⁾	通常モードおよびスタンバイ モード、スリープ モード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、09h[3]= 1b (2 バイト モード)			2	MHz
f _{SCK}	SCK、SPI クロック周波数 ⁽²⁾	通常モードおよびスタンバイ モード、スリープ モード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、09h[3]= 0b (シングル バイト モード)			4	MHz
t _{SCK}	SCK、SPI クロック周期 ⁽²⁾	通常モードおよびスタンバイ モード、  7-16 を参照、 レジスタ BYTE_CNT の場合、09h[3] = 0b (シングル バイト モード)	250			ns
t _{SCK}	SCK、SPI クロック周期 ⁽²⁾		500			ns
t _{SCKR}	SCK の立ち上がり時間 ⁽²⁾				40	ns
t _{SCKF}	SCK の立ち下がり時間 ⁽²⁾				40	ns
t _{SCKH}	SCK、SPI クロック high ⁽²⁾		250			ns
t _{SCKH}	SCK、SPI クロック high ⁽²⁾		125			ns
t _{SCKL}	SCK、SPI クロック low ⁽²⁾		250			ns
t _{SCKL}	SCK、SPI クロック low ⁽²⁾		125			ns
t _{nCSS}	nCS チップ セレクト セットアップ時間 ⁽²⁾		100			ns
t _{nCSH}	nCS チップ セレクトのホールド時間 ⁽²⁾		100			ns
t _{nCSD}	nCS チップ セレクト ディスエーブル時間、1 バイト モードまたは f _{SCK} ≤ 2MHz の 2 バイト モード ⁽²⁾	通常モードおよびスタンバイ モード 1 バイト モードまたは f _{SCK} ≤ 2MHz の 2 バイト モード、  7-16 を参照	50			ns
t _{nCSD}	nCS チップ セレクト ディスエーブル時間、2 バイト モード、f _{SCK} > 2MHz ⁽²⁾	通常モードおよびスタンバイ モード、f _{SCK} > 2MHz の 2 バイト モード、  7-16 を参照	2			μs
t _{SIU}	セットアップ時間のデータ ⁽²⁾	通常モードとスタンバイ モード、  7-16 を参照	50			ns
t _{SIH}	ホールド時間のデータ ⁽²⁾		50			ns
t _{SOV}	データ出力有効 ⁽²⁾				80	ns
t _{RSO}	SO の立ち上がり時間 ⁽²⁾				40	ns
t _{FSO}	SO の立ち下がり時間 ⁽²⁾				40	ns

(1) TXD 入力の信号エッジから、同じ極性の RXD 出力の次の信号エッジまでの時間。両方の信号エッジの遅延のうち、最大値を考慮します。

(2) 設計により規定されています。

(3) $t_{\Delta \text{Bit}}(\text{Bus}) = t_{\text{Bit}}(\text{Bus}) - t_{\text{Bit}}(\text{TXD})$

(4) $t_{\Delta \text{Bit}}(\text{RXD}) = t_{\text{Bit}}(\text{RXD}) - t_{\text{Bit}}(\text{TXD})$

(5) 2 バイトの SPI 読み書きを行う場合、SPI_CONFIG レジスタ 8'h09[3] = 1b に設定すると、SPI クロックの最大値は 2MHz になります。ここに示されている内容は、1 バイトの読み書きに関するものです。

7 パラメータ測定情報

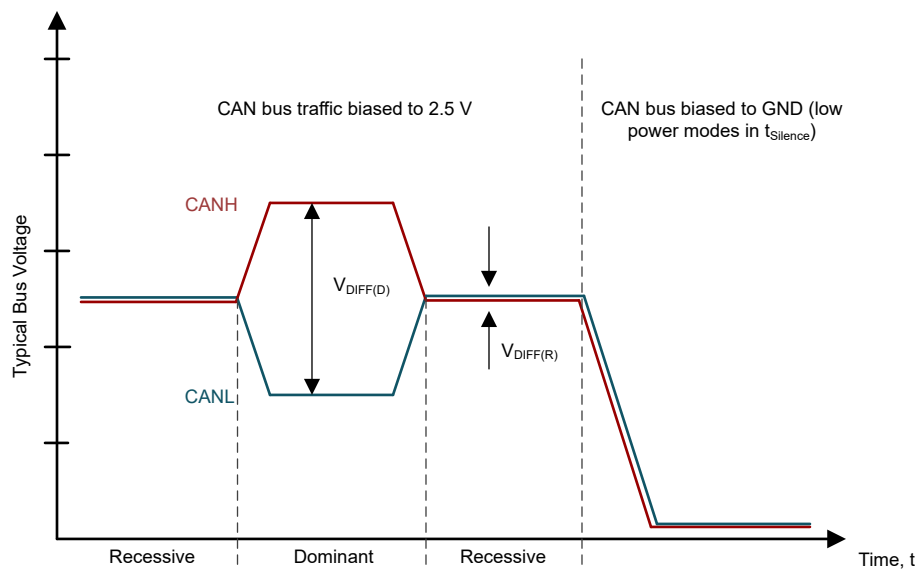
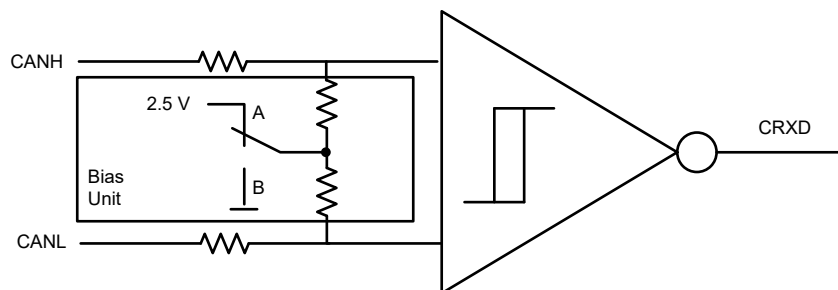


図 7-1. バスの状態 (物理的ビット表現)



注

A: 通常、リスン モード

B: スタンバイおよびスリープモード (低消費電力)

図 7-2. 簡略化されたリセシブ同相バイアスユニットおよびレシーバ

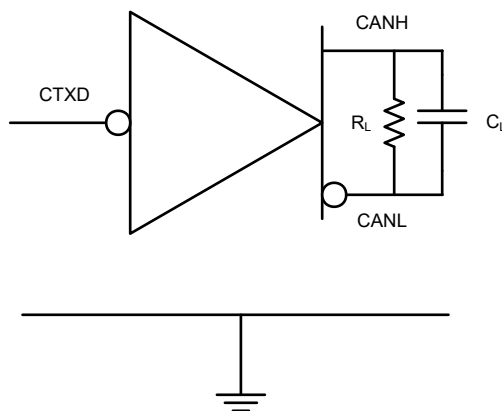


図 7-3. 電源テスト回路

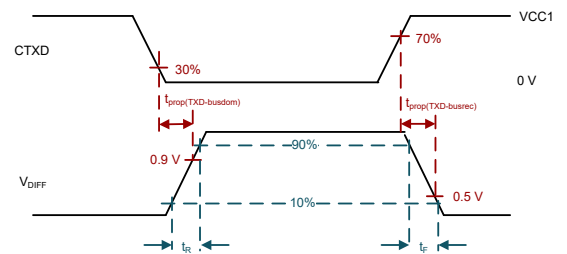
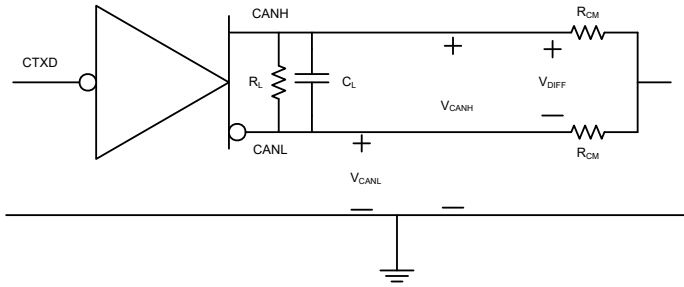


図 7-4. ドライバテスト回路と測定

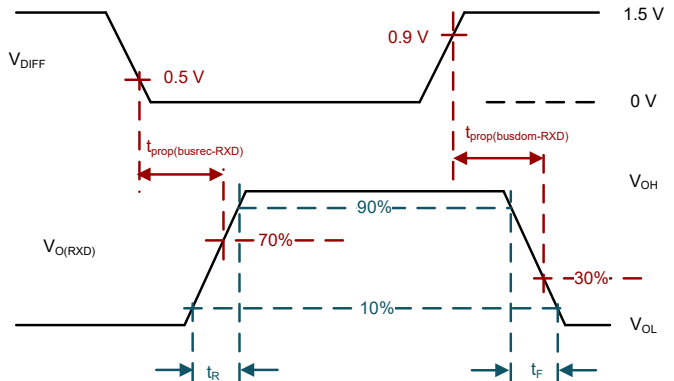
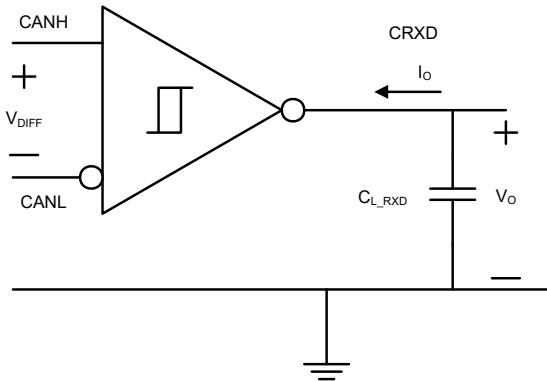


図 7-5. レシーバのテスト回路と測定

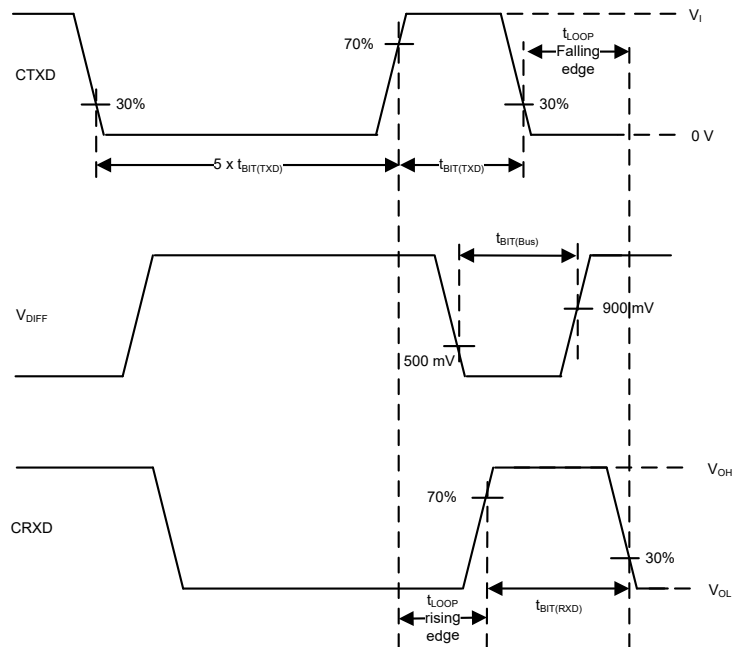
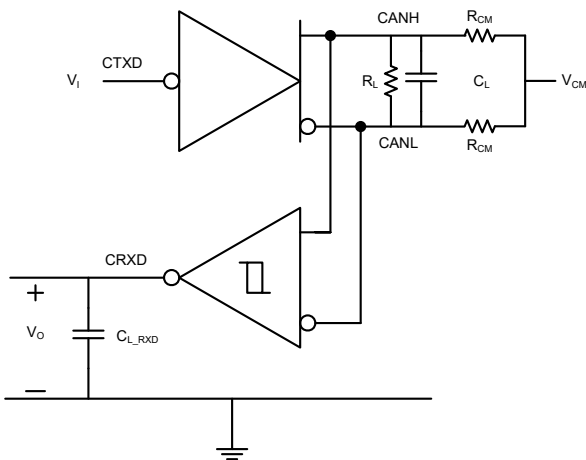


図 7-6. トランスミッタとレシーバのタイミング動作テスト回路と測定

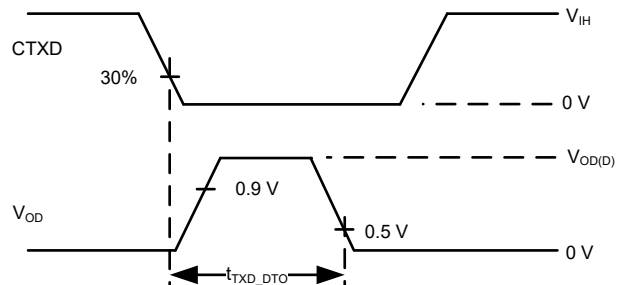
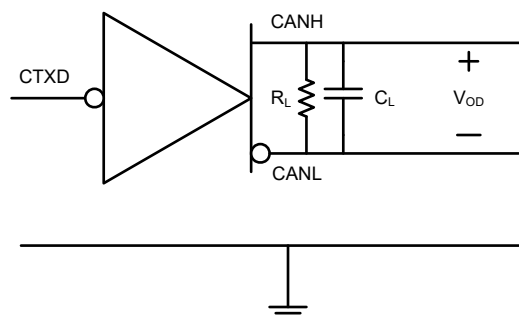


図 7-7. TXD ドミナント タイムアウトのテスト回路と測定

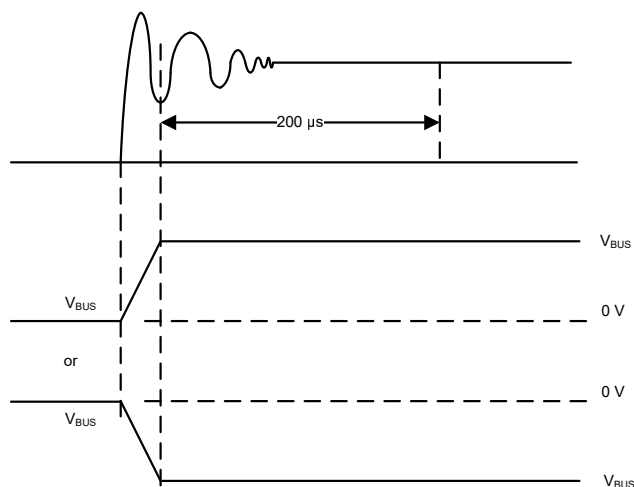
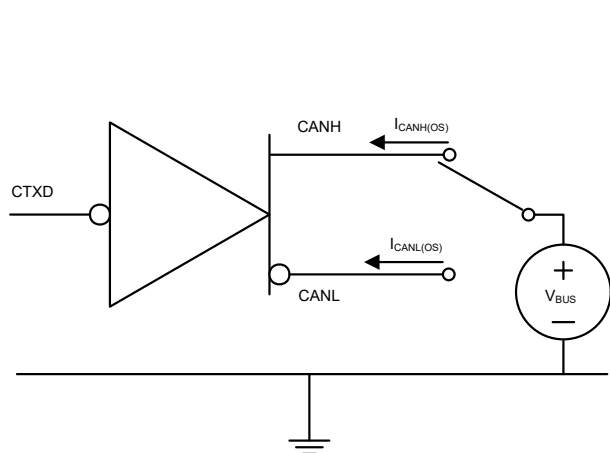


図 7-8. ドライバ短絡電流テスト回路と測定

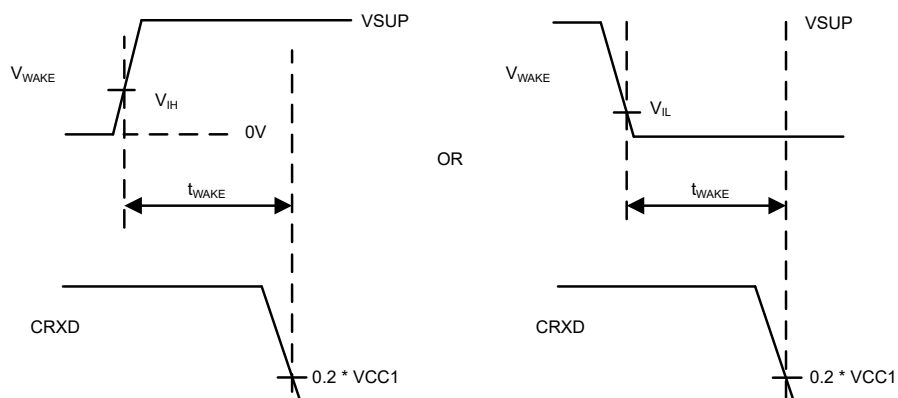
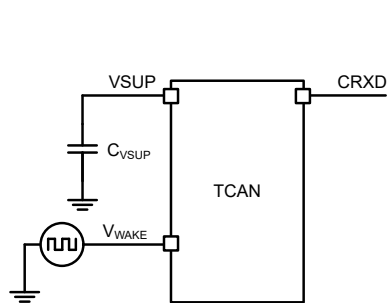


図 7-9. RXD 出力監視中の t_{WAKE}

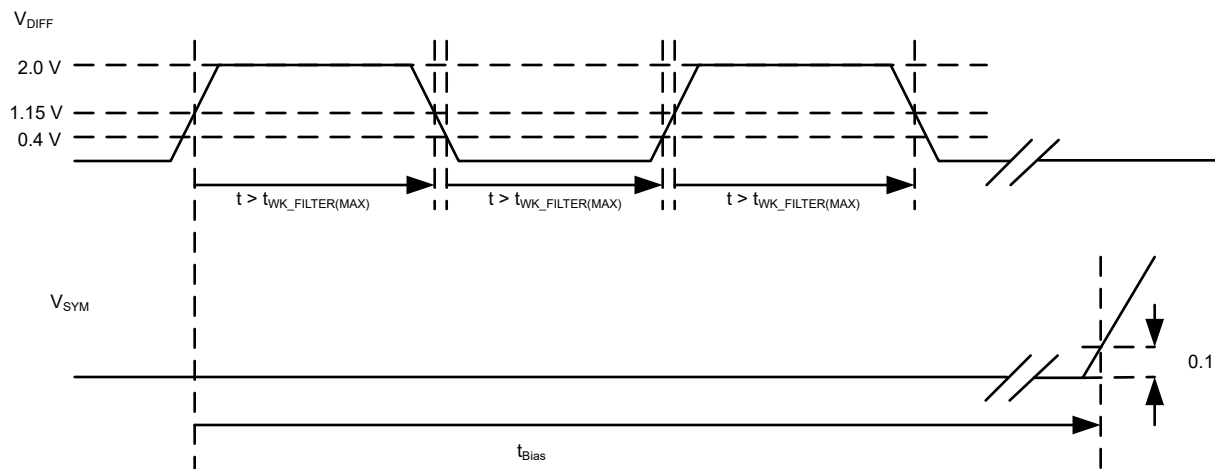


図 7-10. バイアス応答時間測定のためのテスト信号の定義

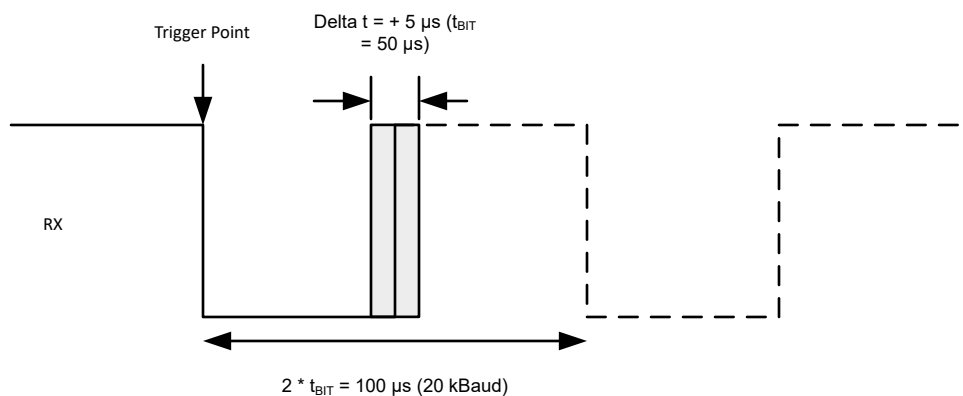


図 7-11. LIN RX 応答：動作電圧範囲

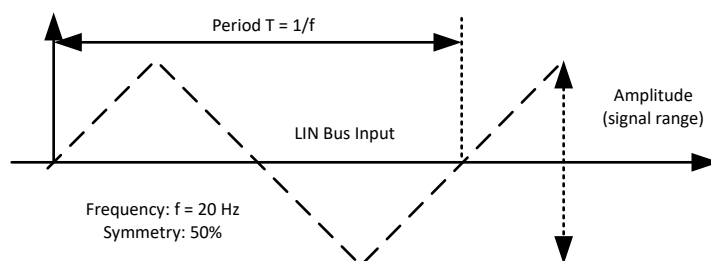


図 7-12. LIN バス入力信号

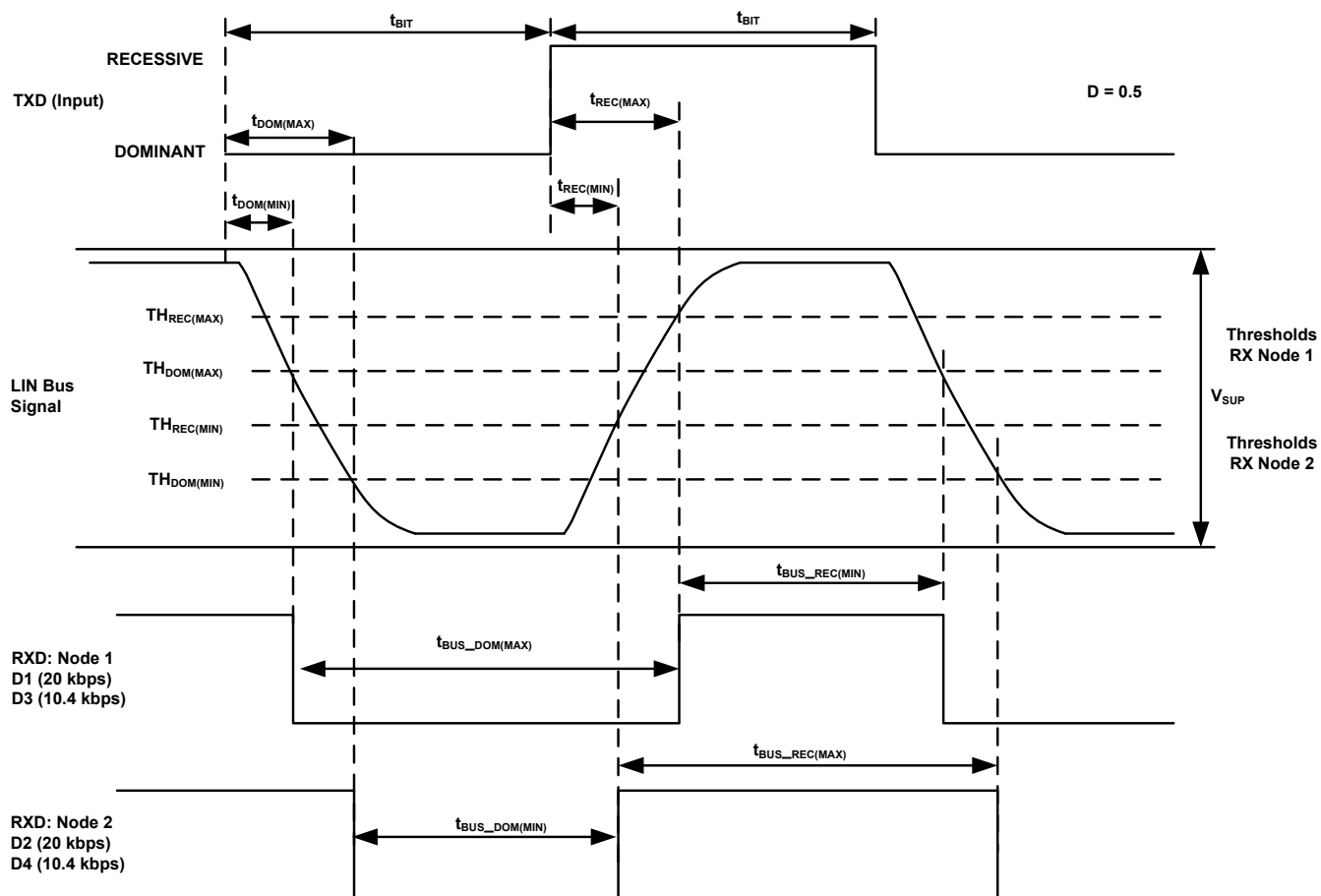


図 7-13. LIN バスのタイミングの定義

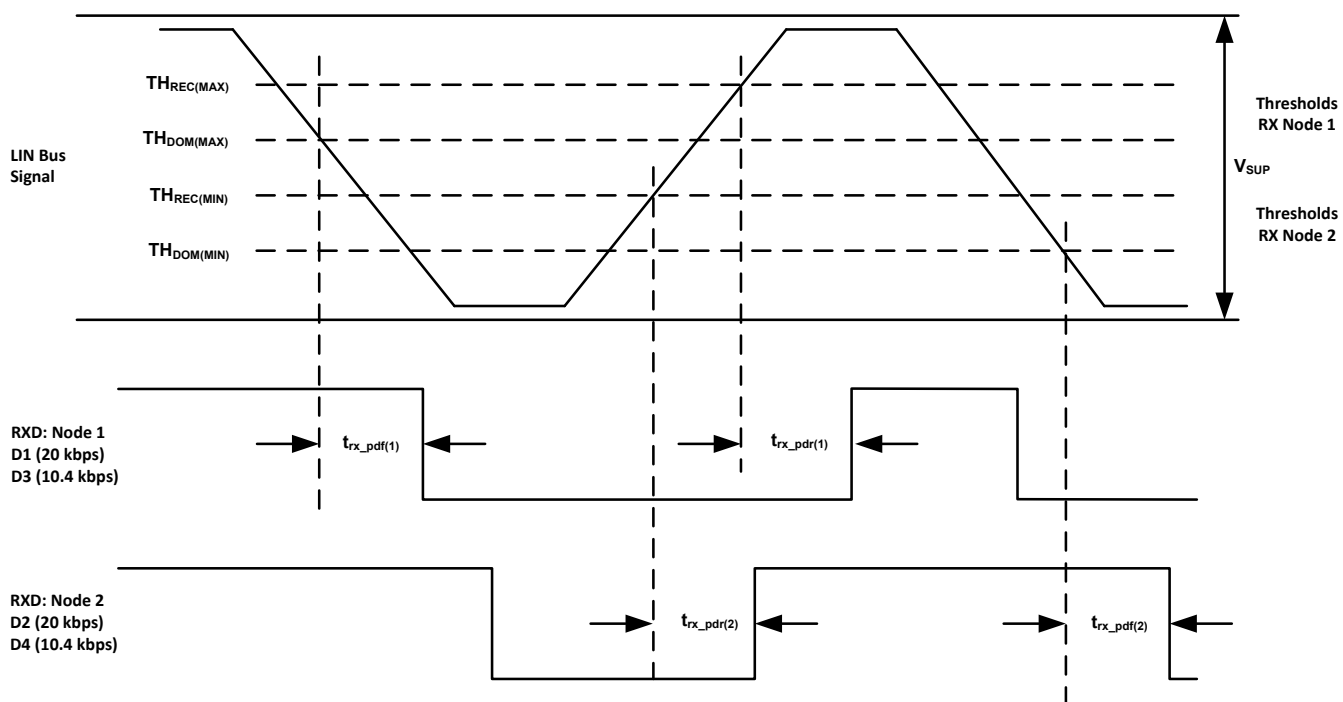


図 7-14. LIN 伝搬遅延

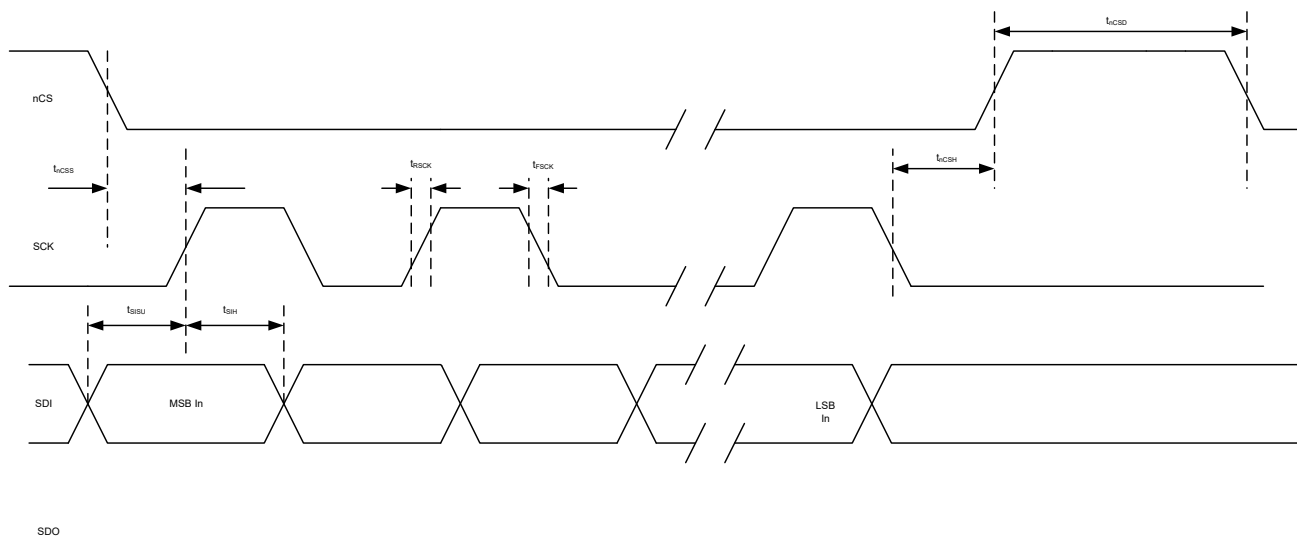


図 7-15. SPI AC 特性書き込み

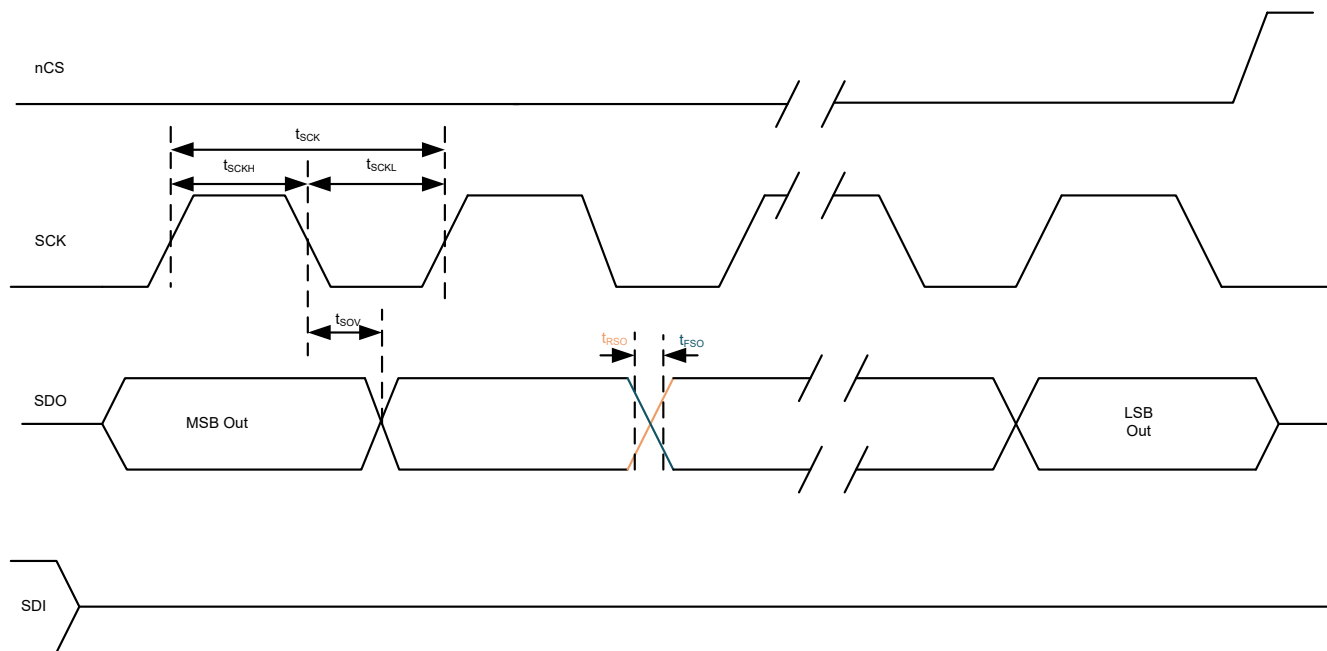


図 7-16. SPI AC 特性読み取り

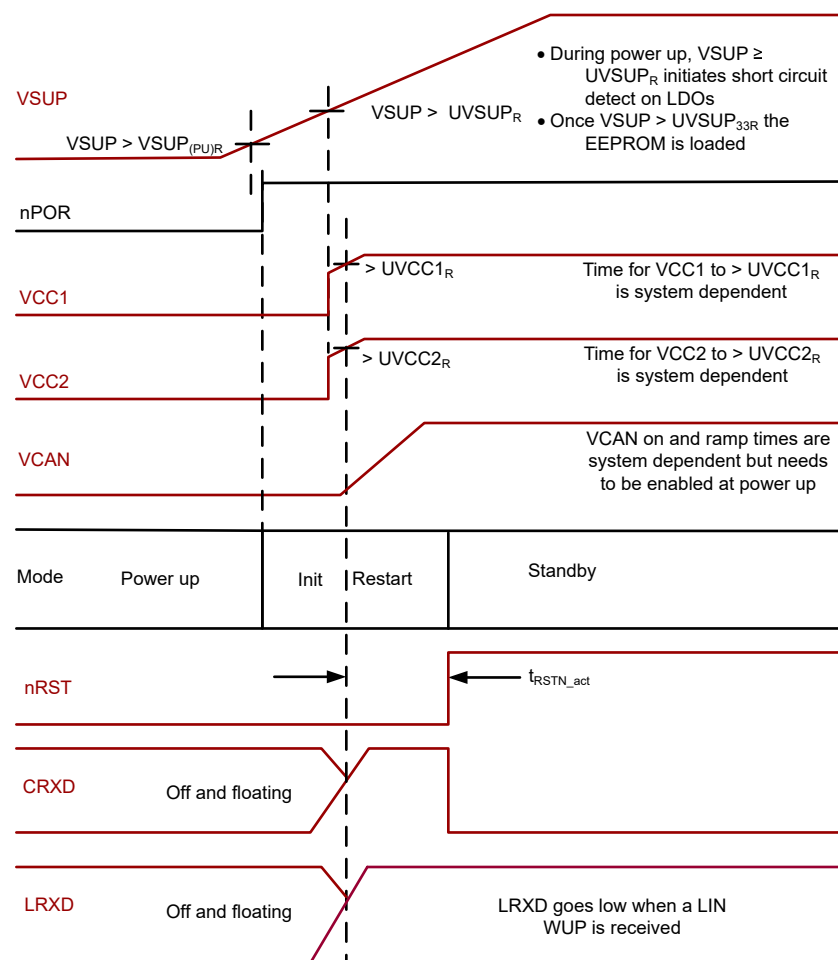


図 7-17. 起動タイミング

注

初回のパワーアップ時、VEXCC は工場出荷時にオンになるようプログラムされていないため、オンにはなりません。

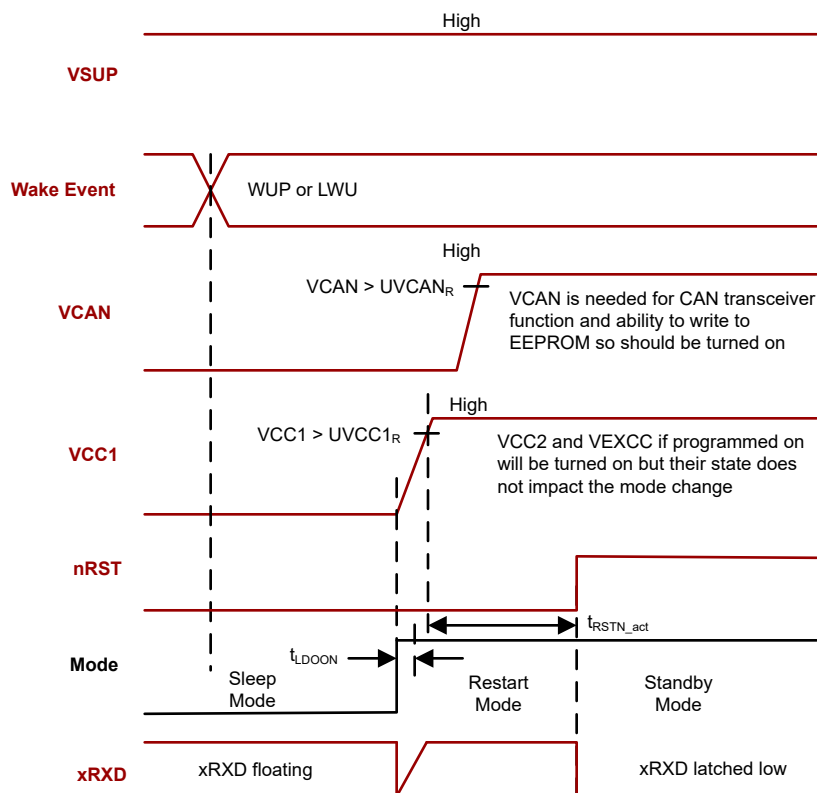


図 7-18. スリープからリスタートのタイミング

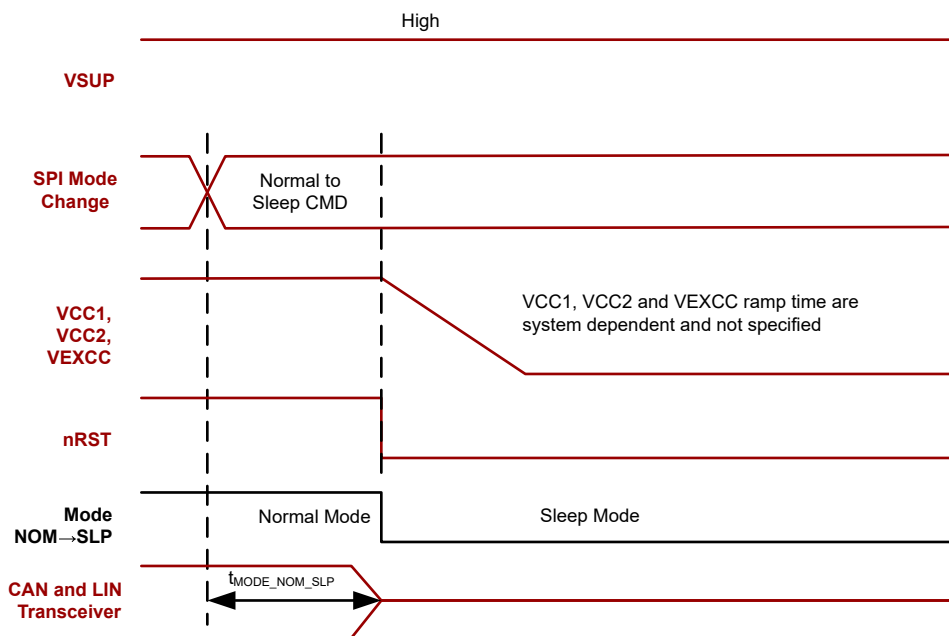


図 7-19. 通常からスリープのタイミング

注

CAN と LIN のトランシーバは独立して制御できます。このタイミング図は、モードに基づき状態を変更するように構成したトランシーバを示しています。

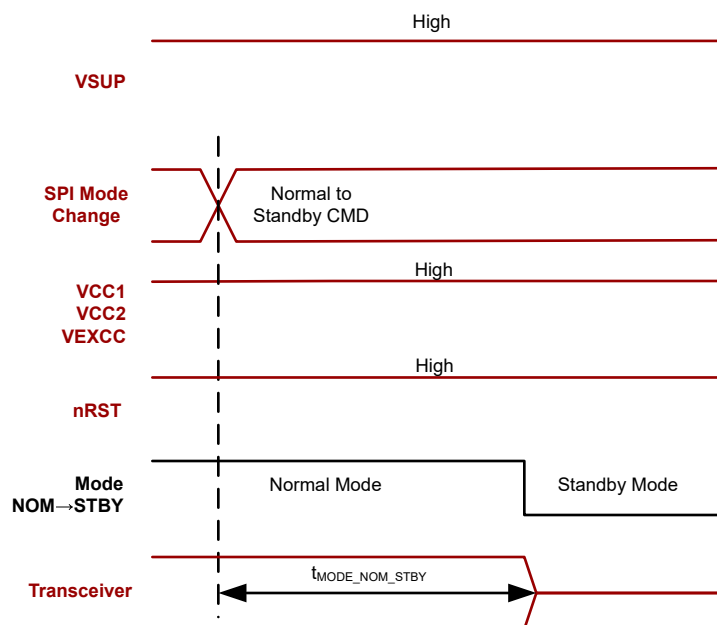


図 7-20. 通常からスタンバイのタイミング

注

CAN と LIN のトランシーバは独立して制御できます。このタイミング図は、モードに基づき状態を変更するように構成したトランシーバを示しています。

注

赤の信号は TCAN29xx-Q1 の入力または出力で、黒は TCAN29xx-Q1 に対する内部信号です。これは、赤と黒の色を含むデータシート内のタイミング図用です。

8 詳細説明

8.1 概要

TCAN29xx-Q1 は、CAN FD トランシーバを統合したシステム ベース チップ (SBC) ファミリーです。CAN FD トランシーバは、最高 5Mbps のデータ レートをサポートし、高速 CAN 物理層規格に適合しています: ISO 11898-2:2024。TCAN2957-Q1 は、スロープ制御が無効化されており、高速モードにプログラムされている場合、最大 200kbps のデータレートに対応する LIN トランシーバを内蔵しています。LIN トランシーバ物理層トランシーバは、LIN 2.2A、ISO/DIS 17987-4、SAE J2602 規格に準拠しています。これらのデータレートは、ライン終端でのプログラミングをサポートします。このデバイスは、ISO 11898-2:2024 で定義されたウェークアップ パターン (WUP) を実装する CAN バスを使用したリモートウェークアップによっても起動できます。TCAN29xx-Q1 は、VCC1 電圧に基づいて 3.3V および 5V プロセッサをサポートしています。このデバイスは、構成のためにローカル マイクロプロセッサに接続するシリアル ペリフェラル インターフェイス (SPI) を備えています。TCAN29xx-Q1 は、実装作業に役立つソフトウェア開発ピンを提供します。このモードでは、ウォッチドッグは引き続きアクティブですが、フラグを設定するだけです。

TCAN29xx-Q1 デバイス ファミリーは、選択された注文可能な部品番号に応じて、3.3V または 5V 出力の VCC1 を供給します。これらのデバイスは、個別の 5V LDO、VCC2 を搭載しています。外付け PNP パワー トランジスタを制御する機能があり、VEXCC ピンで 1.8V、2.5V、3.3V、5V の出力電圧をサポートします。VEXCC 出力は、バッテリーへの短絡から保護されています。CAN FD トランシーバの VCAN ピンには、5V 入力電源が必要です。

8.2 機能ブロック図

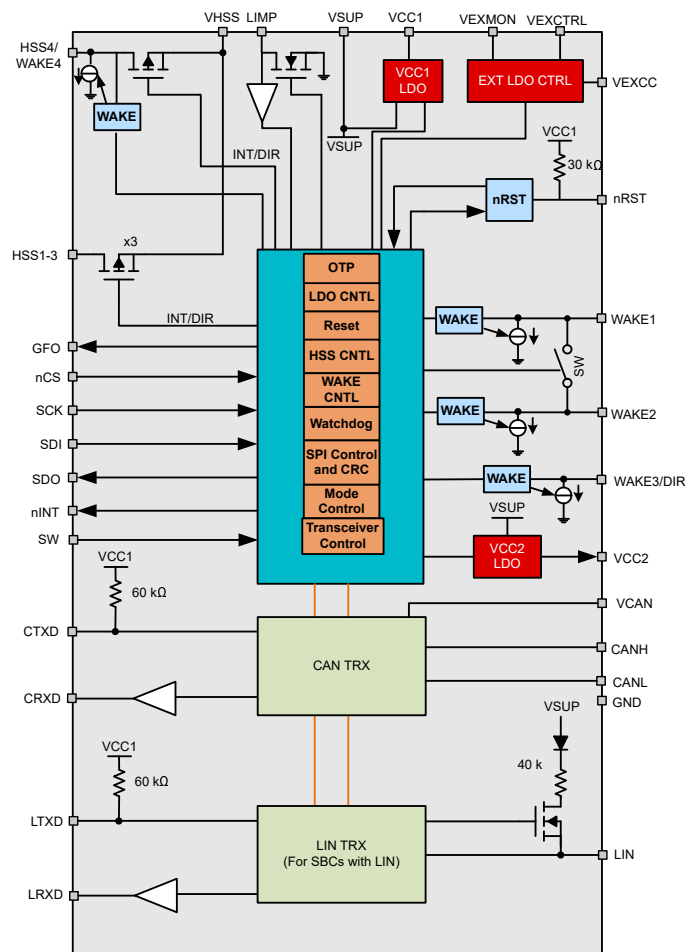


図 8-1. TCAN29xx の機能ブロック図

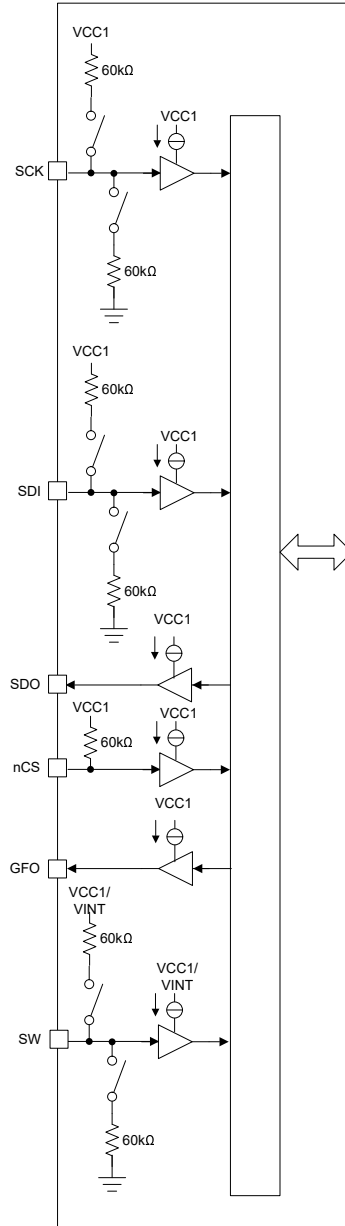


図 8-2. デジタル入力および出力のブロック図

8.3 機能説明

8.3.1 VCC1 レギュレータ

VCC1 出力ピンは、最大負荷電流 $ICC1_{LIM}$ まで、3.3V または 5V を供給します。VCC1 ピンは、8'h0D[3] のレジスタ VCC1_SINK の設定に応じて電流、 $ICC1_{SINK}$ をシンクでき、VCC1 がオンのときアクティブになります。このピンの外部容量要件については、表 10-1 を参照してください。VCC1 には、低電圧 (UVCC1)、過電圧 (OVCC1)、グラウンドへの短絡 (VCC1_{SC}) の 3 つのモニタがあります。VEXCC との負荷共有では、VCC1 故障監視が両方に使用されます。VCC1 はメイン LDO 出力で、デジタル IO 電圧レベルを設定します。VCC1 のすべての故障によって、状態が変化します。

8.3.2 VCC2 レギュレータ

VCC2 ピンは、5V 出力で最大 100mA の負荷電流を供給します。このピンの外部容量要件については、表 10-1 を参照してください。VCC2 は、バッテリーへの短絡が発生する可能性がある基板外部には引き出さないでください。VCC2 には、低電圧 (UVCC2)、過電圧 (OVCC2)、グラウンドへの短絡 (VCC2_{SC}) の 3 つのモニタがあります。これらの故障が検出さ

れると割り込みが発生し、LDO はオフになる場合とならない場合があります。モード変更はされません。VCC2 がオンで故障状態ではない場合、レジスタ 8'h4F[2]、VCC2_STATUS は 1b にセットされます。

8.3.3 VEXCC レギュレータ

外付け PNP トランジスタを使用して VEXCC 出力を供給することで、デバイスの内部消費電力を低減できます。

- VEXCC 出力は、最大 350mA で 1.8V、2.5V、3.3V、5V の出力をサポートできます。
- この電圧は SPI レジスタ 8'h0D[2:0] を使用して選択しますが、デフォルトは 1.8V です。
- VEXCC はデフォルトでオフになっており、レジスタ 8'h0D[5:4] が設定されるまでオンになりません
- VEXCC は、スタンドアローンレギュレータとして、または VCC1 との負荷共有モードに構成できます
- 外付けセンス抵抗 Rshunt により電流制限機能を備えています
- VEXCC には、低電圧 (UVEXCC)、過電圧 (OVEXCC)、グラウンド短絡 (VEXCC_{SC}) の、3 つのモニタがあります
- レギュレーションステータスは、レジスタ 8'h4F[3]、VEXCC_STATUS によっても通知されます

シャント抵抗 Rshunt は PNP FET の電流制限を設定します。Rshunt の値は、アプリケーションの電流制限要件に基づき選択する必要があります。この抵抗の値は、VSHUNTH スレッシュホールドを必要な電流制限で除算した値、VSHUNTH/I_{VEXCC-LIM} で決定されます。ここで、I_{VEXCC-LIM} は必要な電流制限値です。

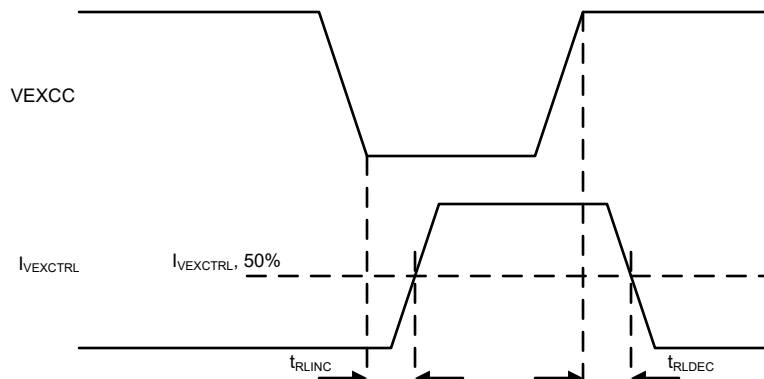


図 8-3. VEXCC と I_{VEXCTRL} との関係のタイミング図

注

- 外部 PNP トランジスタの電力処理能力はアプリケーション固有で、SBC は外部 PNP トランジスタを熱保護できないため、熱による損傷を防止するためには、選択した PNP デバイスと PCB 特性に応じて設計する必要があります。
- 外部 PNP トランジスタを流れる電流を制限するには、図 8-3 に示すように、Rshunt を使用して、デバイスの VSUP ピンに接続するのと同じ電源レールに VEXMON ピンを接続することが重要です。
- 外部 PNP コレクタが別の電圧レールに接続されると、デバイスは電流制限機能を使用できません。問題を回避するには、SBC_CONFIG レジスタ 8'h0C[6] VEXCC_ILIM_DIS = 1b を使用して電流制限を無効化する必要があります。電流制限を無効化しても、過電圧、低電圧、短絡の検出は無効化されません。

8.3.3.1 スタンドアローン構成の VEXCC

スタンドアローン構成として使用する場合は、図 8-4 を参照してください。VEXCC は、センサなどのオフボード負荷への電力供給に使用できます。

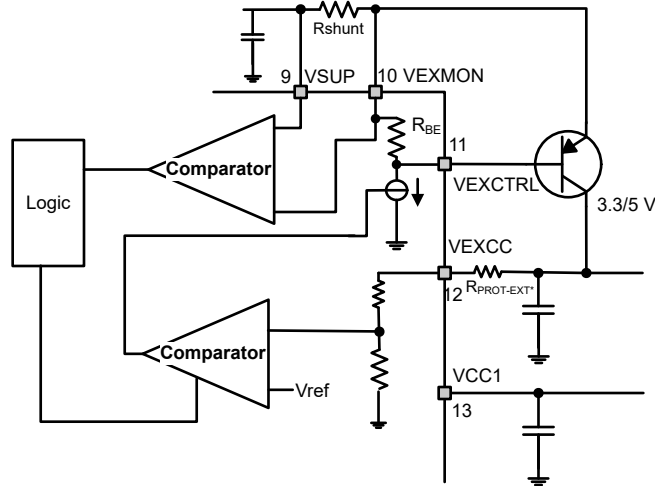


図 8-4. スタンドアロンの外部 PNP の例

注

VEXCC を ECU 外部の負荷への電源供給に使用する場合、グラウンド シフトへの対策および EMC 耐性向上のため、直列抵抗 $R_{\text{PROT-EXT}}$ を使用することが推奨されます。

8.3.3.2 VCC1 による負荷共有構成の VEXCC

VCC1 との負荷共有を構成した場合、VEXCC と VCC1 の電流比は、レジスタ 0x1F の VEXCC_VCC1_LOAD_RATIO ビットの設定によって決定されます。VEXCC が負荷共有用に構成されている場合、VEXCC を VCC1 に接続する必要があります。接続していない場合は、VCC1 は起動せず、VCC1 が VCC1SC スレッシュホルド (短絡スレッシュホルド) を超えていないため、デバイスはフェイルセーフ モードに移行します。

TCAN29xx-Q1 は、VCC1 との VEXCC 負荷共有用に工場出荷時にプログラムされていません。デバイスは、次のステップ シーケンスを使用して負荷共有用にプログラムできます。

1. VCC1 をボード上の VEXCC に短絡した状態でデバイスの電源を投入します。デバイスが起動しスタンバイモードに移行します
2. VEXCC 電圧構成レジスタ 8'h0D[2:0] を、正しい電圧設定に構成します。これは、VCC1 設定と同じにする必要があります (3.3V または 5V のみ)
3. 出力が安定するまで 5ms 待ち、VEXCC_STATUS、8'h4F[3] を読み取り、VEXCC がレギュレーション状態にあることを確認します
4. レジスタ 8'h0D[2:0] = 100b で VEXCC の負荷共有を有効にします
5. VEXT_CFG 設定は無視され、VEXCC はスタンバイ モードおよび通常モードでオンに維持され、スリープおよびフェイルセーフ モードではオフになります。

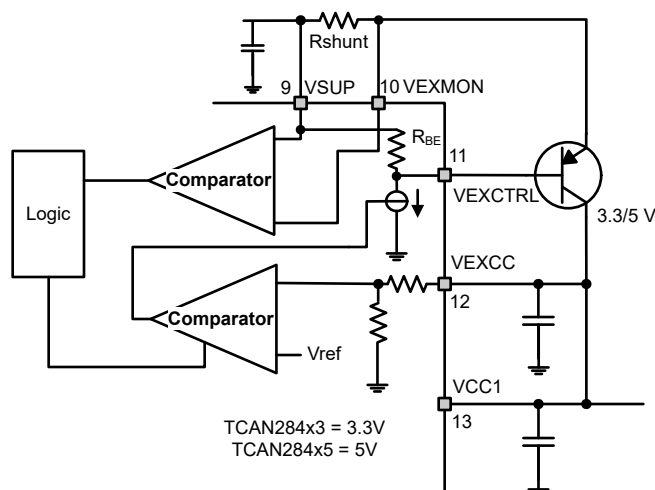


図 8-5. 負荷共有を使用する外部 PNP の例

8.3.3.2.1 VEXCC : 未使用ピンの構成

VEXCC レギュレータを使用しない場合、ピンに次のように接続することを推奨します。

- VEXMON を VSUP に接続します。静止電流が増加する可能性があるため、フローティングのままにしないでください
- VEXCTRL はフローティングのままにします
- VEXCC はフローティングのままにします

SPI 経由で VEXCC をイネーブルにしないでください。静止電流が増加する可能性があります。

8.3.4 CAN FD トランシーバ

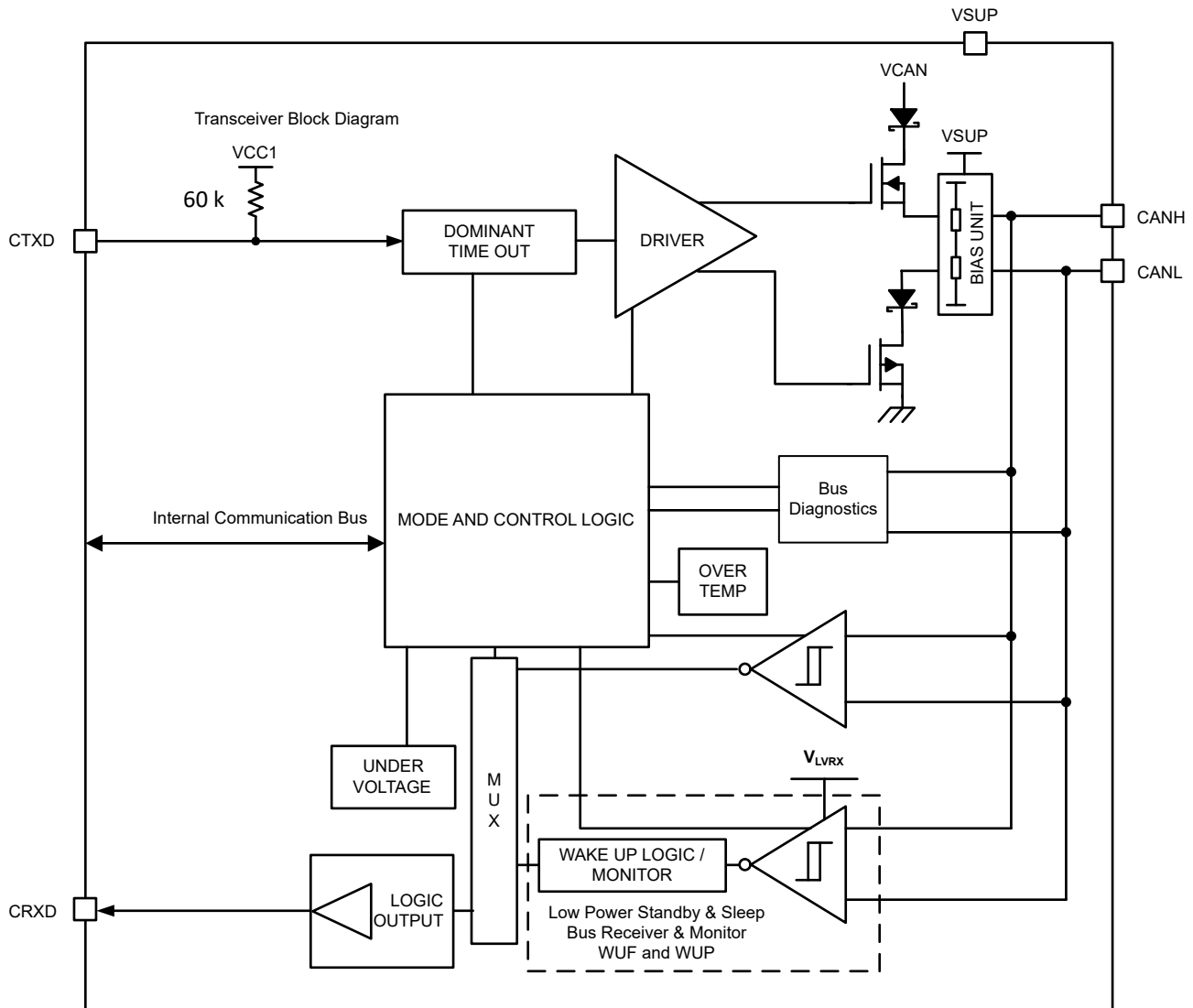


図 8-6. CAN FD トランシーバのブロック図

CAN FD トランシーバは、SBC モードの制御外で個別にプログラム、または SBC モード制御に関連付けることができます。SBC モード制御に連動させた場合、SBC モードを通常モードに変更すると、自動的にトランシーバもオンになります。それ以外のすべての状態では、ウェークアップ可能です。SBC モードとは別にプログラムされる場合、トランシーバをそのモードにできない特定の状態が存在します。モード変更が開始され、トランシーバが許可状態でない場合、モード変更は実行されません。8'h5A[3] の **MODE_ERR** 割り込みは 1b にセットされます。これには、現在の SBC モード中にトランシーバ構成を禁止状態に変更することが含まれます。各 SBC モードで許容されるトランシーバ構成については、表 8-1 および 図 8-6 を参照してください。ここでは、考慮すべき特定の事例をいくつか示します。

- リスン、ウェーク対応、オフに構成された通常モードのトランシーバは、スタンバイモードに遷移できますが、その状態は同じです。
- トランシーバがオフにプログラムされない限り、リスタートモードへの遷移はウェーク対応です。
- トランシーバがオフにプログラムされていない限り、リスタートモードからスタンバイモードへの遷移はウェーク対応です。

注

デバイスが SBC 通常モードで、トランシーバがオンにプログラムされている場合は、TXD ピンがチェックされます。TXD ピンがドミナントの場合、TXD ピンがリセッスに遷移するまで、トランシーバはトランスミッタをオンにしません。

CAN FD トランシーバは、オフ、オン、リスン、ウェーク対応をサポートします。トランシーバの状態は、レジスタ 8'h10[2:0] を使用してプログラムします。オンはスタンダアローン トランシーバの通常モードであることを示します。フェイルセーフ モードに移行すると、CAN トランシーバはウェークアップ可能になります。

VCAN ピンは CAN FD トランシーバに対する 5V の電源入力です。VCAN は低電圧イベント UVCAN で監視されます。VCAN が存在し、故障状態ではない場合、これを示すためにレジスタ 8'h4F[1]、VCAN_STATUS が 1b に設定されます。CAN FD トランシーバを利用できるようにするには、VCAN が存在している必要があります。

表 8-1. SBC モードによる CAN FD トランシーバのプログラマブル状態

SBC モード	オン	リスン	ウェーク対応	オフ	SBC モード制御
通常	✓	✓	✓	✓	オン
スタンバイ		✓	✓	✓	ウェーク対応
スリープ			✓ デフォルト	✓	ウェーク対応
最初からやり直します			✓ デフォルト	✓	ウェーク対応
フェイルセーフ			✓ デフォルト	✓	ウェーク対応

注

- SBC リスタートモードに移行すると、トランシーバはウェーク対応に変化します
- SBC フェイルセーフモードに移行すると、トランシーバはデフォルトでウェーク対応になります。

8.3.4.1 ドライバおよびレシーバ機能

TXD ピンと RXD ピンは、プロセッサと CAN FD および LIN 物理層トランシーバとの間の入力および出力です。これらのデバイスのデジタルロジック入力と出力のレベルは、3.3V または 5V ロジックを持つプロトコルコントローラとの互換性のための、VCC1 を基準とした TTL レベルです。表 8-2 および表 8-3 は、各モードでの CAN ドライバと CAN レシーバの状態を示しています。

表 8-2. ドライバ機能表

トランシーバの状態	TXD 入力	バス出力		駆動されているバスの状態
		CANH	CANL	
CAN オン	L	H	L	ドミナント
	H またはオープン	Z	Z	バイアスリセッス
ウェーク対応	X	Z	Z	GND への弱いプル
オフ	X	Z	Z	

表 8-3. CAN レシーバ機能表

トランシーバの状態	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
オン/リスン	$V_{ID} \geq 0.9\text{ V}$	ドミナント	L
	$0.5\text{ V} < V_{ID} < 0.9\text{ V}$	未定義	未定義
	$V_{ID} \leq 0.5\text{ V}$	リセッス	H
ウェーク対応	$V_{ID} \geq 1.15\text{ V}$	ドミナント	ウェーク機能を参照してください
	$0.4\text{ V} < V_{ID} < 1.15\text{ V}$	未定義	
	$V_{ID} \leq 0.4\text{ V}$	リセッス	

表 8-3. CAN レシーバ機能表 (続き)

トランシーバの状態	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
オフ	オープン ($V_{ID} \cong 0\text{ V}$)	オープン	H

8.3.4.2 CAN バスのバイアス印加

バスバイアスは通常バイアスの場合があり、通常モードではアクティブ、低消費電力モードでは非アクティブです。自動電圧バイアス印加とは通常モードでバスがアクティブな状態ですが、低消費電力モードでは CANH と CANL 間の電圧によって制御されます。図 8-7 は、TCAN29xx-Q1 が自動バイアス印加を実行する方法の状態図を示しています。

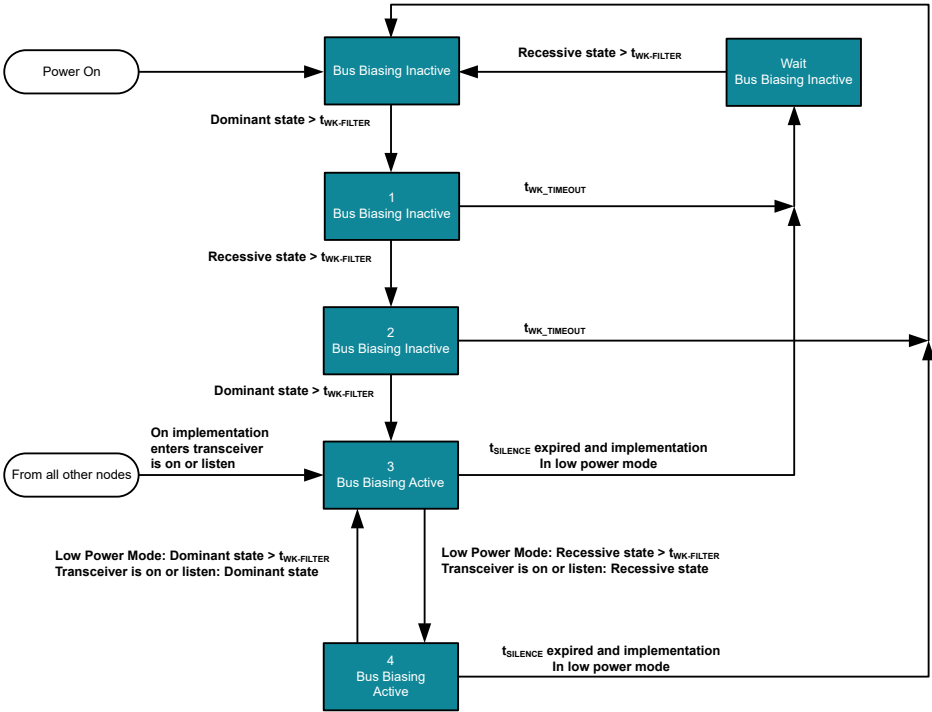


図 8-7. 自動バスバイアス印加の状態図

注

状態 1 に入ると、タイマ $t_{WK_TIMEOUT}$ がリセットされて再起動されます。状態 3 または 4 に入ると、タイマ $t_{SILENCE}$ がリセットされ、再起動されます。

図 8-8. バスバイアス印加

8.3.5 LIN トランシーバ

TCAN2957-Q1 は、オン、高速、リッスン、オフ、ウェーク対応をサポートする LIN トランシーバを搭載しています。このトランシーバの状態は、レジスタ 8'h1D[7:5] を使用してプログラムされます。フェイルセーフ モードに移行すると、LIN トランシーバはウェークアップ可能になります。

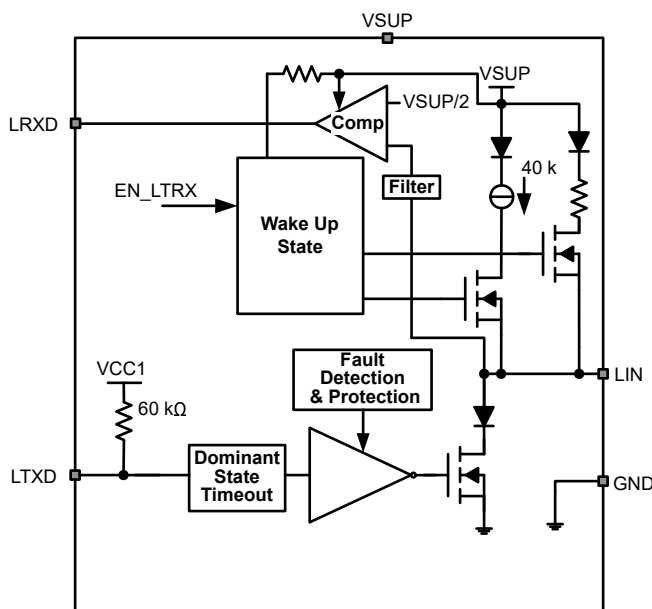


図 8-9. TCAN29xx-Q1LIN トランシーバのブロック図

表 8-4. SBC モードによる LIN トランシーバのプログラマブル状態

SBC モード	オン	ファースト	リスン	ウェーク対応	オフ	SBC モード制御
通常	✓	✓	✓	✓	✓	オン
スタンバイ			✓	✓	✓	ウェーク対応
スリープ				✓ デフォルト	✓	ウェーク対応
最初からやり直します				✓ デフォルト	✓	ウェーク対応
フェイルセーフ				✓ デフォルト	✓	ウェーク対応

注

- SBC リスタートモードに移行すると、トランシーバはウェーク対応に変化します
- SBC フェイルセーフモードに移行すると、トランシーバはデフォルトでウェーク対応になります

LIN は耐久性があり、58V までの過渡電圧に耐えられます。グラウンド シフトや電源 (VSUP) の喪失が発生した場合でも、ブロッキング ダイオードによって LIN から電源 (VSUP) への逆電流が最小化されます。LIN バスには、電氣的仕様表の I_{BUS_LIM} で示されるバス短絡電流リミットがあります。

TCAN2947-Q1 には LIN ピンは存在しません。NU は未使用を意味します。このピンは基板上で未接続にする必要があります。

8.3.5.1 LIN トランスミッタの特性

トランスミッタは、LIN 仕様に準拠したスレッショルドと AC パラメータの条件を満足します。トランスミッタは、電流制限機能とサーマル シャットダウン機能を内蔵したローサイドトランジスタです。サーマル シャットダウン状態の間、本デバイスを保護するため、トランスミッタは無効化されます。VSUP に対して接続された直列ダイオード構造付きプルアップ抵抗が内蔵されているため、LIN ペリフェラル ノード用途では外付けプルアップ部品は不要です。本デバイスをコントローラ ノード用途で使用する場合、VSUP に対して接続された直列ダイオード付き外部プルアップ抵抗を追加する必要があります。高速モードでは、トランスミッタは 200kbps のデータレートをサポートできます。

表 8-5. ドライバ機能表

トランシーバの状態	TXD 入力	LIN バス出力	駆動されているバスの状態
LIN オン	L	L	ドミナント
	H またはオープン	H	バイアスリセッシブ
ウェーク対応	X	H	
オフ	X	Z	

8.3.5.2 LIN レシーバの特性

レシーバ特性のスレッショルドは、LIN 仕様に従って、デバイスの電源ピンにレシオメトリックになります。

レシーバは、LIN または SAEJ 2602 仕様でサポートされているデータレートよりも高いデータレート (> 100kbps) で受信できます。そのため、最終工程またはその他のアプリケーションでの高速ダウンロードに TCAN2957-Q1 を使用できます。実現可能な実際のデータ レートは、システムの時定数 (バス容量とプルアップ抵抗) と、そのシステムで 사용되는ドライバの特性で決まります。高速モードでは、レシーバは 200kbps をサポートできます。

8.3.5.3 LIN の終端

VSUP に対して接続された直列ダイオード構造付きプルアップ抵抗が内蔵されているため、LIN レスポンダ ノード用途では外付けプルアップ部品は不要です。本デバイスを、LIN 仕様に従ってコマンド ノードの用途で使用する場合、VSUP に対して接続された直列ダイオード付き外部プルアップ抵抗 (1kΩ) を追加する必要があります。

図 8-10 に、コマンドノードの構成と、電圧レベルの定義方法を示します。

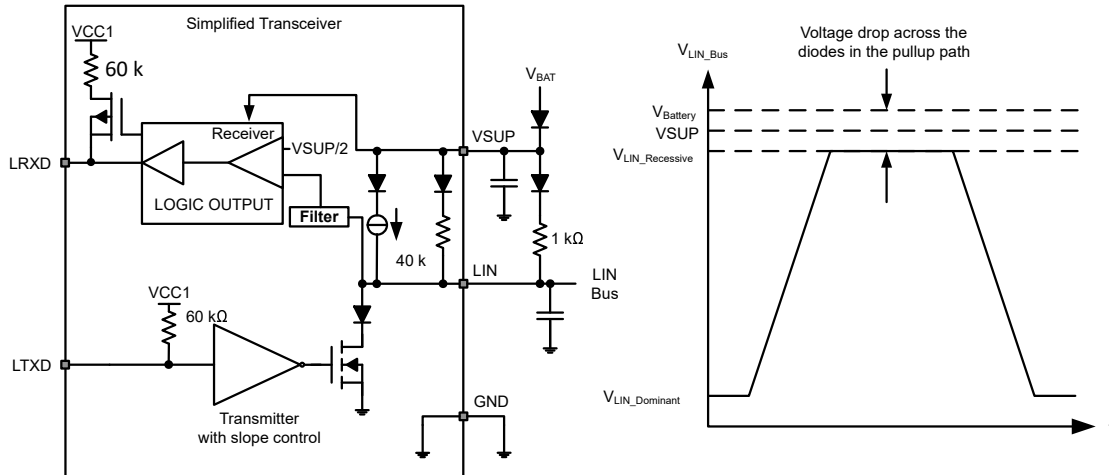


図 8-10. コマンドノードの構成と電圧レベル

8.3.6 ハイサイドスイッチ

統合された 4 つのハイサイド スイッチ (HSS1 - HSS4) は、最大 $I_{OC(HSS)}$ の負荷電流に対応しています。各 HSSx の制御方法は、HSS_CNTL (8'h1E) および HSS_CNTL2 (8'h4D) をプログラミングすることにより実現されます。この制御には、4 つの PWM 設定、2 つのタイマ、常時オン/オフ、または WAKE3/DIR ピンからの直接駆動が含まれます。4 つの 10 ビット PWM は 200Hz または 400Hz に対応しており、任意の HSSx に割り当てることができます。PWM3 および PWM4 の SBC_CONFIG0 レジスタ 8'h0C[5:4] は 01b にセットする必要があります。これをセットしてから、PWM1 および PWM2 構成レジスタを使用して、PWM3 および PWM4 をプログラムします。これにより、PWM1 制御レジスタが PWM3 に、PWM2 制御レジスタが PWM4 に変更されます。レジスタを構成した後、8'h0C[5:4] = 00b に変更し、PWM レジスタを PWM1 および PWM2 に戻すのが最適です。タイマは、TIMERx_CONFIG レジスタ 8'h25 および 8'h26 を使用して構成します。

任意の HSS を他の HSS に接続でき、同じ制御メカニズムを割り当てて同期化できます。これにより、高い電流負荷を使用できます。PWM1 を HSS1 - HSS4 に割り当てると、4 つのハイサイド スイッチすべてが同期されます。Timer1 と Timer2 は同じ方法で使用できます。マイコンが HSSx を直接駆動するためには、WAKE3/DIR ピンを使用した直接駆動機能が使用されます。ハイサイド スイッチは、適切な HSSx_CNTL フィールドに 1000b をプログラムすることで、直接駆動を使用して同期できます。

ハイサイド スイッチをプログラミングする場合は、以下の手順を使用する必要があります。

- 選択したタイマ、PWM、または直接駆動の値が 0 になっていることを確認します。
- 選択したハイサイド スイッチを、目的のタイマ、PWM または直接駆動に対してプログラムします。
 - 複数の HSSx を同期する必要がある場合は、目的の HSSx を同じ制御メカニズム (タイマ / PWM / 直接駆動) に対してプログラムします。
- タイマを使用する場合は、目的のタイマ期間とオン時間をプログラムします。HSSx は、オン時間がプログラムされると直ちに起動します。
- PWM をプログラムするには、以下の手順に従います。
 - PWMx_FREQ をプログラムします。
 - PWMx_DC_MSB をプログラムします。
 - PWMx_DC レジスタをプログラムします。この手順を実行しないと、PWM はプログラムされません。
 - PWMx_FREQ または PWMx_DC_MSB の変更には、更新を実装するための最後のステップとして PWMx_DC のプログラミングを含める必要があります。
- 直接駆動の場合、デバイスは WAKE3_LEVEL を 8'h2B[1:0] VCC1 に基づく入力スレッショルドレベルに設定し、プロセッサの出力電圧レベルと一致させます。

HSS により過電流が検出される際、過電流が有効かどうかを判定するためにフィルタ時間 t_{OCFLTR} が使用されます。 t_{OCFLTR} は、レジスタ 8'h4F[0] を使用して設定し、短い期間または長い期間に設定できます。過電流状態が有効である場合、対応する HSSx 過電流割り込みフラグが INT_7 レジスタ 8'h55 に設定されると、HSSx はオフになり、HSSx_CNTL レジスタは 000b にリセットされます。HSS は自動的にオンに戻ることはありません。対応する HSSx_CNTL レジスタに書き込むことにより、次の t_{OCFLTR} 期間の後に HSS を再度オンにできます。故障がクリアされても、HSSx 過電流フラグは自動的にクリアされないことに注意してください。

HSS で開放負荷故障が検出されると、INT_7 レジスタ 8'h55 に割り込みフラグがセットされます。開放負荷故障のため、HSS はオフになりません。故障がクリアされても、開放負荷フォルト割り込みフラグは自動的にクリアされないことに注意してください。

VHSS ピンは、OVHSS スレッシュホールドに基づいて、ハイサイドスイッチの過電圧状態についても監視されます。VHSS がこのスレッシュホールドを超えると、ハイサイドスイッチがオフになります。VHSS がこのスレッシュホールドを下回ると、ハイサイドスイッチは自動的に以前の有効な状態になります。レジスタ 8'h4F[7:6] は、OVHSS または UVHSS イベントによりハイサイドスイッチが自動的にシャットダウンするのを無効化します。HSS_OV_UV_REC、レジスタ 8'h4F[5]= 1b により、ハイサイドスイッチはプログラムされた状態に戻ることができます。HSS_OV_UV_REC = 0b の場合、VHSS の過電圧または低電圧イベントにより、ハイサイドスイッチはオフのままになります。

HSS4 は、2 つのタイマのいずれかを使用するように構成して、サイクリック センシングをサポートする WAKE1、WAKE2、WAKE3 ピンで動作させることが可能です。サイクリックセンシングをスタンバイモードまたはスリープモードで使用すると、HSS が常時オンになるため、モード電流を低減できます。詳細については、[セクション 8.3.13.3.2](#) を参照してください。

HSS4 ピンは、WAKE ピン WAKE4 として構成することもできます。WAKE4 ピンとして構成した場合、HSS4 を HSS として使用することはできません。この場合、HSS3 は Timer1 または Timeer2 を使って周期的センシング ウェーク機能をサポートします。

注

- 抵抗性負荷の場合は、外部コンデンサをグラウンドに接続する必要はありません。
- 誘導性負荷の場合は、グラウンドとの間に外部 100nF コンデンサが必要です。
- HSS とともに 10 ビット PWM を使用する場合は、スイッチのオン時間とオフ時間により実現できない値を選択可能です。00 0000 0001b に、その例が示されています。

8.3.7 WAKE および電圧監視入力

WAKE1、WAKE2、WAKE3/DIR ピンは、高電圧を許容するグラウンドバイアスのローカルウェークアップ (LWU) 入力ピンです。この機能については、[セクション 8.3.13.3](#) で詳しく説明しています。これらのピンは立ち上がりエッジと立ち下がりエッジの両方でトリガできます。つまり、WAKE ピンのどちらのエッジ遷移でも LWU を認識します。このピンはパルスを許容するよう構成できます。この動作のタイミング図については、[図 8-23](#) を参照してください。WAKE ピンはデフォルトで有効ですが、レジスタ 8'h2A[7:5]、WAKE_PIN_SET を使用して、個別にオフにすることで無効化できます。レジスタ 8'h11[7:6] は、ウェーク イベントを登録する際にピンをどの方式で使用するかを設定します。これらのピンは、サイクリックセンシングウェーク ([セクション 8.3.13.3.2](#) を参照)、または静的ウェーク用に構成できます。

WAKE ピンには状態変化に対してセットできる 4 つの個別のスレッシュホールドがあります。

- レジスタ 8'h12[1:0]、WAKE1_LEVEL
- レジスタ 8'h2B[5:4]、WAKE2_LEVEL
- レジスタ 8'h2B[1:0]、WAKE3_LEVEL

注

WAKEx_LEVEL = 10b または 11b を選択して静的ウェークを使用する場合、システム設計者は VSUP がウェークピンスレッシュホールドを超えないことを確認する必要があります。そうしないと、誤ったウェークアップが実行される可能性があります。VSUP の通常の低電圧イベントでは、これは実行されません。

レジスタ 8'h2A[4:0]、MULTI_WAKE_STAT は、どの WAKE ピンまたは WAKE ピンの組み合わせにより LWU イベントが発生したかを通知します。ピンの個別のステータス (Low または High) は、SPI を使用できるいずれかのモードで、SPI 経由で読み取ることができます。

- レジスタ 8'h11[5]、WAKE1_STAT
- レジスタ 8'h2B[6]、WAKE2_STAT
- レジスタ 8'h2B[2]、WAKE3_STAT

8.3.7.1 WAKE ピンの代替構成

WAKEx ピンは、代替機能用にプログラムできます。これらのピンが代替機能用に構成される場合、ローカルウェークアップ機能は利用できません。

8.3.7.1.1 V_{BAT} 監視

WAKE1 と WAKE2 には、V_{BAT} 監視機能を実現するための内部スイッチがあります。これは、WAKE_PIN_CONFIG1 レジスタ 8'h11[4] WAKE_VBAT_MON を 1b = オンに設定することで行われます。図 8-11 を参照してください。これにより、スイッチが閉じ、WAKE1 および WAKE2 機能がディセーブルになります。R_{WK-BAT} および抵抗 R_{DIV1} および R_{DIV2} の値については、表 10-1 を参照してください。

WAKE1 および WAKE2 ピンは最大 40V の電圧で動作できます。これにより、WAKE2 ピンに接続されているプロセッサピンが損傷する可能性がある WAKE2 ピンに十分高い電圧が印加されることがあります。これを回避するために、OVHSS パラメータを使用してスイッチをオフにできます。WAKE_PIN_CONFIG2 レジスタ 8'h12[6] の WAKE1_SENSE ビットは、デュアル機能レジスタ ビットです。WAKE_VBAT_MON = 0b の場合、WAKE1_SENSE ビットは、WAKE1 ピンが静的ウェーク入力であるか、周期的ウェーク入力であるかを決定します。WAKE_VBAT_MON = 1b の場合、WAKE1_SENSE ビットは OV_WAKE12SW_DIS になります。OV_WAKE12SW_DIS = 0b の場合、HVSS が OVHSS 制限値に達すると、TCAN29xx-Q1 は WAKE1 と WAKE2 の間のスイッチをオフにします。

このスイッチは、通常およびスタンバイ モード (有効な場合) でアクティブになり、スリープおよびフェイルセーフ モードではスイッチはディセーブルになります。

外付け部品の推奨値については、表 10-1 を参照してください

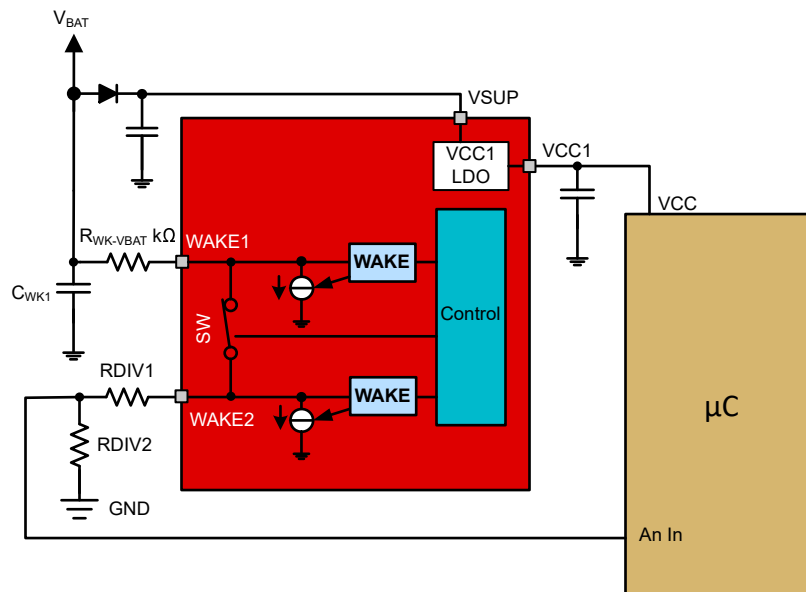


図 8-11. V_{BAT} 監視回路

8.3.7.1.2 直接駆動

WAKE3/DIR ピンは、ハイサイド スイッチ HSSx のいずれかまたはすべてを直接制御するようにプログラムできます。[図 8-12](#) を参照してください。これは、各選択された HSSx に対して、HSS_CNTLx レジスタ (8'h1E および 8'h4D) に 1000b (ダイレクトドライブ ピン制御) を設定することで実行されます。これにより、WAKE3 機能がディスエーブルになります。直接駆動を使用する場合、WAKE3/DIR ピンのエッジ変化に応じたイネーブルおよびディスエーブルの時間があります。これはパワー セービング機能であり、[図 8-13](#) に示します。

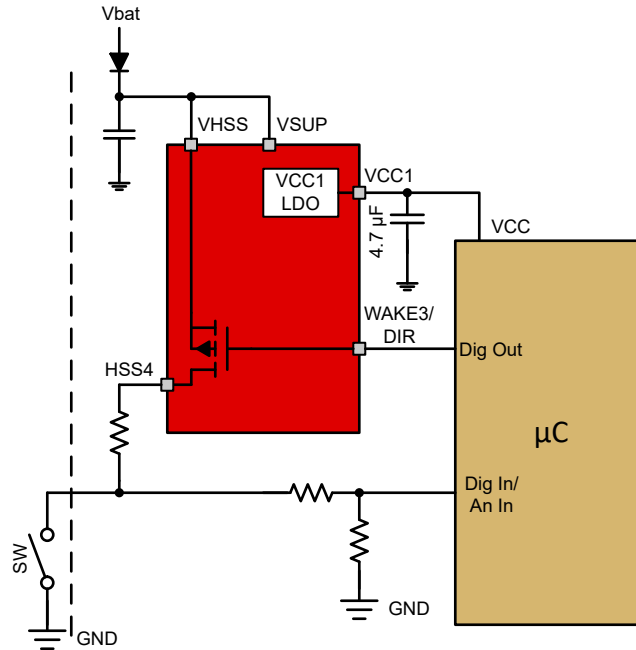


図 8-12. HSS4 ダイレクト ドライブの例

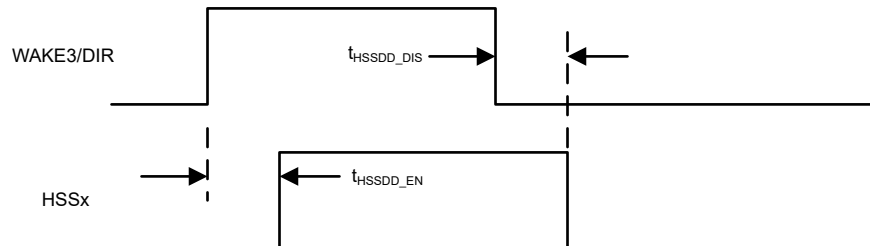


図 8-13. 直接駆動のイネーブル / ディスエーブルのタイミング

8.3.7.1.3 ハードウェア ID 機能への WAKE ピンの使用

WAKE ピンを GND またはバッテリー端子に接続して車両内の ECU 位置をエンコードすることで、ハードウェア ベース ID (識別) 機能を実行するように構成することもできます。この代替構成は、WAKE1-3 ピンでのみ使用できます。この機能は、WAKE4 ピンでは使用できません。

ID 機能を使用するには:

- IDx_EN = 1b に設定します
 - これにより、対応する WAKE ピンで WAKE 機能が無効になります
- t_{d_IDSTAT} 後、ピンの接続ステータスは IDx_STAT レジスタに反映され、ピンが GND と VBAT のどちらに接続されているかを示します

- デバイスは、WAKEx_LEVEL スレッシュホールド設定を使用して、ピンが VIH スレッシュホールド (VBAT に接続) を上回っているか、VIL (GND に接続) スレッシュホールドを下回っているかを判定します。
- IDx_EN = 0b に設定して ID 機能を無効化すると、IDx_STAT ビットが 00b (Unkown: 不明) にリセットされます

8.3.8 nRST ピン

nRST ピンは双方向オープンドレインのローサイドドライバで、複数の機能を備えています。具体的には、低電圧イベント発生時の LDO 監視出力、再起動に移行したプロセッサへのインジケータ、デバイス入力リセットとして機能します。nRST はプルアップ抵抗を介して VCC1 に接続されています。図 8-14 を参照してください。

VCC1 低電圧 (UVCC1) イベントが発生すると、デバイスはリスタート モードに遷移し、nRST ピンが Low にラッチされます。VCC1 が UVCC1xR スレッシュホールドを上回った後、 t_{RSTN_act} の遅延によって、nRST ピンはロジック「High」レベルに戻ります。

ウォッチドッグ障害が原因でデバイスがリスタート モードに移行する場合、このピンは t_{NRST_TOG} の間 Low になります。この時間が経過するとデバイスはスタンバイモードに遷移し、nRST は High に戻ります。

このピンは、 t_{NRSTIN} の入力パルスが印加されると、デバイスはレジスタを工場出荷時の初期値にリセットし、リスタート モードへ移行します。

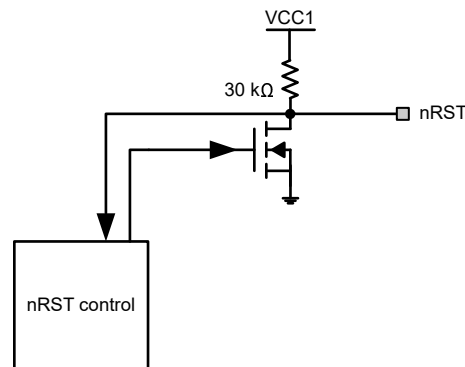


図 8-14. nRST ブロック図

8.3.9 LIMP 出力

LIMP ピンはリンプホーム機能用で、オープンドレイン、アクティブ Low、出力です。ウォッチドッグがタイムアウトしてリセットされる場合、これはリンプホーム モードに使用されます。このピンは、バッテリー電源 VSUP に接続された外付け抵抗でプルアップする必要があります。LIMP ピンがオフになるには、正しい入力トリガでウォッチドッグエラーカウンタがゼロに達する必要があります。フェイルセーフ モードをトリガするイベントがプログラムされている場合は、LIMP ピンもオンになります。このピンの状態をリードバックするには、DEVICE_CONFIG レジスタ 8'h1A[6] LIMP_RD_EN を 1b に設定します。LIMP ピンのアクティブ (オン) または非アクティブ (オフ) の状態は、LIMP_STATE の 8'h1A[5] からリードバックできます。

8.3.10 割り込み機能

nINT ピンは、プロセッサに接続されているデバイスの割り込み出力ピンです。TCAN29xx-Q1 がプロセッサの注意を必要とする場合、このピンは Low にプルされます。割り込みがクリアされて nINT ピンが High に戻されたあと、次の割り込みが発生して nINT ピンを再び Low にラッチできるようになるまで、1ms の遅延が入ります。

このピンは、プロセッサへの割り込み出力ピンです。TCAN29xx-Q1 がプロセッサの注意を必要とする場合、このピンは Low にプルされます。割り込みがクリアされて nINT ピンが High に戻されたあと、次の割り込みが発生して nINT ピンを再び Low にラッチできるようになるまで、1ms の遅延が入ります。

割り込みブロックは、VCC1 電源を基準とするプッシュプル出力段として設計されます。割り込み生成イベント (割り込みレジスタでマスクされていない割り込みが通知される) によって TCAN29xx-Q1 がプロセッサの処理を必要とする場合、この

ピンは Low にプルされます。割り込みがクリアされると、nINT ピンは High に戻ります。別の割り込みが発生する前に 1ms の遅延が発生し、nINT ピンが再度 Low にラッチされます。

nINT ピンは、レジスタ 8'h1B[0] の nINT_TOG_EN ビットに 1b を書き込むことで、Low にラッチされる代わりにトグルするように構成できます。図 8-15 を参照

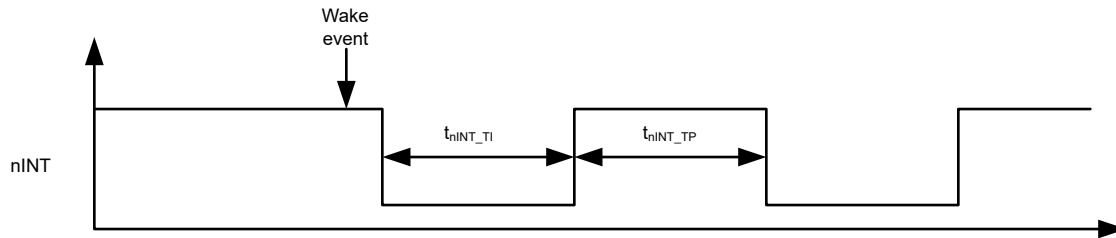


図 8-15. nINT のトグルタイミング

デフォルトでは、nINT ピンはグローバル割り込みインジケータであり、割り込みレジスタ 8'h51-8'h55、8'h5A、8'h5C でマスクされていない割り込みに対してアクティブになります。必要に応じて特定の割り込みをマスクし、これらの割り込みにより nINT ピンがアクティブにならないようにすることが可能です。レジスタ 8'h51-8'h55、8'h5D、8'h60 の割り込みイネーブルビットを使用すると、割り込みをマスクできます。

SPI を使用して 1b (W1C) を書き込んでクリアするまで、すべての割り込みは各割り込みレジスタに保存されます。

8.3.11 SW ピン

デバッグまたは開発時に、このピンを使用してウォッチドッグ動作を無効化できます。ピンがアクティブのとき:

- デバイスは通常の WD トリガを想定していますが、ウォッチドッグ障害割り込みフラグの設定以外のモード変更または動作は無視され、ウォッチドッグ カウンタがインクリメントおよびデクリメントされます。
- CAN トランシーバはオンに設定されています
- LIN トランシーバ (LIN 付きデバイス バリエント) はオンに設定されています

ピンが解放されているとき:

- ウォッチドッグ フラグは自己クリアされ、ウォッチドッグ カウンタはデフォルトまたはプログラムされた値のいずれかに戻ります。
- CAN および LIN トランシーバは、モードをプログラムされた値に戻します

このピンはデフォルトでアクティブ High ですが、レジスタ 8'h0E[0]= 0b を使用することでアクティブ Low に構成できます。

デバイスがスリープ モードまたはフェイルセーフ モードのとき、レジスタ SW_WAKE_EN (8'h0E[1]) を使用してこの機能をイネーブルにすることで、このピンをデジタル ウェイクアップ ピンとして使用できます。SW ピンの状態変化によってデバイスがウェイクアップすると、8'h51[1] の SWPIN 割り込みが設定されます。VCC1 が存在する場合 (スタンバイ モードおよび通常モード)、スレッシュホールドは VCC1 レベルに基づきます。VCC1 が存在しない場合 (フェイルセーフ モード)、スレッシュホールドは内部電圧レール V_{IHSWINT} および V_{ILSWINT} に基づきます。このピンを使用すると、外部の CAN FD または LIN トランシーバ、あるいはマイコンの GPIO ピンを用いて SBC をウェイクアップできます。複数の方法でこの作業を実施できます。外部トランシーバに禁止ピンがある場合は、外部回路を使用してこのピンにウェイク入力を供給できます。プロセッサをこのピンに直接接続し、SPI コマンドを使用せずにウェイクアップを開始できます。

図 8-16 は SW ピンの動作に関する状態図です。

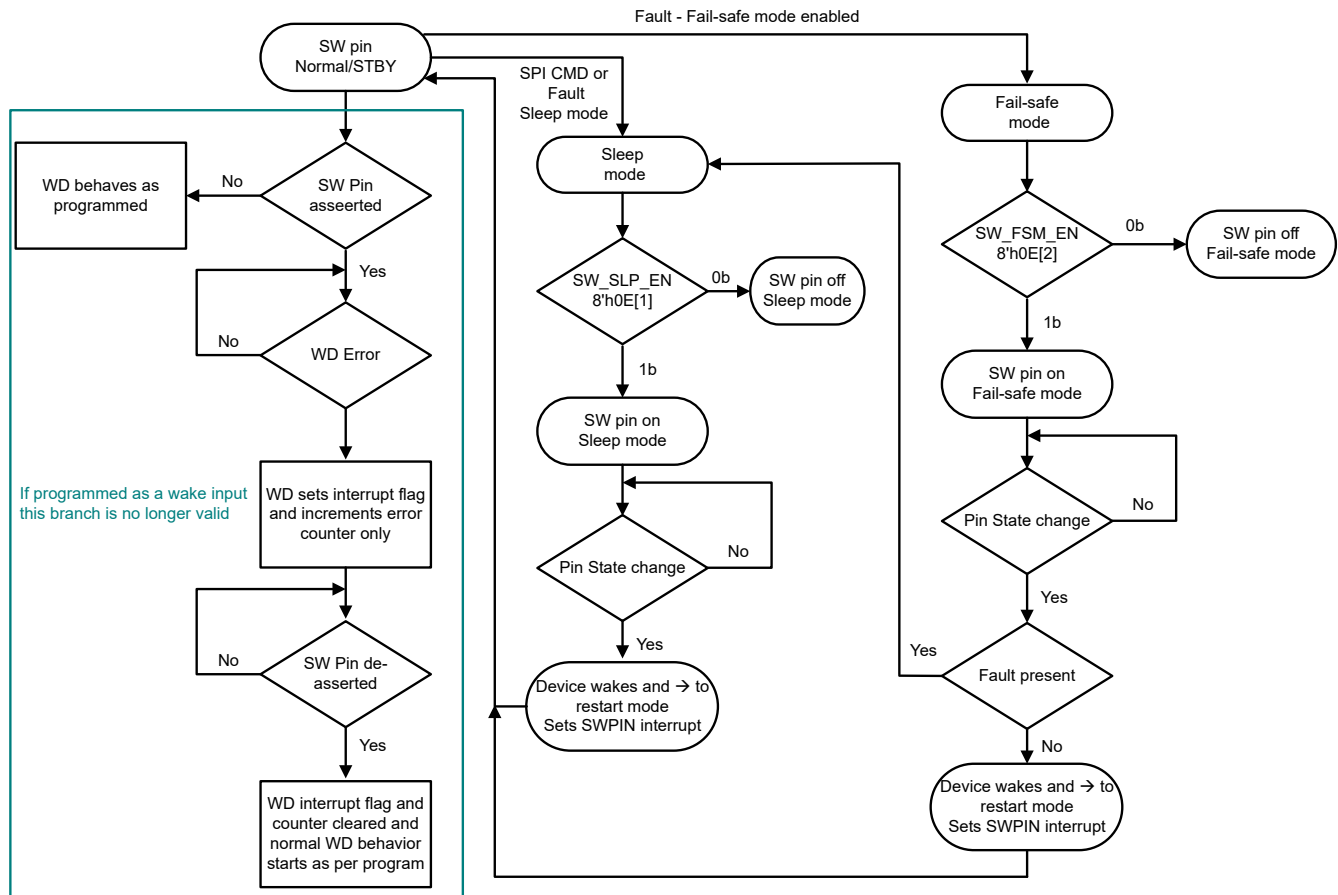


図 8-16. SW ピンの状態図

注

- SW ピンには、状態変化が少なくとも $t_{sw} = 140\mu s$ である必要があるフィルタタイマがあります
- プルアップ抵抗とプルダウン抵抗は、レジスタ 8'h0E[0] の設定に基づいて自動的に構成されます。アクティブ High はプルダウンアクティブ、アクティブ Low はプルアップアクティブを意味します。
- SW ピンが High に接続された状態でデバイスの電源がオンになると、デバイスはこれをウォッチドッグなしで実行する動作として扱います。

8.3.12 GFO ピン

このピンは、特定の情報をプロセッサに返すようにプログラムできます。これらは UVCC1 またはウォッチドッグ障害などの割り込みと見なすことができます。このピンは、WAKE ピンによりどのウェークイベントが発生したかを示すように構成できます (バス、ローカル)。デバイスがフェイルセーフモードに移行したことを示すように構成可能です。

このピンは、外部 LIN または CAN トランシーバを制御するイネーブルピンとして動作するようにも構成可能です。これは、正しい極性をサポートするようピンを構成してから、外部デバイスモードをプログラムすることで実現されます。

8.3.13 ウェーク機能

スリープ モードからウェークアップするには複数の実装があります。

- BWRR を使用した CAN バス ウェーク
- LIN バス ウェーク (LIN 搭載デバイス バージョンの場合)
- WAKEx ピンによるローカル ウェークアップ
- SW ピンがデジタル ウェーク入力としてプログラムされている場合

- スリープ モードでの周期的ウェークが有効

注

- デバイスがスリープに移行する前に発生したウェーク イベントは、デバイスがスリープ モードに移行しないようにするウェーク イベントとして扱われます。
- ウェーク イベントのためにスリープ モードで VCC1 がオフのとき、デバイスは通常のウェークフローに従います。
- スリープ モード中に VCC1 がオンの状態でウェーク イベントが発生すると、デバイスは割り込みを設定し、RXD を Low に引き下げ、さらにレジスタ SBC_CONFIG1 (8'h0E[5]) に設定された VCC1_SLP_ACT の動作を実行します。SPI が利用可能なため、VCC2 または VEXCC をオンにしないでモードを変更できます。
- スリープ モードで周期的ウェーク イベントが発生した場合、VCC1_SLP_ACT 構成は無効になり、デバイスはリスタート モードによってスタンバイ モードに

VCC1_SLP_ACT 構成に関係なく遷移します。

8.3.13.1 スリープモードでの CRXD リクエスト (BWRR) による CAN バスウェーク

TCAN29xx-Q1 は低消費電力のスリープおよびスタンバイ モードをサポートしており、CRXD リクエスト (BWRR) を使用したバス ウェークと呼ばれる CAN バス メカニズムのウェークアップを使用します。このパターンを受信すると、TCAN29xx-Q1 は自動的にスリープ モードからスタンバイ モードに切り替わり、nINT ピンに割り込みを挿入して、有効な場合は、バスがアクティブであることをホスト マイクロプロセッサに通知し、プロセッサがウェークアップして TCAN29xx-Q1 を修復します。ローパワーのレシーバおよびバス モニタがスリープ モードで有効になり、CAN バスを使用して CRXD ウェーク リクエストが可能になります。図 8-17 に示されているように、ウェークアップ リクエストは CRXD (Low に駆動) に出 force されます。外部 CAN FD のコントローラは、CRXD の遷移 (High から Low) を監視し、CRXD ウェークリクエストに基づき、デバイスを通常モードに再びアクティブにします。このモード中は、CAN バス端子が弱く GND にプルされます。図 7-2 を参照してください。

このデバイスは、ISO 11898-2: 2024 からのウェークアップパターン (WUP)を使用してリクエストへのバストラフィックを認証し、ホストマイクロプロセッサをウェークします。バスウェークリクエストは、CRXD 端子 (BWRR) の「フィルタ処理された」バスドミナントに対応する立ち上がりエッジと Low によって、内蔵の CAN FD コントローラに通知されます。

ウェークアップパターン (WUP) は以下で構成されます

- 少なくとも t_{WK_FILTER} のフィルタされたドミナントバスと、その後続くドミナントバス
- 少なくとも t_{WK_FILTER} のフィルタされたリセシブ バス時間の後に続きます
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタ処理されたドミナントバス時間
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタリングされたリセシブ バス時間 (デバイスの CAN-FD SIC バージョンのみ)

WUP が検出されると、デバイスは CRXD ピンでウェークアップリクエスト (BWRR) の発行を開始します。このピンの動作は、レジスタ 8'h12[2] によって決定されます。8'h12[2] = 0b の場合、ドミナント、リセシブ、ドミナントフィルタの各時間を満たす WUP パターンが受信されると、CRXD ピンは Low にプルされます。最初のフィルタリングされたドミナントが WUP を開始し、バスモニタがフィルタリングされたリセシブで待機しているため、他のバストラフィックはバスモニタをリセットしません。フィルタ処理されたリセシブを受信すると、バスモニタはフィルタ処理されたドミナントを待機しており、再度、他のバストラフィックはバスモニタをリセットしません。2 番目のフィルタ処理されたドミナントが受信されると直ちに、バスモニタは WUP を認識して BWRR 出力に遷移します。WUP の受信が検証されると直ちに、デバイスはバスモニタを BWRR モードに遷移させます。これは CRXD ピンを Low にラッチすることで示されます。これにより、BWRR 中の CRXD 出力は、ISO 11898-2:2024 で規定された、バス上の単一のフィルタリングされたドミナントをウェークアップ リクエストのメカニズムとして使用していた従来の 8 ピン CAN デバイスと同じ動作になります。

ドミナントまたはリセシブを「フィルタ処理」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があります。 t_{WK_FILTER} の変動により、以下のシナリオが適用されます。

- $t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないため、BWRR は生成されません。
- $t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、BWRR が生成される可能性があります。
- $t_{WK_FILTER(MAX)}$ を超えるバス状態は常に WUP の一部として検出されるため、BWRR が常に生成されます。

WUP のタイミング図については、[図 8-17](#) を参照してください。さらに、TCAN295x-Q1 ファミリのデバイスは、レジスタビット CAN_WUP_PATTERN の構成に基づいて、拡張 WUP パターンをサポートしています。タイミング図については、[図 8-18](#) を参照してください。

WUP および BWRR に使用されるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント故障が誤ったウェークリクエストを引き起こすことを防止しながら、任意の CAN または CAN FD メッセージによって BWRR を開始できます。デバイスが通常モードに切り替わるか、 V_{CC} で低電圧イベントが発生すると、BWRR は失われます。WUP パターンは、 $t_{WK_TIMEOUT}$ 時間内に実行する必要があります。時間外の場合、デバイスは次のリセッスと有効な WUP パターンを待機する状態になります。

8'h12[2] = 1b の場合、デバイスが通常モードまたはリスン モードになるまで、CRXD ピンは $t_{TOGGLE} = 10\mu S$ の間、Low - High - Low に切り替わります。BWRR は、電源が投入されてスリープモードまたは特定のフェイルセーフモード状態から復帰してスタンバイ状態になると、アクティブになります。SPI 書き込みによってデバイスがスタンバイモードに移行すると、ウェークイベントが発生するまで CRXD ピンは High になります。その後、CRXD ピンはスリープ モードであるかのように動作します。

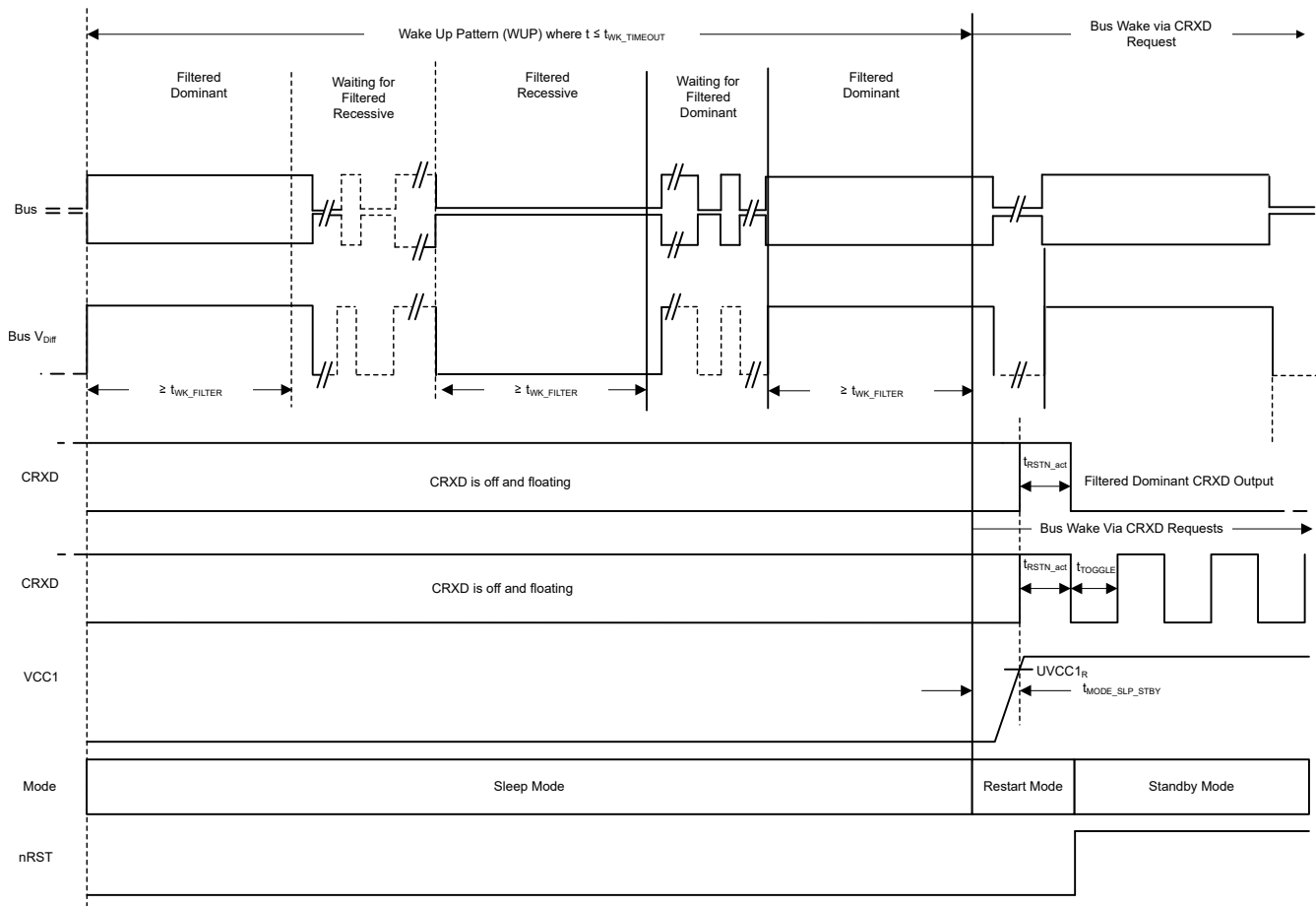


図 8-17. ウェークアップパターン (WUP) と CRXD リクエストによるバス ウェーク (BWRR)
(CAN_WUP_PATTERN = 0b の場合)

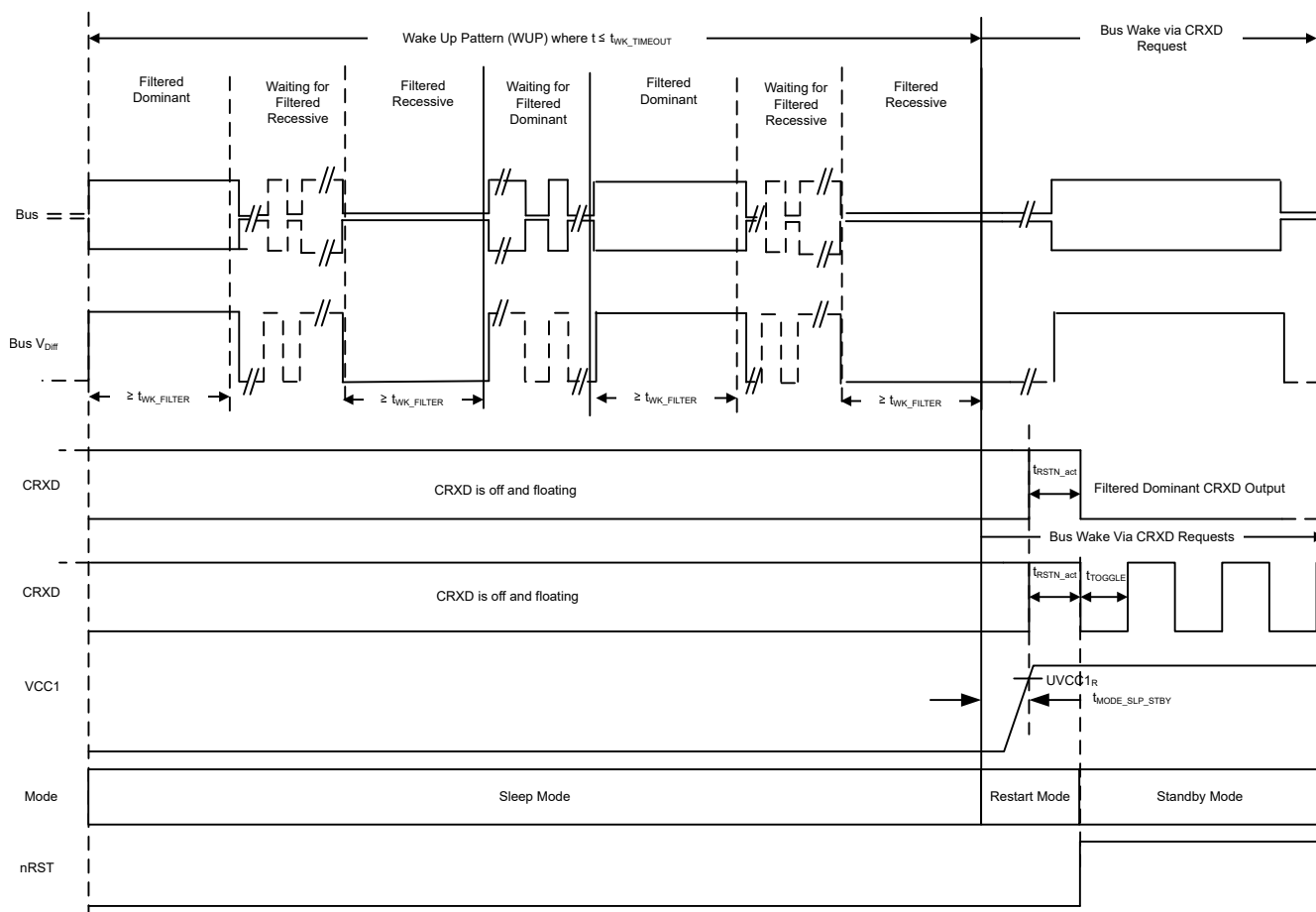


図 8-18. 拡張ウェークアップパターン (WUP) と CRXD リクエストによるバス ウェーク (BWRR)
(CAN_WUP_PATTERN = 1b の場合)

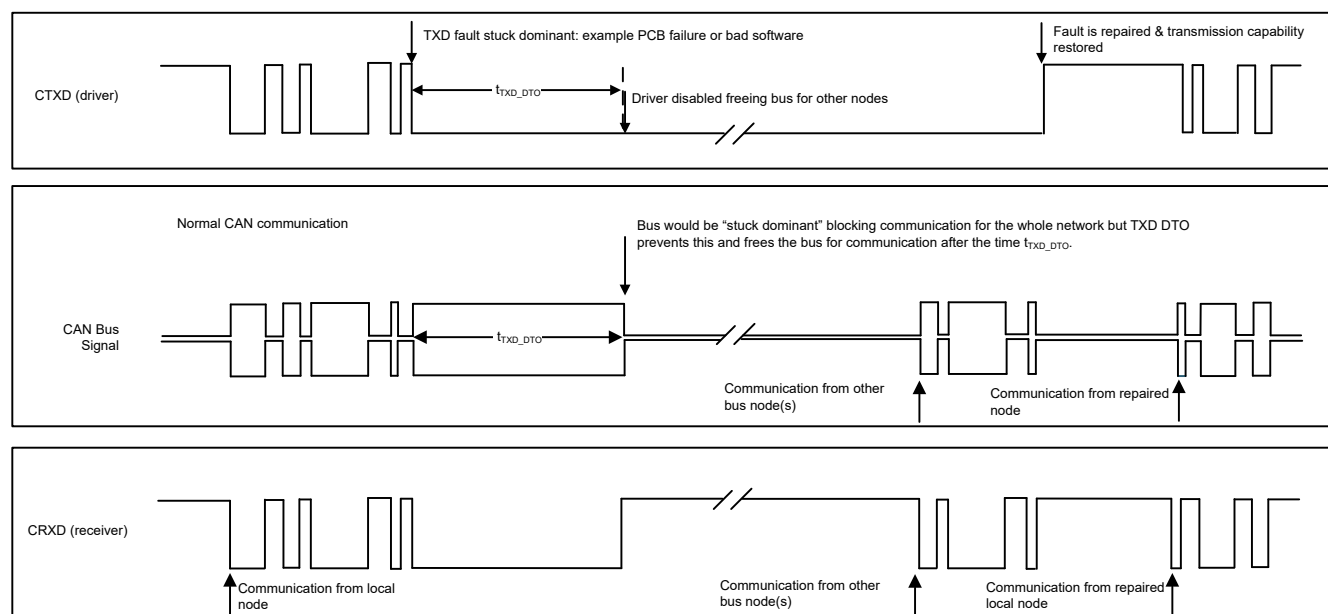


図 8-19. CTXD DTO を備えたタイミング図の例

注

WUP 信号からの CAN ウェークは、レジスタ 8'h10[2:0] = 010b で CAN1_TRX_SEL をプログラムすると無効にできます。

8.3.13.2 LIN バスウェーク

LIN バス上でリセッсп (high) 状態からドミナント (low) 状態への立ち下がりエッジが発生し、ドミナント状態が t_{LINBUS} フィルタ時間保持されると、リモート ウェークアップが開始されます。この t_{LINBUS} フィルタ時間が経過した後、LIN バスのドミナント状態からリセッсп状態への遷移の立ち上がりエッジでリモート ウェークアップ イベントが開始されるため、LIN バス電圧の変動またはバスのグランドとの短絡による誤ったウェークアップを防止できます。デバイスがスタンバイ モードに入ると、LRXD が Low に引き下げられることで LIN バスのウェークイベントが示されます。

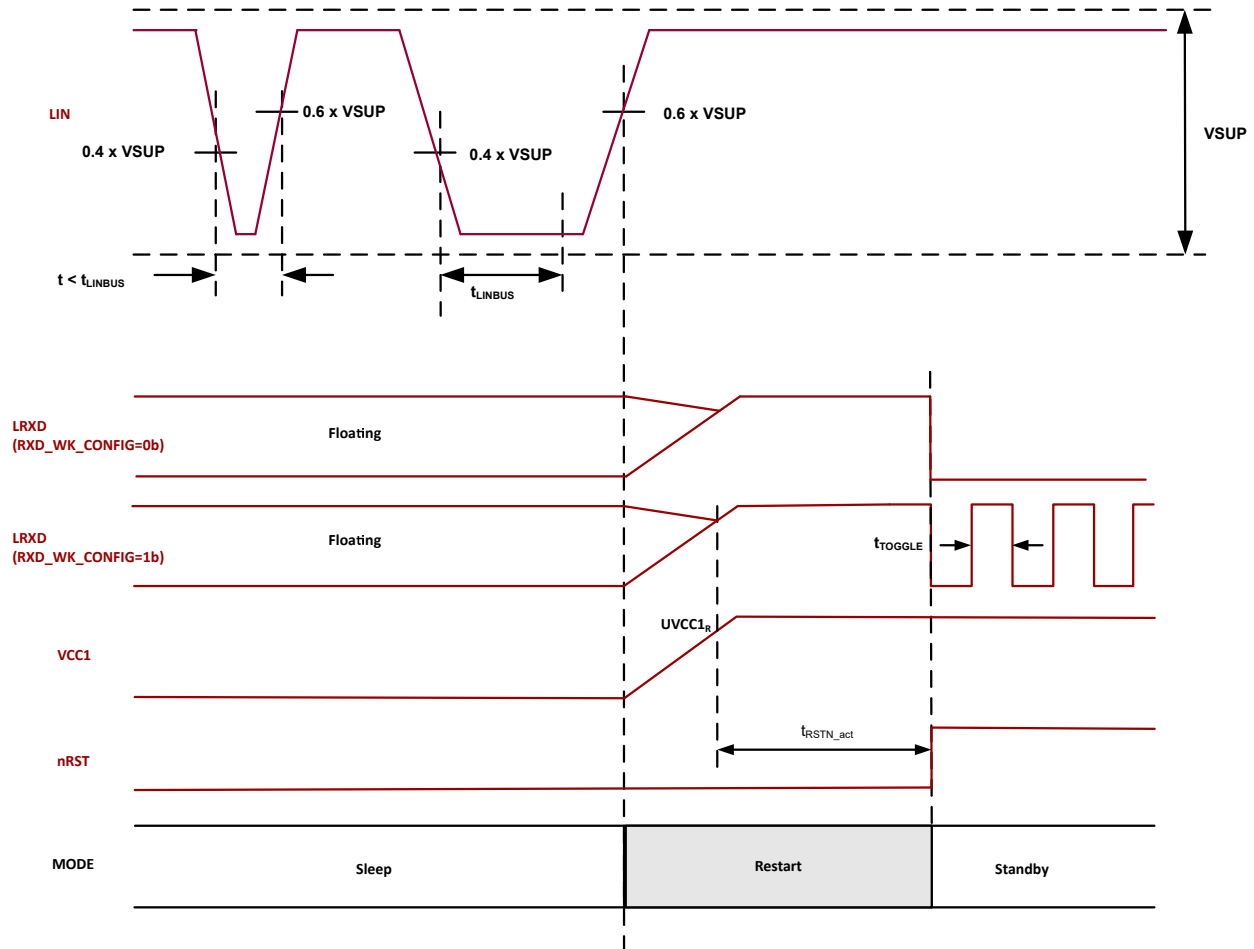


図 8-20. LIN バス ウェーク

8.3.13.3 WAKEx 入力端子によるローカルウェークアップ (LWU)

WAKEx 端子は、高い柔軟性を持つグランド基準の高電圧対応入力であり、電圧の遷移によってローカル ウェークアップ (LWU) 要求を行うために使用できます。このウェークアップ イベントには 2 つの方法があります。ピンのレベル変化に基づく静的ウェーク、またはタイミング ベースの周期的センシング (WAKEx ピンを一定周期でオンにし、そのオン期間中に変化が検出された場合にトリガ イベントとする方式) が確認されます。

このデバイスは、レジスタ 2Ah[4:0] を使用して WAKE ピンの状態変化を通知し、どの WAKE ピンの状態が変化したかを示します。

WAKE ピンには、以下の 2 つの使用方法があります。

- スタティックウェーク
- 周期的検出ウェーク

WAKE ピンにはグローバル制御があり、ウェークアップを行う方法、立ち上がりエッジ、立ち下がりエッジ、双方向、パルス、フィルタパルスを制御します。WAKE ピンには、プログラマブルなスレッシュホールドがあります

8.3.13.3.1 スタティックウェーク

WAKEx ピンはデフォルトでは双方向入力ですが、WAKE_CONFIG レジスタ 8'h11[7:6] を使用することで、立ち上がりエッジと立ち下がりエッジの遷移に構成可能です。図 8-21 および 図 8-22 を参照してください。WAKE ピンはグラウンドに基づくウェーク入力であり、グラウンドまたは V_{SUP} に接続されたスイッチで使用できます。WAKEx ピンの入力スレッシュホールドは VCC1 レベルを基準にでき、プロセッサに直接接続または VCC1 レールに切り替えることができます。この端子を使用しない場合は、望ましくない寄生ウェークアップを防止するため、端子をグラウンドに接続する必要があります。デバイスがスリープモードに移行すると、WAKE 入力の状態遷移を決定する前に、WAKEx 端子の電圧レベルが t_{WAKE} の間 Low 状態または High 状態である必要があります。 $t_{WAKE_INVALID}$ より小さいパルス幅はフィルタ処理されます。

LWU 回路は、スリープモード、スタンバイモード、およびオフ状態からスリープ状態への遷移中にアクティブです。有効な LWU イベントが発生すると、デバイスはスリープモードからスタンバイモードに遷移します。LWU 回路は、通常モードではアクティブではありません。

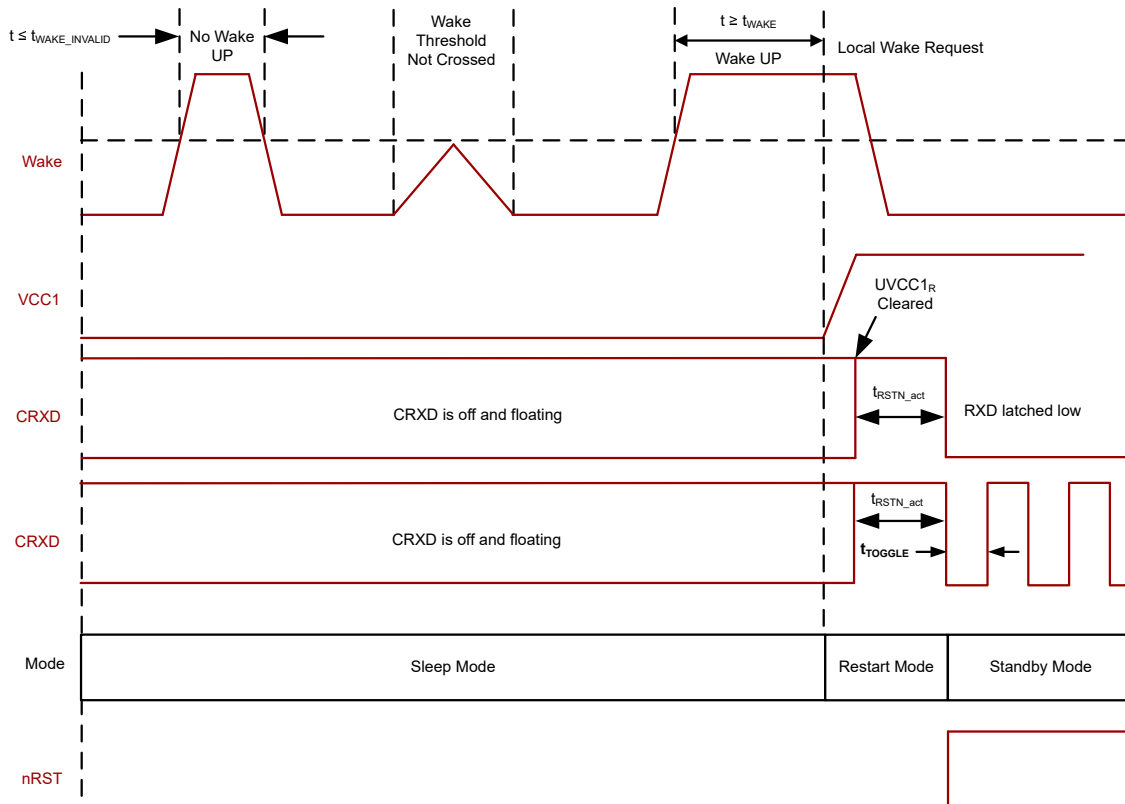


図 8-21. ローカルウェークアップ - 立ち上がりエッジ

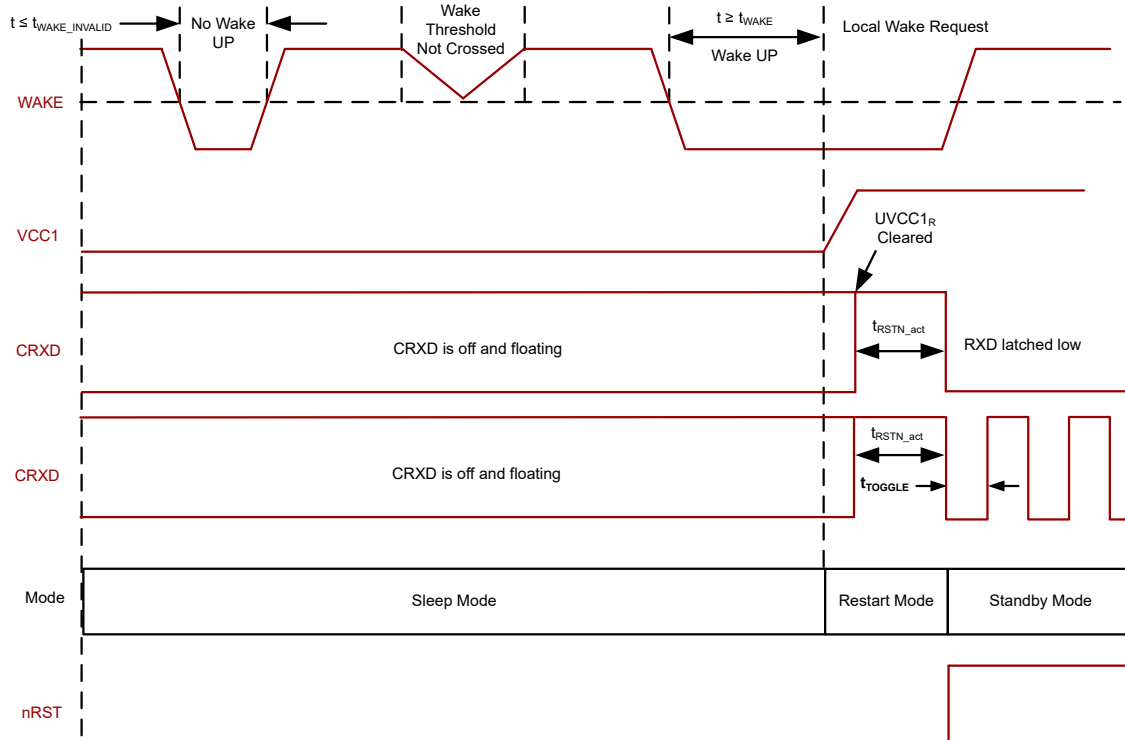


図 8-22. ローカルウェイクアップ - 立ち下がりエッジ

注

WAKE ピンに立ち上がりエッジまたは立ち下がりエッジのいずれかを選択する場合は、 t_{WAKE} の間、エッジ前の状態である必要があります。

- 立ち上がりエッジを選択してデバイスが WAKE High でスリープに移行する場合は、立ち上がりエッジのウェイクイベントの前に、 t_{WAKE} 以上 Low である必要があります
- 立ち下がりエッジを選択してデバイスが WAKE Low でスリープに移行する場合は、立ち下がりエッジのウェイクイベントの前に、 t_{WAKE} 以上 High である必要があります
- 双方向エッジではこの要件は必要ありません (デフォルト)
- 図 8-21 と 図 8-22 は、立ち上がりエッジまたは立ち下がりエッジによる WAKE 入力の例を示しています。VCC1 > UVCC1 の状態でスタンバイモードに入ると、RXD は Low にプルされます。

WAKE 端子は WAKE_CONFIG レジスタ 8'h11[7:6] を使用してパルス用に構成できます。図 8-23 を参照してください。この端子はパルスのみで動作するように構成できます。このパルスは $t_{WK_WIDTH_MIN}$ と $t_{WK_WIDTH_MAX}$ 間にある必要があります。この図には、3 つのパルス例と、デバイスがウェイクするかどうかを示しています。 $t_{WK_WIDTH_MIN}$ は、レジスタ 8'h11[3:2] の $t_{WK_WIDTH_INVALID}$ に設定する値によって決定されます。パルスが検出される場合と検出されない場合がある領域が 2 つあります。レジスタ 8'h1B[1]、WAKE_WIDTH_MAX_DIS を使用すると、パルスモードをフィルタ処理済みウェイク入力として構成できます。このビットに 1 を書き込むと $t_{WK_WIDTH_MAX}$ が無効になり、WAKE 入力は $t_{WK_WIDTH_INVALID}$ および $t_{WK_WIDTH_MIN}$ 値を選択するレジスタ 8'h11[3:2] の構成に基づきます。 $t_{WK_WIDTH_INVALID}$ より小さい WAKE 入力がフィルタ処理され、 $t_{WK_WIDTH_MIN}$ より長くなる場合、デバイスはリスタート モードに移行して LDO をオンにします。2 つの間の領域は認識される場合と認識されない場合があります (図 8-24 を参照)。レジスタ 8'h12[7] は、認識されるパルスまたはフィルタエッジの方向を決定します。WAKE ピンのステータスはレジスタ 8'h11[5:4] から判断できます。WAKE ピンの変更が行われると、デバイスはこれを立ち上がりエッジまたは立ち下がりエッジとして登録します。これはビットに 00 が書き込まれるまでラッチされます。

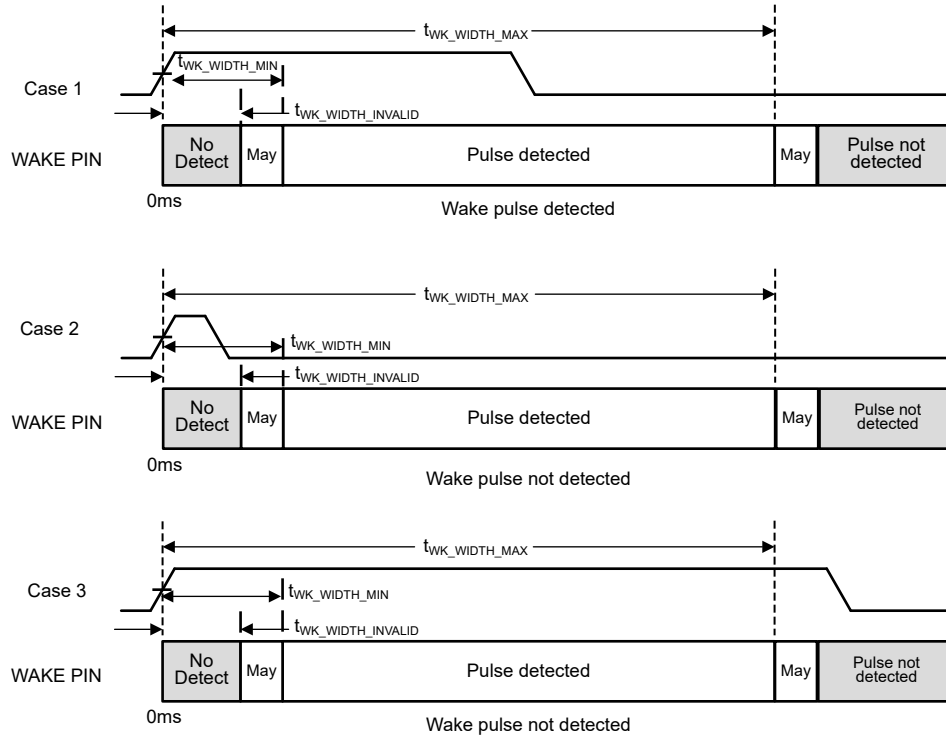


図 8-23. WAKE ピンのパルス動作

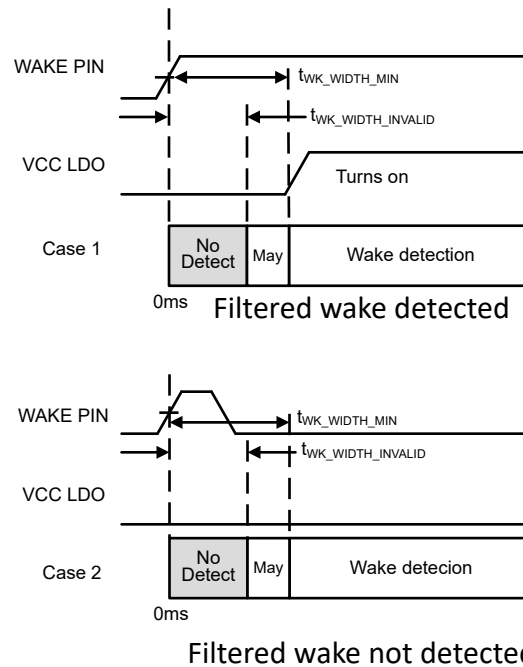


図 8-24. WAKE ピンのフィルタ処理済み動作

8.3.13.3.2 周期的検出ウェーク

サイクリック センス WAKE を使用する場合、選択した HSS4 ピンのオン時間中のみ WAKE 回路がアクティブになるため、スリープ モードでのデバイスの静止電流が減少します。例として、図 8-25 を参照してください。外部ローカルウェーク回路に VSUP を印加すると、HSS4 ピンが周期的にオンになります。毎回、WAKEx はピンが High または Low であるこ

とを示すビットをセットし、そのビットを以前の状態と比較します。変化している場合、デバイスはウェークアップします。変化していない場合、デバイスはスリープモードのままです。タイミング図については、[図 8-26](#) を参照してください。[図 8-26](#) に示すように、ウェーク時間は t_{WK_CYC} に基づいています。周期とパルス幅はレジスタ 8'h12[5] により決定されます。

HSS4/WAKE4 ピンを WAKE ピンとして使うよう構成している場合、周期的センシング機能のハイサイドスイッチとして HSS3 を使用する必要があります。

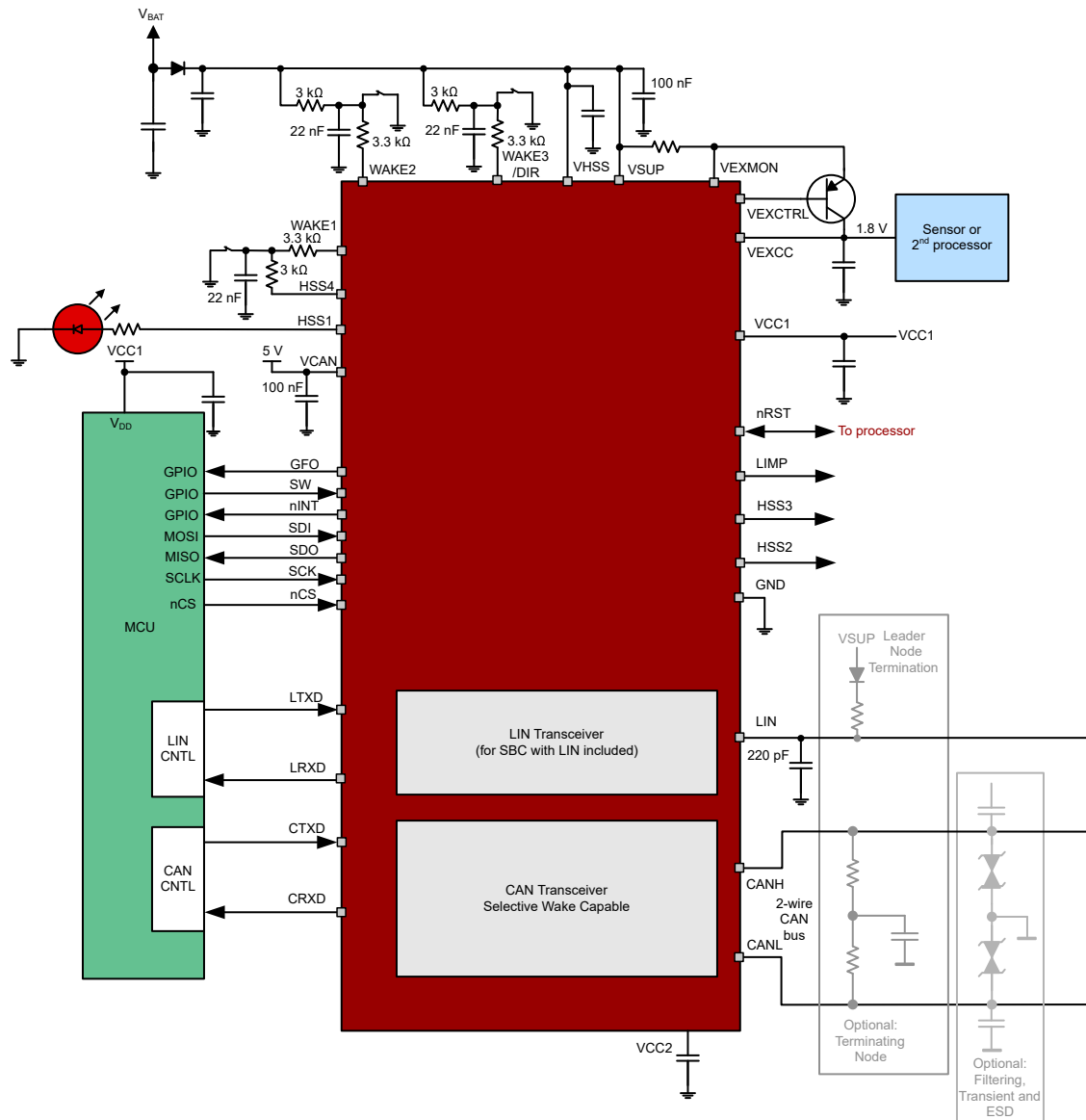


図 8-25. サイクリック センシング構成のアプリケーション図

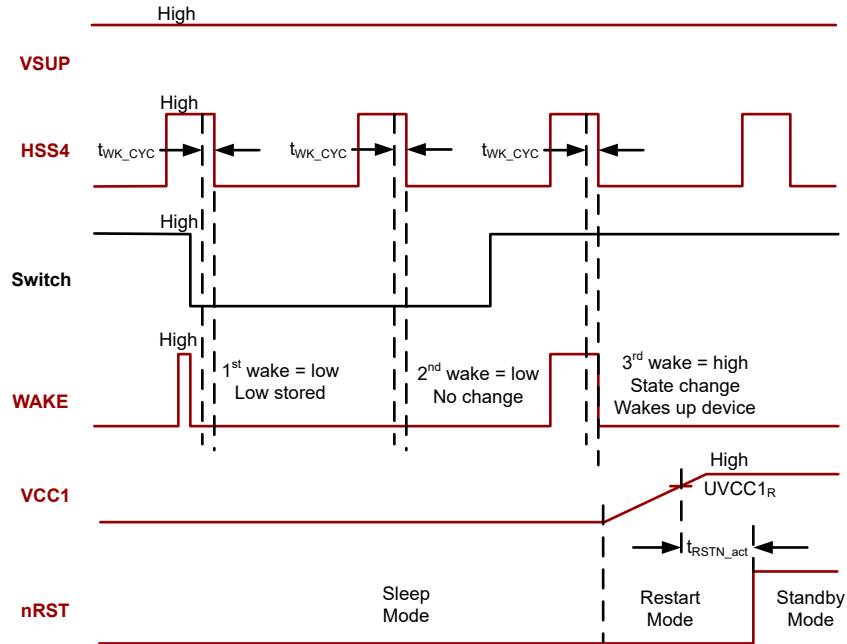


図 8-26. サイクリック センシングのタイミング図

8.3.13.4 サイクリックウェーク

周期的ウェークは、Timer1 または Timer2 を使用して定期的にウェーク アップするという点で、周期的センシング ウェークに似ています。この機能は、通常モードとスタンバイ モードで使用できます。有効になっている場合、設定されたオン時間の開始時に、デバイスが設定されたオン時間の間 nINT を Low にし、その後リリースします。最初のオンタイム パルスは無視されますが、その後のパルスはそれぞれ割り込みを発生させます。周期的ウェークアップは、Timer1 にレジスタ 8'h25[3]、Timer2 にレジスタ 8'h26[3] を使用することでイネーブルになります。サイクリック ウェーク機能のプログラムに使用されるレジスタについては、表 8-6 を参照してください。タイマは、各タイマのレジスタを使用して構成されます。

表 8-6. 周期的ウェーク レジスタ

アドレス	デフォルト	フィールド	説明
8'h25[3]	0b	TIMER1_CYC_WK_EN	1b に設定すると、周期的ウェーク タイマが Timer1 に関連付けられます
8'h26[3]	0b	TIMER2_CYC_WK_EN	1b に設定すると、周期的ウェーク タイマが Timer2 に関連付けられます

注

- このデバイスは、周期的ウェークを Timer1 または Timer2 に設定することで、通常およびスタンバイ モードで周期的ウェークアップ機能を実行します。

スリープ モードでの周期的ウェークまたは周期的ウェーク機能の持続時間がより長い場合は、「[長期間タイマ](#)」セクションを参照してください。

8.3.13.5 スリープモードでの直接駆動

ダイレクトドライブとは、ハイサイド スイッチがデバイスの WAKE3/DIR ピンから直接制御される方式のことです。これは、任意のハイサイド スイッチの組み合わせにダイレクトドライブを割り当てることで構成されます。この機能の実装方法については、[セクション 8.3.7.1](#) を参照してください。ダイレクトドライブではデバイスをウェークアップしませんが、デバイスを起動させるための別のウェーク方法が用意されています。

- ・ダイレクトドライブを使用している場合、VCC1 がオンになっているため、SPI コマンドを使用してスリープ モードからデバイスをウェークアップできます。
- ・レジスタ SBC_CONFIG1 8'h0E[1] で SW_SLP_EN を 1b に設定することで、SW ピンをデジタル ウェーク入力として構成します。
- ・未使用の WAKE1 または WAKE2 ピンを使って、プロセッサによってデバイスをウェークアップすることができます。ピンのスレッショルドは、プロセッサ要件を満たすように設定する必要があります。

8.3.14 長時間タイマ

TCAN29xx-Q1 には、長時間タイマ (LDT) が搭載されており、タイマの期限が切れたときに、各種の設定済みアクションを実行するようにプログラムできます。LDT は、通常モードまたはスタンバイ モードに設定できます。このタイマには、最大 7 日間の持続時間に 16 のプリセット期間オプションがあります。

LDT を有効にするには:

- ・ LDT_FUNCTION (レジスタ 0x1C[2:1]) を選択します
- ・ LDT_TIMER_SET (レジスタ 0x1C[6:3]) を使用して、タイマ期間を設定します
- ・ LDT_EN = 1b に設定します

LDT_FUNCTION の構成およびそれに対応して実行される動作については、以下の表を参照してください

デバイスがリスタート モードまたはフェイルセーフ モードに移行すると、タイマはリセットされ、無効になります。デバイスがスタンバイ モードまたは通常モードに移行した後、タイマを再度構成する必要があります。

表 8-7. 長時間タイマ機能

LDT_FUNCTION	SBC 通常またはスタンバイ モード	SBC スリープ モード
00b	SBC 通常モードまたはスタンバイ モードで LDT_EN が 1b に設定されるとすぐに、タイマが起動します。タイマが満了した後で割り込みが生成され、割り込みフラグがマスクされていない場合、nINT は Low になります。	タイマが満了した後は、スリープ モードに移行できません
01b	SBC 通常モードまたはスタンバイ モードで LDT_EN が 1b に設定されるとすぐに、タイマが起動します。タイマの満了後、他の保留中のウェーク割り込みがない場合、デバイスはスリープ モードに移行します。LDT 割り込みが設定されます。	ウェークアップ イベントによってデバイスがスタンバイ モードにウェークアップされない限り、デバイスはスリープ モードのままになります
10b	タイマは、SBC 通常モードまたはスタンバイ モードで設定および有効にできます。スリープ モードに入るまでタイマは起動しません。	デバイスが SPI コマンドによりスリープ モードに移行すると、タイマが起動します。タイマの満了後、デバイスはスタンバイ モードにウェークアップし、LDT_WAKE 割り込みを設定して、タイマによるウェークアップであることを示します
11b	LDT_EN が設定されるとすぐにタイマが起動します。保留中のウェーク割り込みがない場合、デバイスはタイマが満了するとスリープ モードに移行します。	LDT は、スリープ モードに移行するとタイマを再開し、タイマが満了するとスリープ モードを終了します。タイマによるウェークアップが発生したことを示すために、LDT_WAKE 割り込みが設定されます。

8.3.15 安全関連の特長

TCAN29xx-Q1 は、以下に説明するように、複数の保護機能を備えています。

8.3.15.1 ウォッチドッグ

デバイスはウォッチドッグ機能を内蔵しています。このデバイスは、WD_CONFIG_1 レジスタ 8'h13[7:6]、WD_CONFIG でプログラミングした SPI を使用した、デフォルトのウィンドウベースの、タイムアウト、質問と答え (Q&A) ウォッチドッグを備えています。ウォッチドッグの構成とタイプは、デバイスがスタンバイモードのときにのみプログラムできます。通常モードは 3 つのウォッチドッグ構成すべてをサポートしますが、スタンバイモードのデフォルトはタイムアウトです。デバイスがスタンバイモードに移行すると、ウォッチドッグ構成は自動的にタイムアウトウォッチドッグに変更されます。スタンバイモードのウォッチドッグは、レジスタ 8'h13[2]= 1b をプログラムして、通常モードと同じタイプに構成できます。ウォッチドッグは、スリープモードではデフォルトでオフですが、レジスタ 8'h13[3]= 1b で WD_SLP_EN をプログラムして、タイムアウトウォッチドッグとしてアクティブになるように構成することもできます。

リスタートモードからスタンバイモードに移行する際、nRST は Low から High に遷移します。この遷移により t_{INITWD} タイマが開始します。リスタートモードには t_{RSTN_act} タイマが含まれます。この最初の長いウィンドウがタイムアウトする前に WD トリガ入力を行う必要があります。最初の長いウィンドウのデフォルトは 600ms ですが、レジスタ 8'h13[1:0] の他の値 WD_LW_SEL にプログラムすることもできます。通常モードに移行すると、プログラムされた構成に基づいて、プログラムされたウォッチドッグタイマが開始します。ウォッチドッグタイマは、スリープ、リスタート、フェイルセーフの各モードではオフです。LIMP ピンにはリンプホーム機能が搭載されています。スリープモードでは、LIMP ピンはオフです。エラーカウンタがウォッチドッグのトリガイベントレベルを上回ると、LIMP ピンセクションに記載されているように、LIMP ピンはグランドにプルされます。

ウォッチドッグには、タイムアウトまたは Q&A ウォッチドッグの選択機能を含む、広範な構成が用意されています。スタンバイモードではデフォルトでウォッチドッグがイネーブルですが、レジスタ 8'h14[0]= 1b を設定すると無効化できます。レジスタ 8'h13[7:6] を 00b に設定すると、WD を無効化できます。WD エラーカウンタが利用可能です。このカウンタの説明については、[セクション 8.3.15.1.1](#) を参照してください。[図 8-27](#) は、スタンバイモード時のウォッチドッグのフローチャートを示しています。ウォッチドッグはスリープモードで有効にできますが、タイムアウトウォッチドッグとしてのみ動作します。スリープモードでは VCC1 を有効にする必要があります。[図 8-28](#) のフローチャートは、スリープモードでウォッチドッグが有効化または無効化されときのデバイスの動作を示しています。

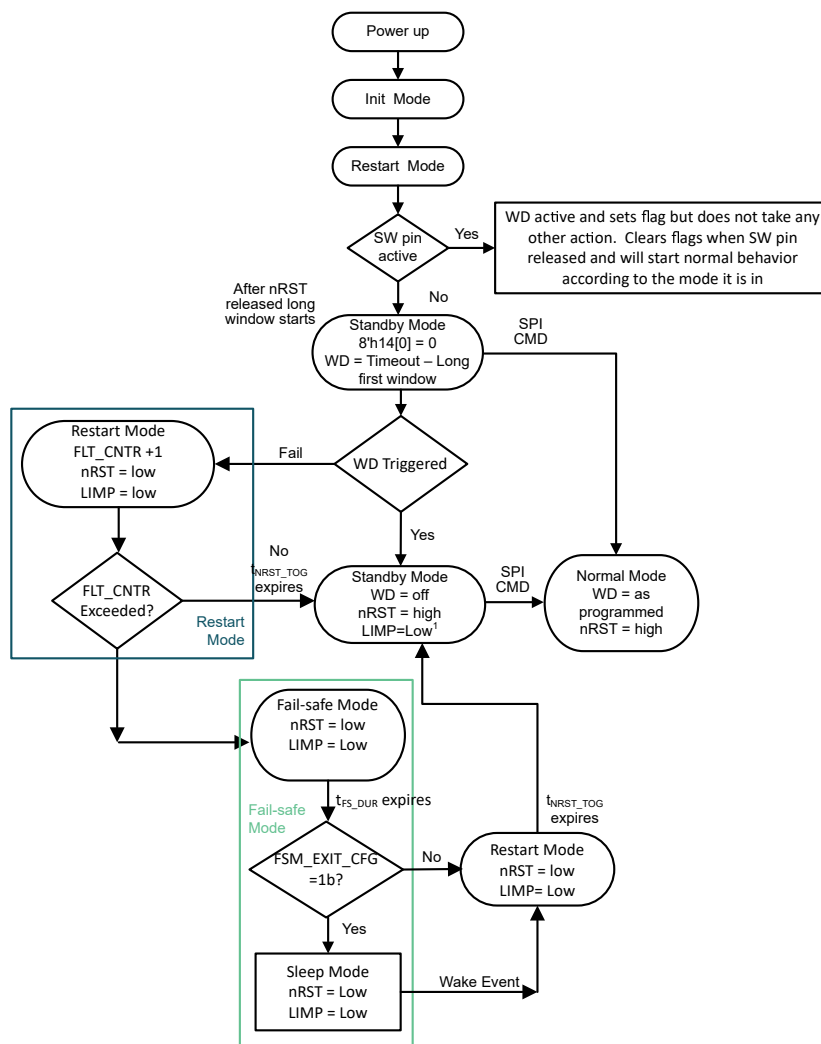


図 8-27. スタンバイモードのウォッチドッグ

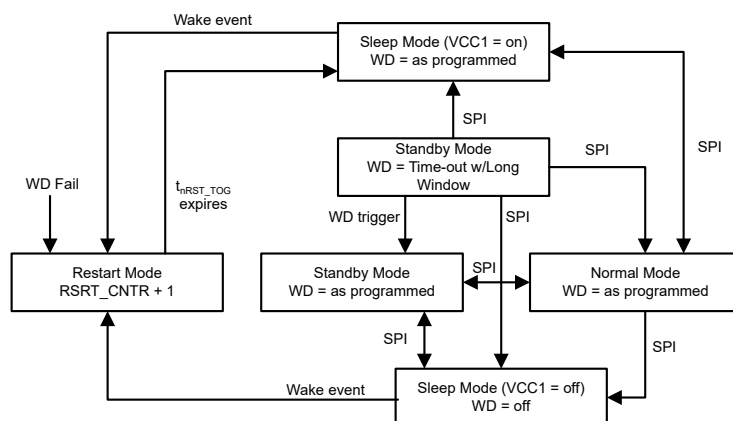


図 8-28. スリープモードのウォッチドッグ

注

- モードを変更するときに、ウォッチドッグタイマは再起動しません。タイムアウトでスタンバイモードが構成されており、Q&A ウォッチドッグが有効な場合は、制限されたウィンドウ時間により回答できないウォッチドッグエラーを回避するため、通常モードに変更する前に、スタンバイモードでウォッチドッグをトリガすることを推奨します。

8.3.15.1.1 ウォッチドッグエラーカウンタとアクション

このデバイスにはウォッチドッグ エラー カウンタがあります。このカウンタは、見逃したウィンドウや入力ウォッチドッグのトリガ イベントごとにインクリメントするアップダウン カウンタです。正しい入力トリガごとに、カウンタはデクリメントしますが、ゼロを下回ることはありません。このカウンタのデフォルトトリガは、すべてのイベントごとにウォッチドッグ イベントを発生させることです。このカウンタは、レジスタ 8'h16[7:4] で設定可能であり、誤った入力トリガの上限を最大 15 まで設定できます。エラー カウンタは、レジスタ 8'h14[4:1] で読み出すことができます。

プログラムされた WD エラー カウンタの制限を超えると、デバイスはリスタート モードに遷移し、nRST は t_{NRST_TOG} の間、low にプルされます。この時点で、エラー カウンタは 0 にリセットされます。 t_{NRST_TOG} がタイムアウトすると、デバイスはスタンバイ モードに戻り、nRST を High に解放します。WD 障害により再起動カウンタがプログラムされた制限値を超えた場合、デバイスはイネーブルの場合はフェイルセーフ モードまたはスリープ モードに遷移します。

8.3.15.1.2 ウォッチドッグ SPI プログラミング

レジスタ 8'h13、8'h14、8'h16 はウォッチドッグ機能を構成します。TCAN29xx-Q1 ウォッチドッグは、8'h13[6] を選択方式に設定することで、タイムアウト、ウィンドウまたは Q&A ウォッチドッグとして設定できます。これらの各ウォッチドッグ構成のタイマは、レジスタ 8'h13[5:4] WD プリスケアラおよび 8'h14[7:5] WD タイマに基づいており、単位は ms です。達成可能な時間と詳細については、表 8-8 を参照してください。小さな時間ウィンドウを使用する場合は、ウォッチドッグのタイムアウト バージョンを使用することが推奨されますが、必須ではありません。これは、4ms ~ 64ms の時間です。プログラムされた時間は、レジスタ 8'h2D から 8'h2F でプログラムされる Q&A ウォッチドッグにも使用されます。

表 8-8. タイムアウト、ウィンドウ、Q&A ウォッチドッグ タイマの構成 (ms)

WD_TIMER	8'h13[5:4] WD_PRE			
8'h14[7:5]	00 (デフォルト)	01	10	11
000	4	8	12	16
001	32	64	96	128
010	128	256	384	512
011 (デフォルト)	256	384	512	768
100	512	1024	1536	2048
101	2048	4096	6144	8192
110	10240	20240	RSVD	RSVD
111	RSVD	RSVD	RSVD	RSVD

注

ウォッチドッグのタイミングは、ロックされていない場合のみ、スタンバイモードに構成できます。

8.3.15.1.2.1 ウォッチドッグ構成レジスタのロックとロック解除

ウォッチドッグ構成が誤って変更されるのを防ぐため、TCAN29xx-Q1 ファミリにはウォッチドッグ構成レジスタのロックおよびロック解除機能が実装されています。レジスタ 8'h13、8'h14、8'h16、8'h2D は、スタンバイ モードでのみプログラム可能であり、ロックされるレジスタです。これらのレジスタは、最初の WD 入力トリガ イベント、または SPI コマンドを使用して通常モードに遷移するときに、自動的にロックされます。ロック解除メカニズムはスタンバイ モードに移行しつつあります。スタンバイ モードでは、4 つのレジスタに対して 1 回の書き込みが可能です。スタンバイ モード中にレジスタがロックされる

と、デバイスは通常モードに移行してから、スタンバイモードに戻る必要があります。WD はスリープモードでイネーブルでき、タイムアウトのみが可能で、構成レジスタはロックされています。図 8-29 に、説明した動作を示します。

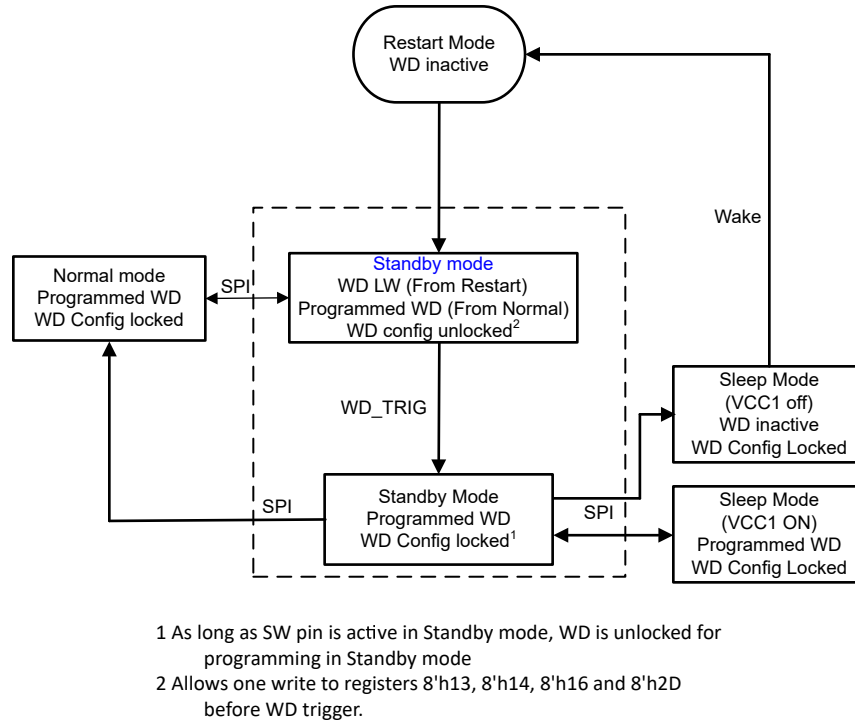


図 8-29. ウォッチドッグ構成レジスタのロックおよびロック解除フローチャート

8.3.15.1.3 ウォッチドッグタイミング

TCAN29xx-Q1 は、ウォッチドッグ、ウィンドウ、タイムアウト、Q&A のセットアップのための 3 つの方法を提供しています。Q&A ウォッチドッグは **Q&A ウォッチドッグ** で扱われています。64ms 未満の、より頻繁な入力トリガ イベントが必要な場合は、タイムアウトウォッチドッグの使用が推奨されますが、必須ではありません。

ウィンドウウォッチドッグを使用する場合、クローズウィンドウとオープンウィンドウの特徴を理解しておくことが重要です。このデバイスは、50%/50% のオープンウィンドウとクローズウィンドウで設定され、 $\pm 10\%$ の精度範囲を持つ内部発振器に基づいています。入力トリガを提供するタイミングを決定するには、このばらつきを考慮する必要があります。公称合計 64ms のウィンドウ t_{WINDOW} を使用すると、それぞれ 32ms のクローズウィンドウとオープンウィンドウが得られます。 $\pm 10\%$ の内部発振器を考慮すると、 t_{WINDOW} は 57.6ms ~ 70.4ms の範囲になります。クローズウィンドウ t_{CLOSED} とオープンウィンドウ t_{OPEN} は、28.8ms ~ 35.2ms の範囲です。57.6ms の t_{WINDOW} と 35.2ms の t_{CLOSED} を使用する場合、合計の t_{OPEN} は 22.4ms になります。セーフトリガ領域は $46.4ms \pm 11.2ms$ で発生する必要があり、これは t_{OPEN} 最小値 + t_{CLOSED} 最大値の半分です。他のウィンドウ値にも同じ方法が使用されます。図 8-30 には上記の情報が図で説明されています。Q&A ウォッチドッグの応答 1 および応答 2 ウィンドウについても説明しています。

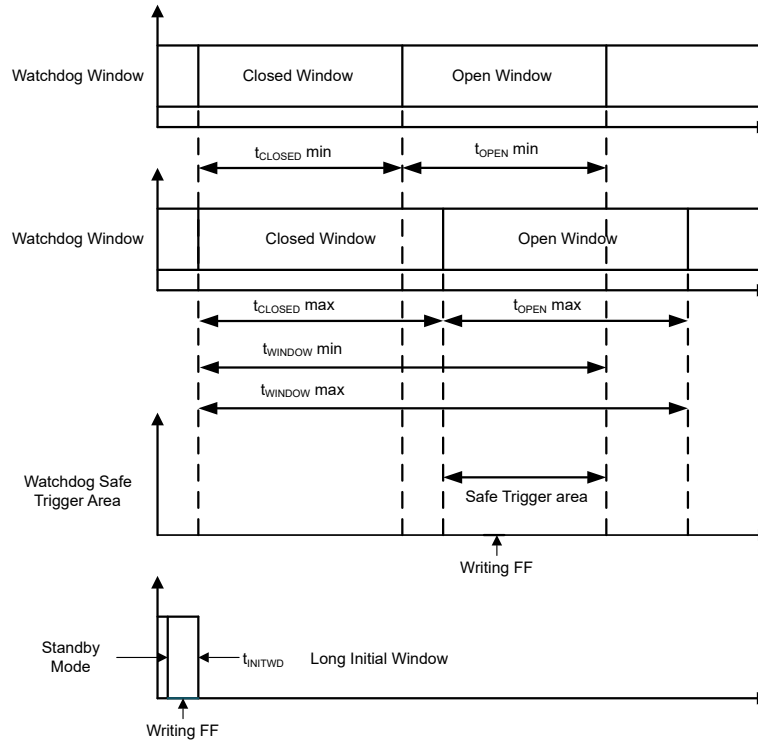


図 8-30. ウォッチドッグのタイミング図

8.3.15.1.4 Q&A ウォッチドッグ

これらのデバイスには、SPI から選択できる Q&A ウォッチドッグが搭載されています。このデバイスのデフォルトはウィンドウウォッチドッグです。

Q&A WD の例では、WD の初期化イベントについて説明します。

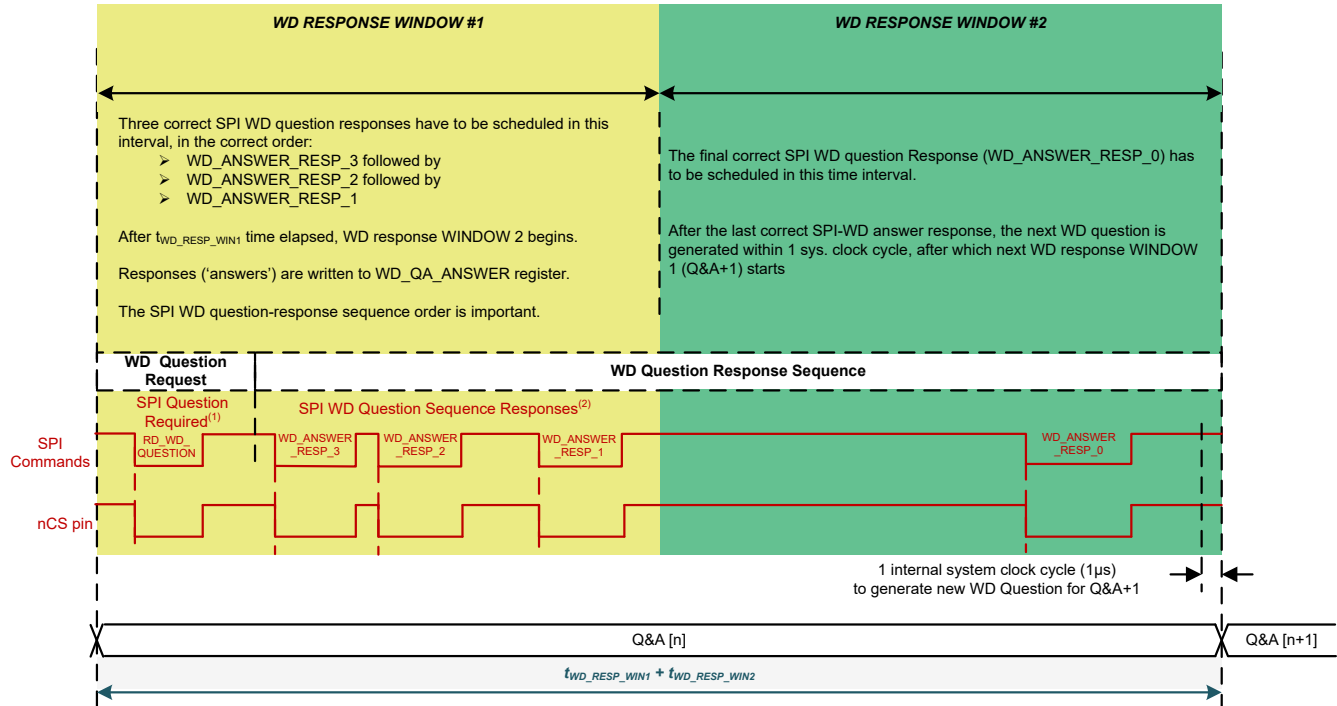
8.3.15.1.4.1 WD Q&A 基本情報

Q&A ウォッチドッグはウォッチドッグの一種で、マイコンは SPI 書き込みによってウォッチドッグをリセットする代わりに、デバイスから「質問」を読み取り、計算した回答をデバイスに書き戻します。正解は 4 バイトで応答します。正しい答えを得るには、各バイトを順番に正しいタイミングで書き込む必要があります。

ウォッチドッグウィンドウには、WD 応答ウィンドウ#1 および WD 応答ウィンドウ#2 (例として 図 8-31 WD QA ウィンドウ) という 2 つのウォッチドッグウィンドウがあります。各ウィンドウのサイズはウォッチドッグ時間全体 $t_{WD_RESP_WIN1} + t_{WD_RESP_WIN2}$ の 50% であり、この時間は WD_TIMER ビットと WD_PRE レジスタビットから選択します。

ウォッチドッグの質問と回答は、完全なウォッチドッグ サイクルです。一般的なプロセスは、マイコンが WD 応答ウィンドウ #1 の間に質問を読み取ることです。CPU は質問に対して数学関数を実行する必要があり、結果として 4 バイトの回答が得られます。4 つの回答バイトのうち 3 つは、WD 応答ウィンドウ #1 内の回答レジスタに正しい順序で書き込む必要があります。WD 応答ウィンドウ#2 の内部で、最初の応答ウィンドウの後に最後の回答を回答レジスタに書き込む必要があります。4 バイトの回答すべてが正しく、かつ正しい順序であれば、その応答は良好とみなされ、エラー カウンタはデクリメントされ、新しい質問が生成されてサイクルが再開されます。WD 応答ウィンドウ#2 に 4 番目の回答が書き込まれると、そのウィンドウは終了し、新しい WD 応答ウィンドウ#1 が開始されます。

正しくない、または欠落している場合、応答は「不適切」とみなされ、ウォッチドッグの質問は変更されません。また、エラーカウンタがインクリメントされます。このエラーカウンタがスレッシュホールド (WD_ERR_CNT_SET レジスタフィールドで定義) を超えると、ウォッチドッグ障害アクションが実行されます。アクションの例としては、割り込みやリセットトリガなどがあります。



- A. MCU は WD 質問を要求する必要はありません。MCU は、正しい回答から開始できます。応答ウィンドウ 1 内の任意の場所で WD_ANSWER_RESP_x バイトから始めることができます。新しい WD 質問は、前の WD Q&A シーケンス実行中に最後の WD_ANSWER_RESP_0 回答が発生した後、常に 1 システムクロック サイクル以内に生成されます。
- B. WD_ANSWER_RESP_[3:1] バイトが応答ウィンドウ 1 内に与えられ、WD_ANSWER_RESP_0 が応答ウィンドウ 2 内に与えられていれば、MCU は WD 関数に影響を及ぼさずに WD_ANSWER_RESPx 応答の間の他の SPI コマンド (WD の質問を要求するコマンドであっても) をスケジューリングできます。

図 8-31. WD Q&A シーケンスの実行

8.3.15.1.4.2 Q&A レジスタおよび設定

ウォッチドッグ レジスタの構成には、いくつかのレジスタが使用されています。表 8-9 を参照してください。

表 8-9. ウォッチドッグ関連レジスタの一覧

レジスタ・アドレス	レジスタ名	説明
0x13	WD_CONFIG_1	フォルト発生時のウォッチドッグの設定とアクション
0x14	WD_CONFIG_2	ウィンドウの時刻を設定し、現在のエラー カウンタ値を表示します
0x15	WD_INPUT_TRIG	ウォッチドッグをリセットまたは開始するためのレジスタ
0x16	WD_RST_PULSE	エラー カウンタ スレッシュホールドを設定します
0x2D	WD_QA_CONFIG	QA 設定に関連する設定
0x2E	WD_QA_ANSWER	計算された回答を書き込むための登録
0x2F	WD_QA_QUESTION	現在の QA 質問を読んでください

WD_CONFIG_1 および WD_CONFIG_2 レジスタは主に、ウォッチドッグ ウィンドウ時間長の設定に対処します。ウィンドウ サイズのオプション、および WD_TIMER 値と WD_PRE 値に必要な値については、表 8-8 を参照してください。2 つの応答ウィンドウのそれぞれが、選択した値の半分であることを注意してください。ウォッチドッグ QA イベントごとに複数バイトの SPI を使用する必要があるため、QA ウォッチドッグ機能を使用する場合は 64ms を超えるウィンドウを使用することを推奨します。

また、ウォッチドッグ エラー カウンタがエラー カウンタ スレッショルドを超えたときに実行できるアクションもいくつかあります。

ADVANCE INFORMATION

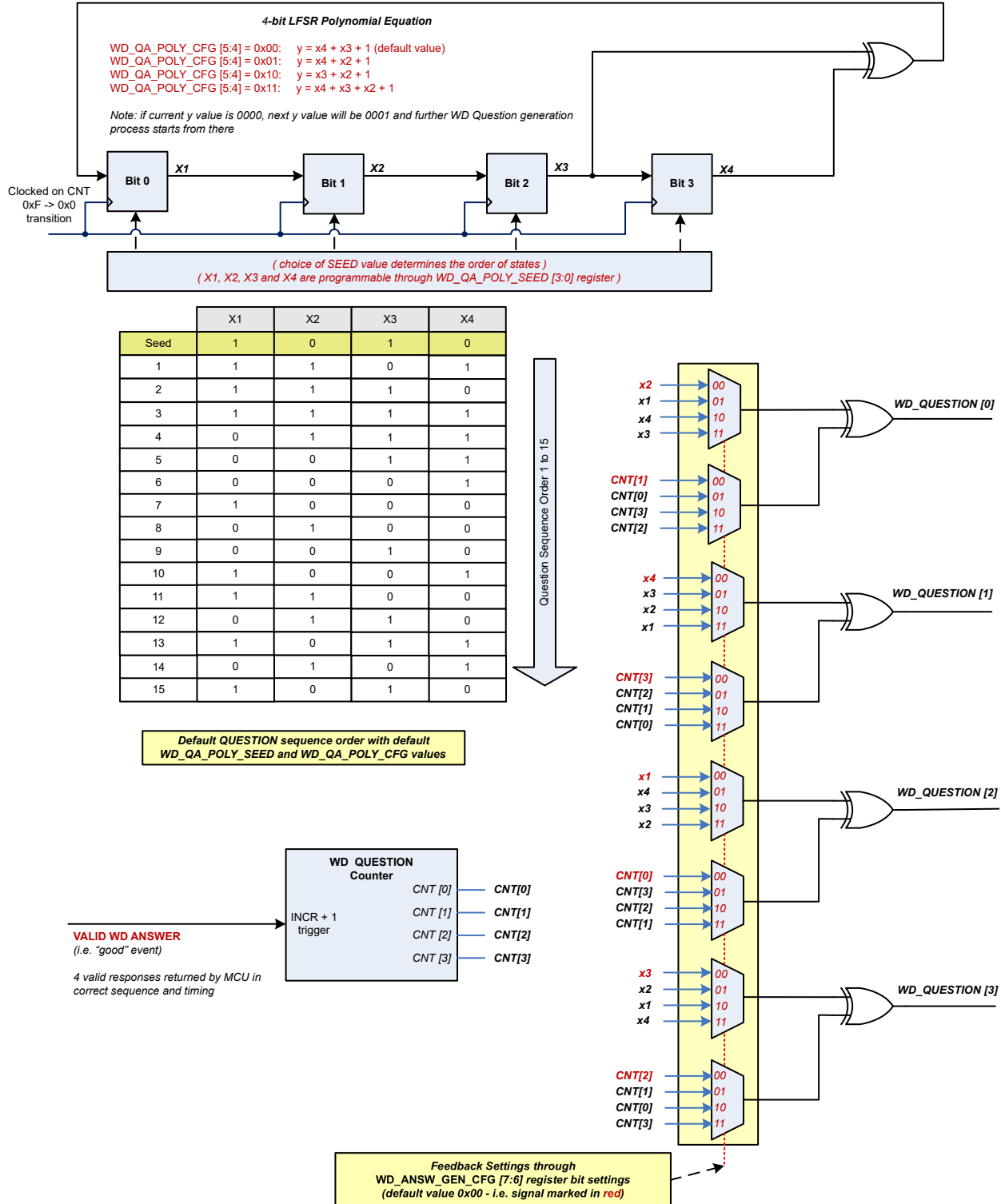
8.3.15.1.4.3 WD Q&A 値の生成

4 ビット WD の質問 WD_QA_QUESTION[3:0] は、4 ビット マルコフ連鎖プロセスによって生成されます。マルコフ連鎖はマルコフ性質を持つ確率過程であり、状態変化は確率的であり、将来の状態は現在の状態にのみ依存することを意味する。各 WD Q&A モードで有効かつ完全な WD 回答シーケンスは、次のとおりです。

- WD Q&A モードの予想:
 1. 応答ウィンドウ 1 では、3 つの正しい SPI WD 回答を受信します。
 2. 応答ウィンドウ 2 では、正しい SPI WD 回答 1 つを受信します。
 3. 前述のタイミングに加えて、4 つの応答のシーケンスは正しいものとします。

WD 質問値は WD_QA_QUESTION レジスタの WD_QUESTION ビットにラッチされ、いつでも読み出すことができます。

マルコフ連鎖プロセスは、1111b から 0000b への遷移時に 4 ビットの質問カウンタによってクロックされます。これには、正解の状態が含まれます (正解値と正しいタイミング応答)。4 ビットの質問 WD_QA_QUESTION [3:0] により生成されるロジックコンビネーションを [図 8-32](#) に示します。質問カウンタはデフォルト値の 0000b にリセットされ、ウォッチドッグが失敗すると、マルコフ連鎖はプログラムされたレジスタ値に再び初期化され、デバイスはリスタートモードになります。



- A.
- レジスタ 8'h2D[3:0] WD_QA_POLY_SEED はビット 3 = X1、ビット 2 = X2、ビット 1 = X3、ビット 0 = X4 にマッピングされます。
 - 現在の y 値が 0000 の場合、次の y 値は 0001 です。ウォッチドッグ質問生成プロセスはこの値から開始します。スタンバイモードで WD_QA_CONFIG レジスタに変更を加えると、マルチコプ連鎖は現在のレジスタ値に再び初期化されます。質問カウンタは影響を受けません。

図 8-32. ウォッチドッグ質問生成

8.3.15.1.4.3.1 回答の比較

2 ビットのウォッチドッグ回答カウンタ、WD_ANSW_CNT[1:0] は、図 8-33 で示すように、受信した回答バイト数をカウントし、リファレンス回答バイトの生成を制御します。ウォッチドッグシーケンスの開始時には常に WD_ANSW_CNT[1:0] カウンタのデフォルト値は 11b であり、これは正しい回答 3 をマイコンが WD_QA_ANSWER[7:0] に書き込むことをウォッチドッグが予測していることを示します。

1 つの回答バイトが正しくない場合、デバイスは直ちに WD_QA_ERR ステータスビットをセットします。マイコンがこのビットに「1」を書き込む場合のみ、デバイスはこのステータスビットをクリアします。

8.3.15.1.4.3.2 2 ビット ウォッチドッグ回答カウンタのシーケンス

カウンタ値ごとの、2 ビットウォッチドッグ回答カウンタのシーケンスは次の通りです：

- WD_ANSW_CNT[1:0] = 11b:
 1. ウォッチドッグはリファレンス回答 3 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 3 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 3 を WD_QA_ANSWER[7:0] の回答 3 バイトと比較します。
 4. 回答 3 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] を 10b にデクリメントし、WD_QA_ERR ステータス ビットを 1 に設定します。
- WD_ANSW_CNT[1:0] = 10b:
 1. ウォッチドッグはリファレンス回答 2 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 2 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 2 を WD_QA_ANSWER[7:0] の回答 2 バイトと比較します。
 4. 回答 2 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] を 01b にデクリメントし、WD_QA_ERR ステータス ビットを 1 に設定します。
- WD_ANSW_CNT[1:0] = 01b:
 1. ウォッチドッグはリファレンス回答 1 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 1 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 1 を WD_QA_ANSWER[7:0] の回答 1 バイトと比較します。
 4. 回答 1 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] を 00b にデクリメントし、WD_QA_ERR ステータス ビットを 1 に設定します。
- WD_ANSW_CNT[1:0] = 00b:
 1. ウォッチドッグはリファレンス回答 0 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 0 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 0 を WD_QA_ANSWER[7:0] の回答 0 バイトと比較します。
 4. 回答 0 バイトが正しくない場合、ウォッチドッグは WD_QA_ERR ステータス ビットを 1 に設定します。
 5. ウォッチドッグが新しいウォッチドッグシーケンスを開始し、WD_ANSW_CNT[1:0] を 11b にセットします。

マイコンは、WD_QA_ERR ビットに 1 を書き込んでビットをクリアする必要があります

表 8-10. デフォルト設定を使用した WD 質問と対応する WD 回答のセット

WD_QA_QUESTION レジ スタの質問	WD 回答バイト (各バイトは WD_QA_ANSWER レジスタに書き込まれる)			
	WD_ANSWER_RESP_3	WD_ANSWER_RESP_2	WD_ANSWER_RESP_1	WD_ANSWER_RESP_0
WD_QUESTION	WD_ANSW_CNT[1:0] 11b	WD_ANSW_CNT[1:0] 10b	WD_ANSW_CNT[1:0] 01b	WD_ANSW_CNT[1:0] 00b
0x0	FF	0F	F0	00
0x1	B0	40	BF	4F
0x2	E9	19	E6	16
0x3	A6	56	A9	59
0x4	75	85	7A	8A
0x5	3A	CA	35	C5
0x6	63	93	6C	9C
0x7	2C	DC	23	D3
0x8	D2	22	DD	2D
0x9	9D	6D	92	62
0xA	C4	34	CB	3B
0xB	8B	7B	84	74
0xC	58	A8	57	A7
0xD	17	E7	18	E8
0xE	4E	BE	41	B1
0xF	01	F1	0E	FE

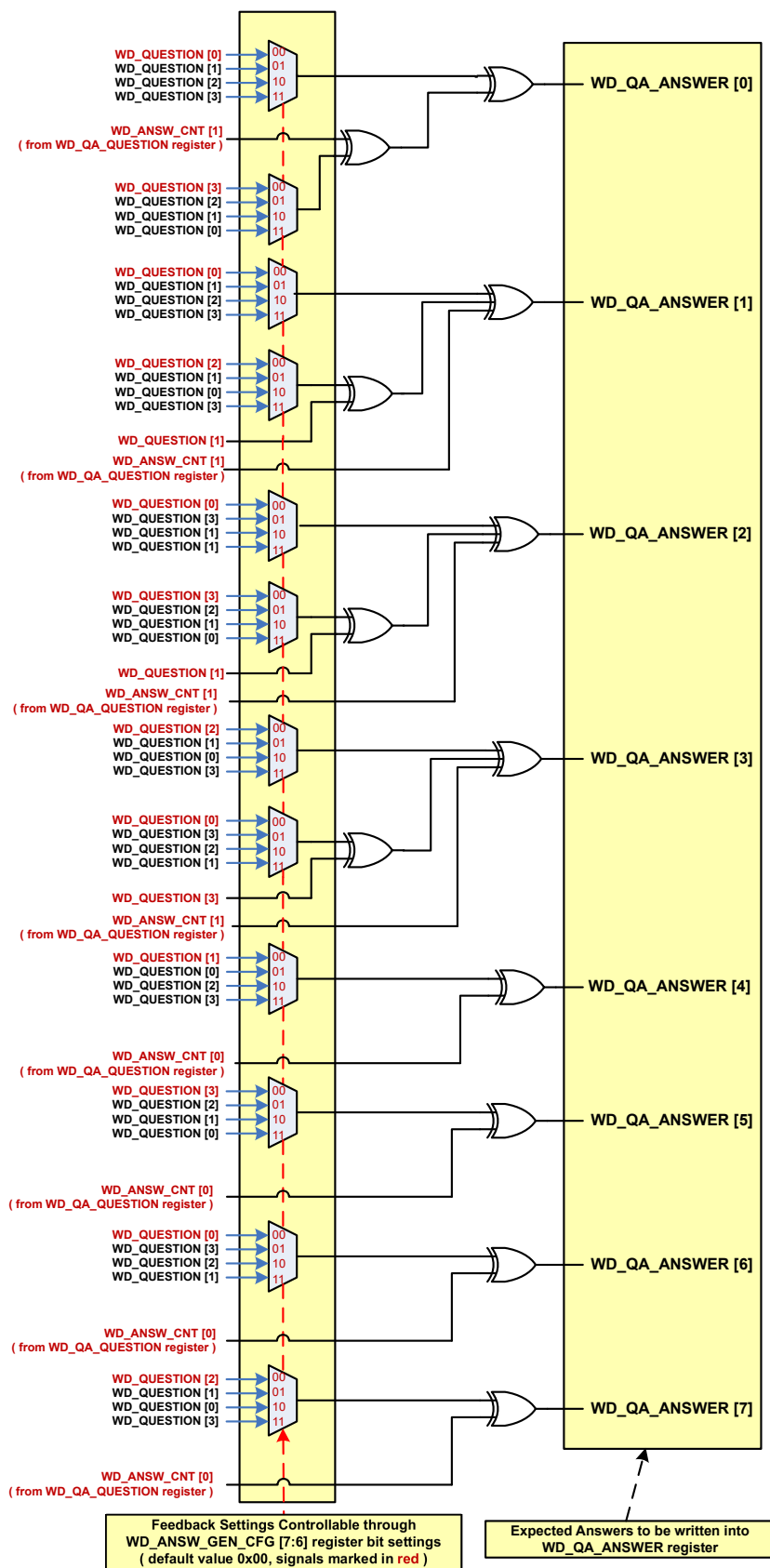


図 8-33. WD 予期される回答生成

表 8-11. 正確および不正確な WD Q&A シーケンスの実行シナリオ

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUESTION レジスタ内) ⁽¹⁾	コメント
応答 ウィンドウ 1	応答 ウィンドウ 2			
0 回答	0 回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	回答なし
0 回答	4 つの不正確な回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
0 回答	1 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 に正解が 3 つ未満、応答ウィンドウ 2 に正解が 1 つ (合計 WD_ANSW_CNT[1:0] < 4)
1 正解	1 正解			
2 正解	1 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 に正解が 3 つ未満、応答ウィンドウ 2 に正しくない回答が 1 つ (合計 WD_ANSW_CNT[1:0] < 4)
0 回答	1 つの正しくない回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	WIN1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 正解	1 つの正しくない回答			
2 正解	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	4 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 正解	3 正解			
2 正解	2 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	4 つの不正確な回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 正解	3 つの不正確な回答			
2 正解	2 つの不正確な回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	3 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 4 つ未満、応答ウィンドウ 2 で回答が 0 以上 (合計 WD_ANSW_CNT[1:0] < 4)
1 つの正しくない回答	2 正解			
2 つの不正確な回答	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	3 つの不正確な回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 つの正しくない回答	2 つの不正確な回答			
2 つの不正確な回答	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	4 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 つの正しくない回答	3 正解			
2 つの不正確な回答	2 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	4 つの不正確な回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 つの正しくない回答	3 つの不正確な回答			
2 つの不正確な回答	2 つの不正確な回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
3 正解	0 回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始 - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 4 つ未満、応答ウィンドウ 2 で回答が 0 以上 (合計 WD_ANSW_CNT[1:0] < 4)
2 正解	0 回答			
1 正解	0 回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	正しい順序
3 正解	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	0b	

表 8-11. 正確および不正確な WD Q&A シーケンスの実行シナリオ (続き)

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUESTION レジスタ内) ⁽¹⁾	コメント
応答 ウィンドウ 1	応答 ウィンドウ 2			
3 正解	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
3 つの不正確な回答	0 回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 < 4
3 つの不正確な回答	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
3 つの不正確な回答	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
4 正解	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	
3 つの正解 + 1 つの正しくない回答	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で 4 つの正解または正しくない回答
2 つの正解 + 2 つの正しくない回答	該当なし			
1 つの正解 + 3 つの正しくない回答	該当なし			

(1) WD_QA_ERR は、すべての QA ウォッチドッグエラーの論理和です

8.3.15.1.4.4 Q&A WD の例

この例では、表 8-12 の構成設定による単一シーケンスを見ていきます。

表 8-12. WD 機能の初期化

項目	値	説明
ウォッチドッグ ウィンドウ サイズ	1024ms	ウィンドウ サイズは 1024ms
応答生成オプション	0 (デフォルト)	応答生成設定
質問多項式	0 (デフォルト)	質問の生成に使われる多項式
多項式シードに質問します	A (デフォルト)	質問を生成するために使用される多項式シード
WD エラー カウンタ制限	15	15 番目のフェイル イベントでは、ウォッチドッグ アクションを実行します

8.3.15.1.4.4.1 目的の挙動の設定例

表 8-13 は動作例の部品を設定します。ほとんどの設定は、電源オン時のデフォルト設定です。

表 8-13. レジスタ構成の書き込みの例

ステ ップ	登録	データ
1	WD_CONFIG_1 (0x13)	[W] 0b11010000 / 0xD0
2	WD_CONFIG_2 (0x14)	[W] 0b10000000 / 0x80
3	WD_RST_PULSE (0x16)	[W] 0b11110000 / 0xF0
4	WDT_QA_CONFIG (0x2D)	[W] 0b00001010 / 0x0A

8.3.15.1.4.4.2 Q&A シーケンスの実行例

通常のシーケンスの概要は、次のとおりです。

1. 質問を読んでください
2. 4 つの回答バイトを計算します
3. 最初の応答ウィンドウ内に、その内の 3 つを送信します
4. 2 番目の応答ウィンドウで、最後のバイトを待機して送信します

最初のループ シーケンスの例については、表 8-14 を参照してください。

表 8-14. 最初のループの例

ステップ	登録	データ	説明
1	WD_QA_QUESTION (0x2F)	[R] 0x0C	質問を読んでください。質問は 0x0C です
2	WD_QA_ANSWER (0x2E)	[W] 0x58	回答 3 を書く。
3	WD_QA_ANSWER (0x2E)	[W] 0xA8	回答 2 を書く。
4	WD_QA_ANSWER (0x2E)	[W] 0x57	回答 1 を書く。
5	WD_QA_ANSWER (0x2E)	[W] 0xA7	ウィンドウ 2 が開始したら、回答 0 を書き込みます

ユーザーは WD_QA_QUESTION[6] (0x2F) レジスタを読み取って、WD_QA_ERR がセットされているかどうかを判断できます。

8.3.15.2 低電圧 / 過電圧誤動作防止と電源喪失

このデバイスは、入力 (VSUP、VHSS、VCAN) と出力 (VCC1、VCC2、VEXCC) の両方の、デバイスのすべての電源レールを監視します。入力電源レールでは、すべての低電圧を監視し、VHSS の過電圧を監視できます。出力電源レールでは、低電圧、過電圧、短絡障害がすべて監視されます。これらの各故障イベントには、デバイスを SBC モードに変化させる VSUP および VCC1 故障による対応する割り込みがあります。VSUP、VCC1、VCC2、VEXCC 故障間の関係については、表 8-15 を参照してください。

デバイスは、VCC1、VCC2、VEXCC の過電圧状態を監視します。過電圧は、OVCC1、OVCC2、OVEXCC で表されます。TCAN29xx-Q1 は、VCC1、VCC2、VEXCC のグラウンドへの短絡状態を監視します。グラウンドへの短絡は、VCC1_{33SC}、VCC1_{55SC}、VCC2_{SC}、VEXCC_{SC} で表されます。

デバイスは、ハイサイド スイッチの電源電圧 VHSS を監視し、過電圧イベントを検出します。これは、レジスタ 8'h4F[7] (HSS_OV_DIS) に 1b を書き込むことで無効化できます。低電圧は HVSS 電源で監視され、これを UVHSS と呼びます。これは、レジスタ 8'h4F[6] (HSS_UV_DIS) に 1b を書き込むことで無効化できます。HSS スイッチは、8'h4F[5] (HSS_OV_UV_REC) に 1b を書き込んで無効化しない限り、OVHSS または UVHSS から自動的に復帰します。

表 8-15. VSUP、VCC1、VCC2、VEXCC の故障とデバイスモード

VSUP	VCC1	VCC2	VEXCC	デバイス モード
> UVSUP	> UVCC1	> UVCC2	該当なし	通常またはスタンバイ
> UVSUP	UVCC1 _{PR} 未満	> UVCC2	該当なし	前のモード
> UVSUP	< UVCC1	> UVCC2	該当なし	最初からやり直します
> UVSUP	> UVCC1	< UVCC2	該当なし	前のモード
> UVSUP	> UVCC1	> UVCC2	< UVEXCC	前のモード
> UVSUP	> OVCC1	該当なし	該当なし	フェイルセーフまたはスリープ
> UVSUP	> UVCC1	> OVCC2	該当なし	前のモード
> UVSUP	> UVCC1	該当なし	< OVEXCC	前のモード
> UVSUP	VCC1 _{SC} 未満	該当なし	該当なし	フェイルセーフまたはスリープ
> UVSUP	> UVCC1	VCC2 _{SC} 未満	該当なし	前のモード
> UVSUP	> UVCC1	該当なし	< VEXCC _{SC}	前のモード

注

VCC1 の永続的な故障が発生して、フェイルセーフ モードが無効化されている場合、ウェーク イベントと VCC1 SBC 故障によるリスタート モードとスリープ モードの間のループが発生する可能性があります。

- VCC1 がスリープ モードがオンになるようプログラムされている場合、フェイルセーフ モードを有効にすることが推奨されます。
- フェイルセーフ モードが有効な永続的故障のループ状況を回避するため、FSM_CONFIG レジスタ 8'h17[7:4] = 0100b (FSM_CNTR_ACT) を使用して、パワー サイクルリセットが実行されるまで、デバイスを LDO オフの状態ですリープ モードにすることが推奨されます。

8.3.15.2.1 低電圧

このデバイスは、VSUP、VHSS、VCAN、VEXCC、VCC1、VCC2 の低電圧イベントを監視します。低電圧イベントは、UVSUP_{xR/F}、UVHSS_{R/F}、UVCAN_{R/F}、VCC1_{xR/F}、UVCC2_{R/F} および UVEXCC_{xR/F} で表されます。x は電圧レベルを示し、R は電圧レベルが上昇している状態、F は電圧レベルが下降している状態を表します。デバイスの動作は、電源レールが低電圧中であるときによって異なります。

VCC1 はデジタル入力/出力ピンに電力を供給する LDO で、ノードプロセッサに接続することが想定されます。VCC1 は、低電圧事前警告スレッシュホールドと、プログラム可能な 4 つの低電圧スレッシュホールドを備えています。低電圧事前警告イ

イベントが発生すると割り込みの INT_6 レジスタ 8'h5C[6] がセットされ、nINT ピンは Low にプルされます。VCC1 が設定されたスレッシュホールド (SBC_CONFIG1 レジスタ 8'h0E[4:3]) のいずれかに達すると、デバイスはリスタート モードに移行し、LDO 電圧が低電圧上昇スレッシュホールドを超えるまで nRST を Low にラッチします。UV スレッシュホールドをクリアした後も、nRST は t_{RSTN_act} の間 Low にラッチされ、デバイスはリスタート モードのまま維持されます。UVCC1 の場合、低電圧イベントが本デバイスが再起動モードに移行するよりも長く持続する必要があるフィルタ時間 t_{UVFLTR} があります。

8.3.15.2.1.1 VSUP および VHSS 低電圧

VSUP は、デバイスが正常に機能するために必要な 1 次入力電源レールです。パワーオンリセット、2 つの低電圧レベルの、合計 3 つの電圧レベルがデバイスで監視されます。すべての機能と出力電圧レールがレギュレーションされる場合、デバイスは UVSUP_{5R} を超える必要があります。VSUP が低電圧である場合、デバイスは内部レギュレータをレギュレーション状態に維持するために必要な電源を失います。これによりデバイスは、マイクロプロセッサと TCAN29xx-Q1 間の通信が無効な状態になります。このモードでは、デバイスは引き続きアクティブですが、VCC1、VCC2、VEXCC では低電圧イベントが発生する可能性があり、ウォッチドッグのような他の機能はアクティブになりません。モード変更は実行できません。デバイスはバスからの情報を受信できません。そのため、マイクロプロセッサへの BWRR 信号によるバス ウェークなど、バスからの信号を渡せません。VCC1 は、UVSUP_{33R/F} または UVSUP_{5R/F} の、どちらの UVSUP レベルを使用するかを決定します。VSUP がランプダウンを続けて VSUP(PU)_F 未満に低下すると、デバイスは電源オフ状態に移行します。VSUP が復帰すると、最初の電源投入であるかのように、デバイスは起動します。すべてのレジスタはデフォルト値にリセットされます。UVSUP イベント中のデバイスにはいくつかの機能があります。VSUP ≥ UVSUP_{xxR} および VCC1 が UVCC1_{xxR} レベルを超えるまで、LDO はパススルー モードです。この時点で、デバイスは再起動モードに移行します。

VCC1 が 5V のデバイスでは、監視対象の VSUP 低電圧レールは UVSUP_{5R/F} のみです。VSUP が UVSUP_{5F} を下回ると、CAN および LIN トランシーバはオフになり、LDO はパススルーモードになります。VSUP、VCC1₅、VCAN、デバイスモード、トランシーバの関係については、表 8-16 を参照してください。

VCC1 が 3.3V の場合、UVSUP_{33R/F} と UVSUP_{5R/F} の両方が監視されます。電源投入時には、VCC1 がレギュレーション状態になるために VSUP が UVSUP_{33R} を超え、VCC2 とデバイスの他の機能が適切に動作するために UVSUP_{5R} を超える必要があります。VSUP がランプダウンしているとき、UVSUP_{5F} は、UVSUP5 割り込みフラグのレジスタ 8'h52[4] をセットする最初の UVSUP レベルで、CAN トランシーバをオフにします。LIN トランシーバは引き続き動作しますが、データシートに記載された電氣的仕様およびタイミング仕様を満たさない場合があります。VSUP がドロップし続ける場合、次のレベルは UVSUP_{33F} です。これに達すると、UVSUP₃₃ 割り込みフラグのレジスタ 8'h52[3] がセットされます。このレベルに達すると、LIN トランシーバがオフになります。VSUP、VCC1₃₃、VCAN、デバイスモード、トランシーバの関係については、表 8-17 を参照してください。

ハイサイドスイッチ電源 VHSS の低電圧は、割り込み INT_4 レジスタ 8'5A[0] UVHSS で通知されます。UVHSS イベントによるハイサイドスイッチの動作は、HSS_CNTL3 レジスタ 8'h4F[6:5] により決定されます。

表 8-16. VCC1₅ の低電圧イベント、デバイス状態およびトランシーバ状態

VSUP	VCC1	VCAN	デバイスの状態	CAN トランシーバ	LIN トランシーバ
> UVSUP ₅	> UVCC1 ₅	> UVCAN	通常またはスタンバイ	プログラムによる	プログラムによる
> UVSUP ₅	< UVCC1 ₅	該当なし	最初からやり直します	ウェーク対応またはオフ	ウェーク対応またはオフ
> UVSUP ₅	> UVCC1 ₅	> UVCAN	前の状態	プログラムによる	プログラムによる
> UVSUP ₅	> UVCC1 ₅	> UVCAN	前の状態	プログラムによる	プログラムによる
> UVSUP ₅	< UVCC1 ₅	< UVCAN	前の状態	ウェーク対応、サイレントまたはオフ	プログラムによる

表 8-17. VCC1₃₃ の低電圧イベント、デバイス状態およびトランシーバ状態

VSUP	VCC1	VCAN	デバイスの状態	CAN トランシーバ	LIN トランシーバ
> UVSUP ₅	> UVCC1 ₃₃	> UVCAN	通常またはスタンバイ	プログラムによる	プログラムによる
> UVSUP ₅	< UVCC1 ₃₃	該当なし	最初からやり直します	ウェーク対応またはオフ	ウェーク対応またはオフ
> UVSUP ₅	> UVCC1 ₃₃	> UVCAN	前の状態	プログラムによる	プログラムによる
< UVSUP ₅ > UVSUP ₃₃	> UVCC1 ₃₃	該当なし	通常またはスタンバイ	オフ	プログラムによる
< UVSUP ₅ > UVSUP ₃₃	< UVCC1 ₃₃	該当なし	最初からやり直します	オフ	オフ
> UVSUP ₅	> UVCC1 ₃₃	< UVCAN	通常またはスタンバイ	ウェーク対応、サイレントまたは オフ	プログラムによる

注

- レギュレータが UV の間にサーマルシャットダウンまたは短絡イベントが発生すると、デバイスはスリープモード (フェイルセーフモード無効化) または有効であればフェイルセーフモードに遷移します。
- 再起動タイマが満了するまでに UVCC1 がクリアされない場合、デバイスはフェイルセーフモードが有効になっているかどうかを判定します。有効でない場合、デバイスはスリープモードに遷移し、VCC1 をオフにします。VCC1 がスリープモードで有効にされると、UVCC1 イベントは同じ方法で進行します。
- OVSUPHSS はハイサイドスイッチにのみ影響するため、表には示されていません。

8.3.15.2.1.2 VCC1 低電圧

VCC1 はデジタル入力/出力ピンに電力を供給する LDO で、ノードプロセッサに接続することが想定されます。VCC1 は低電圧のために監視され、事前警告 (UVCC1_{xPR}) および低電圧 (UVCC1_{xXR/FX}) という 2 つのレベルが監視されます。低電圧には、レジスタ 8'h0E[4:3]、UVCC1_SEL を使用してプログラムできる 4 つのレベルのいずれかがあります。外部電源を供給する電源レールのうち、VCC1 は SBC 故障と見なされる唯一のもので、これにより状態が変化します。低電圧事前警告イベントが発生すると割り込みの INT_6 レジスタ 8'h5C[6] がセットされ、nINT ピンは Low にプルされます。プログラムされたスレッシュホールド (SBC_CONFIG1 レジスタ 8'h0E[4:3]) のいずれかに VCC1 が達すると、デバイスはリスタートモードに遷移し、VCC1 が低電圧立ち上がりスレッシュホールドを超えるまで nRST を Low にラッチします。nRST は Low にラッチされたままになり、UV スレッシュホールドがクリアされてから t_{RSTN_act} の間、デバイスはリスタートモードを維持します。UVCC1 には、デバイスがリスタートモードに移行する時間より低電圧イベントが長く続く、フィルタ時間 t_{UVFLTR} があります。UVCC1 の動作については、[図 8-34](#) を参照してください。

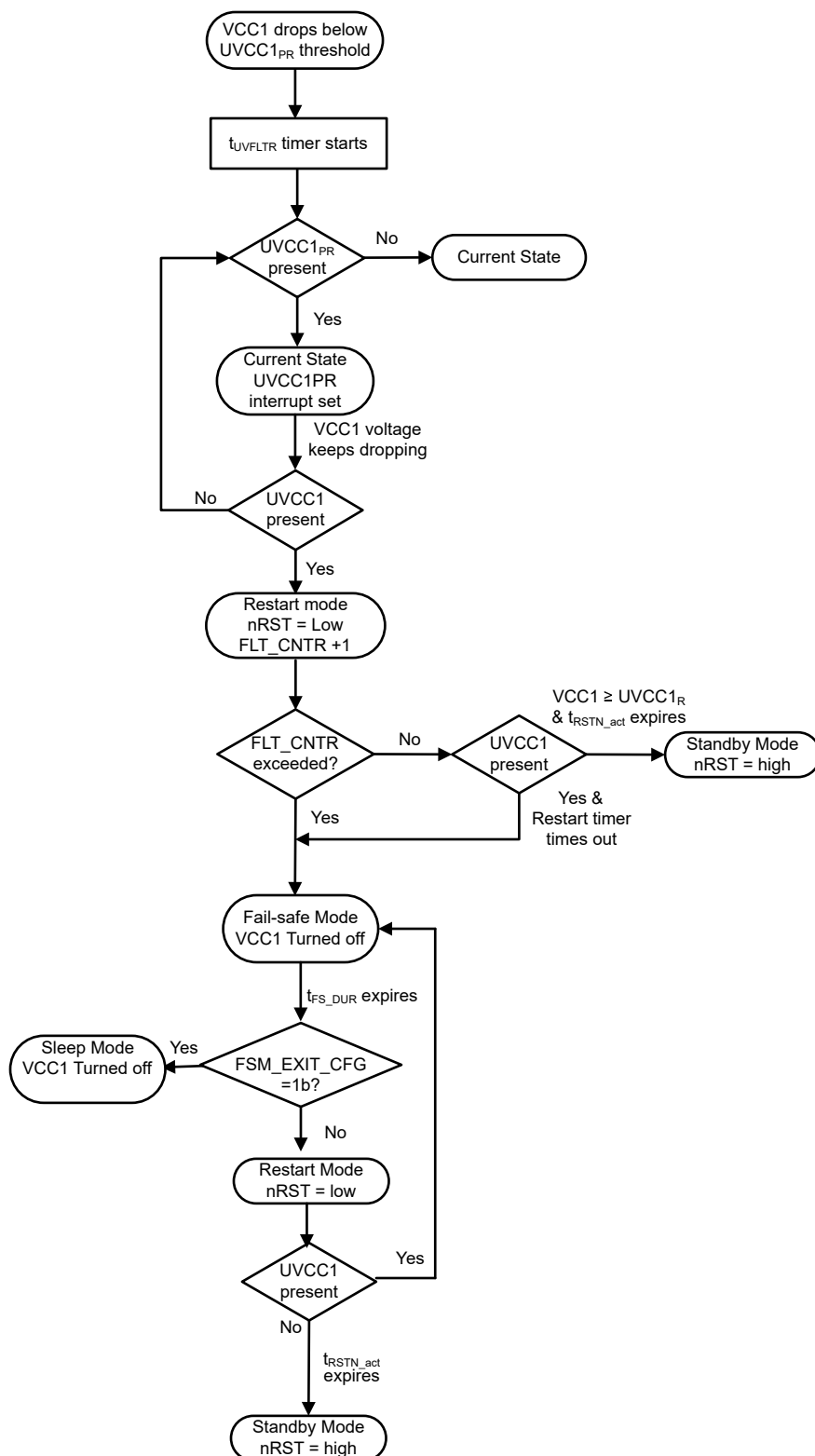


図 8-34. UVCC1 の状態図

8.3.15.2.1.3 VCC2 および VEXCC 低電圧

UVCC2 または UVEXCC は割り込みフラグをセットしますが、モード変更は発生しません。低電圧動作については、[図 8-35](#) および [図 8-36](#) を参照してください

- レジスタ INT_6、8'h5C[5] は UVEXCC の割り込みです
- レジスタ INT_6、8'h5C[2] は UVCC2 の割り込みです

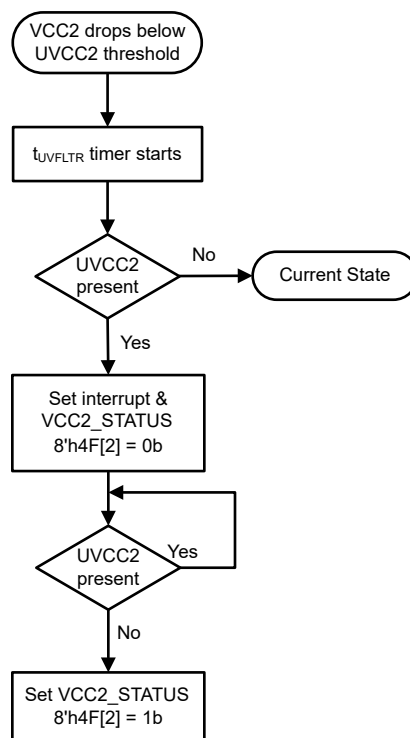


図 8-35. UVCC2 の状態図

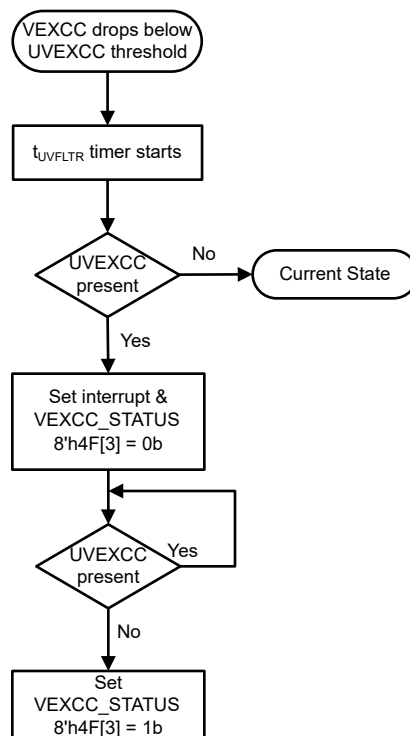


図 8-36. UVEXCC 状態図

8.3.15.2.1.4 VCAN 低電圧

VCAN が低電圧検出値 **UVCAN** を下回ると、CAN トランスミッタはオフになり、VCAN が回復するまでバスから切り離されます。CAN レシーバはまだアクティブです。デバイスの動作方法については、[図 8-37](#) を参照してください。デバイスに電源が供給されていないとき、CAN バスへの「理想的なパッシブ」または「無負荷」となるように設計されています。デバイスの電源がオフのとき、バス端末 (CANH、CANL) は非常に低いリーク電流しか持たないため、バスに負荷をかけません。この特性は、ネットワーク内の一部ノードが無電源状態でも他のノードが動作を続ける場合において、非常に重要です。また、デバイスの電源がオフのときでも、ロジック端子のリーク電流は低いいため、電源が入ったままの他の回路に負荷を与えることはありません。

UVLO 回路は、電源レールの立ち上がり時と立ち下がり時の両方を監視します。

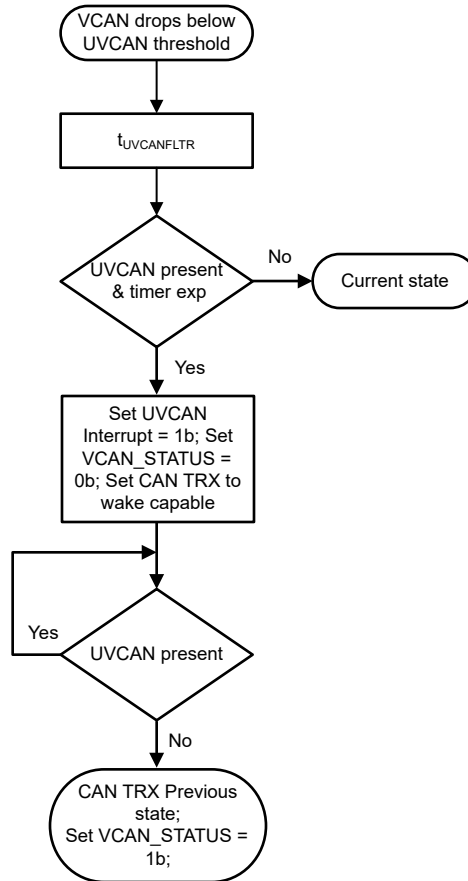


図 8-37. UVCAN 状態図

注

- UVCAN コンパレータは、CAN トランシーバがオンまたはリッスンに設定されているときのみ有効になります。

8.3.15.2.2 VCC1、VCC2、VEXCC の過電圧

TCAN29xx-Q1 は VCC1、VEXCC、VCC2 の過電圧状態を監視します。過電圧は、OVCC1、OVCC2、OVEXCC で表されます。OVCC1 が発生すると、デバイスはフェイルセーフモード (イネーブルな場合) またはスリープモードに移行します。OVCC2 または OVEXCC が発生すると LDO はオフになって割り込みフラグが設定されますが、モード変更は行われません。フェイルセーフモードに移行すると、デバイスはすべての LDO をオフにし、 t_{FS_DUR} タイマを開始します。このタイマがタイムアウトになると、OVCC1 が過電圧であるかどうかチェックされます。OV イベントがクリアされると、FSM_EXIT_CFG = 0b の場合、デバイスはリスタートモードに移行します。FSM_EXIT_CFG = 1b の場合、デバイスはスリープモードへ移行します。OVCC1 が引き続き存在する場合、デバイスはフェイルセーフモードのままとなります。過電圧イベント中のデバイス動作については、図 8-38、図 8-39、図 8-40 を参照してください。

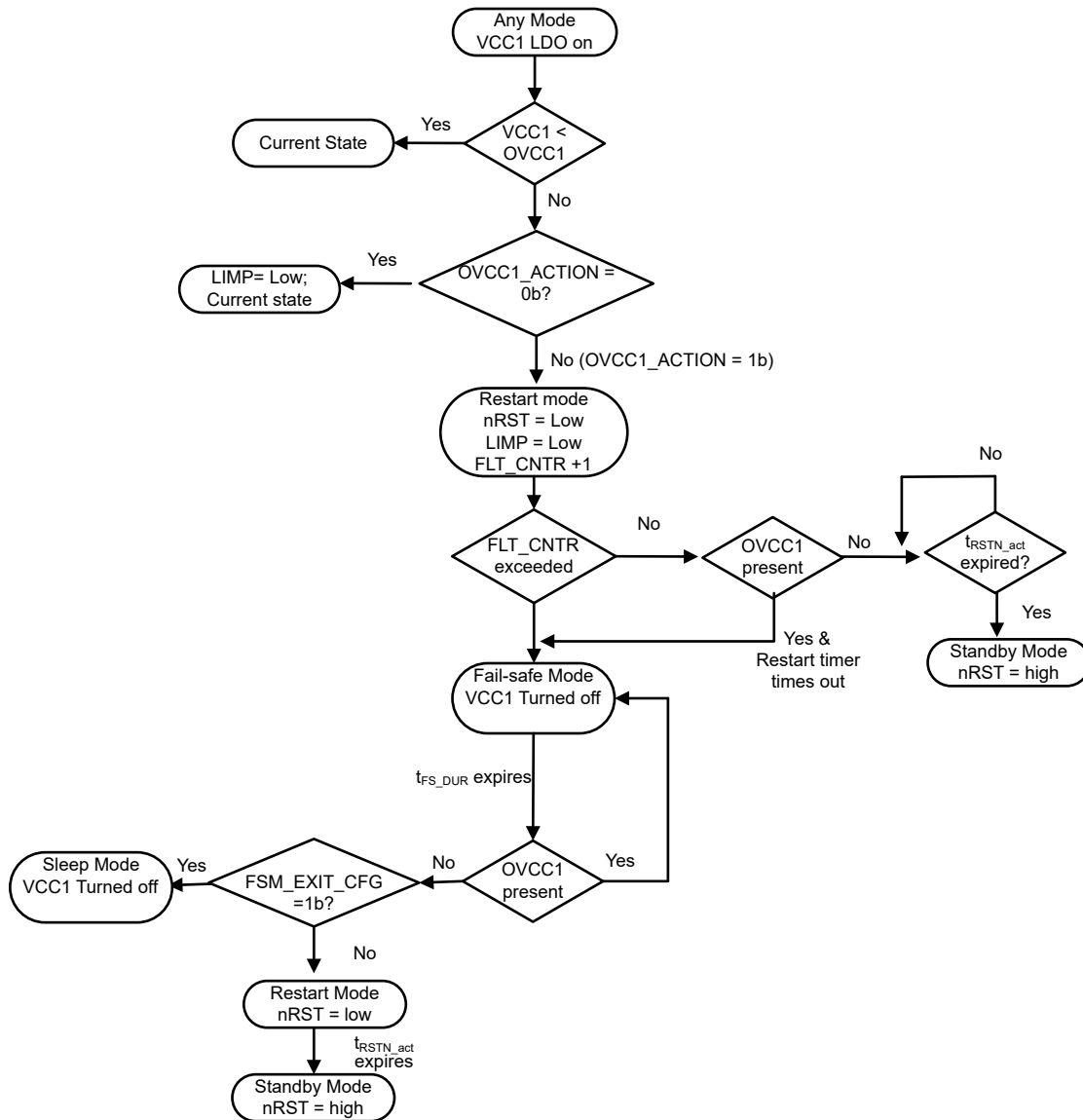


図 8-38. OVCC1 の状態図

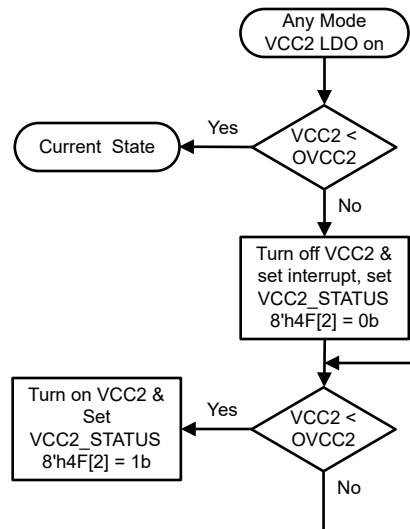


図 8-39. OVCC2 の状態図

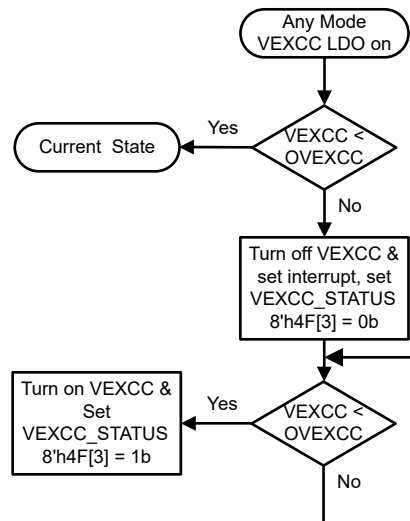


図 8-40. OVEXCC 状態図

8.3.15.2.3 VCC1、VCC2、VEXCC 短絡

TCAN29xx-Q1 は、VCC1、VEXCC、VCC2 (CAN LDO) のグラウンドへの短絡状態を監視します。グラウンドへの短絡は、VCC1_{33SC}、VCC1_{5SC}、VCC2_{SC}、VEXCC_{SC} で表されます。グラウンドへ短絡すると、LDO がオフになります。VCC1_{SC} が発生すると、VCC1 はオフになり、デバイスはフェイルセーフ モードに移行します。LDO がオフの間は、短絡イベントを監視できません。t_{FS_DUR} タイマが満了した後、FSM_EXT_CFG = 0b の場合、本デバイスはリスタート モードに遷移し、フォルトがクリアされているかどうかを確認します。ウェーク イベントにより、SC イベントが引き続き存在するかどうかを確認するために VCC1 が t_{LDOON} の間オンになります。フォルトがまだ存在する場合、デバイスはフェイルセーフ モードに移行します。故障がクリアされると、スタンバイ モードに遷移します。フェイルセーフ モードの場合、t_{FS_DUR} タイマが満了した後、FSM_EXT_CFG = 1b の場合、デバイスはスリープ モードに遷移し、リスタート モードに移行するためにウェーク イベントを必要とします。グラウンドへの短絡イベント時のデバイスの動作については、図 8-41、図 8-42 および 図 8-43 を参照してください。

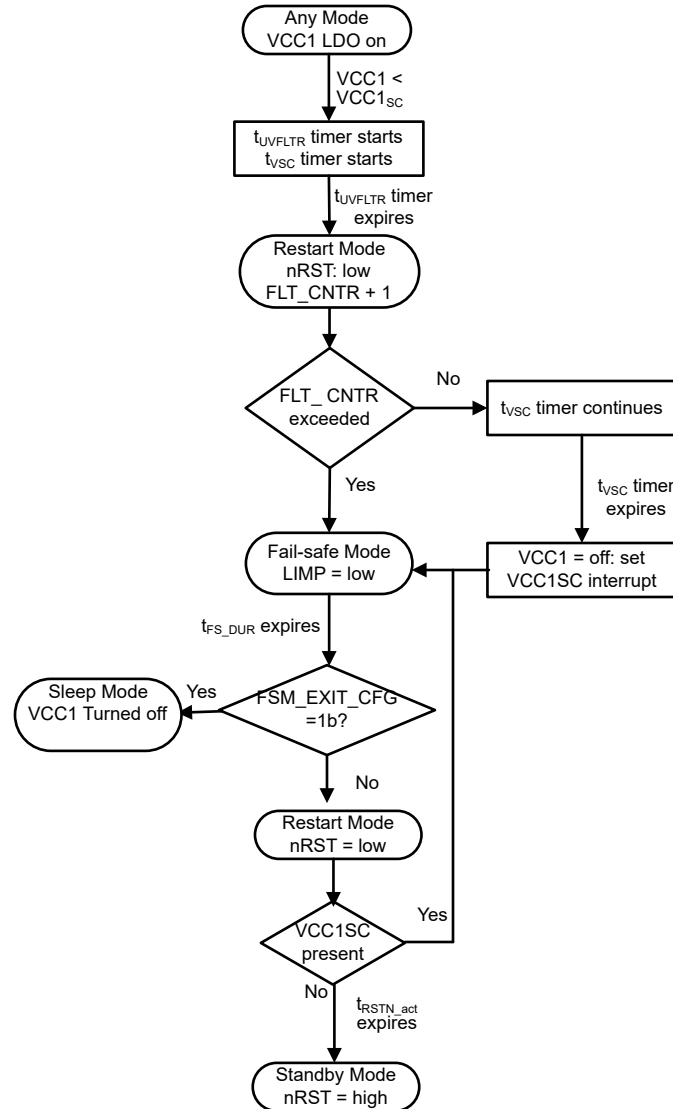


図 8-41. VCC1SC の状態図

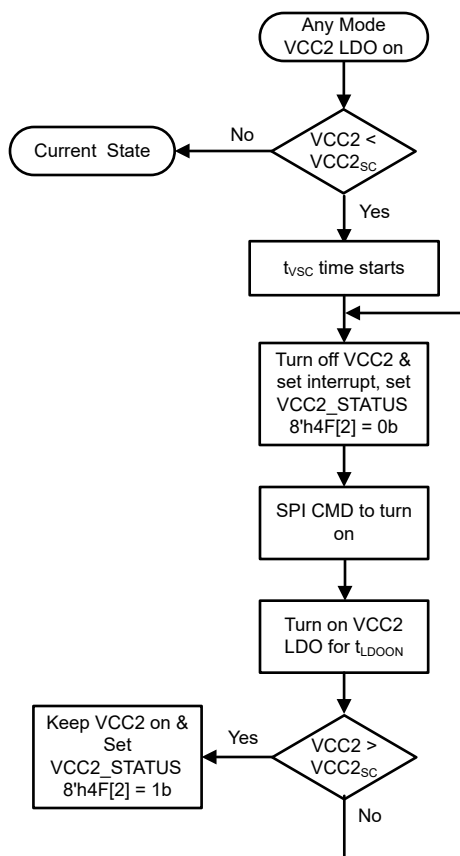


図 8-42. VCC2_{SC} の状態図

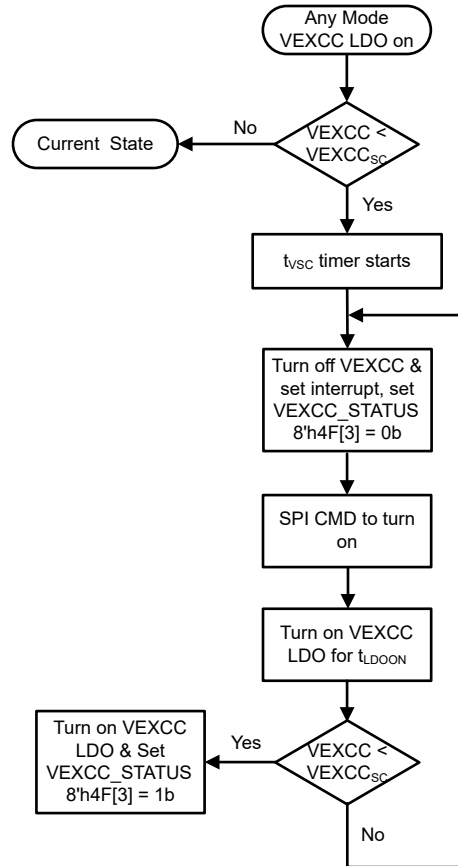


図 8-43. VEXCC_{SC} の状態図

8.3.15.3 アナログ内蔵セルフ テスト (ABIST)

TCAN29xx-Q1 は、電圧監視機能の正確性を検証するためのアナログ内蔵セルフ テスト メカニズムを備えています。

ABIST はオンデマンドで実行され、マイコンからの SPI 要求により、スタンバイ モードおよび通常モードで起動できます。

ABIST を実行するには:

- ABIST_RUN_CMD ビットを読み出し、0b であることを確認します。これは、ABIST を実行する準備ができていていることを示します。
- ABIST_RUN_CMD = 1b に設定します。ABIST が完了するまで、このビットは 1b に設定されたままです
- ABIST の完了時に、ABIST_DONE ビットは 1b に設定され、ABIST_RUN_CMD ビットは 0b に設定されます。

ABIST_RUN_CMD は、次の電圧監視回路で ABIST を実行します。

- VCC1、VCC2、VEXCC、VCAN、VSUP、VHSS の低電圧 (UV) 監視回路
- VCC1、VCC2、VEXCC、VHSS の過電圧 (OV) 監視回路
- VCC1、VCC2、VEXCC の短絡監視回路
- 内部 LDO の UV/OV 監視回路

ABIST 完了後に障害が発生した場合、デバイスは INT_BIST1 (0x63) および INT_BIST2 (0x64) レジスタで対応する割り込みビットを設定します。ABIST_INT_EN = 1b (デフォルト) の場合、nINT ピンで割り込みが通知されます。表 8-18 に示すように、レジスタ 0x4B の ABIST_ERR_ACTION ビットの構成によって追加アクションを実行するようにデバイスを構成できます。

表 8-18. ABIST_ERR_ACTION 構成

ABIST_ERR_ACTION	実行されるアクション
00b	対応する ABIST 障害割り込みを設定します
01b	割り込みを設定し、LIMP をオンにします
10b	割り込み、LIMP を設定し、フェイルセーフ モードに移行します。

8.3.15.4 クロック監視

ENABLE_CLKMON ビットを使用してイネーブルにすると、TCAN29xx-Q1 は 1MHz クロックが動作すると想定されるときに、内部 1MHz と 10k クロックを監視します。クロック監視回路が、いずれかのクロックでエラーを検出した場合:

- 割り込みフラグ、CLKMON_FAIL が設定されます。
- LIMP ピンはアクティブです

ABIST_ERR_ACTION = 1b の場合

クロック監視回路は、以下の場合にエラーを検出します。

- 1MHz または 10kHz のクロックが High または Low に固着している場合。
- 1MHz と 10kHz クロックのどちらかが公称値から $\pm 20\%$ 以上逸脱している場合。

8.3.15.5 バンドギャップ クロス監視

TCAN29xx-Q1 にはバンドギャップ クロスモニタである BG_XMON が搭載されており、電圧レギュレーションと電圧監視のリファレンスとして使用されるバンドギャップ BG1 と、独立した第 2 のバンドギャップ BG2 を常時比較します。ENABLE_BGXMON ビットで有効にした場合、2 つのバンドギャップ リファレンス電圧の差が検出スレッシュホールドを超えたときに、BG_XMON はエラーを検出します。エラーが検出されると、割り込みフラグが設定され、ABIST_INT_EN = 1b (デフォルト) の場合は、割り込みピン nINT を介して通知されます。

BG_XMON がエラーを検出したときに、追加アクションを実行するようにデバイスを構成できます。

SPI コマンドで有効にすると、BG_XMON は SBC 通常モードで連続的に動作し、スタンバイおよびスリープ モードでは定期的に (50ms ごとに) 動作して消費電力を節約します。

8.3.15.6 デバイス リセット

TCAN29xx-Q1 ファミリーには、デバイスをリセットする 3 つの方法があります。SPI コマンドを使用して、ソフトリセットとハードリセットの 2 つが実行されます。ソフトリセットおよびハードリセットは、それぞれ DEVICE_RST レジスタ 8'h19[1] または 8'h19[0] に 1b を書き込むことで実行されます。nRST は、nRST を t_{NRSTIN} の期間 Low にすることで、完全なパワーオンリセットとして使用されます。

ソフトリセットを実行すると、次の処理が実行されます:

- レジスタがデフォルト値にリセットされます
- VCC1 と VCC2 の状態は変更されません
- デバイスはスタンバイ モードに移移します

SPI または nRST ピンを介してハードリセットを実行する場合、次のようになります。

- デバイスは初期モードに移移します
- レジスタがデフォルト値にリセットされます
- ほとんどの内部デバイス ロジックはデフォルトにリセットされます
- VCC1 と VCC2 の状態は変更されません
- その後、デバイスはリスタート モードに移行し、最終的にスタンバイ モードへ移行します。この状態でデバイスを再プログラムできます

8.3.15.7 端子のフローティング

重要な端子には内部プルアップおよびプルダウンがあり、端子が浮いた状態になった場合でも、デバイスを既知の状態に保持するようになっています。端子バイアスの条件の詳細については、表 8-19 を参照してください。

表 8-19. 端子バイアス

端子	プルアップまたはプルダウン	備考
SW	60k Ω プルダウンまたはプルアップ	SW ピンがアクティブ high ピンの場合、入力を GND に弱くバイアスします。 SW ピンがアクティブ Low ピンの場合、入力を VCC1 または内部電圧レールに弱くバイアスします
SCK	60k Ω プルダウンまたはプルアップ	入力を弱くバイアスするために選択された SPI モードに基づいて、プルアップまたはプルダウンに自動的に構成されます - モード 0 または 1 はプルダウンに構成されます - モード 2 または 3 はプルアップを構成します
SDI	60k Ω プルダウンまたはプルアップ	SPI_CONFIG レジスタ 8'h09[2] の SDI_POL 構成に基づいて、入力を弱くバイアスするプルアップまたはプルダウンとして構成されます
nCS	60k Ω プルアップ	デバイスを選択しないように、入力を弱くバイアスします
nRST	30k Ω プルアップ	VCC1 にプルアップ
LIN	40k Ω プルアップ	弱いバイアス
LTXD	60k Ω プルアップ	弱いバイアス入力
CTXD	60k Ω プルアップ	弱いバイアス入力

注

内部バイアスは、特にノイズの多い環境では終端抵抗としてのみ依存すべきではなく、フェイルセーフ保護として考慮すべきです。オープンドレイン出力を使用する MCU と組み合わせてこのデバイスを使用する場合には、特に注意が必要です。

8.3.15.8 LIN バスがドミナント状態で固着するシステム故障：偽のウェイクアップ誤動作防止

デバイスには、バススタックドミナントシステム故障を検出するロジックが内蔵されており、システム故障時にデバイスが誤ってウェイクアップするのを防止します。スリープモードに移行すると、デバイスは LIN バスの状態を検出します。バスがドミナントの場合、バスのスタックドミナントがバスの有効なリセツプで「クリア」されるまでウェイクアップロジックは作動せず、過剰な電流の使用を防止します。図 8-44 と図 8-45 に、この保護機能の動作を示します。

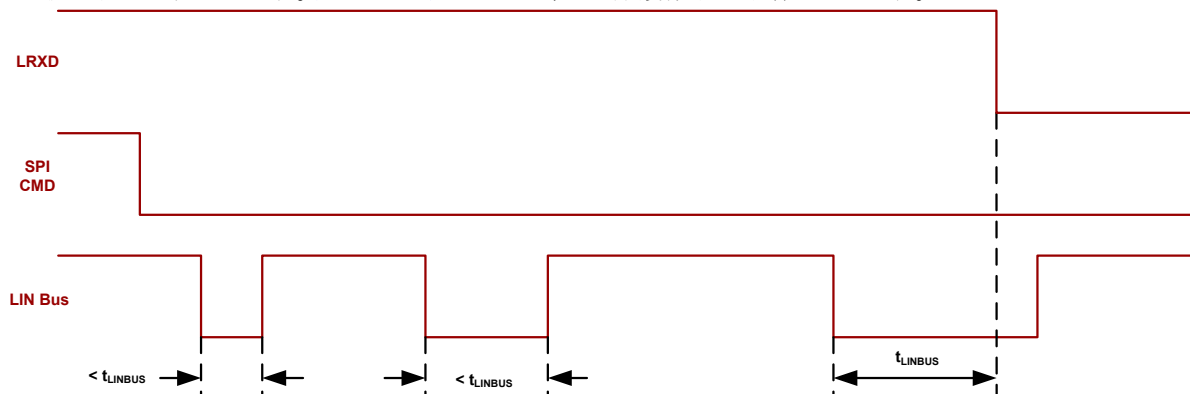


図 8-44. バス フォルトなし：バスリセツプ条件とウェイクアップによるスリープモードへの移行

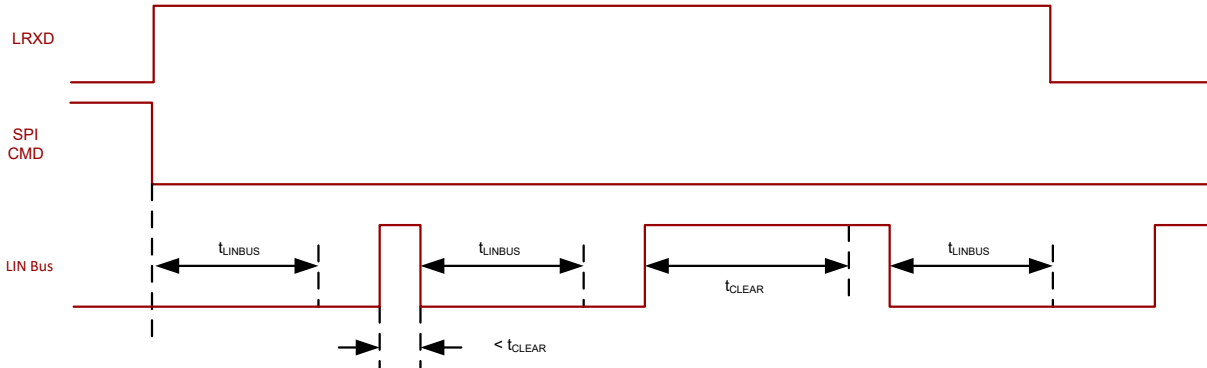


図 8-45. バス フォルト : バススタックドミナント故障、クリア、ウェークアップによるスリープモードへの移行

8.3.15.9 サーマル シャットダウン

デバイスには、ダイの接合部温度を監視するための 2 つの温度センサが搭載されています。

1. VCC1 LDO および外部 PNP 制御、VEXCC を対象
2. VCC2 LDO、CAN トランシーバ、LIN トランシーバを対象

VCC1 LDO の接合部温度と、外部 PNP 制御、VEXCC が警告温度レベルに達したときにセットされる、サーマル シャットダウンの事前警告があります。この温度センサが事前警告の立ち上がり TSDWR に達すると、事前警告に割り込みがセットされます。サーマルイベントの割り込みは 3 あります。デバイスの動作は、どのセンサがサーマルイベントを検知するかによって異なります。これはデバイス保持機能です。

- INT_6 レジスタ 8'h5C[7] は TSDW 割り込みです
- INT_2 レジスタ 8'h52[1] は TSD_VCC1_VEXCC 割り込みです
- INT_3 レジスタ 8'h53[1] は、VCC2 LDO を含む TSD_CAN_LIN 割り込みです

最大接合部温度 t_{TSD} を超えると割り込みフラグがセットされ、nINT が Low になって通知されます。VCC1 または VEXCC によって TSD イベントが発生すると、デバイスはこれらの LDO をオフにし、フェイルセーフモード (有効な場合) またはスリープモードのいずれかに移行します。この TSD イベント中、nRST ピンはグラウンドまでプルされます。過熱故障状態が解消され、接合部温度が 1 秒間 TSDF 未満に冷却されると、デバイスはフェイルセーフモードからリスタートモードに遷移し、VCC1 と VEXCC (有効な場合) をオンにします。サーマルシャットダウンの割り込みフラグがセットされますが、VCC1 がオフであるため、nINT ピンには通知されません。このイベントにより、HSS1-4_CNTL レジスタがリセットされて、ハイサイド スイッチがオフになります。デバイスがフェイルセーフモードまたはスリープモードで、サイクリックセンシングが有効な間にサーマル シャットダウンイベントが発生する場合、HSS4 がオフになるため、サイクリックセンシング機能が失われます。

トランシーバと VCC2 をカバーする 2 番目のセンサが TSD を検出する場合は以下の動作になります。CAN と LIN のトランスミッタはどちらも無効化され、リスンモードになります。VCC2 LDO は無効化され、割り込みフラグがセットされます。SBC 状態は変更されません。過熱故障状態が解消され、接合部温度が TSDF 温度未満になるまで冷却されると、CAN および LIN トランスミッタは再び有効化されます。さらに 1 秒の待機時間の後、VCC2 LDO はオンになります。LDO が無効化されたため、UVCC2 はセットされないことに注意してください。レジスタ 8'h4F[2] の VCC2_STATUS を読み取り、VCC2 が再び有効になったか判断します。システムで VCC2 を VCAN の電源として使用する場合、VCC2 オフの状態により UVCAN 状態が発生します。CAN トランシーバはウェーク対応に変更され、VCC2 に再び電源が完全に供給されるまで、再び有効にできません。VCC2_STATUS は VCAN のステータスも示します。VCC2_STATUS = 1b のとき、CAN トランシーバが再び有効にされ、UVCAN 割り込みフラグをクリアできます。

8.3.15.10 バス フォルト検出および通信

TCAN29xx-Q1 は、CAN_FAULT_DET_EN = 1b の場合、オプションの CAN バス フォルト検出機能を備えています。有効にすると、TCAN29xx-Q1 は CAN バスのグラウンドまたはバッテリー電圧への短絡を検出し、表 8-20 に示すように対応する割り込みフラグを設定します。バス フォルト検出は、CAN バス上でドミナント信号を送信している間に実行されま

す。フォルト状態が 4 回連続してドミナントからリセッシブへのビット遷移にわたって継続すると、対応する割り込みフラグが設定されます。CAN バス フォルト割り込みフラグは、フォルト状態が 4 回連続してドミナントからリセッシブへのビット遷移で発生しなかった場合にクリアできます。

ノード位置の例と、それらが実際のフォルトの場所を決定する能力にどのように影響するかについては、図 8-46 を参照してください。図 8-47 に、3 ノード構成に基づく各種バス フォルトを示します。表 8-20 に、何を検出できるのか、どのデバイスにより検出できるのかを示します。

バス障害検出は、システム レベルの状況です。ECU で故障が発生している場合は、バスの一般的な通信が損なわれます。ノードを完全にカバレッジするには、各ノードにシステムレベルの診断ステップと、それらを中央ポイントに送り返す機能が必要です。

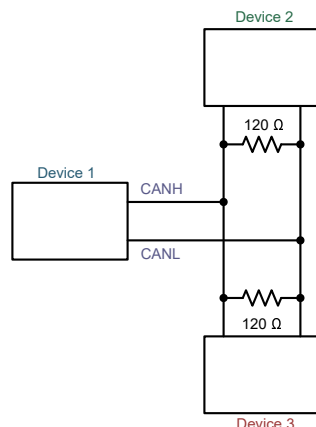


図 8-46. 3 ノードの例

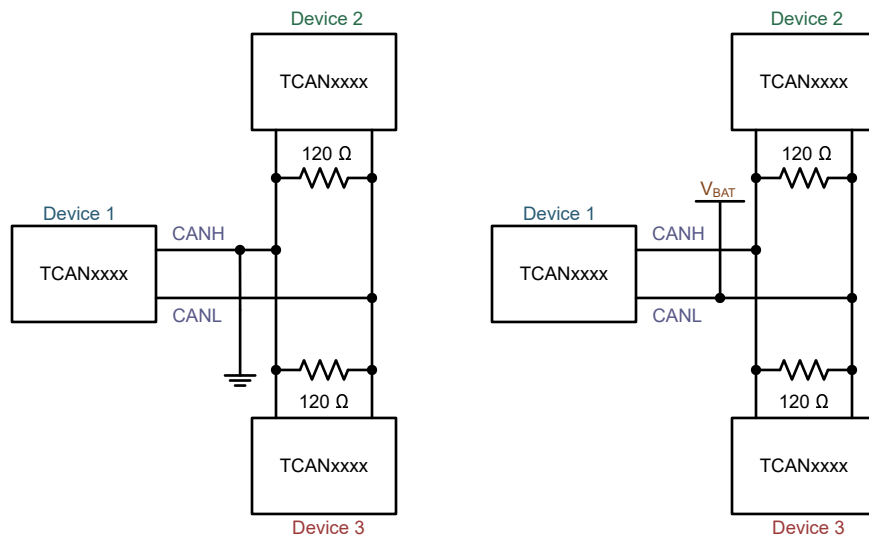


図 8-47. CAN バスの短絡検出の例

表 8-20. バス フォルト ピンの状態および検出表

フォルト番号	CANH	CANL	割り込みフラグの位置
1	GND へ短絡	X	CANBUSGND、8'h54[1]
2	X	V _{bat} と短絡	CANBUSVBAT、8'h54[0]

8.3.16 SPI 通信

SPI 通信では、標準の SPI インターフェイスを使用します。物理的なデジタル インターフェイス ピンは、nCS (チップ セレクト反転)、SDI (SPI データ入力)、SDO (SPI データ出力)、および SCK (SPI クロック) です。各 SPI トランザクションは、R/ W ビットが付いた 7 ビット アドレスによって開始されます。デバイスは、SPI_CONFIG レジスタ 8'h09[3] の BYTE_CNT ビットの値に応じて、トランザクションごとに 1 つのデータ バイトまたは 2 つの日付バイトに構成できます。デフォルトは 1 バイトです。2 バイトを選択した場合、2 番目のデータ バイトはアドレス + 1 になります。

トランザクションで SDO ピンからシフトアウトされるデータは、常にグローバル割り込みレジスタであるレジスタ 8'h50[7:0] から始まります。このレジスタは、デバイスの高レベルの割り込みステータス情報を提供します。アドレスおよび R/W バイトに対する「応答」となるデータバイトが、その後にシフトアウトされます。巡回冗長性 (CRC) が無効化されている場合の読み取りおよび書き込み方法については図 8-48 および図 8-49 を参照してください。2 バイトの読み取りについては、図 8-51 を参照してください。2 バイトの SPI 書き込みが行われると、アドレスおよびアドレス + 1 の現在の情報が SDO ピンからフィードバックされます (図 8-50 を参照)

デバイスのデフォルトはモード 0 であり、SDI の SPI データ入力は SCK の立ち上がりエッジでサンプリングされます。SDO 上の SPI 出力データは、SCK の high エッジから low エッジに変更されます。デバイスは、SPI_CONFIG レジスタ 8'h09[1:0] の MODE_SEL を使用して、モード 1~3 をサポートするように設定できます。SPI 通信図は、モード 0 に基づいています。

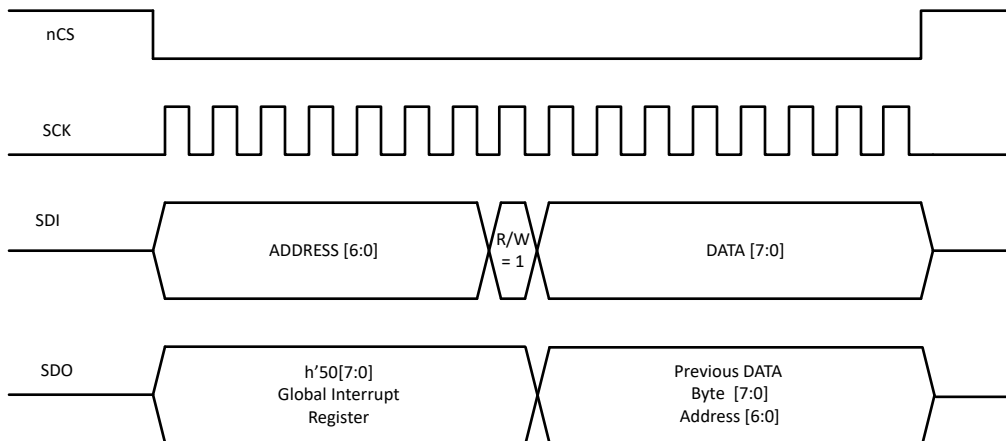


図 8-48. SPI 書き込み

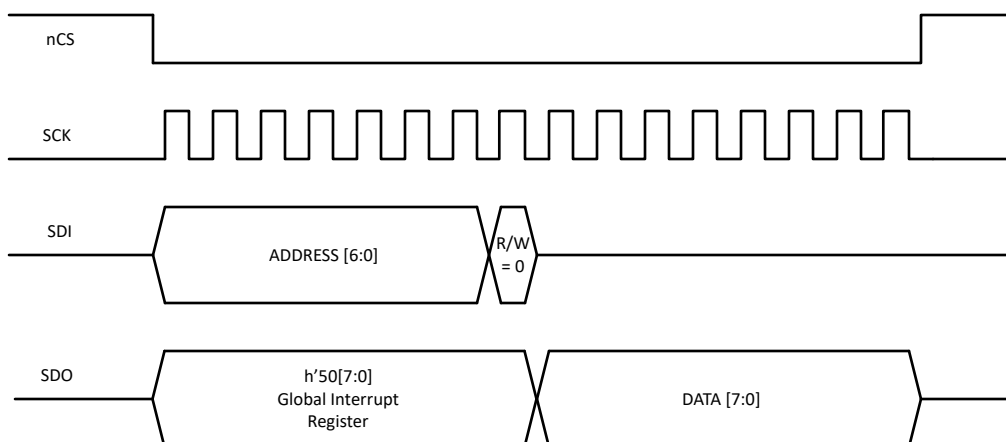


図 8-49. SPI 読み取り

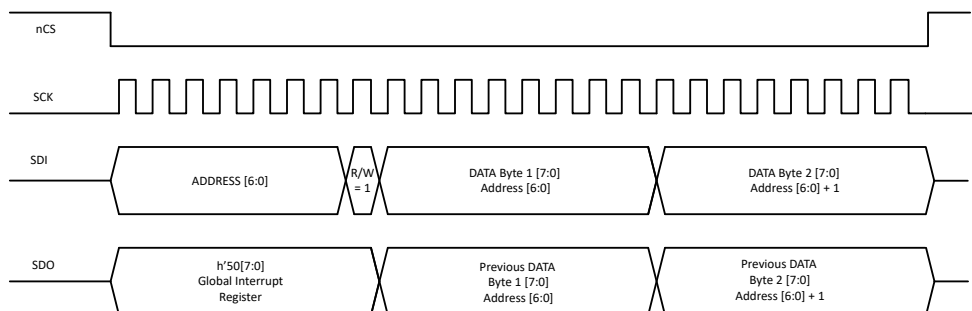


図 8-50. 2 バイト SPI 書き込み

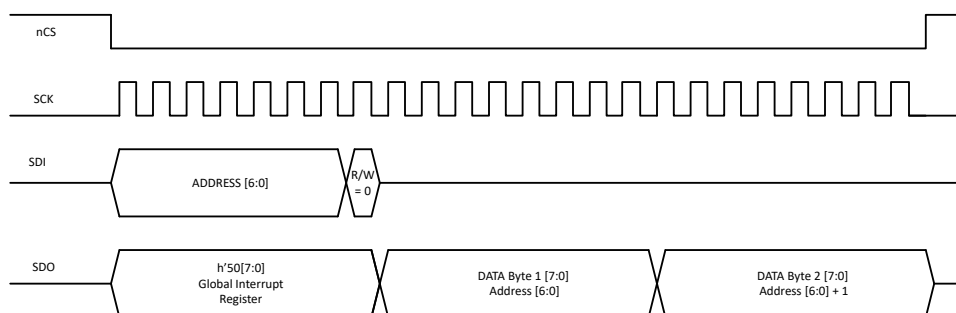


図 8-51. 2 バイト SPI 読み取り

8.3.16.1 巡回冗長検査

SPI トランザクションの TCAN29xx-Q1 ファミリの巡回冗長性検査 (CRC) はデフォルトでは無効です。レジスタ 'h0A[0] を使用してこの機能をイネーブルにできます。デフォルトの多項式は AutoSAR CRC8H2F、 $X^8 + X^5 + X^3 + X^2 + X + 1$ をサポートしています。表 8-21 を参照してください。SAE J1850 に対応した CRC8 もサポートされており、レジスタ 8'h0B[0] で選択できます。CRC がイネーブルの場合、読み取り / 書き込み動作中の CRC 値を計算するために、ファイバー バイト 00h が使用されます。CRC を含む 1 バイトのデータについては、図 8-52 と図 8-53 を参照してください。2 バイトデータが構成されている場合、CRC は実装されません。

表 8-21. CRC8H27

SPI トランザクション	
CRC の結果の幅	8 ビット
多項式	2Fh
初期値	FFh
入力データの反映	なし
結果データの反映	なし
XOR 値	FFh
チェック	DFh
マジック チェック	42h

表 8-22. CRC8 SAE J1850

SPI トランザクション	
CRC の結果の幅	8 ビット
多項式	1Dh
初期値	FFh
入力データの反映	なし
結果データの反映	なし
XOR 値	FFh
チェック	4Bh
マジック チェック	C4h

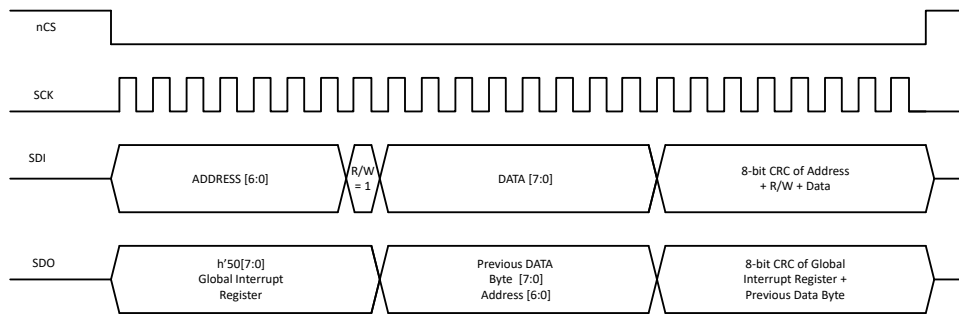


図 8-52. 1 バイト CRC SPI 書き込み

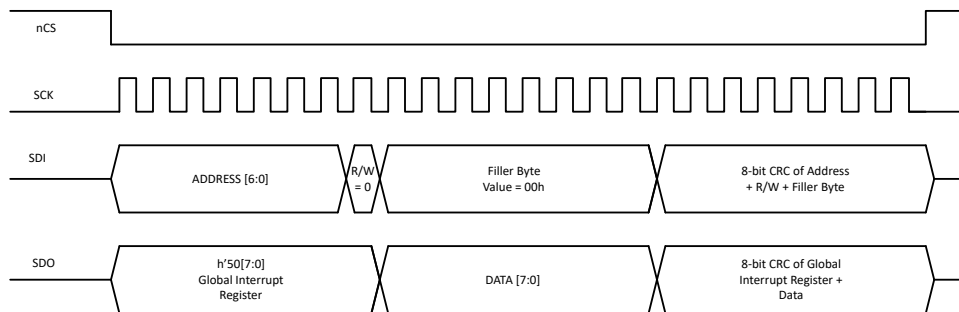


図 8-53. 1 バイト CRC SPI 読み取り

8.3.16.2 ノットチップ セレクト (nCS) :

この入力ピンは、SPI トランザクション用デバイスを選択するために使用します。このピンはアクティブ **Low** なので、nCS が **High** の間は、デバイスの SPI データ出力 (SDO) ピンがハイインピーダンスになり、SPI バスの設計が可能です。nCS が "Low" になると、SDO ドライバが有効となり、通信が開始できる状態になります。SPI トランザクションでは、nCS ピンは **Low** に保持されます。このデバイスの特別な機能を使用すると、nCS の立ち下がりエッジで SDO ピンをグローバル故障フラグとして直ちに表示できます。

8.3.16.3 SPI クロック入力 (SCK) :

この入力ピンを使用して、SPI にクロックを入力し、入力および出力のシリアル データ ビット ストリームを同期します。デフォルトの SPI モード 0 では、データ入力が SCK の立ち上がりエッジでサンプリングされ、SPI データ出力が SCK の立ち下がりエッジで変化します。図 8-54 を参照してください。図に、デフォルトであるモード 0 に基づくタイミングを示します。表 8-23 に、クロック位相の設定可能なモードを示します。

表 8-23. SPI モード

モード	CPOL ⁽¹⁾	CPHA ⁽²⁾	クロック位相
0	0	0	データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトされます
1	0	1	立ち下がりエッジでサンプリングされ、立ち上がりエッジでシフトされたデータ
2	1	0	データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトされます
3	1	1	立ち下がりエッジでサンプリングされ、立ち上がりエッジでシフトされたデータ

- (1) CPOL はクロック極性です。0 = 論理 Low、1 = 論理 High です
(2) CPHA はクロック位相です

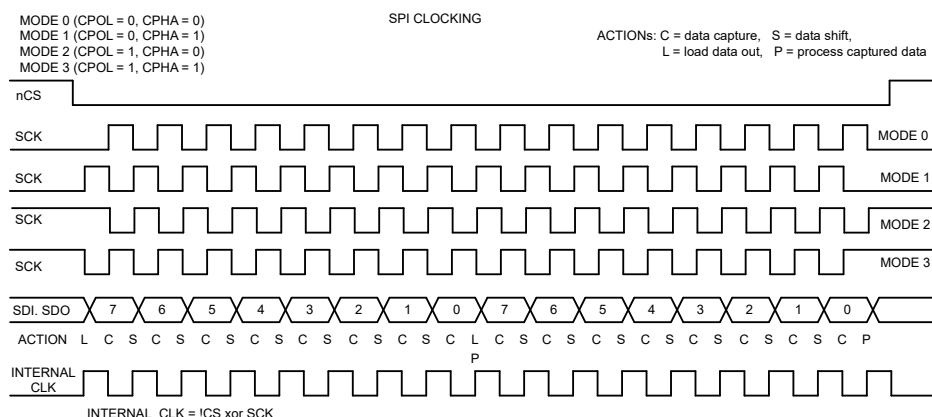


図 8-54. SPI クロック

8.3.16.4 SPI データ入力 (SDI) :

この入力ピンは、デバイスにデータをシフトインするために使用されます。nCS が Low になることで SPI が有効化されると、SDI は SPI クロック (SCK) の立ち上がりエッジごとにシフトインされた入力データをサンプリングします。データは 8 ビットのシフトレジスタにシフトインされます。8 回のクロック サイクルとシフトの後、指定されたレジスタが読み出され、そのデータが SDO からシフトアウトされます。8 回のクロック サイクルの実行後、シフトレジスタはフルになり、SPI トランザクションが完了します。書き込みコマンドコードが指定されている場合、新しいデータは、SCK によって正確に 8 ビットがシフトインされ、nCS が立ち上がってデバイスが非選択状態になるタイミングで、指定されたレジスタに書き込まれます。1 回の SPI トランザクション (nCS が Low の間) でデバイスに正確に 8 ビットがシフトインされなかった場合、その SPI コマンドは無視され、SPIERR フラグが設定されます。このときデータはデバイスに書き込まれず、誤動作を防止します。

8.3.16.5 SPI データ出力 (SDO) :

nCS によって SPI 出力が有効になるまで、このピンはハイインピーダンスです。nCS の Low により SPI が有効になると、SDO は直ちに High または Low に駆動され、グローバル故障フラグのステータスを示します。これは、SPI にクロックが供給されている場合にシフトアウトされる最初のビット (ビット 7) でもあります。SCK の最初の立ち下がりエッジでは、8 ビットすべてがシフトレジスタからシフトアウトされるまで、データのシフトアウトが SCK の各立ち下がりエッジを継続します。

8.4 デバイスの機能モード

TCAN29xx-Q1 には、通常、スタンバイ、スリープ、リスタート、フェイルセーフの複数の SBC 動作モードがあります。最初の 3 つのモードは、SPI レジスタ 8'h10[2:0] で選択します。フェイルセーフ モードは、さまざまな故障状態のために移行します。CAN FD と LIN のトランシーバは独立制御されます。各 SBC モード中の各ブロックの各種 SBC モードとステータスについては、表 8-24 を参照してください。

表 8-24. モードの概要

モジュール	最初からやり直します	スリープ	スタンバイ	通常	フェイルセーフ
nINT	High (VCC1 が存在) High-Z (UVCC1)	ハイ インピーダンス	アクティブ	アクティブ	ハイ インピーダンス
GFO	プログラムされたアクティブ 状態 (VCC1 が存在) 他をオフ	ハイ インピーダンス	アクティブ	アクティブ	ハイ インピーダンス
SW	ウェーク対応 / オフ	ウェーク対応 / オフ	ウェーク対応 / ソフトウ ェア開発モード	ウェーク対応 / ソフトウ ェア開発モード	ウェーク対応 / オフ
HSSx	オフ	プログラムによる	プログラムによる	プログラムによる	オフ
LIMP (オープンドレ インアクティブ Low)	前の状態と同じ: フェイルセーフモードまたは WD エラーから Low	スリープモードに移行 する前の状態	スタンバイに移行する 前の前の状態	通常モードに移行する 前の状態	Low にアサート
WAKEx	ウェーク対応 / オフ	プログラムによる	プログラムによる	プログラムによる	ウェーク対応 / オフ
CRXD	High (VCC1 が存在) High-Z (UVCC1)	ハイ インピーダンス	トランシーバ構成に 依存	トランシーバ構成に 依存	ハイ インピーダンス
LRXD	High (VCC1 が存在) High-Z (UVCC1)	ハイ インピーダンス	トランシーバ構成に 依存	トランシーバ構成に 依存	ハイ インピーダンス
nRST	Low	Low	High	High	Low
SPI	オフ	オフ	アクティブ	アクティブ	オフ
ウォッチドッグ	オフ	オフ	プログラムどおり、構成 可能	固定、スタンバイ モー ドでのプログラムどおり	オフ
CAN トランシーバ	ウェーク対応 / オフ	ウェーク対応 / オフ	サイレント / ウェーク対 応 / オフ	オン / サイレント / ウェ ーク対応 / オフ	ウェーク対応 / オフ
LIN トランシーバ	ウェーク対応 / オフ	ウェーク対応 / オフ	サイレント / ウェーク対 応 / オフ	オン / サイレント / ウェ ーク対応 / オフ	ウェーク対応 / オフ
LIN バス終端	弱電流プルアップ	弱電流プルアップ	35kΩ (標準値)	35kΩ (標準値)	弱電流プルアップ
VCC1	オンまたは立ち上がり中	オフ	オン	オン	オフ
VCC2	オンまたは立ち上がり中	プログラムどおり、デフ ォルトではオフ	オン (デフォルト)、プロ グラマブルオフ	オン (デフォルト)、プロ グラマブルオフ	オフ
VEXCC	オンまたは立ち上がり中	プログラムどおり、デフ ォルトではオフ	プログラム可能	プログラム可能	オフ

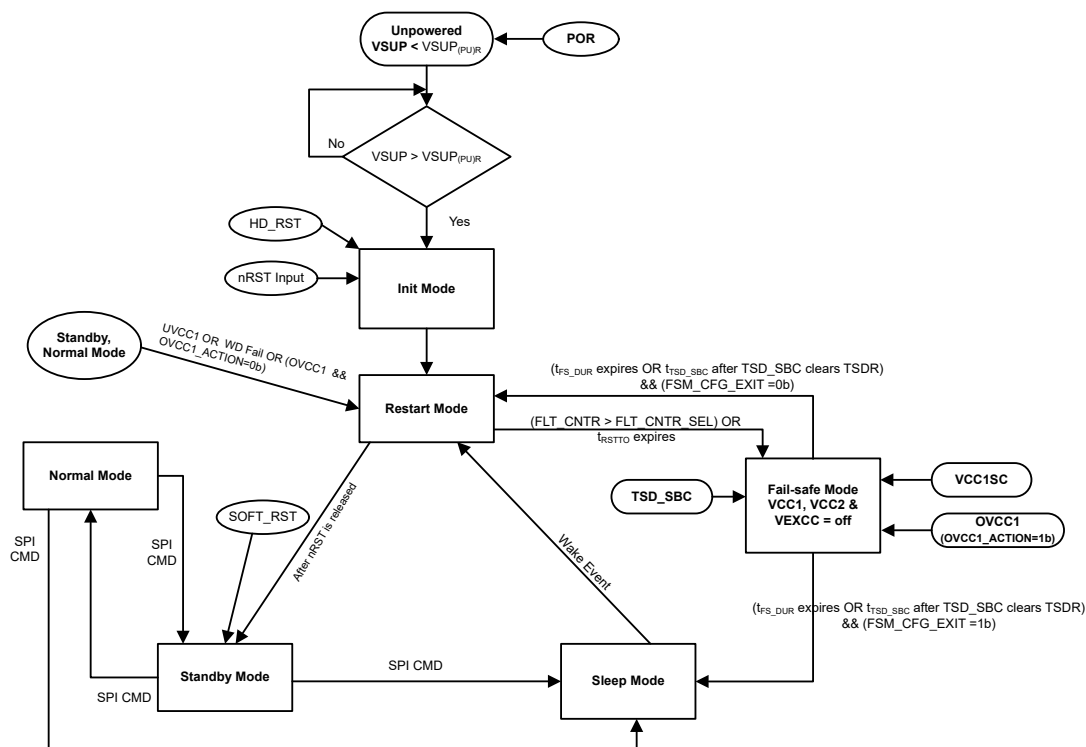


図 8-55. デバイスの状態遷移図

8.4.1 初期モード

これは、電源投入時の初期動作モードです。これは、VSUP が VSUP_{(PU)R} スレッシュホールドを上回ると移行する遷移モードです。デバイスのデフォルト値が設定されると、デバイスはリスタート モードに移行します。

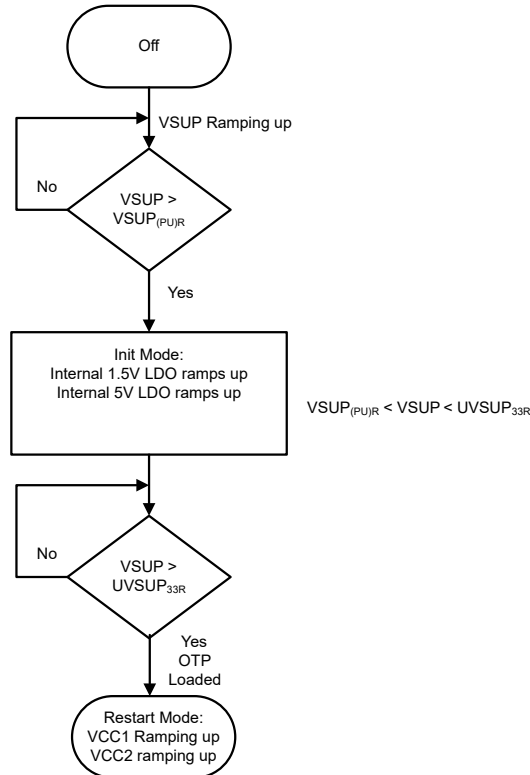


図 8-56. 初期モード

8.4.2 通常モード

SBC 通常モードは、SBC のフル機能の動作モードです。パワーアップ後、デバイスはスタンバイ モードに移行し、マイコンは SPI コマンドを使用して SBC を通常モードに移行する必要があります。SBC は、SPI コマンドを使用して、スタンバイ モードやスリープ モードなどの低消費電力モードに移行できます。

SBC 通常モードでの各種 SBC ブロックの構成とステータスについては、表 8-24 を参照してください。

8.4.3 スタンバイ モード

この SBC スタンバイ モードは、VCC1 がオンの状態になっている低消費電力モードです。最初のパワーアップ時に、デバイスは自動的にリスタート モードからスタンバイ モードに移行します。VCC1 > UVCC1_R かつ t_{RSTN_act} の時間が経過するとこの遷移が発生します。パワーアップ時に VCC2 はオンになりますが、スタンバイ モードに移行するのに UVCC2 より高くなる必要はありません。また、既存のリスタート モードの後 (ウォッチドッグまたは VCC1 フォルトによる)、デバイスはスタンバイ モードに移行します。また、マイコンは、通常モードからの SPI コマンドにより、デバイスをスタンバイ モードにすることもできます。CAN、LIN、WAKE_x ピンでのウェークアップ イベントによって割り込みが発生しますが、SBC モードの変更は発生しません。SBC スタンバイ モードでの各種 SBC ブロックの構成可能性とステータスについては、表 8-24 を参照してください。

8.4.4 リスタート モード

SBC リスタート モードでは、マイコンは nRST ピンによりリセット状態に保持されます。SBC リスタート モードには、次のような複数の理由によって移行します。

- 最初のパワーアップ時に、レギュレータが立ち上がっているため
- SBC 通常モードおよびスタンバイ モードのときに VCC1 が低電圧状態になった場合
- SBC 通常モードおよびスタンバイ モードのときに VCC1 が過電圧状態になった場合 (OVCC1_ACTION = 1b の場合)
- ウォッチドッグ故障

- SBC スリープ モードからのウェーク イベントまたはフェイルセーフ モードからの復帰

デバイスがリスタート モードに移行すると、nRST ピンは Low になります。デバイスは、 $VCC1 > UVCC1_R$ となった後 (UVCC1 が原因でリスタート モードに入った場合)、またはウォッチドッグの故障が原因の場合、少なくとも t_{RSTN_act} の間、リスタート モードに留まります。

UVCC1 または OVCC1 (OVCC1_ACTION = 0b のみ) により SBC リスタート モードに移行すると、リスタート タイマ (t_{RSTTO}) が開始されます。タイマのタイムアウト前にデバイスがリスタート モードを終了しない場合 (VCC1 フォルトをクリアすることにより)、デバイスはフェイルセーフ モードに移行します。

故障により通常モードまたはスタンバイ モードからリスタート モードに移行するたびに、フォルト カウンタ、FLT_CNTR がインクリメントされます。フォルト カウンタ (FLT_CNTR) がスレッシュホールドの FLT_CNTR_SEL に達すると、デバイスはフェイルセーフ モードに移行します。FLT_CNTR は、デバイスがフェイルセーフ モードに入るとクリアされます。FLT_CNTR_SEL はレジスタ 8'h28[7:4] でプログラム可能で、フェイルセーフ モードに遷移する前にリスタートに移行できる回数を最大 15 まで設定できます。カウンタを 0000b にプログラミングすると、カウンタを無効化できます。FLT_CNTR オーバーフローによるフェイルセーフ モードへの移行を防止するため、FLT_CNTR に Fh を書き込むことでカウンタを定期的にクリアできます。

フォルト カウンタがスレッシュホールドを超えなかった場合、またはリスタート タイマがタイムアウトしていない場合、SBC リスタート モードから、デバイスは自動的に SBC スタンバイ モードに移行します。SBC スタンバイ モードへの移行時に、nRST ピンは解放されます。

注

フォルト カウンタが無効化され、0000b に構成される場合、一定のウォッチドッグ障害のために、リスタートからスタンバイに戻るループが発生する可能性があります。

8.4.5 フェイルセーフ モード

デバイスは、特定の故障イベントが発生するとフェイルセーフ モードに移行します。

以下の理由により、デバイスはフェイルセーフ モードに移行します。

- FLT_CTR スレッシュホールドに達した場合
- VCC1 の短絡イベント
- TSD_SBC センサのサーマル シャットダウン スレッシュホールドを超過した場合
- 内部クロック監視回路が故障を検出した場合
- ABIST_ERR_ACTION = 10b および ABIST エラー フラグが設定されている場合

フェイルセーフ モードへの移行時:

- 対応するフォルト割り込みが設定され、フェイルセーフ モードへの移行理由を示すために FSM_SLP_STAT ビットが設定されます
 - 割り込みと FSM_SLP_STAT は、スタンバイ モードに復帰した後に読み出すことができます
- LIMP ピンはアクティブです
- VCC1、VCC2、VEXCC はオフになります
- HSSx はオフになります
- WAKEx ピンは、ウェーク イベントを検出するように設定されている場合、ウェーク イベントを監視します。
- FLT_CNTR がリセットされます

デバイスは t_{FS_DUR} 後にフェイルセーフ モードを終了します。ただし、TSD_SBC によりフェイルセーフ モードに移行する場合は除きます。TSD_SBC がフェイルセーフ モードへの移行をトリガした場合、温度が TSDR (サーマル シャットダウン解除) スレッシュホールドを下回ると、デバイスはフェイルセーフ モードを 1 秒後に終了します。

フェイルセーフ モードを終了した後、デバイスは以下のモードへ移行します。

- FSM_EXIT_CFG = 0b の場合は、リスタート モード

- **FSM_EXIT_CFG = 1b** の場合は、スリープ モード。フェイルセーフ モードから保留中のウェーク イベントが存在する場合、デバイスはスリープ モードを終了し、リスタート モードに移行します
 - ウェークが有効になっていない場合、フェイルセーフ モードからスリープ モードに移行したときに、**CAN** および **LIN** トランシーバがウェーク可能状態に設定されます。

リスタート モードでもフェイルセーフ モードに移行するフォルトがまだ存在する場合、デバイスは再びフェイルセーフ モードに移行します。

8.4.6 スリープ モード

SBC スリープ モードは、このデバイスの省電力モードです。スリープ モードには、スタンバイ モードまたは通常モードからの **SPI** コマンドにより移行できます。**FSM_EXIT_CFG** が **1b** に設定されている場合には、フェイルセーフ モードからスリープ モードに移行することもできます。

SPI コマンドによりスリープ モードに移行するには:

- 既存のウェーク割り込みをすべてクリアする必要があります。
- スリープ モードでは、少なくとも **1** つのウェーク ソースをオンに設定する必要があります

上記の条件が満たされない場合、デバイスはスリープ モードに入らず、**MODE_ERR** 割り込み **8'h5A[3]** を設定します。また、ウェーク割り込みをクリアせずにスリープ モードに移行しようとすると、リスタート モードを経由してデバイスがスタンバイ モードに送信されます。

本デバイスがスリープ モードに入っている間、次の条件が成立しています。

- **VCC1** はオフ
- **VCC2** は、スリープモードに移行する前に設定されていた状態に固定されます
- **VEXCC** は、スリープモードに移行する前に設定されていた状態に固定されます
- **CAN** は、構成に従ってウェーク可能状態またはオフに切り替わります
- **LIN** は、構成に従ってウェーク可能状態またはオフに切り替わります
- **WAKE** ピンは構成どおりです。
- スリープ モードで周期的センシング機能が有効になっている場合、**HSS4** または **HSS3** (**HSS4** が **WAKE** ピンとして構成されている場合) は定期的にオンになります。
- そのように構成すると、**SW** ピン **WAKE** 機能が有効になります。
- 長時間タイマ (**LDT**) は、スリープ モード用に構成されているとおりに動作します

9 デバイスのレジスタ

表 9-1 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-1. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	DEVICE_ID_29xx	デバイス部品番号	セクション 9.1
8h	REV_ID	メジャーおよびマイナーリビジョン	セクション 9.2
9h	SPI_CONFIG	SPI モード構成	セクション 9.3
Ah	CRC_CNTL	SPI CRC 制御	セクション 9.4
Bh	CRC_POLY_SET	SPI CRC 多項式をセット	セクション 9.5
Ch	SBC_CONFIG	SBC、HSS、VCC2 の選択	セクション 9.6
Dh	VREG_CONFIG1	VCC1 レギュレータを構成	セクション 9.7
Eh	SBC_CONFIG1	SBC の構成	セクション 9.8
Fh	GEN_PURPOSE_REG1	汎用レジスタの読み取りおよび書き込み	セクション 9.9
10h	CAN_CNTRL_1	CAN トランシーバ 1 制御	セクション 9.10
11h	WAKE_PIN_CONFIG1	WAKE ピン構成 1	セクション 9.11
12h	WAKE_PIN_CONFIG2	WAKE ピン構成 2	セクション 9.12
13h	WD_CONFIG_1	ウォッチドッグ構成 1	セクション 9.13
14h	WD_CONFIG_2	ウォッチドッグ構成 2	セクション 9.14
15h	WD_INPUT_TRIG	ウォッチドッグ入力トリガ	セクション 9.15
16h	WD_RST_PULSE	ウォッチドッグ出力パルス幅	セクション 9.16
17h	FSM_CONFIG	フェイルセーフモード構成	セクション 9.17
19h	DEVICE_CONFIG0	デバイスリセット	セクション 9.18
1Ah	DEVICE_CONFIG1	デバイス構成 1	セクション 9.19
1Bh	DEVICE_CONFIG2	デバイス構成 2	セクション 9.20
1Ch	LDT_TIMER	長時間タイマ	セクション 9.21
1Dh	LIN_CNTL	LIN による構成	セクション 9.22
1Eh	HSS_CNTL	ハイサイドスイッチ 1 および 2 制御	セクション 9.23
1Fh	DEVICE_CONFIG3	HSS 低消費電力イネーブルと VEXCC 負荷共有電流制限機能	セクション 9.24
20h	PWM1_CNTL1	PWM1 周波数およびデューティ サイクルの MSB ビット	セクション 9.25
21h	PWM1_CNTL2	PWM1 デューティ サイクルの LSB 8 ビット	セクション 9.26
23h	PWM2_CNTL1	PWM2 周波数およびデューティ サイクルの MSB 2 ビット	セクション 9.27
24h	PWM2_CNTL2	PWM2 デューティ サイクルの LSB 8 ビット	セクション 9.28
25h	TIMER1_CONFIG	ハイサイドスイッチタイマ 1 構成	セクション 9.29
26h	TIMER2_CONFIG	ハイサイドスイッチタイマ 2 構成	セクション 9.30
28h	FLT_CNTR	カウンタ構成を再開	セクション 9.31
29h	nRST_GFO_CNTL	nRST および GFO ピン制御	セクション 9.32
2Ah	WAKE_PIN_CONFIG3	WAKE ピンを有効にし、ウェーク イベントを発生させた WAKE ピンを報告する機能	セクション 9.33
2Bh	WAKE_PIN_CONFIG4	WAKE2 および WAKE3 のスレッシュホールドとステータス	セクション 9.34
2Dh	WD_QA_CONFIG	Q/A ウォッチドッグ構成	セクション 9.35
2Eh	WD_QA_ANSWR	Q/A 回答レジスタ	セクション 9.36
2Fh	WD_QA_QUESTION	Q/A 質問レジスタ	セクション 9.37

表 9-1. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
4Bh	ABIST_CONFIG	ABIST の構成。TCAN29xxB (ASIL-B) デバイスのバージョンにのみ適用されます。QM デバイスバージョンには適用されません	セクション 9.38
4Ch	ABIST_STATUS	ABIST の実行ステータス。TCAN29xxB (ASIL-B) デバイスのバージョンにのみ適用されます。QM デバイスバージョンには適用されません	セクション 9.39
4Dh	HSS_CNTL2	HSS3 および HSS4 の構成	セクション 9.40
4Fh	HSS_CNTL3	HSS OV/UV アクション構成と LDO ステータス ビット	セクション 9.41
50h	INT_GLOBAL	グローバル割り込みレジスタ	セクション 9.42
51h	INT_1	割り込み 1	セクション 9.43
52h	INT_2	割り込み 2	セクション 9.44
53h	INT_3	割り込み 3	セクション 9.45
54h	INT_CANBUS_1	CAN 割り込み	セクション 9.46
55h	INT_7	割り込み 7	セクション 9.47
56h	INT_EN_1	INT_1 のマスキング ビット	セクション 9.48
57h	INT_EN_2	INT_2 のマスキング ビット	セクション 9.49
58h	INT_EN_3	INT_3 のマスキング ビット	セクション 9.50
59h	INT_EN_CANBUS_1	INT_CANBUS_1 のマスキング ビット	セクション 9.51
5Ah	INT_4	割り込み 4	セクション 9.52
5Bh	INT_5	割り込み 5	セクション 9.53
5Ch	INT_6	割り込み 6	セクション 9.54
5Eh	INT_EN_4	INT_4 のマスキング ビット	セクション 9.55
5Fh	INT_EN_5	INT_5 のマスキング ビット	セクション 9.56
60h	INT_EN_6	INT_6 のマスキング ビット	セクション 9.57
62h	INT_EN_7	INT_7 のマスキング ビット	セクション 9.58
63h	INT_BIST1	ABIST 関連割り込み	セクション 9.59
64h	INT_BIST2	ABIST 関連割り込み	セクション 9.60
75h	GEN_PURPOSE_REG2		セクション 9.61
76h	GEN_PURPOSE_REG3		セクション 9.62
77h	GEN_PURPOSE_REG4		セクション 9.63
78h	ID_PIN_STATUS	ハードウェア ID の WAKE ピン接続ステータス ビット	セクション 9.64
79h	WAKE_ID_CONFIG1	WAKE1-2 のハードウェア ID 機能を有効化	セクション 9.65
7Ah	WAKE_ID_CONFIG2	WAKE3 のハードウェア ID 機能を有効化	セクション 9.66
7Bh	WAKE_PIN_CONFIG5		セクション 9.67

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り

表 9-2. デバイスのアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
書き込みタイプ		
W	W	書き込み
W0C	W 0C	書き込み 0 でクリア
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1 DEVICE_ID_29xx レジスタ (オフセット = 0h) [リセット = 00h]

図 9-1 に、DEVICE_ID_29xx を示し、表 9-3 に、その説明を示します。

概略表に戻ります。

デバイス型番。オフセット = 0h + y (ただし、y = 0h ~ 7h)

図 9-1. DEVICE_ID_29xx レジスタ

7	6	5	4	3	2	1	0
DEVICE_ID							
R-00000000b							

表 9-3. DEVICE_ID_29xx レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEVICE_ID	R	00000000b	DEVICE_ID[1:8] レジスタは、デバイスの型番を決定します。 各 DEVICE_ID レジスタのリセット値と値は、対応するレジスタ アドレスに記載されています アドレス 00h = 43h = C アドレス 01h = 32h = 2 アドレス 02h = 39h = 9 アドレス 03h = 34h = 4 (TCAN294xx-Q1) (SIC 以外) アドレス 03h = 35h = 5 (TCAN295xx-Q1) (SIC) アドレス 04h = 35h = TCAN29x5x-Q1 (LIN 非搭載) の場合は 5 アドレス 04h = 37h = TCAN29x7x-Q1 (LIN 搭載) の場合は 7 アドレス 05h = 33h = TCAN29xx3-Q1 (3.3V) の場合は 3 アドレス 05h = 35h = TCAN29xx5-Q1 (5V) の場合は 5 アドレス 06h = 42h = TCAN29xxxB-Q1 (ASIL-B) の場合は B アドレス 06h = 4Dh = TCAN29xxxM-Q1 (QM) の場合は M アドレス 07h = RSVD

9.2 REV_ID レジスタ (オフセット = 8h) [リセット = 1Xh]

REV_ID を図 9-2 に示します。説明については、表 9-4 を参照してください。

概略表に戻ります。

図 9-2. REV_ID レジスタ

7	6	5	4	3	2	1	0
Major_Revision				Minor_Revision			
RH-0001b				RH-xxxxb			

表 9-4. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	Major_Revision	RH	0001b	メジャー ダイリビジョンは完全な層のリビジョンを示します。1h は元のリビジョンを示します。 0001b = 1
3-0	Minor_Revision	RH	xxxxb	金属層のリビジョンを示すマイナー ダイリビジョン 0000b = 0 0001b = 1

9.3 SPI_CONFIG レジスタ (オフセット = 9h) [リセット = 00h]

図 9-3 に SPI_CONFIG を示し、表 9-5 に、その説明を示します。

概略表に戻ります。

図 9-3. SPI_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み				BYTE_CNT	SDI_POL	SPI_MODE	
R-0b				R/W-0b	R/W-0b	R/W-00b	

表 9-5. SPI_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0b	予約済み
3	BYTE_CNT	R/W	0b	読み取りまたは書き込み動作のデータ バイト数を選択します。2 バイト構成では、SPI CRC は使用できないことに注意します 0b = 1 バイト 1b = 2 バイト
2	SDI_POL	R/W	0b	SDI 入力ピンのアイドル時の極性を、内部プルアップまたはプルダウン抵抗の設定によって選択します 0b = プルダウン 1b = プルアップ
1-0	SPI_MODE	R/W	00b	SPI モードを構成します 00b = モード 0 (CPOL は 0, CPHA は 0) 01b = モード 1 (CPOL は 0, CPHA は 1) 10b = モード 2 (CPOL は 1, CPHA は 0) 11b = モード 3 (CPOL は 1, CPHA は 1)

9.4 CRC_CNTL レジスタ (オフセット = Ah) [リセット = 00h]

図 9-4 に CRC_CNTL を示し、表 9-6 にその説明を示します。

概略表に戻ります。

図 9-4. CRC_CNTL レジスタ

7	6	5	4	3	2	1	0
予約済み							CRC_EN
R-0b							R/W-0b

表 9-6. CRC_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済み
0	CRC_EN	R/W	0b	SPI CRC 8 の制御。 注: SPI 2 バイト モードでは CRC を有効にできません (BYTE_CNT = 1b の場合、ビットは常に 0b に設定されます) 0b = 無効化 1b = イネーブル

9.5 CRC_POLY_SET レジスタ (オフセット = Bh) [リセット = 00h]

図 9-5 に CRC_POLY_SET は示され、表 9-7 でその説明を示します。

概略表に戻ります。

図 9-5. CRC_POLY_SET レジスタ

7	6	5	4	3	2	1	0
予約済み							POLY_8_SET
R-0b							R/W-0b

表 9-7. CRC_POLY_SET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済み
0	POLY_8_SET	R/W	0b	CRC の 8 ビット多項式を設定します。 0b = $X^8 + X^5 + X^3 + X^2 + X + 1$ (0x2F) 1b = $X^8 + X^4 + X^3 + X^2 + 1$ (0x1D SAE J1850)

9.6 SBC_CONFIG レジスタ (オフセット = Ch) [リセット = 06h]

図 9-6 に SBC_CONFIG を示し、表 9-8 に、その説明を示します。

概略表に戻ります。

図 9-6. SBC_CONFIG レジスタ

7	6	5	4	3	2	1	0
VCC1_OV_SEL	VEXCC_ILIM_DIS	PWM_SEL	予約済み	SBC_MODE_SEL		VCC2_CFG	
R/W-0b	R/W-0b	R/W-0b	R-0b	RH/W-01b		R/W-10b	

表 9-8. SBC_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VCC1_OV_SEL	R/W	0b	OVCC1 スレッシュホールド選択ビット 0b = 下限スレッシュホールド 1b = 上側スレッシュホールド
6	VEXCC_ILIM_DIS	R/W	0b	VEXCC 電流制限 ディスエーブル 0b = イネーブル 1b = ディスエーブル
5	PWM_SEL	R/W	0b	プログラミングのために選択する PWM を決定します 0b = PWM1 および PWM2 1b = PWM3 および PWM4
4	予約済み	R	0b	予約済み
3-2	SBC_MODE_SEL	RH/W	01b	SBC のモードを決定します 00b = スリープ 01b = スタンバイ 10b = 通常 11b = 予約済み
1-0	VCC2_CFG	R/W	10b	VCC2 電圧レギュレータ構成 00b = すべての SBC モードで VCC2 オフ 01b = フェイルセーフ以外のすべての SBC モードで VCC2 がオン 10b = スリープとフェイルセーフ以外のすべての SBC モードで VCC2 がオン 11b = 予約済み

9.7 VREG_CONFIG1 レジスタ (オフセット = Dh) [リセット = 00h]

図 9-7 に、VREG_CONFIG1 を示し、表 9-9 に、その説明を示します。

概略表に戻ります。

図 9-7. VREG_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
予約済み		VEXT_CFG		VCC1_SINK	VEXT_V_CFG		
R-0b		R/W-00b		R/W-0b	R/W-000b		

表 9-9. VREG_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済み
5-4	VEXT_CFG	R/W	00b	VEXCC 外付け PNP 構成 00b = すべての SBC モードでオフ 01b = フェイルセーフ モードを除くすべての SBC モードでオン 10b = スリープおよびフェイルセーフ モードを除くすべての SBC モードでオン 11b = RSVD
3	VCC1_SINK	R/W	0b	VCC1 電流シンク強度の選択 0b = 10μA 1b = 1000μA
2-0	VEXT_V_CFG	R/W	000b	外付け PNP 電圧制御 000b = 1.8 V 001b = 2.5 V 010b = 3.3 V 011b = 5 V 100b = 負荷共有

9.8 SBC_CONFIG1 レジスタ (オフセット = Eh) [リセット = 01h]

図 9-8 に、SBC_CONFIG1 を示し、表 9-10 に、その説明を示します。

概略表に戻ります。

図 9-8. SBC_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	UVCC1_SEL		予約済み	SW_WAKE_EN	SW_POL_SEL
R-0b	R-0b	R-0b	R/W-00b		R-0b	R/W-0b	R/W-1b

表 9-10. SBC_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	予約済み	R	0b	予約済み
5	予約済み	R	0b	予約済み
4-3	UVCC1_SEL	R/W	00b	VCC1 低電圧スレッシュホールドの選択 00b = スレッシュホールド 1 01b = スレッシュホールド 2 10b = スレッシュホールド 3 11b = スレッシュホールド 4
2	予約済み	R	0b	予約済み
1	SW_WAKE_EN	R/W	0b	SW ピンをデジタル ウェークアップ ピンとして使えるようにします 0b=ディセーブル 1b = イネーブル
0	SW_POL_SEL	R/W	1b	SW ピンの極性選択 0b = アクティブ Low 1b = アクティブ High

9.9 GEN_PURPOSE_REG1 レジスタ (オフセット= Fh) [リセット= 00h]

図 9-9 に、GEN_PURPOSE_REG1 を示し、表 9-11 に、その説明を示します。

概略表に戻ります。

図 9-9. GEN_PURPOSE_REG1 レジスタ

7	6	5	4	3	2	1	0
GEN_PURPOSE_REG1							
R/W-00000000b							

表 9-11. GEN_PURPOSE_REG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GEN_PURPOSE_REG1	R/W	00000000b	汎用 Register1。一般的な情報を保存するか、SPI 通信をテストします

9.10 CAN_CNTRL_1 レジスタ (オフセット = 10h) [リセット = 04h]

図 9-10 に、CAN_CNTRL_1 を示し、表 9-12 に、その説明を示します。

概略表に戻ります。

図 9-10. CAN_CNTRL_1 レジスタ

7	6	5	4	3	2	1	0
RSVD	TXD_DTO_DIS	CAN_FAULT_DET_EN	CAN_WUP_PATTERN	予約済み	CAN1_TRX_SEL		
R-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-100b		

表 9-12. CAN_CNTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み 0b=ディセーブル 1b = イネーブル
6	TXD_DTO_DIS	R/W	0b	CAN TXD ドミナント タイムアウトの無効化制御 0b = イネーブル 1b=ディセーブル
5	CAN_FAULT_DET_EN	R/W	0b	CAN バス フォルト検出イネーブル 0b=ディセーブル 1b = イネーブル
4	CAN_WUP_PATTERN	R/W	0b	CAN スタイルまたは CAN-XL スタイル WUP を決定します 0b = D/R/D 1b = D/R/D/R (XL)
3	予約済み	R	0b	予約済み
2-0	CAN1_TRX_SEL	R/W	100b	CAN トランシーバ制御 000b = オフ 001b = 予約済み 010b = SBC モード制御の WUP が無効 011b = 予約済み 100b = ウェーク機能あり 101b = リスス 110b = SBC モード制御 111b = オン

9.11 WAKE_PIN_CONFIG1 レジスタ (オフセット = 11h) [リセット = 00h]

図 9-11 に、WAKE_PIN_CONFIG1 を示し、表 9-13 に、その説明を示します。

概略表に戻ります。

図 9-11. WAKE_PIN_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
WAKE_CONFIG		WAKE1_STAT	WAKE_VBAT_MON	予約済み		予約済み	
R/W-00b		RH-0b	R/W-0b	R-0b		R-0b	

表 9-13. WAKE_PIN_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WAKE_CONFIG	R/W	00b	WAKE ピンの構成。注:パルスにはさらにプログラミングが必要です 00b = 双方向 - どちらかのエッジ 01b = 立ち上がりエッジ 10b = 立ち下がりエッジ 11b = 予約済み
5	WAKE1_STAT	RH	0b	WAKE1 ピンのステータスを示します。 0b = Low 1b = High
4	WAKE_VBAT_MON	R/W	0b	VBAT 監視機能を有効にすると WAKE1 と WAKE2 間のスイッチが閉じます。 br# 注:WAKE_VBAT_MON がオンの場合、WAKE1 および WAKE2 をローカルウェーク入力ピンとして使用できません。 0b = オフ (デフォルト) 1b = オン
3-2	予約済み	R	0b	予約済み
1-0	予約済み	R	0b	予約済み

9.12 WAKE_PIN_CONFIG2 レジスタ (オフセット = 12h) [リセット = 02h]

図 9-12 に、WAKE_PIN_CONFIG2 を示し、表 9-14 に、その説明を示します。

概略表に戻ります。

図 9-12. WAKE_PIN_CONFIG2 レジスタ

7	6	5	4	3	2	1	0
予約済み	WAKE1_SENSE/ OV_WAKE12SW_DIS	TWK_CYC_SET	nINT_SEL		RXD_WK_CONFIG		WAKE1_LEVEL
R-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b		R/W-10b

表 9-14. WAKE_PIN_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	WAKE1_SENSE/ OV_WAKE12SW_DIS	R/W	0b	このビットは、WAKE_VBAT_MON ビットの構成方法により決定されるデュアル機能ビットです: WAKE_VBAT_MON = 0b のとき、ビットは WAKE1_SENSE で、静的またはサイクリックのウェーク用に WAKE1 ピンを構成します 0b = 静的 1b = サイクリック WAKE_VBAT_MON = 1b の場合、このビットは OV_WAKE12SW_DIS となり、OVHSS 状態において WAKE1 ピンと WAKE2 ピン間の内部スイッチを有効 / 無効にするために使用されます 0b = OVHSS によりスイッチが無効になり、電圧が OVHSS スレッシュホールドを下回ると再び有効になります。1b = OVHSS 状態でもスイッチは有効のままです 0b = OVHSS により静的 / WAKE12 スwitchは無効 1b = OVHSS 下でサイクリック / WAKE12 スwitchは有効のまま
5	TWK_CYC_SET	R/W	0b	すべての WAKE ピンに対して、周期的センシングで WAKE ピンの状態を判定するための tWK_CYC 時間(μs)を設定します 0b = 35μs 1b = 100μs
4-3	nINT_SEL	R/W	00b	nINT 構成の選択 00b = グローバル割り込み 01b = ウォッチドッグ故障出力 10b = バス故障の割り込み 11b = ウェークアップ要求
2	RXD_WK_CONFIG	R/W	0b	ウェーク イベント時の RXD ピンの動作を設定します 0b = Low にプル 1b = トグル
1-0	WAKE1_LEVEL	R/W	10b	WAKE1 ピンの入力スレッシュホールドを設定します。 00b = 予約済み 01b = 2.5 V 10b = 4 V 11b = 6 V

9.13 WD_CONFIG_1 レジスタ (オフセット = 13h) [リセット = 82h]

図 9-13 に、WD_CONFIG_1 を示し、表 9-15 に、その説明を示します。

概略表に戻ります。

図 9-13. WD_CONFIG_1 レジスタ

7	6	5	4	3	2	1	0
WD_CONFIG		WD_PRE		WD_STBY_EN _ON_WK	WD_STBY_TY PE	WD_LW_SEL	
R/W-10b		R/W-00b		R/W-0b	R/W-0b	R/W-10b	

表 9-15. WD_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_CONFIG	R/W	10b	ウォッチドッグ構成 00b=ディセーブル 01b = タイムアウト 10b = ウィンドウ 11b = Q&A
5-4	WD_PRE	R/W	00b	ウォッチドッグ プリスケール 00b = 係数 1 01b = 係数 2 10b = 係数 3 11b = 係数 4
3	WD_STBY_EN_ON_WK	R/W	0b	ウェーク イベント時に、ウォッチドッグをスタンバイ モードで有効にします (WD がスタンバイ モードで無効の場合)。WD はロング ウィンドウから開始し、WD_STBY_TYPE ごとにプログラムされたウォッチドッグに切り替わります
2	WD_STBY_TYPE	R/W	0b	有効な場合、スタンバイ モードで使用するウォッチドッグの種類を選択します 0b = タイムアウト 1b = ノーマル モードのウォッチドッグの種類に合わせます
1-0	WD_LW_SEL	R/W	10b	スタンバイ モードでのロング ウィンドウ期間を選択します。 00b = 150ms 01b = 300ms 10b = 600ms (デフォルト) 11b = 1000ms

9.14 WD_CONFIG_2 レジスタ (オフセット = 14h) [リセット = 60h]

図 9-14 に、WD_CONFIG_2 を示し、表 9-16 に、その説明を示します。

概略表に戻ります。

図 9-14. WD_CONFIG_2 レジスタ

7	6	5	4	3	2	1	0
WD_TIMER			WD_ERR_CNT			WD_STBY_DIS	
R/W-011b			RH-0000b			R/W-0b	

表 9-16. WD_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	WD_TIMER	R/W	011b	WD_PRE 設定に基づいてウィンドウ時間またはタイムアウト時間を設定します。詳細は WD_TIMER 表を参照してください
4-1	WD_ERR_CNT	RH	0000b	ウォッチドッグ エラー カウンタが最大 15 個のエラーを実行
0	WD_STBY_DIS	R/W	0b	スタンバイ モードでウォッチドッグを無効にします。 0b = イネーブル 1b = ディセーブル

9.15 WD_INPUT_TRIG レジスタ (オフセット = 15h) [リセット = 00h]

図 9-15 に WD_INPUT_TRIG を示し、表 9-17 に説明を示します。

概略表に戻ります。

図 9-15. WD_INPUT_TRIG レジスタ

7	6	5	4	3	2	1	0
WD_INPUT							
R/W1C-00000000b							

表 9-17. WD_INPUT_TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_INPUT	R/W1C	00000000b	適切なタイミングで WD をトリガするには、FFh を書き込みます

9.16 WD_RST_PULSE レジスタ (オフセット = 16h) [リセット = 00h]

図 9-16 に WD_RST_PULSE を示し、表 9-18 にその説明を示します。

概略表に戻ります。

図 9-16. WD_RST_PULSE レジスタ

7	6	5	4	3	2	1	0
WD_ERR_CNT_SET				FLT_CNTR			
R/W-0000b				RH/W1C-0000b			

表 9-18. WD_RST_PULSE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	WD_ERR_CNT_SET	R/W	0000b	オーバーフロー時にウォッチドッグ出力とアクションがトリガーされるウォッチドッグ イベント エラーカウンタを設定します
3-0	FLT_CNTR	RH/W1C	0000b	故障によってデバイスがリスタート モードに移行した回数を示し、FLT_CNTR_SEL 値に達する前にクリアすることができます。フェイルセーフ モードに移行するとき、または FLT_CNTR_SEL 値が変更されたときに、カウンタはクリアされます

9.17 FSM_CONFIG レジスタ (オフセット = 17h) [リセット = 10h]

図 9-17 に FSM_CONFIG を示し、表 9-19 にその説明を示します。

概略表に戻ります。

図 9-17. FSM_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み			OVCC1_ACTION	FSM_SLP_STAT		FSM_EXIT_CFG	
R-0b			R/W-1b	RH-000b		R/W-0b	

表 9-19. FSM_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済み
4	OVCC1_ACTION	R/W	1b	OVCC1 イベントが発生した場合に実行するアクション。OVCC1 割り込みが設定されます。 0b = LIMP ピンはアクティブです。SBC モードの変更なし 1b = リスタート モードに移行し、FLT_CNTR をインクリメントし、LIMP ピンをアクティブにします
3-1	FSM_SLP_STAT	RH	000b	フェイルセーフ モードまたはスリープ モードに移行する理由 000b = ステータス クリア 001b = サーマル シャットダウン イベント 010b = ABIST 失敗 (ASIL-B バージョンのデバイスのみ) 011b = VCC1 故障 100b = OTP CRC エラー (ASIL-B のみ) 101b = OSC チェック失敗 110b = 予約済み 111b = フォルト カウンタ超過。これらの値は、FSM_CNTR_STAT に oh を書き込んでクリアされるまで保持されます
0	FSM_EXIT_CFG	R/W	0b	フェイルセーフ モードの解除方法を設定します 0b = tFS_DUR 後に自動的にリスタート モードへ移行 1b = tFS_DUR 後に自動的にスリープ モードへ移行

9.18 DEVICE_CONFIG0 レジスタ (オフセット = 19h) [リセット = 00h]

図 9-18 に、DEVICE_CONFIG0 を示し、表 9-20 に、その説明を示します。

概略表に戻ります。

図 9-18. DEVICE_CONFIG0 レジスタ

7	6	5	4	3	2	1	0
NVM_REV				予約済み		SF_RST	HD_RST
R-0000b				R-0b		R/W1C-0b	R/W1C-0b

表 9-20. DEVICE_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	NVM_REV	R	0000b	内部 NVM リビジョン
3-2	予約済み	R	0b	予約済み
1	SF_RST	R/W1C	0b	ソフトリセット: 1 を書き込むとソフトリセットが実行されます。レギュレータをオンにしたまま、デバイスのレジスタはデフォルト値に戻ります。nRST ピンにはリセットは生成されません POR ビットはソフトリセットによってもクリアされます。
0	HD_RST	R/W1C	0b	ハードリセット: 1 を書き込むとパワーオン リセットが強制されます。これにより、PWRON 割り込みフラグが設定されます。リセットは nRST ピンで生成されます。

9.19 DEVICE_CONFIG1 レジスタ (オフセット = 1Ah) [リセット = 00h]

図 9-19 に、DEVICE_CONFIG1 を示し、表 9-21 に、その説明を示します。

概略表に戻ります。

図 9-19. DEVICE_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
予約済み	LIMP_RD_EN	LIMP_STATE	予約済み	LIMP_SEL_RESET	LIMP_RESET	予約済み	
R-0b	R/W-0b	RH-0b	R-0b	R/W-00b	R/W1C-0b	R-0b	

表 9-21. DEVICE_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	LIMP_RD_EN	R/W	0b	LIMP ピンのリード バック バッファを有効にして LIMP ピンのステータスを提供し、LIMP_STATE に反映します 0b = ディセーブル 1b = イネーブル
5	LIMP_STATE	RH	0b	LIMP ピンの状態を読み戻し 0b = 非アクティブ 1b = アクティブ
4	予約済み	R	0b	予約済み
3-2	LIMP_SEL_RESET	R/W	00b	LIMP をリセット / オフにする方法を選択します 00b = 3 回目の正常な入力トリガーされると、エラー カウンタが受信します 01b = 最初の正しい入力トリガ 10b = 予約済み 11b = 予約済み
1	LIMP_RESET	R/W1C	0b	LIMP リセット
0	予約済み	R	0b	予約済み

9.20 DEVICE_CONFIG2 レジスタ (オフセット = 1Bh) [リセット = 00h]

図 9-20 に、DEVICE_CONFIG2 を示し、表 9-22 に、その説明を示します。

概略表に戻ります。

図 9-20. DEVICE_CONFIG2 レジスタ

7	6	5	4	3	2	1	0
予約済み						予約済み	nINT_TOG_EN
R-0b						R-0b	R/W-0b

表 9-22. DEVICE_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0b	予約済み
1	予約済み	R	0b	予約済み
0	nINT_TOG_EN	R/W	0b	割り込み時に Low にラッチされずに、nINT ピンのトグルを有効化 0b=ディセーブル 1b = イネーブル

9.21 LDT_TIMER レジスタ (オフセット = 1Ch) [リセット = 28h]

LDT_TIMER は図 9-21 に示されており、表 9-23 で説明されています。

概略表に戻ります。

図 9-21. LDT_TIMER レジスタ

7	6	5	4	3	2	1	0
LDT_EN	LDT_TIMER_SET				LDT_FUNCTION		予約済み
R/W-0b	R/W-0101b				R/W-00b		R-0b

表 9-23. LDT_TIMER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LDT_EN	R/W	0b	長時間タイマを有効にします。タイマの満了後、デバイスはスリープ状態に移行します。 0b = ディセーブル 1b = イネーブル
6-3	LDT_TIMER_SET	R/W	0101b	長時間の時間を設定します 0000b = 5s 0001b = 10s 0010b = 30s 0011b = 1m 0100b = 15m 0101b = 30m 0110b = 1h 0111b = 2h 1000b = 6h 1001b = 12h 1010b = 1d 1011b = 2d 1100b = 3d 1101b = 4d 1110b = 5d 1111b = 7d
2-1	LDT_FUNCTION	R/W	00b	LDT が満了になったときに実行するアクションを設定します 00b = 割り込みのみを設定します。モード変更なし 01b = LDT 満了後、スリープ モードに移行します 10b = SPI 経由で SBC がスリープ モードに移行すると LDT が開始され、LDT の満了後にスリープ モードからウェイクアップします。 11b = 現在のモードで LDT タイマを開始し、LDT の満了時にスリープ モードに移行します。LDT タイマをスリープ モードで起動し、LDT が再度満了するとスリープ モードからウェイクアップします
0	予約済み	R	0b	予約済み

9.22 LIN_CNTL レジスタ (オフセット = 1Dh) [リセット = 20h]

図 9-22 に LIN_CNTL を示し、表 9-24 に、その説明を示します。

概略表に戻ります。

図 9-22. LIN_CNTL レジスタ

7	6	5	4	3	2	1	0
LIN_TRX_CNTRL			LIN1_TXD_DT O_DIS	予約済み			
RH/W-001b			R/W-0b	R-0b			

表 9-24. LIN_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	LIN_TRX_CNTRL	RH/W	001b	LIN トランシーバ制御 000b = オフ 001b = ウェーク機能あり 010b = オン 011b = 高速 100b = リスス 101b = SBC モード制御 110b = 予約済み 111b = 予約済み
4	LIN1_TXD_DT O_DIS	R/W	0b	LIN LTXD1 ドミナント状態タイムアウトが無効化 0b = イネーブル 1b = ディセーブル
3-0	予約済み	R	0b	予約済み

9.23 HSS_CNTL レジスタ (オフセット = 1Eh) [リセット = 00h]

図 9-23 に HSS_CNTL を示し、表 9-25 にその説明を示します。

概略表に戻ります。

図 9-23. HSS_CNTL レジスタ

7	6	5	4	3	2	1	0
HSS1_CNTL				HSS2_CNTL			
R/W-0000b				R/W-0000b			

表 9-25. HSS_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	HSS1_CNTL	R/W	0000b	ハイサイド スイッチ 1 の制御。 0000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定付きの直接駆動 1001b = スルーレート設定が高速な直接駆動
3-0	HSS2_CNTL	R/W	0000b	ハイサイド スイッチ 2 の制御。 0000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定付きの直接駆動 1001b = スルーレート設定が高速な直接駆動

9.24 DEVICE_CONFIG3 レジスタ (オフセット = 1Fh) [リセット = 00h]

図 9-24 に、DEVICE_CONFIG3 を示し、表 9-26 に、その説明を示します。

概略表に戻ります。

図 9-24. DEVICE_CONFIG3 レジスタ

7	6	5	4	3	2	1	0
HSS4_LP_EN	HSS3_LP_EN	HSS2_LP_EN	HSS1_LP_EN	VEXCC_VCC1_LOAD_RATIO		予約済み	
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-000b		R-0b	

表 9-26. DEVICE_CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSS4_LP_EN	R/W	0b	HSS4 の低消費電力モードを設定します。注:低消費電力モードでは、過電流および開放負荷検出は使用できません。これらの故障をチェックするため、低消費電力モードをオンにする前に通常モードで HSS をオンにすることを推奨します。 0b = 低消費電力モードが無効 1b = 低消費電力モードが有効
6	HSS3_LP_EN	R/W	0b	HSS3 の低消費電力モードを構成します注:低消費電力モードでは、過電流および開放負荷検出は使用できません。これらの故障をチェックするため、低消費電力モードをオンにする前に通常モードで HSS をオンにすることを推奨します。 0b = 低消費電力モードが無効 1b = 低消費電力モードが有効
5	HSS2_LP_EN	R/W	0b	HSS2 の低消費電力モードを構成します注:低消費電力モードでは、過電流および開放負荷検出は使用できません。これらの故障をチェックするため、低消費電力モードをオンにする前に通常モードで HSS をオンにすることを推奨します。 0b = 低消費電力モードが無効 1b = 低消費電力モードが有効
4	HSS1_LP_EN	R/W	0b	HSS1 の低消費電力モードを構成します注:低消費電力モードでは、過電流および開放負荷検出は使用できません。これらの故障をチェックするため、低消費電力モードをオンにする前に通常モードで HSS をオンにすることを推奨します。 0b = 低消費電力モードが無効 1b = 低消費電力モードが有効
3-1	VEXCC_VCC1_LOAD_RATIO	R/W	000b	外付けセンス抵抗値に基づいて、負荷共有比 VEXCC/VCC1 を設定します。比と外付け抵抗値の関係については、参照テーブルを参照してください 000b = 比率 1 001b = 比率 2 010b = 比率 3 011b = 比率 4 100b = 比率 5 101b = 比率 6 110b = 比率 7 111b = 比率 8
0	予約済み	R	0b	予約済み

9.25 PWM1_CNTL1 レジスタ (オフセット = 20h) [リセット = 00h]

図 9-25 に、PWM1_CNTL1 を示し、表 9-27 に、その説明を示します。

概略表に戻ります。

図 9-25. PWM1_CNTL1 レジスタ

7	6	5	4	3	2	1	0
PWM1_FREQ	予約済み					PWM1_DC_MSB	
R/W-0b	R-0b					R/W-00b	

表 9-27. PWM1_CNTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWM1_FREQ	R/W	0b	PWM1 周波数 (Hz) を選択します 0b = 200 1b = 400
6-2	予約済み	R	0b	予約済み
1-0	PWM1_DC_MSB	R/W	00b	10 ビット PWM1 デューティサイクル選択用の最上位 2 ビット。'h21[7:0] との動作 00b = 'h21[7:0] と併用する場合は 100% オフ 11b = h21[7:0] と併用する場合は 100% オン

9.26 PWM1_CNTL2 レジスタ (オフセット = 21h) [リセット = 00h]

図 9-26 に、PWM1_CNTL2 を示し、表 9-28 に、その説明を示します。

概略表に戻ります。

図 9-26. PWM1_CNTL2 レジスタ

7	6	5	4	3	2	1	0
PWM1_DC							
R/W-00000000b							

表 9-28. PWM1_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PWM1_DC	R/W	00000000b	10 ビット PWM1 のデューティ サイクル選択用にビット 7～0 を使用。'h20[1:0] との動作

9.27 PWM2_CNTL1 レジスタ (オフセット = 23h) [リセット = 00h]

図 9-27 に、PWM2_CNTL1 を示し、表 9-29 に、その説明を示します。

概略表に戻ります。

図 9-27. PWM2_CNTL1 レジスタ

7	6	5	4	3	2	1	0
PWM2_FREQ	予約済み					PWM2_DC_MSB	
R/W-0b	R-0b					R/W-00b	

表 9-29. PWM2_CNTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWM2_FREQ	R/W	0b	PWM2 周波数 (Hz) を選択します 0b = 200 1b = 400
6-2	予約済み	R	0b	予約済み
1-0	PWM2_DC_MSB	R/W	00b	10 ビット PWM2 デューティサイクル選択用の最上位 2 ビット。'h24[7:0] との動作 00b = 'h24[7:0] と併用する場合は 100% オフ 11b = 'h24[7:0] と併用する場合は 100% オン

9.28 PWM2_CNTL2 レジスタ (オフセット = 24h) [リセット = 00h]

図 9-28 に、PWM2_CNTL2 を示し、表 9-30 に、その説明を示します。

概略表に戻ります。

図 9-28. PWM2_CNTL2 レジスタ

7	6	5	4	3	2	1	0
PWM2_DC							
R/W-00000000b							

表 9-30. PWM2_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PWM2_DC	R/W	00000000b	10 ビット PWM2 のデューティ サイクル選択用にビット 7～0 を使用。'h23[1:0] との動作

9.29 TIMER1_CONFIG レジスタ (オフセット = 25h) [リセット = 00h]

図 9-29 に、TIMER1_CONFIG を示し、表 9-31 に、その説明を示します。

概略表に戻ります。

図 9-29. TIMER1_CONFIG レジスタ

7	6	5	4	3	2	1	0
TIMER1_ON_WIDTH				TIMER1_CYC_WK_EN	TIMER1_PERIOD		
R/W-0000b				R/W-0b	R/W-000b		

表 9-31. TIMER1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TIMER1_ON_WIDTH	R/W	0000b	タイマ 1 のハイサイド スイッチのオン時間 (ms) を設定します 0000b = オフ (HSS は高インピーダンス) 0001b = 0.1 0010b = 0.3 0011b = 0.5 0100b = 1 0101b = 10 0110b = 20 0111b = 30 1000b = 40 1001b = 50 1010b = 60 1011b = 80 1100b = 100 1101b = 150 1110b = 200 1111b = 予約済み
3	TIMER1_CYC_WK_EN	R/W	0b	タイマ 1 を使用した周期ウェイクを有効にします 0b = ディセーブル 1b = イネーブル
2-0	TIMER1_PERIOD	R/W	000b	タイマ 1 のタイマ期間 (ms) を設定します 000b = 10 001b = 20 010b = 50 011b = 100 100b = 200 101b = 500 110b = 1000 111b = 2000

9.30 TIMER2_CONFIG レジスタ (オフセット = 26h) [リセット = 00h]

図 9-30 に、TIMER2_CONFIG を示し、表 9-32 に、その説明を示します。

概略表に戻ります。

図 9-30. TIMER2_CONFIG レジスタ

7	6	5	4	3	2	1	0
TIMER2_ON_WIDTH				TIMER2_CYC_WK_EN	TIMER2_PERIOD		
R/W-0000b				R/W-0b	R/W-000b		

表 9-32. TIMER2_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TIMER2_ON_WIDTH	R/W	0000b	タイマ 2 のハイサイド スイッチのオン時間 (ms) を設定します 0000b = オフ (HSS は高インピーダンス) 0001b = 0.1 0010b = 0.3 0011b = 0.5 0100b = 1 0101b = 10 0110b = 20 0111b = 30 1000b = 40 1001b = 50 1010b = 60 1011b = 80 1100b = 100 1101b = 150 1110b = 200 1111b = 予約済み
3	TIMER2_CYC_WK_EN	R/W	0b	タイマ 2 を使用した周期ウェイクを有効にします 0b = ディセーブル 1b = イネーブル
2-0	TIMER2_PERIOD	R/W	000b	タイマ 2 のタイマ期間 (ms) を設定します 000b = 10 001b = 20 010b = 50 011b = 100 100b = 200 101b = 500 110b = 1000 111b = 2000

9.31 FLT_CNTR レジスタ (オフセット = 28h) [リセット = 00h]

図 9-31 に FLT_CNTR を示し、表 9-33 に、その説明を示します。

概略表に戻ります。

図 9-31. FLT_CNTR レジスタ

7	6	5	4	3	2	1	0
FLT_CNTR_SEL				予約済み			
R/W-0000b				R-0b			

表 9-33. FLT_CNTR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FLT_CNTR_SEL	R/W	0000b	デバイスがフェイルセーフ モードに移行する前に、デバイスがリスタート モードに移行できる回数、0 ~ 15 を選択します。注:ここで 0h を書き込むと、フォルト カウンタは無効化されます。デバイスは、リスタート エントリの根本原因が解消されるまで、リスタート モードとスタンバイ モードの間を移行します (WD フェイルまたは UV/OVCC1)
3-0	予約済み	R	0b	予約済み

9.32 nRST_GFO_CNTL レジスタ (オフセット = 29h) [リセット = 0Ch]

図 9-32 に nRST_GFO_CNTL を示し、表 9-34 にその説明を示します。

概略表に戻ります。

図 9-32. nRST_GFO_CNTL レジスタ

7	6	5	4	3	2	1	0
予約済み		nRST_PULSE_WIDTH	GFO_POL_SEL	GFO_SEL			予約済み
R-0b		R/W-0b	R/W-0b	R/W-110b			R-0b

表 9-34. nRST_GFO_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済み
5	nRST_PULSE_WIDTH	R/W	0b	WD 故障によってデバイスが再起動モードに入る場合、または VCC1 が UVCC1 スレッシュホールドをクリアした後の nRST リリース遅延の場合に、nRST のパルス幅を設定します 0b = 2ms 1b = 1ms
4	GFO_POL_SEL	R/W	0b	GFO ピンの極性を選択します 注: 8'h29[3:1] = 110b の場合、このビットが GFO 出力の状態を決定します 0b = アクティブ Low 1b = アクティブ High
3-1	GFO_SEL	R/W	110b	汎用出力が選択されている場合を除き、このピンを tNRST_TOG の'h29[4] で選択された状態にプルダウンする情報を選択します。 000b = VCC1/2 割り込み (過電圧、低電圧、または短絡) 001b = WD 割り込みイベント (毎回) 010b = 予約済み 011b = ローカル ウェーク要求 (LWU) 100b = バス ウェークアップ要求 (WUP) 101b = 再起動カウンタ超過 (スタンバイ モードで表示) 110b = 汎用アンプ 111b = CAN バス故障
0	予約済み	R	0b	予約済み

9.33 WAKE_PIN_CONFIG3 レジスタ (オフセット = 2Ah) [リセット = E0h]

図 9-33 に、WAKE_PIN_CONFIG3 を示し、表 9-35 に、その説明を示します。

概略表に戻ります。

図 9-33. WAKE_PIN_CONFIG3 レジスタ

7	6	5	4	3	2	1	0
WAKE3_PIN_SET	WAKE2_PIN_SET	WAKE1_PIN_SET	WAKE4_PIN_SET/HSS4_DIS	WAKE4_WAKE	WAKE3_WAKE	WAKE2_WAKE	WAKE1_WAKE
R/W-1b	R/W-1b	R/W-1b	R/W-0b	R/W0C-0b	R/W0C-0b	R/W0C-0b	R/W0C-0b

表 9-35. WAKE_PIN_CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE3_PIN_SET	R/W	1b	WAKE3 をアクティブにするか非アクティブにするかを設定します 0b = WAKE3 非アクティブ 1b = WAKE3 アクティブ
6	WAKE2_PIN_SET	R/W	1b	WAKE2 をアクティブにするか非アクティブにするかを設定します 0b = WAKE2 非アクティブ 1b = WAKE2 アクティブ
5	WAKE1_PIN_SET	R/W	1b	WAKE1 をアクティブにするか非アクティブにするかを設定します 0b = WAKE1 非アクティブ 1b = WAKE1 アクティブ
4	WAKE4_PIN_SET/ HSS4_DIS	R/W	0b	HSS4/WAKE4 ピンの WAKE4 機能を設定します。このビットを 1b に設定すると、HSS4_CNTL = 000b に設定され、HSS4/WAKE4 ピンで HSS4 が無効になります 0b = WAKE4 非アクティブ 1b = WAKE4 アクティブ
3	WAKE4_WAKE	R/W0C	0b	WAKE4 ピンでウェーク イベントが発生したかどうかを示します 0b = WAKE4 でのウェーク イベントなし 1b = WAKE4 でのウェーク イベント
2	WAKE3_WAKE	R/W0C	0b	WAKE3 ピンでウェーク イベントが発生したかどうかを示します 0b = WAKE3 でのウェーク イベントなし 1b = WAKE3 でのウェーク イベント
1	WAKE2_WAKE	R/W0C	0b	WAKE2 ピンでウェーク イベントが発生したかどうかを示します 0b = WAKE2 でのウェーク イベントなし 1b = WAKE2 でのウェーク イベント
0	WAKE1_WAKE	R/W0C	0b	WAKE1 ピンでウェーク イベントが発生したかどうかを示します 0b = WAKE1 でのウェーク イベントなし 1b = WAKE1 でのウェーク イベント

9.34 WAKE_PIN_CONFIG4 レジスタ (オフセット = 2Bh) [リセット = 22h]

図 9-34 に、WAKE_PIN_CONFIG4 を示し、表 9-36 に、その説明を示します。

概略表に戻ります。

図 9-34. WAKE_PIN_CONFIG4 レジスタ

7	6	5	4	3	2	1	0
WAKE2_SENSE	WAKE2_STAT	WAKE2_LEVEL	WAKE3_SENSE	WAKE3_STAT	WAKE3_LEVEL		
R/W-0b	RH-0b	R/W-10b	R/W-0b	RH-0b	R/W-10b		

表 9-36. WAKE_PIN_CONFIG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE2_SENSE	R/W	0b	静的または周期的ウェーク用に設定された WAKE2 ピン 0b = 静的 1b = 周期的
6	WAKE2_STAT	RH	0b	WAKE2 ピンのステータスを示します。 0b = Low 1b = High
5-4	WAKE2_LEVEL	R/W	10b	WAKE2 ピンの入力スレッシュホールドを設定します。 00b = 予約済み 01b = 2.5 V 10b = 4 V 11b = 6 V
3	WAKE3_SENSE	R/W	0b	静的または周期的ウェーク用に設定された WAKE3 ピン 0b = 静的 1b = 周期的
2	WAKE3_STAT	RH	0b	WAKE3 ピンのステータスを示します。 0b = Low 1b = High
1-0	WAKE3_LEVEL	R/W	10b	WAKE3 ピンの入力スレッシュホールドを設定します。 注: WAKE3 を直接駆動入力として使用する場合、デバイスによってピン スレッシュホールドが自動的に、VIH-min には $0.7 \times VCC1$ 、VIL-max には $0.3 \times VCC1$ に構成されます 00b = 予約済み 01b = 2.5 V 10b = 4 V 11b = 6 V

9.35 WD_QA_CONFIG レジスタ (オフセット = 2Dh) [リセット = 0Ah]

図 9-35 に WD_QA_CONFIG を示し、表 9-37 にその説明を示します。

概略表に戻ります。

図 9-35. WD_QA_CONFIG レジスタ

7	6	5	4	3	2	1	0
WD_ANSW_GEN_CFG		WD_QA_POLY_CFG		WD_QA_POLY_SEED			
R/W-00b		R/W-00b		R/W-1010b			

表 9-37. WD_QA_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_ANSW_GEN_CFG	R/W	00b	WD 応答生成構成
5-4	WD_QA_POLY_CFG	R/W	00b	WD Q&A 多項式構成
3-0	WD_QA_POLY_SEED	R/W	1010b	WD Q&A 多項式シード値はデバイスが RESET 状態のときにロードされます

9.36 WD_QA_ANSWR レジスタ (オフセット = 2Eh) [リセット = 00h]

図 9-36 に WD_QA_ANSWR 示し、表 9-38 でそれをで説明します。

概略表に戻ります。

図 9-36. WD_QA_ANSWR レジスタ

7	6	5	4	3	2	1	0
WD_QA_ANSWR							
R/W1C-00000000b							

表 9-38. WD_QA_ANSWR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_QA_ANSWER	R/W1C	00000000b	マイコン Q&A ウォッチドッグの回答バイト

9.37 WD_QA_QUESTION レジスタ (オフセット = 2Fh) [リセット = 3Ch]

図 9-37 に WD_QA_QUESTION を示し、表 9-39 にその説明を示します。

概略表に戻ります。

図 9-37. WD_QA_QUESTION レジスタ

7	6	5	4	3	2	1	0
予約済み	QA_ERROR	WD_ANSW_CNT	WD_QUESTION				
R-0b	R/W1C-0b	RH-11b	RH-1100b				

表 9-39. WD_QA_QUESTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	QA_ERROR	R/W1C	0b	ウォッチドッグ Q&A 回答エラーフラグ
5-4	WD_ANSW_CNT	RH	11b	受信したウォッチドッグ Q&A エラーカウンタの現在の状態
3-0	WD_QUESTION	RH	1100b	現在のウォッチドッグの質問の値

9.38 ABIST_CONFIG レジスタ (オフセット = 4Bh) [リセット = 04h]

図 9-38 に ABIST_CONFIG を示し、表 9-40 に、その説明を示します。

概略表に戻ります。

TCAN29xxB (ASIL-B) デバイスのバージョンにのみ適用されます。QM デバイス バージョンには適用されません

図 9-38. ABIST_CONFIG レジスタ

7	6	5	4	3	2	1	0
ABIST_RUN_CMD	ENABLE_BGXMON	ENABLE_IBIASMON	ENABLE_CLKMON	予約済み	ABIST_INT_EN	ABIST_ERR_ACTION	
RH/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-1b	R/W-00b	

表 9-40. ABIST_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ABIST_RUN_CMD	RH/W	0b	オン デマンドで ABIST を開始するには、このレジスタに 1h を書き込んで、ABIST 実行を有効にします。ABIST が完了すると、このビットはクリアされ、再実行する準備ができます 0b = ABIST は現在動作していません 1b = 1b を書き込むと ABIST を開始し、ABIST 完了までこのビットは 1b を読み出します
6	ENABLE_BGXMON	R/W	0b	ASIL-B バージョンのデバイスでバンドギャップ クロス監視機能を有効にします。この機能を有効にすると、通常モードで連続的に動作し、低消費電力ノードで定期的に動作して消費電力を節約します 0b = バンドギャップ クロス監視を無効化 1b = バンドギャップ クロス監視を有効化
5	ENABLE_IBIASMON	R/W	0b	デバイスの ASIL-B バージョンで内部バイアス電流監視機能を有効にします。この機能を有効にすると、通常モードで連続的に動作し、低消費電力ノードで定期的に動作して消費電力を節約します 0b = バイアス電流監視を無効化 1b = バイアス電流監視を有効化
4	ENABLE_CLKMON	R/W	0b	ASIL-B バージョンのデバイスでの 1MHz クロック監視を有効にします。 0b = 1MHz クロック監視を無効化 1b = 1MHz クロック監視を有効化
3	予約済み	R	0b	予約済み
2	ABIST_INT_EN	R/W	1b	ABIST 割り込みフラグの nINT ピンマスクを有効 / 無効にします 0b = ABIST 割り込みによる nINT ピンのアクティブ化をマスクします 1b = ABIST 割り込みにより nINT ピンを有効にします
1-0	ABIST_ERR_ACTION	R/W	00b	ABIST 障害が発生した場合に実行するアクションを設定します 00b = アクションなし、対応する BIST 失敗割り込みのみを設定します 01b = LIMP をオンにします 10b = デバイスがフェイルセーフ モードに移行し、LIMP をオンにします 11b = 予約済み

9.39 ABIST_STATUS レジスタ (オフセット = 4Ch) [リセット = 00h]

図 9-39 に ABIST_STATUS を示し、表 9-41 に、その説明を示します。

概略表に戻ります。

TCAN29xxB (ASIL-B) デバイス バージョンにのみ適用されます。QM デバイス バージョンには適用されません

図 9-39. ABIST_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	ABIST_DONE
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	RH-0b

表 9-41. ABIST_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	予約済み	R	0b	予約済み
5	予約済み	R	0b	予約済み
4	予約済み	R	0b	予約済み
3	予約済み	R	0b	予約済み
2	予約済み	R	0b	予約済み
1	予約済み	R	0b	予約済み
0	ABIST_DONE	RH	0b	内部クロックの ABIST ステータスを表示します 0b = 未完了 1b = 完了

9.40 HSS_CNTL2 レジスタ (オフセット = 4Dh) [リセット = 00h]

図 9-40 に、HSS_CNTL2 を示し、表 9-42 に、その説明を示します。

概略表に戻ります。

図 9-40. HSS_CNTL2 レジスタ

7	6	5	4	3	2	1	0
HSS3_CNTL				HSS4_CNTL			
R/W-0000b				R/W-0000b			

表 9-42. HSS_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	HSS3_CNTL	R/W	0000b	ハイサイド スイッチ 3 の制御。 0000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定付きの直接駆動 1001b = スルーレート設定が高速な直接駆動
3-0	HSS4_CNTL	R/W	0000b	ハイサイド スイッチ 4 の制御。WAKE4_PIN_SET を使用してウェーク機能を構成すると、これらのビットを 0h に設定します (HSS4/WAKE4 の HSS 機能を無効化) 0000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定付きの直接駆動 1001b = スルーレート設定が高速な直接駆動

9.41 HSS_CNTL3 レジスタ (オフセット = 4Fh) [リセット = 00h]

図 9-41 に、HSS_CNTL3 を示し、表 9-43 に、その説明を示します。

概略表に戻ります。

図 9-41. HSS_CNTL3 レジスタ

7	6	5	4	3	2	1	0
HSS_OV_SD_DIS	HSS_UV_SD_DIS	HSS_OV_UV_REC	予約済み	VEXCC_STATUS	VCC2_STATUS	VCAN_STATUS	HSS_OC_FLTR
R/W-0b	R/W-0b	R/W-0b	R-0b	RH-0b	RH-0b	RH-0b	R/W-0b

表 9-43. HSS_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSS_OV_SD_DIS	R/W	0b	OVHSS イベントによるハイサイド スイッチのシャットダウンを無効にします 0b = OVHSS により HSS がシャット オフ 1b = OVHSS により HSS がシャット オフされません
6	HSS_UV_SD_DIS	R/W	0b	UVHSS イベントによるハイサイド スイッチのシャットダウンを無効にします 0b = OVHSS により HSS がシャット オフ 1b = OVHSS により HSS がシャット オフされません
5	HSS_OV_UV_REC	R/W	0b	OVHSS または UVHSS イベントによりハイサイド スイッチが以前の状態に自動的に回復するのを無効にします 0b = OVHSS/UVHSS フォルトが解消された後、HSS は自動的に回復します 1b = OVHSS/UVHSS フォルトが解消された後、HSS は自動的に回復しません。HSS を再起動するために必要な SPI コマンド
4	予約済み	R	0b	予約済み
3	VEXCC_STATUS	RH	0b	VEXCC レギュレータのステータスを示します 0b = UVEXCC またはオフ 1b = レギュレーション中
2	VCC2_STATUS	RH	0b	VCC2 LDO ステータス 0b = UVCC2 またはオフ 1b = レギュレーション中
1	VCAN_STATUS	RH	0b	VCAN LDO ステータス 0b = UVCAN またはオフ 1b = レギュレーション中
0	HSS_OC_FLTR	R/W	0b	短時間と長時間の HSS 過電流フィルタ時間を設定します。4 つの HSS すべてに適用されます。 0b = 短時間フィルタ 1b = 長時間フィルタ

9.42 INT_GLOBAL レジスタ (オフセット = 50h) [リセット = 00h]

図 9-42 に INT_GLOBAL を示し、表 9-44 にその説明を示します。

概略表に戻ります。

図 9-42. INT_GLOBAL レジスタ

7	6	5	4	3	2	1	0
INT_7	INT_1	INT_2	INT_3	INT_CANBUS	INT_4	INT_BIST1_OR_INT_BIST2	INT_5_OR_INT_6
RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	RH-0b

表 9-44. INT_GLOBAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_7	RH	0b	INT_7 の論理 OR
6	INT_1	RH	0b	INT_1 の論理 OR
5	INT_2	RH	0b	INT_2 の論理 OR
4	INT_3	RH	0b	INT_3 の論理 OR
3	INT_CANBUS	RH	0b	INT_CANBUS レジスタの論理和
2	INT_4	RH	0b	INT_4 の論理 OR
1	INT_BIST1_OR_INT_BIST2	RH	0b	INT_BIST1、INT_BIST2 の論理 OR
0	INT_5_OR_INT_6	RH	0b	INT_5、INT_6 の論理 OR

9.43 INT_1 レジスタ (オフセット = 51h) [リセット = 00h]

図 9-43 に、INT_1 を示し、表 9-45 に、その説明を示します。

概略表に戻ります。

図 9-43. INT_1 レジスタ

7	6	5	4	3	2	1	0
WD	CANINT_1	LWU	LDT	予約済み	CANSLNT_1	SWPIN_WU	CANDOM_1
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-45. INT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD	R/W1C	0b	ウォッチドッグイベント割り込み。注:この割り込みビットはウォッチドッグエラーイベントごとに設定され、ウォッチドッグエラーカウンタに依存しません。
6	CANINT_1	R/W1C	0b	CAN パスウェークアップ割り込み
5	LWU	R/W1C	0b	ローカルウェークアップ
4	LDT	R/W1C	0b	LDT タイマが満了すると、長時間タイマビットが設定されます
3	予約済み	R	0b	予約済み
2	CANSLNT_1	R/W1C	0b	CAN バスが tSILENCE の間、非アクティブ
1	SWPIN_WU	R/W1C	0b	SW ピンのウェークアップ割り込み
0	CANDOM_1	R/W1C	0b	CAN バスがドミナント状態に固着

9.44 INT_2 レジスタ (オフセット = 52h) [リセット = 40h]

図 9-44 に、INT_2 を示し、表 9-46 に、その説明を示します。

概略表に戻ります。

図 9-44. INT_2 レジスタ

7	6	5	4	3	2	1	0
予約済み	PWRON	OVCC1	UVSUP5	UVSUP3	UVCC1	TSD_SBC	予約済み
R-0b	R/W1C-1b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R-0b

表 9-46. INT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	PWRON	R/W1C	1b	電源オン
5	OVCC1	R/W1C	0b	VCC1 過電圧
4	UVSUP5	R/W1C	0b	UVSUP5 低電圧
3	UVSUP3	R/W1C	0b	UVSUP3 低電圧
2	UVCC1	R/W1C	0b	VCC1 低電圧
1	TSD_SBC	R/W1C	0b	VCC1、VEXCC または HSS による SBC サーマル シャットダウン
0	予約済み	R	0b	予約済み

9.45 INT_3 レジスタ (オフセット = 53h) [リセット = 00h]

図 9-45 に、INT_3 を示し、表 9-47 に、その説明を示します。

概略表に戻ります。

図 9-45. INT_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR	予約済み	FSM	CRCERR	VCC1SC	FLT_CNT	TSD_CAN_LIN	CRC_OTP
R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-47. INT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR	R/W1C	0b	いつ SPI ステータスビットがセットされるかをセットします
6	予約済み	R	0b	予約済み
5	FSM	R/W1C	0b	フェイルセーフ モードに移行済み
4	CRCERR	R/W1C	0b	SPI トランザクションの CRC エラーが検出されました。
3	VCC1SC	R/W1C	0b	VCC1 短絡検出あり
2	FLT_CNT	R/W1C	0b	リスタートカウンタがプログラムカウントを超過
1	TSD_CAN_LIN	R/W1C	0b	VCC2 または CAN または LIN に起因するサーマル シャットダウン
0	CRC_OTP	R/W1C	0b	OTP CRC エラー

9.46 INT_CANBUS_1 レジスタ (オフセット = 54h) [リセット = 00h]

図 9-46 に、INT_CANBUS_1 を示し、表 9-48 に、その説明を示します。

概略表に戻ります。

図 9-46. INT_CANBUS_1 レジスタ

7	6	5	4	3	2	1	0
UVCAN	予約済み					CANBUSGND	CANBUSBAT
R/W1C-0b	R-0b					R/W1C-0b	R/W1C-0b

表 9-48. INT_CANBUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UVCAN	R/W1C	0b	UVCAN 割り込み
6-2	予約済み	R	0b	予約済み
1	CANBUSGND	R/W1C	0b	CAN バスの GND への短絡または CANH の GND への短絡
0	CANBUSBAT	R/W1C	0b	CAN バスの Vbat への短絡または CANL の Vbat への短絡

9.47 INT_7 レジスタ (オフセット = 55h) [リセット = 00h]

図 9-47 に、INT_7 を示し、表 9-49 に、その説明を示します。

概略表に戻ります。

図 9-47. INT_7 レジスタ

7	6	5	4	3	2	1	0
HSSOC1	HSSOL1	HSSOC2	HSSOL2	HSSOC3	HSSOL3	HSSOC4	HSSOL4
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-49. INT_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSOC1	R/W1C	0b	ハイサイドスイッチ 1 の過電流
6	HSSOL1	R/W1C	0b	ハイサイドスイッチ 1 の開放負荷
5	HSSOC2	R/W1C	0b	ハイサイドスイッチ 2 の過電流
4	HSSOL2	R/W1C	0b	ハイサイドスイッチ 2 の開放負荷
3	HSSOC3	R/W1C	0b	ハイサイドスイッチ 3 の過電流
2	HSSOL3	R/W1C	0b	ハイサイドスイッチ 3 の開放負荷
1	HSSOC4	R/W1C	0b	ハイサイドスイッチ 4 の過電流
0	HSSOL4	R/W1C	0b	ハイサイドスイッチ 4 の開放負荷

9.48 INT_EN_1 レジスタ (オフセット = 56h) [リセット = F7h]

図 9-48 に、INT_EN_1 を示し、表 9-50 に、その説明を示します。

概略表に戻ります。

図 9-48. INT_EN_1 レジスタ

7	6	5	4	3	2	1	0
WD_EN	CANINT_EN	LWU_EN	LDT_INT_EN	予約済み	CANSLNT_EN	SWPIN_WU_EN	CANDOM_EN
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-0b	R/W-1b	R/W-1b	R/W-1b

表 9-50. INT_EN_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD_EN	R/W	1b	ウォッチドッグ イベント検出マスク
6	CANINT_EN	R/W	1b	CAN バスウェークアップ割り込みマスク
5	LWU_EN	R/W	1b	ローカルウェークアップマスク
4	LDT_INT_EN	R/W	1b	LDT マスク
3	予約済み	R	0b	予約済み
2	CANSLNT_EN	R/W	1b	CAN サイレントマスク
1	SWPIN_WU_EN	R/W	1b	SW ピン ウェークアップ割り込みマスク
0	CANDOM_EN	R/W	1b	CAN バス スタックドミナント マスク

9.49 INT_EN_2 レジスタ (オフセット = 57h) [リセット = 7Eh]

図 9-49 に、INT_EN_2 を示し、表 9-51 に、その説明を示します。

概略表に戻ります。

図 9-49. INT_EN_2 レジスタ

7	6	5	4	3	2	1	0
予約済み	PWRON_EN	OVCC1_EN	UVSUP5_EN	UVSUP3_EN	UVCC1_EN	TSD_SBC_EN	SME_EN
R-0b	R-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-0b

表 9-51. INT_EN_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	PWRON_EN	R	1b	パワーオン フラグ イネーブル (変更不可)
5	OVCC1_EN	R/W	1b	VCC1 過電圧マスク
4	UVSUP5_EN	R/W	1b	VSUP5 低電圧マスク
3	UVSUP3_EN	R/W	1b	UVSUP3 低電圧マスク
2	UVCC1_EN	R/W	1b	VCC1 低電圧マスク
1	TSD_SBC_EN	R/W	1b	SBC サーマルシャットダウンのマスキングビット
0	SME_EN	R	0b	SME 有効 (読み取り専用)

9.50 INT_EN_3 レジスタ (オフセット = 58h) [リセット = BFh]

図 9-50 に、INT_EN_3 を示し、表 9-52 に、その説明を示します。

概略表に戻ります。

図 9-50. INT_EN_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR_EN	予約済み	FSM_EN	CRCERR_EN	VCC1SC_EN	FLT_CNT_EN	TSD_CAN_EN	OTP_CRC_EN
R/W-1b	R-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-1b

表 9-52. INT_EN_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR_EN	R/W	1b	SPI エラー割り込みマスク
6	予約済み	R	0b	予約済み
5	FSM_EN	R/W	1b	フェイルセーフ ステータス フラグ マスク
4	CRCERR_EN	R/W	1b	SPI CRC エラー割り込みマスク
3	VCC1SC_EN	R/W	1b	VCC1 短絡割り込みマスク
2	FLT_CNT_EN	R/W	1b	再起動カウンタが設定値を超えたことを示すマスク
1	TSD_CAN_EN	R/W	1b	CAN/VCC2 サーマル シャットダウンのマスキング ビット
0	OTP_CRC_EN	R	1b	OTP CRC エラー (マスク不可能)

9.51 INT_EN_CANBUS_1 レジスタ (オフセット = 59h) [リセット = 83h]

図 9-51 に、INT_EN_CANBUS_1 を示し、表 9-53 に、その説明を示します。

概略表に戻ります。

図 9-51. INT_EN_CANBUS_1 レジスタ

7	6	5	4	3	2	1	0
UVCAN_EN	予約済み					CANBUSGND_EN	CANBUSBAT_EN
R/W-1b	R-0b					R/W-1b	R/W-1b

表 9-53. INT_EN_CANBUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UVCAN_EN	R/W	1b	UVCAN 割り込みマスク
6-2	予約済み	R	0b	予約済み
1	CANBUSGND_EN	R/W	1b	CAN バスの GND への短絡有効化
0	CANBUSBAT_EN	R/W	1b	CAN バスの Vbat への短絡有効化

9.52 INT_4 レジスタ (オフセット = 5Ah) [リセット = 00h]

図 9-52 に、INT_4 を示し、表 9-54 に、その説明を示します。

概略表に戻ります。

図 9-52. INT_4 レジスタ

7	6	5	4	3	2	1	0
LIN_WUP	LIN_DTO	予約済み	LDT_WAKE	MODE_ERR	OVHSS	予約済み	UVHSS
R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b

表 9-54. INT_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LIN_WUP	R/W1C	0b	LIN バス ウェーク
6	LIN_DTO	R/W1C	0b	LIN ドミナント状態タイムアウト、LTXD_DTO
5	予約済み	R	0b	予約済み
4	LDT_WAKE	R/W1C	0b	スリープからの LDT ウェーク割り込み
3	MODE_ERR	R/W1C	0b	モード変更リクエストの不正なトランシーバー状態
2	OVHSS	R/W1C	0b	ハイサイド スイッチ用 VHSS 過電圧マ
1	予約済み	R	0b	予約済み
0	UVHSS	R/W1C	0b	ハイサイド スイッチ用 VHSS 低電圧

9.53 INT_5 レジスタ (オフセット = 5Bh) [リセット = 00h]

図 9-53 に、INT_5 を示し、表 9-55 に、その説明を示します。

概略表に戻ります。

図 9-53. INT_5 レジスタ

7	6	5	4	3	2	1	0
VCC1OC	VCC2OC	VEXCCOC	CLKMON_FAIL	HSS4_READB ACK_FAIL	HSS3_READB ACK_FAIL	HSS2_READB ACK_FAIL	HSS1_READB ACK_FAIL
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-55. INT_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VCC1OC	R/W1C	0b	過電流状態での VCC1 LDO
6	VCC2OC	R/W1C	0b	過電流状態での VCC2 LDO
5	VEXCCOC	R/W1C	0b	過電流状態での VEXCC LDO
4	CLKMON_FAIL	R/W1C	0b	内部クロック モニタ障害割り込み。
3	HSS4_READBACK_FAIL	R/W1C	0b	HSS4 読み戻しチェック失敗
2	HSS3_READBACK_FAIL	R/W1C	0b	HSS3 読み戻しチェック失敗
1	HSS2_READBACK_FAIL	R/W1C	0b	HSS2 読み戻しチェック失敗
0	HSS1_READBACK_FAIL	R/W1C	0b	HSS1 読み戻しチェック失敗

9.54 INT_6 レジスタ (オフセット = 5Ch) [リセット = 00h]

図 9-54 に、INT_6 を示し、表 9-56 に、その説明を示します。

概略表に戻ります。

図 9-54. INT_6 レジスタ

7	6	5	4	3	2	1	0
TSDW	UVCC1PW	UVEXCC	OVEXCC	VEXCCSC	UVCC2	OVCC2	VCC2SC
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-56. INT_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSDW	R/W1C	0b	サーマル シャットダウン警告
6	UVCC1PW	R/W1C	0b	VCC1 低電圧の事前警告
5	UVEXCC	R/W1C	0b	VEXCC 低電圧
4	OVEXCC	R/W1C	0b	VEXCC 過電圧
3	VEXCCSC	R/W1C	0b	VEXCC 短絡
2	UVCC2	R/W1C	0b	VCC2 ピンの低電圧
1	OVCC2	R/W1C	0b	VCC2 ピンの過電圧
0	VCC2SC	R/W1C	0b	VCC2 ピンの短絡

9.55 INT_EN_4 レジスタ (オフセット = 5Eh) [リセット = DDh]

図 9-55 に、INT_EN_4 を示し、表 9-57 に、その説明を示します。

概略表に戻ります。

図 9-55. INT_EN_4 レジスタ

7	6	5	4	3	2	1	0
LIN_WUP_EN	LIN.DTO_EN	予約済み	LDT_WAKE_EN	MODE_ERR_EN	OVHSS_EN	予約済み	UVHSS_EN
R/W-1b	R/W-1b	R-0b	R/W-1b	R/W-1b	R/W-1b	R-0b	R/W-1b

表 9-57. INT_EN_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LIN_WUP_EN	R/W	1b	LIN バス ウェーク割り込みマスク
6	LIN.DTO_EN	R/W	1b	LIN ドミナント状態タイムアウト割り込みマスク
5	予約済み	R	0b	予約済み
4	LDT_WAKE_EN	R/W	1b	LDT によるスリープからのウェークのマスキングビット
3	MODE_ERR_EN	R/W	1b	モード変更要求マスクに対する不正なトランシーバ状態
2	OVHSS_EN	R/W	1b	ハイサイド スイッチの VHSS 過電圧用マスク
1	予約済み	R	0b	予約済み
0	UVHSS_EN	R/W	1b	ハイサイド スイッチの VHSS 低電圧用マスク

9.56 INT_EN_5 レジスタ (オフセット = 5Fh) [リセット = FFh]

図 9-56 に、INT_EN_5 を示し、表 9-58 に、その説明を示します。

概略表に戻ります。

図 9-56. INT_EN_5 レジスタ

7	6	5	4	3	2	1	0
VCC1OC_EN	VCC2OC_EN	VEXCCOC_EN	CLKMON_FAIL_EN	HSS4_RB_FAIL_EN	HSS3_RB_FAIL_EN	HSS2_RB_FAIL_EN	HSS1_RB_FAIL_EN
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-58. INT_EN_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VCC1OC_EN	R/W	1b	VCC1OC フォルトの割り込みイネーブル
6	VCC2OC_EN	R/W	1b	VCC2OC フォルトの割り込みイネーブル
5	VEXCCOC_EN	R/W	1b	VEXCCOC フォルトの割り込みイネーブル
4	CLKMON_FAIL_EN	R/W	1b	CLKMON_FAIL 割り込みの割り込みイネーブル
3	HSS4_RB_FAIL_EN	R/W	1b	HSS4_RB_FAIL の割り込みイネーブル
2	HSS3_RB_FAIL_EN	R/W	1b	HSS3_RB_FAIL の割り込みイネーブル
1	HSS2_RB_FAIL_EN	R/W	1b	HSS2_RB_FAIL の割り込みイネーブル
0	HSS1_RB_FAIL_EN	R/W	1b	HSS1_RB_FAIL の割り込みイネーブル

9.57 INT_EN_6 レジスタ (オフセット = 60h) [リセット = FFh]

図 9-57 に、INT_EN_6 を示し、表 9-59 に、その説明を示します。

概略表に戻ります。

図 9-57. INT_EN_6 レジスタ

7	6	5	4	3	2	1	0
TSDW_EN	UVCC1PW_EN	UVEXCC_EN	OVEXCC_EN	VEXCCSC_EN	UVCC2_EN	OVCC2_EN	VCC2SC_EN
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-59. INT_EN_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSDW_EN	R/W	1b	サーマル シャットダウン警告マスク
6	UVCC1PW_EN	R/W	1b	VCC1 低電圧事前警告マスク
5	UVEXCC_EN	R/W	1b	VEXCC 低電圧
4	OVEXCC_EN	R/W	1b	VEXCC 過電圧
3	VEXCCSC_EN	R/W	1b	VEXCC 短絡
2	UVCC2_EN	R/W	1b	VCC2 ピン低電圧マスク
1	OVCC2_EN	R/W	1b	VCC2 ピンの過電圧マスク
0	VCC2SC_EN	R/W	1b	VCC2 ピンの短絡マスク

9.58 INT_EN_7 レジスタ (オフセット = 62h) [リセット = FFh]

図 9-58 に、INT_EN_7 を示し、表 9-60 に、その説明を示します。

概略表に戻ります。

図 9-58. INT_EN_7 レジスタ

7	6	5	4	3	2	1	0
HSSOC1_EN	HSSOL1_EN	HSSOC2_EN	HSSOL2_EN	HSSOC3_EN	HSSOL3_EN	HSSOC4_EN	HSSOL4_EN
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-60. INT_EN_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSOC1_EN	R/W	1b	ハイサイドスイッチ 1 過電流の割り込みマスク
6	HSSOL1_EN	R/W	1b	ハイサイドスイッチ 1 開放負荷の割り込みマスク
5	HSSOC2_EN	R/W	1b	ハイサイドスイッチ 2 過電流の割り込みマスク
4	HSSOL2_EN	R/W	1b	ハイサイドスイッチ 2 開放負荷の割り込みマスク
3	HSSOC3_EN	R/W	1b	ハイサイドスイッチ 3 過電流の割り込みマスク
2	HSSOL3_EN	R/W	1b	ハイサイドスイッチ 3 開放負荷の割り込みマスク
1	HSSOC4_EN	R/W	1b	ハイサイドスイッチ 4 過電流の割り込みマスク
0	HSSOL4_EN	R/W	1b	ハイサイドスイッチ 4 開放負荷の割り込みマスク

9.59 INT_BIST1 レジスタ (オフセット = 63h) [リセット = 00h]

図 9-59 に、INT_BIST1 を示し、表 9-61 に、その説明を示します。

概略表に戻ります。

TCAN29xxB (ASIL-B) デバイス バージョンにのみ適用されます。QM デバイス バージョンには適用されません

図 9-59. INT_BIST1 レジスタ

7	6	5	4	3	2	1	0
ABIST_UVSUP_ERR	ABIST_INT_LD_O_ERR	ABIST_UVOV_HSS_ERR	予約済み	ABIST_UVCAN_ERR	BGXMON_ERR	IBIAS_MON_ERR	ABIST_VCC1SC_ERR
R/W1C-0b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-61. INT_BIST1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ABIST_UVSUP_ERR	R/W1C	0b	UVUP5 および UVSUP33 電圧モニタの ABIST エラー
6	ABIST_INT_LDO_ERR	R/W1C	0b	内部 LDO UV/OV 電圧モニタの ABIST エラー
5	ABIST_UVOV_HSS_ERR	R/W1C	0b	OV/OVHSS 電圧モニタの ABIST エラー
4	予約済み	R	0b	予約済み
3	ABIST_UVCAN_ERR	R/W1C	0b	UVCAN 電圧モニタの ABIST エラー
2	BGXMON_ERR	R/W1C	0b	内部バンドギャップ クロスモニタ エラー
1	IBIAS_MON_ERR	R/W1C	0b	内部電流バイアス モニタ エラー
0	ABIST_VCC1SC_ERR	R/W1C	0b	VCC1SC 電圧モニタの ABIST エラー

9.60 INT_BIST2 レジスタ (オフセット = 64h) [リセット = 00h]

図 9-60 に、INT_BIST2 を示し、表 9-62 に、その説明を示します。

概略表に戻ります。

TCAN29xxB (ASIL-B) デバイス バージョンにのみ適用されます。QM デバイス バージョンには適用されません

図 9-60. INT_BIST2 レジスタ

7	6	5	4	3	2	1	0
ABIST_UVCC1_ERR	ABIST_OVCC1_ERR	ABIST_VCC2SC_ERR	ABIST_UVCC2_ERR	ABIST_OVCC2_ERR	ABIST_VEXCCSC_ERR	ABIST_UVEXCC_ERR	ABIST_OVEXCC_ERR
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-62. INT_BIST2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ABIST_UVCC1_ERR	R/W1C	0b	UVCC1 電圧モニタの ABIST エラー
6	ABIST_OVCC1_ERR	R/W1C	0b	OVCC1 電圧モニタの ABIST エラー
5	ABIST_VCC2SC_ERR	R/W1C	0b	VCC2SC 電圧モニタの ABIST エラー
4	ABIST_UVCC2_ERR	R/W1C	0b	UVCC2 電圧モニタの ABIST エラー
3	ABIST_OVCC2_ERR	R/W1C	0b	OVCC2 電圧モニタの ABIST エラー
2	ABIST_VEXCCSC_ERR	R/W1C	0b	VEXCCSC 電圧モニタの ABIST エラー
1	ABIST_UVEXCC_ERR	R/W1C	0b	UVEXCC 電圧モニタの ABIST エラー
0	ABIST_OVEXCC_ERR	R/W1C	0b	OVEXCC 電圧モニタの ABIST エラー

9.61 GEN_PURPOSE_REG2 レジスタ (オフセット = 75h) [リセット = 00h]

図 9-61 に、GEN_PURPOSE_REG2 を示し、表 9-63 に、その説明を示します。

概略表に戻ります。

図 9-61. GEN_PURPOSE_REG2 レジスタ

7	6	5	4	3	2	1	0
GEN_PURPOSE_REG1							
R/W-00000000b							

表 9-63. GEN_PURPOSE_REG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GEN_PURPOSE_REG1	R/W	00000000b	汎用 Register2。一般的な情報を保存するか、SPI 通信をテストします

9.62 GEN_PURPOSE_REG3 レジスタ (オフセット = 76h) [リセット = 00h]

図 9-62 に、GEN_PURPOSE_REG3 を示し、表 9-64 に、その説明を示します。

概略表に戻ります。

図 9-62. GEN_PURPOSE_REG3 レジスタ

7	6	5	4	3	2	1	0
GEN_PURPOSE_REG2							
R/W-00000000b							

表 9-64. GEN_PURPOSE_REG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GEN_PURPOSE_REG2	R/W	00000000b	汎用 Register3。一般的な情報を保存するか、SPI 通信をテストします

9.63 GEN_PURPOSE_REG4 レジスタ (オフセット = 77h) [リセット = 00h]

図 9-63 に、GEN_PURPOSE_REG4 を示し、表 9-65 に、その説明を示します。

概略表に戻ります。

図 9-63. GEN_PURPOSE_REG4 レジスタ

7	6	5	4	3	2	1	0
GEN_PURPOSE_REG3							
R/W-00000000b							

表 9-65. GEN_PURPOSE_REG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GEN_PURPOSE_REG3	R/W	00000000b	汎用 Register3。一般的な情報を保存するか、SPI 通信をテストします

9.64 ID_PIN_STATUS レジスタ (オフセット = 78h) [リセット = 00h]

図 9-64 に ID_PIN_STATUS を示し、表 9-66 でそれを説明します。

概略表に戻ります。

図 9-64. ID_PIN_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み		ID3_STAT		ID2_STAT		ID1_STAT	
R-0b		R/W0C-00b		R/W0C-00b		R/W0C-00b	

表 9-66. ID_PIN_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済み
5-4	ID3_STAT	R/W0C	00b	WAKE3/ID3 ピン接続のステータス 00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = 予約済み
3-2	ID2_STAT	R/W0C	00b	WAKE2/ID2 ピン接続のステータス 00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = 予約済み
1-0	ID1_STAT	R/W0C	00b	WAKE1/ID1 ピン接続のステータス 00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = 予約済み

9.65 WAKE_ID_CONFIG1 レジスタ (オフセット = 79h) [リセット = 00h]

図 9-65 に、WAKE_ID_CONFIG1 を示し、表 9-67 に、その説明を示します。

概略表に戻ります。

図 9-65. WAKE_ID_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
ID2_EN	予約済み			ID1_EN	予約済み		
R/W-0b	R-0b			R/W-0b	R-0b		

表 9-67. WAKE_ID_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ID2_EN	R/W	0b	WAKE2 ピンで ID 機能を有効化
6-4	予約済み	R	0b	予約済み
3	ID1_EN	R/W	0b	WAKE1 ピンで ID 機能を有効化
2-0	予約済み	R	0b	予約済み

9.66 WAKE_ID_CONFIG2 レジスタ (オフセット = 7Ah) [リセット = 00h]

図 9-66 に、WAKE_ID_CONFIG2 を示し、表 9-68 に、その説明を示します。

概略表に戻ります。

図 9-66. WAKE_ID_CONFIG2 レジスタ

7	6	5	4	3	2	1	0
RSVD	予約済み			ID3_EN	予約済み		
R/W-0b	R-0b			R/W-0b	R-0b		

表 9-68. WAKE_ID_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R/W	0b	
6-4	予約済み	R	0b	予約済み
3	ID3_EN	R/W	0b	WAKE3 ピンで ID 機能を有効化
2-0	予約済み	R	0b	予約済み

9.67 WAKE_PIN_CONFIG5 レジスタ (オフセット = 7Bh) [リセット = 20h]

図 9-67 に、WAKE_PIN_CONFIG5 を示し、表 9-69 に、その説明を示します。

概略表に戻ります。

図 9-67. WAKE_PIN_CONFIG5 レジスタ

7	6	5	4	3	2	1	0
WAKE4_SENSE	WAKE4_STAT	WAKE4_LEVEL		予約済み			
R/W-0b	RH-0b	R/W-10b		R-0b			

表 9-69. WAKE_PIN_CONFIG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE4_SENSE	R/W	0b	WAKE4 ピンは、静的または周期的センシングのウェーク用に設定 0b = 静的センシング 1b = 周期的センシング
6	WAKE4_STAT	RH	0b	WAKE4 ピンのステータスを示します。 0b = Low 1b = High
5-4	WAKE4_LEVEL	R/W	10b	WAKE3 ピンの入力スレッシュホールドを設定します。 00b = 予約済み 01b = 2.5 V 10b = 4 V 11b = 6 V
3-0	予約済み	R	0b	予約済み

10 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 使用上の注意

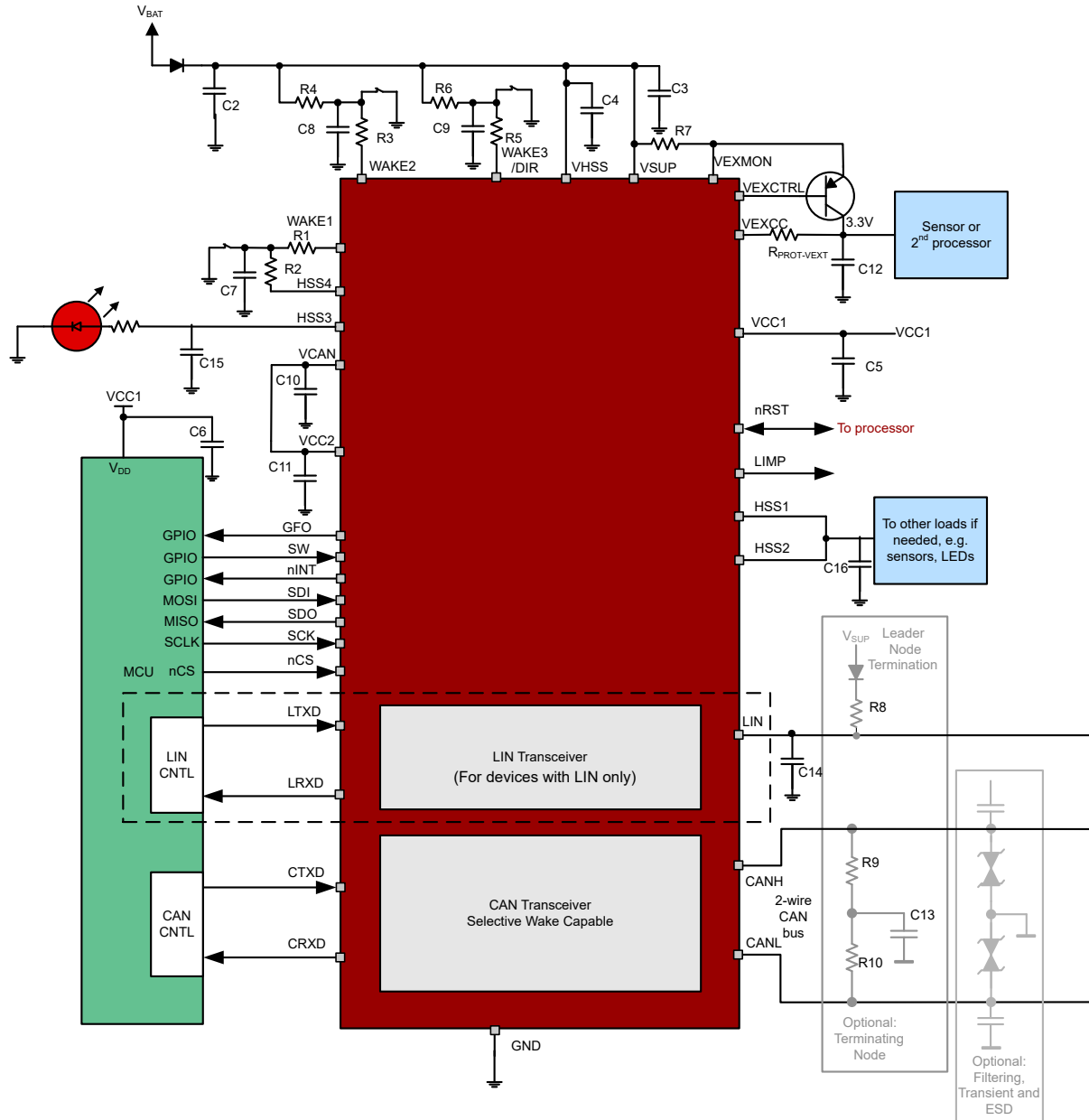
TCAN29xx-Q1 ファミリーは CAN FD 通信をサポートしており、特定のデバイスは LIN 通信もサポートしています

10.2 代表的なアプリケーション

TCAN29xx-Q1 SBC ファミリーは通常、ウォッチドッグ、CAN FD バスやハイサイドスイッチ用の高度なバス故障診断などの多くの機能を持つデバイスの使用中に、CAN FD と LIN のサポートを必要とするホストマイクロプロセッサまたは FPGA を搭載したアプリケーションで使用されます。以下のものは 3.3V マイクロプロセッサアプリケーションの代表的なアプリケーション構成です。これらのデバイスは、VCC1 の値に応じて 3.3V および 5V のマイクロプロセッサで動作します。バス終端を、説明のために示します。

図 10-1 は、前述のアプリケーションとは異なる機能を備えた TCAN2957-Q1 を示しています。

- マイコンに電力を供給する VCC1
- システムセンサまたは 2 番目のマイコンに電力を供給する外部 PNP
- HSS1 と HSS2 を互いに接続して外部コンポーネントに大電流を供給します。
- WAKE ピンと HSS4 によるサイクリックセンシング



ADVANCE INFORMATION

図 10-1. 同期ハイサイド スイッチを使用した TCAN2957-Q1 の代表的な CAN および LIN アプリケーション

表 10-1. 外付け部品の値

部品	標準値	コメント
容量		
C2	22 μ F	バッテリースパイクをカットオフし、ISO パルスから保護するデカップリング容量。アプリケーション要件によっては、より大きな容量が必要になる場合があります
C3、C4	100nF、低 ESR	EMC の堅牢性を向上させるために IC のピンの近くに容量を配置するデカップリング容量
C5	4.7 μ F、低 ESR	アプリケーション要件ごと。LDO を安定化するために必要な最小 1 μ F。EMC の堅牢性と負荷過渡に対応するため、ここでは、より大きな容量の値を推奨します
C6	アプリケーションごとの容量の要件については、マイコンのマニュアルを参照してください。	マイコンの電源の安定性を改善するために、SBC は不要です。

表 10-1. 外付け部品の値 (続き)

部品	標準値	コメント
容量		
C7、C8、C9、C _{Wk1}	22nF	EMC の堅牢化に必要。WAKE ピンを ECU ピンに接続する場合にのみ必要
C10	100nF、低 ESR	VCAN 電源の安定性を改善するために必要で、IC のピンの近くに配置
C11	4.7μF、低 ESR	アプリケーション要件ごと。LDO を安定化するために必要な最小 1μF。EMC の堅牢性と負荷過渡に対応するため、ここでは、より大きな容量の値を推奨します
C12	4.7μF、低 ESR	アプリケーション要件ごと。LDO の安定性および EMC 耐性を確保するため、4.7μF 以上が必要です
C13	4.7nF	OEM 要件に基づき、CAN 分割終端が必要な場合
C14	220pF	LIN 終端の容量
C15、C16	100nF	HSS が ECU の外部負荷を駆動する場合にのみ、EMC 保護のために必要
抵抗		
R1、R3、R5	3.3kΩ	WAKE ピンに流れ込む電流を制限して ISO パルスから保護するための直列抵抗
R2、R4、R6	3kΩ	アプリケーションの要求に応じて、スイッチに必要なウェット電流をセット
R7	Vshunt/I _{limit} Ω	VEXCC の電流制限をセットするシャント抵抗で、アプリケーションに応じて必要
R8	1kΩ	LIN リーダーノードの終端 (リーダーノードとして使用される場合)
R9、R10	60 Ω	OEM 要件に応じて必要な場合の、CAN 終端
R _{WK-VBAT}	5.1kΩ	バッテリー監視スイッチを流れる電流を制限
R _{DIV1} 、R _{DIV2}	マイコンの ADC ピンの電圧を絶対最大値または ADC 入力範囲より低く制限	マイコンの ADC ピンの要件およびバッテリーの最大電圧要件ごと
R _{PROT-EXT}	100 Ω	このピンから ECU 外部の負荷に電力を供給する場合にのみ必要です。グランドシフトに対する保護および EMC 耐性のために必要です。

10.2.1 設計要件

ISO 11898-2:2024 規格では、最大バス長 40m、最大スタブ長 0.3m と規定されています。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、TCAN29xx-Q1 のような高入力インピーダンスのトランシーバが必要になります。多くの CAN の組織および規格は、元の ISO 11898-2:2024 以外のアプリケーションへと CAN の使用を拡大してきました。これらは、データレート、ケーブル長、バスの寄生負荷にシステムレベルのトレードオフを実行しました。デバイスは、並列トランシーバなどのワーストケースを含め、50Ω 負荷で 1.5V の要件を満たすように規定されています。デバイスの差動入力抵抗は最小で 30kΩ です。100 個のデバイスがバス上で並列に接続されている場合、これは 300Ω の差動負荷のワーストケースに相当します。300 Ω のトランシーバ負荷を 60 Ω と並列にすると、50 Ω の等価負荷になります。したがって、TCAN29xx-Q1 は理論的には単一のバスセグメントで 100 を超えるトランシーバをサポートします。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、ネットワークの不均衡、グランドオフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、はるかに少なくなります。また、バス長は、慎重なシステム設計およびデータ レートとのトレードオフにより、本来の ISO 11898-2:2024 規格の 40m を超えて延長することが可能です。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データ レートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2:2024 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性には、適切なネットワーク設計を行い、トレードオフのバランスを取る必要があります。

10.2.1.1 通常モードのアプリケーション ノート

CRXD ピンまたは TRXD ピンをウェークアップ要求の監視に使用するシステムでは、モード遷移時に特に注意する必要があります。RXD ピンの出力は、トランシーバのプログラムされた状態に基づいており、ウェークアップが可能な場合は、トランシーバが別の状態になるまで、Low にラッチされます。

10.2.1.2 スタンバイ モードのアプリケーション ノート

デバイスが VSUP の低電圧を検出すると、CRXD ピンが Low に変化し、デバイスがスタンバイ モードに遷移したことをソフトウェアに通知します。nINT ピンが Low にプルダウンされ、UVSUP イベントを示します。デバイスは、想定されるモードにプログラムされている必要があります。これにはトランシーバも含まれます。

10.2.1.3 LTXD ドミナント状態タイムアウトのアプリケーション ノート

TXD ドミナント状態タイムアウトで許容される最大ドミナント LTXD 時間により、本デバイスの最小データ レートが制限されます。LIN プロトコルには、コントローラとペリフェラルのノードアプリケーションで異なる制約があります。そのため、各アプリケーションケースで連続ドミナントビットの最大値が異なり、データレートの最小値も異なります。

10.2.2 設計手順の詳細

10.2.2.1 CAN の詳細な設計手順

ISO 11898 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つツイストペアケーブル (シールド付きまたはシールドなし) と規定されています。信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する終端されていないドロップライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端抵抗は、ケーブル自体またはノード内にあっても構いませんが、ノードがバスから取り除かれる可能性がある場合、ネットワークに常に 2 つの終端が確保されるように配置を工夫する必要があります。終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用することができます。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

10.2.2.2 LIN の詳細な設計手順

TCAN2957-Q1 LIN トランシーバは、ISO 17987-4:2023 に適合するように内蔵 LIN レスポンダ プルアップ抵抗を使って開発されました。プルアップを厳密化して、バス容量が小さいネットワークを設計することにより、ネットワーク長を長く、またはバス上の LIN ノードを増やすことができます。コントローラ ノード アプリケーションでは、外部 $1k\Omega$ プルアップ抵抗と直列ダイオードが必要です。

10.2.3 デバイスブラウンアウト情報

デバイスのブラウンアウト動作は、VCC1、および VSUP が $VSUP_{(PU)F}$ 未満に降下するかどうかにより異なります。VCC1 = 5V であるデバイスでは、デバイスは [図 10-2](#) に従って動作します。VSUP が $VSUP_{(PU)F}$ を下回るまで降下し続けると、デバイスは [図 10-3](#) に従ってパワーオンリセットとして動作します。UVSUP_{5F} は VEXCC をオフにするために使用し、UVSUP_{5R} は VEXCC をオンにするために使用するようプログラムされます。

VCC1 = 3.3V の場合、UVSUP_{5R/F} と UPSUP_{33R/F} の両方が使用されます。VSUP が UPSUP_{33F} を下回り、VSUP_{(PU)F} を上回る際、デバイスは [図 10-4](#) に従い動作します。VSUP が $VSUP_{(PU)F}$ を下回るまで降下し続けると、デバイスは [図 10-5](#) に示すようにパワーオンリセットとして動作します。

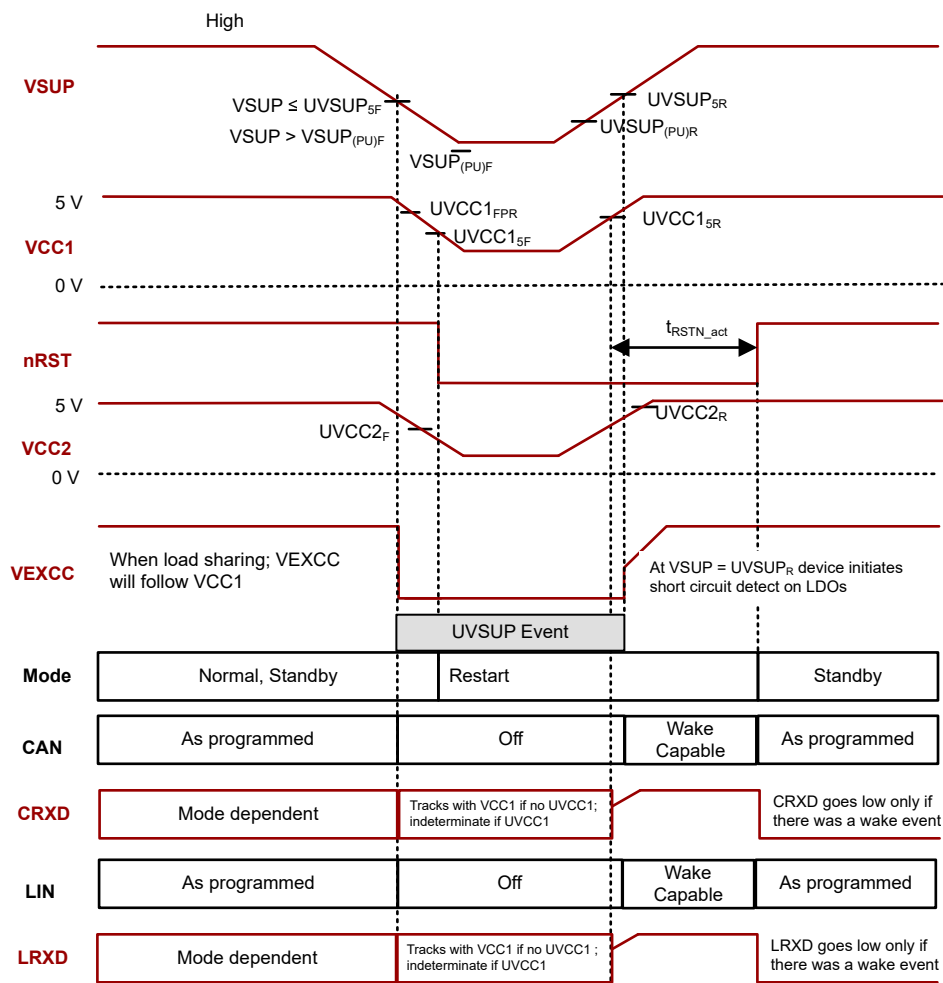


図 10-2. VCC1 = 5V の場合に $VSUP_{(PU)F}$ を上回るブラウナウト

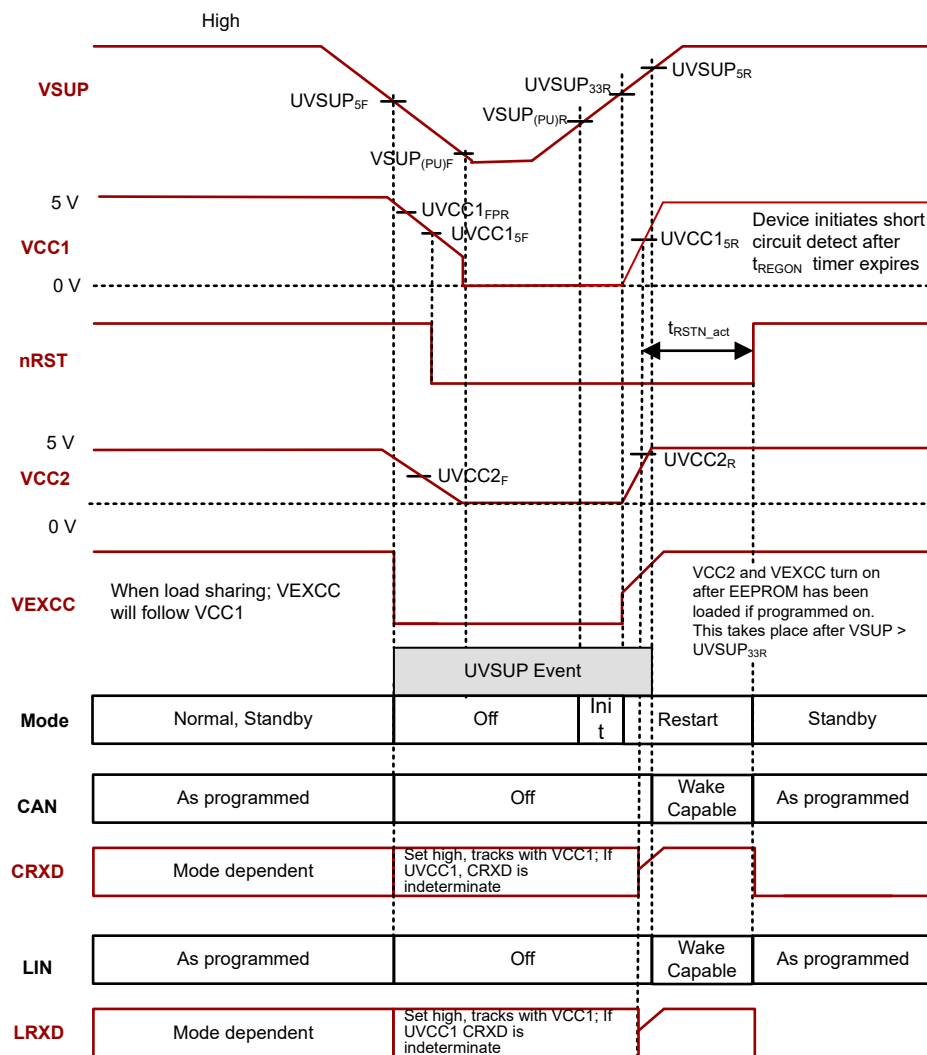


図 10-3. VCC1 = 5V の場合に VSUP_{(PU)F} を下回るブラウナウト

ADVANCE INFORMATION

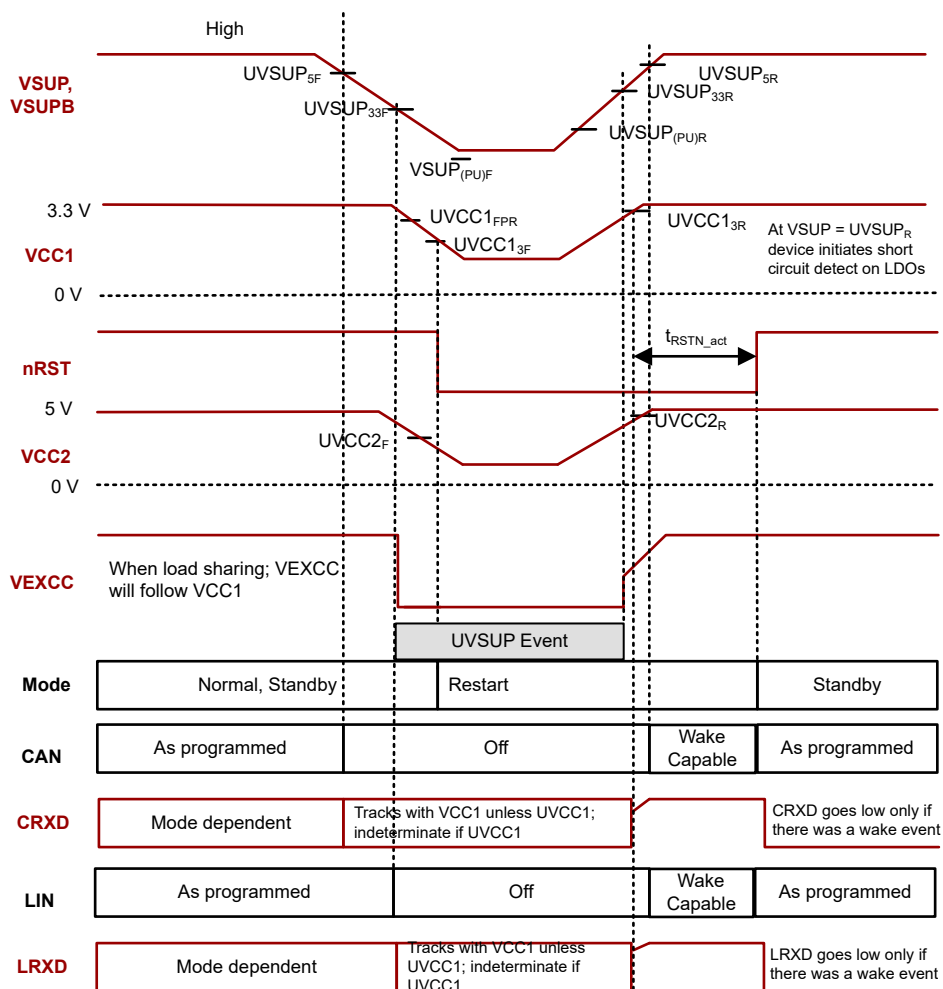


図 10-4. VCC1 = 3.3V の場合に VSUP_{(PU)F} を上回るブラウンアウト

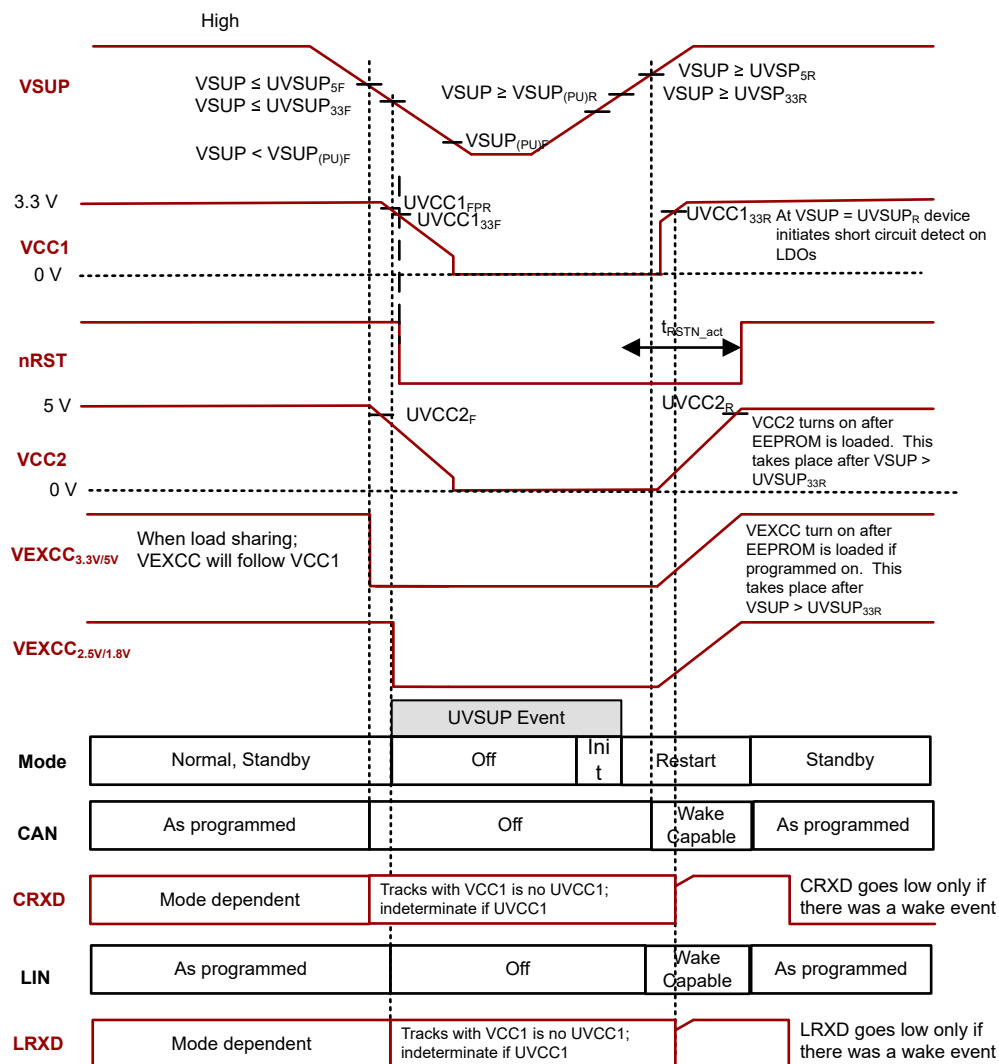


図 10-5. VCC1 = 3.3V の場合に $VSUP_{(PU)F}$ を下回るブラウンアウト

10.3 電源に関する推奨事項

TCAN29xx-Q1 は、非標準バッテリー $VSUP$ と $VCAN$ で動作するように設計されています。広範なマイクロプロセッサをサポートするため、ロジック I/O と SPI は、レベル 3.3V と 5V をサポートする非標準 $VCC1$ から電源が供給されます。CAN FD トランシーバの 5V 電源は、 $VCAN$ 入力から供給されます。入力および出力電源の端子に必要な外付け部品の推奨値については、表 10-1 を参照してください。

10.4 レイアウト

堅牢で信頼性の高いバスノード設計を実現するには、工業環境で発生し得る EFT やサージ過渡から保護するために、外付けの過渡保護デバイスを使用する必要があることがよくあります。ESD およびトランジスタの過渡現象は、およそ 3MHz ~ 3GHz にわたる広い周波数帯域を持つため、PCB 設計時には高周波レイアウト技術を適用する必要があります。このファミリは高いオンチップ IEC ESD 保護機能を搭載していますが、より高いレベルのシステム耐性が必要な場合は外部 TVS ダイオードを使用できます。TVS ダイオードとバスフィルタリングコンデンサをオンボードコネクタのできるだけ近くに配置すると、ノイズの多い過渡イベントが PCB やシステム内に伝播することを防止できます。

10.4.1 レイアウトのガイドライン

過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびフィルタリング回路をバス コネクタ J1 のできるだけ近くに配置します。このレイアウト例では、デバイスの周囲のコンポーネントに関する情報を提供します。直列同相モードチョーク (CMC) を、コネクタ J1 との間の CANH ラインおよび CANL ライン上に配置します。信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。

注

高周波電流は、抵抗が最小なパスではなく、インピーダンスが最小なパスに追従します。

実効ビア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのビアを使用します。

実効ビア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのビアを使用します。

- バイパス コンデンサとバルク コンデンサは、トランシーバの電源端子にできるだけ近い場所に配置する必要があります。例としては、VCC1、VCC2、VCAN 上の 100nF コンデンサ、VCC1 上の COUT と VCC2 上の CVCC2 などがあります。
- バス終端: このレイアウト例では、分割終端を示します。ここでは、終端が 2 つの抵抗 RTERM に分割され、終端のセンター タップまたは分割タップをコンデンサ CSPLIT を使用してグランドに接続します。分割終端はバス同相モードフィルタを提供します。バス終端をバス上に直接配置するのではなく、ボード上に配置する場合は、終端ノードがバスから外れないように、また終端も外れないように注意する必要があります。

10.4.2 レイアウト例

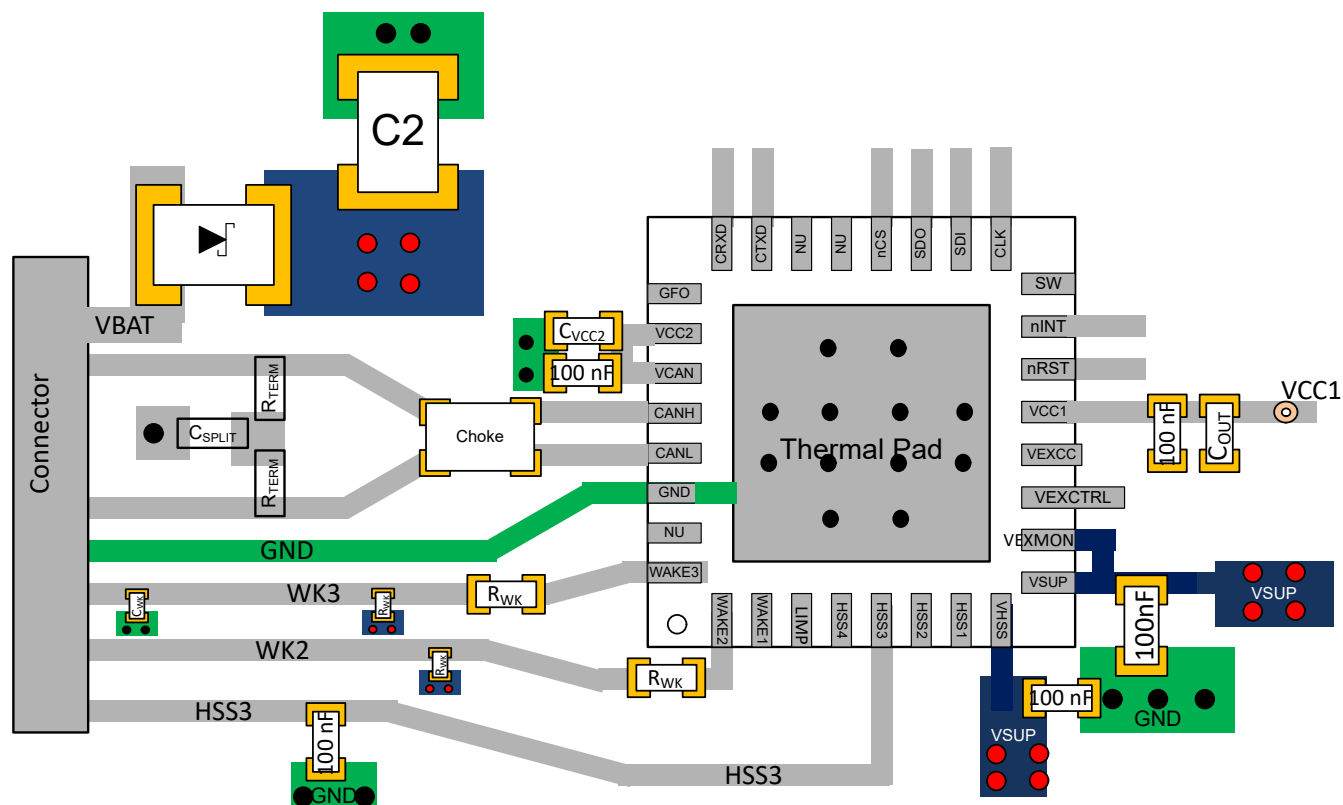


図 10-6. レイアウト例

11 デバイスおよびドキュメントのサポート

このデバイスは、次の CAN 規格に準拠しています。主要な必要事項は、このシステム仕様に含まれていますが、これらの規格を参照し、不一致部分は指摘して検討する必要があります。このドキュメントには、必要なすべての基本事項が記載されています。しかし、CAN プロトコルの詳細はこの物理層 (トランシーバ) 仕様の範囲外であるため、プロトコルも含めて CAN を完全に理解するには以下の追加資料が役に立ちます。

11.1 ドキュメントのサポート

11.1.1 CAN トランシーバの物理層の規格:

- ISO 11898-2:2024: 低消費電力モード付きの高速メディア アクセス ユニット (複数の仕様における -2 規格の電気的なスーパーセットであり、低消費電力モードでバスにより元のウェークアップ機能を追加)
- ISO 8802-3: CSMA/CD は- ISO11898-2 から衝突検出用に参照。
- SAE J2284-2: 250kbps の車載用アプリケーション向けの高速 CAN (HSC)
- SAE J2284-3: 500kbps の車載用アプリケーション向けの高速 CAN (HSC)

11.1.2 LIN トランシーバ物理層の規格

- ISO/DIS 17987-1: 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 1 部: 一般情報とユースケースの定義
- ISO/DIS 17987-4: 2023 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 4 部: 電気物理層 (EPL) 仕様 12V
- SAEJ2602-1: 車載アプリケーション用の LIN ネットワーク
- LIN2.0、LIN2.1、LIN2.2、LIN2.2A 仕様

11.1.3 EMC 要件:

- SAEJ2962-2: CAN トランシーバの US3 要件 (-2、-5、GM では -6 + FD に対応した更新も提案されますが、開始点としてはこれが最良です)
- CAN、LIN、FR V1.3 の HW 要件: CAN と LIN のドイツ OEM 要件
- ISO 10605: 道路車両 - 静電放電による電氣的障害のテスト手法
- ISO 11452-4: 2011: 道路車両 - ナローバンド放射の電磁気エネルギーによる電氣的障害のコンポーネント テスト手法 - 第 4 部: ハーネス励起方法
- ISO 7637-1: 2015: 道路車両 - 伝導および結合による電氣的障害 - 第 1 部: 定義および一般的な考慮事項
- ISO 7637-3: 道路車両 - 伝導および結合による電氣的障害 - 第 3 部: 供給ライン以外のラインを介した容量性および誘導性結合による電氣的過渡伝達
- IEC 62132-4: 2006: 集積回路 - 150kHz~1GHz の電磁気耐性の測定 - 第 4 部: 直接 RF 電力注入手法
- IEC 61000-4-2
- IEC 61967-4
- CISPR25

11.1.4 適合テストの要件:

- HS_TRX_Test_Spec_V_1_0: 高速物理層用の GIFT/ICT CAN テストの要件
- ISO/DIS 17987-7: 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 7 部: 電気物理層 (EPL) 適合性テスト仕様
- SAEJ2602-2: 車載アプリケーション用 LIN ネットワークの準拠テスト

11.1.5 関連資料

- 『A Comprehensive Guide to Controller Area Network』、Wilfried Voss、Copperhill Media Corporation
- 『CAN System Engineering: From Theory to Practical Applications』、第 2 版、2013 年、Dr. Wolfhard Lawrenz、Springer

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

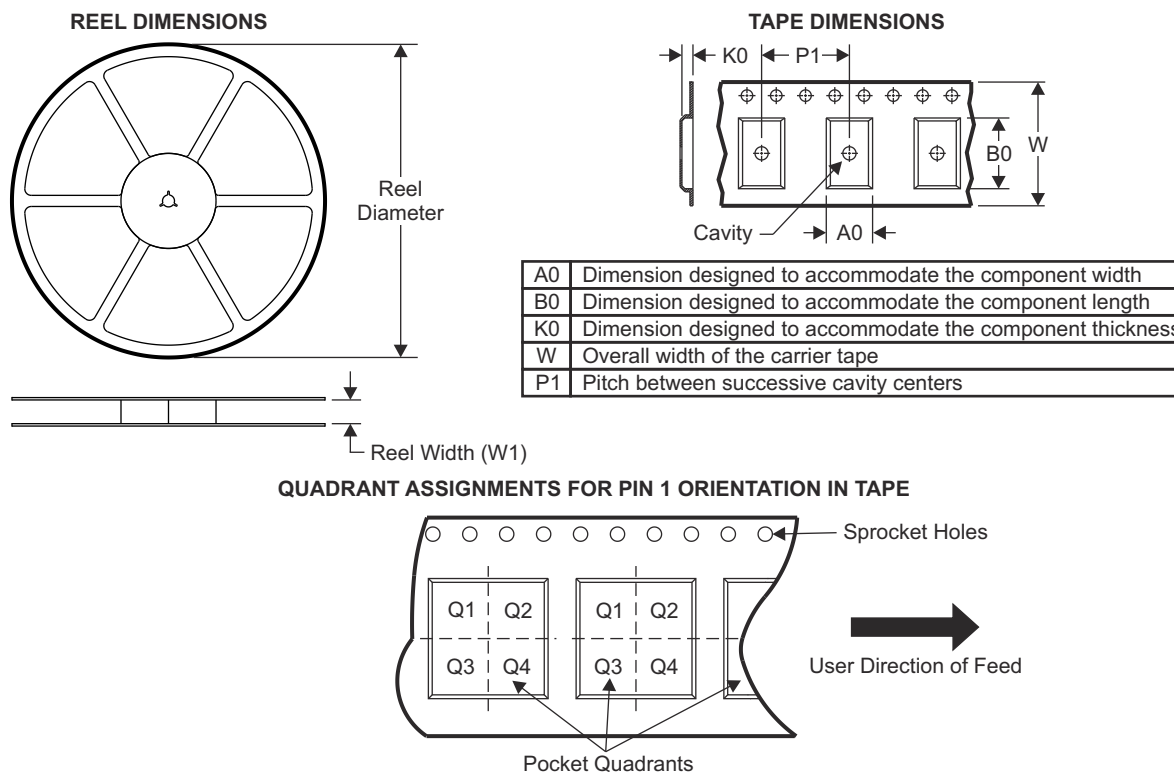
12 改訂履歴

日付	改訂	注
August 2026	*	初版リリース

13 メカニカル、パッケージ、および注文情報

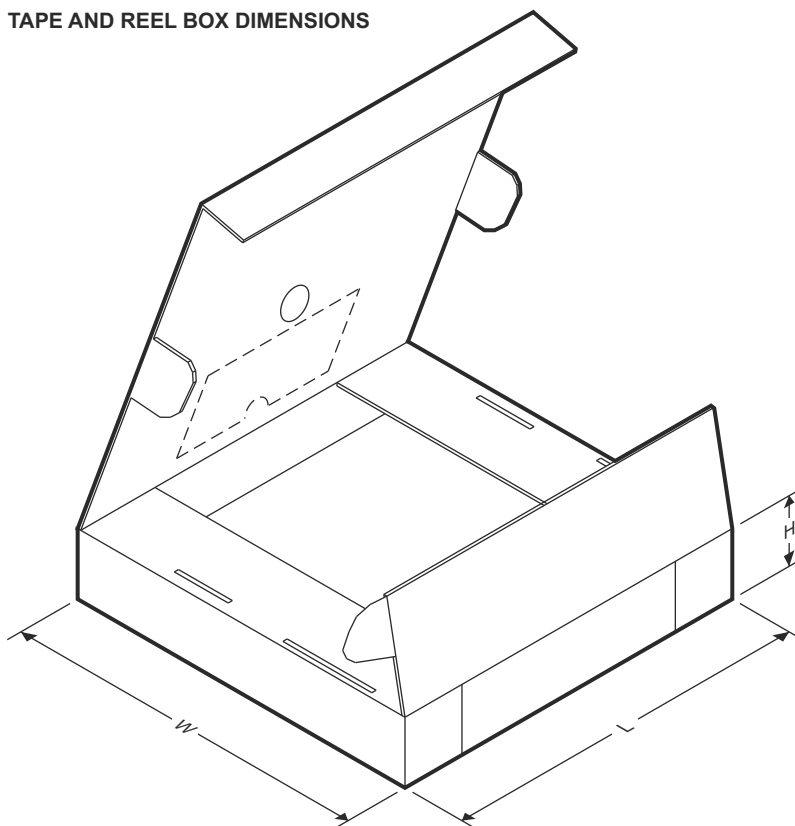
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

13.1 テープおよびリール情報



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PTCAN29575BRHBRQ 1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
PTCAN29573BRHBRQ 1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
PTCAN29475BRHBRQ 1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
PTCAN29473BRHBRQ 1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

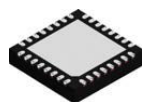
TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTCAN29575BRHBRQ1	VQFN	RHB	32	5000	360	360	36
PTCAN29573BRHBRQ1	VQFN	RHB	32	5000	360	360	36
PTCAN29475BRHBRQ1	VQFN	RHB	32	5000	360	360	36
PTCAN29473BRHBRQ1	VQFN	RHB	32	5000	360	360	36

13.2 メカニカル データ

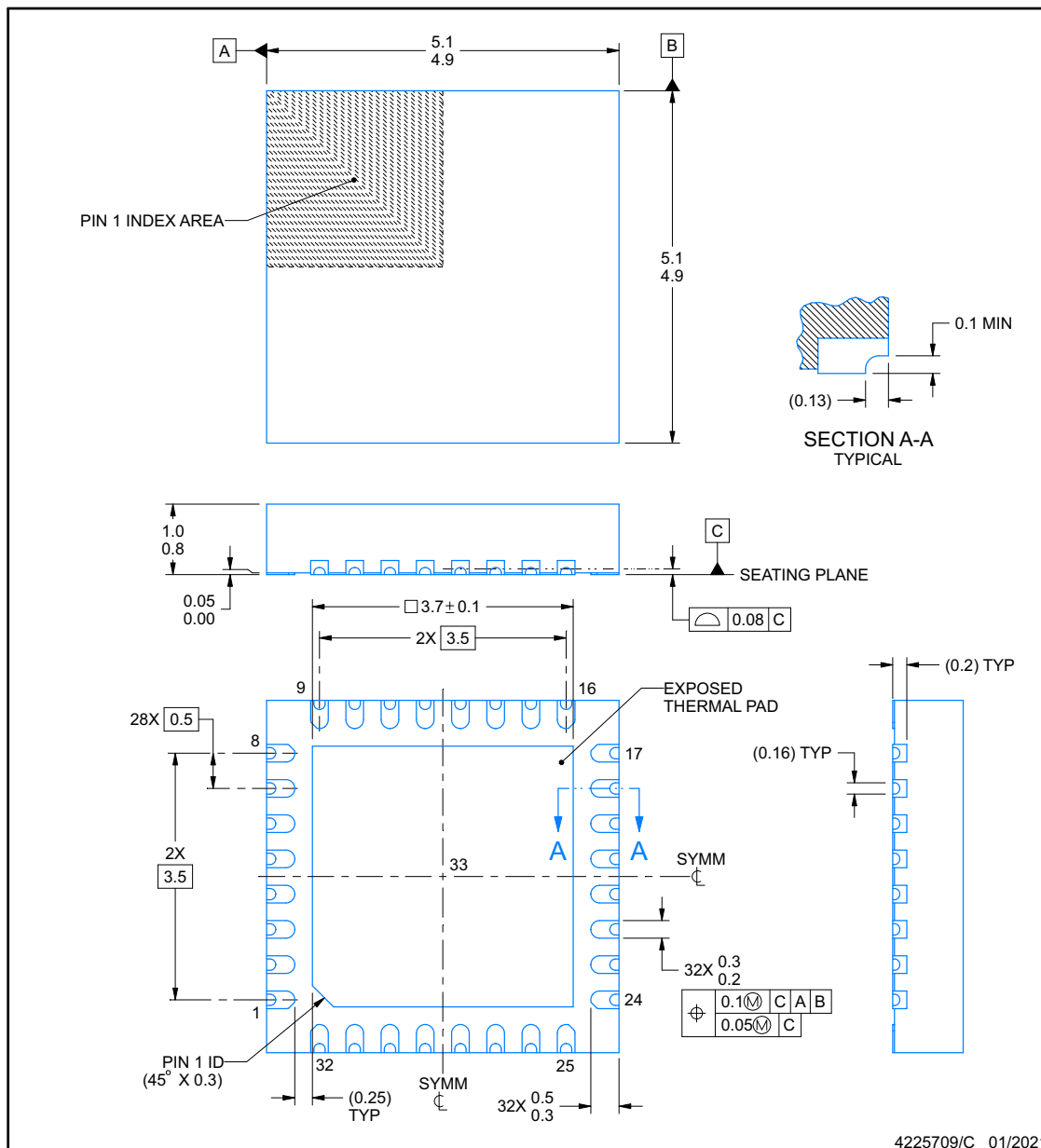
RHB0032U



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



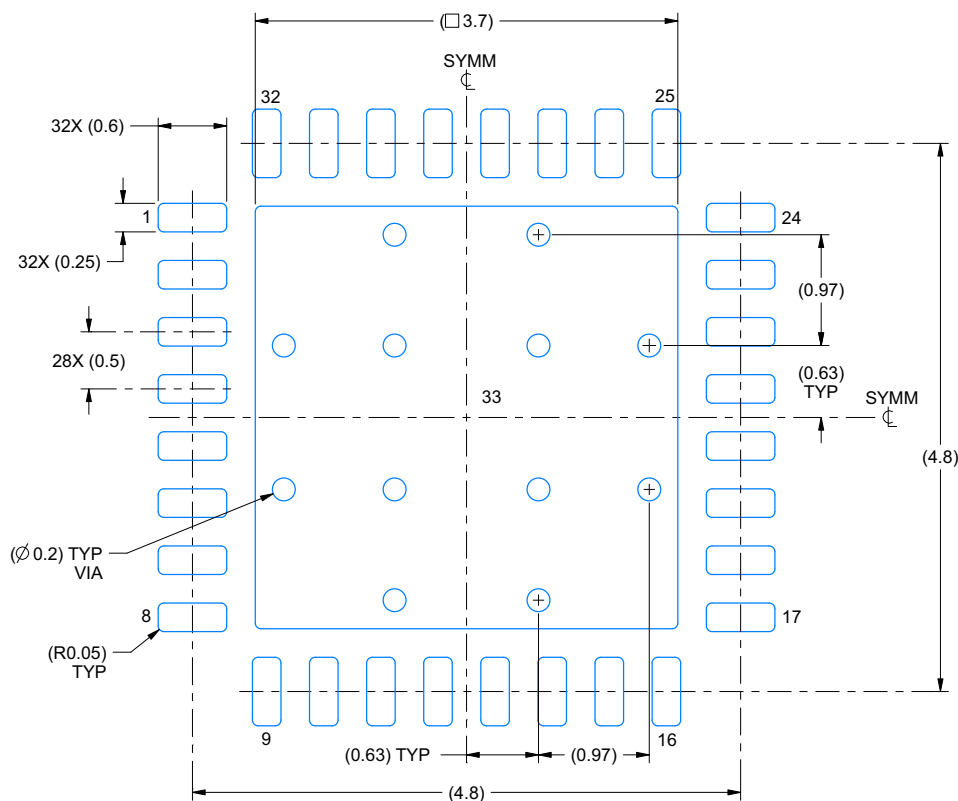
NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

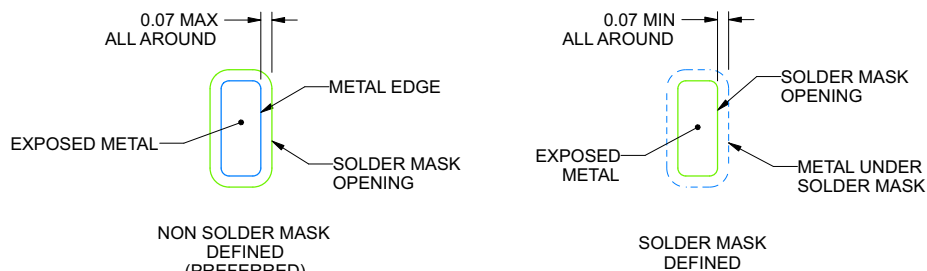
RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

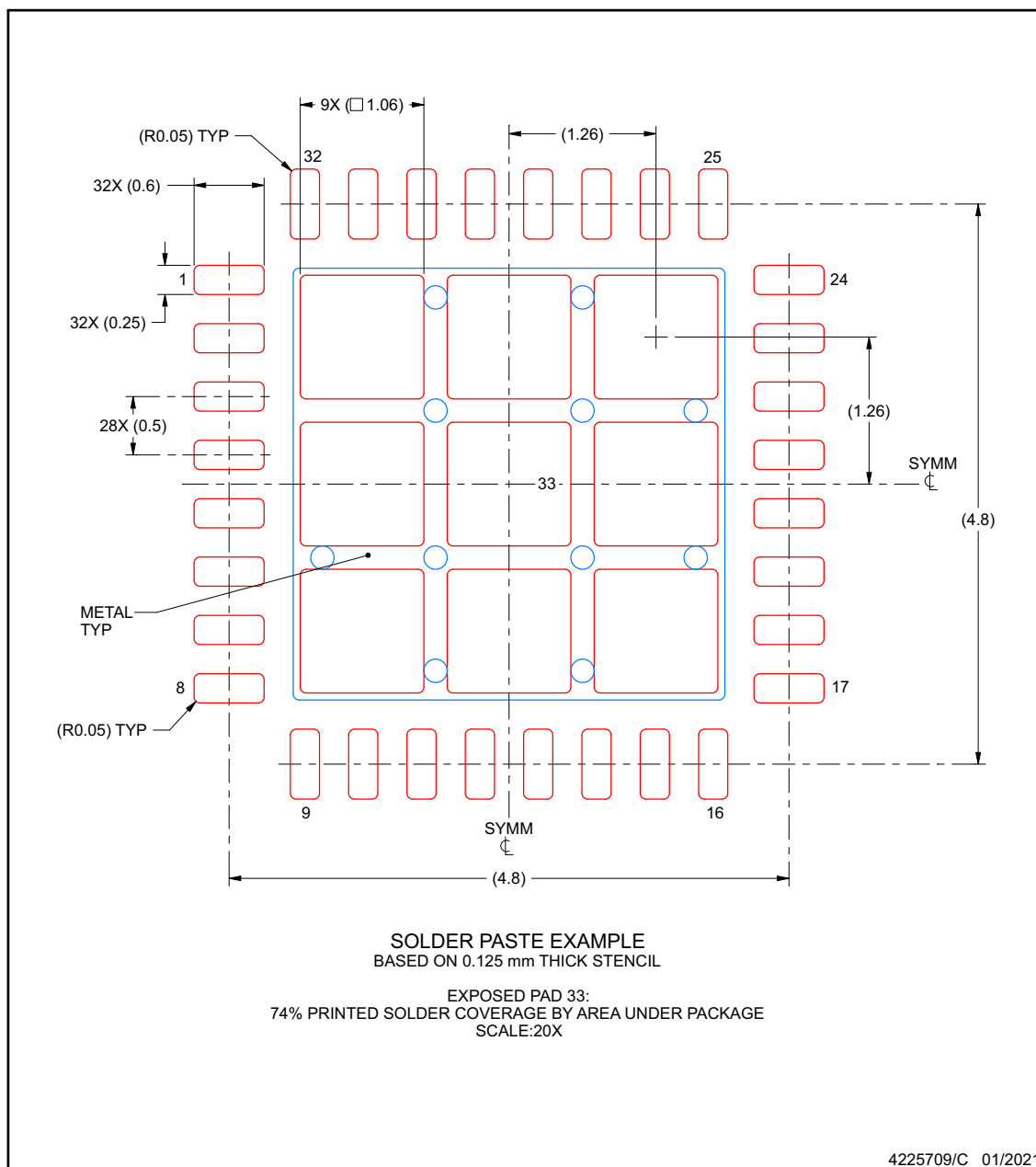
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTCAN29575BRHBRQ1	Active	Preproduction	VQFN (RHB) 32	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

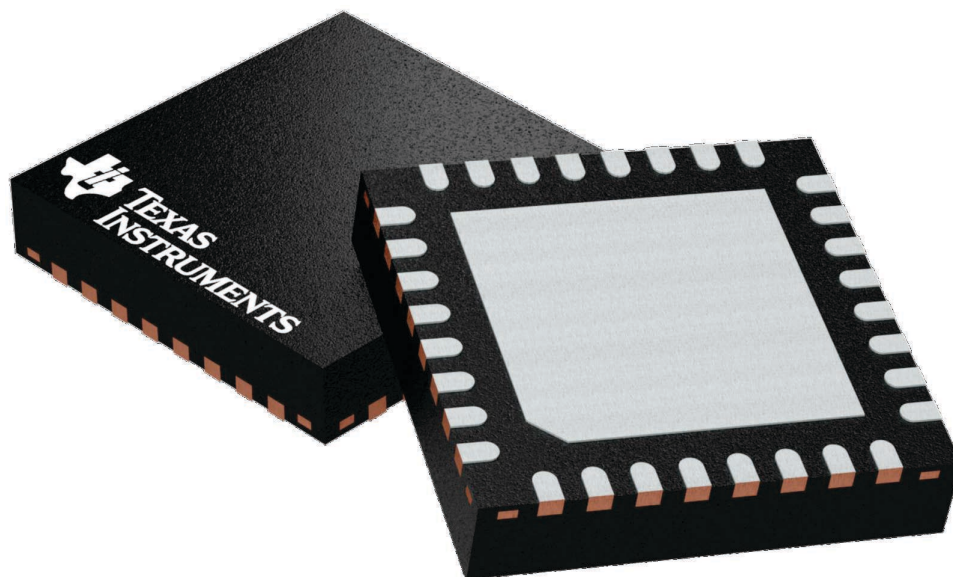
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月