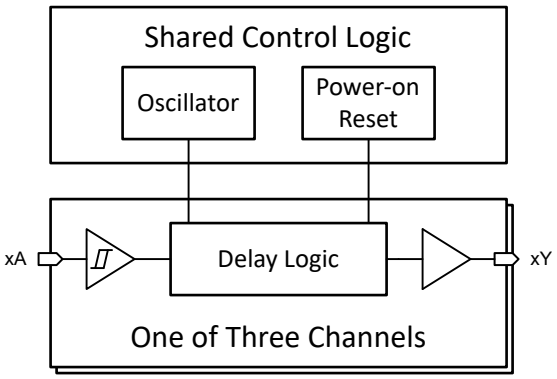
TDEL3G510-Q1 車載用トリプル立ち下がりエッジ遅延素子

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃ ～ +125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 標準値 1%、最大遅延変動 10%
- 事前設定済みのデジタル タイミング — 外部タイミング部品は不要
- 幅広い動作範囲:1.65V ～ 5.5V
- I/O クランプ ダイオードは過電圧および低電圧過渡から保護します
- すべての入力のシュミット トリガ アーキテクチャ

2 アプリケーション

- 信号の立ち下がりエッジを遅延させる
- 短いアクティブ High パルスを延長する
- 短いアクティブ Low パルスをフィルタで除去する
- アクティブ High 信号をデバウンスする



機能ブロック図

3 説明

TDEL3G510-Q1 デバイスは、3 つの独立した固定時間立ち下がりエッジ遅延ブロックを内蔵しています。各チャネルは、入力信号の立ち下がりエッジをあらかじめ決められた量だけ遅延させ、同時に、最小限の遅延で立ち上がりエッジを通過させます。

パッケージ情報

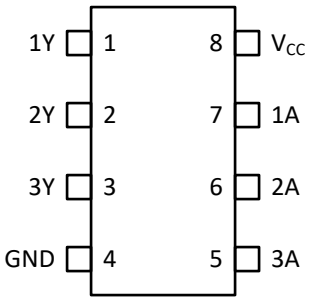
部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
TDEL3G510-Q1	DRL (SOT-5X3、8)	2.1mm × 1.6mm	2.1mm × 1.6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

製品情報

部品番号	遅延時間(1)
TDEL1G510**00**	100ms

(1) 表近似値。詳細については、セクション 5.8 を参照



ピン配置図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 タイミング特性.....6
5.7 スイッチング特性.....6
5.8 代表的特性.....8
6 パラメータ測定情報.....9
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....12
8 アプリケーションと実装.....13
8.1 使用上の注意.....13
8.2 代表的なアプリケーション.....13
8.3 電源に関する推奨事項.....15
8.4 レイアウト.....15
9 デバイスおよびドキュメントのサポート.....17
9.1 デバイス サポート.....17
9.2 ドキュメントのサポート.....17
9.3 ドキュメントの更新通知を受け取る方法.....17
9.4 サポート・リソース.....17
9.5 商標.....17
9.6 静電気放電に関する注意事項.....17
9.7 用語集.....17
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....18

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

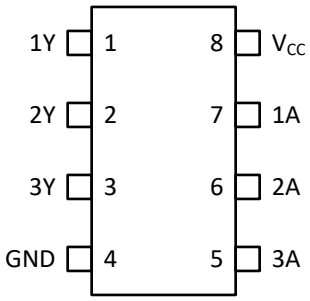


図 4-1. TDEL3G510-Q1 DRL パッケージ（上面図）

ピンの機能

ピン		タイプ(1)	説明
名称	DRL 番号		
1A	7	I	チャネル 1 入力
1Y	1	O	チャネル 1 出力
2A	6	I	チャネル 2 入力
2Y	2	O	チャネル 2 出力
3A	5	I	チャネル 3 入力
3Y	3	O	チャネル 3 出力
GND	4	G	グランド
V_{CC}	8	P	正電源

(1) 信号タイプ：I = 入力、O = 出力、G = グランド、P = 電源。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	デジタル入力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
V_O	アクティブ状態でのデジタル出力電圧範囲(3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ ダイオード電流、連続	V_I < -0.5V または V_I > V_{CC} + 0.5		±20	mA
	入力クランプ ダイオード電流、パルス 1µs	V_I < -0.5V または V_I > V_{CC} + 0.5		±200	mA
I_{OK}	出力クランプ ダイオード電流、連続	V_I < -0.5V または V_I > V_{CC} + 0.5		±20	mA
	出力クランプ ダイオード電流、パルス 1µs	V_I < -0.5V または V_I > V_{CC} + 0.5		±200	mA
I_O	デジタル出力電流、連続	V_O = 0～V_{CC}		±20	mA
	デジタル出力電流、パルス 1µs	V_O = 0～V_{CC}		±100	mA
	V_{CC} または GND を通過する連続電流			±60	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。「推奨動作条件」の範囲外でも、「絶対最大定格」の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 関連するクランプ電流定格を順守しても、電圧定格を超えることがあります。
(3) 外部ダイオードを追加すると、タイミング容量の最大値を超える場合があります。詳細については、アプリケーションと実装セクションを参照してください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC}	電源電圧		1.65	5.5	V
V_I	入力電圧(1)		0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	V
I_{OH} (2)	High レベル出力電流	V_{CC} = 1.65V～2.2V		-6	mA
		V_{CC} = 2.3V～5.5V		-20	mA
I_{OL} (2)	Low レベル出力電流	V_{CC} = 1.65V～5.5V		20	mA
C_L	デジタル出力負荷容量	V_{CC} = 1.65V～5.5V		50	pF
V_{POR}	パワーオン リセット ランプ電圧	$\Delta t/\Delta V_{CC}$ ≥ 20µs/V	0.3	1.5	V
$\Delta t/\Delta V_{CC}$	パワーオン ランプ レート	V_{CC} = 0.3V～1.5V	20		µs/V

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.65V～5.5V		100	ms/V
T_A	外気温度での動作時		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。
(2) 連続動作の推奨最大出力電流。V_{OH} および V_{OL} の仕様を維持するためのテスト電流の値については、電気的特性を参照してください。12mA を超える平均出力電流で動作すると、デバイスの信頼性に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DRL (SOT-5X3)	8	118.4	77.1	26.5	3.9	25.9	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内、T_A = 25°C で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{T+}	正のスイッチング スレッショルド		1.65V	0.84	1.02	1.21	V
			1.8V	0.91	1.11	1.31	
			2.5V	1.24	1.48	1.72	
			3.3V	1.59	1.85	2.13	
			5V	2.29	2.65	3.03	
			5.5V	2.5	2.88	3.3	
V_{T-}	負のスイッチング スレッショルド		1.65V	0.51	0.67	0.85	V
			1.8V	0.58	0.74	0.93	
			2.5V	0.88	1.07	1.29	
			3.3V	1.19	1.42	1.68	
			5V	1.8	2.11	2.47	
			5.5V	1.99	2.32	2.71	
ΔV_T	ヒステリシス (V_{T+} - V_{T-})		1.65V	0.23	0.36	0.49	V
			1.8V	0.24	0.37	0.5	
			2.5V	0.29	0.40	0.54	
			3.3V	0.34	0.44	0.55	
			5V	0.44	0.53	0.63	
			5.5V	0.47	0.57	0.66	
V_{OH}	High レベル出力電圧	I_{OH} = -50µA	1.65V ～ 5.5V	V_{CC} - 0.1	V_{CC} - 0.01		V
		I_{OH} = -1mA	1.65V	1.5	1.6		
		I_{OH} = -2mA	2.3V	2.1	2.2		
		I_{OH} = -8mA	3V	2.3	2.6		
		I_{OH} = -12mA	4.5V	3.6	4		
		I_{OH} = -12mA	5.5V	4.7	5		

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OL}	Low レベル出力電圧	I_{OL} = 50μA	1.65V ～ 5.5V		0.01	0.1	V
		I_{OL} = 1mA	1.65V		0.01	0.1	
		I_{OL} = 2mA	2.3V		0.02	0.1	
		I_{OL} = 8mA	3V		0.05	0.2	
		I_{OL} = 12mA	4.5V		0.06	0.2	
		I_{OL} = 12mA	5.5V		0.06	0.2	
I_{CC}	電源電流	低速発振器を使用したアクティブ状態(1)、V_I = V_{CC} または GND、I_O = 0	1.65V		6	8	μA
			2.3V		7	9	
			3V		8	11	
			4.5V		12	19	
			5.5V		16	26	
ΔI_{CC}	電源電流の変化	1 つの入力、0 < V_i < V_{CC}、その他のすべての入力は V_{CC} または GND、I_O = 0	1.65V ～ 5.5V			0.7	mA
C_I		V_I = 5.5V または GND	5.5V		3		pF

(1) 各発振器を使用するデバイスの表については、『代表的特性』を参照してください。

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	最小値	最大値	単位
t_{wi} (1)	パルス幅	任意の入力	1.8V ± 0.15V	10		ns
			2.5V ± 0.2V	10		
			3.3V ± 0.3V	10		
			5V ± 0.5V	10		
$t_{startup}$ (2)	起動時間		1.65V ～ 5.5V		265	μs

(1) TDEL ファミリ デバイス内部のタイミング回路を起動するために必要な、最小入力パルス幅。アクティブ状態での動作は消費電力が増加しますが、出力状態は変化しない場合があります。詳細については、『詳細説明』セクションを参照してください。
(2) 起動時間が経過するまで、出力はハイ インピーダンス状態になります。

5.7 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{plh}	任意の入力	任意の出力	C_L = 15pF	1.65V			121	ns
				2.3V			107	
				3V			101	
				4.5V			96.4	
				5.5V			94.5	
			C_L = 50pF	1.65V			127	
				2.3V			112	
				3V			105	
				4.5V			98.8	
				5.5V			97	

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_t		任意の出力	C_L = 15pF	1.65V		12	18	ns
				2.3V		9	14	
				3V		8	11	
				4.5V		6	9	
				5.5V		6	9	
			C_L = 50pF	1.65V		22	33	
				2.3V		16	24	
				3V		14	20	
				4.5V		11	16	
				5.5V		10	15	
Δt_{delay} (1)		任意の出力	C_L = 50pF	1.65V ～ 5.5V		±1	±10	%
C_{pd}	任意の入力	任意の出力	T = V_{CC}、$\overline{T}$ = GND、f_I = 1MHz、C_L = 50pF	1.65V		12		pF
				2.3V		9		pF
				3V		8		pF
				4.5V		23		pF
				5.5V		91		pF

(1) 公称値からの遅延時間の変動。

5.8 代表的特性

表 5-1. 各デバイスの遅延時間

T_A = 25℃ (特に記述のない限り)

デバイス	発振器	パラメータ	タイミング値(1)
TDEL3G51000DRLR	低速度	t_{delay}	100ms
		t_{osc}	1.28ms

(1) 遅延時間 (t_{delay}) は、さらに最大 –t_{osc} の範囲で変動する可能性があります。

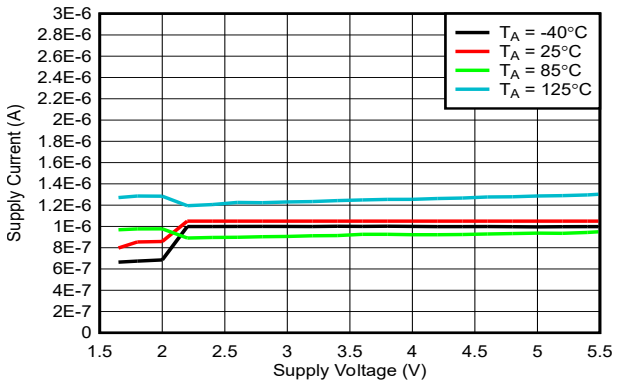


図 5-1. 電源電流と電源電圧との関係

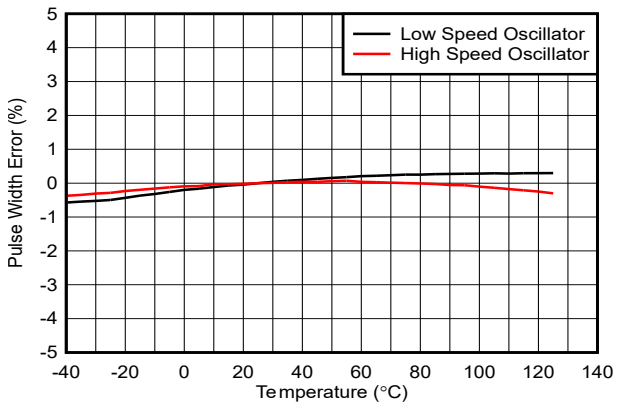


図 5-2. パルス幅誤差と温度との関係

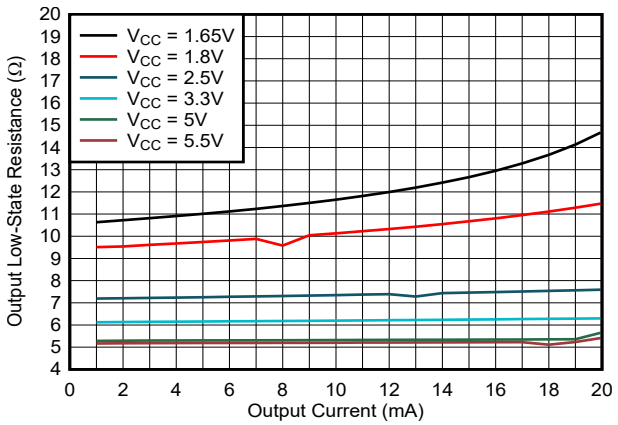


図 5-3. 出力 Low 状態抵抗と出力電流との関係

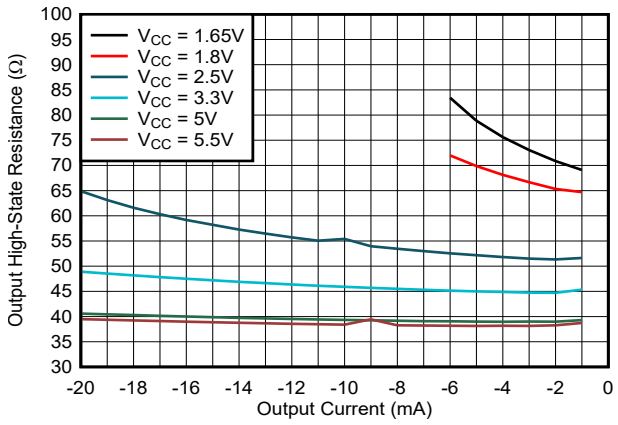


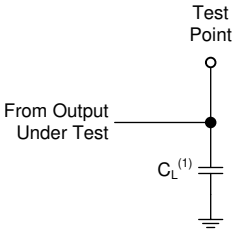
図 5-4. 出力 High 状態抵抗と出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

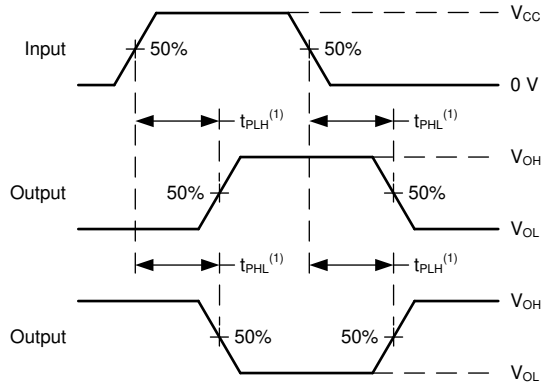
以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



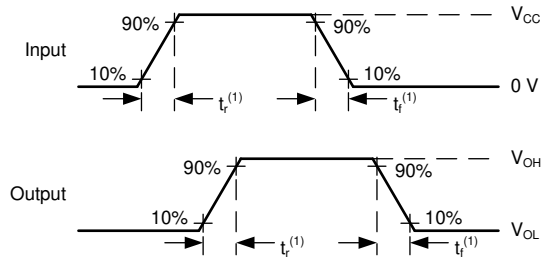
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-3. 電圧波形、入力および出力の遷移時間

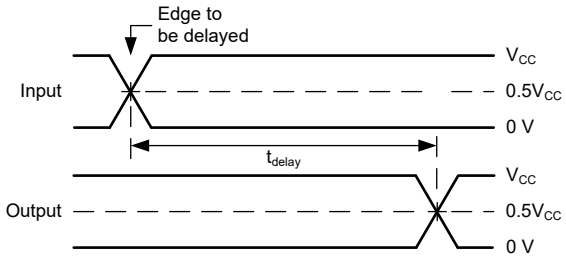


図 6-4. 電圧波形、エッジ遅延時間

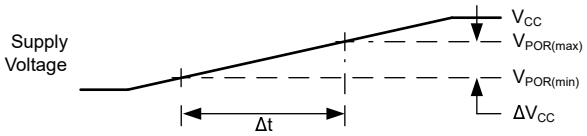


図 6-5. 電圧波形、電源ランプ

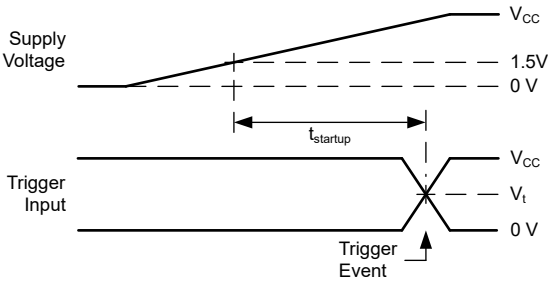


図 6-6. 電圧波形、起動時間

7 詳細説明

7.1 概要

TDEL3G510-Q1 デバイスは、デジタル時間制御型の立ち下がりエッジ、、の 3 つの遅延回路を搭載しています。

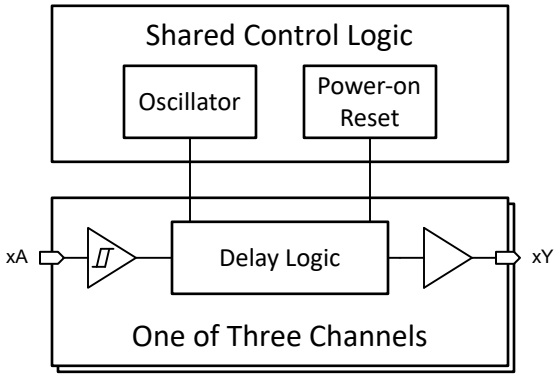
入力が High から Low に遷移すると、内部タイマが起動します。タイマが事前定義された遅延値に達すると、出力が High から Low に遷移し、タイマがディセーブルになります。入力が Low から High に遷移すると、タイマはリセットおよびディセーブルされ、次の立ち下がりエッジ遅延動作を待ちます。

立ち下がりエッジ遅延機能は、アクティブ Low 信号に対して本質的なフィルタリング動作を提供し、入力が事前定義された遅延時間よりも長く Low 状態にとどまらない限り、出力を High 状態に維持します。

未使用時は、内部発振器がオフになります。遅延を測定すると、発振器がオンになり、すべてのチャネルで共有されます。

パワーアップ ランプ中、内部のパワーオン リセット回路によって通常のデバイス動作がイネーブルされるまで、出力はハイインピーダンス状態を維持します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 命名規則

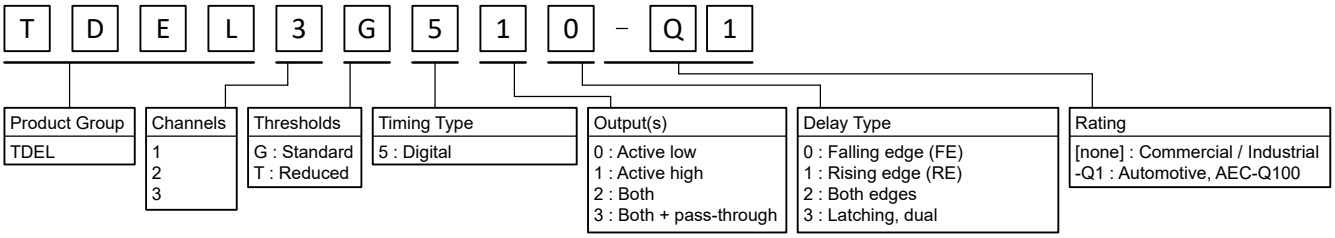


図 7-1. デバイス名の意味

7.3.2 タイミング メカニズムと精度

出力遅延 (t_{delay}) は、工場出荷時に調整済みの内部発振器とバイナリ カウンタによって生成されます。エッジ遷移が検出されると、発振器が起動し、事前設定されたカウント値に達するまでカウンタを駆動します。その時点で、遅延タイプに応じた出力応答が行われます。

最大遅延誤差は、『スイッチング特性』セクションに Δt_{delay} として示され、電圧、設計、製造、温度による変動も含まれます。この変動は、『代表的特性』セクションに示す標準遅延時間のパーセンテージとして示されます。

Copyright © 2026 Texas Instruments Incorporated

あるチャネルがアクティブに遅延時間を計測している最中に、別のチャネルがトリガされて遅延時間の計測を開始した場合、入力が非同期であるという性質上、遅延時間に最大で t_{osc} の誤差が生じる可能性があります (『代表的特性』セクションを参照)。

7.3.3 CMOS プッシュプル出力

このデバイスには、CMOS プッシュプル出力が内蔵されています。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.4 CMOS シュミット トリガ入力

このデバイスには、シュミット トリガ アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」表に示されている最大入力電圧と、「電気的特性」表に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット トリガ入力アーキテクチャでは、「電気的特性」表の ΔV_T で定義されているヒステリシスが発生するため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号で駆動すると、「電気的特性」表の ΔI_{CC} として定義されている入力あたりの最大値で、デバイスの動的消費電流が増加します。シュミット トリガ入力の詳細については、『シュミット トリガについて』を参照してください。

動作中は片時も、入力をオープンのままにすることはできません。未使用の入力は、有効な High または Low 電圧レベルで終端する必要があります。システムが入力を常にアクティブに駆動していない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

7.3.5 既知のパワーアップ状態でのラッチ論理

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。標準的な論理デバイスでは、電源を最初に印加した後、各ラッチ回路の出力状態は不明です。ただし、このデバイスには追加されたパワー オン リセット (POR) 回路が搭載されており、デバイスが通常機能を開始する前のパワーアップ時に、すべての内蔵ラッチ回路の状態を設定します。

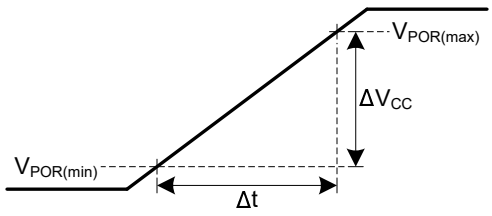


図 7-2. 既知のパワーアップ状態での電源 (V_{CC}) ランプ特性

図 7-2 に、電源電圧の正しいターンオン ランプを示し、「推奨動作条件」と「電気的特性」の表で使用される値を定義しています。

パワーオン ランプを開始する前に、電源が完全にオフになっている必要があります ($V_{CC} \leqq V_{POR(min)}$)。

電源電圧は、「推奨動作条件」表に記載されている範囲内の速度で上昇する必要があります。

Copyright © 2026 Texas Instruments Incorporated

各ラッチ論理回路の出力状態は、デバイスに電力が印加されている間 (V_{CC} ≧ $V_{POR(max)}$) のみ安定した状態を維持します。

これらの推奨事項から逸脱すると、デバイスが未知のパワーオン状態になる可能性があります。

7.3.6 クランプ ダイオード構造

図 7-3 に示すように、このデバイスの入力と出力には正と負の両方のクランプ ダイオードがあります。

注意

*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

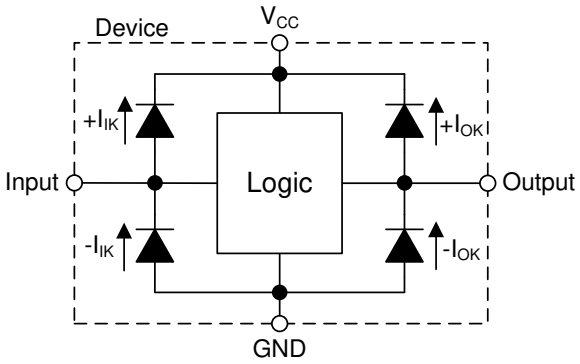


図 7-3. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

7.4.1 スタートアップ動作

TDEL3G510-Q1 には内部パワーオン リセット (POR) 回路が搭載され、起動中の誤トリガを防止します。既知のパワーアップ状態でのラッチ論理に記載されている電源ランプ要件の詳細があります。タイミング要件表に従い、スタートアップ時間 ($t_{startup}$) が終了した後で通常動作を開始することができます。アクティブなとき、POR 回路は TDEL3G510-Q1 のすべての出力をハイ インピーダンス状態に保持します。

7.4.2 オン状態動作

下表に TDEL3G510-Q1 のオン状態の機能モードを示します。

表 7-1. 機能表

入力(1)	出力(2)
A	**Y**
↑	H
↓	L は事前設定遅延の後
L	L(3)
H	H

(1) H = High 電圧レベル、L = Low 電圧レベル、↑ = Low から High への遷移、↓ = High から Low への遷移
(2) L = Low に駆動、H = High に駆動
(3) 出力状態は、入力側で示された定常状態が、あらゆる遅延プロセスが完了するのに十分な期間にわたり確立されているという仮定に基づいています。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TDEL3G510-Q1 は、デジタル入力信号に固定時間の立ち下がりエッジ遅延を追加するために使用されます。最も一般的な 3 つの使用事例は、立ち下がりエッジ遅延、パルス ストレッチャ、グリッチ除去 / デバウンスです。3 つのアプリケーションはいずれも同じロジック機能で、入力信号のみが違います。

8.2 代表的なアプリケーション

このアプリケーションでは、TDEL3G510-Q1 の 1 つのチャンネルを使用して、入力信号のおよび立ち下がりエッジを遅延させます。この回路構成を、図 8-1 に示します。

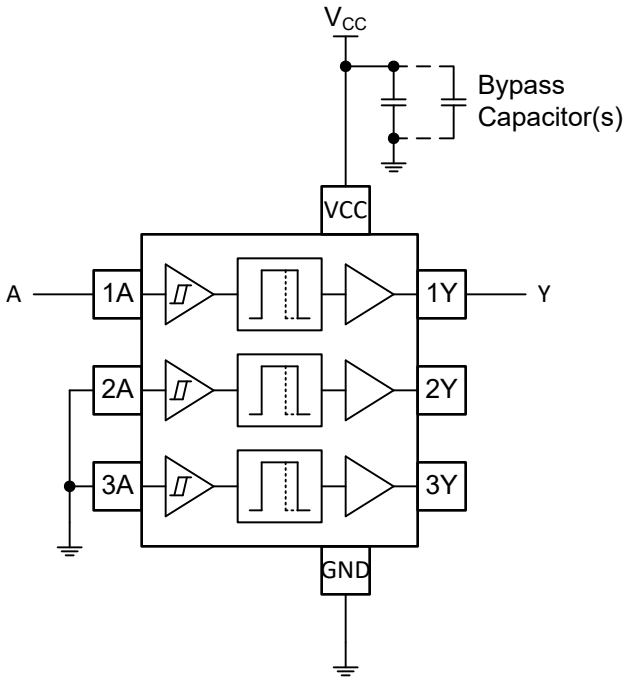


図 8-1. TDEL3G510-Q1 を使用した立ち下がりエッジ遅延回路図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、TDEL3G510-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グランドは、TDEL3G510-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイス

Copyright © 2026 Texas Instruments Incorporated

は、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

TDEL3G510-Q1 は、データシートの仕様をすべて満たしながら、合計容量 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えてはいけません。

TDEL3G510-Q1 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、*CMOS の消費電力と Cpd の計算 アプリケーション ノート* に記載された情報を使って計算できます。

温度の上昇は、*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート* に記載された情報を使って計算できます。

注意

*絶対最大定格*に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{t-(min)}$ を超えるとロジック LOW と見なされ、$V_{t+(max)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が HIGH の場合にはプルアップ抵抗、デフォルト状態が LOW の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、TDEL3G510-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

TDEL3G510-Q1 にはシュミット トリガ入力があるため、入力信号遷移レートの要件はありません。

シュミット トリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、『電気的特性』表の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピーク ツー ピーク制限が得られます。

標準的な CMOS 入力とは異なり、シュミット トリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (代表値) を『代表的特性』セクションのグラフに示します。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。 グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

出力駆動強度を高めるために、2 つのチャネルを並列に接続しないでください。さらに駆動強度が必要な場合は、外付けのドライバ デバイスを追加してください。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、TDEL3G510-Q1 から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

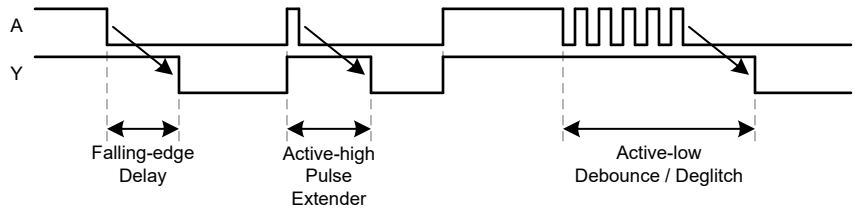


図 8-2. 出力タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

起動中、電源は、「推奨動作条件」表に規定された起動ランプ レートの範囲内で立ち上がる必要があります。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。TDEL3G510-Q1 の通常動作には、0.1µF バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

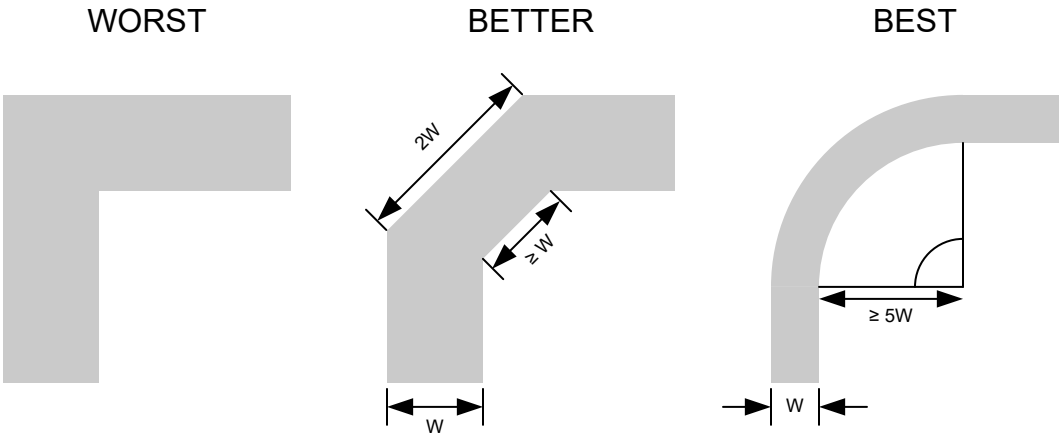


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

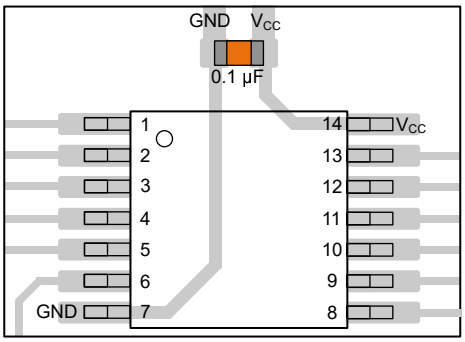


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

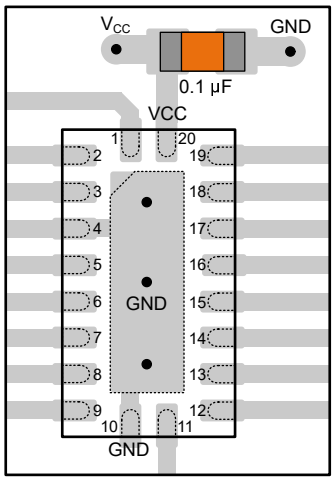


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

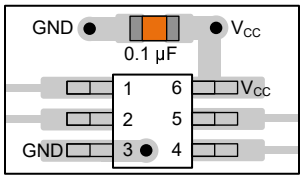


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

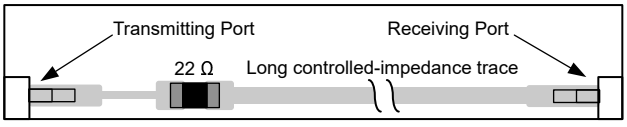


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイス サポート

9.1.1 デバイスの命名規則

表 9-1. デバイスの命名規則

製品(1)	説明
TDEL3G510-Q1 **xx yyy z**	**xx** はタイミングのバリアントです。タイミング オプションの表については、1 ページを参照してください。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。R は大容量リール (3000 個) を示します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート
- テキサス インスツルメンツ、『ロジック設計』アプリケーション ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDEL3G51000DRLRQ1	Active	Production	SOT-5X3 (DRL) | 8	3000 | LARGE T&R	-	Call TI	Level-1-260C-UNLIM	-40 to 125	QDD00

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TDEL3G510-Q1 :

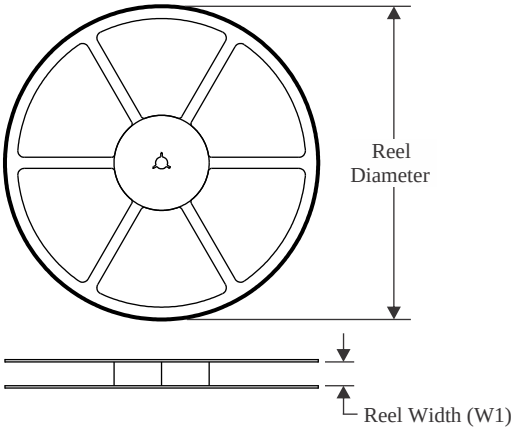
- Catalog : TDEL3G510

NOTE: Qualified Version Definitions:

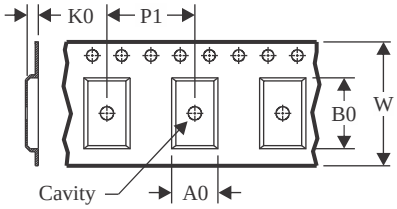
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

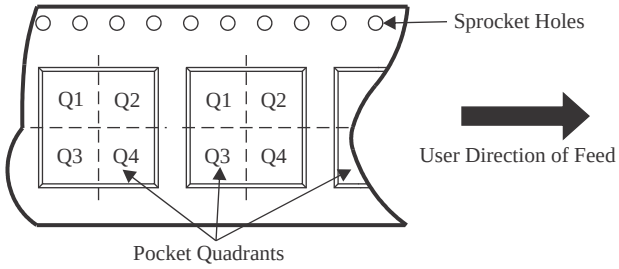


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

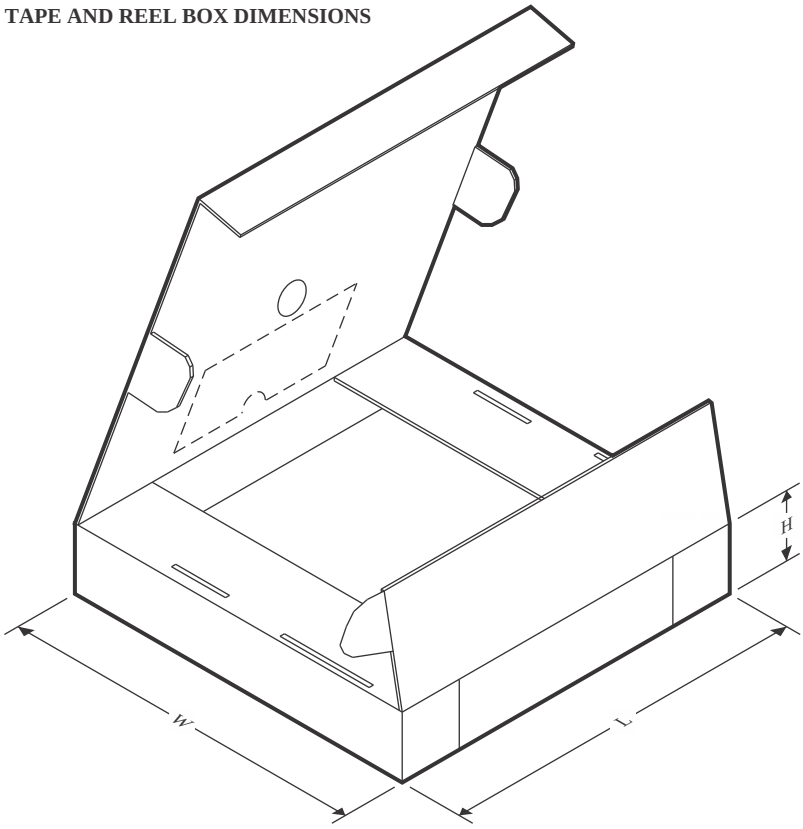
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDEL3G51000DRLRQ1	SOT-5X3	DRL	8	3000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDEL3G51000DRLRQ1	SOT-5X3	DRL	8	3000	210.0	185.0	35.0

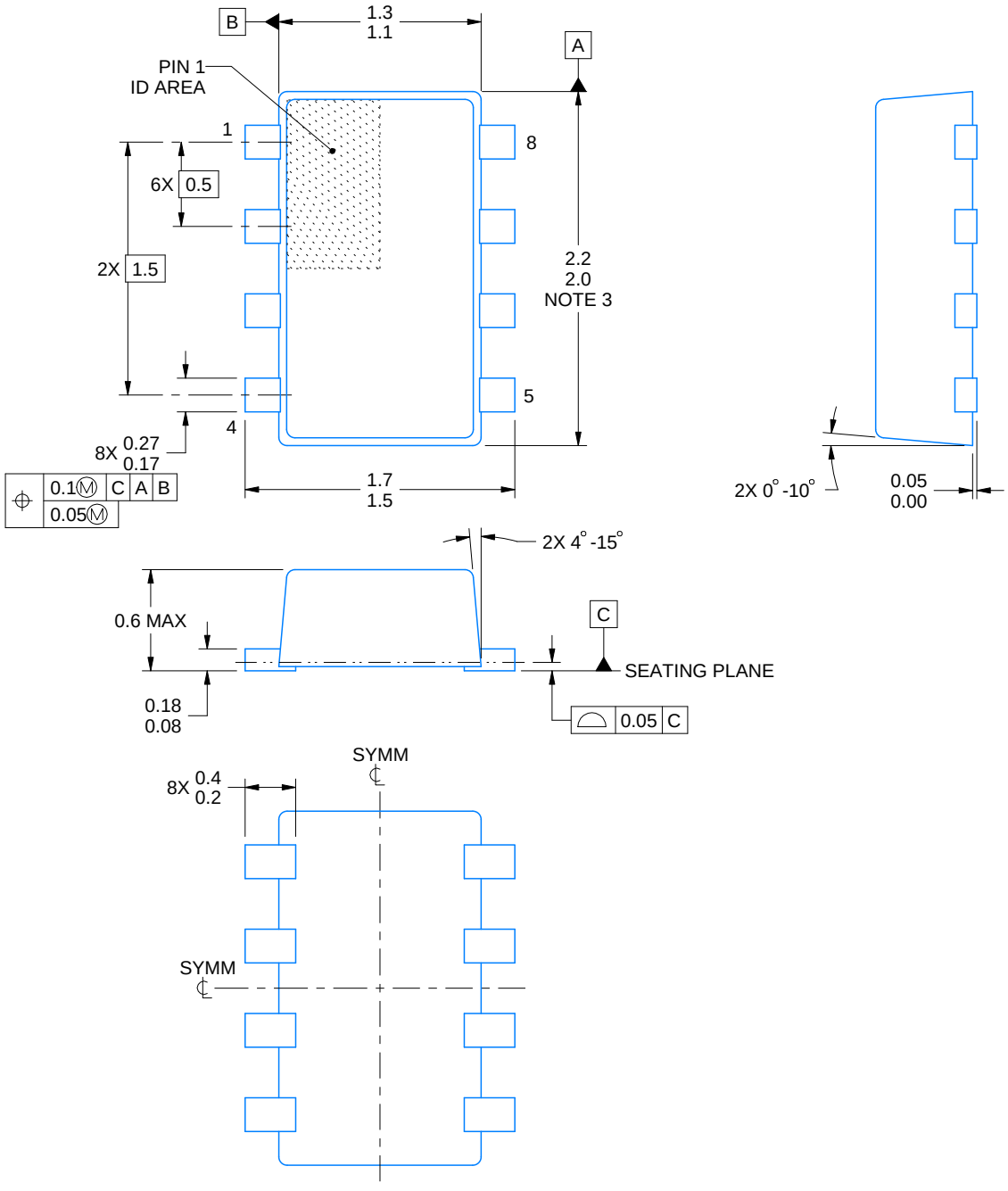


PACKAGE OUTLINE

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



4224486/G 11/2024

NOTES:

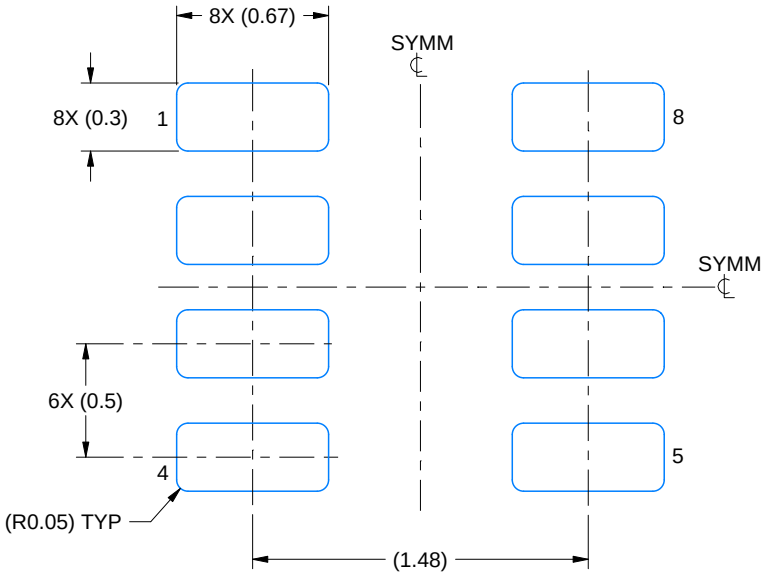
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC Registration MO-293, Variation UDAD

EXAMPLE BOARD LAYOUT

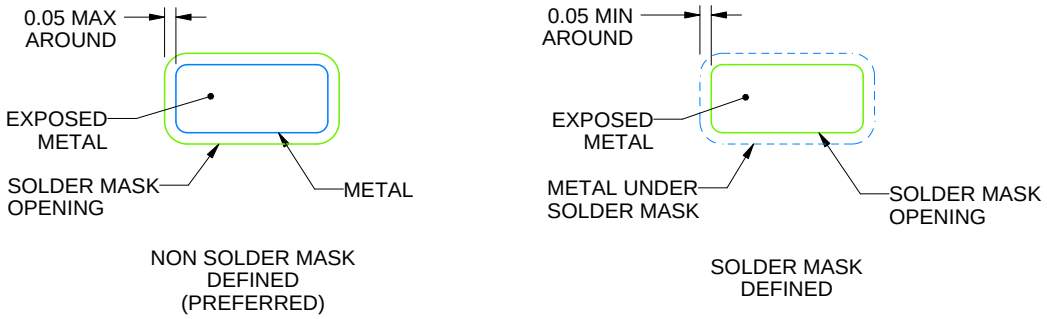
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/G 11/2024

NOTES: (continued)

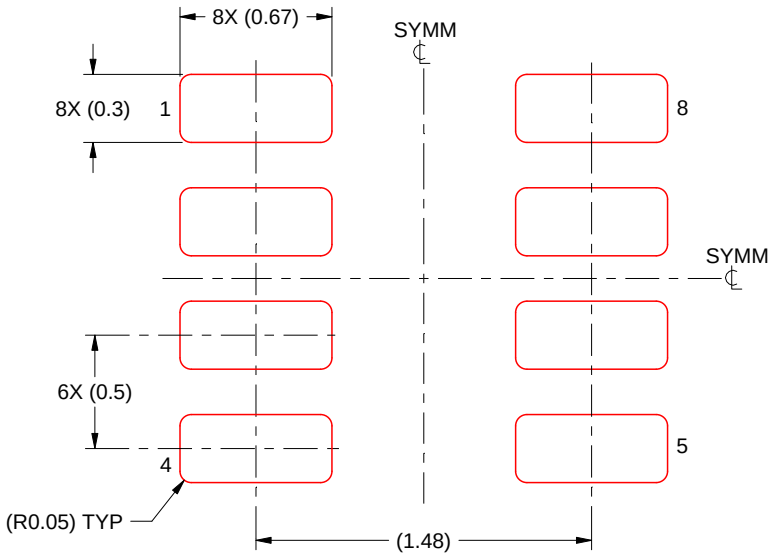
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/G 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月