

TDP2004 4 チャンネル 20Gbps DisplayPort 2.1 および 12Gbps HDMI2.1 リニア リド ライバ

1 特長

- 最大 20Gbps の DisplayPort 2.1 をサポート - RBR、HBRx、UHBRx
- 最大 12Gbps の AC 結合 HDMI 2.1 ソースをサポート
- 最大 24Gbps までのほとんどの AC 結合インターフェイスをサポートする、プロトコルに依存しないリニア イコライザ
- 20Gbps (10Ghz ナイキスト) での優れた電氣的性能:
 - 19dB のイコライゼーション
 - 1.8V DC の直線性、1.08V AC の直線性
 - -15/-16dB Rx/Tx リターンロス
 - -60dB の NEXT、-43dB の FEXT クロストーク
 - PRBS データによる 70fs の低付加 RJ
- DisplayPort 1.4 および HDMI 2.1 リンクトレーニングに対して透過的
- 3.3V 単一電源、チャンネルあたり 160mW のアクティブ電力
- 内部電圧レギュレータにより電源ノイズへの耐性を実現
- 高い直線性により DP コンプライアンス テストが容易
- 高い BW による優れたリニア EQ カーブ
- ピンストラップ、I²C または EEPROM プログラミング
 - 18 個の EQ ブースト設定と 5 個のフラット ゲイン設定
- TDP2004: 0°C ~ 70°C の商業用温度範囲
- TDP2004I: -40°C ~ 85°C の産業用温度範囲
- 4mm × 6mm、40 ピン WQFN パッケージ

2 アプリケーション

- デスクトップ PC またはマザーボード
- PC、ノート PC、およびタブレット
- ドッキング・ステーション
- TV、ゲーム、ホームシアター、およびエンターテインメント
- 業務用オーディオ、ビデオ、サイネージ

- 試験 / 測定機器
- 医療用
- フラット パネル モニタ

3 説明

TDP2004 は、DisplayPort 2.1 を最大 20Gbps、AC 結合 HDMI2.1 ソースを最大 12Gbps までサポートするように設計されています。

TDP2004 のレシーバは、連続時間リニア イコライザ (CTLE) を搭載し、プログラマブルな高周波数での昇圧を実現しています。イコライザは、相互接続媒体 (例: PCB 配線、ケーブル) に起因する符号間干渉 (ISI) によって完全に閉じた入力アイパターンを開くことができます。TDP2004 のリニアなデータパスは、送信プリセット信号特性を保持します。高帯域幅で、チャンネル間クロストークが少なく、付加ジッタが小さく、反射損失特性が非常に優れた本デバイスは、便利なイコライゼーション機能を備えていることを除いて、リンク内でほとんど受動素子のように振舞います。DisplayPort リンクのトレーニングは、ソース Tx とシンク Rx の間でパッシブ チャンネルの一部となるリニア リド ライバを使用して効果的に行われます。このリンクトレーニング プロトコルの透過性は、最適な電氣的リンクと最短のレイテンシをもたらします。本デバイスのデータパスは、基板上のすべての電源ノイズに対して高い耐性を示す内部的に安定化された電源レールを使用しています。

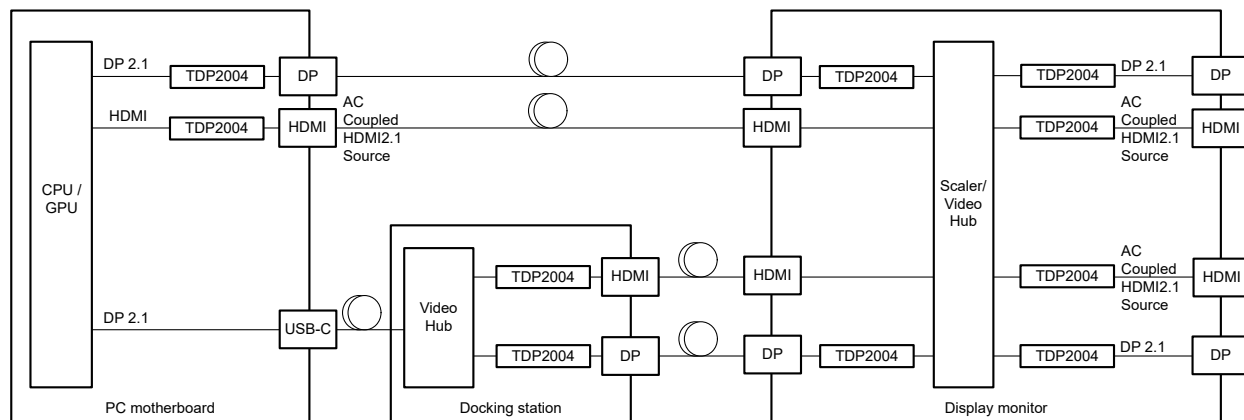
また、このデバイスは AC および DC ゲインの変動が小さいため、大容量プラットフォームを展開する際の一貫したイコライゼーションにも対応しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TDP2004	RNQ (WQFN, 40)	4mm × 6mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。





代表的なアプリケーション

目次

1 特長	1	6.3 機能説明	13
2 アプリケーション	1	6.4 デバイスの機能モード	15
3 説明	1	6.5 プログラミング	15
4 ピン構成および機能	4	7 アプリケーションと実装	20
5 仕様	7	7.1 アプリケーション情報	20
5.1 絶対最大定格.....	7	7.2 代表的なアプリケーション	20
5.2 ESD 定格.....	7	7.3 電源に関する推奨事項	23
5.3 推奨動作条件.....	7	7.4 レイアウト	24
5.4 熱に関する情報.....	8	8 デバイスおよびドキュメントのサポート	25
5.5 DC の電気的特性.....	8	8.1 ドキュメントの更新通知を受け取る方法.....	25
5.6 高速電気的特性.....	9	8.2 サポート・リソース.....	25
5.7 SMBUS/I ² C タイミング特性.....	10	8.3 商標.....	25
5.8 代表的特性.....	12	8.4 静電気放電に関する注意事項.....	25
5.9 代表的なジッタ特性.....	12	8.5 用語集.....	25
6 詳細説明	13	9 改訂履歴	25
6.1 概要.....	13	10 メカニカル、パッケージ、および注文情報	25
6.2 機能ブロック図.....	13		

4 ピン構成および機能

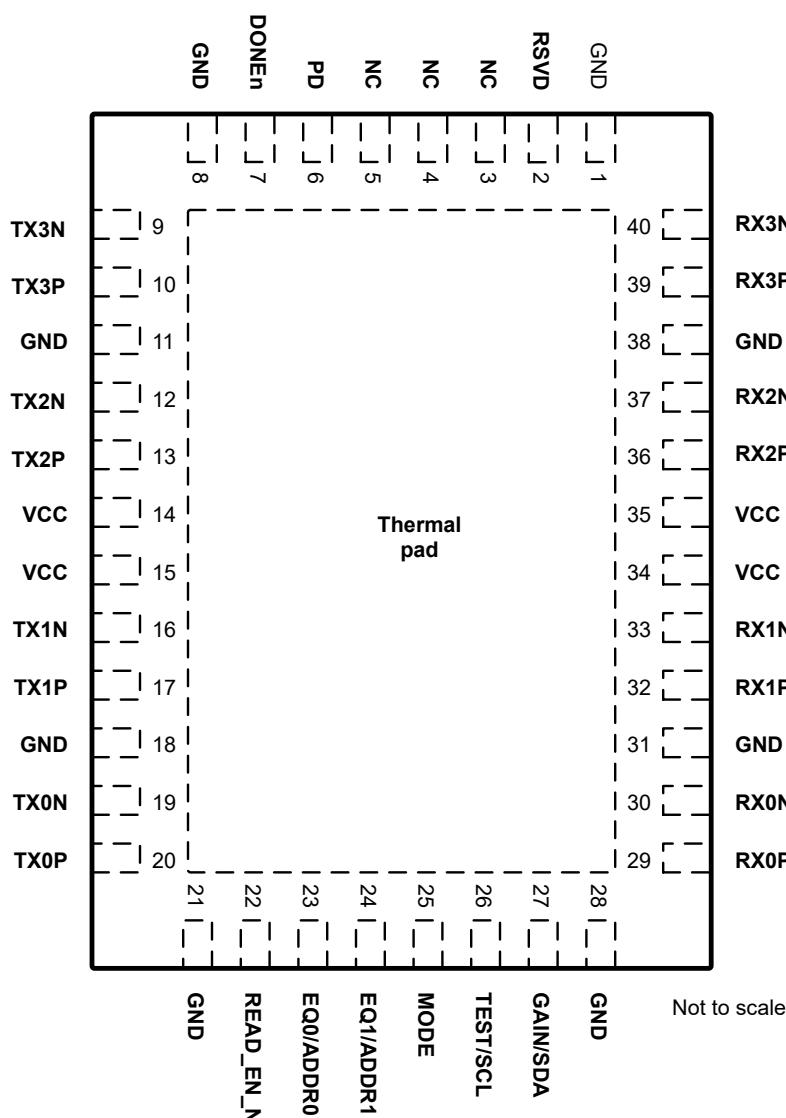


図 4-1. RNQ パッケージ、40 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DONE _n	7	O、3.3V オープンドレイン	SMBus/I²C プライマリ モード: 有効な EEPROM レジスタ ロード動作が完了したことを示します。4.7kΩ などの外部プルアップ抵抗が動作に必要です。 High: 外部 EEPROM のロードに失敗または不完全 Low: SMBus/I ² C セカンダリ/ピンモード で外部 EEPROM のロードが成功し完了 : この出力はハイインピーダンスです。このピンはフローティングのままかまいません。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
モード	25	I, 5 レベル	デバイス制御構成モードを設定します。表 6-3 に示す 5 レベルの IO ピン。このピンは、デバイスの電源投入時または通常動作モード時に実行できます。 L0:ピン モード— デバイス制御構成は、ストラップ ピンのみで行われます。 L1:SMBus/I²C プライマリ モード— デバイス制御構成は外部 EEPROM から読み出されます。TDP2004 が EEPROM からの読み取りが正常に完了すると、DONEn ピンは LOW になります。このモードでは、SMBus/I²C セカンダリ動作を、EEPROM 読み出しの前、実行中、または後に使用できます。注:EEPROM 読み取り中に、外部 SMBus/I²C プライマリがレジスタ TDP2004 にアクセスする場合、外部コントローラは調停をサポートする必要があります。 L2:SMBus/I²C セカンダリ モード— デバイス制御構成は、SMBus/I²C プライマリを持つ外部コントローラによって実行されます。 L3 と L4 (フローティング): 予約済み – TI の内部テスト モード。
EQ0 / ADDR0	23	I, 5 レベル	ピン モード内: 表 6-1 に示すように、チャンネル 0 ~ 3 のレシーバのリニア イコライゼーション (CTLE) 昇圧を設定します。これらのピンは、デバイスの電源投入時にのみサンプリングされます。 SMBus/I²C モード: 表 6-4 に示すように、SMBus/I²C セカンダリ アドレスを設定します。これらのピンは、デバイスの電源投入時にのみサンプリングされます。
ゲイン/ SDA	27	I, 5 レベル/ I/O, 3.3V LVCMOS、オープンドレイン	ピン モード内: チャンネル 0 ~ 3 において、デバイスの入力から出力までフラット ゲイン (DC および AC)。このピンは、デバイスの電源投入時にのみサンプリングされます。 SMBus/I²C モード: 3.3V SMBus/I²C データ。SMBus/I²C インターフェイス規格に従い、外部 1kΩ から 5kΩ へプルアップ抵抗が必要です。
GND	1, 8, 11, 18, 21, 28, 31, 38, EP	P	デバイス用のグランドリファレンス。 EP: QFN パッケージの底面にある露出パッドで、デバイスの GND リターンとして使用されます。EP は、低抵抗のパスを経由して 1 つ以上のグランド プレーンに接続する必要があります。ビア アレイにより、GND への低インピーダンス パスが実現します。EP は放熱も改善しています。
PD	6	I, 3.3V LVCMOS	リドライバの動作状態を制御する 2 レベルのロジック。すべてのデバイス制御モードでアクティブです。このピンには、内部に 1MΩ の弱いプルダウン 抵抗があります。 High: チャンネル 0 ~ 3 のパワーダウン Low: パワーアップ、チャンネル 0 ~ 3 の通常動作
READ_EN_N	22	I, 3.3V LVCMOS	SMBus/I²C プライマリ モード: 電源投入後、このピンが Low のとき、デバイスは SMBus/I²C プライマリ モードの EEPROM 読み取り機能を開始します。EEPROM の読み取りが完了すると (DONEn が Low にアサートされることで示されます)、このピンはデバイスの通常動作のために Low に保持できます。EEPROM ロード処理中は、デバイスの信号パスが無効になります。 SMBus/I²C セカンダリ モードおよびピン モード: これらのモードでは、このピンは使用されません。ピンはフローティングのままにしてもかまいません。このピンには、内部に 1MΩ の弱いプルダウン 抵抗があります。
RSVD	2	—	TI 用に予約済みです。ピンはフローティングのままにする必要があります (NC)。
テスト/ SCL	26	I, 5 レベル/ I/O, 3.3V LVCMOS、オープンドレイン	ピン モード内: TI テストモード。外付け 1kΩ プルダウン抵抗を取り付ける必要があります。 SMBus/I²C モード: 3.3V SMBus/I²C クロック。SMBus / I²C インターフェイス規格に従い、外部 1kΩ から 5kΩ へプルアップ抵抗が必要です。
RX0N	30	I	イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 0。
RX0P	29	I	イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 0。
RX1N	33	I	イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 1。
RX1P	32	I	イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 1。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
RX2N	37	I	イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 2。
RX2P	36	I	イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 2。
RX3N	40	I	イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 3。
RX3P	39	I	イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャンネル 3。
TX0N	19	O	100Ω 差動ドライバ出力の反転ピン。チャンネル 0。
TX0P	20	O	100Ω 差動ドライバ出力用の非反転ピン。チャンネル 0。
TX1N	16	O	100Ω 差動ドライバ出力の反転ピン。チャンネル 1。
TX1P	17	O	100Ω 差動ドライバ出力用の非反転ピン。チャンネル 1。
TX2N	12	O	100Ω 差動ドライバ出力の反転ピン。チャンネル 2。
TX2P	13	O	100Ω 差動ドライバ出力用の非反転ピン。チャンネル 2。
TX3N	9	O	100Ω 差動ドライバ出力の反転ピン。チャンネル 3。
TX3P	10	O	100Ω 差動ドライバ出力用の非反転ピン。チャンネル 3。
VCC	14、15、34、35	P	電源ピン。VCC = 3.3V ±10%。このデバイスの VCC ピンは、基板の VCC プレーンへの低抵抗のパスを経由して接続する必要があります。各 VCC ピンの近くで、GND との間にデカップリング コンデンサを取り付けます。

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
VCC _{ABSMAX}	電源電圧 (VCC)	-0.5	4.0	V
VIO _{CMOS,ABSMAX}	3.3V LVCMOS とオープン ドレイン I/O 電圧	-0.5	4.0	V
VIO _{5LVL,ABSMAX}	5 レベル入力 I/O 電圧	-0.5	2.75	V
VIO _{HS-RX,ABSMAX}	高速 I/O 電圧 (RXnP, RXnN)	-0.5	3.2	V
VIO _{HS-TX,ABSMAX}	高速 I/O 電圧 (TXnP, TXnN)	-0.5	2.75	V
T _{J,ABSMAX}	接合部温度		150	°C
T _{stg}	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性があります、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2kV と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
VCC	供給電圧、VCC から GND	DC と AC の電力の合計は、これらの制限を超えてはなりません	3.0	3.3	3.6	V
N _{VCC} ⁽¹⁾	電源ノイズ許容誤差	DC から 50Hz 未満、正弦波			250	mVpp
		50Hz ~ 500kHz、正弦波			100	mVpp
		500kHz ~ 2.5MHz、正弦波			33	mVpp
		電源ノイズ、2.5MHz 超、正弦波			10	mVpp
T _{RampVCC}	VCC 電源ランプ時間	0V ~ 3.0V	0.150		100	ms
T _A	動作時の周囲温度	TDP2004	0		70	°C
		TDP2004I	-40		85	°C
T _J	動作時接合部温度	TDP2004			105	°C
		TDP2004I			125	°C
PW _{LVCMOS}	デバイスが LVCMOS 入力で有効な信号を検出するために必要な最小パルス幅	PD および READ_EN_N	200			µs
VCC _{SMBUS}	SMBus/I ² C SDA および SCL のオープンドレイン終端電圧	オープンドレイン プルアップ抵抗の電源電圧			3.6	V
F _{SMBus}	SMBus/I ² C クロック (SCL) 周波数	SMBus セカンダリ モード	10		400	kHz
VID _{LAUNCH}	ソース立ち上げ振幅	差動信号処理			1200	mVpp

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DR	データレート	1		24	Gbps

- (1) 正弦波ノイズは電源電圧に重畳されますが、デバイスの機能や、電氣的表に示された重要な性能への影響はごくわずかです。AC と DC を合わせた電源ノイズが、規定された VDD 電源電圧の制限内に収まるように対策を講じる必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TDP2004	単位
		RNQ、40 ピン	
R _{θJA} -High K	接合部から周囲への熱抵抗	30.7	°C/W
R _{θJC} (top)	接合部からケース (上面) への熱抵抗	20.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	11.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	11.4	°C/W
R _{θJC} (bot)	接合部からケース (底面) への熱抵抗	3.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 DC の電氣的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
P _{ACT}	デバイスのアクティブ電力	4 チャネルアクティブ、EQ = 0 ~ 2		0.57	0.71	W
		4 チャネルアクティブ、EQ = 5 ~ 19		0.69	0.85	W
P _{STBY}	スタンバイ パワー モードにおけるデバイスの消費電力	すべてのチャネルがディスエーブル (PD = H)		17	25	mW
制御 IO						
V _{IH}	High レベル入力電圧	SDA、SCL、PD、READ_EN_N ピン	2.1			V
V _{IL}	Low レベル入力電圧	SDA、SCL、PD、READ_EN_N ピン			1.08	V
V _{OH}	High レベル出力電圧	R _{pullup} = 4.7kΩ (SDA、SCL、DONE _N ピン)	2.1			V
V _{OL}	Low レベル出力電圧	I _{OL} = -4mA (SDA、SCL、DONE _N ピン)			0.4	V
I _{IH}	入力 High リーク電流	V _{Input} = VCC、(SCL、SDA、PD、READ_EN_N ピン)			10	μA
I _{IL}	入力 Low リーク電流	V _{Input} = 0V、(SCL、SDA、PD、READ_EN_N ピン)	-10			μA
I _{IH,FS}	フェイルセーフ入力ピンに対する入力 High リーク電流	V _{Input} = 3.6V、VCC = 0V、(SCL、SDA、PD、READ_EN_N ピン)			200	μA
C _{IN-CTRL}	入力容量	SDA、SCL、PD、READ_EN_N ピン		1.6		pF
5 レベルの IO (MODE、GAIN、EQ0、EQ1 ピン)						
I _{IH_5L}	入力 High リーク電流、5 レベル IO	VIN = 2.5V			10	μA
I _{IL_5L}	モードを除くすべての 5 レベル IO について入力 Low リーク電流。	VIN = GND	-10			μA
I _{IL_5L,MODE}	MODE ピンの入力 Low リーク電流	VIN = GND	-200			μA
レシーバ						

5.5 DC の電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{RX-DC-CM}$	RX DC コモン モード電圧	デバイスがアクティブまたはスタンバイ状態		1.4		V
Z_{RX-DC}	Rx DC シングルエンド インピーダンス			50		Ω
トランスミッタ						
$Z_{TX-DIFF-DC}$	DC 差動 Tx インピーダンス	アクティブ信号中の Tx のインピーダンス、VID、diff = 1Vpp		100		Ω
$V_{TX-DC-CM}$	レシーバの DC 同相電圧インピーダンス			1.0		V
$I_{TX-SHORT}$	Tx 短絡電流	GND に短絡したときに Tx が供給できる総電流		70		mA

5.6 高速電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
レシーバ						
$RL_{RX-DIFF}$	入力差動リターン損失	3GHz		-19		dB
		4GHz		-18		dB
		5GHz		-18		dB
		6GHz		-17		dB
		10GHz		-15		dB
XT_{RX}	レシーバ側ペアツープア絶縁、ポート A またはポート B	10MHz ~ 10GHz の最小範囲		-60		dB
トランスミッタ						
$RL_{TX-DIFF}$	出力差動リターン損失	3GHz		-19		dB
$RL_{TX-DIFF}$	出力差動リターン損失	4.0GHz		-18		dB
$RL_{TX-DIFF}$	出力差動リターン損失	5.0GHz		-18		dB
$RL_{TX-DIFF}$	出力差動リターン損失	6.0GHz		-17		dB
$RL_{TX-DIFF}$	出力差動リターン損失	10GHz		-16		dB
XT_{TX}	送信側ペア間絶縁	10MHz ~ 10GHz の範囲における最小値		-60		dB
デバイス データパス						
$T_{PLHD/PHLD}$	データ チャネルを介した入力から出力までのレイテンシ (伝搬遅延)	Low から High、または High から Low へのいずれかの遷移。		100	130	ps
$L_{TX-SKEW}$	レーン間出力スキュー	1 つのトランスミッタ内で任意の 2 つのレーン間に配置できます。			20	ps
$t_{RJ-DATA}$	データによる付加ランダム ジッタ	リドライバを通過するジッタからキャリブレーション パターンを除きます。20Gbps PRBS15。800mVpp-diff 入力スイング		70		fs
XT	チャネル間クロストーク (隣接するアクティブ チャネル間、FEXT)	10MHz ~ 10Ghz の範囲における最小値 (EQ ゲイン 0dB に正規化)		-43		dB
フラット ゲイン	ブロードバンド DC および AC フラット ゲイン - 入力から出力まで、DC で測定	最小 EQ、ゲイン = L0		-5.6		dB
		最小 EQ、ゲイン = L1		-3.8		dB
		最小 EQ、ゲイン = L2		-1.2		dB
		最小 EQ、ゲイン = L3		2.6		dB
		最小 EQ、ゲイン = L4 (フローティング)		0.6		dB

5.6 高速電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
EQ-MAX _{10G}	最大設定時の EQ ブースト (EQ インデックス = 19)	100MHz に対する 10GHz の AC ゲイン。		19		dB
直線性 - DC	出力 DC の直線性	ゲイン = L4		1750		mVpp
直線性 - AC	出力 AC の直線性	10Gbps、GAIN = L4		1100		mVpp
		20Gbps、GAIN = L4		1080		mVpp

5.7 SMBUS/I²C タイミング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
セカンダリ モード						
t _{SP}	入力フィルタにより抑制されるスパイクのパルス幅				50	ns
t _{HD-STA}	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます		0.6			μs
t _{LOW}	SCL クロック Low 期間		1.3			μs
T _{HIGH}	SCL クロックの High の時間		0.6			μs
t _{SU-STA}	繰り返し START 条件のセットアップ時間		0.6			μs
t _{HD-DAT}	データ ホールド時間		0			μs
T _{SU-DAT}	データ セットアップ時間		0.1			μs
t _r	SDA 信号と SCL 信号の両方の立ち上がり時間	プルアップ抵抗 = 4.7kΩ、Cb = 10pF		120		ns
t _f	SDA 信号と SCL 信号の両方の立ち下がり時間	プルアップ抵抗 = 4.7kΩ、Cb = 10pF		2		ns
t _{SU-STO}	停止条件のセットアップ時間		0.6			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間		1.3			μs
t _{VD-DAT}	データ有効時間				0.9	μs
t _{VD-ACK}	データ有効アクノリッジ時間				0.9	μs
C _b	各バス ラインの容量性負荷				400	pF
プライマリ モード						
f _{SCL-M}	SCL クロック周波数			303		kHz
t _{LOW-M}	SCL の Low 期間			1.90		μs
T _{HIGH-M}	SCL の High 期間			1.40		μs
t _{SU-STA-M}	繰り返し START 条件のセットアップ時間			2		μs
t _{HD-STA-M}	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます			1.5		μs
T _{SU-DAT-M}	データ セットアップ時間			1.4		μs
t _{HD-DAT-M}	データ ホールド時間			0.5		μs

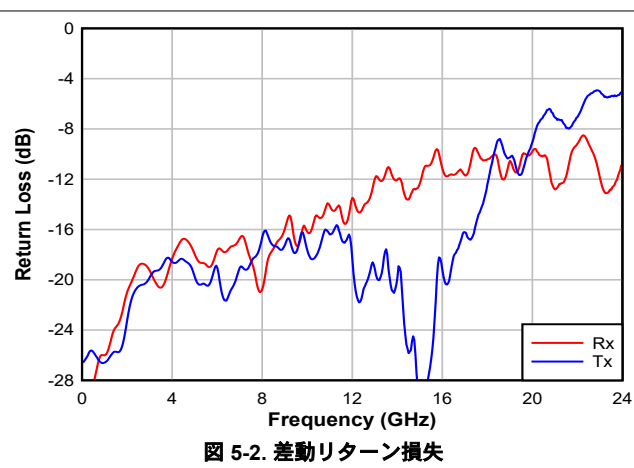
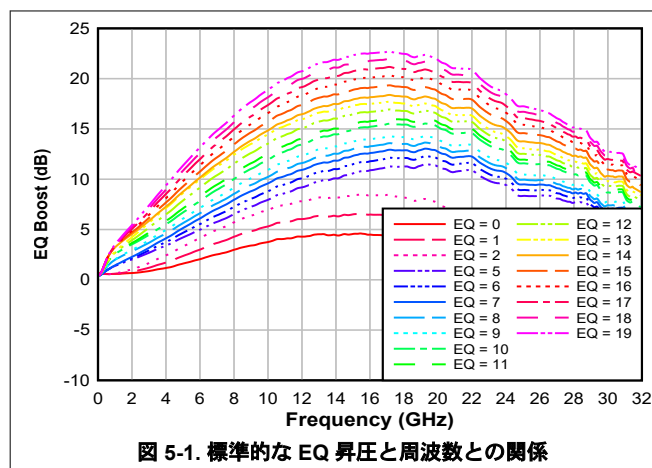
5.7 SMBUS/I²C タイミング特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値 標準値 最大値	単位
t_{R-M}	SDA 信号と SCL 信号の両方の立ち上がり時間	プルアップ抵抗 = 4.7k Ω 、Cb = 10pF	120	ns
T_{F-M}	SDA 信号と SCL 信号の両方の立ち下がり時間	プルアップ抵抗 = 4.7k Ω 、Cb = 10pF	2	ns
$t_{SU-STO-M}$	STOP 条件のセットアップ時間		1.5	μ s
EEPROM のタイミング				
T_{EEPROM}	EEPROM 構成のロード時間	READ_EN_N がアサートされた後に DONEn をアサートするまでの時間。	7.5	ms
T_{POR}	最初の SMBus アクセスまでの時間	初期ランプ後に電源が安定します。最初のパワーオン リセット時間を含みます。	50	ms

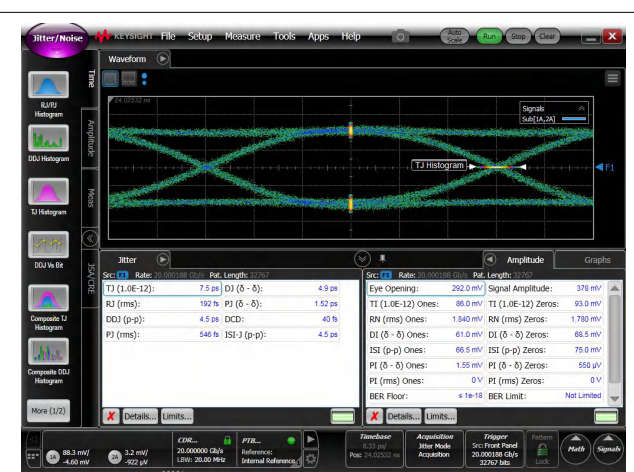
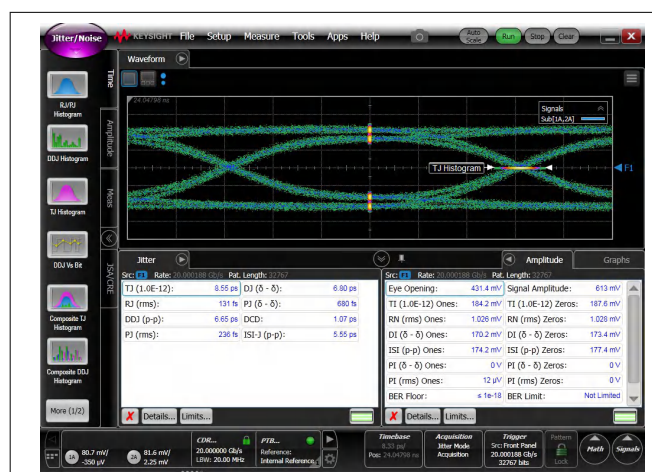
5.8 代表的特性

図 5-1 に、各種 EQ 設定における代表的な EQ ゲイン曲線と周波数との関係を示します。図 5-2 に、Rx および Tx ピンの代表的な差動リターン損失を示します。



5.9 代表的なジッタ特性

図 5-3 および 図 5-4 は、TI 評価ボードにおける最小チャネルでの 20Gbps のアイダイアグラムを示しており、キャリブレーショントレースを通したジッタ (左) と、を通したジッタ TDP2004 (右) を比較しています。アイダイアグラムは、TDP2004 がランダム ジッタ (RJ) をほとんど追加しないことを示しています。



6 詳細説明

6.1 概要

TDP2004 は、シグナル コンディショニングを内蔵した 4 チャンネル マルチレートリニア リピータです。デバイスの信号チャネルは互いに独立して動作します。各チャネルには連続時間リニア イコライザ (CTLE) とリニア出力ドライバが含まれており、これらが連携してソース送信機と最終受信機との間の損失のある伝送チャネルを補償します。データ パスの直線性は、レシーバのイコライゼーションを効果的に維持しながら送信イコライゼーションを維持するように特に設計されています。

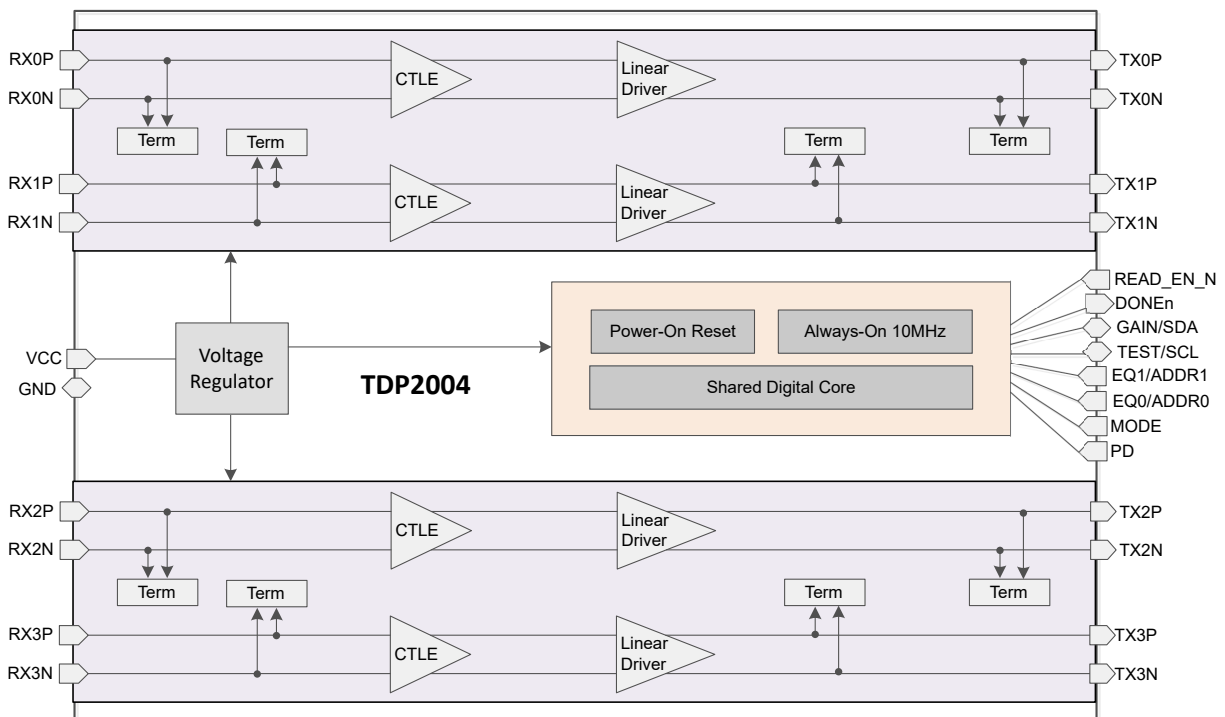
TDP2004 は、次の 3 つの方法で設定できます：

ピン モード – デバイス制御構成は、ストラップ ピンのみで行われます。ピン モードは、多くのシステム実装のニーズに対して十分であると期待されます。

SMBus/I²C プライマリ モード – デバイス制御構成は外部 EEPROM から読み出されます。TDP2004 が EEPROM からの読み取りが正常に完了すると、デバイスは **DONEn** ピンを **LOW** に駆動します。SMBus/I²C セカンダリ動作を、EEPROM 読み出しの前、中、または後に使用できます。注：EEPROM 読み取り中に、外部 SMBus/I²C プライマリが TDP2004 レジスタにアクセスする場合、外部コントローラは調停をサポートする必要があります。ソフトウェアの実装が不要な場合は、このモードが推奨されます。

SMBus/I²C セカンダリ モード – 最も高い柔軟性があります。セカンダリ アドレスに書き込むことにより構成するには、TDP2004 SMBus/I²C プライマリ デバイスが必要です。

6.2 機能ブロック図



6.3 機能説明

6.3.1 リニア イコライゼーション

TDP2004 レシーバには連続時間リニア イコライザ (CTLE) が備わっており、高周波数をブーストし低周波数を減衰させることで、パッシブ チャネルの周波数依存の挿入損失効果を等化します。このレシーバは、幅広いイコライゼーション機能のために 2 段のリニア イコライザを実装しています。イコライザ段は、幅広いチャネル媒体特性に最適な EQ ゲイン プロファイルに一致させるために、中周波数のブーストを微調整できる柔軟性も提供します。EQ プロファイル制御機能は、SMBus/I²C モードでのみ使用できます。ピン モードでは、これらの設定は FR4 パターンに最適化されています。

表 6-1 は、EQ 制御ピンまたは SMBus/I²C レジスタを介して、20Gbps (10GHz ナイキスト周波数) における等化ブーストを提供します。ピン制御モードでは、EQ1 ピンと EQ0 ピンがチャンネル 0 ~ 3 の等化ブーストを設定します。I²C モードでは、個々のチャンネルが EQ 昇圧用に個別にプログラム可能です。TDP2004 を他のデータレートに使用する場合、イコライゼーション ゲインを [図 5-1](#) から抽出できます。

表 6-1. イコライゼーション制御の設定

EQ インデックス	イコライザ設定						EQ 昇圧標準値 (dB)
	ピン モード		SMBus/I ² C モード				10GHz 時
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass	
0	L0	L0	0	0	0	1	4.0
1	L0	L1	1	0	0	1	5.0
2	L0	L2	3	0	0	1	7.0
5	L1	L0	0	0	1	0	8.0
6	L1	L1	1	0	1	0	9.0
7	L1	L2	2	0	1	0	9.5
8	L1	L3	3	0	3	0	10.0
9	L1	L4	4	0	3	0	11.0
10	L2	L0	5	1	7	0	12.0
11	L2	L1	6	1	7	0	12.5
12	L2	L2	8	1	7	0	13.5
13	L2	L3	10	1	7	0	14.5
14	L2	L4	10	2	15	0	15.0
15	L3	L0	11	3	15	0	15.5
16	L3	L1	12	4	15	0	16.5
17	L3	L2	13	5	15	0	17.0
18	L3	L3	14	6	15	0	18.0
19	L3	L4	15	7	15	0	19.0

6.3.2 フラット ゲイン

デバイスがピン モードのとき、ゲイン ピンを使用して、TDP2004 のデータ パス全体のフラット ゲイン (DC および AC) を設定できます。ゲイン ピンは、チャンネル 0 ~ 3 のフラット ゲインを設定します。I²C モードでは、各チャンネルを独立して設定できます。表 6-2 はフラット ゲイン制御構成設定値を提供します。ほとんどのシステムでは、フラット ゲイン 0dB を提供するゲイン= L4 (フローティング) のデフォルト設定が推奨されます。

TDP2004 のフラット ゲインとイコライゼーションは、出力信号スイングが DC および高周波数において、それぞれデバイスの DC および AC の直線性の範囲を超えないように設定する必要があります。

表 6-2. フラット ゲイン構成の設定

ピン モード ゲイン	I ² C Modeflat_gain_2:0	フラット ゲイン
L0	0	-5.6dB
L1	1	-3.8dB
L2	3	-1.2dB
L4 (フローティング)	5	0.6dB (デフォルトの推奨値)

表 6-2. フラット ゲイン構成の設定 (続き)

ピン モード ゲイン	I ² C Modeflat_gain_2:0	フラット ゲイン
L3	7	+2.6dB

6.4 デバイスの機能モード

6.4.1 アクティブモード

デバイスは正常に動作しています。このモードでは、TDP2004 はビデオ メイン リンク信号をリドライブおよびイコライズして、信号整合性を向上させます。

6.4.2 スタンバイ モード

デバイスは、PD = H によってスタンバイ モードになります。このモードでは、デバイスは電力を節約するスタンバイ モードにあります。

6.5 プログラミング

6.5.1 ピンモード

TDP2004 は、ピン ストラップ ピンを使用して完全に設定できます。このモードでは、デバイスは 2 段階ピンと 5 段階ピンを使用して、デバイス制御と信号整合性の最適設定を行います。

6.5.1.1 5 レベル制御入力

TDP2004 には、デバイスの構成を制御するために使用されると 4 本 (EQ0、EQ1、GAIN、MODE) あります。これらの 5 段階入力は、抵抗分圧器を使用して 5 つの有効なレベルを設定し、より広い範囲の制御設定を可能にします。外付け抵抗は、公差 10% 以上とする必要があります。MODE を除く 5 レベル ピンは、電源投入時にのみサンプリングされます。MODE ピンは、デバイスの電源投入時または通常動作モード時に実行できます。

表 6-3. 5 レベル制御ピンの設定

レベル	設定
L0	1kΩ から GND へ
L1	8.25kΩ から GND へ
L2	24.9kΩ から GND へ
L3	75kΩ から GND へ
L4	F (フローティング)

6.5.2 SMBUS/I²C レジスタ制御インターフェイス

MODE = L2 (SMBus/I²C セカンダリ制御モード) の場合、TDP2004 は最高 400kHz で動作できる標準の I²C または SMBus インターフェイスを介して構成されます。TDP2004 のセカンダリ アドレスは、ADDR1 ピンと ADDR0 ピンのピンストラップ設定によって決まります。表 6-4 に、チャンネル 0 ~ 3 に使用可能な 16 個のセカンダリ アドレスを示します。SMBus/I²C モードでは、SCL および SDA ピンをプルアップ抵抗によって 3.3V 電源にプルアップする必要があります。この抵抗の値は、合計バス容量に依存します。4.7kΩ は、10pF のバス容量に対して適切な最初の近似値です。

表 6-4. SMBUS/I²C セカンダリ アドレスの設定

ADDR1	ADDR0	7 ビットのセカンダリ アドレス チャンネル 0 ~ 3
L0	L0	0x18
L0	L1	0x1A
L0	L2	0x1C
L0	L3	0x1E
L0	L4	予約済み
L1	L0	0x20
L1	L1	0x22

表 6-4. SMBUS/I²C セカンダリ アドレスの設定 (続き)

ADDR1	ADDR0	7 ビットのセカンダリ アドレス チャンネル 0 ~ 3
L1	L2	0x24
L1	L3	0x26
L1	L4	予約済み
L2	L0	0x28
L2	L1	0x2A
L2	L2	0x2C
L2	L3	0x2E
L2	L4	予約済み
L3	L0	0x30
L3	L1	0x32
L3	L2	0x34
L3	L3	0x36
L3	L4	予約済み

TDP2004 には 2 種類のレジスタがあります:

- **共有レジスタ:**これらのレジスタはいつでもアクセス可能で、デバイスレベルの設定、ステータスの読み戻し、制御、またはデバイス ID 情報のリードバックに使用されます。
- **チャンネル レジスタ:**これらのレジスタは、各チャンネルの特定の機能を制御および設定するために使用されます。すべてのチャンネルは同じレジスタ セットを持ち、それぞれ独立して設定することも、チャンネル 0 ~ 3 へのブロードキャスト書き込みを通してグループとして設定することもできます。

表 6-5. チャンネル レジスタ アクセス

チャンネル レジスタ ベース アドレス	チャンネル 0 ~ 3 アクセス
0x00	チャンネル 0 レジスタ
0x20	チャンネル 1 レジスタ
0x40	チャンネル 2 レジスタ
0x60	チャンネル 3 レジスタ
0x80	ブロードキャスト書き込みチャンネル 0 ~ 3 レジスタ、読み取りチャンネル 0 レジスタ
0xA0	ブロードキャスト書き込みチャンネル 0 ~ 1 レジスタ、読み取りチャンネル 0 レジスタ
0xC0	ブロードキャスト書き込みチャンネル 2 ~ 3 レジスタ、読み取りチャンネル 2 レジスタ
0xE0	チャンネル 0 ~ 3 共有レジスタ

6.5.2.1 共有レジスタ

表 6-6. 汎用レジスタ (オフセット= 0xE2)

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0x0	予約済み
6	rst_i2c_regs	R/W/SC	0x0	デバイスリセット制御:すべての I ² C レジスタをデフォルト値にリセットします (セルフクリア)。
5	rst_i2c_mas	R/W/SC	0x0	I ² C プライマリリセット (セルフクリア)。
4-1	RESERVED	R	0x0	予約済み
0	frf_eeprm_rd	R/W/SC	0x0	オーバーライド モードと READ_EN_N ステータスにより、手動 EEPROM 構成を強制的にロードします。

表 6-7. EEPROM_Status レジスタ (オフセット= 0xE3)

ビット	フィールド	タイプ	リセット	説明
7	eecfg_cmplt	R	0x0	EEPROM のロードが完了しました。
6	eecfg_fail	R	0x0	EEPROM のロードに失敗しました。
5	eecfg_atmpt_1	R	0x0	EEPROM イメージのロード試行回数。
4	eecfg_atmpt_0	R	0x0	
3	eecfg_cmplt	R	0x0	EEPROM ロード完了 2。
2	eecfg_fail	R	0x0	EEPROM のロードに失敗しました 2。
1	eecfg_atmpt_1	R	0x0	EEPROM イメージ 2 のロード試行回数。
0	eecfg_atmpt_0	R	0x0	

表 6-8. DEVICE_ID0 レジスタ (オフセット = 0xF0)

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0x1	予約済み
3	device_id0_3	R	0x0	デバイス ID0 [3:1]: 001
2	device_id0_2	R	0x0	
1	device_id0_1	R	0x1	
0	RESERVED	R	0x0	予約済み

表 6-9. DEVICE_ID1 レジスタ (オフセット = 0xF1)

ビット	フィールド	タイプ	リセット	説明
7	device_id[7]	R	0x0	デバイス ID 0010 1001: TDP2004
6	device_id[6]	R	0x0	
5	device_id[5]	R	0x1	
4	device_id[4]	R	0x0	
3	device_id[3]	R	0x1	
2	device_id[2]	R	0x0	
1	device_id[1]	R	0x0	
0	device_id[0]	R	0x1	

6.5.2.2 チャンネル レジスタ

表 6-10. EQ ゲイン制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x01)

ビット	フィールド	タイプ	リセット	説明
7	eq_stage1_bypass	R/W	0x0	EQ 段 1 のバイパスを有効化: 0: バイパスはディスエーブル 1: バイパスはイネーブル
6	eq_stage1_3	R/W	0x0	EQBoost ステージ 1 制御 詳しくは、表 6-1 を参照してください
5	eq_stage1_2	R/W	0x0	
4	eq_stage1_1	R/W	0x0	
3	eq_stage1_0	R/W	0x0	
2	eq_stage2_2	R/W	0x0	EQ ブースト ステージ 2 制御 詳しくは、表 6-1 を参照してください
1	eq_stage2_1	R/W	0x0	
0	eq_stage2_0	R/W	0x0	

表 6-11. EQ ゲイン / フラット ゲイン制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x03)

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0x0	予約済み

表 6-11. EQ ゲイン / フラット ゲイン制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x03) (続き)

ビット	フィールド	タイプ	リセット	説明
6	eq_profile_3	R/W	0x0	EQ 中周波数昇圧プロファイル 詳しくは、表 6-1 を参照してください
5	eq_profile_2	R/W	0x0	
4	eq_profile_1	R/W	0x0	
3	eq_profile_0	R/W	0x0	
2	flat_gain_2	R/W	0x1	フラット ゲインの選択: 詳しくは、表 6-2 を参照してください
1	flat_gain_1	R/W	0x0	
0	flat_gain_0	R/W	0x1	

表 6-12. TI テスト モード制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x04)

ビット	フィールド	タイプ	リセット	説明
7-3、1-0	RESERVED	R	0x0	予約済み
2	TI テスト モード	R/W	0x0	TI テスト モードを設定: 0: テスト モードはイネーブル 1: テスト モードはディセーブル。通常動作の場合は 1 に設定します。

表 6-13. PD オーバーライド レジスタ (チャンネル レジスタ ベース + オフセット= 0x05)

ビット	フィールド	タイプ	リセット	説明
7	device_en_override	R/W	0x0	SMBus/I ² C を介したパワーダウン オーバーライドをイネーブル 0: 手動オーバーライドがディセーブル 1: 手動オーバーライドがイネーブル
6-0	device_en	R/W	0x111111	チャンネル内のリドライバのブロックの手動パワーダウン — device_en_override = 1 によってゲート制御 111111: チャンネルのすべてのブロックがイネーブル 000000: チャンネル内のすべてのブロックがディセーブル

表 6-14. バイアス レジスタ (チャンネル レジスタ ベース + オフセット= 0x06)

ビット	フィールド	タイプ	リセット	説明
5-3	バイアス電流	R/W	0x100	制御バイアス電流 最高のパフォーマンスを得るために 001 を設定
7、6、2-0	予約済み	R/W	0x00000	予約済み

6.5.3 SMBus/I²C プライマリ モード構成 (EEPROM セルフ ロード)

TDP2004 は、EEPROM から読み取ることで構成することもできます。このモード ピンに移行するには、L1 に設定する必要があります。EEPROM のロード動作は、デバイスの最初の電源投入後に 1 回のみ発生します。TDP2004 が SMBus プライマリ モードに構成されている場合、READ_EN_N ピンが LOW にアサートされるまで、デバイスは SMBus アイドル状態のままになります。READ_EN_N ピンが LOW に駆動されると、TDP2004 は SMBus プライマリになり、外部 EEPROM (SMBus 8 ビット アドレス 0xA0) に保存されているデバイス設定を読み取ることで、セルフ構成を試みます。TDP2004 が EEPROM からの読み取りが正常に完了すると、デバイスは DONEn ピンを LOW に駆動します。SMBus/I²C セカンダリ動作を、EEPROM 読み出しの前、中、または後に使用できます。注: EEPROM 読み取り中に、外部 SMBus/I²C プライマリが TDP2004 レジスタにアクセスする場合、外部コントローラは調停をサポートする必要があります。

外部 EEPROM を使用するシステムを設計する際には、ユーザーは以下の特定のガイドラインに従う必要があります:

- EEPROM サイズとして 2Kb (256×8 ビット) を推奨します。
- MODE = L1 に設定し、SMBus プライマリ モードを構成します。

- 外部 EEPROM デバイスのアドレス バイトは **0xA0** である必要があり、**3.3V** 電源で **400kHz** 動作が可能である必要があります
- SMBus/I²C モードでは、SCL および SDA ピンをプルアップ抵抗によって **3.3V** 電源にプルアップする必要があります。この抵抗の値は、合計バス容量に依存します。**4.7kΩ** は、**10pF** のバス容量に対して適切な最初の近似値です。

複数の TDP2004 をカスケード接続して、単一の EEPROM から読み取ることができます。最初のデバイスの READ_EN_N ピンを Low (GND) に接続すると、電源投入時に自動的に EEPROM 読み取りが開始されます。最初のデバイスの DONEn は、**4.7kΩ** プルアップ抵抗を使用して、次のデバイスの READ_EN_N に供給できます。最後のデバイスの DONEn ピンはフローティングのままにするか、マイコン入力に接続して最終 EEPROM 読み取りの完了を監視します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TDP2004 は、高速リニア リピータであり、PCB やケーブルなどの伝送媒体による損失で劣化した差動チャネルの到達距離を延長します。このデバイスは、さまざまなシステムに導入できます。以下のセクションでは、典型的なアプリケーションと、それに関連する設計上の考慮事項を概説します。

7.2 代表的なアプリケーション

TDP2004 は、リニア リドライバであり、図 7-1 に示すように DisplayPort または AC 結合 HDMI2.1 ソース メイン リンのシグナル コンディショナとして使用できます。このデバイスは、DisplayPort モードでの使用時に DP++ 信号もサポートしています。

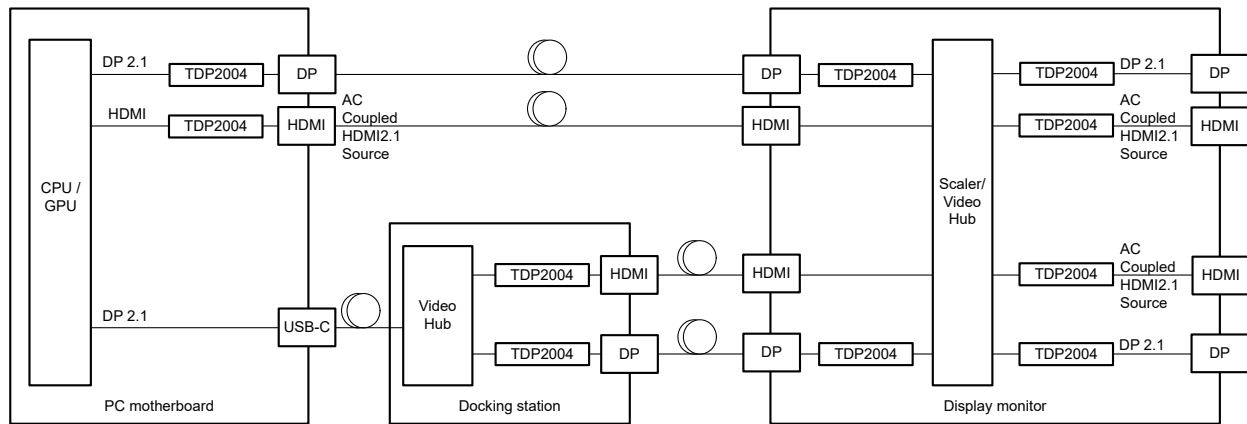


図 7-1. 代表的なアプリケーション

7.2.1 DP2.1 および HDMI2.1 メイン リンク シグナル コンディショニング

TDP2004 は、PC マザー ボード、産業用 PC、ドocking ステーション、産業用ディスプレイ/サイン、ディスプレイ モニタ、などのビデオ ソース/シンク システムで使用でき、DisplayPort または AC 結合 HDMI メイン リンク信号を昇圧してソースおよびシンク チャネルの到達距離を延長すると同時に、以下のセクションでは、典型的な DP 2.1 または AC 結合 HDMI アプリケーションの詳細な手順と設計要件を説明します。ただし、設計推奨事項は他の使用事例で使用できます。

7.2.1.1 設計要件

他の高速設計と同様に、全体的な性能に影響を及ぼす要因は多数あります。以下のリストは、設計時に考慮すべき重要な領域を示しています。

- 差動ペアのシングルエンド セグメントの P パターンと N パターンの長さを一致させます。
- 差動ペアには、均一なパターン幅とパターン間隔を使用します。
- 反射を最小限に抑えるため、各チャネル セグメントのレシーバ端の近くに AC カップリング コンデンサを配置します。
- 220nF の AC 結合コンデンサを推奨します。最大ボディ サイズを 0402 に設定し、コンデンサのランド パッド下の GND プレーンにカットアウト ボイドを追加して、GND への寄生容量を低減します。

- 表面実装コネクタを推奨します。スルー ホール接続の場合、スタブ長を最小限にするために、コネクタ ビアおよび信号ビアをバックドリルします。
- リターン電流の低インダクタンス経路として、グランドリファレンス プレーン ビアを使用します。

7.2.1.2 詳細な設計手順

TDP2004 は、4 本の DP メイン リンク チャンネルに対してシグナル コンディショニングを行うとともに、デバイスは、DP リンクトレーニングに依存しないリニア リドライバです。ディスプレイソースとシンク間の DP リンクトレーニング ネゴシエーションは、本デバイスを介して有効に維持されます。リドライバは、パッシブ パターン、ケーブル、その他のチャンネル要素とともに電気チャンネルの一部となり、最適な電気リンクを実現するために、ソースおよびシンクのパラメータを最適化します。図 7-2 は、ソース アプリケーションで USB Type-C DP オルタネート モードを実装するために TDP2004。

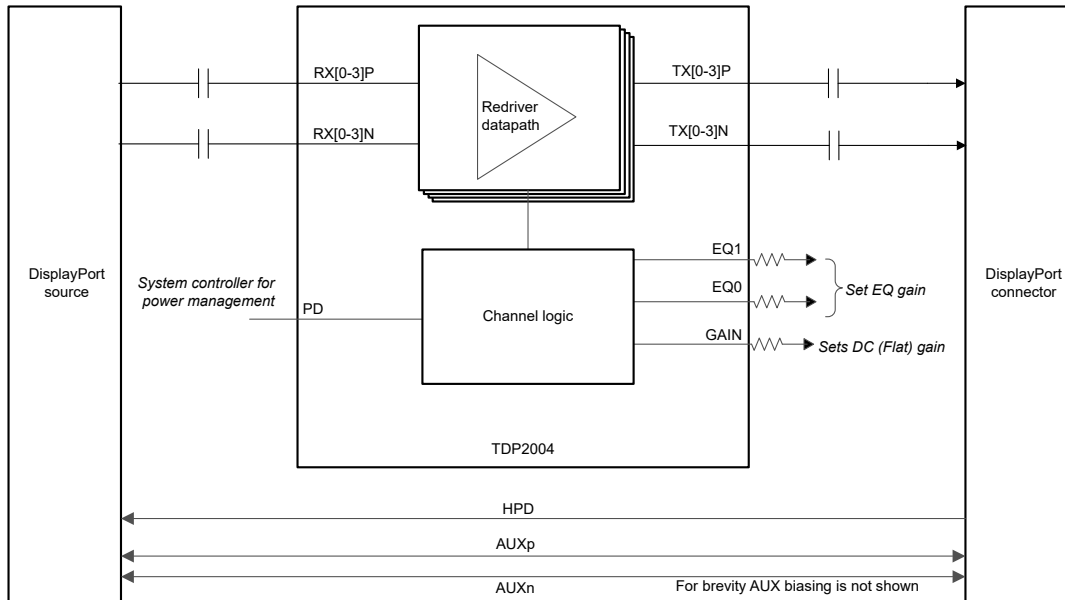


図 7-2. PC マザー ボードなどのソース アプリケーションにおける DP 2.1 シグナル コンディショニングの簡略化回路図

TDP2004 は、HDMI2.1 AC 結合ソース アプリケーションで、4 つの HDMI メイン リンク チャンネル向けのシグナル コンディショニングも行うことができます。デバイスは、HDMI FRL リンクトレーニングに依存しないリニア リドライバです。ディスプレイソースとシンク間の HDMI FRL リンクトレーニング ネゴシエーションは、本デバイスを介して有効に維持されます。リドライバは、パッシブ パターン、ケーブル、その他のチャンネル要素とともに電気チャンネルの一部となり、最適な電気リンクを実現するために、ソースおよびシンクのパラメータを最適化します。

図 7-3 に、TDP2004 を使用した HDMI ソース アプリケーションの単純な回路図を示します。HDMI ソースの信号電圧要件に応じて、外部 HPD レベル シフタ、DDC_SCL および DDC_SDA バッファおよびレベル シフタが必要となる場合があります。

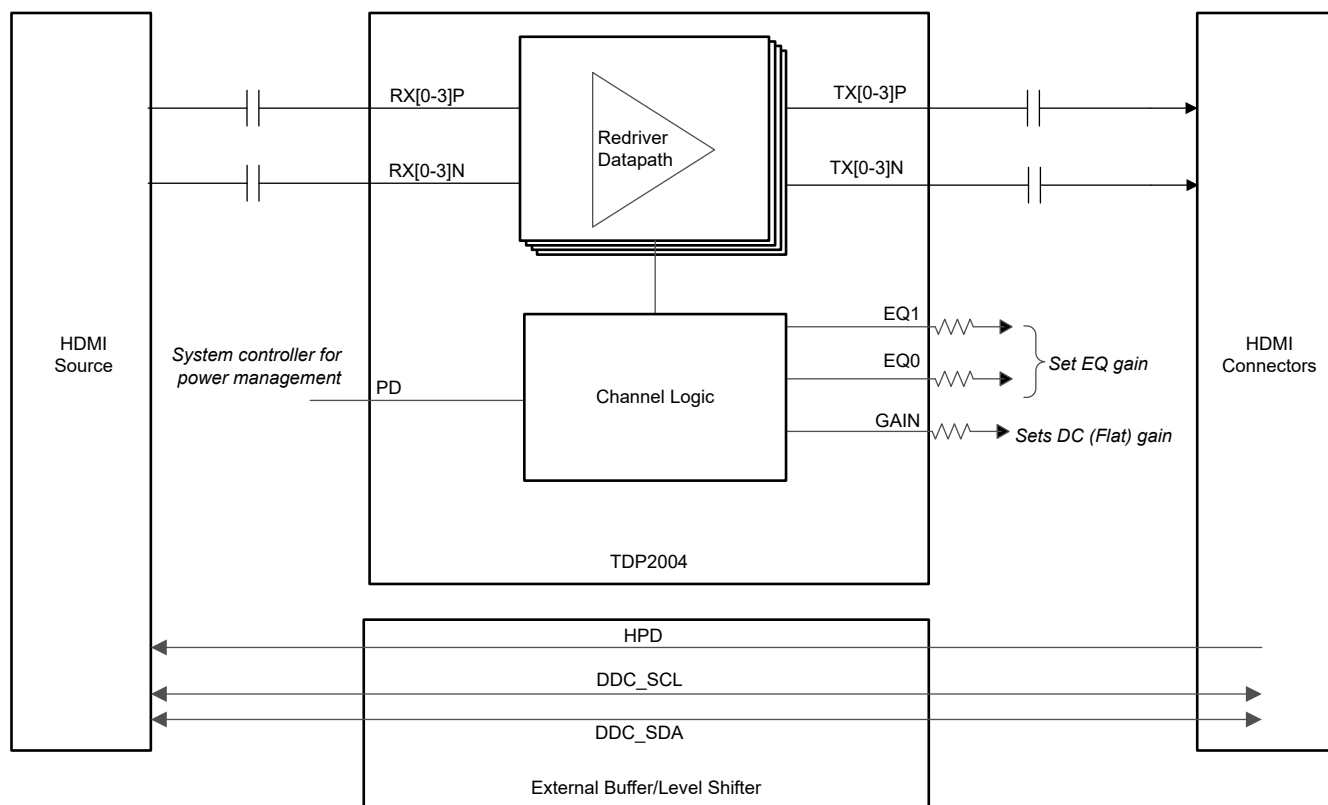


図 7-3. ソース アプリケーションにおける HDMI2.1 シグナル コンディショニングの概略回路図

7.2.1.3 アプリケーション曲線

TDP2004 は、DP リンクのチャネル到達範囲を拡張するために使用できるリニア リドライバです。リドライバは、最大 20Gbps (UHBR20) のデータレートで ISI による決定性ジッタを除去することで、コンプライアンスを通過するのに役立ちます。図 7-4 - 図 7-7 は、典型的な DP 2.1 Tx コンプライアンス チャネル セットアップと、リドライバの有無における TP3_EQ のコンプライアンス アイ ダイアグラムを示しています。アイ ダイアグラムの比較から、TDP2004 は水平方向および垂直方向のアイ オープニングを拡張することでシグナル コンディショニングを提供し、不合格だったアイを合格させることができますと分かります。

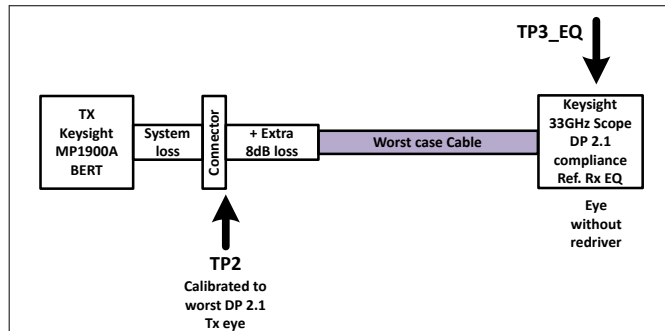


図 7-4. リドライバなしの典型的な 20Gbps (UHBR20) DP 2.1 Tx コンプライアンス チャネル セットアップ

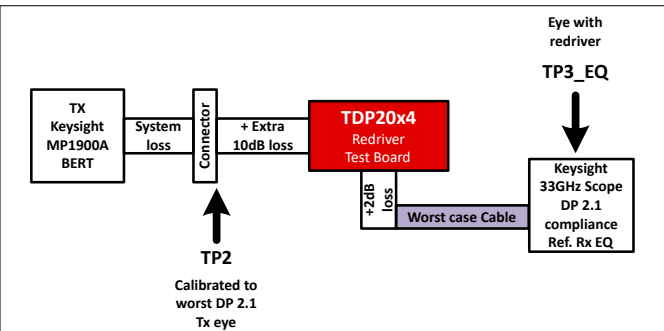


図 7-5. リドライバありの典型的な 20Gbps (UHBR20) DP 2.1 Tx コンプライアンス チャネル セットアップ

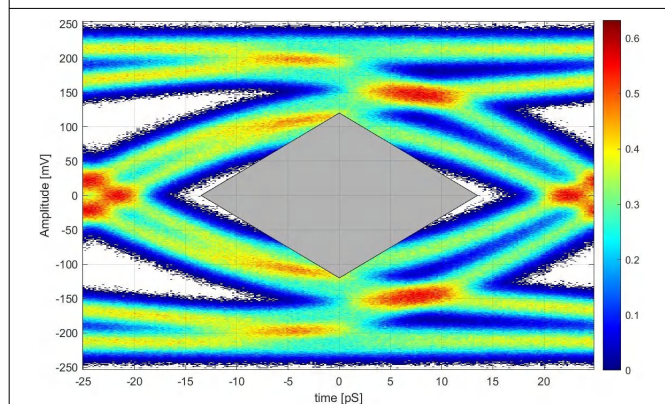


図 7-6. リドライバなしの TP3_EQ における DP 2.1 Tx コンプライアンス アイ ダイアグラム

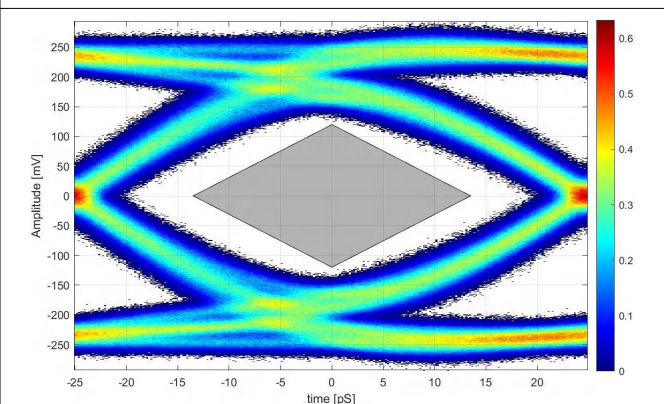


図 7-7. シグナル コンディショニング用の TDP2004 を使用した TP3_EQ における DP 2.1 Tx コンプライアンス アイ ダイアグラム

7.3 電源に関する推奨事項

電源を設計するときは、次の一般的なガイドラインに従ってください：

1. 電源は、DC 電圧、AC ノイズ、および立ち上がりランプ時間に関して、推奨動作条件セクションで示されている動作条件を提供できるように設計する必要があります。
2. 推奨動作条件が満たされている場合、TDP2004 はフェライト ビーズなど特別な電源フィルタリングを必要としません。標準的な電源デカップリングのみが必要です。典型的な電源デカップリングは、VCC ピンごとに 0.1μF コンデンサ 1 個、デバイスごとに 1.0μF バルク コンデンサ 1 個、そして 1 台以上の TDP2004 デバイスに電力を供給する各電源バスごとに 10μF バルク コンデンサ 1 個で構成されます。ローカル デカップリング (0.1μF) コンデンサは、可能な限り VCC ピンの近くに接続し、TDP2004 のグランド パッドまでの経路を最小限にする必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

システム実装のレイアウトを設計する際は、以下のガイドラインを参照してください:

1. デカップリングコンデンサは、可能な限り VCC ピンの近くに配置します。基板設計が許す場合、デカップリングコンデンサはデバイスの直下に配置することを推奨します。
2. 高速差動信号 TXnP/TXnN および RXnP/RXnN が、密結合され、スキューがマッチし、インピーダンスが制御されていることを確認してください。
3. 高速差動信号に可能な限りビアは避けてください。ビアを使用する必要がある場合は、可能な限りビアスタブを最小化するように注意します。その際は、多くまたはすべての層を貫通させるか、バックドリルを使用します。
4. パッド容量を打ち消して信号品質を改善するために、高速差動信号パッドの下に GND リーフを使用できます (必須ではありません)。
5. デバイス直下に GND ビアを配置し、デバイスに接続された GND プレーンを他の層の GND プレーンに接続します。これには、デバイスから基板への熱伝導性を改善するという追加の利点もあります。
6. デバイスのサーマルパッド設計推奨については、機械図面セクションのランドパターン例を参照してください。

7.4.2 レイアウト例

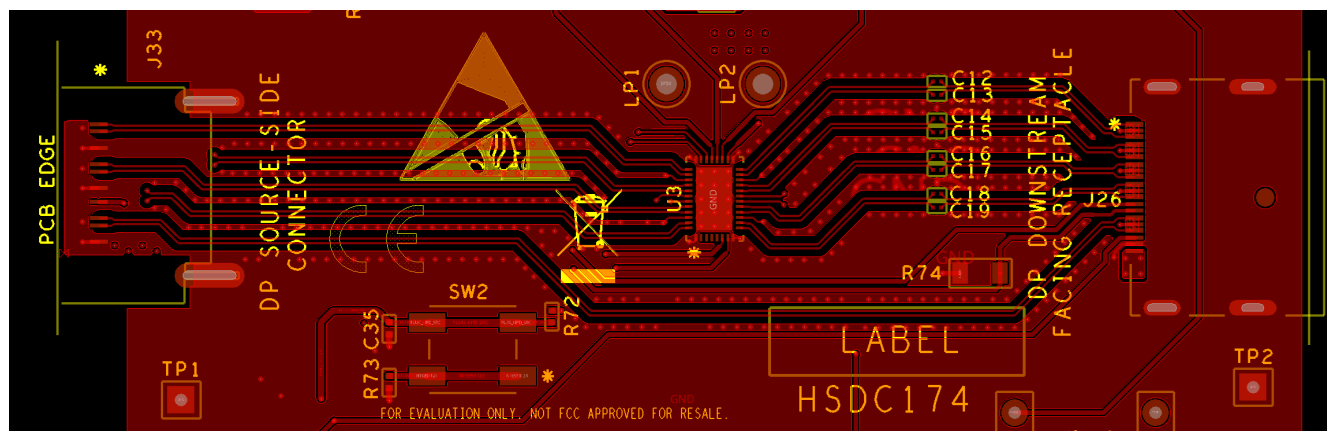


図 7-8. TDP2004 レイアウト例 – DP コネクタを備えた TI 評価ボードのサブセクション

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision A (April 2024) to Revision B (August 2025)	Page
• 正しい値を反映するよう、DEVICE_ID0 および DEVICE_ID1 レジスタを更新します.....	16
• AC 結合 HDMI2.1 ソースの 代表的なアプリケーション セクションのサポートを追加.....	20

Changes from Revision * (November 2023) to Revision A (April 2024)	Page
• 代表的なアプリケーション セクションに、DisplayPort モードでの使用時の DP++ 信号のサポートを追加.....	20

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDP2004IRNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TDP2
TDP2004IRNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TDP2
TDP2004IRNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TDP2
TDP2004IRNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TDP2
TDP2004RNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TDP2
TDP2004RNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TDP2
TDP2004RNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TDP2
TDP2004RNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TDP2

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

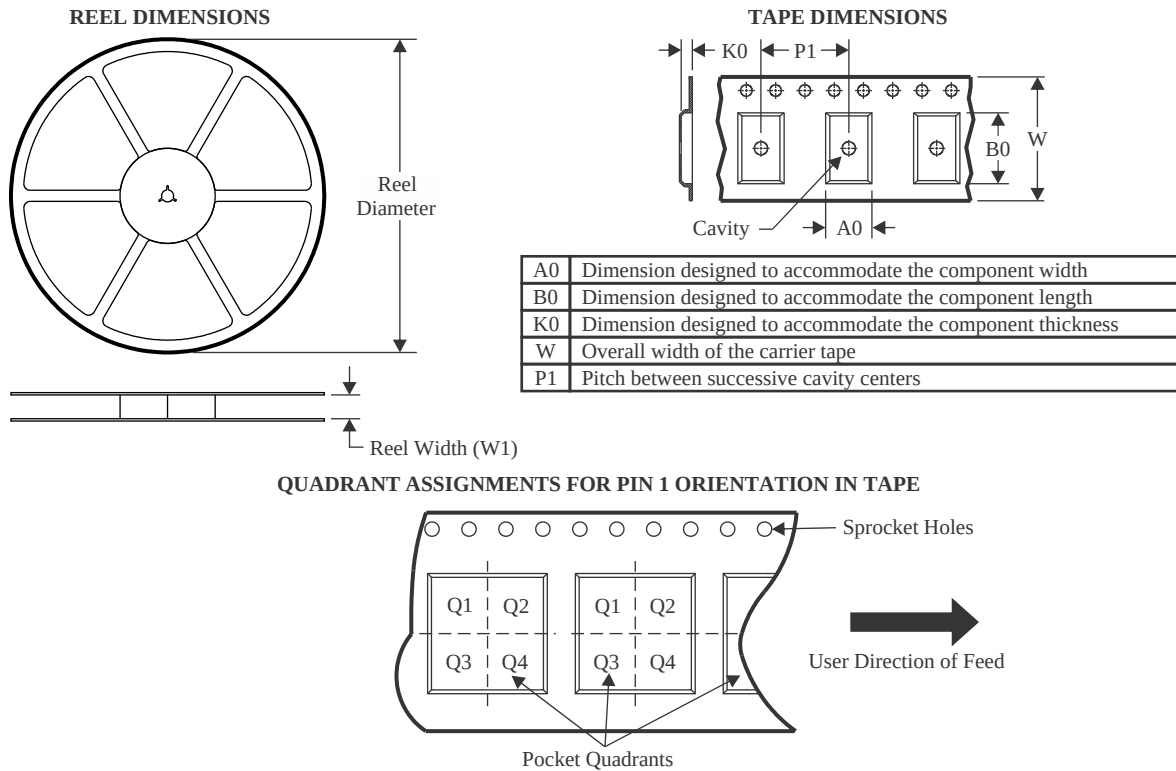
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

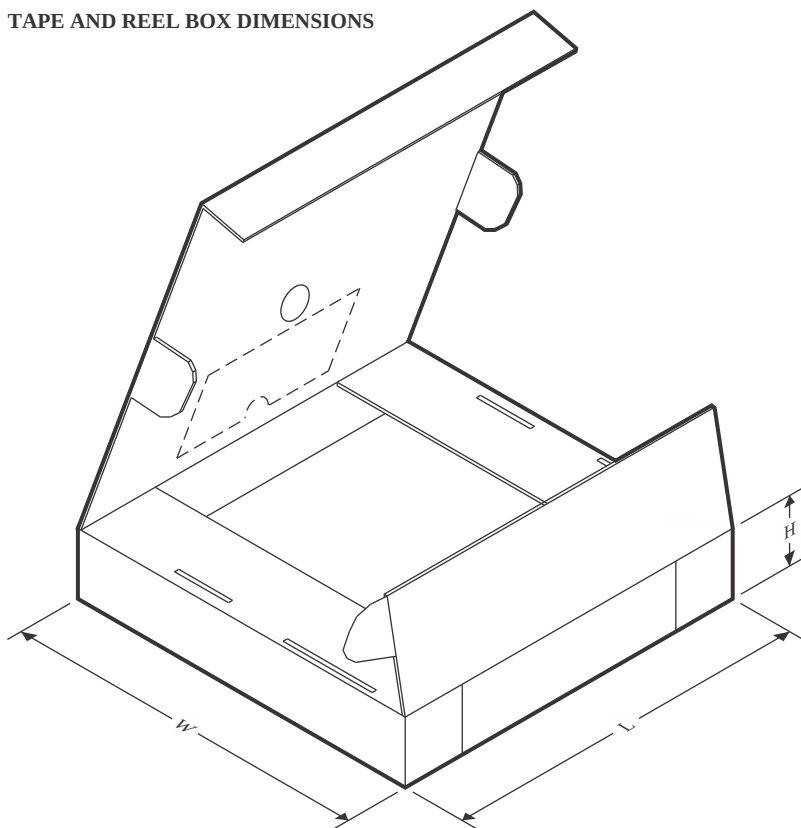
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDP2004IRNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TDP2004IRNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TDP2004RNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TDP2004RNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDP2004IRNQR	WQFN	RNQ	40	3000	360.0	360.0	36.0
TDP2004IRNQT	WQFN	RNQ	40	250	210.0	185.0	35.0
TDP2004RNQR	WQFN	RNQ	40	3000	360.0	360.0	36.0
TDP2004RNQT	WQFN	RNQ	40	250	210.0	185.0	35.0

WQFN - 0.8 mm max height

The drawing consists of three views: a top view, a side view, and a detail view of the pin index area.

- Top View:** Shows the overall footprint of the connector. The total width is 6.1 (5.9). The total height is 4.1 (3.9). The pin index area is defined by a 4.7±0.1 width and a 2.7±0.1 height. The pin index area contains 20 pins, with 10 pins on each side. The pin index area is defined by a 4.7±0.1 width and a 2.7±0.1 height. The pin index area contains 20 pins, with 10 pins on each side. The pin index area is defined by a 4.7±0.1 width and a 2.7±0.1 height. The pin index area contains 20 pins, with 10 pins on each side.
- Side View:** Shows the profile of the connector. The total height is 0.8 MAX. The pin index area is defined by a 0.05 height and a 0.00 offset. The pin index area is defined by a 0.05 height and a 0.00 offset. The pin index area is defined by a 0.05 height and a 0.00 offset. The pin index area is defined by a 0.05 height and a 0.00 offset.
- Detail View:** Shows the pin index area in more detail. The pin index area is defined by a 4.7±0.1 width and a 2.7±0.1 height. The pin index area contains 20 pins, with 10 pins on each side. The pin index area is defined by a 4.7±0.1 width and a 2.7±0.1 height. The pin index area contains 20 pins, with 10 pins on each side.

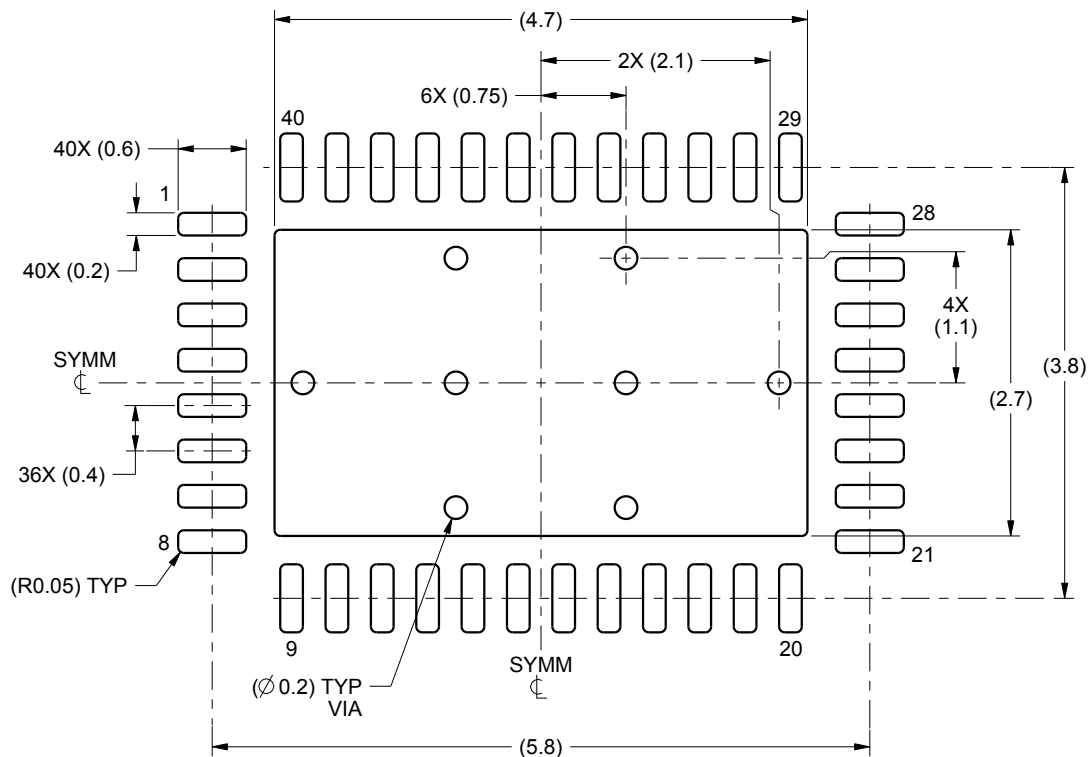
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

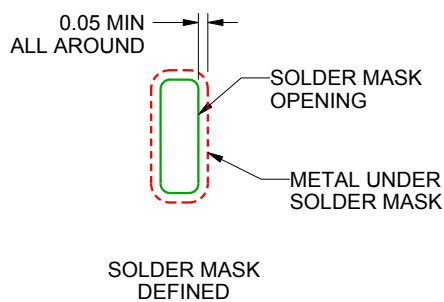
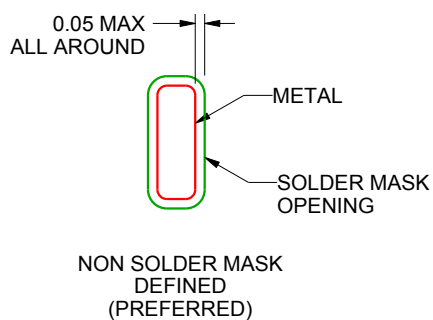
RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4222125/B 01/2016

NOTES: (continued)

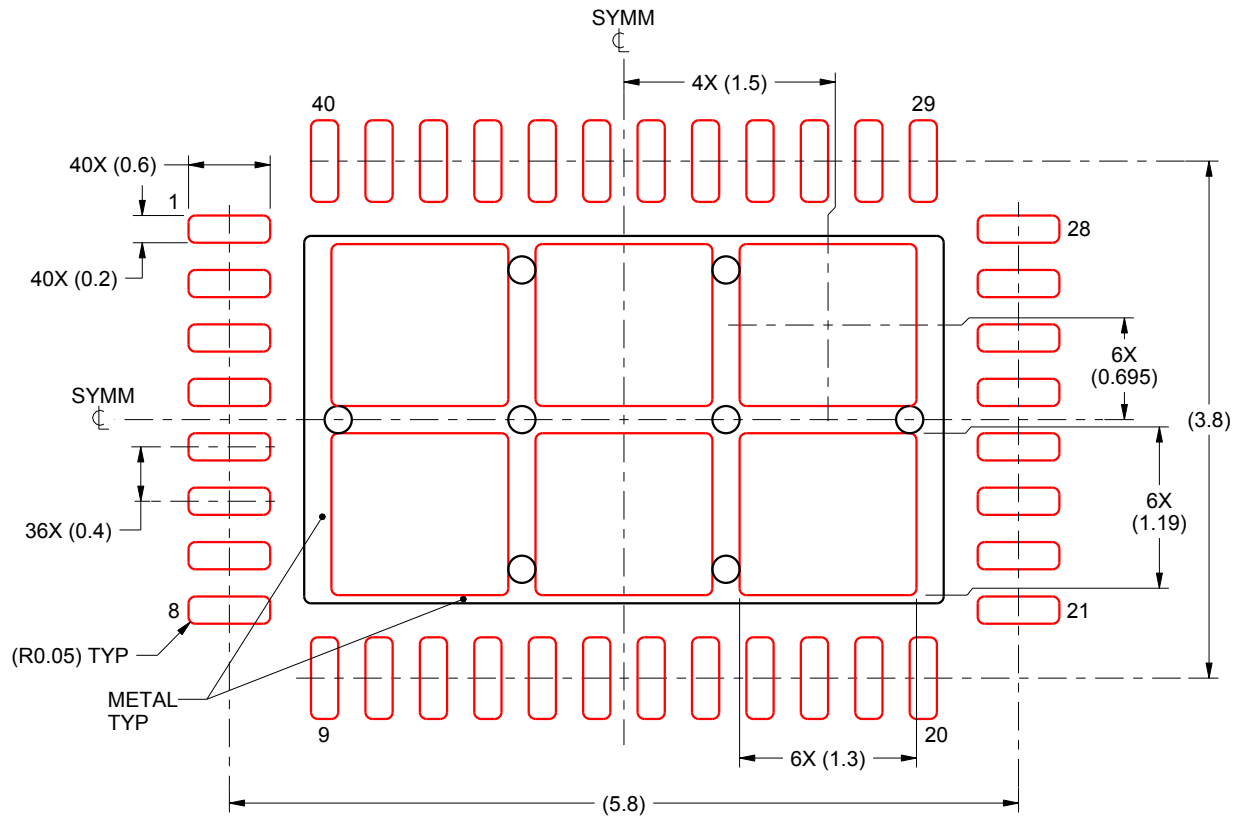
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
73% PRINTED SOLDER COVERAGE BY AREA
SCALE:18X

4222125/B 01/2016

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月