THS3470 60V、1A、70MHz、6500V/µs、高速パワー アンプ

1 特長

- 帯域幅 (V_S =±20V、R_{FB} = 1.2kΩ):
  - 小信号: 70MHz (V_O = $2V_{PP}$)
  - 大信号: 45MHz (V_O = $20V_{PP}$)
  - 大信号: 22MHz (V_S = ±30V、V_O = $50V_{PP}$、R_F = 2kΩ)
- スルー レート (20-80%):
  - 3000V/µs (R_F = 1.2kΩ、C_L = 300pF)
  - 2000V/µs (R_F = 2kΩ、C_L = 1nF)
  - 6500V/µs (ピーク、R_F = 1.2kΩ、R_L = 100Ω)
- 出力電流:
  - リニア出力電流:±1.35A
  - ピーク出力電流 2A
  - リニア範囲での 250mV V_{OUT} (I_{OUT} = ±1A、V_O = ±25V、V_S = ±30V)
- 診断機能:
  - プログラム可能な電流制限 (200mA から 1.5A、ソースとシンクを個別に供給)
  - ダイ温度と電流出力の監視
  - 診断フラグ(温度、電流ソース、電流シンク)

2 アプリケーション

- LCD/OLED テスタ用パターン発生器
- CCD パネルドライバ
- 電源 SMU
- 高容量性負荷ピエゾ素子ドライバ
- パワー FET ドライバ
- 半導体試験装置
- ライン ドライバ
- 任意波形ジェネレータ

3 説明

THS3470 は、線形出力電流駆動能力が高く (1.35A)、高スルー レート (6500V/µs ピーク)、広い電源電圧範囲 (60V) を備えた高速電流帰還型アンプ (CFA) です。このデバイスは広い範囲の容量性負荷で安定し、これらのアプリケーションで必要とされる最大 2A のピーク出力電流をサポートします。THS3470 は、70MHz の帯域幅があり、ノイズと歪みが低く、重抵抗性負荷に対しても優れた大信号性能を実現します。

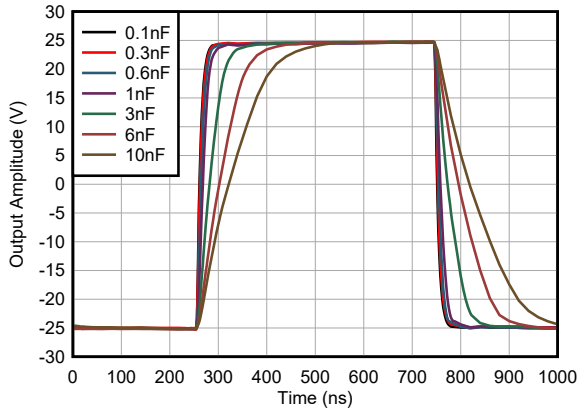
高速で高い電力性能に加えて、THS3470 には温度監視、出力電流監視、出力電流制限、出力電流保護など、多くの便利な機能があります。このデバイスの出力電流特性は、手動で有効化したり、デバイスからのさまざまなフラグ出力によって駆動したりすることができ、デバイスの使用事例におけるモジュール性をさらに高めます。

THS3470 は VQFN-42 (REB) パッケージで供給され、露出した上面サーマル パッドにより小型サイズを実現し、ヒートシンクに直接熱伝達できます。THS3470 は、-40℃～+125℃の広い温度範囲で動作します。

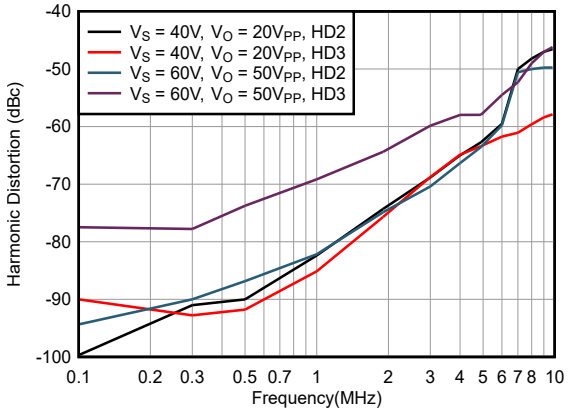
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
THS3470	REB (VQFN、42)	7mm × 7mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



THS3470 による容量性負荷の駆動



高調波歪みと周波数との関係 (R_{LOAD} = 100Ω)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性 $\pm V_S$ = ±30V.....7
5.6 電気的特性 $\pm V_S$ = ±20V.....10
5.7 代表的特性.....12
6 詳細説明.....20
6.1 概要.....20
6.2 機能ブロック図.....20
6.3 機能説明.....21
6.4 デバイスの機能モード.....31
7 アプリケーションと実装.....34
7.1 アプリケーション情報.....34
7.2 代表的なアプリケーション.....34
7.3 短絡保護.....41
7.4 電源に関する推奨事項.....43
7.5 レイアウト.....43
8 デバイスおよびドキュメントのサポート.....50
8.1 ドキュメントのサポート.....50
8.2 ドキュメントの更新通知を受け取る方法.....50
8.3 サポート・リソース.....50
8.4 商標.....50
8.5 静電気放電に関する注意事項.....50
8.6 用語集.....50
9 改訂履歴.....50
10 メカニカル、パッケージ、および注文情報.....50
10.1 テープおよびリール情報.....51

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

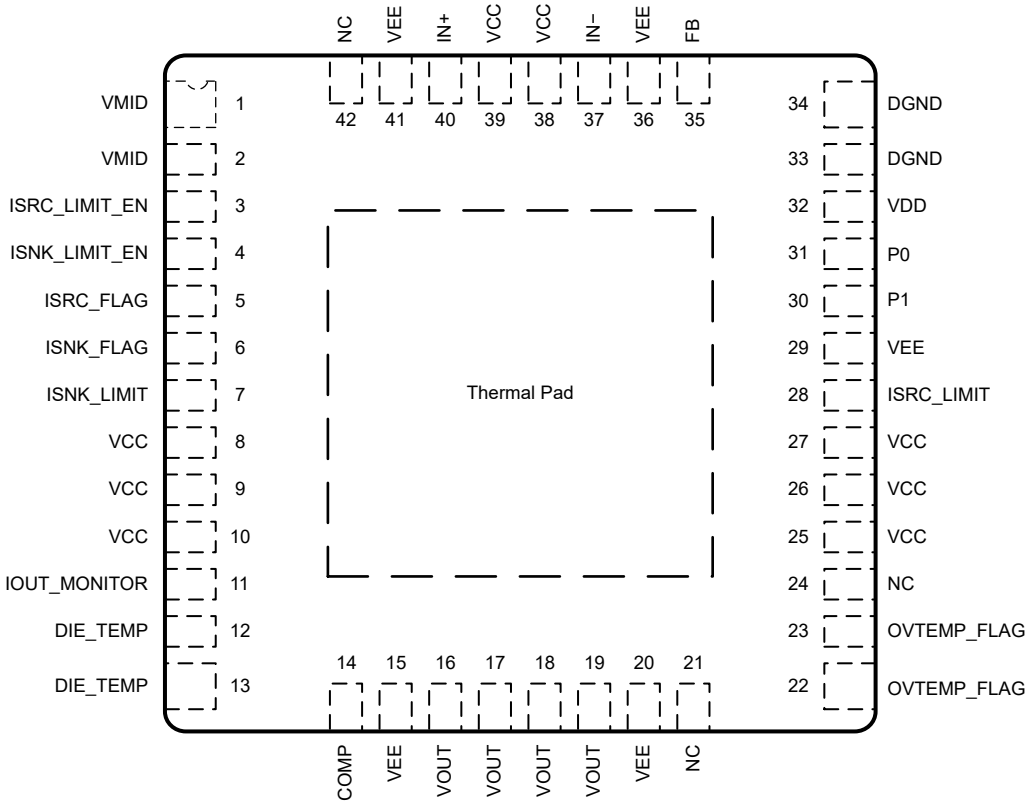


図 4-1. REB パッケージ、42 ピン VQFN (上面図)

ピンの機能

ピン		タイプ	説明
名称	番号		
COMP	14	入力	内部補償ピン。未接続のまま、デフォルトではグランド カットアウトを使用します。ピン動作の詳細については、セクション 6.3.7 を参照してください。
DGND	33、34	入力	デジタル グランド
DIE_TEMP	12、13	出力	ダイ温度出力。このピンはデフォルトで 25°C で 1.6V を出力します。ピン動作の詳細については、セクション 6.3.6 を参照してください。
FB	35	出力	入力側の帰還ピン
IN-	37	入力	反転入力
IN+	40	入力	非反転入力
IOUT_MONITOR	11	出力	出力電流モニタ。デフォルトでは、10kΩ プルアップおよびプルダウン抵抗と接続する必要があります。ピン動作の詳細については、セクション 6.3.5 を参照してください。
$\overline{\text{ISNK_FLAG}}$	6	出力	出力電流シンク フラグ。デバイスがデフォルトで設定されたシンク電流制限未満になると、内部で VDD にプルアップされます。ピン動作の詳細については、セクション 6.3.4 を参照してください。
ISNK_LIMIT	7	入力	出力電流シンク制限。デフォルトでは、プルアップ抵抗は VCC に接続します。ピン動作の詳細については、セクション 6.3.1 を参照してください。
$\overline{\text{ISNK_LIMIT_EN}}$	4	入力	出力電流シンク制限制御。デフォルトでは内部で VDD にプルアップされているため、VOUT が電流をシンクしている間は電流制限はありません。ピン動作の詳細については、セクション 6.3.2 を参照してください。

ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
$\overline{\text{ISRC_FLAG}}$	5	出力	出力電流ソース フラグ。デバイスがデフォルトで設定されたソース電流制限未満になると、内部で VDD にプルアップされます。ピン動作の詳細については、セクション 6.3.4 を参照してください。
ISRC_LIMIT	28	入力	出力電流ソース制限。デフォルトでプルダウン抵抗を VEE に接続。ピン動作の詳細については、セクション 6.3.1 を参照してください。
$\overline{\text{ISRC_LIMIT_EN}}$	3	入力	出力電流源制限制御。デフォルトでは内部で VDD にプルアップされるため、VOUT が電流を供給している間は電流制限はありません。ピン動作の詳細については、セクション 6.3.2 を参照してください。
DNC	21、24、42	—	未接続のままにします。内部で切断されたピン。
$\overline{\text{OVTEMP_FLAG}}$	22、23	出力	過熱フラグ。デバイスの接合部温度が 165°C 未満の場合、デフォルトのロジック low です。ピンの詳細については、セクション 6.3.3 を参照してください。
P0	31	入力	電力モード制御、bit0 完全バイアス モードをイネーブルするため、内部で High にプルアップ。ピン接続と性能の詳細については、セクション 6.3.3 および セクション 6.4.1 を参照してください。
P1	30	入力	電力モード制御、bit1 完全バイアス モードをイネーブルするため、内部で High にプルアップ。ピン接続と性能の詳細については、セクション 6.3.3 および セクション 6.4.1 を参照してください。
VCC	8、9、10、25、26、27、38、39	入力	正電源。バイパスおよびレイアウトの推奨事項については、セクション 7.5.2 を参照してください。
VDD	32	出力	内部で生成される、DGND に対する 5.0V デジタル電源。バイパスおよびレイアウトの推奨事項については、セクション 7.5.2 を参照してください。
VEE	15、20、29、36、41	入力	負電源。バイパスおよびレイアウトの推奨事項については、セクション 7.5.2 を参照してください。
VMID	1、2	出力	中間電源のバッファ出力、$(V_{CC}+V_{EE})/2$。VMID 電圧を設計の他の場所で電源または電圧リファレンスとして使用するため、このピンを外部からバッファする必要があります。バイパスおよびレイアウトの推奨事項については、セクション 7.5.2 を参照してください。
VOUT	16、17、18、19	出力	アンプの出力
サーマル パッド		—	サーマル パッド。VEE に内部で接続

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_S	電源電圧、$(V_{CC}) – (V_{EE})$		64 (±32)	V
	差動入力電圧(2)		±0.7	V
	同相入力電圧	(V_{EE}) - 0.5	(V_{CC}) + 0.5	V
I_{IN}	連続入力電流(2)		±10	mA
I_{OUT}	連続出力電流(3)		±500	mA
P_D	電力散逸(4)	*熱に関する情報* 参照		
T_A	動作時周囲温度	-40	125	°C
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「*絶対最大定格*」外での動作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 両方の ESD ダイオードが電源ピンとアンプの差動入力クランプ ダイオードに供給する連続入力電流制限。差動入力クランプ ダイオードは、ダイオードを流れるこの連続入力電流を使用して、ダイオードの両端の電圧を 0.7V に制限します。
(3) エレクトロマイグレーションを制限するための長期的な連続電流。
(4) 大電力条件時にデバイス性能を最適化する方法の詳細については、安全動作領域を参照してください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	単一出力電源電圧、$(V_{CC}) – (V_{EE})$	12		60	V
$±V_S$	デュアル電源電圧、$(V_{S+} = V_{CC})$、$(V_{S–} = V_{EE})$	±6		±30	V
T_J	接合部温度	-40	25	125(1)	°C

(1) 安全な動作のために $R_{θJA}$ と最大 T_J によって制限されます。

5.4 熱に関する情報

熱評価基準(1)		THS3470 REB (VQFN) 42 ピン	THS3470 REB (VQFN)(2) 42 ピン	単位
$R_{θJA}$	接合部から周囲への熱抵抗	46.3	4.0	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗	0.48	該当なし	°C/W
$R_{θJB}$	接合部から基板への熱抵抗	23.0	該当なし	°C/W
$Ψ_{JT}$	接合部から上面への特性パラメータ	0.3	0.7	°C/W

Copyright © 2025 Texas Instruments Incorporated

熱評価基準(1)		THS3470 REB (VQFN) 42 ピン	THS3470 REB (VQFN)(2) 42 ピン	単位
Ψ_{JB}	接合部から基板への特性パラメータ	22.8	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。
(2) THS3470EVM で 1m/s のリニアエアフロー速度を持ちます

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 $\pm V_S = \pm 30V$

$T_A \cong 25°C$、$A_V = 10V/V$、$R_F = 2k\Omega$ および $R_S = 5\Omega$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅 (-3dB)	$V_O = 2V_{PP}$	$R_L = 100\Omega$		30		MHz
			$R_S = 5\Omega$、$C_L = 1nF$		20		
LSBW	大信号帯域幅 (-3dB)	$V_O = 50V_{PP}$、< 1dB ピーキング	$R_L = 100\Omega$		22		MHz
			$C_L = 1nF$ (2)		7		
SR	スルー レート (ピーク)	$V_O = 50V_{PP}$ ステップ	$R_L = 100\Omega$		6500		V/µs
			$C_L = 1nF$		2600		
	スルー レート (20%-80%)	$V_O = 50V_{PP}$ ステップ	$R_L = 100\Omega$		3500		
			$C_L = 1nF$		2000		
	立ち上がりおよび立ち下がり時間	$V_O = 50V$ ステップ	$R_L = 100\Omega$		17		ns
			$C_L = 1nF$		22		
	セトリング タイム	0.1%、$V_O = 50V$ ステップまで	$R_L = 100\Omega$		200		ns
			$C_L = 1nF$		375		
HD2	2 次高調波歪み	$V_O = 50V_{PP}$、$R_L = 100\Omega$	f = 10MHz		-47		dBc
			f = 1MHz		-80		
			f = 0.1MHz		-91		
		$V_O = 50V_{PP}$、$C_L = 1nF$	f = 1MHz		-80		
			f = 0.1MHz		-87		
HD3	3 次高調波歪み	$V_O = 50V_{PP}$、$R_L = 100\Omega$	f = 10MHz		-43		dBc
			f = 1MHz		-67		
			f = 0.1MHz		-75		
		$V_O = 50V_{PP}$、$C_L = 1nF$	f = 1MHz		-61		
			f = 0.1MHz		-71		
e_n	電圧ノイズ	f > 100kHz			1.3		nV/√Hz
i_{n+}	非反転入力参照電流ノイズ	f > 100kHz			31		pA/√Hz
i_{n-}	反転入力参照電流ノイズ	f > 100kHz			20		pA/√Hz
DC 特性							
Z_{OL}	開ループ トランスインピーダンス ゲイン	$V_O = \pm 10V$		4.5	5.5		MΩ
Z_{OL}	開ループ トランスインピーダンス ゲイン	$V_O = \pm 10V$、$R_L = 100\Omega$			4.1		MΩ
V_{OS}	入力オフセット電圧				±0.8	±3.5	mV
	入力オフセット電圧ドリフト (1)	$T_J = -40°C$ ~ $+125°C$			5		µV/°C
I_{B-}	反転入力バイアス電流				±3	±25	µA
	反転入力バイアス電流ドリフト	$T_J = -40℃$ ～ $+125℃$			100		nA/°C
I_{B+}	非反転入力バイアス電流				±1	±15	µA
	非反転入力バイアス電流ドリフト	$T_J = -40°C$ ~ $+125°C$			70		nA/°C
Z_{IN+}	非反転入力インピーダンス				900 || 1.5		kΩ || pF
Z_{IN-}	反転入力インピーダンス				17		Ω
	入力同相電圧			$V_{EE} + 4$		$V_{CC} - 4$	V

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 $\pm V_S = \pm 30V$ (続き)

$T_A \cong 25°C$、$A_V = 10V/V$、$R_F = 2k\Omega$ および $R_S = 5\Omega$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力							
CMRR	同相除去比	f = dc、$V_{ICM} = \pm 2V$			67		dB
		f = dc、$V_{ICM} = \pm 25V$			72		
出力							
HR_{OUT}	いずれかの電源に対するヘッドルーム	R_L = オープン			±4	±5	V
HR_{OUT}	いずれかの電源に対するヘッドルーム	$R_L = 100\Omega$			±4	±5	V
I_{OUTLIN}	リニア出力電流	$R_L = 5\Omega$、$V_O = \pm 10V$、$Z_{OL} > 200k\Omega$、ソースおよびシンク		1	1.35		A
I_{OUT}	最大電流出力				1.5		A
Z_{OUT}	DC 出力インピーダンス	閉ループ			0.03		Ω
	開ループ出力抵抗	パワーダウン			11		kΩ
電源							
I_Q	静止時電流	完全バイアス、無負荷、ISNK/ISRC_LIMIT = 開			31	32	mA
			T_J = –40°C ~ +125°C		31	33	
		完全バイアス、無負荷、ISNK/ISRC_LIMIT = 250mA			29	30	
			T_J = –40°C ~ +125°C		29	31	
		完全バイアス、無負荷、ISNK/ISRC LIMIT = 1A			33	34	
			T_J = –40°C ~ +125°C		33	34	
		パワーダウン、無負荷、ISNK/ISRC_LIMIT = 開			14	16	
			T_J = –40°C ~ +125°C		14	16	
PSRR	電源除去比	$V_S = \pm 12V$ から ±30V		76	81		dB
ダイ温度監視							
	$\overline{OVTEMP_FLAG}$ ステータス フラグ Low				165		°C
	$\overline{OVTEMP_FLAG}$ ステータス フラグ High				140		°C
T_{J_SENSE}	ダイ温度出力電圧	T_J = 25°C			1.55		V
	T_{J_SENSE} 温度係数	T_J = –40°C ～ +125°C			4.8		mV/°C
	T_{J_SENSE} 出力インピーダンス				50		kΩ
出力電流の監視							
	IOUT_MONITOR の応答時間	中間電源、10kΩ プルアップ (VCC) および 10kΩ プルダウン抵抗 (VEE) を基準とします			20		µs
	IOUT_MONITOR 電圧	中間電位を基準とする		V_{MID} - 2V		V_{MID} + 2V	V
	IOUT_MONITOR の精度	$I_{OUT} = \pm 200mA$			15		%
		$I_{OUT} = \pm 1A$			30		
電流制限管理							
	出力電流制限	外部から調整可能		200		1500	mA
	電流制限の応答時間				1		us
	電流制限精度	$I_{LIMIT} = \pm 200mA$			5	15	%
		$I_{LIMIT} = \pm 1A$			5	15	
デジタル入力 (P0、P1、$\overline{ISRC_LIM_EN}$、$\overline{ISNK_LIM_EN}$)							
	DGND 電圧			V_{EE}		V_{CC} - 12	V

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 $\pm V_S = \pm 30V$ (続き)

$T_A \cong 25°C$、$A_V = 10V/V$、$R_F = 2k\Omega$ および $R_S = 5\Omega$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
	デジタル入力ピン電圧	DGND を基準とした場合		0		5.0	V
	デジタル入力ピンのロジック スレッショルド	DGND に対するロジック High			1.3	1.5	V
		DGND に対するロジック Low		0.5	1.1		
	デジタル入力ピンのバイアス電流	VDGND に対する V_{IN} = 0V	T_J = –40°C ~ +125°C	-30	-13	30	µA
		VDGND に対する V_{IN} = 5V	T_J = –40°C ~ +125°C	-30	-5	30	
デジタル出力 (ISRC_FLAG、ISNK_FLAG、OVTEMP_FLAG)							
	デジタル出力ピン電圧	DGND を基準とした場合		0		5.0	V
	デジタル出力ピン電圧 High	DGND を基準とした場合		4.9	4.99		V
	デジタル出力ピン電圧 Low	DGND を基準とした場合			0.01	0.1	V
	ISRC_FLAG 応答時間				5		µs
	ISNK_FLAG 応答時間				5		µs
	OVTEMP_FLAG 応答時間				5		µs

(1) 電流出力は、エレクトロマイグレーション制限に基づき、実際の性能はシステムの発熱に依存します。
(2) 1nF などの高い容量性負荷値は、大きな出力過渡電流による帯域幅を制限します。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 $\pm V_S = \pm 20V$

$T_J \cong 25°C$、$A_V = –5V/V$、$R_F = 1.21k\Omega$、$R_S = 5\Omega$、および $C_L = 300pF$ で中間電源に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅 (-3dB)	$V_O = 2V_{PP}$			55		MHz
			$A_V = 2V/V$		70		
LSBW	大信号帯域幅 (-3dB)	$V_O = 20V_{PP}$ (2)			45		MHz
SR	スルー レート (ピーク)	V_O = 30V ステップ、A_V = 2V/V			3500		V/µs
	スルー レート (20%-80%)	V_O = 30V ステップ、A_V = 2V/V			3000		
	立ち上がりおよび立ち下がり時間	V_O = 30V ステップ、A_V = 2V/V			9		ns
	セトリング タイム	0.1%、V_O = 10V ステップまで			150		ns
HD2	2 次高調波歪み	$V_O = 20V_{PP}$、$A_V = –10V/V$	f = 30MHz		-43		dBc
			f = 1MHz		-90		
			f = 0.1MHz		-105		
		$V_O = 20V_{PP}$、$A_V = –10V/V$、R_L = 25Ω	f = 30MHz		-46		
			f = 1MHz		-95		
			f = 0.1MHz		-91		
HD3	3 次高調波歪み	$V_O = 20V_{PP}$、$A_V = –10V/V$	f = 30MHz		-34		dBc
			f = 1MHz		-79		
			f = 0.1MHz		-86		
		$V_O = 20V_{PP}$、$A_V = –10V/V$、R_L = 25Ω	f = 30MHz		-33		
			f = 1MHz		-80		
			f = 0.1MHz		-86		
e_n	電圧ノイズ	f > 100kHz			1.3		nV/√Hz
i_{n+}	非反転入力参照電流ノイズ	f > 100kHz			31		pA/√Hz
$i_{n–}$	反転入力参照電流ノイズ	f > 100kHz			20		pA/√Hz
V_{OS}	入力オフセット電圧				±0.8	±3.5	mV
	入力オフセット電圧ドリフト (1)	T_J = –40°C ~ +125°C			5		µV/°C
DC 特性							
$I_{B–}$	反転入力バイアス電流				±3	±25	µA
	反転入力バイアス電流ドリフト	T_J = –40°C ~ +125°C			100		nA/°C
I_{B+}	非反転入力バイアス電流				±1	±15	µA
	非反転入力バイアス電流ドリフト	T_J = -40°C ～ +125°C			70		nA/°C
Z_{OL}	開ループ トランスインピーダンス ゲイン	V_O = ±10V			5.5		MΩ

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 $\pm V_S = \pm 20V$ (続き)

$T_J \cong 25°C$、$A_V = -5V/V$、$R_F = 1.21k\Omega$、$R_S = 5\Omega$、および $C_L = 300pF$ で中間電源に接続 (特に記述のない限り)

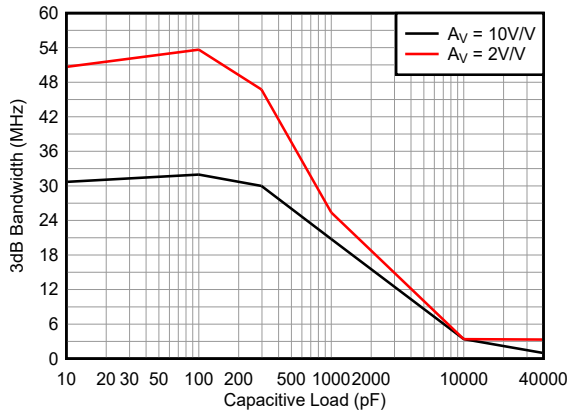
パラメータ		テスト条件		最小値	標準値	最大値	単位
入力							
Z_{IN+}	非反転入力インピーダンス				180 || 5		kΩ || pF
Z_{IN-}	反転入力インピーダンス				17		Ω
	入力同相電圧			V_{EE} + 4		V_{CC} - 4	V
CMRR	同相除去比	f = dc、VICM = ±2V			67		dB
		f = dc、VICM = ±18V			72		
出力							
HR_{OUT}	いずれかの電源に対するヘッドルーム	R_L = オープン			±4	±5	V
		R_L = 100Ω			±4	±5	V
I_{OUTLIN}	リニア出力電流			1	1.2		A
I_{OUT}	最大電流出力				1.5		A
Z_{OUT}	DC 出力インピーダンス	閉ループ			0.03		Ω
電源							
I_Q	静止時電流	完全バイアス、無負荷、ISNK/ISRC_LIMIT = 開			31	32	mA
			T_J = –40°C ~ +125°C		31	33	
		完全バイアス、無負荷、ISNK/ISRC_LIMIT = 200mA			29	30	
			T_J = –40°C ~ +125°C		29	31	
		完全バイアス、無負荷、ISNK/ISRC_LIMIT = 1.5A			33	34	
			T_J = –40°C ~ +125°C		33	34	
		パワーダウン、無負荷、ISNK/ISRC_LIMIT = 開			14	16	
			T_J = –40°C ~ +125°C		14	16	
出力電流の監視							
	IOUT_MONITOR の精度	I_{OUT} = ±200mA			5		%
		I_{OUT} = ±1A			15		
電流制限管理							
	電流制限精度	I_{LIMIT} = ±200mA			5		%
		I_{LIMIT} = ±1A			5		

(1) 電流出力は、エレクトロマイグレーション制限に基づき、実際の性能はシステムの発熱に依存します。
(2) 300pF などの高い容量性負荷値は、大きな出力過渡電流による帯域幅を制限します。

Copyright © 2025 Texas Instruments Incorporated

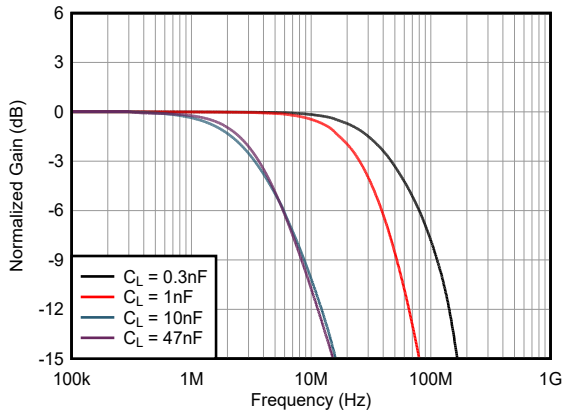
5.7 代表的特性

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



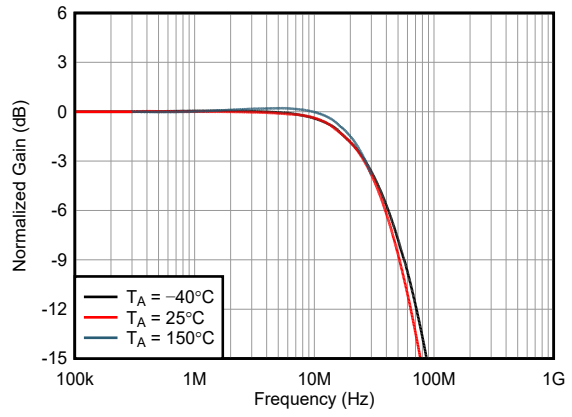
V_{OUT} = 2 V_{PP}

図 5-1. 小信号帯域幅と容量性負荷との関係



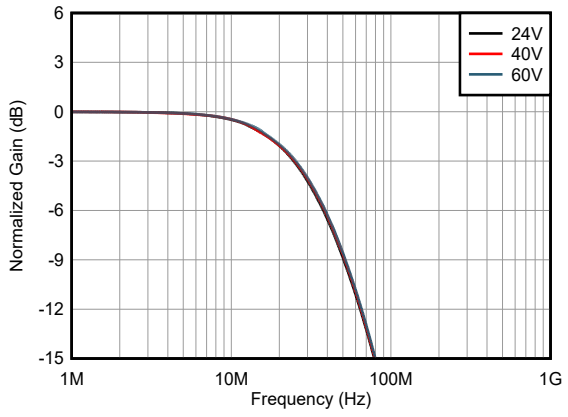
A_V = 2V/V、V_{OUT} = 2V_{PP}

図 5-2. 小信号帯域幅と容量性負荷との関係



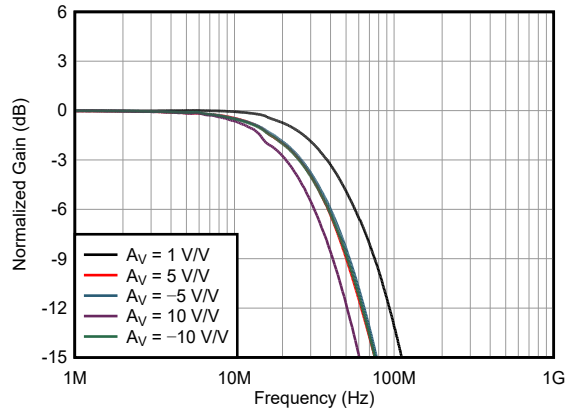
A_V = 2V/V、C_{LOAD} = 1nF、V_{OUT} = 2V_{PP}

図 5-3. 小信号帯域幅と温度との関係



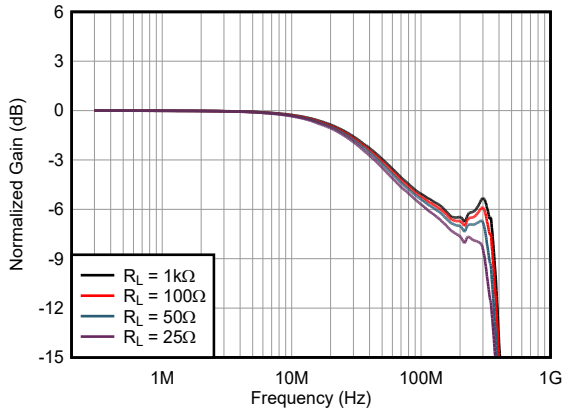
A_V = 2V/V、C_{LOAD} = 1nF、V_{OUT} = 2V_{PP}

図 5-4. 小信号帯域幅と供給電圧との関係



A_V = 2V/V、C_{LOAD} = 1nF、V_{OUT} = 2V_{PP}

図 5-5. 小信号帯域幅とゲインとの関係



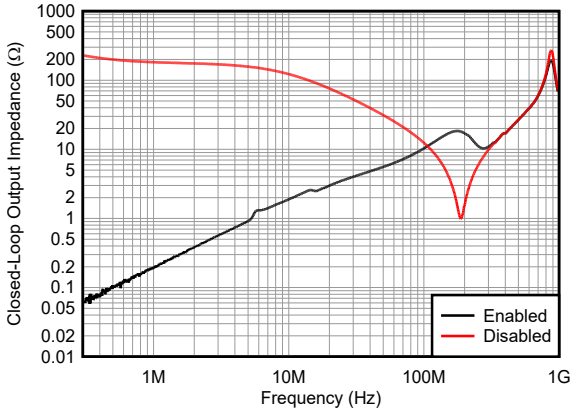
A_V = 2V/V、R_S = 0Ω、C_{LOAD} = オープン、V_{OUT} = 2V_{PP}

図 5-6. 小信号帯域幅と抵抗負荷との関係

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



R_S = 0Ω、C_{LOAD} = オープン

図 5-7. 閉ループ出力インピーダンスと周波数との関係

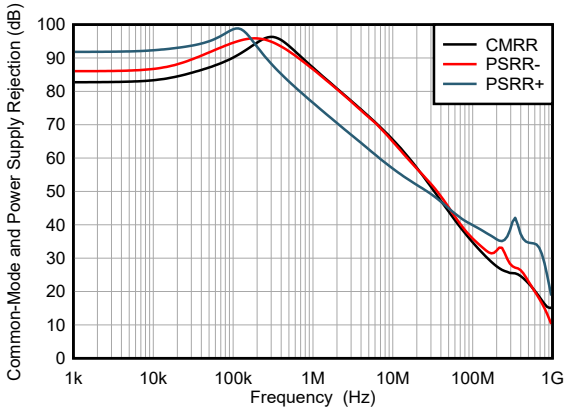
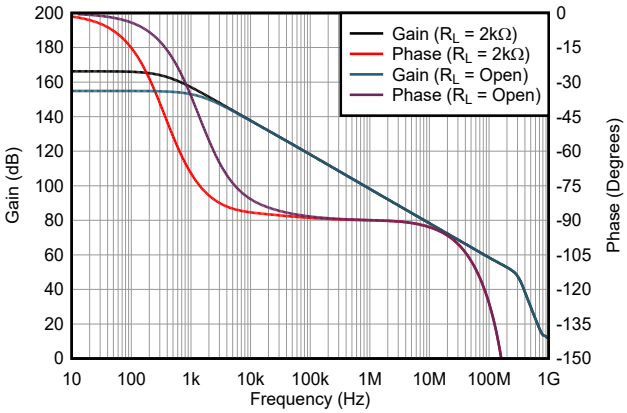
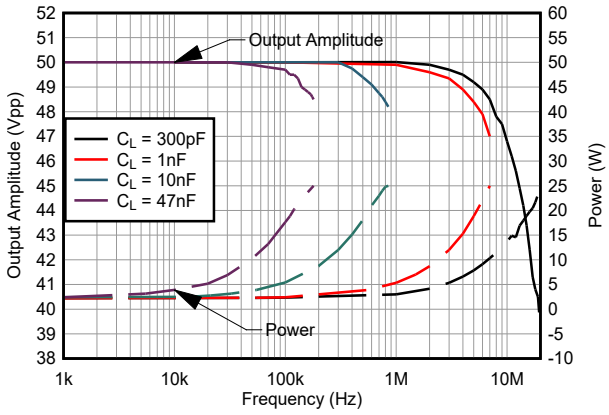


図 5-8. コモンモードおよび電源除去比と周波数の関係



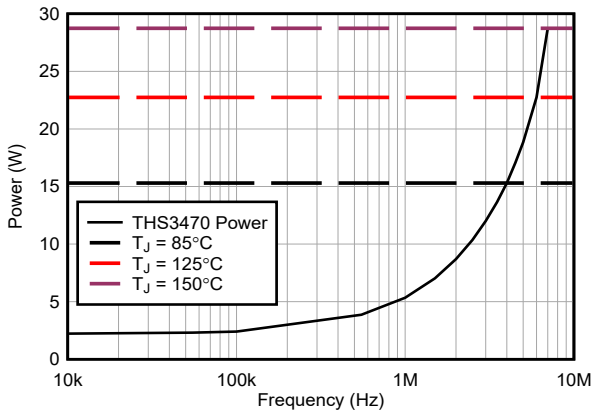
C $_{LOAD}$ = オープン

図 5-9. 開ループトランスインピーダンスと周波数との関係



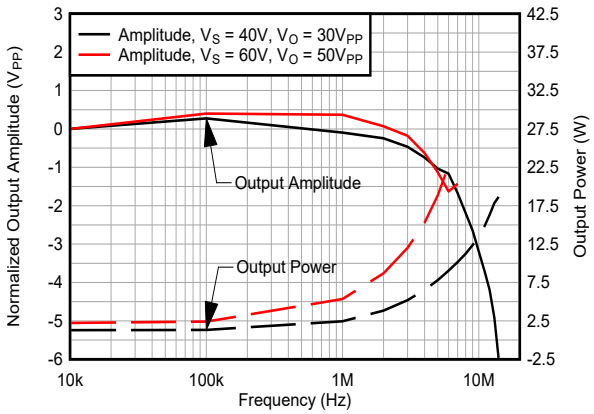
V_{OUT} = 50 V_{PP}

図 5-10. 大信号帯域幅と容量性負荷との関係



C_{LOAD} = 1nF、V_{OUT} = 50V_{PP}

図 5-11. 大信号帯域幅と周波数との関係



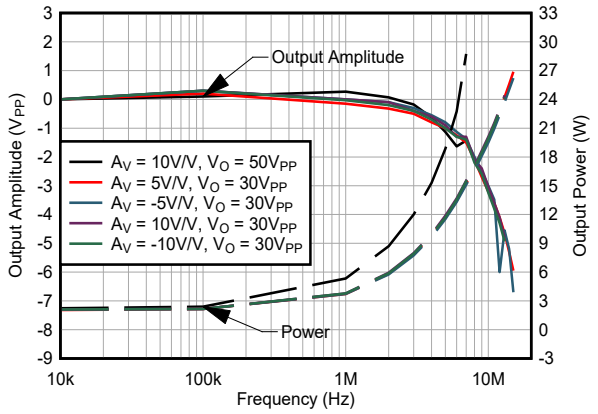
C_{LOAD} = 1nF

図 5-12. 大信号帯域幅と供給電圧との関係

Copyright © 2025 Texas Instruments Incorporated

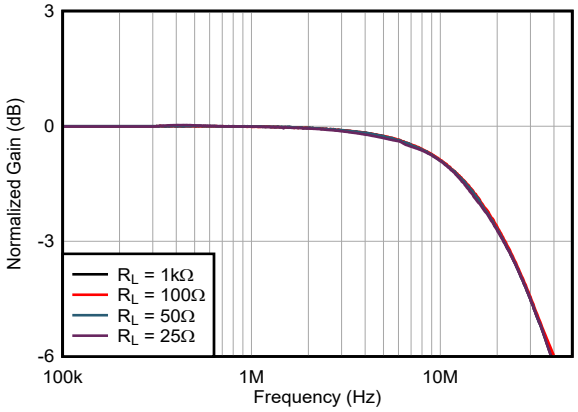
5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



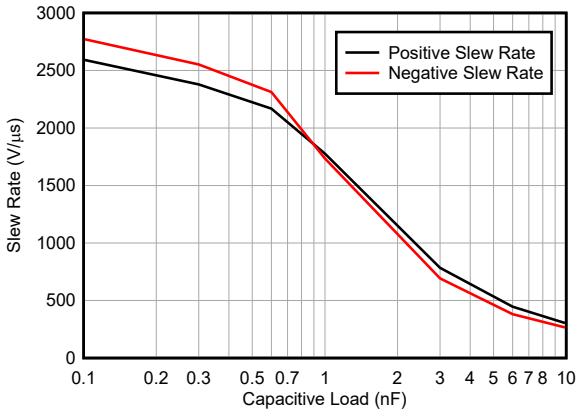
C_{LOAD} = 1nF

図 5-13. 大信号応答とゲインとの関係



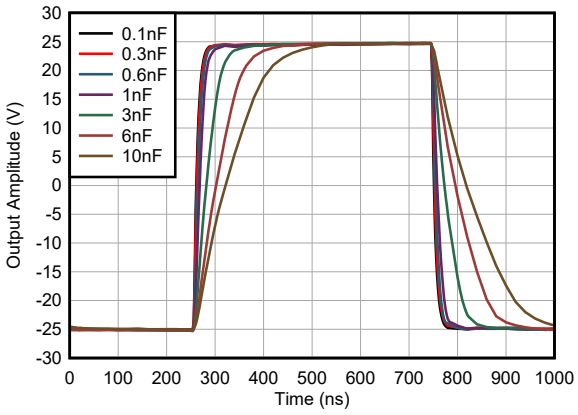
R_S = 0Ω、C_{LOAD} = オープ、V_{OUT} = 50V_{PP}

図 5-14. 大信号帯域幅と抵抗負荷との関係



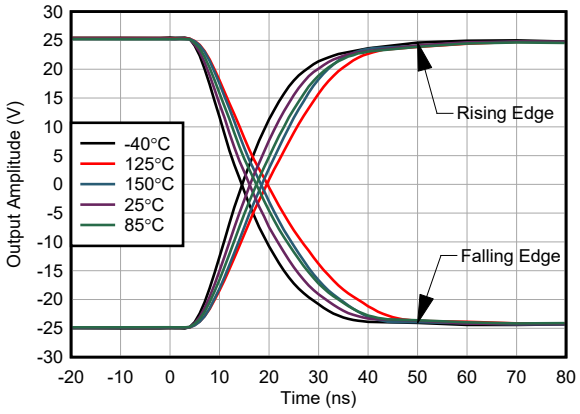
V_{OUT} = 50 V_{PP}

図 5-15. スルー レートと容量性負荷との関係



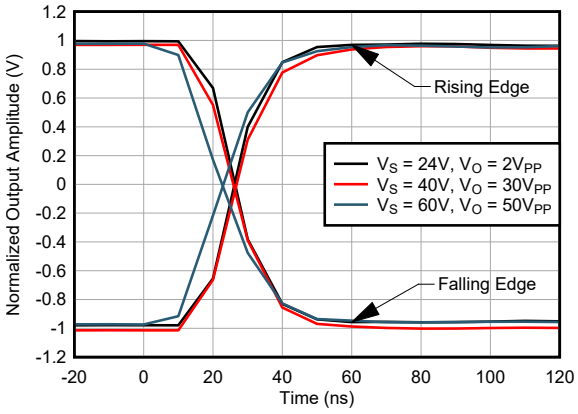
V_{OUT} = 50 V_{PP}

図 5-16. 大信号ステップ応答と容量性負荷との関係



C_{LOAD} = 1nF、V_{OUT} = 50V_{PP}

図 5-17. 大信号ステップ応答と温度との関係



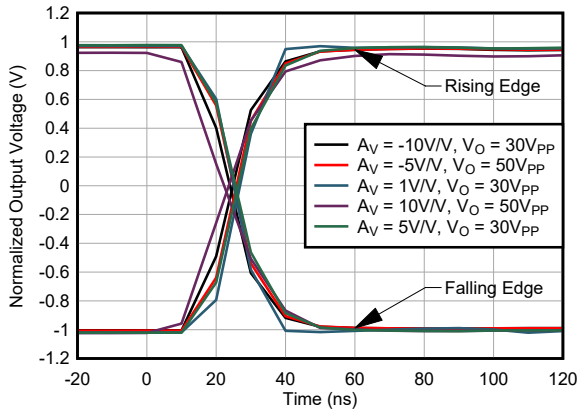
C_{LOAD} = 1nF

図 5-18. 大信号ステップ応答と供給電圧との関係

Copyright © 2025 Texas Instruments Incorporated

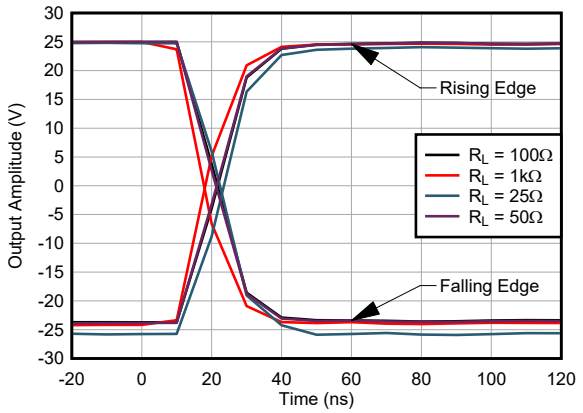
5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



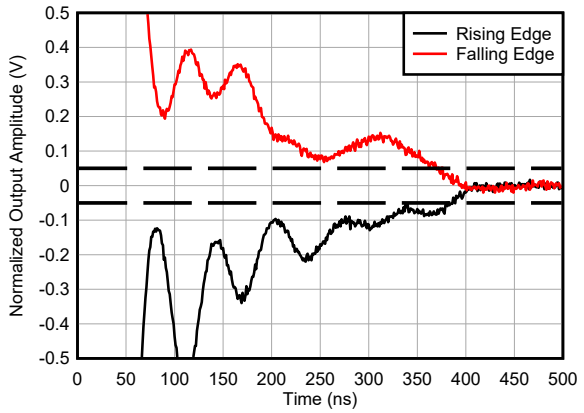
C_{LOAD} = 1nF

図 5-19. 大信号ステップ応答とゲインとの関係



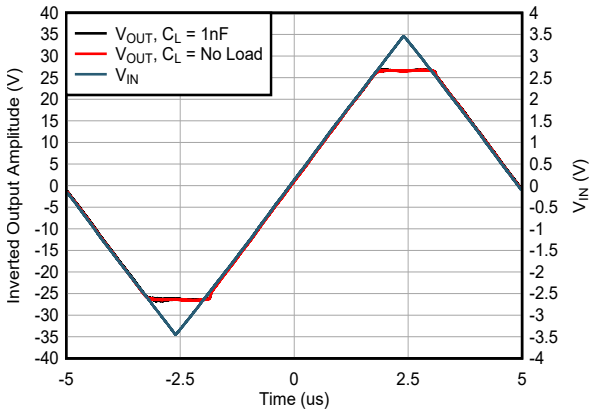
C_{LOAD} = オープン、V_{OUT} = 50V_{PP}

図 5-20. 大信号ステップ応答と抵抗負荷との関係



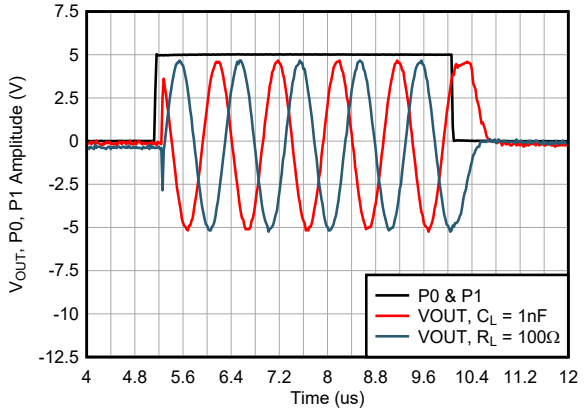
C_{LOAD} = 1nF、V_{OUT} = 50V_{PP}

図 5-21. 大信号のセトリング タイム



A_V = −10V/V、V_{OUT} = 50V_{PP}

図 5-22. 過負荷復帰時間



C_{LOAD} = 1nF、V_{OUT} = 50V_{PP}、f_{IN} = 100kHz

図 5-23. 出力イネーブル/ディスエーブル タイム

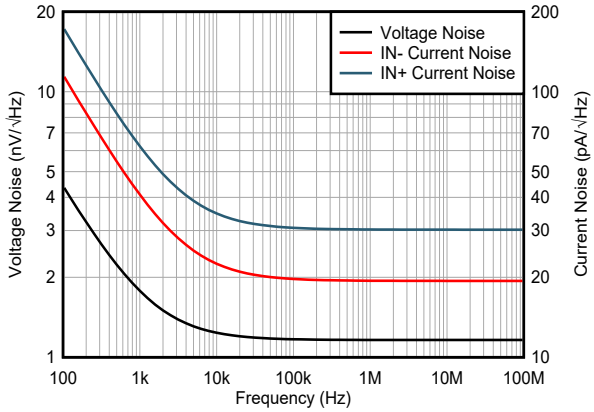
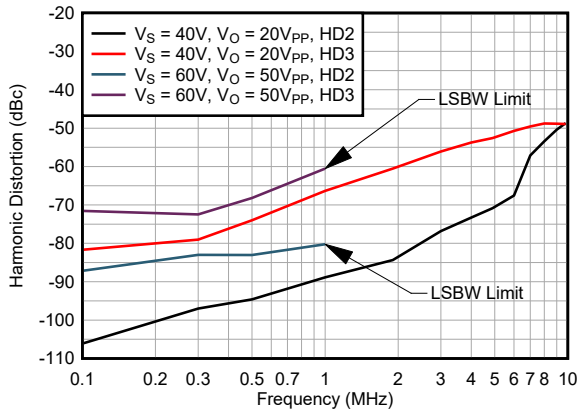


図 5-24. 電圧ノイズおよび電流ノイズと周波数との関係

Copyright © 2025 Texas Instruments Incorporated

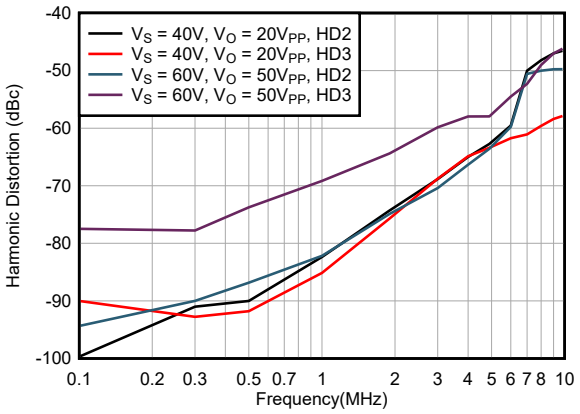
5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



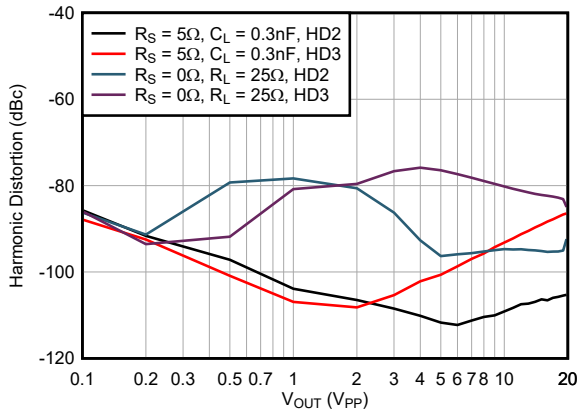
C_{LOAD} = 1nF

図 5-25. 高調波歪みと周波数との関係



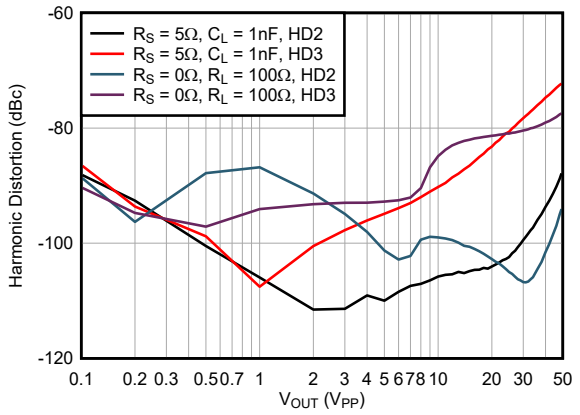
C_{LOAD} = オープン、A_V = 10V/V、R_{LOAD} = 100Ω

図 5-26. 高調波歪みと周波数との関係



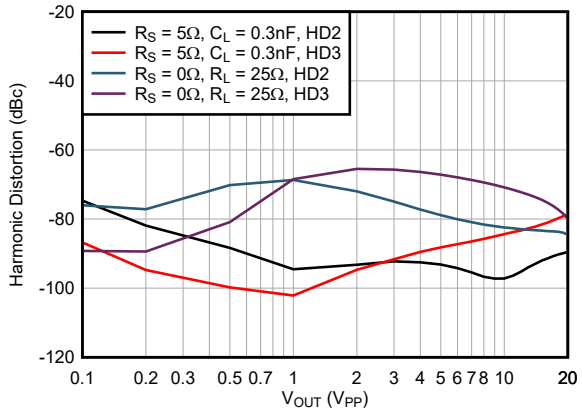
A_V = −10V/V、V_S = 40V、f_{in} = 100kHz

図 5-27. 高調波歪みと出力電圧との関係



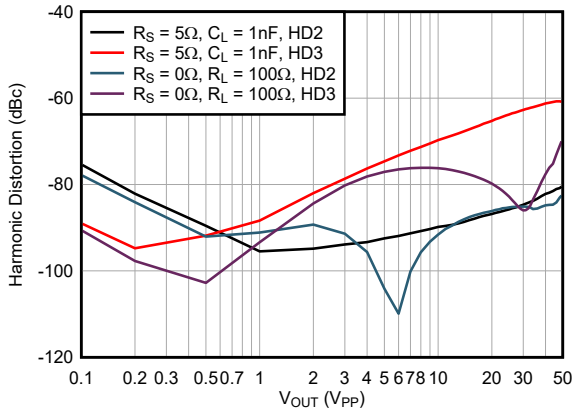
A_V = 10V/V、V_S = 60V、f_{in} = 100kHz

図 5-28. 高調波歪みと出力電圧との関係



A_V = -10V/V、V_S = 40V、f_{in} = 1MHz

図 5-29. 高調波歪みと出力電圧との関係



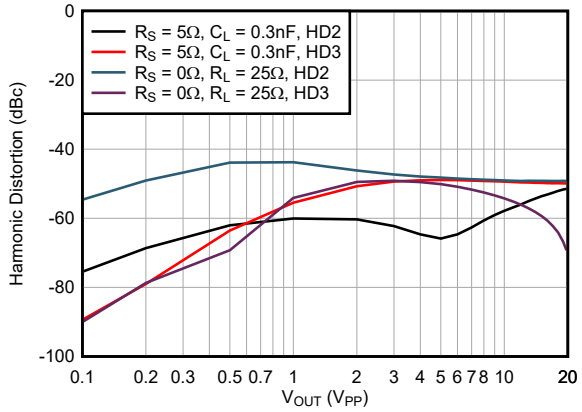
A_V = 10V/V、V_S = 60V、f_{in} = 1MHz

図 5-30. 高調波歪みと出力電圧との関係

Copyright © 2025 Texas Instruments Incorporated

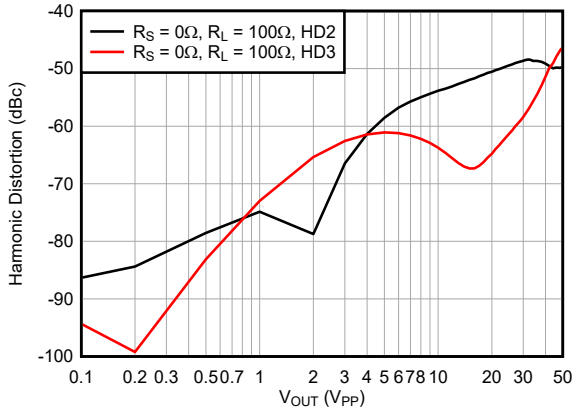
5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



A_V = −10V/V、V_S = 40V、f_{in} = 10MHz

図 5-31. 高調波歪みと出力電圧との関係



A_V = 10V/V、V_S = 60V、f_{in} = 10MHz

図 5-32. 高調波歪みと出力電圧との関係

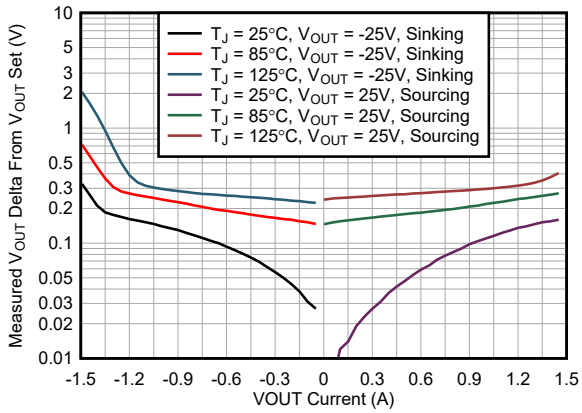
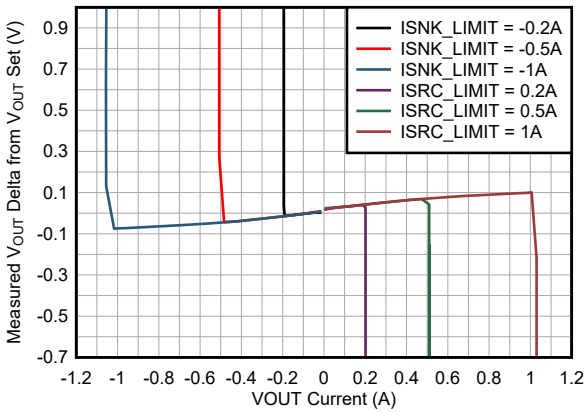


図 5-33. 出力電圧ヘッドルームと温度との関係



V_{OUT} = 25V (ソース) および −25V (シンク)

図 5-34. 出力ヘッドルームと電流制限との関係

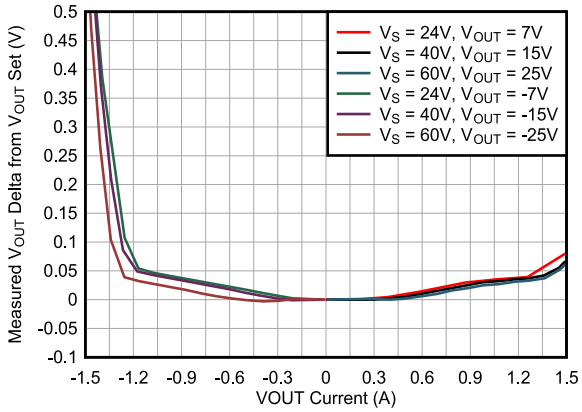
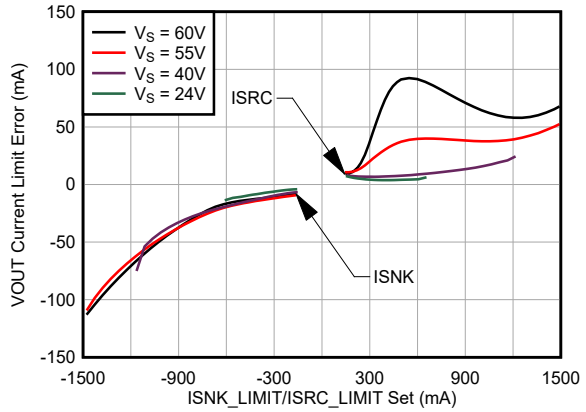


図 5-35. 出力ヘッドルームと供給電圧との関係



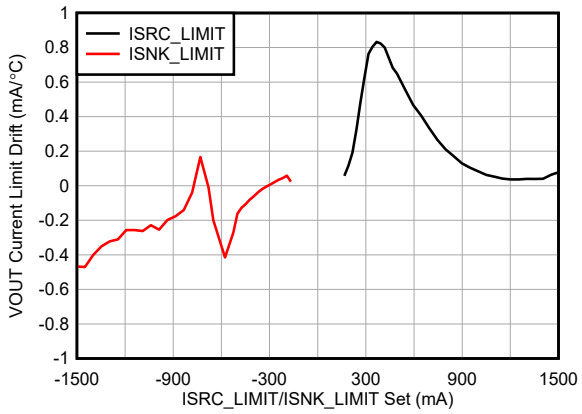
R_{LOAD} = 12.5Ω

図 5-36. 出力電流制限と ILIMIT 設定との関係

Copyright © 2025 Texas Instruments Incorporated

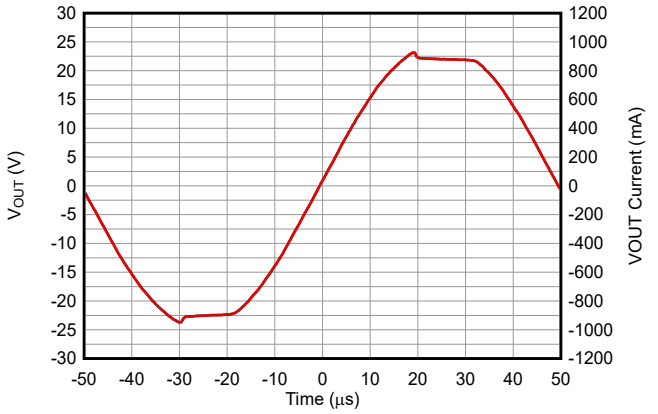
5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



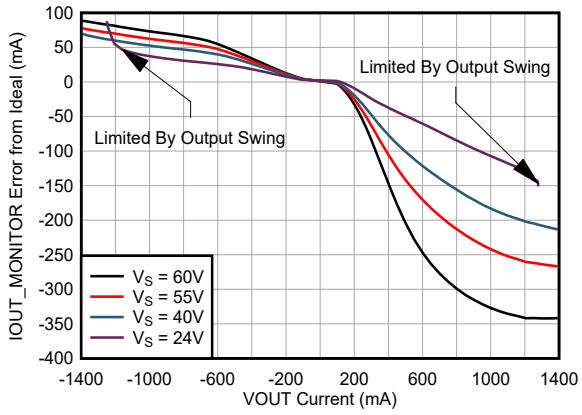
R_{LOAD} = 12.5Ω

図 5-37. 出力電流誤差ドリフトと ILIMIT 設定との関係



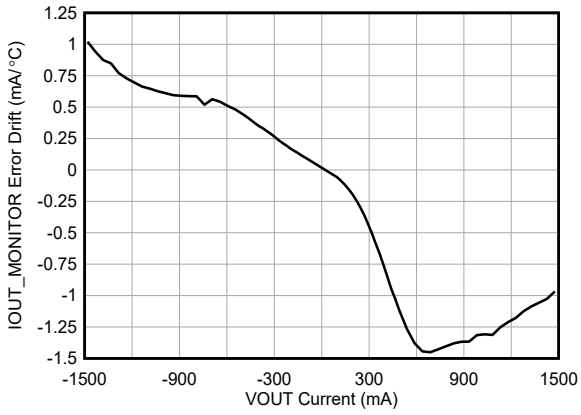
R_{LOAD} = 25Ω、V_{OUT} = 50V_{PP}、ILIMIT = 900mA、f_{in} = 10kHz

図 5-38. 出力電流制限と時間との関係



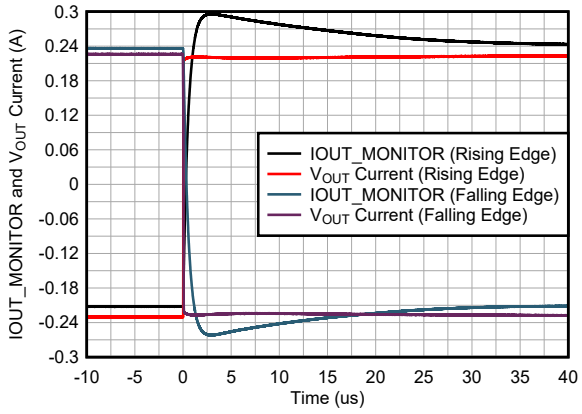
R_{LOAD} = 12.5Ω

図 5-39. IOUT_MONITOR エラーと出力電流との関係



R_{LOAD} = 12.5Ω

図 5-40. IOUT_MONITOR 温度ドリフトと出力電流との関係



V_{OUT} = 50V_{PP}、RLOAD = 100Ω、R_{IOUT_2048} = 5kΩ

図 5-41. IOUT_MONITOR の応答時間

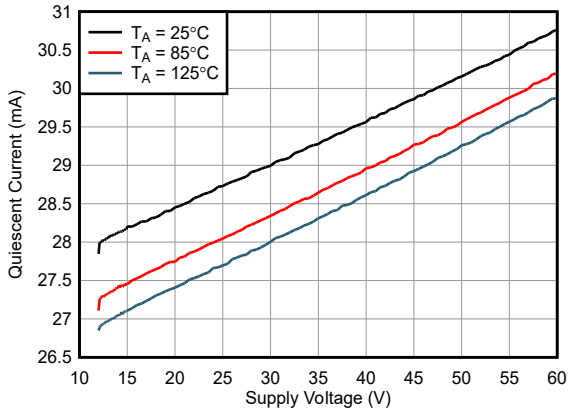
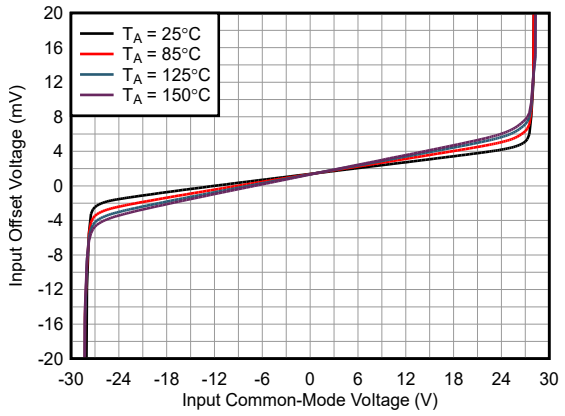


図 5-42. 静止電流と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

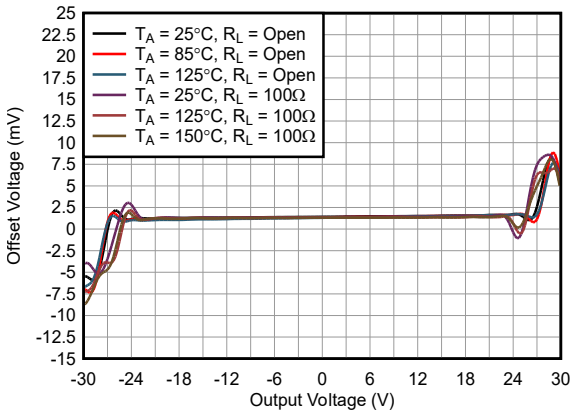
5.7 代表的特性 (続き)

T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω、および V_S = 60V (特に記述のない限り)



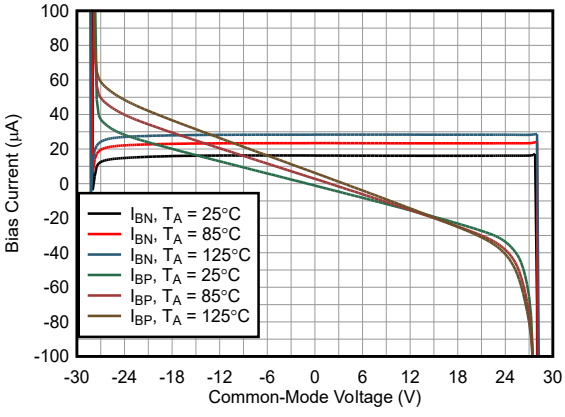
V_S = 60V

図 5-43. 入力オフセット電圧と入力同相電圧との関係



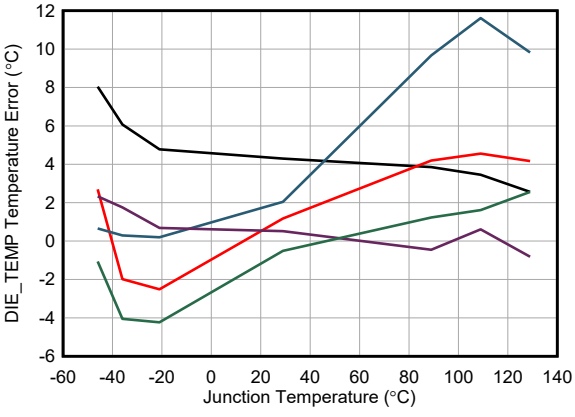
V_S = 60V

図 5-44. 入力オフセット電圧と出力電圧との関係



V_S = 60V

図 5-45. 入力バイアス電流と入力同相電圧との関係



5 個の代表的なユニット

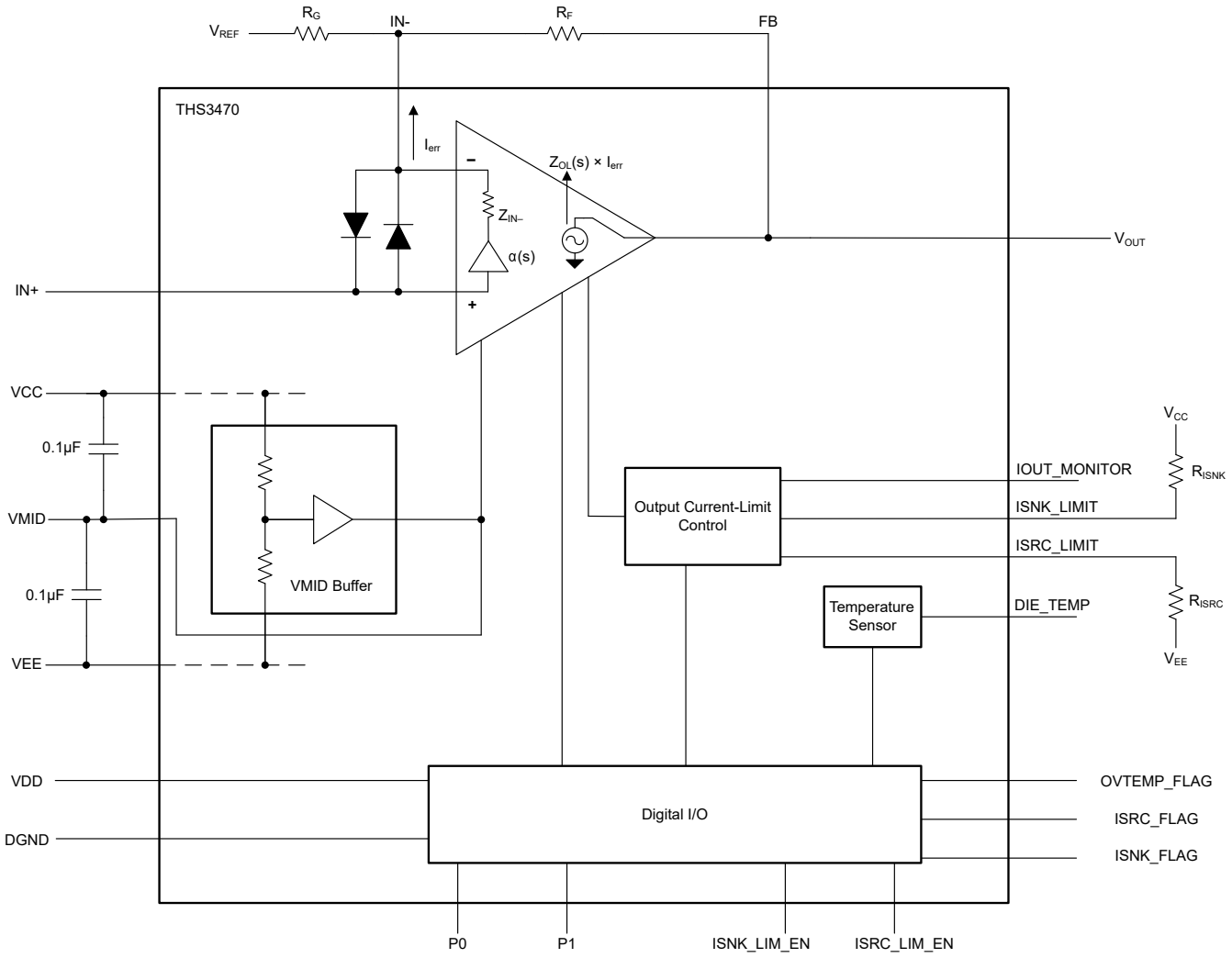
図 5-46. DIE_TEMP 精度と温度との関係

6 詳細説明

6.1 概要

THS3470 は、最大 1.35A の広い動的出力電流と静的出力電流を駆動できる 60V 電流帰還アンプです。各種波形ジェネレータ アプリケーションでは、THS3470 は 22MHz で最大 $50V_{PP}$ の大信号正弦波を 100Ω の伝送線路に生成します。LCD テスト アプリケーションでは、THS3470 は 1nF の容量性負荷に対して、2kV/µs で $50V_{PP}$ の電圧パルスを生成できます。THS3470 には幅広い診断ピンが搭載されており、デバイスの発熱と出力電流の監視と制限に役立ちます。また、このデバイスは REB パッケージ (42 ピン VQFN) で供給され、上面放熱により、強制空気とヒートシンクにより、4℃/W の熱抵抗 $R_{\theta JA}$ 性能を提供します。これらの機能の組み合わせにより、THS3470 は高電圧および大出力電流アプリケーションの多くに使用できる独自のカタログ パワー アンプとしています。

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 出力電流制限

THS3470 には ISRC_LIMIT と ISNK_LIMIT の 2 つのピンがあり、VOUT ピンにより出力電流制限を設定します。ISRC_LIMIT は、VOUT のソース電流制限 (デバイスの出力から出る電流、I_{OUT} SOURCE) を 200mA から 1.5A へ制御します。ISNK_LIMIT は、VOUT のシンク電流制限 (デバイスの出力に流れ込む電流、I_{OUT} SINK) を 200mA から 1.5A へ制御します。

注

ISRC_LIMIT ピンで制御される出力ソース制限を有効にするには、$\overline{\text{ISRC_LIMIT_EN}}$ ピンを Low にする必要があります。ISNK_LIMIT ピンで制御される出力シンク制限を有効にするには、$\overline{\text{ISNK_LIMIT_EN}}$ ピンを Low にする必要があります。

注意

ISRC_LIMIT または ISNK_LIMIT が未接続のままの場合、デバイスはデフォルトで 2.1A の電流制限になります。ISRC_LIMIT または ISNK_LIMIT が 200mA より低い値に設定されている場合、デバイスは 2.1A の電流制限に入ります。電流を適切にレギュレートしないと、接合部温度が絶対最大接合部温度を超えて上昇し、デバイスが損傷する可能性があります。

出力ソース制限を静的に設定するには、ISRC_LIMIT と VEE の抵抗 R_{SRC_LIMIT} を接続します。出力シンク制限を静的に設定するには、ISNK_LIMIT と VCC の抵抗 R_{SNK_LIMIT} を接続します。これらの接続の例を 図 6-1 に示します。電流制限を制御する式を 式 1 および 式 2 に、代表的なアプリケーションの抵抗値を 表 6-1 に示します。

$$R_{SRC_LIMIT} = \frac{(V_{MID} - V_{EE}) \times 2048}{I_{OUT}\ \text{Source Limit (A)}} - 720 \quad (1)$$

$$R_{SNK_LIMIT} = \frac{(V_{CC} - V_{MID}) \times 2048}{I_{OUT}\ \text{Sink Limit (A)}} - 720 \quad (2)$$

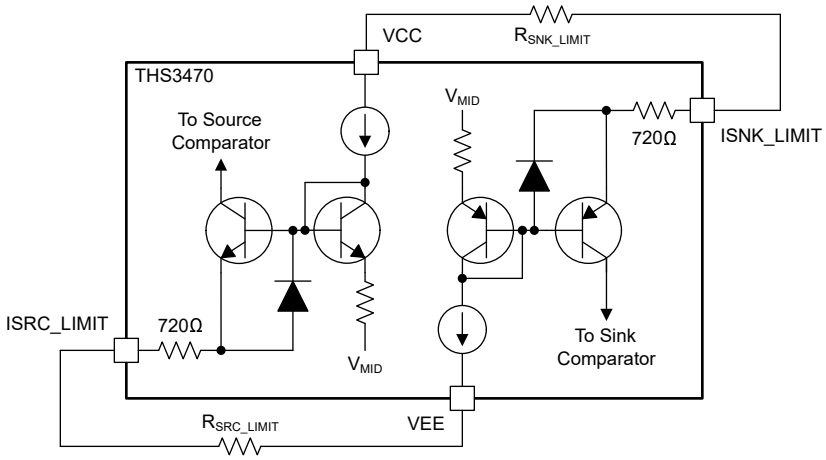


図 6-1. 出力電流制限の静的設定

表 6-1. 出力電流制限を静的に設定するための標準的な抵抗値

V_S (V)	I_{OUT} ソース/シンク制限値 (A)	$R_{SNK_LIMIT}/R_{SRC_LIMIT}$ (Ω)
60	0.2	306k
60	0.5	122k
60	1	60k
60	1.5	40k

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 出力電流制限を静的に設定するための標準的な抵抗値 (続き)

V_S (V)	I_{OUT} ソース/シンク制限値 (A)	$R_{SNK_LIMIT}/R_{SRC_LIMIT}$ (Ω)
40	0.2	204k
40	0.5	81k
40	1	40k
40	1.5	27k

または、図 6-2 に示すように、電圧デジタル/アナログ コンバータ (DAC) またはその他の低インピーダンス電圧源を使用して、電流制限ピンを調整することもできます。この方法は、アプリケーションで必要とされる場合に、出力電流制限をプログラマブルに制御するのに役立ちます。この方法の電流制限を制御する式を 式 3 に示します。また、電流制限を動的に構成する例を 表 6-2 に示します。

$$V_{DAC}\,(V) = I_{OUT}(A) \times \frac{4.5k\Omega}{2048} \quad (3)$$

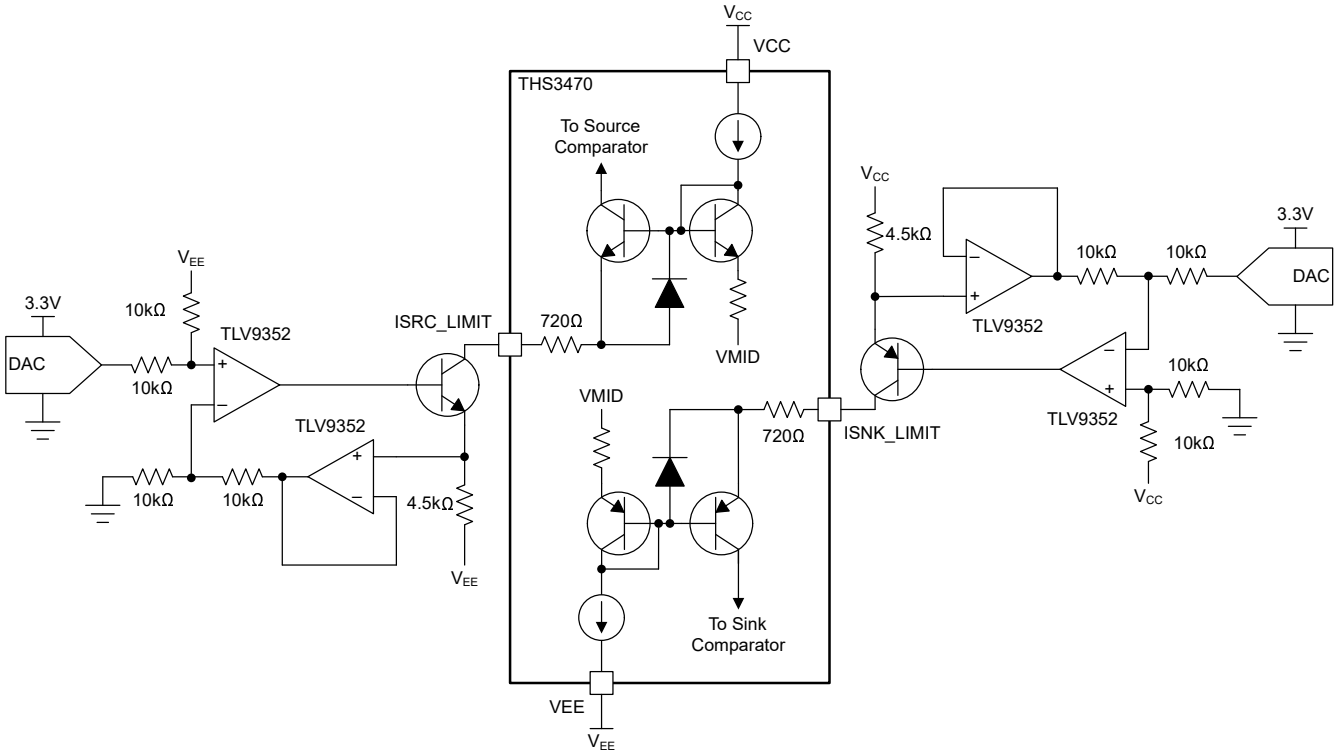


図 6-2. 出力電流制限の動的設定

表 6-2. 出力電流制限を動的に設定するための DAC 電圧の例

V_{OUT} 電流制限 (mA)	$I_{LIMIT_SRC/SNK}$ (µA)	DAC 電圧、V_{DAC} (V)
200	97.65	0.439
500	24.41	1.099
1000	488.28	2.197
1500	732.42	3.296

Copyright © 2025 Texas Instruments Incorporated

注意

ISNK_LIMIT 電圧が VMID 電圧よりも大きく、ISRC_LIMIT 電圧が VMID 電圧よりも小さいことを確認します。この注意に従わないと、デバイスが損傷する恐れがあります。さらに、電源として使用するために、VMID ピンを外部からバッファする必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 出力電流有効化

THS3470 には 2 つのピン (ISNK_LIMIT_EN および ISRC_LIMIT_EN) があり、ISNK_LIMIT ピンと ISRC_LIMIT ピンで設定された内部電流制限機能を切り替えることができます。

ISNK_LIMIT_EN ピンが Low に接続されている場合、シンク電流の内部電流制限が有効になり、VOUT ピンの電流は ISNK_LIMIT 設定に従って制御されます。ISNK_LIMIT_EN が High に接続されている場合、シンク電流の内部電流制限は無効になり、固有の最大許容電流 (2.1A) によって制限されます。ISNK_LIMIT_EN ピンの設定に関係なく、VOUT シンク電流が ISNK_LIMIT 設定で指示されたスレッショルドを超えると、ISNK_FLAG ピンがトリガされます。

ISNK_LIMIT_EN が無効の場合、I_{OUT} ピンまたは OVTEMP_FLAG ピンを使用して、システムの状態を監視する必要がある制限値に近づいたときは、この機能を警告フラグとして使用します。このアプローチにより、設計者はマイクロコントローラでデバイスを無効化またはシャットダウンするタイミングをより的確に制御できます。このオプションを 図 6-3 に示します。アプリケーションで電流制限の微調整を必要としない場合、設計者は ISNK_FLAG ピンを ISNK_LIMIT_EN ピンにハード接続できます。図 6-3 にも、このオプションも示します。

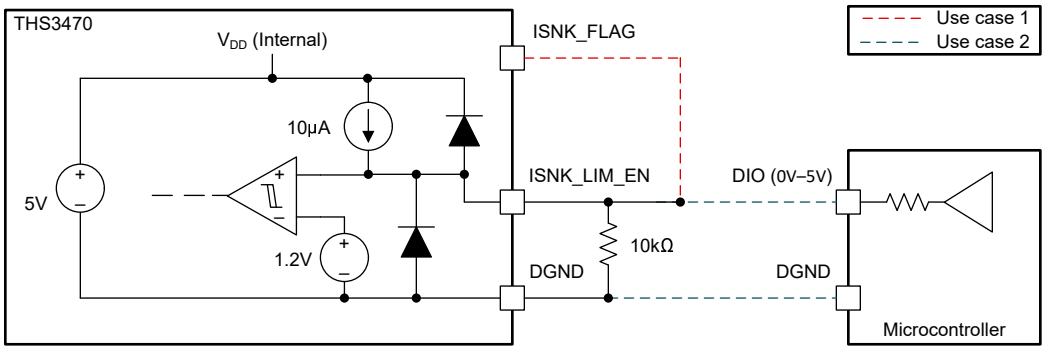


図 6-3. 出力電流有効化の回路図

ISRC_LIMIT_EN、ISRC_LIMIT、および ISRC_FLAG ピンは、すべてシンク電流の等価機能と同じですが、代わりに VOUT ピンのソース制限を管理します。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 過熱フラグ

THS3470 過熱フラグ $\overline{\text{OVTEMP_FLAG}}$ は、デバイスの内部サーマル シャットダウンがアクティブであることを監視するために使用されます。デバイスのプロセス変動に応じて、ダイ温度が 160 度を超えると、$\overline{\text{OVTEMP_FLAG}}$ は通常 Low にアサートされます。フラグを Low にアサートした後、デバイスの温度が 140 度に低下するとフラグが通常 High にアサートされ、プロセスの変動に応じてヒステリシス ウィンドウが生成され、デバイスが継続的にデアサートされないようにします。

過熱フラグには、主に 2 つの使用事例があります。代表的な使用事例は、$\overline{\text{OVTEMP_FLAG}}$ を P0 および P1 ピンに直接接続し、ダイ温度が高温になったときにデバイスがサーマル シャットダウンできるようにすることです。また、P0 ピンと P1 ピンで他の電力モードのいずれかが必要な場合、論理 AND ゲートを推奨する P0 および P1 バイアス状態で使用できます。2 つ目の使用事例は、$\overline{\text{OVTEMP_FLAG}}$ をマイコンのデジタル入出力ピンに接続して、このピンを温度警告フラグとして監視することです。この場合、マイクロコントローラは DIE_TEMP ピンの情報と併せて判断を行い、P0 または P1 ピンを $\overline{\text{OVTEMP_FLAG}}$ に直接接続した場合よりも早く、または遅く切り替えることで、THS3470 の熱制御をより厳密に行うことができます。

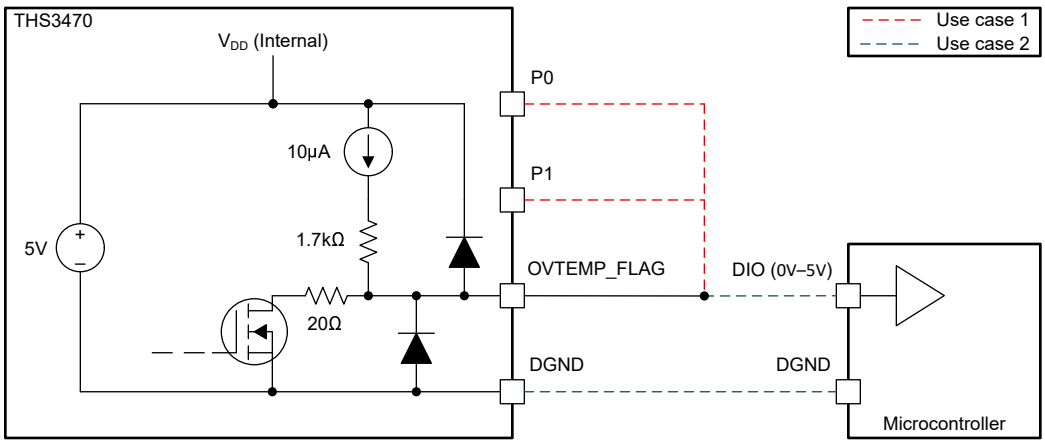


図 6-4. $\overline{\text{OVTEMP_FLAG}}$ の回路図

注

デバイスの温度は、ダイの全体で常に対称であるとは限らず、アプリケーションによっては「ホットスポット」が発生する場合があります。大きな容量性負荷の駆動など、$\overline{\text{OVTEMP_FLAG}}$ が破壊的な故障を防ぐために十分なタイミングでトリガーされない可能性のある急速な加熱シナリオには特に注意してください。これらのアプリケーションでデバイスの過熱を防止する方法については、データシートの安全動作領域を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.3.4 出力電流フラグ

THS3470 出力電流フラグ $\overline{\text{ISNK_FLAG}}$ および $\overline{\text{ISRC_FLAG}}$ は、ISNK_LIMIT および ISRC_LIMIT で設定された電流制限が、デバイスの VOUT ピンで満たされる、または超えたときを監視するために使用されます。ISNK_LIMIT 電流シンク制限 (デバイス出力に入る電流) を超えた場合、$\overline{\text{ISNK_FLAG}}$ ピンは DGND に Low にプルされます。ISNK_LIMIT 電流シンク制限を超えない場合、$\overline{\text{ISNK_FLAG}}$ ピンは内部 VDD 電圧 5V に High にプルされます。ISRC_LIMIT 電流ソース制限 (デバイス出力から出る電流) を超えた場合、$\overline{\text{ISNK_FLAG}}$ ピンは DGND に Low にプルされます。ISRC_LIMIT 電流ソース制限を超えない場合、$\overline{\text{ISNK_FLAG}}$ ピンは内部 VDD 電圧の 5V に High にプルされます。

注

出力電流有効化フラグの状態に関係なく、出力電流フラグは同じように機能します。

出力電流フラグには、主に 2 つの使用事例があります。最初の使用事例は、$\overline{\text{ISNK_FLAG}}$ を $\overline{\text{ISNK_LIMIT_EN}}$ ピンに接続して、デバイスが VOUT に流れ込む電流を自己制限できるようにすることです。2 つ目の使用事例は、$\overline{\text{ISNK_FLAG}}$ をマイクロコントローラのデジタル入出力ピンに接続して、このピンを電流警告フラグとして監視することです。これらの各使用事例の詳細については、セクション 6.3.2 も参照してください。

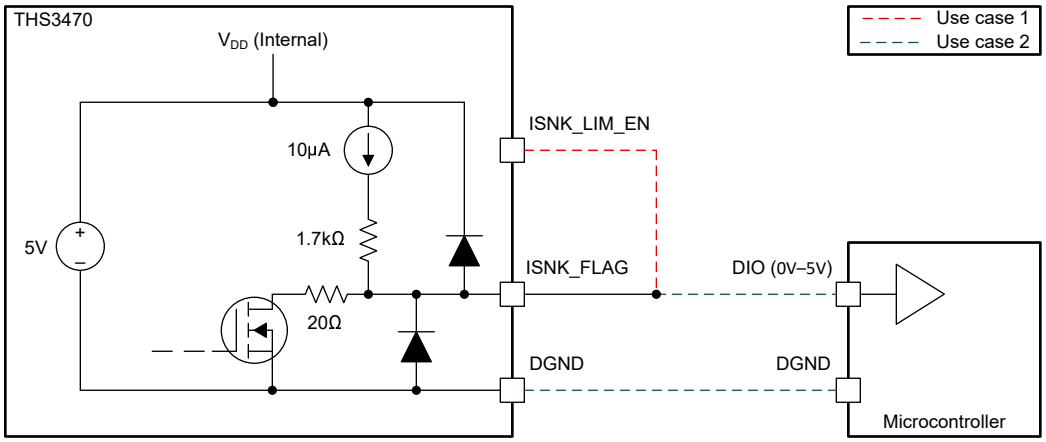


図 6-5. ISNK_FLAG の回路図

Copyright © 2025 Texas Instruments Incorporated

6.3.5 出力電流の監視

$I_{OUT_MONITOR}$ ピンは、VOUT ピンに入力 (シンク) または出力 (ソース) している出力電流 (I_{OUT}) の監視に使用されます。出力電流を監視するため、$I_{OUT_MONITOR}$ ピンは、内部電流ミラーを使用して、出力電流を VOUT ピンに反映させるスケールダウンした電流源を作成します。式 4 に、$I_{OUT_MONITOR}$ ピンと出力電流の関係を表す式を示します。

$$I_{OUT_MONITOR} = \frac{I_{OUT}}{2048} \tag{4}$$

たとえば、VOUT ピンが 204.8mA のソースである場合、$I_{OUT_MONITOR}$ ピンは 100µA のソースとなります。または、VOUT ピンが 204.8mA のシンクである場合、$I_{OUT_MONITOR}$ ピンは 100µA のシンクとなります。

注意

$I_{OUT_MONITOR}$ は VMID ピンの 5V 内に維持します。この注意に従わないと、デバイスが損傷する恐れがあります。

ADC で IOUT_MONITOR 電流を読み取るには、図 6-6 に示す外部トランスインピーダンス回路を含めます。この回路は、3 つの重要な目的を達成することを意図しています。最初の目的は、IOUT_MONITOR ピンの電流を、ADC 範囲 (V_{ADC_RANGE}) に一致するようにスケーリングされる電圧 (V_{OUT_TIA}) に変換することです。2 つ目の目的は、IOUT_MONITOR が 0A のとき、V_{OUT_TIA} 電圧を 1/2 V_{ADC_RANGE} にシフトすることです。最後の目的は、IOUT_MONITOR ピンを VMID 電圧の ±5V 以内に維持することです。

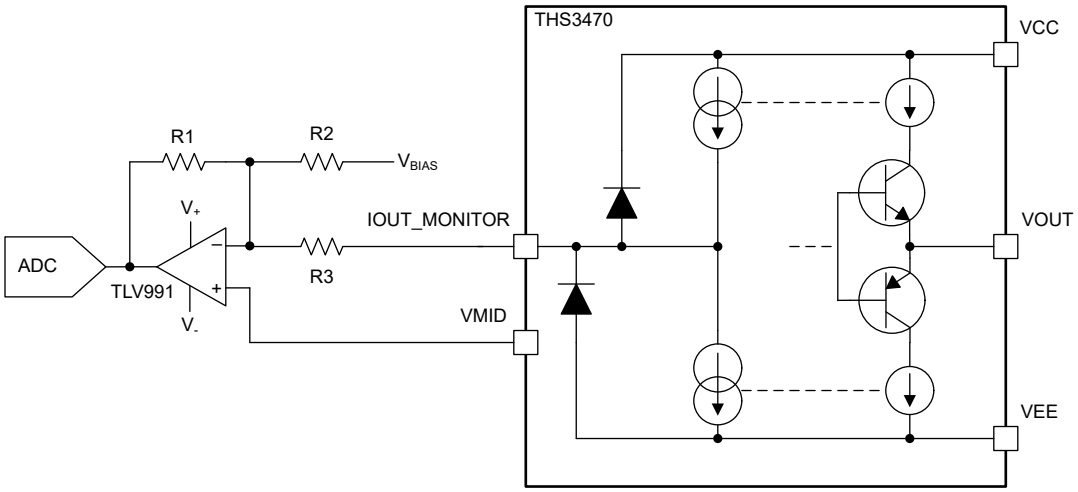


図 6-6. IOUT_2048 トランスインピーダンス回路図

トランスインピーダンス回路の抵抗 R_1 は、最終的には、IOUT_MONITOR から予測される最大電流 (I_{MAX}) を、V_{ADC_RANGE} に最適化された電圧に変換します。トランスインピーダンス回路の R_1 を計算するには、式 5 を使用します。

$$R_1 = \frac{V_{ADC_RANGE}}{I_{MAX}} \tag{5}$$

たとえば、最大想定電流 (通常は出力電流制限ピンの設定により制御) が ±1A の場合、I_{MAX} 電流は 1A / 2048 = 488µA となります。アプリケーションで 3.3V ADC を使用する場合、アプリケーションの V_{ADC_RANGE} は 3.3V です。これらの値を 式 5 にプラグインすると、R_1 の値は 3.381kΩ になります。

トランスインピーダンス回路の抵抗 R_2 は、$I_{OUT_MONITOR}$ が 0A のときに、V_{OUT_TIA} を V_{ADC_RANGE} の 1/2 にシフトします。シフトするには、THS3470 の電源設定に応じて、適切な基準電圧 (V_{BIAS}) を使用します。本デバイスが正のシングルエンド電源設定 (すなわち V_{CC} = 60V、V_{EE} = 0V) で動作している場合、V_{BIAS} を VCC ピンに接続できます。本デバイスが負のシングルエンド電源設定 (すなわち V_{CC} = 0V、V_{EE} = -60V) で動作している場合、V_{BIAS} を VEE ピンに接続でき

Copyright © 2025 Texas Instruments Incorporated

ます。デバイスが分割電源設定 (V_{CC} = 30V、V_{EE} = -30V) で動作している場合、V_{BIAS} を ADC 電源電圧 (V_{ADC}) に接続できます。最終的には、V_{BIAS} 電圧の順列が使用できるものよりも大きくなりますが、推奨されるオプションは、既存の設計内で使用可能な電圧に基づいて選択します。V_{BIAS} 電圧を選択した後で R_2 を計算する方法を、式 6 に示します。

$$R_2 = R_1 \times \left(\frac{V_{BIAS} - V_{MID}}{V_{MID} - \frac{V_{ADC_RANGE}}{2}} \right) \quad (6)$$

たとえば、R_1 抵抗が IOUT_MONITOR から V_{OUT_TIA} で ±488µA 電流を ±1.65V に変換するようにサイズ設定されている場合、IOUT_MONITOR 電流が 0A のときに V_{OUT_TIA} 電圧を 1.65V (1/2 V_{ADC_RANGE}) に移動するように R_2 抵抗を選択します。この例の電源は分割電源設定であるため、V_{BIAS} は ADC 電源電圧 V_{ADC} である 3.3V に接続されます。V_{MID} 電圧は常に V_{CC} および V_{EE} の平均であり、この例では電圧は 0V です。これらの値を 式 6 にプラグインすると、R_2 の値は 30kΩ になります。

トランスインピーダンス アンプ回路の最後の抵抗は R_3 で、IOUT_MONITOR の電圧を V_{MID} 電圧の ±5V 以内に維持します。R_3 は THS3470 の起動時にピンを保護し、入力電流を 10mA 未満に制限するようスケーリングされています。トランスインピーダンス アンプの非反転入力ピンは、負帰還により V_{MID} および反転入力ピンに接続されます。したがって、R3 の両端での電圧降下を ±4.5V に制限するように、R_3 の大きさを設定します。THS3470 が供給できる最大電流は I_{OUT} に 2.1A であるため、IOUT_MONITOR からの最大許容電流は約 ±1mA となります。最大許容電圧 ±4.5V を最大電流の ±1mA で除算すると、R_3 の抵抗値は 4.5kΩ になります。

部品とバイアス電圧を選択した後、セクション 6.3.5 を使用して、ADC が読み取った V_{OUT_TIA} 電圧を I_{OUT} に変換します。さらに、表 6-3 に、抵抗とバイアス電圧を選択するための一般的な使用事例をいくつか示します。

$$I_{OUT} = 2048 \times \left(\frac{V_{OUT_TIA} - V_{MID}}{R_1} \right) \quad (7)$$

表 6-3. IOUT_2048 トランスインピーダンスアンプの設定 (V_{ADC} = 3.3V、I_{MAX} = 1A、R_1 = 3.381kΩ)

使用事例	R_2 (kΩ)	V_{BIAS} (V)	V+ (V)	V– (V)
両電源 (±20V)	40.96	V_{EE}	V_{ADC}	0
両電源 (±30V)	61.44	V_{EE}	V_{ADC}	0
シングル エンド (40V)	3.683	V_{CC}	V_{MID}	0
シングル エンド (60V)	3.576	V_{CC}	V_{MID}	0
シングル エンド (-40V)	3.121	V_{EE}	V	V_{MID}
シングル エンド (-60V)	3.203	V_{EE}	V_{ADC}	V_{MID}

注:V_{ADC} は ADC 電源電圧です。

Copyright © 2025 Texas Instruments Incorporated

6.3.6 ダイ温度監視

THS3470 DIE_TEMP ピンは、ダイ接合部温度を 0V ～ 3.3V の ADC 読み取り可能な電圧に変換します。DIE_TEMP 電圧をダイ接合部温度に変換するには、式 8 を使用します。DIE_TEMP を使用すると、デバイスの状態を監視し、P0 および P1 ピンによりデバイスをシャットダウンするか、出力電流有効化ピンを使用して出力電流を制限できます。これらの診断機能を DIE_TEMP と組み合わせて使用する方法の詳細については、セクション 6.3.1 および セクション 6.3.2 も参照してください。

$$\text{Junction Temperature}\left(T_J\right) = 208 \times \left(V_{DIE_TEMP} - 1.415\right) \quad (8)$$

DIE_TEMP を使用しないアプリケーション、またはデバッグ目的のみに使用されるアプリケーションでは、設計者はテストポイントをピンに接続するだけです。DIE_TEMP ピンの出力は内部でバッファされているため、ピンの精度に影響を与えずにパッシブ スコープ プローブやデジタル マルチメータを接続できます。

分割電源動作など一部のアプリケーションでは、DIE_TEMP 電圧をオンボード ADC にレベル シフトする追加回路が必要です。レベル シフトには、図 6-7 の差動アンプ回路を使用します。電源ピンの電圧範囲によっては、TLV9351 (40V) または OPA596 (85V) を使用し、正電源を ADC 電源に接続し、負電源を V_{EE} に接続します。

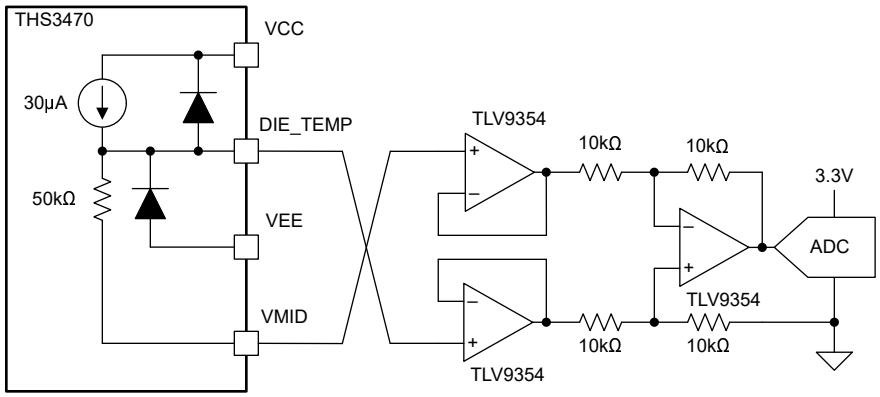


図 6-7. DIE_TEMP レベル シフト回路

6.3.7 外部補償

THS3470 COMP ピンを使用して、COMP ピンと VOUT ピンとの間に外付けキャパシタを接続することで、アンプの帯域幅またはスルー レートを制限できます。図 6-8 に、COMP ピンがデバイスの外部出力補償ネットワークとしてどのように機能するかの概念ブロック図を示します。COMP ピンの使用は、図 6-9 および 図 6-10 に示すように状況依存であり、アンプの制御ループを適切に減衰させるために低い絶縁抵抗が必要な高容量性負荷アプリケーションで通常使用されます。

注

補償ピンを使用しない場合、システム設計者はピンをフローティングのままにして、PCB のピンの前後のグランド プレーンを取り除く必要があります。COMP ピン上の寄生容量により、デバイスの帯域幅およびスルーレートが望ましくないほど低下する場合があります。

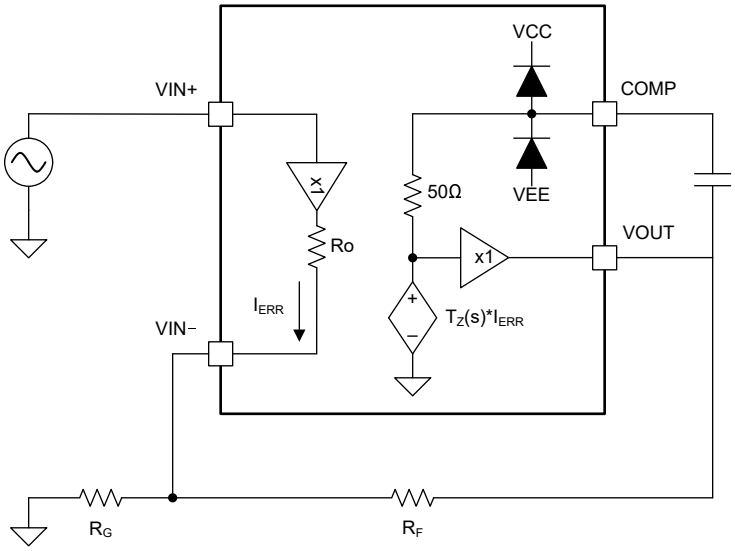


図 6-8. THS3470 COMP ピンの概念ブロック図

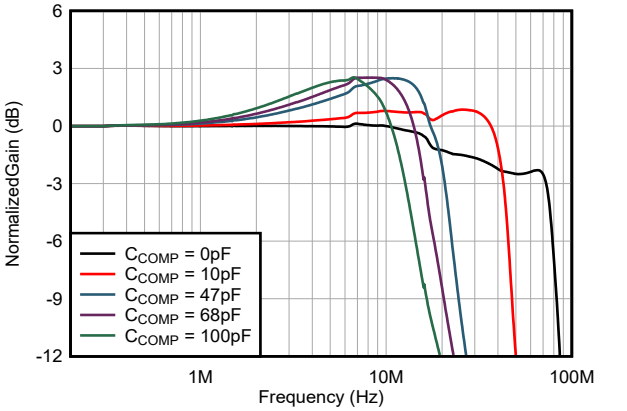


図 6-9. THS3470 小信号帯域幅と C_{COMP} との関係 (R_S = 0Ω、C_{LOAD} = 1nF)

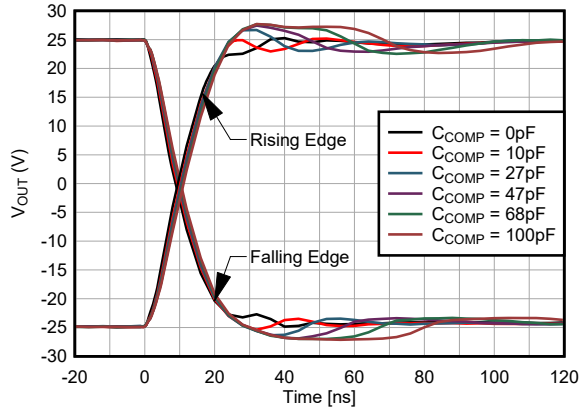


図 6-10. THS3470 大信号ステップと C_{COMP} との関係 (R_S = 0Ω、C_{LOAD} = 1nF)

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 電力モード

THS3470 には 2 つの電力モード制御ピン P0 (ピン 31) と P1 (ピン 30) が搭載されており、デバイスの電力レベルを設定します。これらのピンは、THS3470 の VDD または DGND にピンを接続することで制御されます。表 6-4 に、THS3470 の構成可能オプションを示します。

注

*電気的特性*パラメータの大部分は、デバイスの完全バイアス モードで測定されます。

表 6-4. THS3470 電力モード

P0	P1	モード
DGND	DGND	パワーダウン
VDD	DGND	低バイアス
DGND	VDD	中バイアス
VDD	VDD	完全バイアス

デバイスがパワーダウン状態の場合、入力電流を制限するため、特別な注意が必要です。システム設計者は、非反転端子と反転端子が同じ電位になるように、デバイスの入力電圧を設定する必要があります。THS3470 には入力デバイスを保護するためアンチパラレルダイオードが搭載されているため、電源オフ状態時に入力間に差動電圧を設定すると電流が流れ、入力ピンで絶対最大許容電流を超える可能性があります。入力ピンの絶対最大電流の詳細については、セクション 5.1 を参照してください

最も一般的なアプリケーションのテスト条件において、バイアス モードにより THS3470 の性能がどのように変化するかを、図 図 6-11、図 6-12、図 6-13 および 図 6-14 に示します。設計者は、低消費電力モードで許容可能な性能が得られるかどうかに関する適切な情報を得るために、関心のある特定のアプリケーションで周波数性能を評価する必要があります。帯域幅を向上させるため、または 5Ω 未満の絶縁抵抗をさまざまな容量性負荷と一緒に使用するため、2kΩ より小さい R_{FB} の値を選択する場合は特に考慮する必要があります。

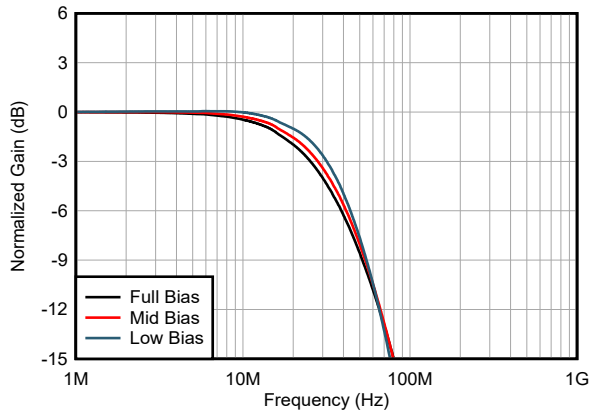


図 6-11. 小信号帯域幅と周波数との関係 (R_F = 2kΩ、R_S = 5Ω、C_L = 1nF)

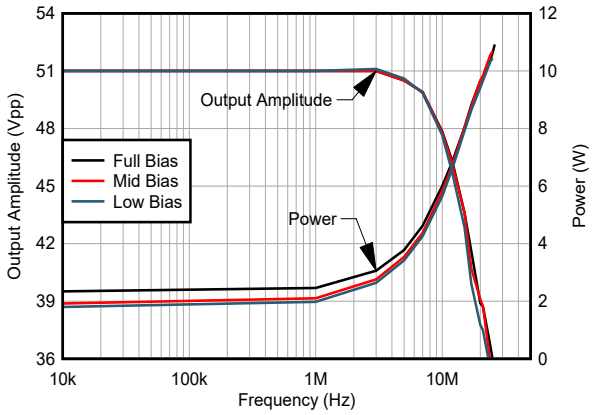


図 6-12. 大信号帯域幅と周波数との関係 (R_F = 2kΩ、R_S = 5Ω、C_L = 1nF)

Copyright © 2025 Texas Instruments Incorporated

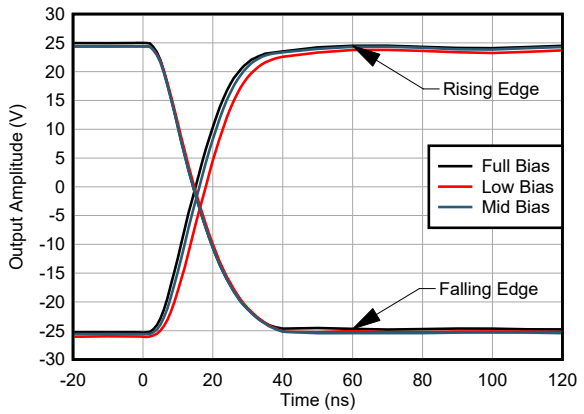


図 6-13. 大信号ステップ応答と周波数との関係 (R_F = 2kΩ、R_S = 5Ω、C_L = 1nF)

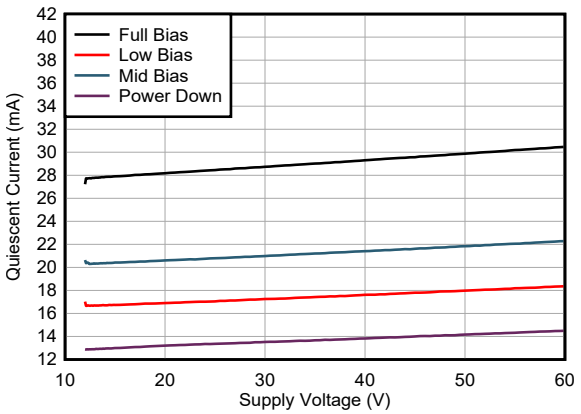


図 6-14. 静止電流と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

6.4.2 帰還抵抗の選択

THS3470 は、高電圧、高速の電流帰還アンプであり、帰還コンポーネント値を選択する際に特別な注意が必要です。THS3470 は $50V_{PP}$ を超える信号を出力できるため、大量の過渡電流がアンプの帰還経路で消費される可能性があります。さらに、THS3470 は高速電流帰還アンプでもあるため、帯域幅を高く保つには帰還抵抗を小さく保つ必要があります。これら 2 つの設計目標は互いに直接影響するため、設計者は THS3470 を使用して設計を開始するときに、表 6-5 に示す部品値を選択する必要があります。ベースライン性能を確立すると、設計者は、アプリケーションに応じて帰還抵抗値を低くしながら、DIE_TEMP ピンを監視し、デバイスの最大動作限度内にダイ温度を制限するよう動作するといった実験を行うことができます。

表 6-5. THS3470 の推奨抵抗

電源電圧	必要なゲイン (A_V)	R_G	R_{FB}
40V	-1	1.2kΩ	1.2kΩ
40V	+1	該当なし	1.2kΩ
40V	+10	133	1.2kΩ
40V	+100	12	1.2kΩ
60V	+-1	2kΩ	2kΩ
60V	+1	該当なし	2kΩ
60V	+10	220	2kΩ
60V	+100	20	2kΩ

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

THS3470 は、高速、高電圧、高電流のオペアンプです。このデバイスは、1nF の容量性負荷に対して $50V_{PP}$ で 2000V/µs の電圧パルスを生成することができます。THS3470 の高速過渡性能に加えて、THS3470 は 22MHz までの周波数で、$50V_{PP}$ の大きな信号を 100Ω 伝送ラインに通過させることができます。大電流動作に関しては、THS3470 が出力ソースとシンクのための個別の電流制限機能を備えており、200mA から 1.5A の範囲で構成可能です。システム設計者がデバイスの診断と保護を行うのに役立つように、THS3470 には、デバイスの過熱や過電流の状態を示す温度フラグと電流フラグが付属しています。また、ダイ温度ピンを使用して、デバイスの接合部温度をより詳細に読み出し、システム保護のための手順を事前に実行できます。

7.2 代表的なアプリケーション

7.2.1 高電圧、高精度複合アンプ

テストおよび測定アプリケーションで一般的な問題は、高精度でスルー レートの高い信号源が作成されることです。標準的な高電圧アンプは広い電源電圧と高いスルー レートを提供しますが、オフセット、オフセット ドリフト、開ループ ゲインなどの DC 仕様の多くは出力信号の精度に影響を及ぼします。これに対して、市場の多くの高精度アンプはオフセット、オフセット ドリフト、開ループ ゲインの性能が非常に優れていますが、アプリケーションに必要な電源電圧、出力電流、スルー レートは必要ありません。

高電圧と高精度の設計要件を満たす独自の設計が、複合アンプです。複合アンプは、同じフィードバック ループ内に高電圧アンプと高精度アンプの 2 つのアンプを直列に接続し、各アンプの性能を最適化します。高精度アンプは信号源により近い位置で動作するため、オフセットやオフセットドリフトなどの入力関連パラメータに対する影響を最大限に高めることができます。高電圧アンプはテスト対象デバイスにより近い位置で動作するため、デバイスはスルー レート、出力電流、高電圧出力スイングなどの出力関連パラメータに対する影響を最大限に高めることができます。

この設計のもう 1 つの特長は、複合アンプの出力にフォース接続とセンス接続を接続できることです。ソース測定ユニットや電源など多くの試験および測定アプリケーションでは、テスト対象デバイス (DUT) と複合アンプの出力間に長いケーブルと配線があります。これらの配線やケーブルに大きな出力電流が流れ始めると、電圧降下が発生し、大きな出力関連誤差が発生します。たとえば、5Ω ケーブルに 1A の電流が流れる場合、複合アンプの出力から DUT への 5V の電圧降下が発生します。この望ましくない効果は、大きな絶縁抵抗 (一般に R_S と呼ばれる) を使用する場合にも発生します。この抵抗は、大きな DUT デカップリングコンデンサを駆動する際に複合アンプの容量性負荷駆動能力を向上させます。

フォース接続とセンス接続は、センス接続と呼ばれる複合アンプの帰還接続を別のケーブルの DUT に接続するか、それよりも出力配線 (フォース接続) をトレースすることで、これらの誤差を最小限に抑えます。R_S とケーブル (トレース) のどちらかの抵抗を大電流が流れると、センス パスは DUT 出力ピンを測定し、出力を補償して、フォース ラインに沿った電圧降下を調整します。センス パスのケーブル抵抗では、ほとんどの状況で大きな電圧降下は発生しません。これは、センス ラインに戻る電流がアンプの帰還電流のみであるためです。たとえば、前述の例で説明したように、フォース接続に沿って 5V の電圧降下が発生すると、複合アンプはラインの電圧降下を補償するために出力電圧を 5V 大きくし、ピンに正しい DUT 電圧が得られます。

注

両方のアンプの帰還抵抗は、プリント基板 (PCB) レイアウトの反転入力ピンにできるだけ近づけて配置します。さらに、絶縁抵抗は出力にできるだけ近づけて配置し、出力の寄生容量を最小限に抑えます。これらのベスト プラクティスは、不安定性や発振を引き起こす可能性のある入力および出力に対する寄生容量の影響を最小限に抑えるのに役立ちます。

Copyright © 2025 Texas Instruments Incorporated

注

フォース接続とセンス接続はフォース接続での電圧降下を補償しますが、出力アンプの出力電圧スイングに特に注意してください。DUT 入力の観点から使用可能な出力範囲を制限するために、大きな力接続降下を補償します。

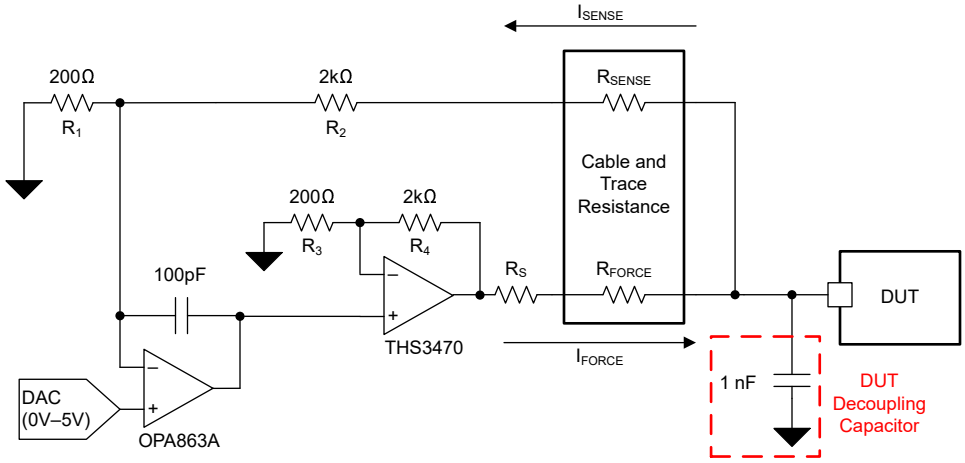


図 7-1. 高電圧および高精度複合アンプ

7.2.1.1 設計要件

この設計の目標は、複合ループを使用して、THS3470 の出力換算誤差を最適化しながら、セトリング動作を維持することです。この設計の入力ステップは、設計の出力電圧を設定する標準的な DAC と一致するように 5V を選択しました。出力電流 (1A)、出力スイング ($40V_{PP}$)、セトリング タイム (250ns)、出力換算誤差 (0.1% 未満) はすべて、OPA863A と THS3470 の理論上の最大性能に基づいて選択されています。より高い精度が必要な場合は、代わりに OPA328、OPA387、または OPA365 を使用して、セトリング タイムを犠牲にして、出力換算誤差を低減できます。

表 7-1. 設計パラメータ

パラメータ	値
電源電圧	60V
入力ステップ サイズ	4V
出力ステップ サイズ	$40V_{PP}$ (1A)
出力電流	最大 1A
セトリング タイム (0.01%)	250ns
出力換算エラー	0.1% 未満

7.2.1.2 詳細な設計手順

THS3470 は、高スルー レート (3000V/µs)、大出力電流 (±1.35A)、および高出力スイング ($50V_{PP}$) デバイスとして使用されるよう設計されています。これらの性能的な特長から、THS3470 は高電圧かつ高精度の複合アンプ出力アンプとして優れた候補となります。性能仕様に加えて、THS3470 は電流フラグと温度フラグ、電流/温度モニタなど多くの診断機能を備えているため、システム設計者はディスクリート トランジスタよりも的確にシステム設計全体を厳密に制御および監視できます。

OPA863A は、高精度、高帯域幅のアンプで、複合ループ内の入力アンプとして機能するのに最適です。OPA863A の低オフセット (95µV) と低オフセット ドリフト (1.2µV/°C) により、複合アンプは目標の出力換算誤差にセトリングすることができ、PCB への THS3470 電力損失からの発熱の影響を最小限に抑えることができます。さらに、OP863A (50MHz) の高帯域幅により、大きな過渡ステップの後の高速セトリング応答のために小信号リップルを最小化できます。

Copyright © 2025 Texas Instruments Incorporated

複合アンプ ループの総ゲインは、R_1 と R_2 で形成される外部帰還ネットワークによって定義され、ゲイン 10 に構成されます。この値は 5V DAC 用に最適化するため選択されていますが、3.3V DAC をサポートするために R_1 を 100Ω に変更することで、20 のゲインに簡単に調整できます。THS3470 アンプは、R_3 と R_4 で構成された帰還回路によってローカル ゲイン 10 に設定されており、信号ソースから DUT 出力ゲインに大きな影響を与えません。代わりに、このアンプは OPA863A によって検出される出力電圧を 10 分の 1 に分割します。OPA863A の最大出力範囲がわずか 5V であるため、このゲインは 5V 電源の OPA863A で適切に機能します。また、THS3470 のゲインは、OPA863A のスルー レートをデバイス固有の 100V/µs のスルー レートから 1000V/µs に引き上げます。THS3470 のゲインを大きくすると、より高速なスルー レートを実現できますが、この設定ではスルー レートを高くすると、セトリング タイムが短くなるとは限りません。

図 7-2 に、複合ループ設計の性能評価のために構築された PCB の例を示します。複合ループを使用しない場合、図 7-3 には、通常の THS3470EVM を使用して、5Ω 絶縁抵抗の「DUT 側」で R_S 後に発生する出力換算誤差が示されています。図 7-4 一方、では、絶縁抵抗の「DUT 側」での出力換算誤差が複合設計で 10mV 未満であることを示しています。図 7-5 に、フル 40V_{PP} ステップについて、THS3470EVM と複合アンプの過渡動作を横に並べて示します。複合アンプの精度は大幅に向上していますが、デフォルトの THS3470EVM に比べて、コンポジット設計はセトリングとスルーレート性能が低下します。

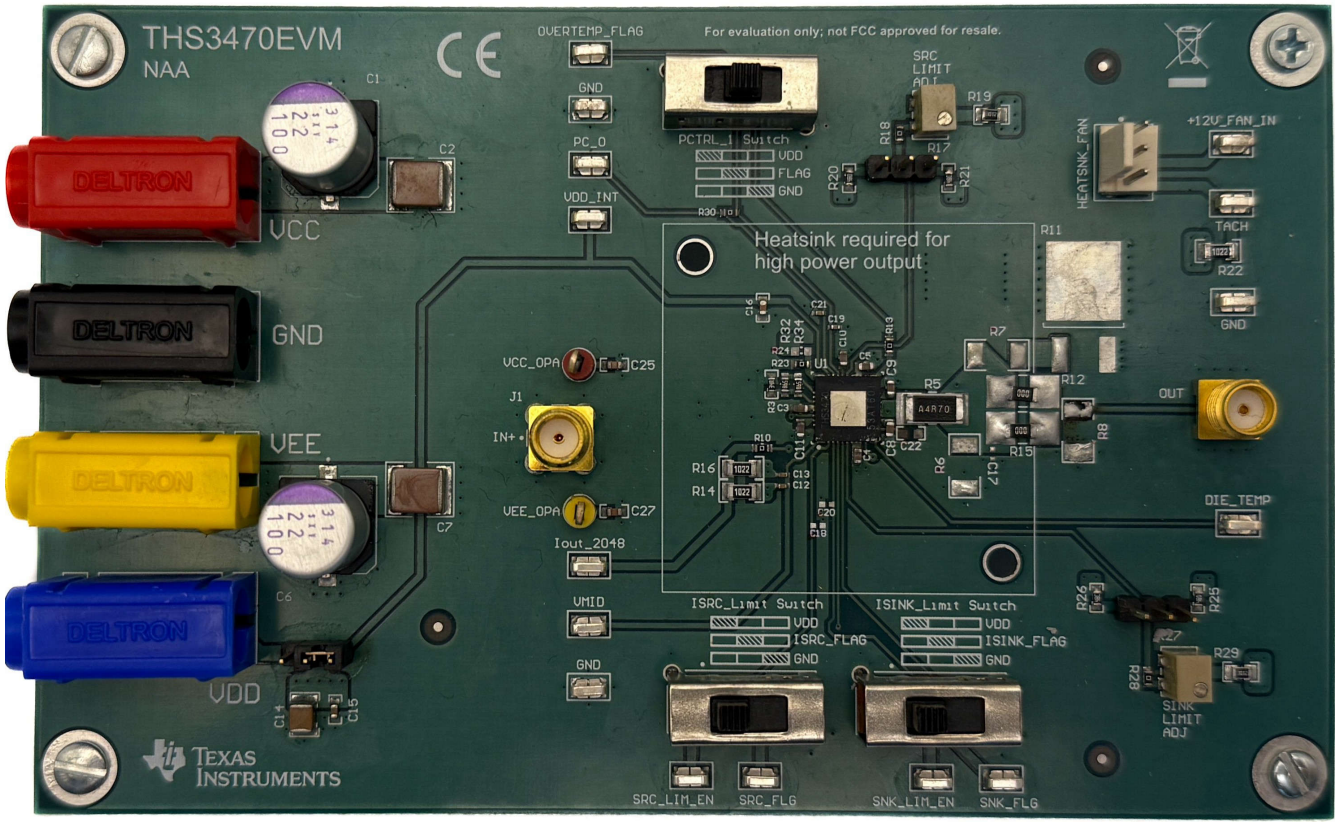


図 7-2. THS3470 コンポジット アンプ PCB

Copyright © 2025 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線

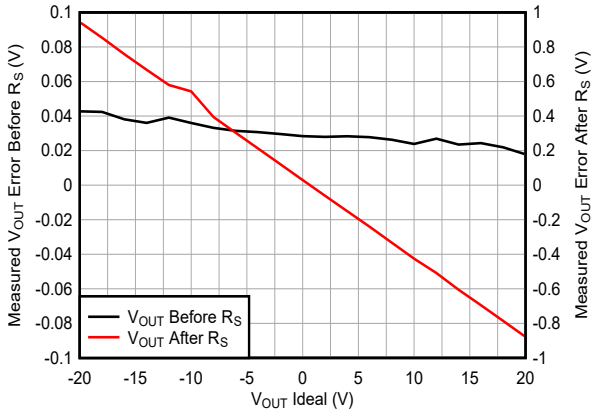


図 7-3. 複合ループなしの THS3470 V_{OUT} 誤差 (R_L = 100Ω、C_L = 1nF)

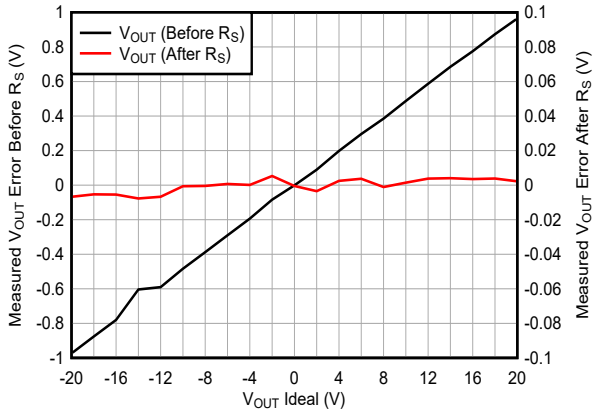


図 7-4. 複合ループ付きの THS3470 V_{OUT} 誤差 (R_L 100Ω、C_L = 1nF)

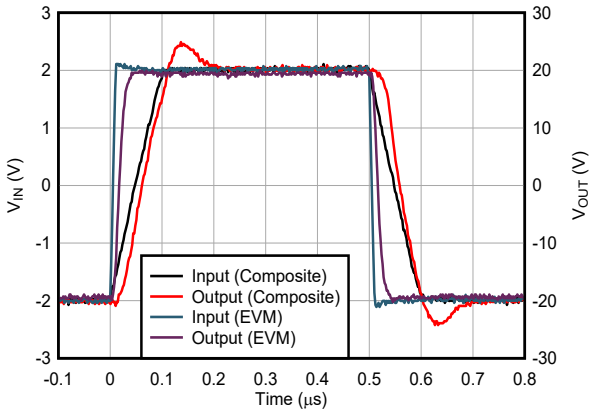


図 7-5. THS3470 ステップ応答の比較 (R_L = 100Ω、C_L = 1nF)

7.2.2 120V ブートストラップ アンプ

THS3470 は、高電源電圧 (60V)、大出力電流 (DC 1.35A、ピーク 2A)、高速スルー レート (3kV/µs) を独自に組み合わせているため、多くのアプリケーションに最適なデバイスです。THS3470 アンプはすでに高電圧ですが、多くのアプリケーションでは THS3470 がすでに実現している独自の機能セットにより、より高い電圧要件を必要とします。3 アンプのブートストラップ設計を作成することで、設計者は THS3470 の電気的性能と診断機能をほぼ維持しながら、電圧ヘッドルームを増やすことができます。

アンプのブートストラップでは、抵抗分圧器、2 倍の電源範囲、および 2 つの追加アンプを使用して、出力電圧の移動に応じて「信号アンプ」電源を動的に移動します。図 7-6 に示すように、入力信号に接続されているアンプは、「信号アンプ」と呼ばれ、出力電圧と電流をアプリケーションに供給します。「電源アンプ」は、信号アンプの V_{CC} 接続を提供する上側電源アンプについて、V_{CC}/V_{EE} = 60V/0V になるように接続されています。逆に、下側電源アンプの電源電圧は V_{CC}/V_{EE} = 0V/–60 V で、信号アンプの V_{EE} 接続を提供します。このように複数の電源を供給し、抵抗分圧器を使用することで、すべてのアンプは THS3470 の動作最大範囲 (60V) 内で動作し、$100V_{PP}$ の の出力信号を実現できます。

Copyright © 2025 Texas Instruments Incorporated

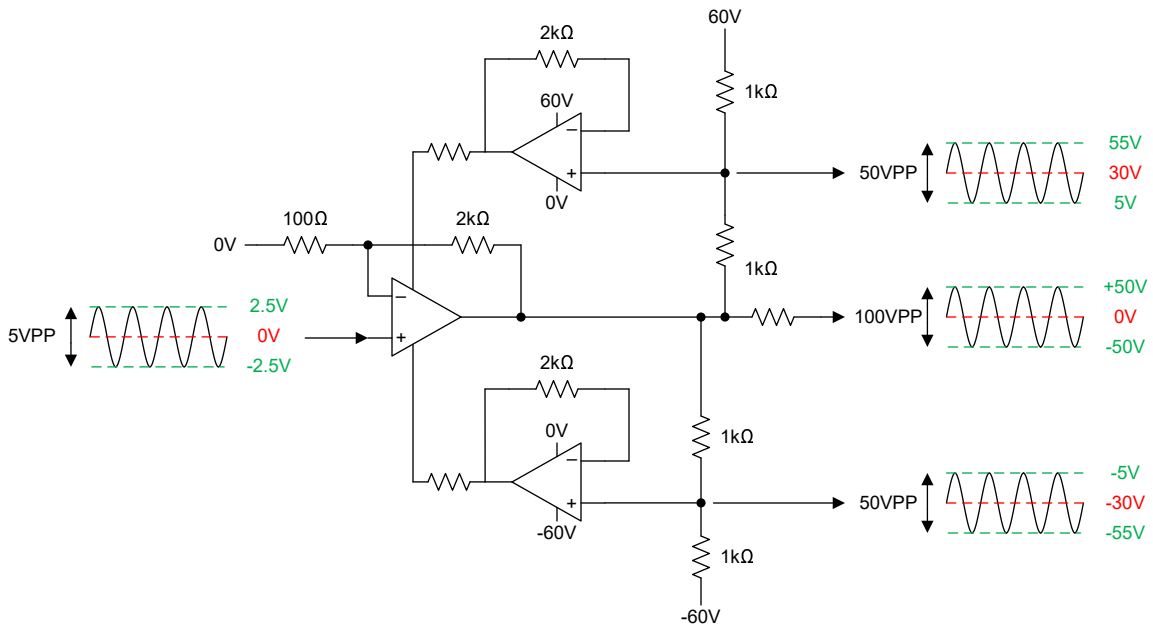


図 7-6. 120V ブートストラップ アンプの例

7.2.2.1 設計要件

この設計の目標は、ブートストラップ構成で 3 つの THS3470 アンプを使用して 100VPP 信号を生成することです。50V のピーク電圧と 100Ω の抵抗性負荷であれば、信号アンプから 500mA DC 出力電流が供給されます。この設計での電圧ヘッドルームは、DC 出力電流 (500mA) に電源および信号アンプの絶縁抵抗の合計 (合計 4ohms) と、信号および電源アンプの出力ヘッドルーム (それぞれ 3V) を加算した値が制限されます。これらに記載されている素子を一緒に追加すると、各電源に対して合計電圧ヘッドルーム損失は 10V (+-60V) になり、総出力スイングは 100VPP になります。DC に対して合計ピーク出力電流制限 (2A) の 500mA を使用すると、1.5A の AC 電流で 1nF の容量性負荷に対して 1500V/us の合計スルーレートを実現できます。これらの負荷仕様は、1nF の容量性負荷と 100ohm の抵抗性負荷で合計ピーク電流制限 (2A) を最適化するように選択されていますが、さまざまなリアクティブ負荷とパッシブ負荷の組み合わせに合わせて最大化するように適切に調整することもできます。

表 7-2. 設計パラメータ

パラメータ	値
電源電圧	±-60V
出力電圧	100VPP
スルー レート	1500V/µs
出力負荷	100Ω + 1nF

7.2.2.2 詳細な設計手順

THS3470 を使用して設計を行う場合、AC (容量性) と DC (抵抗性) 両方の負荷からの合計出力電流を考慮する必要があります。THS3470 で許容される最大出力電流は DC 電流に対して 1.5A ですが、多くのアプリケーションでは、デバイスの出力 (ケーブル、寄生容量、ゲート容量など) に容量性負荷駆動が必要となり、大きな dv/dt ステップや大信号の正弦波の間に大きな AC 電流を引き起こす可能性があります。THS3470 のスルーレートは非常に高いため、特定のブートストラップ状態では 1kV/µs となります。表 7-3 に示すように、AC ピーク電流と DC 電流の合計を 2A に制限するには特に注意が必要です。

Copyright © 2025 Texas Instruments Incorporated

表 7-3. AC および DC 負荷からの合計電流

出力電圧 (VPP)	抵抗性負荷 (Ω)	DC 電流 (mA)	容量性負荷 (pF)	最大スルーレート (V/µs)	AC ピーク電流 (mA)	AC + DC ピーク電流 (mA)
±40	オープン	0	300	2000	600	600
±40	オープン	0	1000	2000	2000	2000
±50	オープン	0	300	2000	600	600
±50	オープン	0	1000	2000	2000	2000
±40	100	±400	300	2000	600	1000
±40	100	±400	1000	1600	1600	2000
±50	100	±500	300	2000	600	1100
±50	100	±500	1000	1500	1500	2000

ブートストラップ設計には、60V のアンプで 100V の出力電圧範囲などいくつかの利点がありますが、このアーキテクチャについて理解する必要のある設計上のいくつかの検討事項があります。この設計の重要な欠点の 1 つは、電源アンプと信号アンプのどちらも個別の電源から 3V (無負荷) に制限されているため、各レールから出力ヘッドルームの制限が 6V に 2 倍になったことです。さらに、各アンプの出力ヘッドルームは、デバイスが発熱し、出力からより多くの電流が供給されると増加します。このため、重負荷条件では、120V 電源は約 20V のヘッドルーム (V_{EE} から 10V、V_{CC} からの 10V) を失います。設計者は、図 5-33 に関するヘッドルーム損失の情報に注意を払い、アプリケーションで各アンプのワーストケースの接合部温度を推定する必要があります。

これらの重負荷を駆動する場合、セクション 7.5.1.2 に示すように、設計者はデバイスの最大接合部温度 (150C) に特に注意を払い、デバイスを安全動作領域内に維持する必要があります。単一の 120V アンプと比較して、ブートストラップ設計の利点は、図 7-6 に示すように、ダイの消費電力が信号アンプと電源アンプの間で分割されることです。従来の 120V アンプは通常、この同じシナリオで 30W の電力を消費します。これは、1 つの出力段トランジスタで 30V の電圧降下が発生する必要があるのに対し、ブートストラップ設計では 30W の電力を信号アンプと電源アンプの間で分割するためです。THS3470 パッケージは 4°C/W を最適な方法で供給できるため、ブートストラップは周囲温度 25C で合計消費電力を 30W から 60W に増加できることを意味します。

注

4°C/W の JA 性能は、設計上のかなりの考慮事項が必要となるベストケースの高エアフローシナリオです。実際の熱性能に関する詳細については、セクション 7.5.1 を参照してください。

注

THS3470 のサーマルパッドは、デバイスの VEE に内部接続されています。VEE ピンはすべて異なる電圧にバイアスされるため、設計者は、ブートストラップ設計のさまざまなアンプの熱パッドの間で電気的絶縁を作成する必要があります。電気的絶縁と熱性能の詳細については、セクション 7.5.1.1 を参照してください。

THS3470 のデジタル機能を使用する場合、信号アンプの DGND を基板のグランドではなく VEE ピンに接続する必要があります。そうしないと、出力信号の移動中に THS3470 のデジタルブロックがデバイスの電源電圧範囲を超える可能性があります。同様に、VEE 電源アンプの場合、DGND 範囲は正の電源 (この設計では 0V) からのみ 7V の動作できます。このため、多くのデジタルピン (P0、P1、$\overline{\text{OVTEMP_FLAG}}$、$\overline{\text{ISNK_FLAG}}$、$\overline{\text{ISRC_FLAG}}$、$\overline{\text{ISNK_LIMIT_EN}}$、$\overline{\text{ISRC_LIMIT_EN}}$) の THS3470 は、デバイスの損傷を防止するために、DGND と VDD を基準に接続する必要があります。高速過渡時に信号アンプのフラグのステータスを読み取るには、レベルシフト回路 (差動アンプ) が必要になります。そのため、電流制限をディセーブルにして、電源アンプのデバイスフラグを使用し、回路の複雑性を制限できます。

ブートストラップ回路で電流制限を設定するには、信号アンプの電流制限を目的の値に設定し、抵抗を使用して ISRC_LIMIT を V_{EE} に、ISNK_LIMIT を V_{CC} に接続し、電源アンプの電流制限を最大 (1.35A DC) のままにします。信号アンプの前に電流制限状態に入ると、信号アンプに損傷が発生する可能性があります。VMID 電圧が出力電圧とも

Copyright © 2025 Texas Instruments Incorporated

に変動するため、信号アンプでは IOUT_MONITOR ピンを使用することは推奨しません。ブートストラップ設計で電流監視が必要な場合は、電源アンプで IOUT_MONITOR を監視できます。

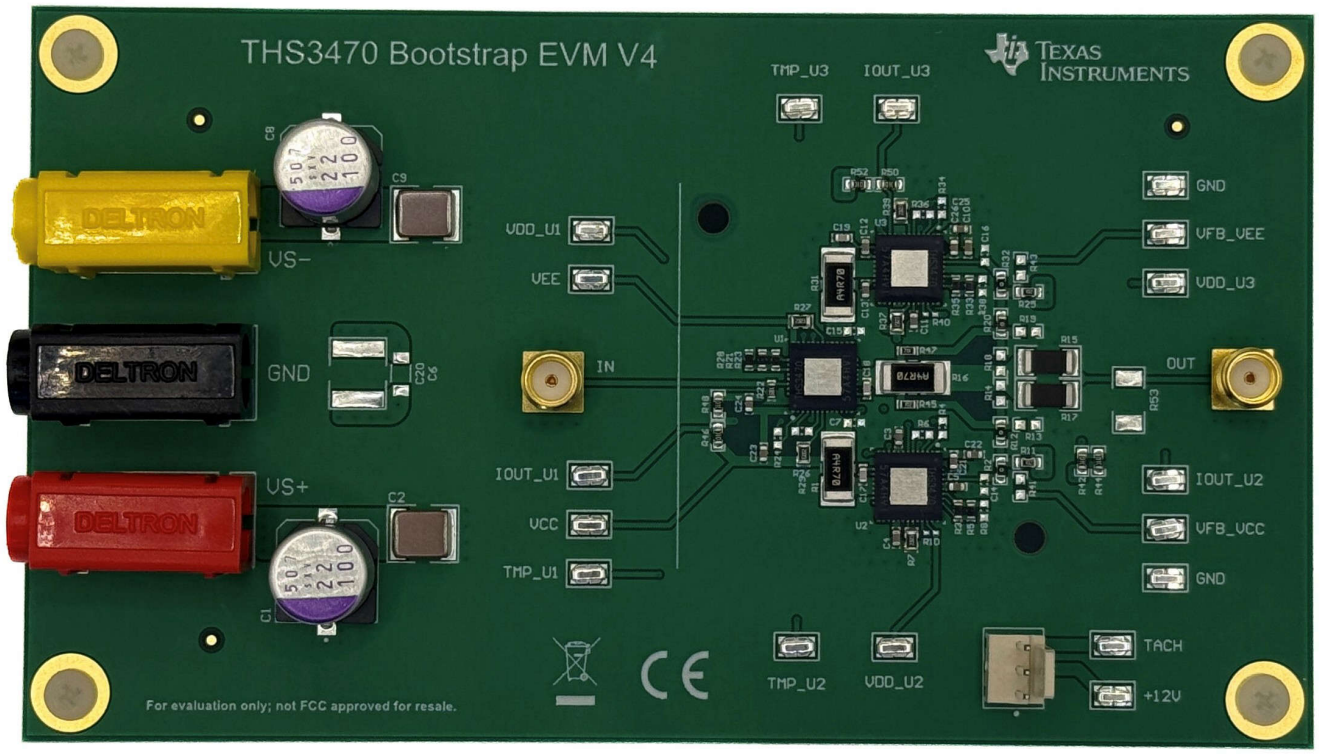


図 7-7. THS3470 ブートストラップ PCB

7.2.2.3 アプリケーション特性の波形

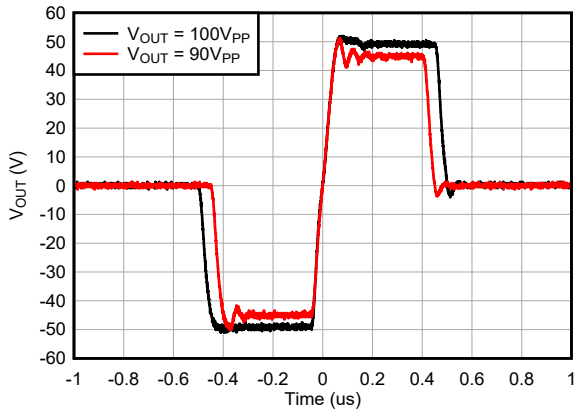


図 7-8. THS3470 ブートストラップ ステップ応答 (V_{OUT} = 1kV/μ s、R_L = 100Ω、C_L = 1nF)

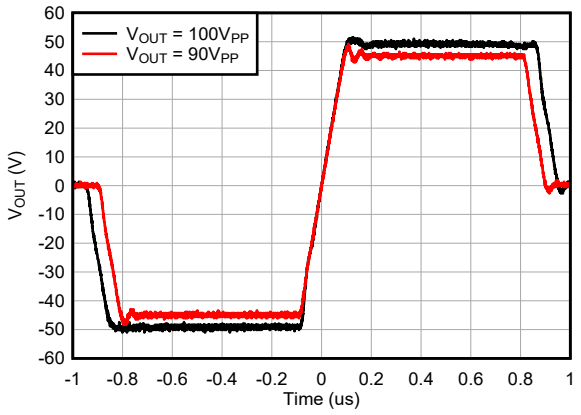


図 7-9. THS3470 ブートストラップ ステップ応答 (V_{OUT} = 500V/μ s、R_L = 100Ω、C_L = 1nF)

Copyright © 2025 Texas Instruments Incorporated

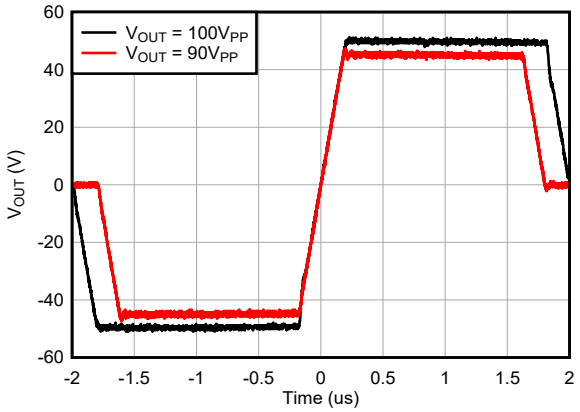


図 7-10. THS3470 ブートストラップ ステップ応答 (V_{OUT} = 250V/μ s、R_L = 100Ω、C_L = 1nF)

7.3 短絡保護

THS3470 を使用する多くのアプリケーションでは、グランドまたは電源に対する過渡的な短絡状態が問題となります。複数の THS3470 を持つシステムでは、ケーブルまたは PCB 治具に障害が発生したときに、1 つの THS3470 の出力が必然的に別の THS3470 に短絡した「ピン互換」の短絡シナリオも発生することがあります。このため、データシートに記載されている THS3470 のすべてのパラメータは、5Ω の絶縁抵抗で測定されます。この 5Ω 抵抗は、特定の状況 (特に負荷電流時の出力ヘッドルームと合計システム帯域幅) においてデバイスの性能を制限できますが、保護の利点を以下に示します。

注

THS3470 の出力絶縁抵抗は、グランドへの短絡が懸念されないアプリケーションでは 5 ohms から低減できます。グランドへの短絡シナリオが起こりにくいアプリケーションでも、予期しない出力条件に対する安全な保護として、1 Ω 以上の絶縁抵抗を確保してください。

注意

THS3470 は、V_{CC}、V_{EE}、「ピン間」の短絡状態に耐えられますが、安全動作領域の範囲内でのみ耐えられます。セクション 7.5.1.2 に示す制限に従わない場合、THS3470 の破壊的故障が発生する可能性があります。

グランドへの短絡シナリオで THS3470 の性能をテストするため、図 7-11 のテスト構成を使用しました。この設定を使用すると、パルス幅が 1 ～ 100ms の範囲で 10,000 サイクルの 1%、5%、10% のデューティ サイクルにファンクション ジェネレータを設定できます。これらのテストはサンプル サイズが限定されたベンチで行われるため、設計者はデバイスの状態を検証するため、実際のアプリケーションでこの性能を確認する必要があります。

注

DIE_TEMP ピンを監視し、接合部温度が 150C 未満に維持されていることを確認してください。また、低いパルス幅または異なるデューティ サイクルで出力にパルスを印加すると、デバイスの安全動作領域が変化する可能性があります。過渡安全動作領域における性能の詳細については、セクション 7.5.1.2 を参照してください。

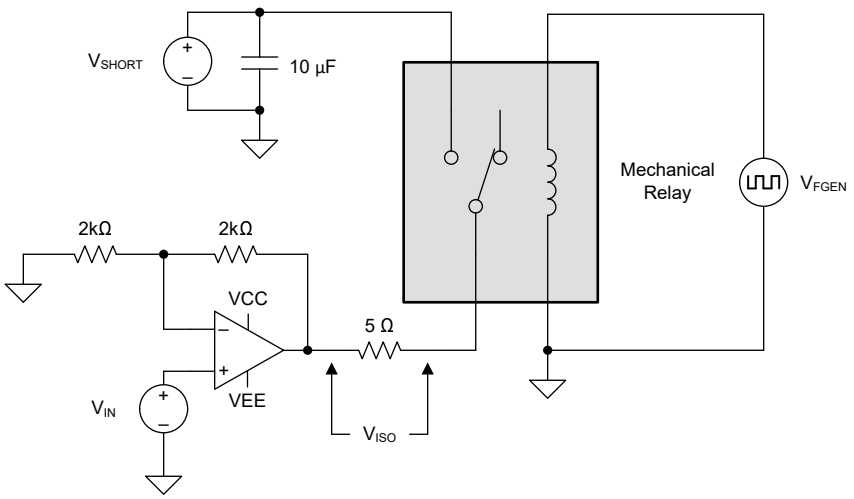


図 7-11. THS3470 グランド短絡テストのセットアップ

図 7-11 に示すように、高速な過渡障害条件をシミュレートするため、大電流の機械式リレーを選択します。機械式リレーは瞬間的に近い突入電流をデバイスに引き起こす可能性がある機械式ラッチであるため、迅速な障害条件をシミュレートするのに最適です。一方、ソリッドステートリレーは、チャネルを閉じると抵抗が緩やかに増加するため、実際の障害シナリオを再現しない電流の徐々の増加を提供します。さらに、図 7-12 は、THS3470 が 10,000 サイクル以上で短絡していることを示しています。これは、機械式リレーで「ホットスイッチ」のときに「バウンス」が発生するためです。このバウンスは、リレーを閉じるときに 2 サイクルから 6 サイクルまで変化する可能性があり、伝導テストでは 20,000 から 60,000 のサイクルの間になります。

図 7-13 に、過渡短絡状態の 1 つ時の出力電流と電圧を示します。設計者がこれらの結果を再現したい場合は、波形の電流および電圧スパイクを適切に定量化するため、オシロスコープの時間スケールを最小化してください。設計者は、高周波 (5GHz 超) オシロスコーププローブとオシロスコープを選択し、出力スパイクがシグナル チェーンによってフィルタリングされないようにする必要があります。

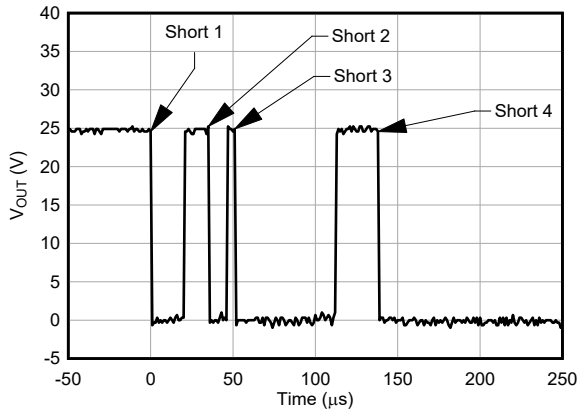


図 7-12. THS3470 実用的な短絡 (機械式リレー バウンス付き)

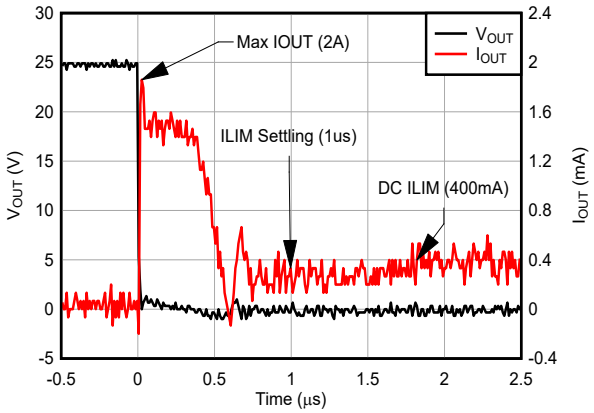


図 7-13. THS3470 機械的短絡時の出力電流および電圧

Copyright © 2025 Texas Instruments Incorporated

7.4 電源に関する推奨事項

THS3470 は、±6V から ±30V (12V から 60V のシングルエンド電源) の電源で動作するよう設計されています。5% 以下の電源精度を使用してください。電源は、抵抗性負荷と容量性負荷の両方について、VOUT から予期される最大出力電流を供給できるように設計する必要があります。高速な過渡電流に対しては、THS3470 の電流制限回路によって電流が制限されないため、VCC および VEE ピンには十分なバイパス容量が必須です。バルク デカップリングを行うため、22µF タンタルまたは電解コンデンサと 10µF X7R コンデンサを、V_{CC} と V_{EE} の電源ソースの近くに配置します。VCC (ピン 8 ～ 10、25 ～ 27、38 ～ 39) 、VEE (ピン 15、20、29、36、41) 、VMID (ピン 1 ～ 2) 、および VDD (ピン 32) のピンには、セクション 7.5.3 に示すように、ピングループごとに 100nF の C0G または NP0 コンデンサが必要です。100nF C0G または NP0 コンデンサを THS3470 ピンにできるだけ近づけて配置します。また、バイパス コンデンサのグランド接続の電流リターン パスをできるだけ短くして、ループ インダクタンスを最小限に抑えます。すべてのコンデンサの定格電圧が適切であることを確認してください。

7.5 レイアウト

7.5.1 熱に関する注意事項

7.5.1.1 上面冷却の利点

THS3470 は上面冷却 REB パッケージで供給され、従来の底面冷却 QFN デバイスと比較して放熱特性が利点となります。図 7-14 に示す従来型パッケージは、ヒートシンクに入る前に PCB 材料と接続する必要があります。ヒートシンクを使用しない底面放熱型デバイスは、PCB の面積縮小を伴う対流に依存して熱を放出します。これらの状況で有用な概念化は、さまざまなインターフェイスを「熱抵抗」と考え、シリコンダイによって生成された熱が周囲の空気に動かないようにすることです。これらの底面冷却パッケージの結果、多くの場合、強制空冷システムであっても、システムレベル全体の性能において、最良のケースで 10°C/W を上回る θ_{JA} 得られます。

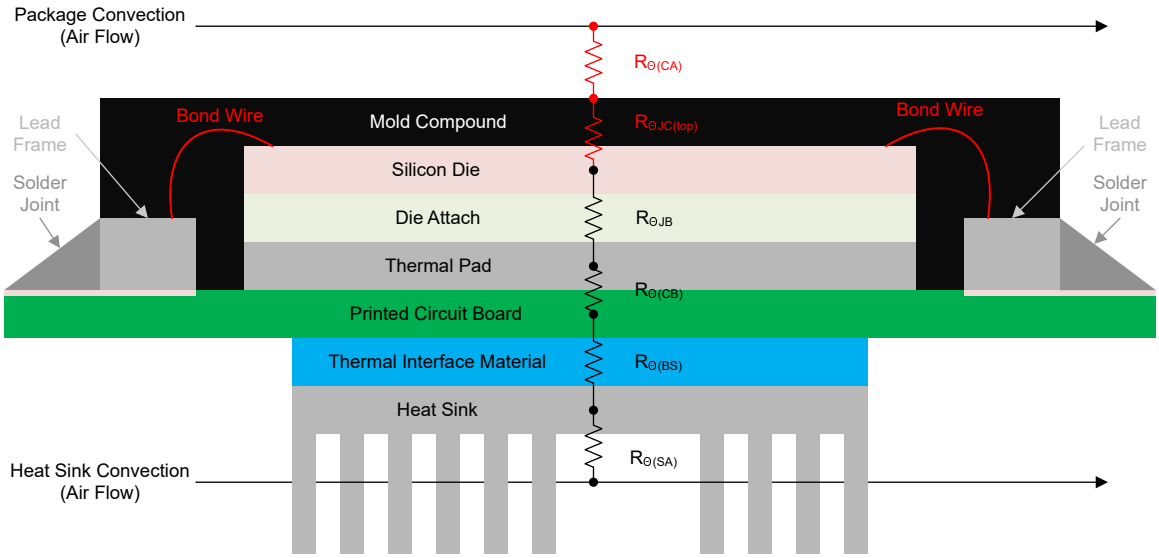


図 7-14. 一般的な底面冷却の例

ただし、THS3470 上面冷却パッケージは、空気やヒートシンクと接続する前に、PCB を通過するために熱に依存しません。このより直接接触方式では、図 7-15 に示すように実質的に PCB の「熱抵抗」を取り除き、約 4°C/W のシステムレベルの θ_{JA} 性能がフルに実現できます。この構成により、コールド プレートまたは他の直接接触方式の冷却方式を使用して、システムから熱を除去する優れたメカニズムを備えています。

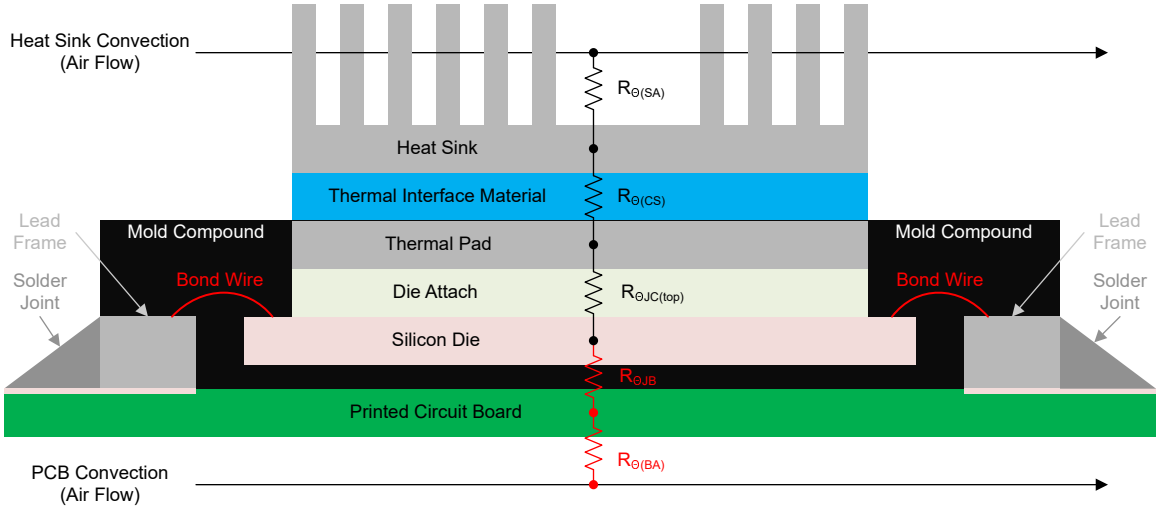


図 7-15. THS3470 上面冷却の例

注

空冷システムの場合、4°C/W の実現は通常、ヒートシンクのフィンに沿った「リニア エアフローの速度」で決まり、通常、メートル/秒 (m/s) またはリニアフィート/分 (LFM) 単位で測定されます。4°C/W θ_{JA} の性能を達成するには、通常 1m/s 以上の空気の流量速度が必要です。

THS3470 は高電圧であるという特性により、ヒートシンクを機械的に取り付ける場合、アプリケーションに応じて特別な考慮事項が必要になることがあります。可能な限り最高の熱性能を実現するため、THS3470 はサーマル パッドを VEE に内部接続する導電性ダイ接続を使用しています。VEE を –60V に接続し、VCC を 0V に接続するシングルエンドアプリケーションでは、サーマルパッドに高電圧電位があるため、システムに高電圧の危険性があります。高電圧の危険を回避するため、図 7-16 に示すように、銅またはグラファイトのヒート スプレッダとヒート シンクの間に非導電性熱伝導材料を配置します。銅製のヒート スプレッダは、熱インターフェイスより前の広い表面積に熱を分散させ、全体的な熱抵抗を低減するのに役立ちます。また、アノード化されたヒート シンクを使用すると、熱性能が大幅に低下しなくても、電気的絶縁を実現できます。設計者は、ヒート シンクの陽極酸化が傷や損傷を受ける可能性があることを考慮する必要があるため、ヒート シンクをデバイスから定期的に取り外す必要がある場合は、サーマル インターフェイス材料を使用することが推奨されます。最後に、アルミナまたはセラミック ネジを使用して、ヒート スプレッダとヒート シンクの間の電気的絶縁を維持しながら、治具を機械的に固定します。

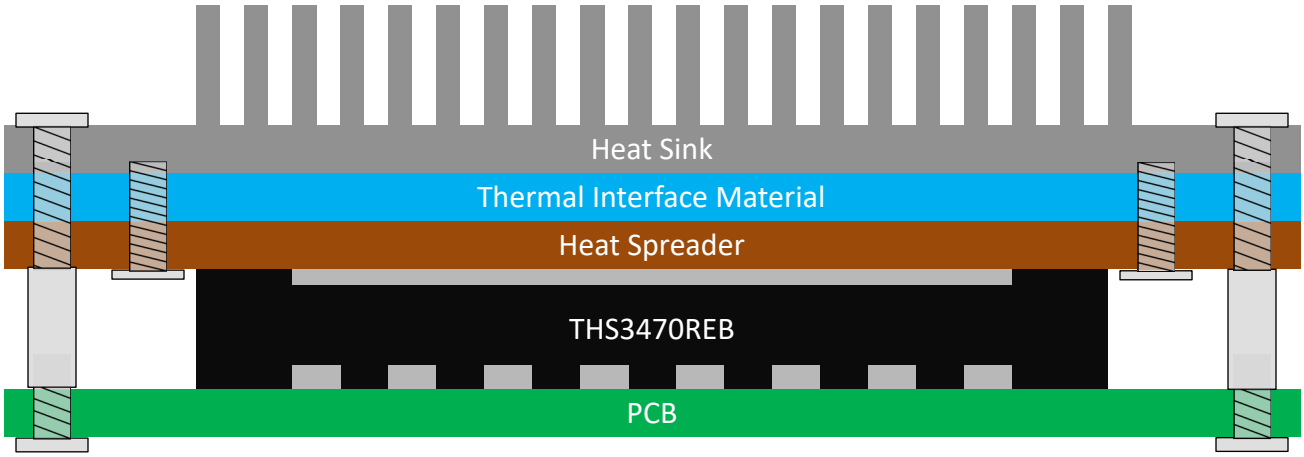


図 7-16. 上面冷却の電気的絶縁の例

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2 THS3470 の安全動作領域

デバイスの安全動作領域は、半導体デバイス固有の電力制限を管理するためのベスト プラクティスを識別するのに役立ちます。オペアンプの場合、これらの制限は通常、大きな出力電流と、大きな出力トランジスタの両端での大きな電圧降下が組み合わさることによって明らかになります。THS3470 は高電圧および高電流であるため、パッケージ内での電力消費が大きくなるため、寿命全体にわたってデバイスの状態を最適化するには設計上の特別な考慮事項を考慮する必要があります。安全動作領域に関するパワー アンプのストレス源の詳細については、SBOA022 を参照してください。

THS3470 は、上面冷却 REB パッケージを採用しています。このパッケージ内で大量の電力を燃焼する際の放熱性能を最適化するのに役立ちます。DC 性能や DC 性能に近い場合 (高いデューティ サイクルや 100ms 超のパルス) 、出力段で消費される電力によって、ほぼワースト ケースのシナリオでデバイスが温度上昇します。THS3470 は、DIE_TEMP および OVERTEMP_FLAG などの診断および保護機能を備えており、熱管理に役立ちますが、デバイスの整合性を実現するためのベストプラクティスには、デバイスの安全動作領域の計画が含まれます。

図 7-17 に、さまざまな冷却条件で THS3470 が異なる出力電圧と出力電流でどのように機能するかを示します。これらの結果は、ほとんどのアプリケーションでヒート シンクの必要性を示しています。ヒート シンクを追加することで、供給される消費電力が 2 倍近く改善されています。また、ヒート シンク フィンを通る対流は、ダイから熱を除去する主なメカニズムです。図 7-17 に、エア フローとヒート シンクの影響を強調した 3 つのシナリオを示します。ヒート シンクなし、エア フローなしヒート シンク (ファンなしの THS3470EVM) 、エア フロー付きヒート シンク (ファン付きの THS3470EVM) です。

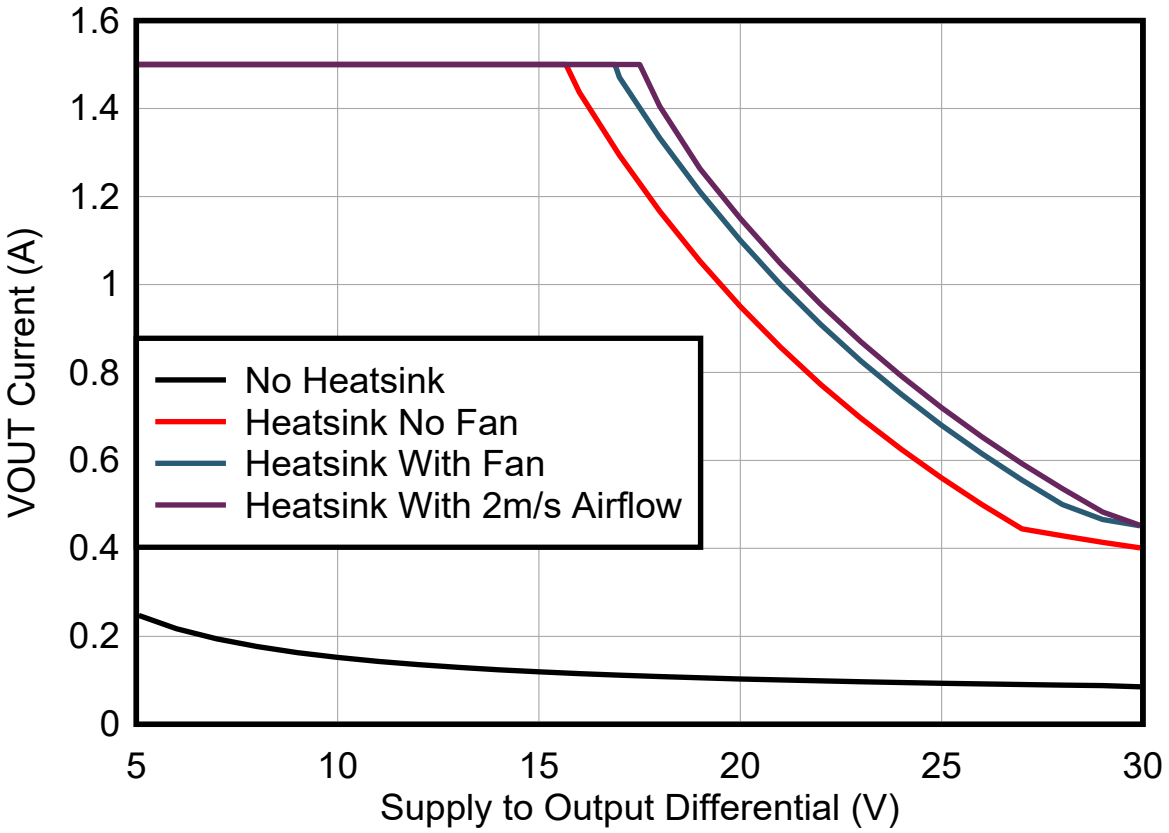


図 7-17. THS3470 DC 安全動作領域 (THS3470EVM、V_S = 60V)

注

THS3470 の放熱性能は、デバイスのワースト ケース (60V) でのみ示されています。低電源電圧でデバイスを使用すると、パッケージ内の消費電力が低下し、放熱性能が向上します。

DC 動作に加えて、THS3470 はスルー レートと帯域幅が高いため、大きな電圧パルスにも適しています。THS3470 の多くのアプリケーションでは、連続 DC 電圧を使用する代わりに、低デューティ サイクル パルスを使用してシステム内で消

Copyright © 2025 Texas Instruments Incorporated

費される電力を最小限に抑えます。この電圧は、多くの場合「IV チャート」で特徴づけられています。図 7-18 に、THS3470EVM、ヒート シンク、ファンを使用しながら、純粋な抵抗性負荷により、さまざまなパルス持続時間およびデューティ サイクルにおいて THS3470 の熱性能がどのように変化するかを示します。

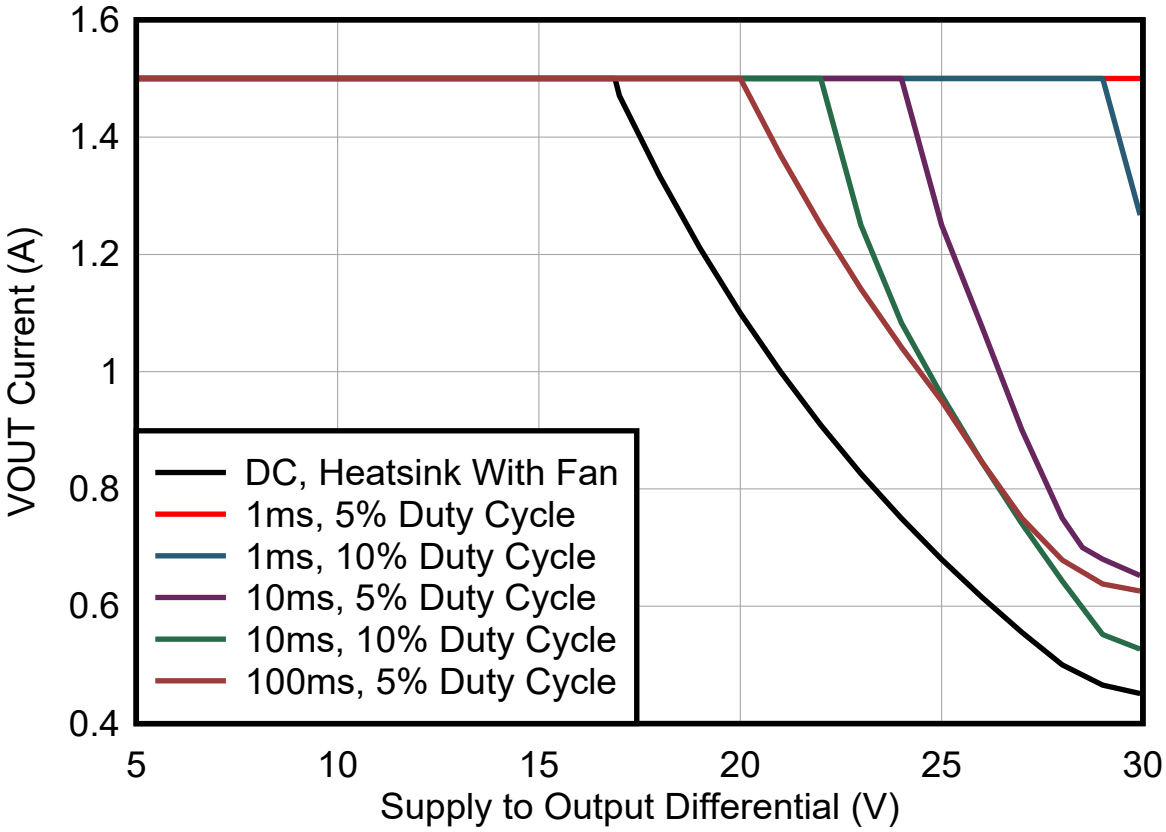


図 7-18. THS3470 安全動作領域 (方形波、V_S = 60V)

容量性負荷を駆動する場合、固定容量性負荷での方形波について、THS3470 の消費電力が周波数に対してどのように変化するかを、図 7-19 に示します。コンデンサに流れ込む電流は、出力ステップの dv/dt に容量を乗算した値に直接相関するため、すべての消費電力は、方形波のスルーイベント中に発生します。周波数が高いほど、同じ期間内にはより多くのエッジが存在するため、THS3470 は容量性負荷を駆動している間に周波数が上昇するにつれて、より多くの電力を消費し、より多くの熱を発生します。図 7-20 に、固定電圧に対してさまざまな容量性負荷が及ぼす影響を示します。

Copyright © 2025 Texas Instruments Incorporated

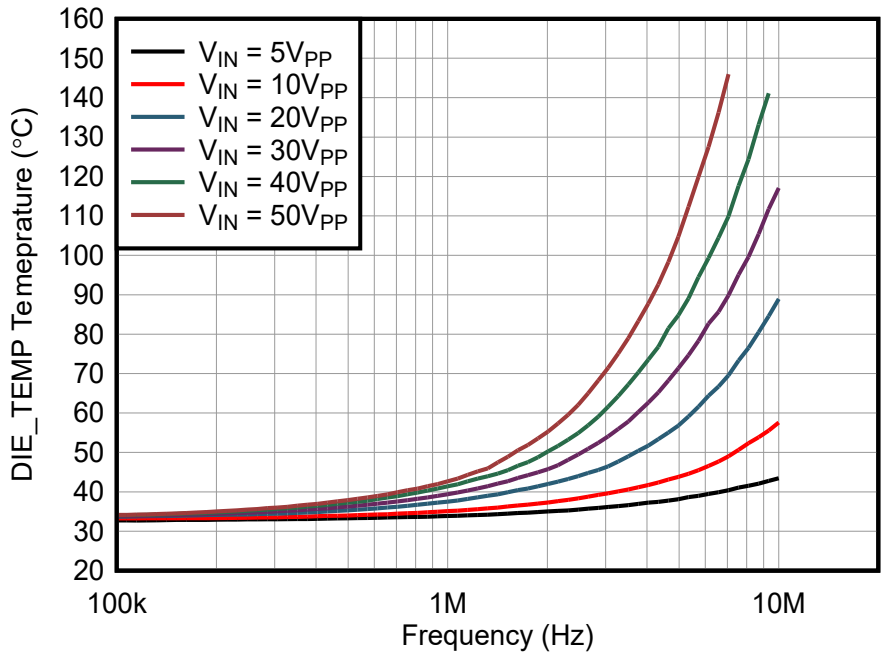


図 7-19. THS3470 安全動作領域 (方形波、C_L = 1nF、V_S = 60V)

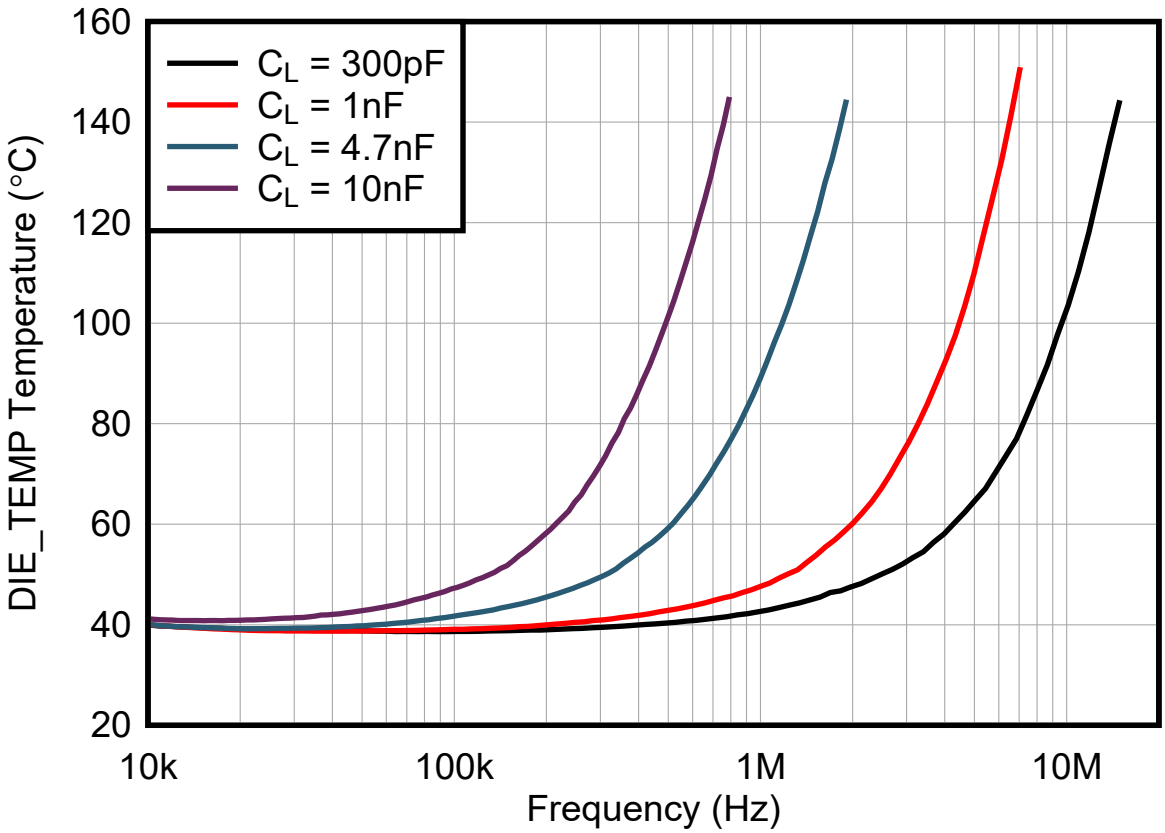


図 7-20. THS3470 安全動作領域 (方形波、V_{OUT} = 50V_{PP}、V_S = 60V)

注

入力スルーレートは、図 7-20 のさまざまな容量性負荷に対してピーク電流を 2A に制限するように構成されています。

7.5.2 レイアウトのガイドライン

- PCB 上の VCC、VEE、グランド ネットには個別の電源プレーンを使用します。必須ではありませんが、セクション 7.5.3 に示すように、電源とグランドの切り欠きまたはトレースを最小限にした個別の層を作成すると、インダクタンスが最小化され、電流が流れる PCB 面積が大きくなります。
- アプリケーションに必要な連続電流の量に合わせて、VCC、VEE、VOUT のパターンとビアのサイズを適切に設定します。IPC-2221 ガイドラインと PCB メーカーの推奨事項に基づいて、基板の温度上昇を制限します。層上の銅箔の重量を大きくし、可能な場合は複数の外部層を使用して基板面積を最適化します。
- 22µF タンタルまたは電解コンデンサと、10µF X7R コンデンサを、VCC および VEE の電源ソースの近くに配置します。さらに、100nF のキャパシタを THS3470 の電源ピンのできるだけ近くに配置します。コンデンサのパッドの近くに複数のビアを配置することで、バイパス コンデンサの電流リターン パスのループ インダクタンスを最小化します。
- VMID には、VMID から VCC、および VMID から VEE への 100nF の C0G または NP0 バイパス コンデンサが必要です。これらのコンデンサはピン 1 にできる限り近づけて配置し、ビアを VCC、VEE、グランド プレーンにコンデンサ パッドのできるだけ近くに配置します。
- 2.2nF のコンデンサを、ピンと DGND の間に、VDD、ISRC_LIMIT_EN、ISNK_LIMIT_EN、P0、P1 に配置します。これらのコンデンサは THS3470 の近くに配置しますが、他の部品は近接して配置しません。
- 寄生容量を減らすため、COMP または IN- ピンの任意のパターンや接続の下にプレーンのカットアウトを配置します。
- VOUT の絶縁抵抗はピンにできるだけ近づけて配置し、寄生容量を絶縁します。
- IN- および FB ピンに接続された部品は、ピンにできるだけ近づけて配置します。これらのノードは寄生容量に対して敏感であり、特別な注意を払わないと発振が起きる可能性があります。
- 終端抵抗は、対象の入力にできるだけ近づけて配置します。終端抵抗のグランド接続に複数のビアを追加することで、クリーンな電流帰還パスを提供し、インダクタンスを最小化します。

Copyright © 2025 Texas Instruments Incorporated

7.5.3 レイアウト例

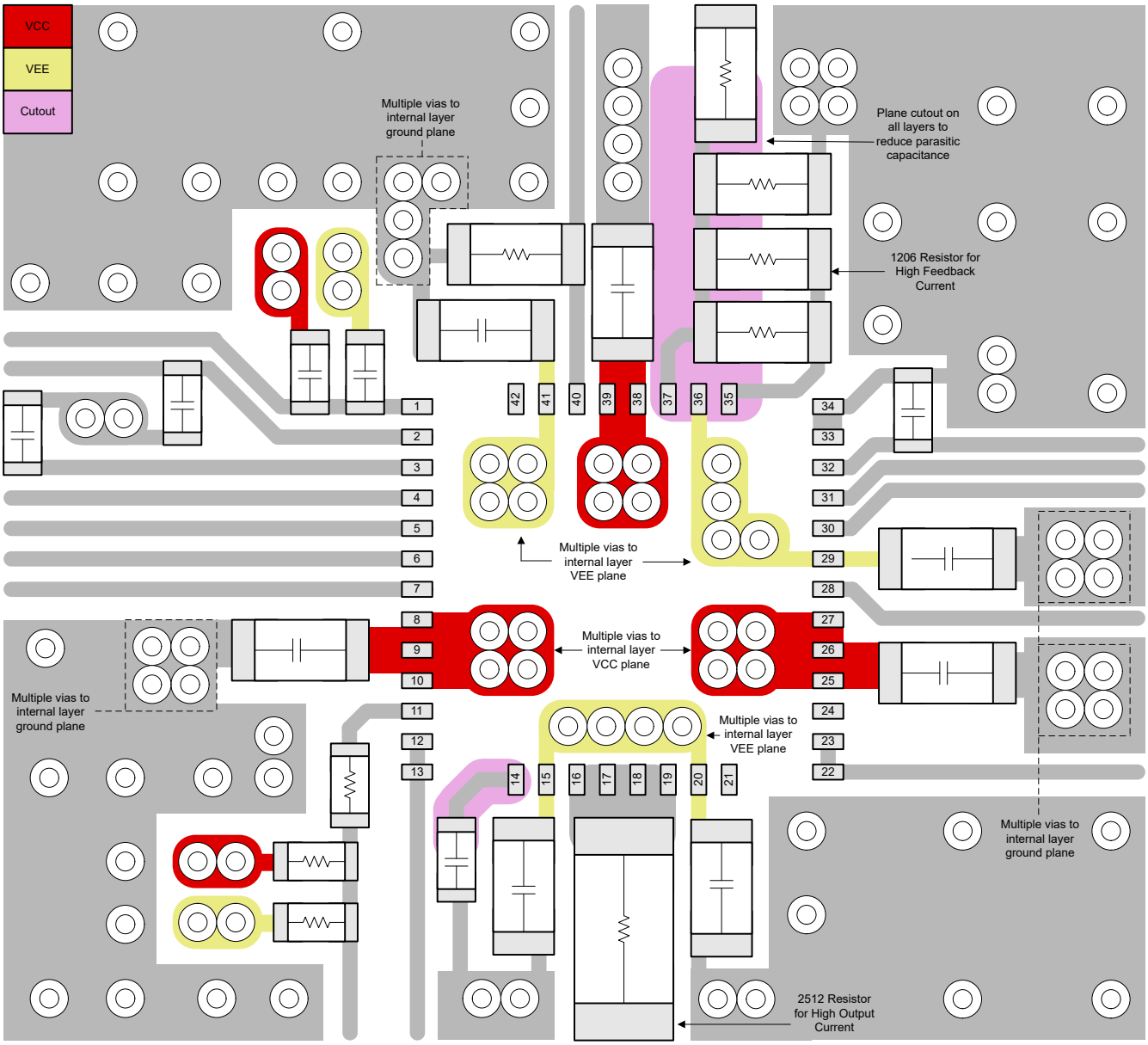


図 7-21. THS3470 のレイアウト例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2025) to Revision A (October 2025)	Page
• デバイスのステータスを「量産データ」に更新。	1

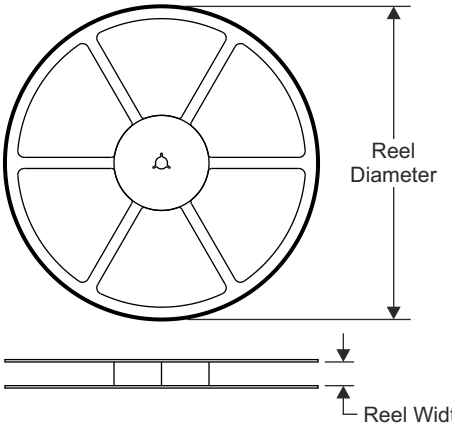
10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

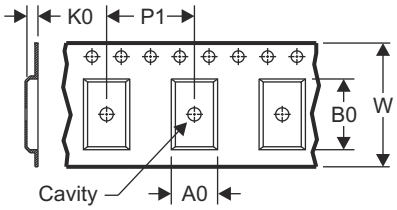
Copyright © 2025 Texas Instruments Incorporated

10.1 テープおよびリール情報

REEL DIMENSIONS

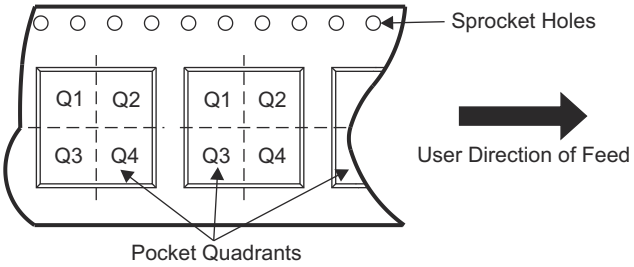


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

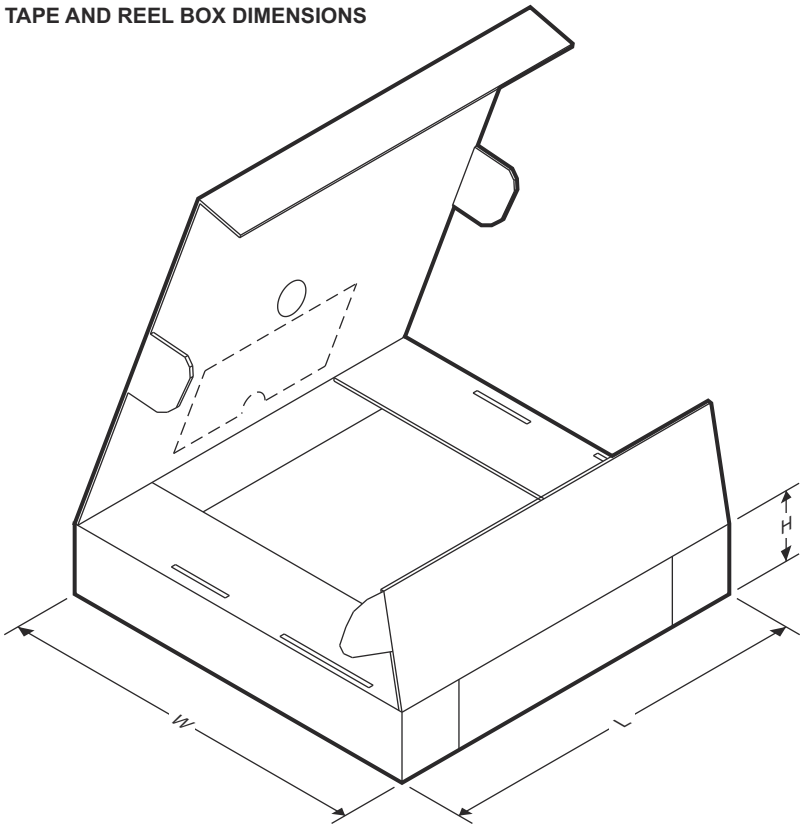
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
THS3470	VQFN	REB	42	3000	330	16.4	7.3	7.3	1.1	12.0	16.0	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
THS3470	VQFN	REB	42	3000	367.0	367.0	38.0

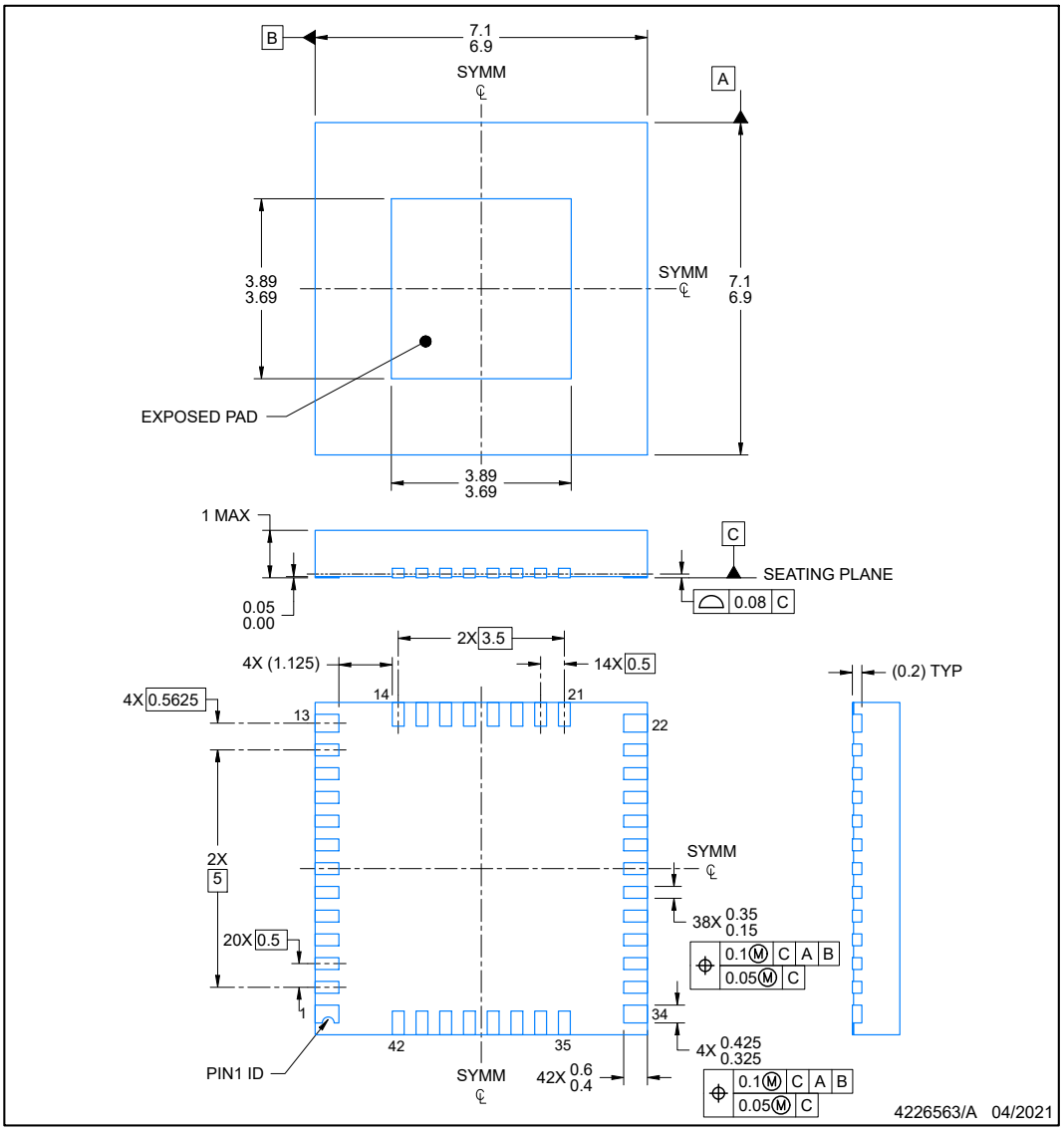
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

REB0042A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

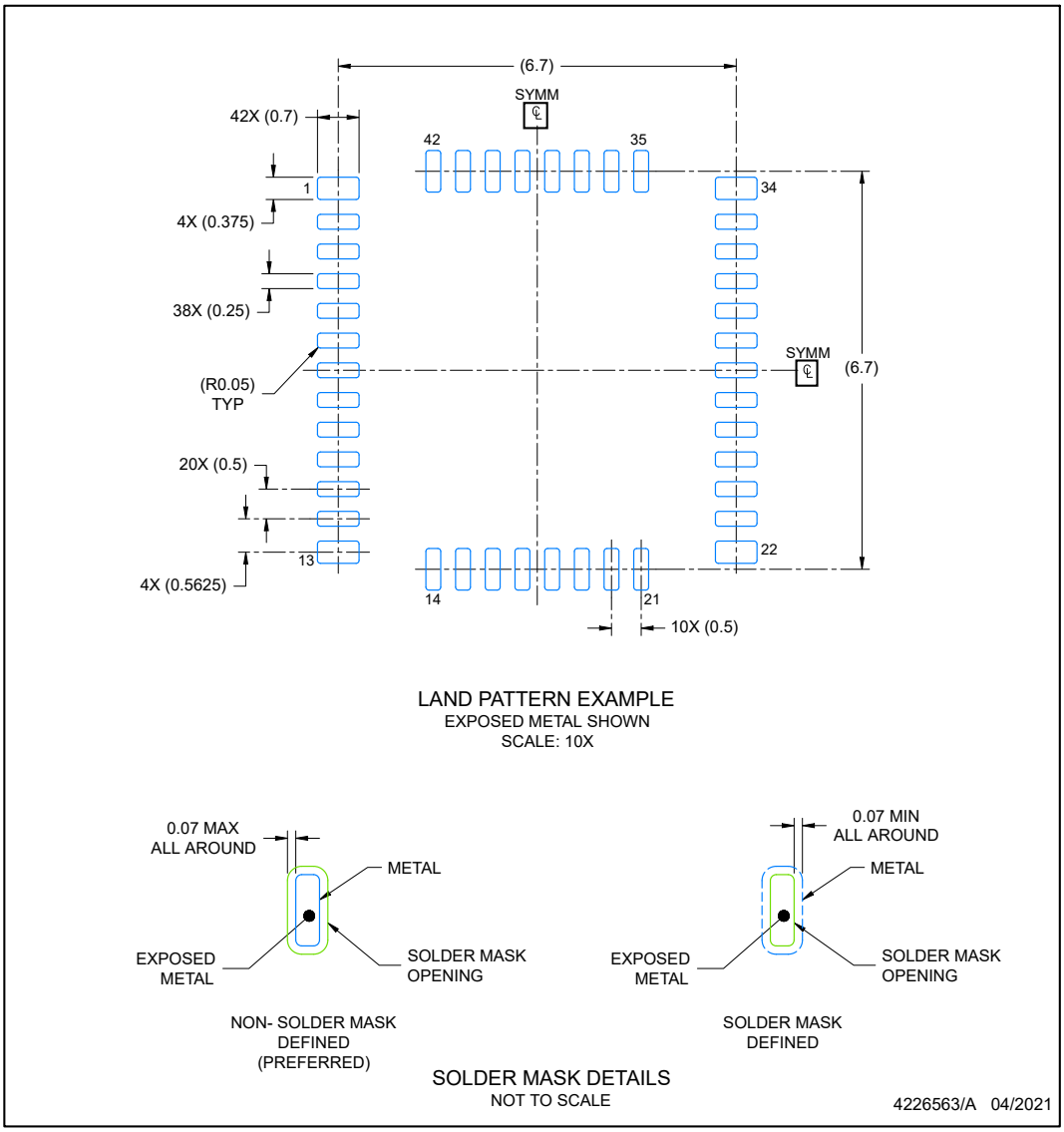
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package incorporates an exposed thermal pad that is designed to be attached directly to an external heat sink. This optimizes the heat transfer from the integrated circuit (IC).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

REB0042A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. For best BLR performance please use non solder mask defined pads.

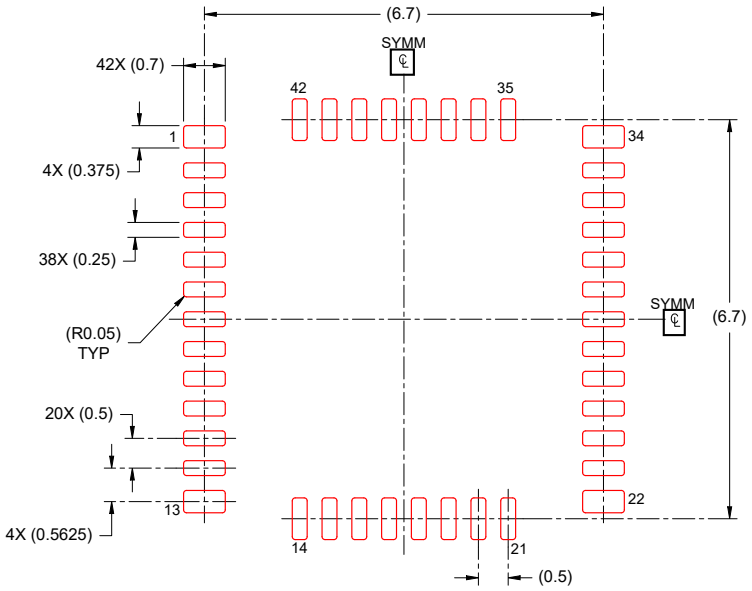
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

REB0042A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE: 10X

4226563/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS3470REBR	Active	Production	VQFN (REB) | 42	3000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	THS3470
THS3470REBT	Active	Production	VQFN (REB) | 42	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	THS3470

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

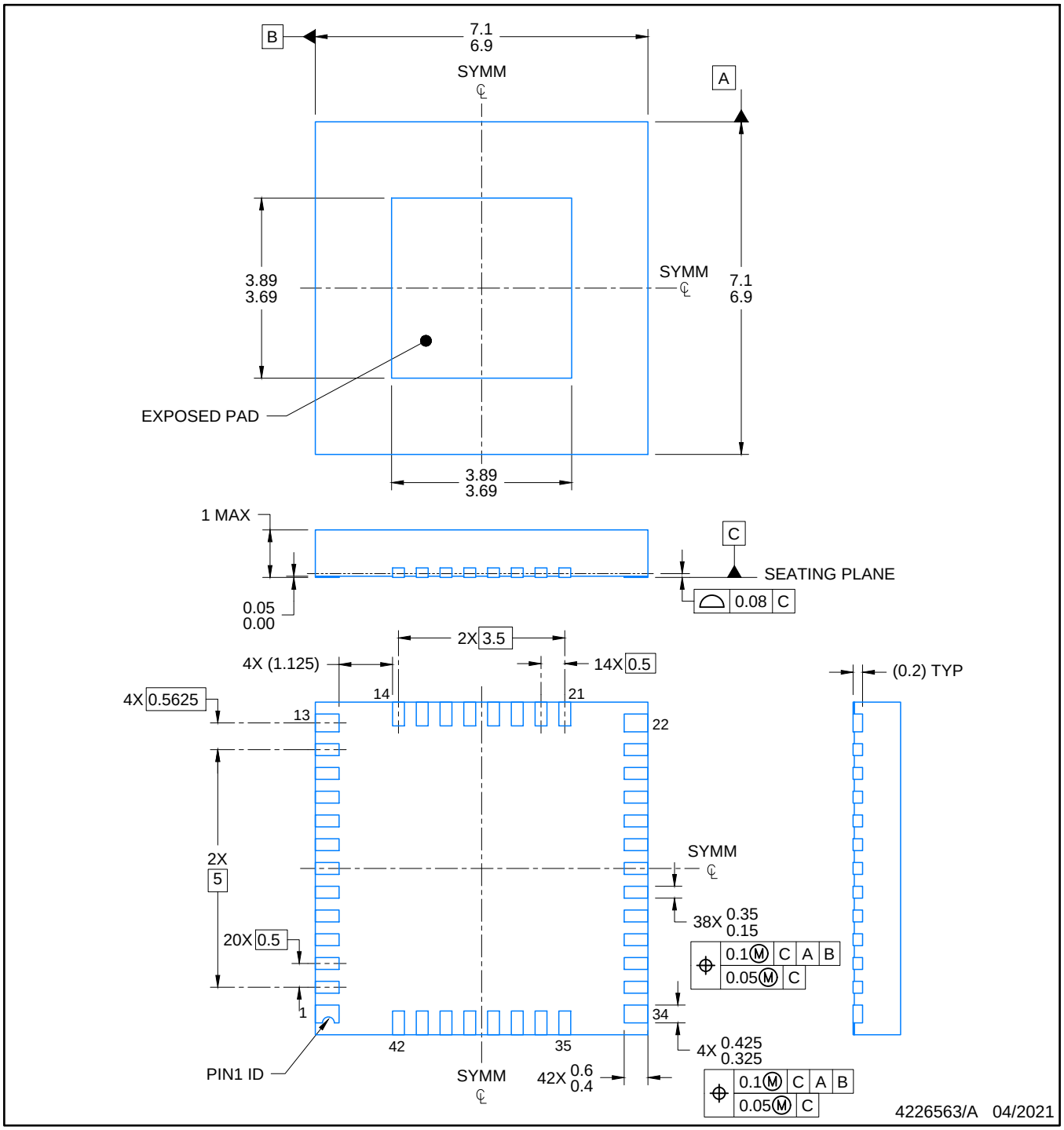
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

REB0042A

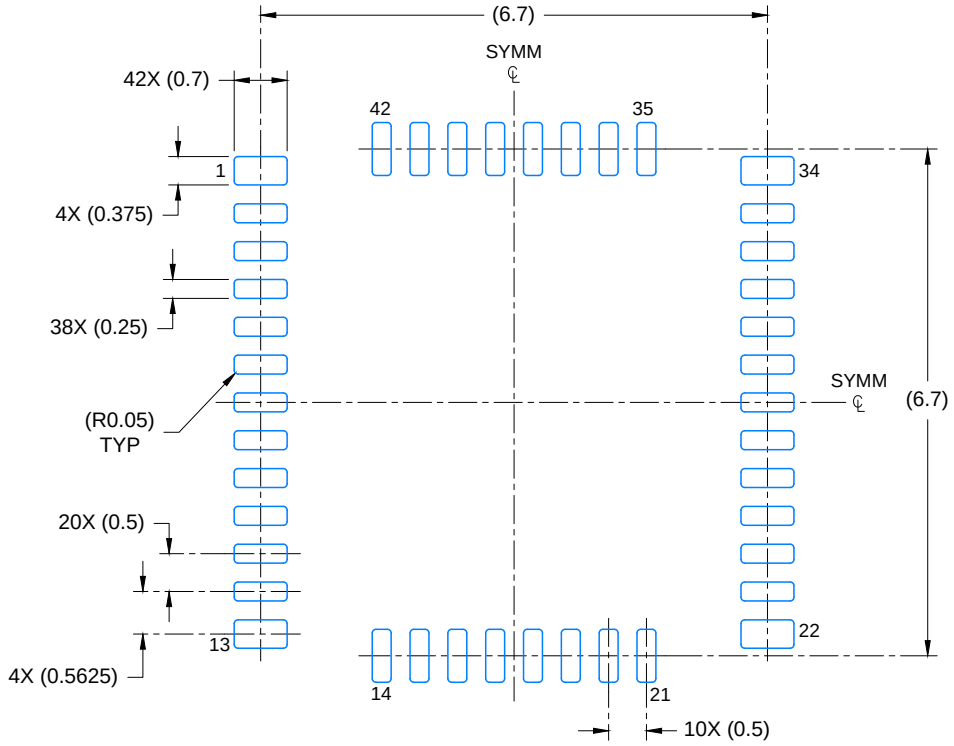
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

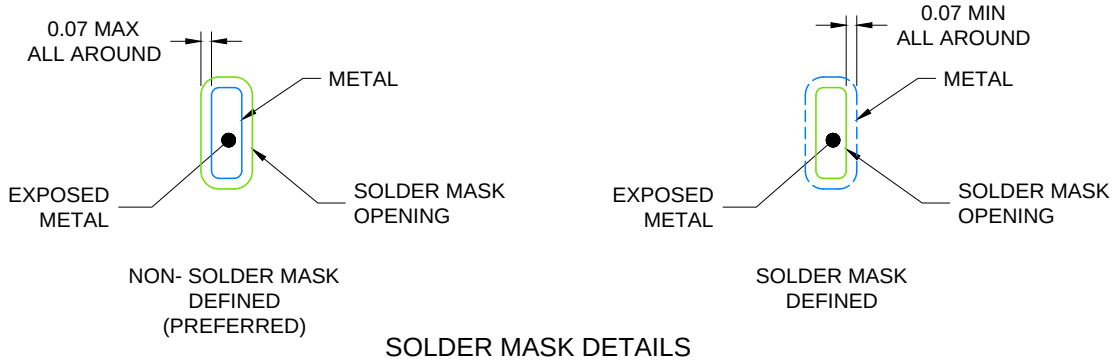


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package incorporates an exposed thermal pad that is designed to be attached directly to an external heat sink. This optimizes the heat transfer from the integrated circuit (IC).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

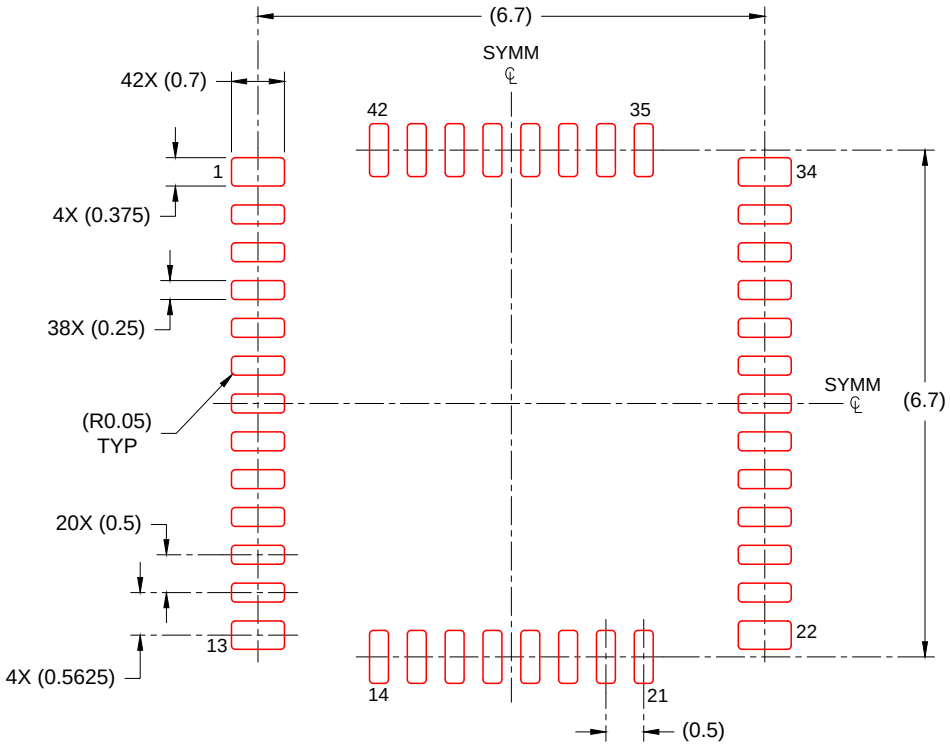


SOLDER MASK DETAILS
NOT TO SCALE

4226563/A 04/2021

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. For best BLR performance please use non solder mask defined pads.



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE: 10X

4226563/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月