

THVD9491-SP 柔軟な I/O 電源に対応した、IEC ESD 対応、放射線強化 $\pm 40V$ 故障保護機能搭載、3V ~ 5.5V RS-485 トランシーバ

1 特長

- TIA/EIA-485A および TIA/EIA-422B 規格の要件に適合またはそれを上回る性能
- 電源電圧: 3V ~ 5.5V
- 5V 電源で 2.1V を超える差動出力により PROFIBUS に準拠
- 吸収線量 (TID) 特性評価済み
 - 吸収線量 (TID) 100krad (Si) までの放射線耐性保証 (RHA)
- シングルイベント効果 (SEE) の特性評価
 - シングル イベント ラッチアップ (SEL) 耐性: 線エネルギー付与 (LET) = 75MeV cm²/mg (125°C)
- SMD# 5962R2522201PXE
- 宇宙グレード プラスチック (SP)
 - 管理されたベースライン
 - 単一のアセンブリ / テスト施設
 - 単一の製造施設
 - 金ボンドワイヤ
 - NiPdAu リード仕上げ
 - ミリタリー温度範囲 (-55°C ~ 125°C)
 - 長期にわたる製品ライフ サイクル
 - 製品のトレーサビリティ
 - NASA ASTM E595 アウトガス仕様に適合
- データおよびイーネブル信号用の 1.65V ~ 5.5V 電源
- SLR ピンで選択可能なデータ レート:
 - 20Mbps および 50Mbps
- バス I/O 保護
 - DC $\pm 40V$ バス フォルト
 - $\pm 16kV$ HBM ESD
 - $\pm 12kV$ IEC 61000-4-2 接触放電
 - $\pm 12kV$ IEC 61000-4-2 気中放電
 - $\pm 4kV$ IEC 61000-4-4 高速過渡バースト
- グリッチのない電源投入 / 切断によるホット プラグイン 機能
- 開放、短絡、アイドル バスのフェイルセーフ
- サーマル シャットダウン
- 1/8 単位負荷 (最大 256 のバス ノード)
- 14 ピン SOIC パッケージによるドロップイン互換

2 アプリケーション

- 衛星 (GEO) 軌道用途
- コマンドおよびデータ処理
- 通信ペイロードシステム
- 光学 / 画像処理レーダーペイロード

3 説明

THVD9491-SP は、データおよびイーネブル ロジック信号用の 1.65V ~ 5.5V のロジック電源と 3V ~ 5.5V のバス側電源を使用する、 $\pm 40V$ 故障保護機能付き半二重および全二重 RS-422/RS-485 トランシーバです。デバイスはスルーレート選択機能を備えています。このスルーレート選択機能を使うと、SLR ピンの設定に基づいて 2 つの最大速度でこれらのデバイスを使うことができます。

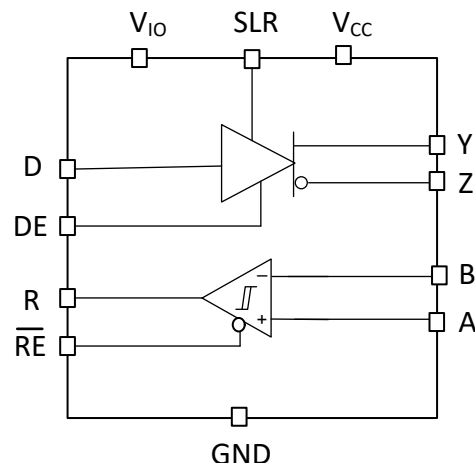
IEC ESD 保護機能を内蔵しているため、システムレベルの外部保護部品は不要です。対称的な $\pm 12V$ 入力同相範囲により、長いケーブルを使用する場合やグラウンド ループ電圧が大きい場合でもデータ通信の信頼性を高めることができます。250mV のレシーバ ヒステリシスを強化することで、高いノイズ除去性能を実現します。また、レシーバのフェイルセーフ機能により、入力が開放または短絡した場合、出力が確実に論理 High に固定されます。

半二重デバイスは、スペースに制約がある用途向けに、小型の VSON パッケージで供給されます。全二重デバイスは、標準の 14-SOIC パッケージで供給されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
THVD9491-SP	SOIC (14)	8.65mm × 6mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



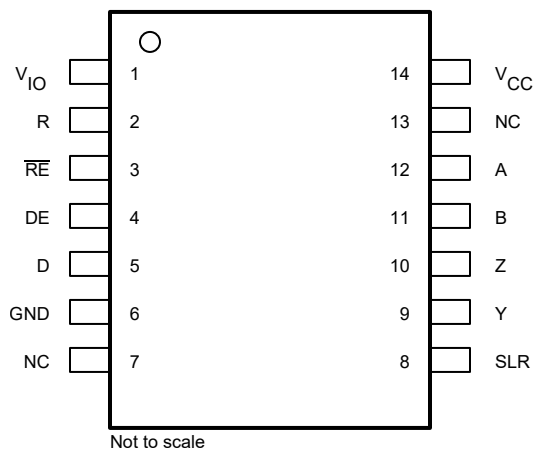
機能ブロック



目次

1 特長.....	1	7.2 機能ブロック図.....	11
2 アプリケーション.....	1	7.3 機能説明.....	11
3 説明.....	1	7.4 デバイスの機能モード.....	12
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	14
5 仕様.....	4	8.1 代表的なアプリケーション.....	14
5.1 絶対最大定格.....	4	8.2 電源に関する推奨事項.....	16
5.2 ESD 定格.....	4	8.3 レイアウト.....	17
5.3 ESD 定格 [IEC].....	4	9 デバイスおよびドキュメントのサポート.....	18
5.4 推奨動作条件.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	18
5.5 熱に関する情報.....	5	9.2 サポート・リソース.....	18
5.6 消費電力.....	5	9.3 商標.....	18
5.7 電気的特性.....	6	9.4 静電気放電に関する注意事項.....	18
5.8 スイッチング特性: 20Mbps.....	7	9.5 用語集.....	18
5.9 スイッチング特性: 50Mbps.....	8	10 改訂履歴.....	18
6 パラメータ測定情報.....	9	11 メカニカル、パッケージ、および注文情報.....	18
7 詳細説明.....	11	11.1 テープおよびリール情報.....	20
7.1 概要.....	11	11.2 メカニカル データ.....	22

4 ピン構成および機能



**図 4-1. THVD9491-SP
14 ピン D パッケージ (SOIC)
上面図**

表 4-1. ピンの機能

名称	番号	タイプ	説明
V _{IO}	1	論理電源	ロジック I/O 信号 (R、 $\overline{RE}$ 、D、DE、および SLR) 用の 1.65V ~ 5.5V 電源
R	2	デジタル出力	受信データ出力
$\overline{RE}$	3	デジタル入力	レシーバ有効入力
DE	4	デジタル入力	ドライバ有効入力
D	5	デジタル入力	伝送データ入力
GND	6	リファレンス電位	ローカル デバイスのグラウンド
NC	7,13	接続なし	内部未接続。
SLR	8	デジタル入力	選択ピンのスルー レート: Low = 50Mbps、High = 20Mbps。フローティングのままにすると、デフォルトは 50Mbps になります。
Y	9	バス出力	RS-485 バス出力、Y
Z	10	バス出力	RS-485 バス出力、Z
B	11	バス入力	RS-485 バス入力、B
A	12	バス入力	RS-485 バス入力、A
V _{CC}	14	バス電源	A および B のバスライン用 3V ~ 5.5V 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ロジック電源電圧	V_{IO}	-0.5	$V_{CC} + 0.2$	V
バス電源電圧	V_{CC}	-0.5	6.5	V
バス電圧	GND に対する差動モードまたは同相モードにおける任意のバスピン (A または B) の範囲	-40	40	V
入力電圧	任意のロジックピンの範囲 (D、DE、SLR または RE)	-0.3	$V_{IO} + 0.2$	V
レシーバ出力電流	I_O	-24	24	mA
保存温度	T_{stg}	-65	170	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、推奨動作条件に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の範囲内であっても、推奨動作条件の範囲外で使用了場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	バス端子および GND	±16,000	V
			バス端子と GND を除くすべてのピン	±4,000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾		±1,500	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 ESD 定格 [IEC]

				値	単位
V _(ESD)	静電放電	接触放電、IEC 61000-4-2 に準拠 ⁽¹⁾	バス端子および GND	±8,000	V
		エアギャップ放電、IEC 61000-4-2 に準拠 ⁽¹⁾	バス端子および GND	±8,000	
V _(EFT)	電気的高速過渡現象	IEC 61000-4-4 に準拠	バス端子	±4,000	V

- (1) IEC ESD の性能を最適化するには、ロジックピンに出入りする過渡電流を最小限に抑えるために、電源またはグラウンドに直接接続されたすべてのロジック入力に直列抵抗 ($\geq 50\Omega$) を配置することを推奨します。

5.4 推奨動作条件

動作自由気体温度範囲を超える場合 (特に記載がない限り)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		3		5.5	V
V_{IO}	I/O 電源電圧		1.65		V_{CC}	V
V_I	任意のバス端子での入力電圧 (個別または同相モード) ⁽¹⁾		-12		12	V
V_{IH}	高レベル入力電圧 (ドライバ、ドライバ有効、レシーバ有効、スルーレート選択入力)		$0.7 \cdot V_{IO}$		V_{IO}	V
V_{IL}	低レベル入力電圧 (ドライバ、ドライバ有効、レシーバ有効、スルーレート選択入力)		0		$0.3 \cdot V_{IO}$	V
V_{ID}	差動入力電圧		-12		12	V
I_O	出力電流、ドライバ		-60		60	mA
I_{OR}	出力電流、レシーバ	$V_{IO} = 1.8V \sim 2.5V$	-4		4	mA
I_{OR}	出力電流、レシーバ	$V_{IO} = 3.3V \sim 5V$	-8		8	mA
R_L	差動負荷抵抗		54	60		Ω
$1/t_{UI}$	信号速度	$SLR = V_{IO}$			20	Mbps
		$SLR = 0$ またはフローティング			50	Mbps
T_A	動作時周囲温度		-55		125	$^{\circ}C$
T_J	接合部温度		-55		150	$^{\circ}C$

(1) このデータシートでは、最も小さい正 (最も大きな負) の制限を最小として指定する代数的規約を使用します。

5.5 熱に関する情報

熱評価基準 ⁽¹⁾		THVD9491-SP	単位
		D (SOIC)	
		14-PINS	
$R_{\theta JA}$	接合部から周囲への熱抵抗	87.5	$^{\circ}C/W$
$R_{\theta JB}$	接合部から基板への熱抵抗	43.7	$^{\circ}C/W$
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41.8	$^{\circ}C/W$
Ψ_{JT}	接合部から上面への特性パラメータ	8.1	$^{\circ}C/W$
Ψ_{JB}	接合部から基板への特性パラメータ	43.3	$^{\circ}C/W$
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	$^{\circ}C/W$

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

5.6 消費電力

パラメータ		テスト条件		値	単位
P_D	ドライバとレシーバが有効、全二重デバイスのループバック (A は Y に接続、B は Z に接続) $V_{CC} = 5.5V$ 、 $T_A = 125^{\circ}C$ 、 50% デューティ サイクルの方形波	未終端 の $R_L = 300\Omega$ 、 $C_L = 50pF$ (ドライバ)	20Mbps	335	mW
			50Mbps	571	
		RS-422 負荷 $R_L = 100\Omega$ 、 $C_L = 50pF$ (ドライバ)	20Mbps	325	mW
			50Mbps	522	
		RS-485 負荷 $R_L = 54\Omega$ 、 $C_L = 50pF$ (ドライバ)	20Mbps	355	mW
			50Mbps	526	

5.7 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)。特に記述のない限り、すべての標準値は 25°C、電源電圧 $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$ における値です。(2)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ドライバ						
$ V_{OD} $	ドライバの差動出力電圧の大きさ	$R_L = 60\Omega$ 、 $-12V \leq V_{test} \leq 12V$ 。図 6-1 を参照	1.5	2.8		V
		$R_L = 60\Omega$ 、 $-12V \leq V_{test} \leq 12V$ 、 $4.5V \leq V_{CC} \leq 5.5V$ 。図 6-1 を参照	2.1	3.3		V
		$R_L = 100\Omega$ 図 6-2 を参照	2	4		V
		$R_L = 54\Omega$ 。図 6-2 を参照	1.5	3.3		V
$\Delta V_{OD} $	差動出力電圧の変化	$R_L = 54\Omega$ または $R_L = 100\Omega$ 。図 6-2 を参照	-200		200	mV
V_{OC}	同相出力電圧	$R_L = 54\Omega$ または 100Ω (図 6-2 を参照)	1	$V_{CC}/2$	3	V
$\Delta V_{OC(SS)}$	定常同相出力電圧の変化	$R_L = 54\Omega$ または $R_L = 100\Omega$ 。図 6-2 を参照	-50		50	mV
I_{OS}	短絡出力電流	$DE = V_{IO}$ 、 $-40V \leq (V_Y \text{ または } V_Z) \leq 40V$ 、または Y が Z に短絡	-250		250	mA
レシーバ						
I_I	バス入力電流	$DE = 0V$ 、 V_{CC} 、 $V_{IO} = 0V$ または $5.5V$	$V_I = 12V$	75	125	μA
			$V_I = -7V$	-100	-60	μA
V_{TH+}	正方向の入力スレッショルド電圧(1)	$\pm 12V$ の同相モード範囲内		40	125	200 mV
V_{TH-}	負方向の入力スレッショルド電圧(1)			-200	-125	-40 mV
V_{HYS}	入力ヒステリシス			250		mV
V_{TH_FSH}	入力フェイルセーフ スレッショルド			-40	40	mV
$C_{A,B}$	入力差動容量	A と B の間で測定、 $f = 1MHz$		50		pF
V_{OH}	出力 HIGH 電圧	$I_{OH} = -8mA$ 、 $V_{IO} = 3V \sim 3.6V$ または $4.5V \sim 5.5V$	$V_{IO} - 0.4$	$V_{IO} - 0.2$		V
V_{OL}	出力 LOW 電圧	$I_{OL} = 8mA$ 、 $V_{IO} = 3V \sim 3.6V$ または $4.5V \sim 5.5V$		0.2	0.4	V
V_{OH}	出力 HIGH 電圧	$I_{OH} = -4mA$ 、 $V_{IO} = 1.65V \sim 1.95V$ または $2.25V \sim 2.75V$	$V_{IO} - 0.4$	$V_{IO} - 0.2$		V
V_{OL}	出力 LOW 電圧	$I_{OL} = 4mA$ 、 $V_{IO} = 1.65V \sim 1.95V$ または $2.25V \sim 2.75V$		0.2	0.4	V
I_{OZ}	出力高インピーダンス電流、R ビン	$V_O = 0V$ または V_{IO} 、 $\overline{RE} = V_{IO}$	-1		1	μA
ロジック						
I_{IN}	入力電流 (DE、SLR)	$1.65V \leq V_{IO} \leq 5.5V$ 、 $0V \leq V_{IN} \leq V_{IO}$			5	μA
I_{IN}	入力電流 (D、 $\overline{RE}$)	$1.65V \leq V_{IO} \leq 5.5V$ 、 $0V \leq V_{IN} \leq V_{IO}$	-5			μA
過熱保護						
T_{SHDN}	サーマル シャットダウンのスレッショルド	温度上昇	150	180		°C
T_{HYS}	サーマル シャットダウン ヒステリシス			10		°C
電源						
I_{CC}	消費電流 (無信号)、 $V_{CC} = 4.5V \sim 5.5V$	ドライバとレシーバはイネーブル	$\overline{RE} = 0V$ 、 $DE = V_{IO}$ 、 無負荷	4	7.2	mA
		ドライバはイネーブル、レシーバはディセーブル	$\overline{RE} = V_{IO}$ 、 $DE = V_{IO}$ 、 無負荷	4	6	mA
		ドライバはディセーブル、レシーバはイネーブル	$\overline{RE} = 0V$ 、 $DE = 0V$ 、 無負荷	4	6	mA
		ドライバとレシーバはディセーブル	$\overline{RE} = V_{IO}$ 、 $DE = 0V$ 、 D = オープン、無負荷	2	4	mA

5.7 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。特に記述のない限り、すべての標準値は 25°C、電源電圧 $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$ における値です。(2)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{CC}	消費電流 (無信号)、 $V_{CC} = 3V \sim 3.6V$	ドライバとレシーバはイネーブル	$\overline{RE} = 0V$ 、 $DE = V_{IO}$ 、 無負荷		3.5	6	mA
		ドライバはイネーブル、レシーバはディセーブル	$\overline{RE} = V_{IO}$ 、 $DE = V_{IO}$ 、 無負荷		3	5	mA
		ドライバはディセーブル、レシーバはイネーブル	$\overline{RE} = 0V$ 、 $DE = 0V$ 、 無負荷		3	5	mA
		ドライバとレシーバはディセーブル	$\overline{RE} = V_{IO}$ 、 $DE = 0V$ 、 $D = \text{オープン}$ 、無負荷		2	4	mA
I_{IO}	ロジック電源電流 (無信号)、 $V_{IO} = 3V \sim 3.6V$	ドライバがディセーブル、レシーバがイネーブル、 $SLR = GND$	$DE = 0V$ 、 $\overline{RE} = 0V$ 、 無負荷		45	100	μA
		ドライバがディセーブル、レシーバがイネーブル、 $SLR = V_{IO}$			33	100	μA
		ドライバがディセーブル、レシーバがディセーブル、 $SLR = GND$	$DE = 0V$ 、 $\overline{RE} = V_{IO}$ 、 無負荷		45	100	μA
		ドライバがディセーブル、レシーバがディセーブル、 $SLR = V_{IO}$			33	100	μA

(1) 特定の条件では、 V_{TH+} は V_{TH-} よりも V_{HYS} 以上高いことが保証されます。

(2) A と B はレシーバ入力、Y と Z はデバイスのドライバ出力端子です

5.8 スイッチング特性 : 20Mbps

推奨動作条件下では 20Mbps ($SLR = V_{IO}$)。特に記述のない限り、すべての標準値は 25°C、電源電圧 $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$ における値です。(2)

パラメータ		テスト条件		最小値	標準値	最大値	単位
ドライバ							
t _r , t _f	差動出力立ち上がり / 立ち下がり時間 ⁽¹⁾	R _L = 54Ω, C _L = 50pF	図 6-3 を参照	4	8	15	ns
t _{PHL} , t _{PLH}	伝搬遅延 ⁽¹⁾			6	15	30	ns
t _{SK (P)}	パルス スキュー、 t _{PHL} - t _{PLH} ⁽¹⁾				1	3	ns
t _{PHZ} , t _{PLZ}	ディセーブル時間 ⁽¹⁾	RE = X	図 6-4 および 図 6-3 を参照		17	35	ns
t _{PZH} , t _{PZL}	イネーブル時間 ⁽¹⁾	RE = 0V			14	39	ns
		RE = V _{IO}			3	4.5	μs
t _{SHDN}	シャットダウンするまでの時間 ⁽¹⁾	RE = V _{IO}			50	300	500
レシーバ							
t _r , t _f	出力立ち上がり / 立ち下がり時間 ⁽¹⁾	C _L = 15pF	図 6-6 を参照		1.5	6	ns
t _{PHL} , t _{PLH}	伝搬遅延 ⁽¹⁾			25	35	60	ns
t _{SK (P)}	パルス スキュー、 t _{PHL} - t _{PLH} ⁽¹⁾				1	5	ns
t _{PHZ} , t _{PLZ}	ディセーブル時間 ⁽¹⁾	DE = X			12	25	ns
t _{PZH (1)} , t _{PZL (1)}	イネーブル時間 ⁽¹⁾	DE = V _{IO}	図 6-7 を参照		50	82	ns
t _{PZH (2)} , t _{PZL (2)}	イネーブル時間 ⁽¹⁾	DE = 0V	図 6-8 を参照		2.8	5	μs
t _{D(OFS)}	フェイルセーフ動作に移行するための遅延 ⁽¹⁾	C _L = 15pF	図 6-9 を参照	7	11	18	μs
t _{D(FSO)}	フェイルセーフ動作を終了するための遅延 ⁽¹⁾			19	32	50	ns
t _{SHDN}	シャットダウンするまでの時間 ⁽¹⁾	DE = 0V	図 6-8 を参照	50	300	500	ns

(1) 設計と特性評価により規定されています。

(2) A と B はレシーバ入力、Y と Z はデバイスのドライバ出力端子です

5.9 スイッチング特性 : 50Mbps

推奨動作条件全体で 50Mbps (SLR = 0)。特に記述のない限り、すべての標準値は 25°C、電源電圧 $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$ における値です。(2)

パラメータ		テスト条件		最小値	標準値	最大値	単位
ドライバ							
t _r 、t _f	差動出力立ち上がり / 立ち下がり時間 ⁽¹⁾	R _L = 54Ω、C _L = 50pF	図 6-3 を参照	1	5	7	ns
t _{PHL} 、t _{PLH}	伝搬遅延 ⁽¹⁾			7	12	22	ns
t _{SK (P)}	パルス スキュー、 t _{PHL} - t _{PLH} ⁽¹⁾				1	3	ns
t _{PHZ} 、t _{PLZ}	ディセーブル時間 ⁽¹⁾	RE = X	図 6-4 および 図 6-3 を参照		14	30	ns
t _{PZH} 、t _{PZL}	イネーブル時間 ⁽¹⁾	RE = 0V			20	35	ns
		RE = V _{IO}			2.5	4.5	μs
t _{SHDN}	シャットダウンするまでの時間 ⁽¹⁾	RE = V _{IO}		50	300	500	ns
レシーバ							
t _r 、t _f	出力立ち上がり / 立ち下がり時間 ⁽¹⁾	C _L = 15pF	図 6-6 を参照		1.5	6	ns
t _{PHL} 、t _{PLH}	伝搬遅延 ⁽¹⁾			25	35	60	ns
t _{SK (P)}	パルス スキュー、 t _{PHL} - t _{PLH} ⁽¹⁾				1	5	ns
t _{PHZ} 、t _{PLZ}	ディセーブル時間 ⁽¹⁾	DE = X			12	25	ns
t _{PZH (1)} 、 t _{PZL (1)}	イネーブル時間 ⁽¹⁾	DE = V _{IO}	図 6-7 を参照		50	82	ns
		DE = 0V	図 6-8 を参照		3	5	μs
t _{D(OFS)}	フェイルセーフ動作に移行するための遅延 ⁽¹⁾	C _L = 15pF	図 6-9 を参照	7	10	18	μs
t _{D(FSO)}	フェイルセーフ動作を終了するための遅延 ⁽¹⁾			19	35	50	ns
t _{SHDN}	シャットダウンするまでの時間 ⁽¹⁾	DE = 0V	図 6-8 を参照	50	300	500	ns

(1) 設計と特性評価により規定されています。

(2) A と B はレシーバ入力、Y と Z はデバイスのドライバ出力端子です

6 パラメータ測定情報

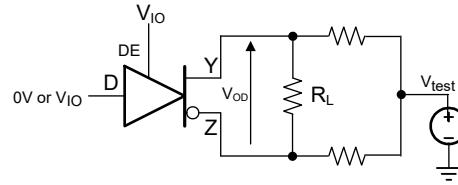


図 6-1. 同相モード負荷でのドライバ差動出力電圧の測定

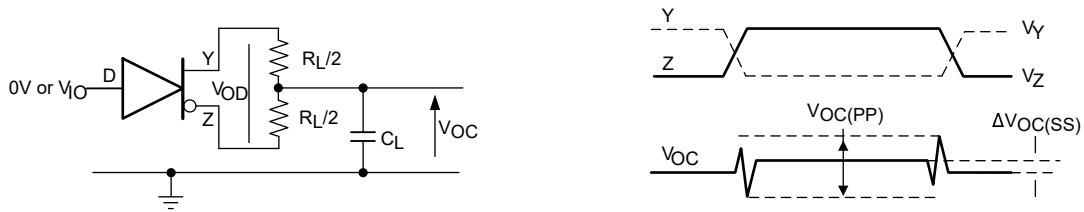


図 6-2. RS-485 負荷を使用したドライバ差動および同相モード出力の測定

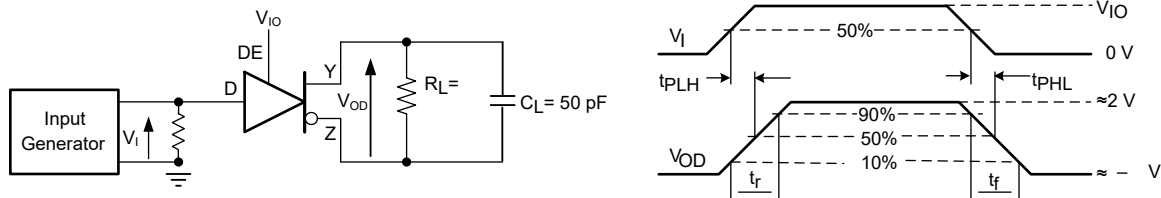
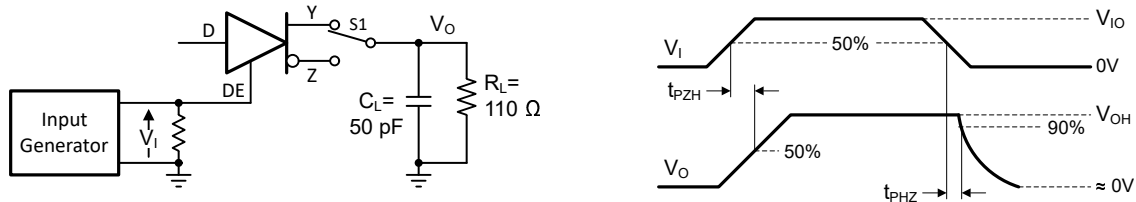
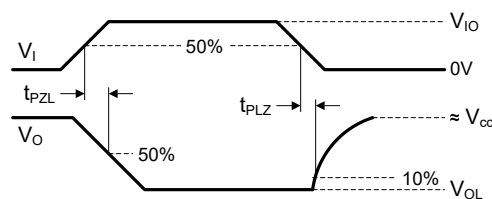
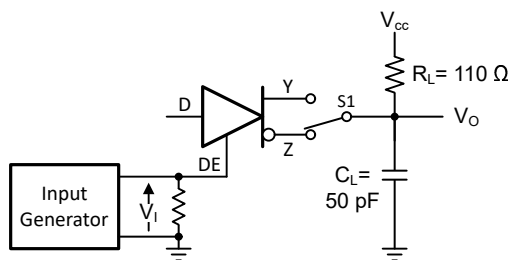


図 6-3. ドライバの差動出力の立ち上がり / 立ち下がり時間と伝搬遅延の測定



Copyright © 2017, Texas Instruments Incorporated

図 6-4. アクティブ ハイ出力およびプルダウン負荷でのドライバのイネーブルおよびディセーブル時間の測定



Copyright © 2017, Texas Instruments Incorporated

図 6-5. アクティブ LOW 出力およびプルアップ負荷でのドライバのイネーブルおよびディセーブル時間の測定

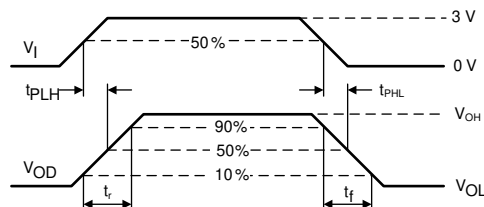
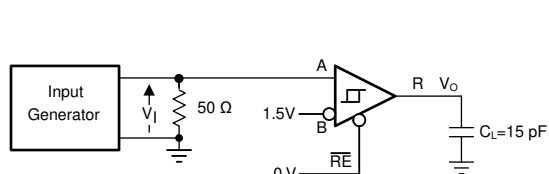


図 6-6. レシーバ出力の立ち上がり / 立ち下がり時間と伝搬遅延の測定

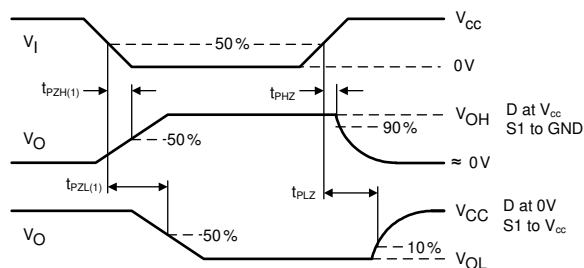
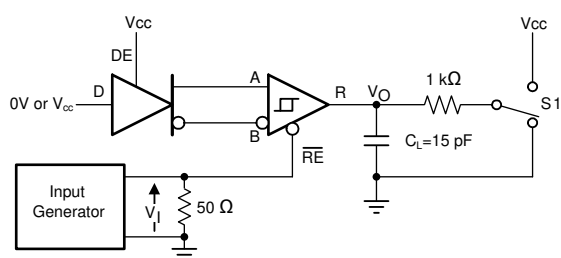
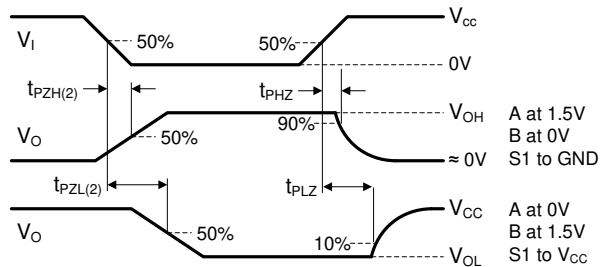
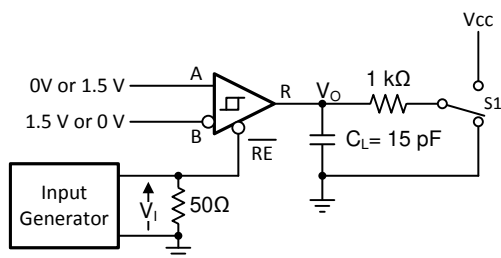
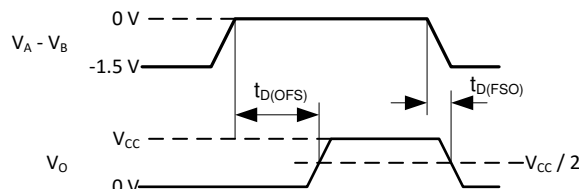
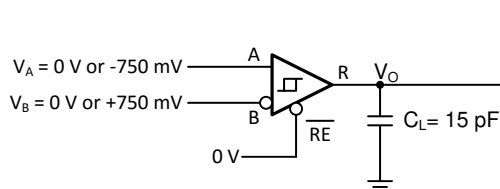


図 6-7. ドライバを有効にした状態でのレシーバのイネーブル / ディセーブル時間の測定



Copyright © 2017, Texas Instruments Incorporated

図 6-8. ドライバを無効にした状態でのレシーバのイネーブル時間の測定



Copyright © 2017, Texas Instruments Incorporated

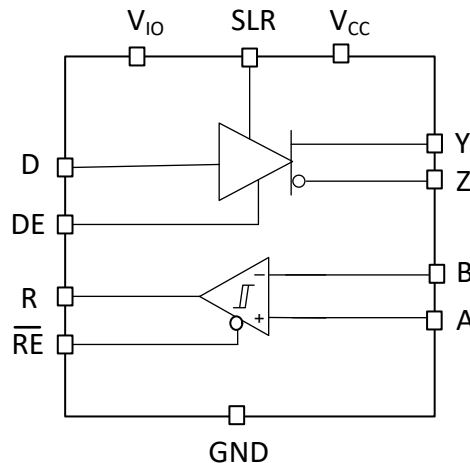
図 6-9. フェイルセーフ遅延の測定

7 詳細説明

7.1 概要

THVD9491-SP は、故障保護機能を搭載した半二重 RS-485 トランシーバであり、それぞれ最大 500kbps と 50Mbps のデータ転送用に設計された 2 つの速度グレードが利用可能です。このデバイスは、アクティブ high のドライバ イネーブルと、アクティブ low のレシーバ イネーブルを備えています。ドライバとレシーバの両方をディセーブルにすると、1 μ A よりも低いシャットダウン電流が得られます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 バス故障保護

THVD9491-SP トランシーバは、標準的な RS-485 デバイスよりも拡張されたバス故障保護機能を備えています。過酷な産業用環境で動作するトランシーバは、多くの場合、TIA/EIA-485A 規格で定義されている -7V ~ +12V を超える電圧過渡にさらされます。このような条件に対する保護のために、絶対最大定格が低い汎用 RS-485 デバイスを使用するには、高価な外付け保護部品が必要です。システム設計を簡素化し、全体のシステムコストを削減するため、外部部品なしで、このデバイスは最大 $\pm 40V$ まで保護されます。

7.3.2 IEC ESD および EFT 保護機能を内蔵

内部 ESD 保護回路は、IEC 61000-4-2 に準拠した最大 $\pm 12kV$ の静電放電 (ESD)、および IEC 61000-4-4 に準拠した最大 $\pm 4kV$ の電気的高速過渡 (EFT) からトランシーバを保護します。ESD 保護回路は、電圧変位を制限し、それらから迅速に回復するのに役立ちます。その結果、EFT 基準 A をシステム レベルで許可できます (過渡ノイズが存在するときにデータ損失が発生しない)。

7.3.3 ドライバの過電圧および過電流保護

THVD9491-SP のドライバは、-40V ~ +40V の範囲でのあらゆる DC 電源短絡から保護されています。デバイスは、TIA/EIA-485A 規格に準拠するために、内部で短絡電流を $\pm 250mA$ に制限します。加えて、フォールドバック電流制限回路により、出力フォルト電圧が $|\pm 25V|$ を上回ると、ドライバの短絡電流はさらに $\pm 5mA$ 未満に低減します。

すべてのデバイスにはサーマル シャットダウン保護機能も搭載されており、過剰な消費電力が原因で接合部温度が T_{SHDN} スレッショルドを超えると、ドライバとレシーバがディセーブルされます。

7.3.4 レシーバ ノイズ耐性を強化

THVD9491-SP の差動レシーバは、完全に対称的なスレッショルドを備えており、入力振幅が小さい場合でも信号のデューティ サイクルを維持できます。加えて、250mV (標準値) のヒステリシスにより、優れたノイズ耐性を実現します。

7.3.5 レシーバのフェイルセーフ動作

レシーバは、以下の原因で発生する無効なバス状態に対してフェイルセーフです。

- コネクタの接続解除などの、オープン バス状態
- ケーブルが損傷し、ツイストペアが互いに短絡した場合などの、短絡したバス状態
- バス上のドライバがアクティブに駆動していないときに発生するアイドル バス状態

いずれの場合も、入力振幅が $t_{D(OFs)}$ よりも長く $|V_{TH_FSH}|$ 未満にとどまる場合、レシーバはフェイルセーフ ロジック High 状態を出力します。

7.3.6 低電力シャットダウン モード

DE を 500ns 以上にわたって low および $\overline{RE}$ を high に駆動すると、デバイスはシャットダウン モードに移行します。DE が high になるか $\overline{RE}$ が low になると、カウンタはリセットされます。イネーブル ピンが 50ns 未満の間ディセーブル状態にある場合、デバイスはシャットダウン モードになりません。この機能により、DE と $\overline{RE}$ 間のスキューによりデバイスが誤ってシャットダウン モードになるのを防ぎます。

7.4 デバイスの機能モード

ドライバ イネーブル ピン DE がロジック high のとき、差動出力 A および B はデータ入力 D のロジック状態に従います。D のロジック high により、Y は high になり、Z は low になります。この場合、 $V_{OD} = V_Y - V_Z$ として定義される差動出力電圧は正です。D が low のとき、出力状態は逆になります。Z が high、Y は low、 V_{OD} は負になります。

DE が LOW のとき、両方の出力は高インピーダンスになります。この条件では、D のロジック状態は無関係です。DE ピンにはグラウンドへの内部プルダウン抵抗があるため、オープンのままにすると、ドライバはデフォルトでディセーブル (高インピーダンス) になります。D ピンには V_{IO} への内部プルアップ抵抗があるため、ドライバがイネーブルのときにオープンのままにすると、出力 Y は HIGH になり、Z は LOW になります。

表 7-1. ドライバ機能表

入力	イネーブル	出力		機能
D	DE	Y	Z	
H	H	H	L	バスをアクティブに HIGH に駆動します
L	H	L	H	バスをアクティブに LOW に駆動します
X	L	Z	Z	ドライバが無効
X	オープン	Z	Z	ドライバはデフォルトで無効になっています
オープン	H	H	L	デフォルトではバスをアクティブに HIGH に駆動します

レシーバ イネーブル ピン $\overline{RE}$ がロジック LOW の場合、レシーバはイネーブルになります。 $V_{ID} = V_A - V_B$ として定義される差動入力電圧が正の入力スレッショルド V_{TH+} を上回ると、レシーバの出力 R は HIGH になります。 V_{ID} が負の入力スレッショルド V_{TH-} を下回ると、レシーバの出力 R は Low になります。 V_{ID} が V_{TH+} と V_{TH-} の間にある場合、出力は不定です。

$\overline{RE}$ がロジック HIGH またはオープンのままの場合、レシーバ出力は高インピーダンスで、 V_{ID} の大きさと極性は無関係です。レシーバ入力の内部バイアスにより、トランシーバがバスから切断されたとき (開路)、バス ラインが相互に短絡したとき (短絡)、またはバスがアクティブに駆動されていないとき (アイドル バス)、出力はフェイルセーフ High になります。

表 7-2. レシーバ機能表

差動入力	イネーブル	出力	機能
$V_{ID} = V_A - V_B$	$\overline{RE}$	R	
$V_{TH+} < V_{ID}$	L	H	有効なバスを HIGH で受信します
$V_{TH-} < V_{ID} < V_{TH+}$	L	?	不定のバス状態
$V_{ID} < V_{TH-}$	L	L	有効なバスを LOW で受信します
X	H	Z	レシーバが無効
X	オープン	Z	レシーバはデフォルトで無効になっています
オープン回路バス	L	H	フェイルセーフ ハイ出力
短絡バス	L	H	フェイルセーフ ハイ出力
アイドル (終端) バス	L	H	フェイルセーフ ハイ出力

表 7-3 に、SLR (スルーレート選択) ピンの機能を示します。SLR にはプルダウンが内蔵されているため、SLR が High にプルされるまで本デバイスは高速モードに維持され、これによりスルーレートが制限され、デバイスは低速モードに移行します。

表 7-3. SLR ピン制御

デバイス	SLR ピンに関する機能
THVD9491-SP	SLR = Low またはフローティング:トランスミッタ (TX) とレシーバ (RX) の最大速度は 50Mbps です SLR = High: TX と RX の両方の最大速度は 20Mbps に制限されています

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 代表的なアプリケーション

RS-485 バスは、バス ケーブルと並列に接続する複数のトランシーバで構成されています。ラインの反射を除去するために、各ケーブルの端は終端抵抗 R_T で終端します。この抵抗の値は、ケーブルの特性インピーダンス Z_0 と一致します。この方式は並列終端と呼ばれ、一般に長いケーブル長にわたって高いデータレートを実現できます。

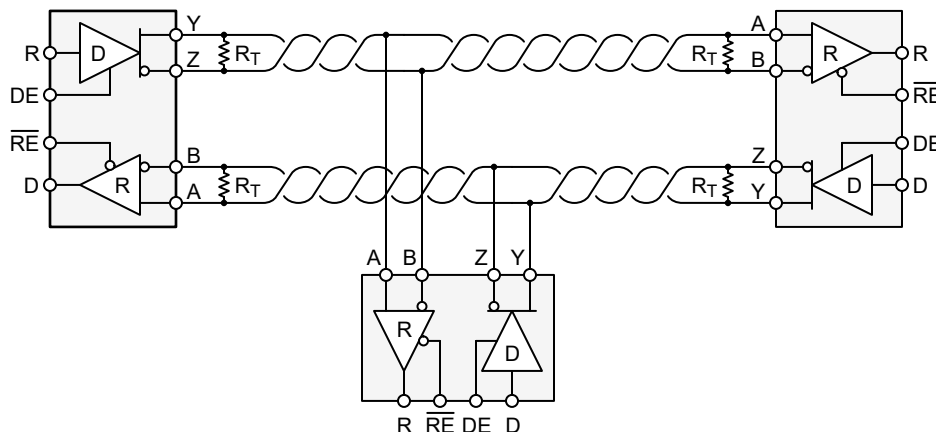


図 8-1. 全二重トランシーバを使用した標準的な RS-485 ネットワーク

8.1.1 設計要件

RS-485 は、長距離ネットワークに適した堅牢な電気規格であり、距離、データレート、ノード数などさまざまな要件を持つ幅広いアプリケーションで使用できます。

8.1.2 詳細な設計手順

図 8-2 は、1kV のサージ (IEC 61000-4-5) 過渡に対する保護回路を推奨します。表 8-1 に、関連する部品表を示します。SMAJ30CA TVS ダイオードは、最大 30V で動作する定格を備えています。このため、RS-485 バスが 24V DC 産業用電源レールに直接短絡した場合に、保護ダイオードが導通しません。

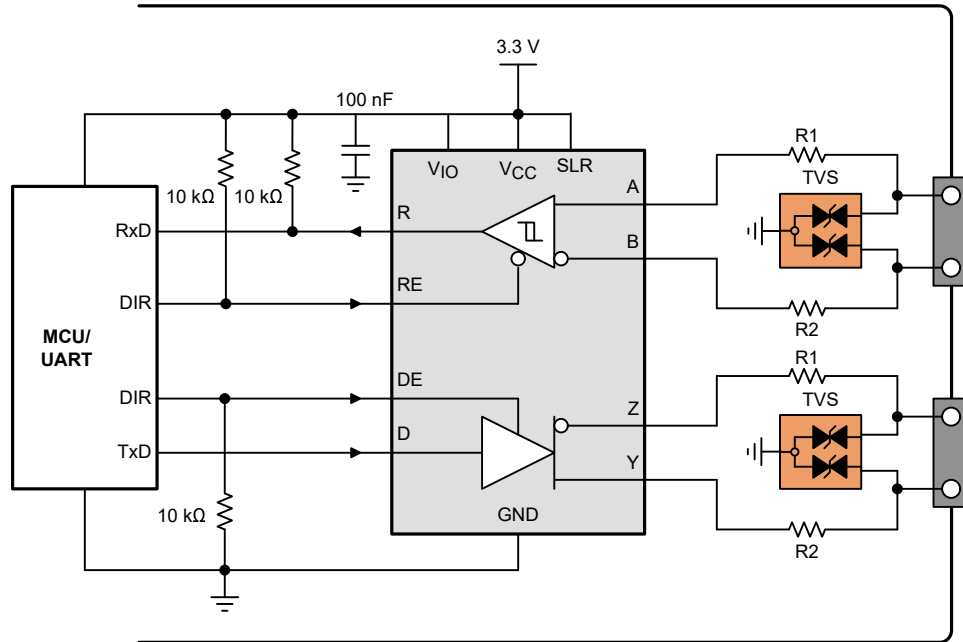


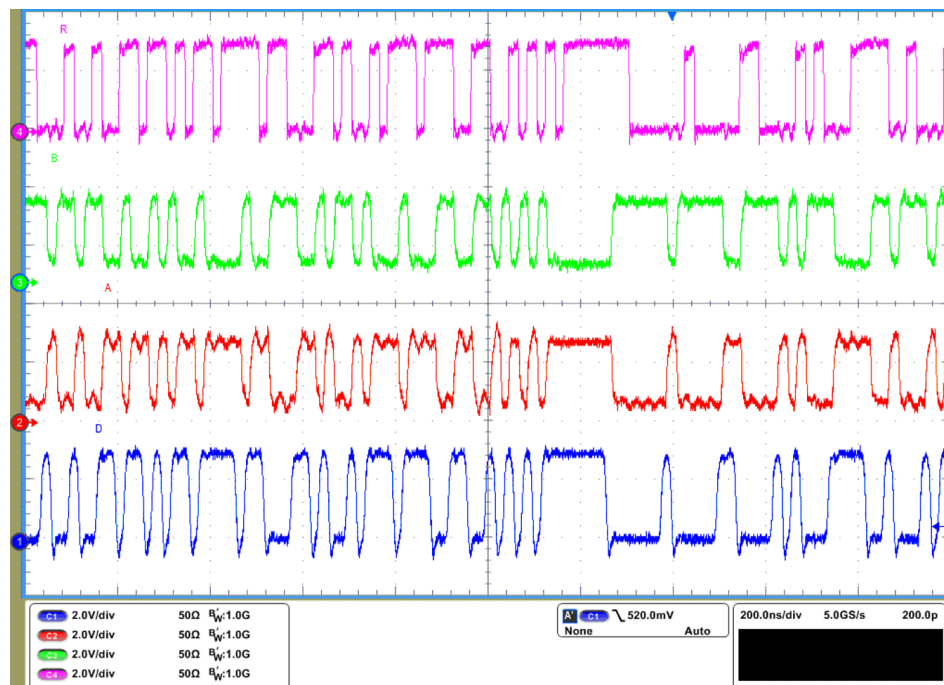
図 8-2. 全二重デバイスのサージ過渡に対する過渡保護

表 8-1. 部品リスト

デバイス	機能	発注型番	メーカー ⁽¹⁾
XCVR	RS-485 トランシーバ	THVD9491-SP	TI
TVS	双方向 400W 過渡サプレッサ	SMAJ30CA	Littelfuse

(1) 『サードパーティー製品の免責事項』を参照してください。

8.1.3 アプリケーション曲線



50Mbps での PRBS データ

$V_{CC} = V_{IO} = 3.3V$

SLR = GND

$R_L = 50\Omega$

図 8-3. ドライバ入力 (D)、バス (A/Y、B/Z)、レシーバ出力 (R) の波形

8.2 電源に関する推奨事項

すべてのデータレートと電源電圧で信頼性の高い動作を確保するため、電源ピンのできるだけ近くに 100nF セラミックコンデンサを配置して、各電源をデカップリングしなければなりません。これにより、スイッチモード電源の出力に存在する電源電圧リップルを低減し、PCB 電源プレーンの抵抗とインダクタンスを補償するのに役立ちます。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

堅牢で信頼性の高いバスノード設計では、産業用環境で発生する可能性のあるサージ過渡から保護するために、多くの場合、外部の過渡保護デバイスを使用する必要があります。これらの過渡は広い周波数帯域幅 (約 3MHz ~ 300MHz) を持つため、PCB 設計時に高周波レイアウト手法を適します。

1. 保護回路をバスコネクタの近くに配置し、ノイズ過渡が基板全体に伝播するのを防止します。
2. V_{CC} およびグランドプレーンを使用して、低インダクタンスを実現します。高周波電流は、抵抗が最小ではなく、インピーダンスが最小であるパスに追従する傾向があることに注意してください。
3. 信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。
4. 基板上的のトランシーバ、UART、コントローラ IC の V_{CC} ピンにできるだけ近い位置に、100nF ~ 220nF のデカップリングコンデンサを配置します。
5. 実効ビアインダクタンスを最小化するため、デカップリングコンデンサと保護デバイスの V_{CC} およびグランド接続には少なくとも 2 つのビアを使用します。
6. 過渡イベント時にこれらのラインのノイズ電流を制限するには、イネーブルラインに 1k Ω ~ 10k Ω のプルアップおよびプルダウン抵抗を使用します。
7. TVS クランプ電圧がトランシーババスピンの規定最大電圧よりも高い場合は、A、B、Y、および Z の各バスラインにパルス耐性抵抗を挿入します。これらの抵抗は、トランシーバへの残留クランプ電流を制限し、ラッチアップを防止します。

8.3.2 レイアウト例

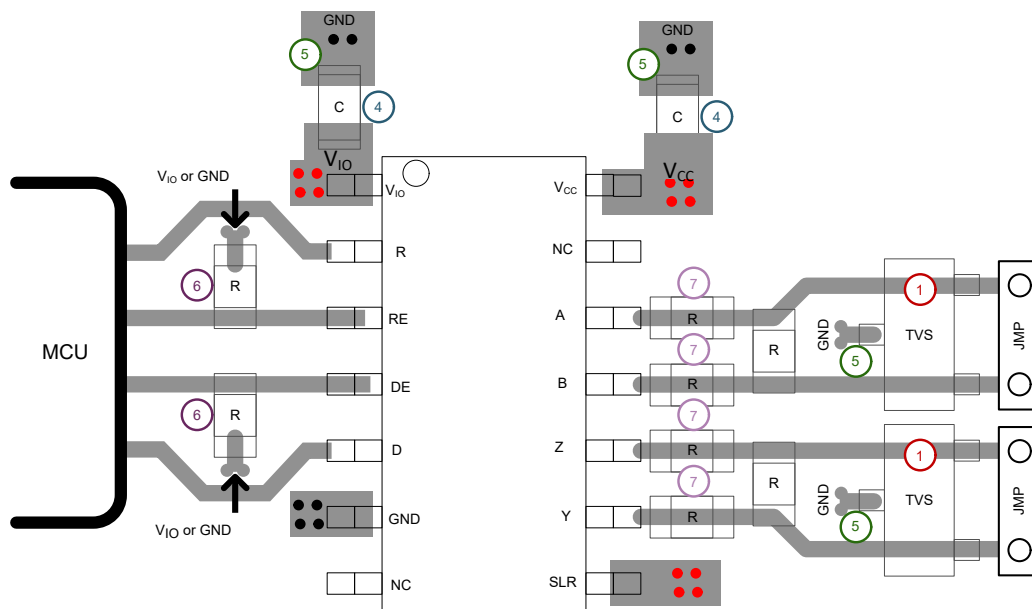


図 8-4. 全二重レイアウトの例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

付録：パッケージ・オプション

パッケージ情報

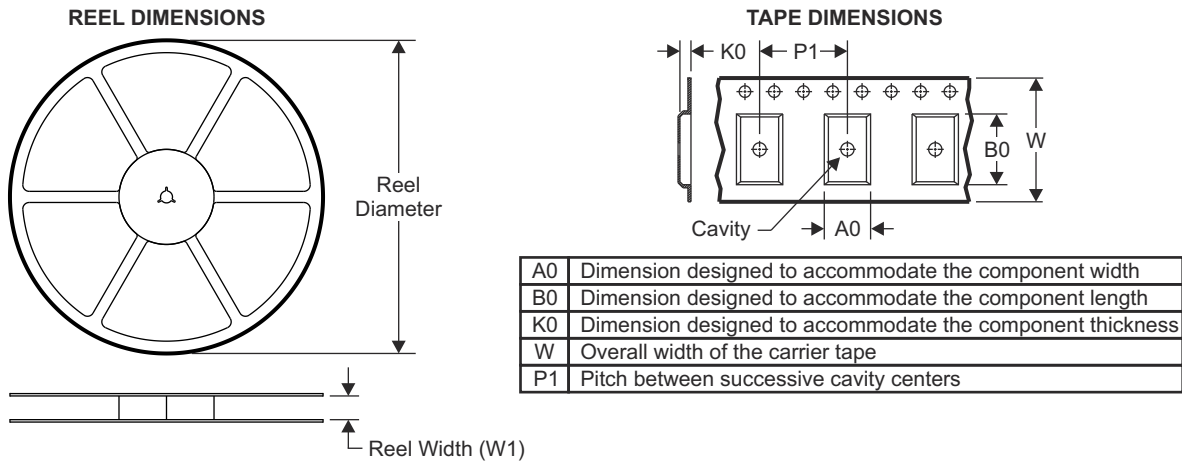
注文可能な型番	供給状況 ⁽¹⁾	資料の タイプ ⁽²⁾	パッケージ ピン数	パッケージ数量 キ ャリア	RoHS ⁽³⁾	リード端子の仕上げ / ボールの原材料 ⁽⁴⁾	MSL 定格/ピークリフロ ー ⁽⁵⁾	動作温度 (°C)	部品マーキング ⁽⁶⁾
PTHVD9491DTSP	アクティブ	量産開始前	SOIC (D) 14	250 小口径の T&R	あり	NiPdAu	レベル 3-260C-168 HR	-55~125	PT9491SP

- (1) **ステータス:**ステータスの詳細については、TI の [製品ライフ サイクル](#) をご覧ください。
- (2) **資料のタイプ:**指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
- (3) **RoHS 値:**はい、いいえ、RoHS 免除。詳細情報および値の定義については、[TI RoHS に関する声明](#) を参照してください。
- (4) **リード端子の仕上げ/ボールの原材料:**部品には複数の材料仕上げオプションがある場合があります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) **MSL 定格/ピークリフロー:**湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
- (6) **部品マーキング:**ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。複数の部品マーキングが括弧の中に記載されています。括弧内で「~」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

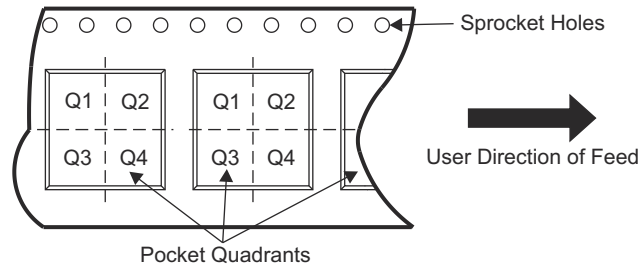
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.1 テープおよびリール情報

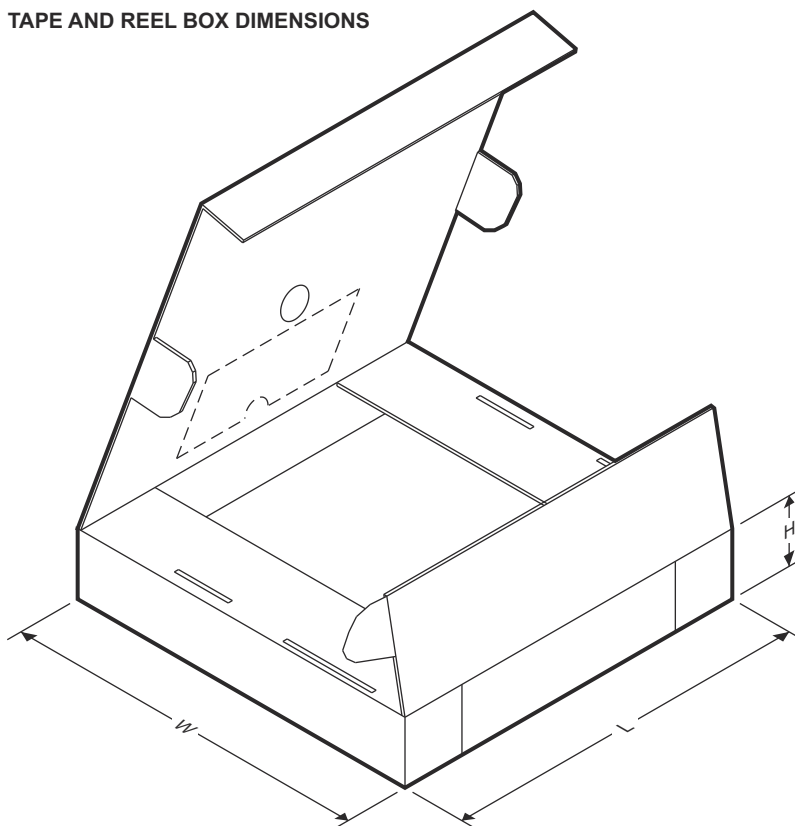


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PTHVD9491DTSP	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTHVD9491DTSP	SOIC	D	14	250	353.0	353.0	32.0

ADVANCE INFORMATION

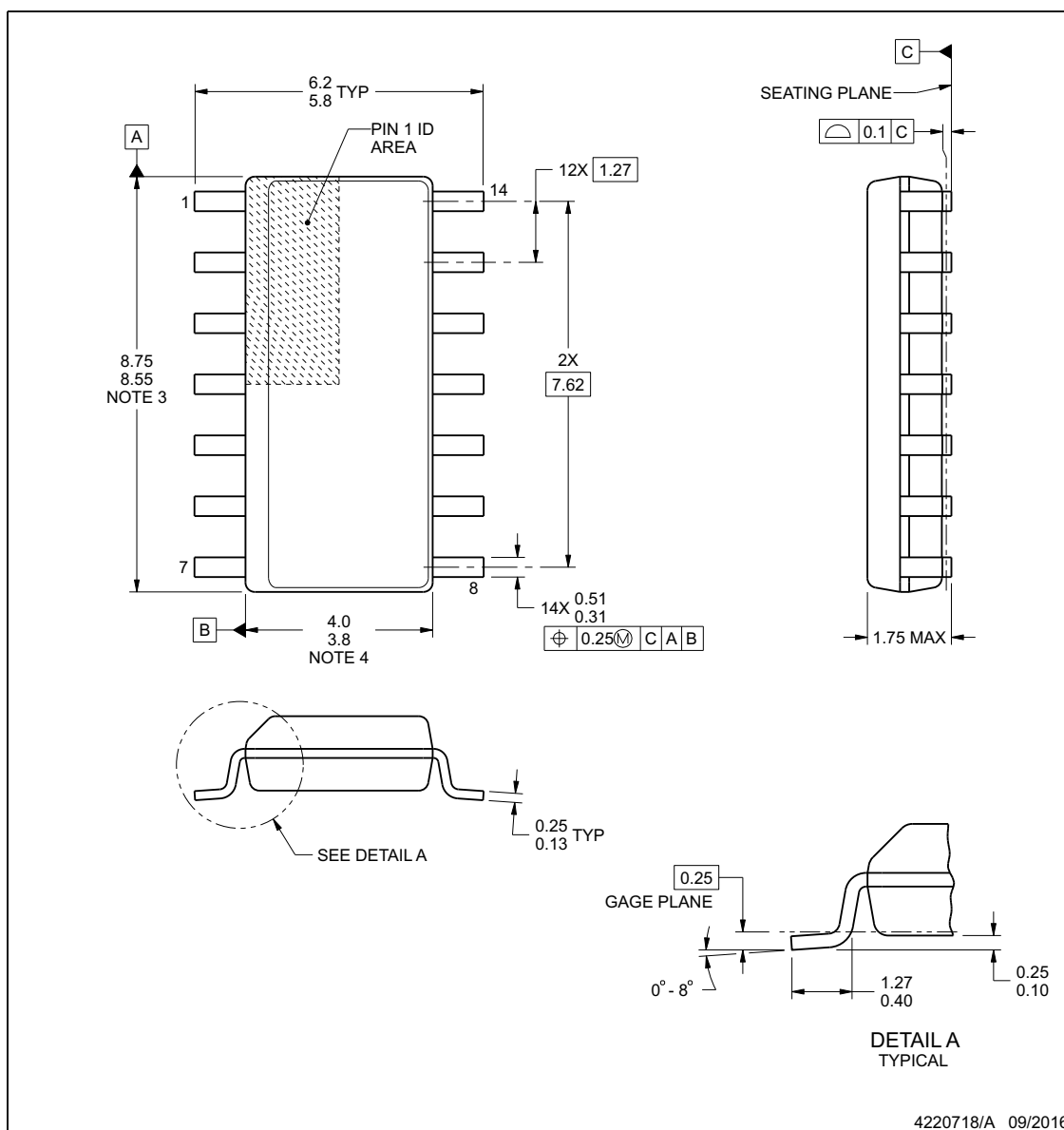
ADVANCE INFORMATION



D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



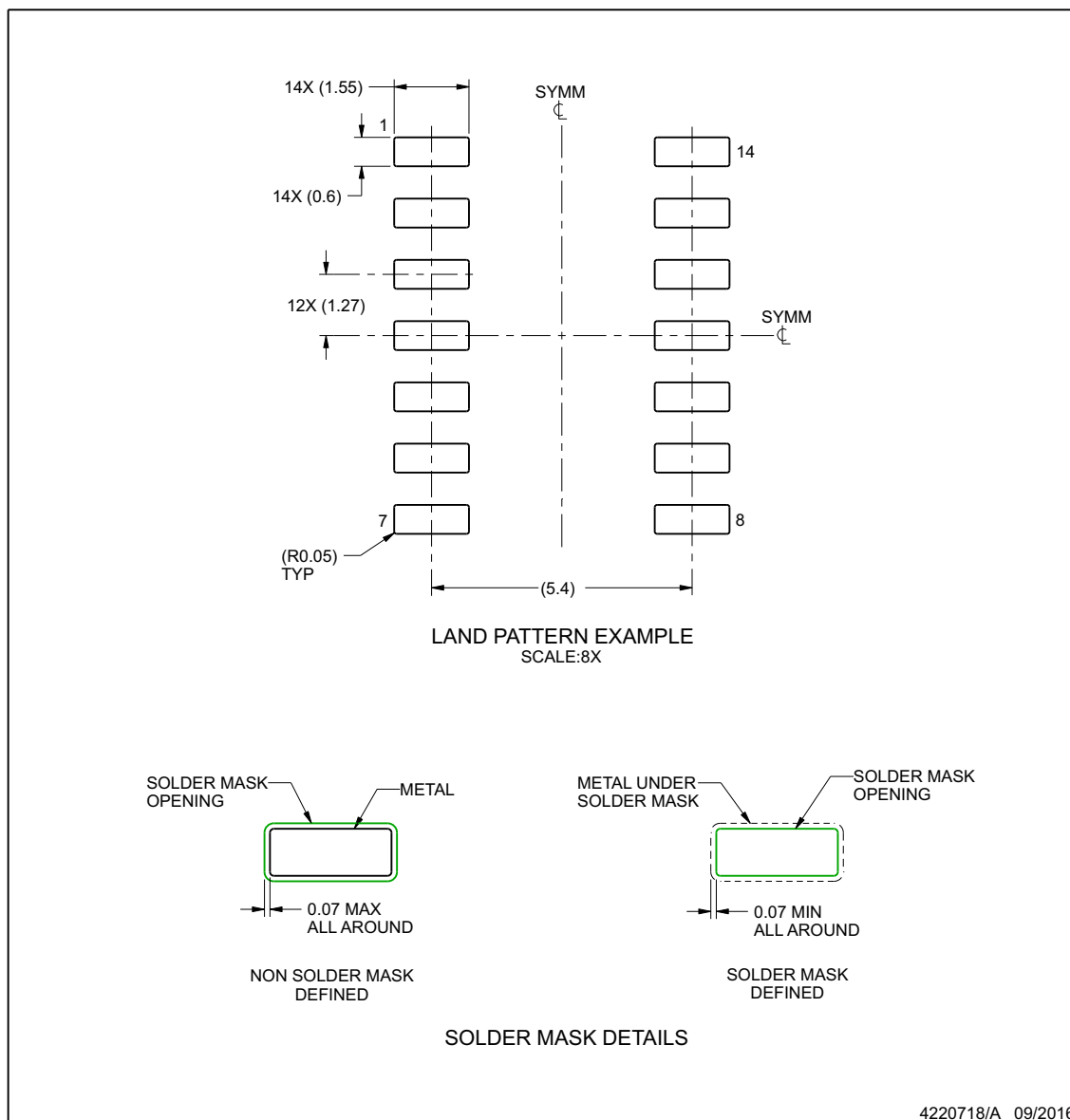
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

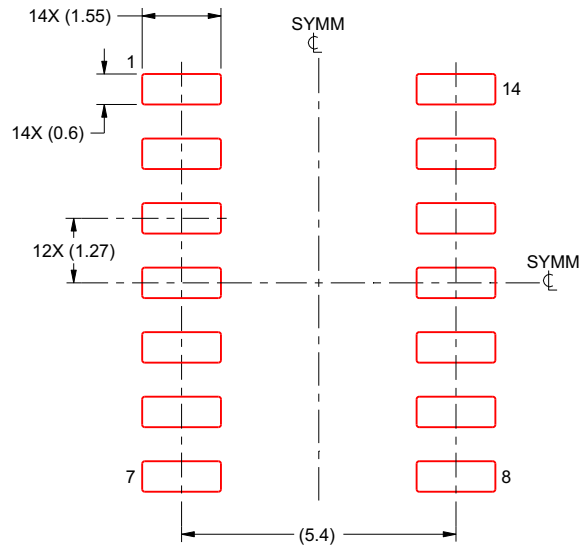
www.ti.com

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



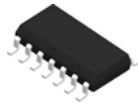
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

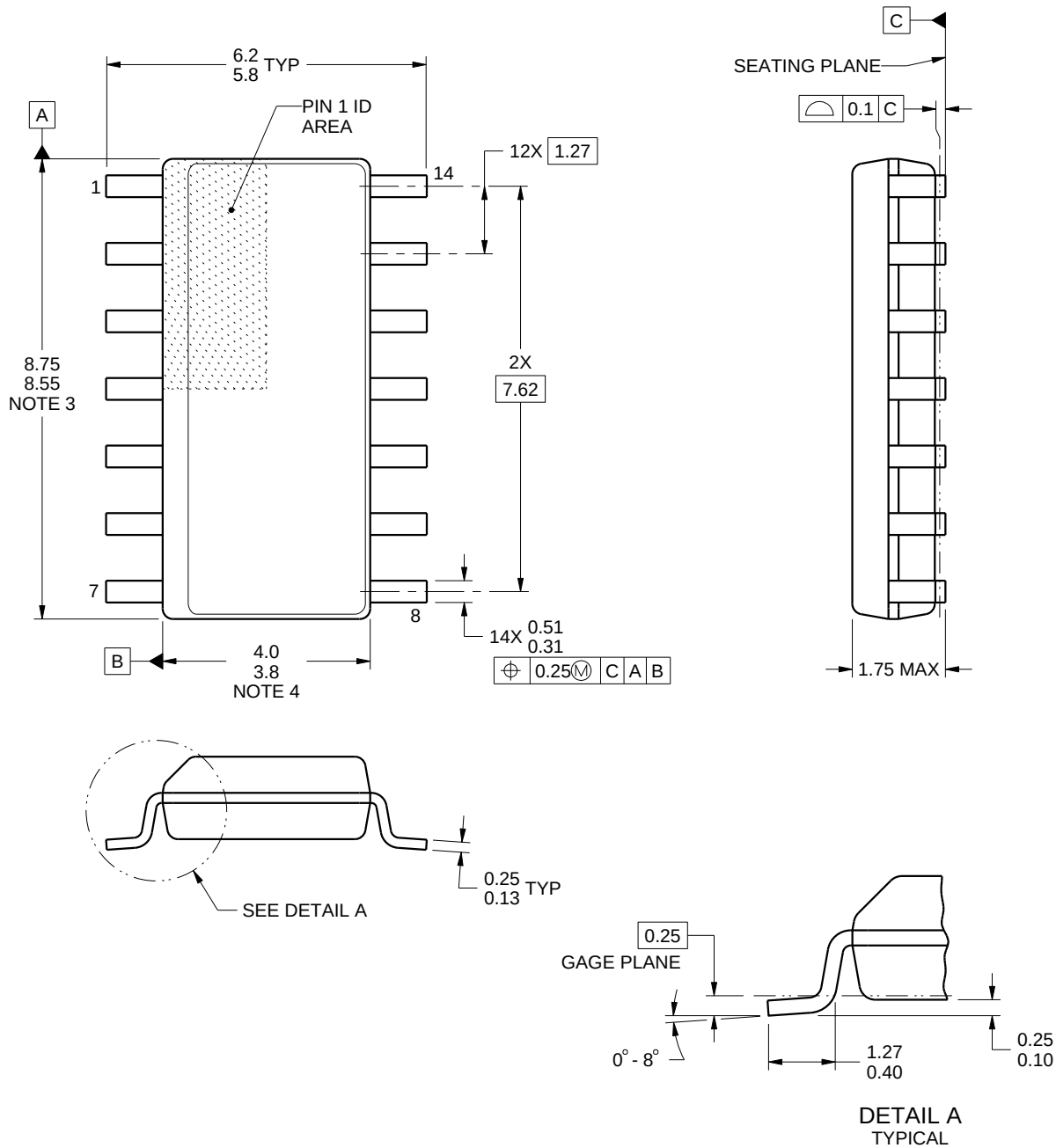
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

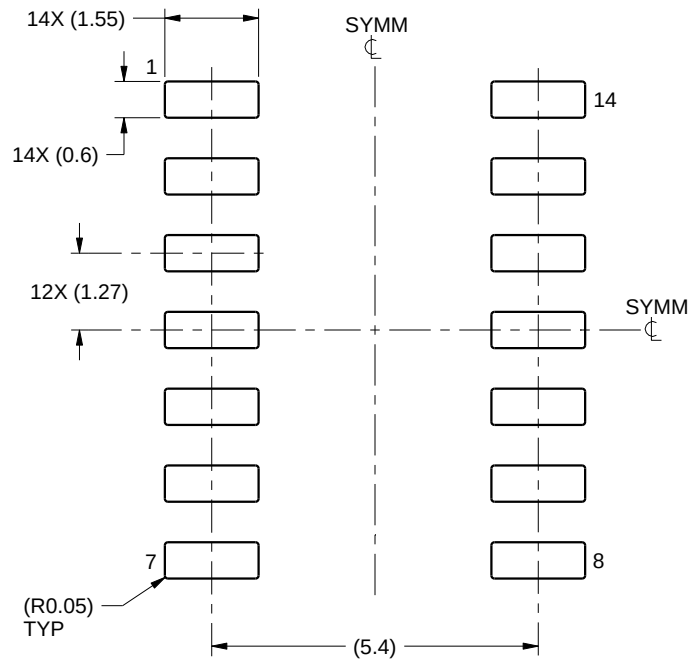
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

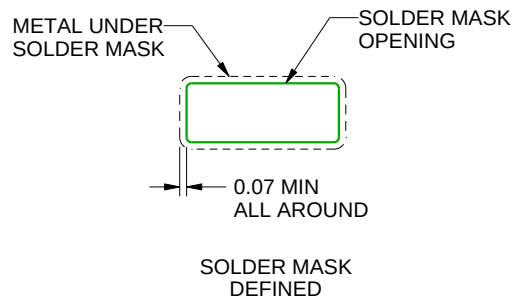
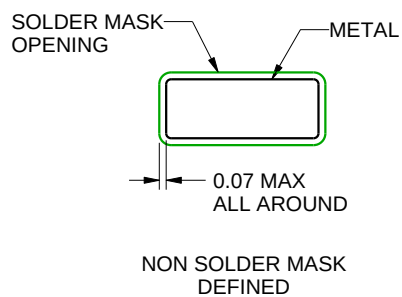
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

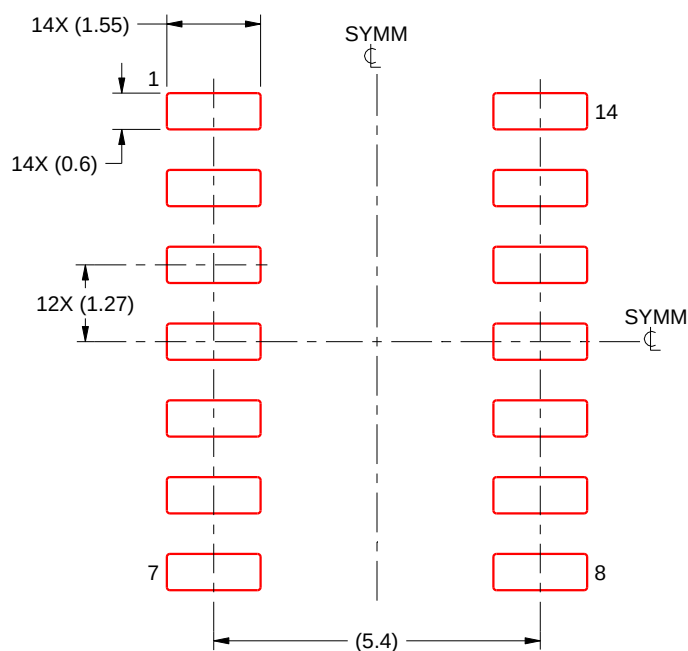
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月