

TIOM2212 デュアル チャネル IO-Link マスター、フレーム ハンドラ、電源コン トローラ、診断機能内蔵

1 特長

- 2 つの独立した IO-Link PHY チャネル
 - 高性能 C/Q ドライバ: 1Ω $R_{DS(on)}$ 、最大 700mA DC
 - IEC 61131-9 COM1、COM2、COM3 をサポートする構成可能な PNP、NPN、プッシュプル、または IO-Link 1.1.5 準拠出力
- ボードレベルの信号配線を簡素化し、UART の必要性を低減する内蔵 IO-Link フレーム ハンドラ
 - プロトコル関連の処理をマイコン/プロセッサからオフロード
 - オプションの UART をサポートし、最大 25MHz の高速 SPI をサポート
 - 1.8V ~ 5.5V の I/O 互換性
 - 診断機能内蔵: 過熱、過電圧と低電圧、C/Q & L+ 過電流、逆極性
 - ハードウェア割り込みおよびリセットピン
 - ウェイクアップ パルス生成および通信シーケンサ内蔵
 - OSSDe との互換性を確保する準備完了パルス検出機能
- L+ と C/Q の両方をサポートする外部 NFET 向けゲートドライバ内蔵
 - アクチュエータをサポートするために >4A NFET を駆動可能
 - L+ と C/Q 電流センス フィードバックを外部 ADC へ送信可能
- IEC61131-2 デジタル入力チャネル (タイプ 1 またはタイプ 3) に構成可能な 2 つの出力
- すべてのインターフェイスピン (C/Q、DI、L+、VCC、S、G、C/QG、C/QS) に堅牢な保護機能を搭載
 - $\pm 65V$ DC 保護および $\pm 70V$ 過渡保護
 - 逆極性保護 (C/Q および L+)
 - 逆電流ブロック (C/Q および L+)
- 12 個の LED レジスタ制御 PWM ドライバ (チャネルごとに 6 つ)

2 アプリケーション

- 高度および標準の IO-Link モジュール
- リモート IO の IO-link PHY
- OSSDe ライト カーテン
- スタンドアロンのリモート IO
- ファクトリ オートメーション
- プロセス オートメーション

3 説明

TIOM2212 デュアル チャネル IO-Link コントローラは、2 つの独立した IO-Link インターフェイスを実装しており、産業用の双方向ポイント ツー ポイント通信に適しており、フレーム ハンドラを内蔵しています。デバイスは、3 線式のインターフェイスを介して 2 つの IO-Link デバイスに接続でき、自動ウェイクアップ パルス生成、通信シーケンサ、準備完了パルス検出機能を統合しているため、IO-Link デバイスとの通信を簡素化できます。内蔵フレーム ハンドラは SPI 経由で制御できるため、外部 UART が不要ですが、従来型のシステムや標準以外のフレーム サイズでは、UART インターフェイスを使用して最大限の柔軟性を実現できます。

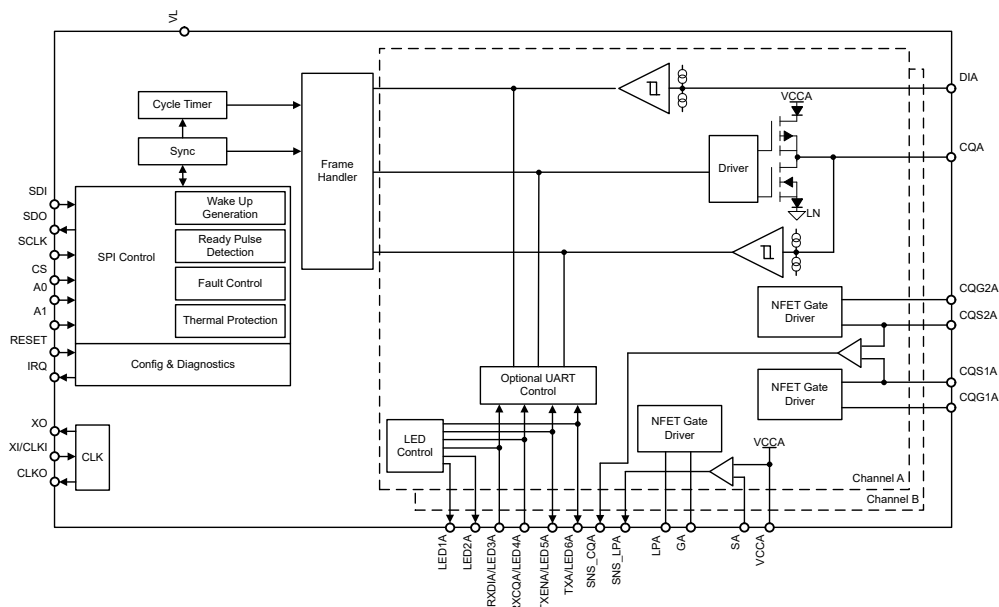
TIOM2212 は、産業用オートメーションで、高い柔軟性とシステム レベルの統合を実現するように設計されています。このデバイスは、内蔵 LED ドライバ、大電力の L+ 電源と C/Q デバイス駆動用の外部 NFET ゲートドライバ、およびポート同期とシステム監視用の構成可能なデジタル機能を備えた高度なステータス表示をサポートしています。デバイス アーキテクチャは、迅速なデータ更新と最大限のシステム統合に役立つ効率的な高速 SPI 通信にも対応しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TIOM2212	48、VQFN	7mm x 7mm

- 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。





デバイスのブロック図

目次

1 特長.....	1	7.3 機能説明.....	21
2 アプリケーション.....	1	8 アプリケーションと実装.....	114
3 説明.....	1	8.1 使用上の注意.....	114
4 ピン構成および機能.....	4	8.2 代表的なアプリケーション.....	114
5 仕様.....	7	8.3 電源に関する推奨事項.....	114
5.1 絶対最大定格.....	7	9 デバイスおよびドキュメントのサポート.....	115
5.2 ESD 定格.....	7	9.1 ドキュメントの更新通知を受け取る方法.....	115
5.3 推奨動作条件.....	8	9.2 サポート・リソース.....	115
5.4 熱に関する情報.....	8	9.3 商標.....	115
5.5 電気的特性.....	8	9.4 静電気放電に関する注意事項.....	115
5.6 スイッチング特性.....	15	9.5 用語集.....	115
6 パラメータ測定情報.....	20	10 改訂履歴.....	115
7 詳細説明.....	21	11 メカニカル、パッケージ、および注文情報.....	115
7.1 概要.....	21	11.1 テープおよびリール情報.....	116
7.2 機能ブロック図.....	21	11.2 メカニカル データ.....	118

4 ピン構成および機能

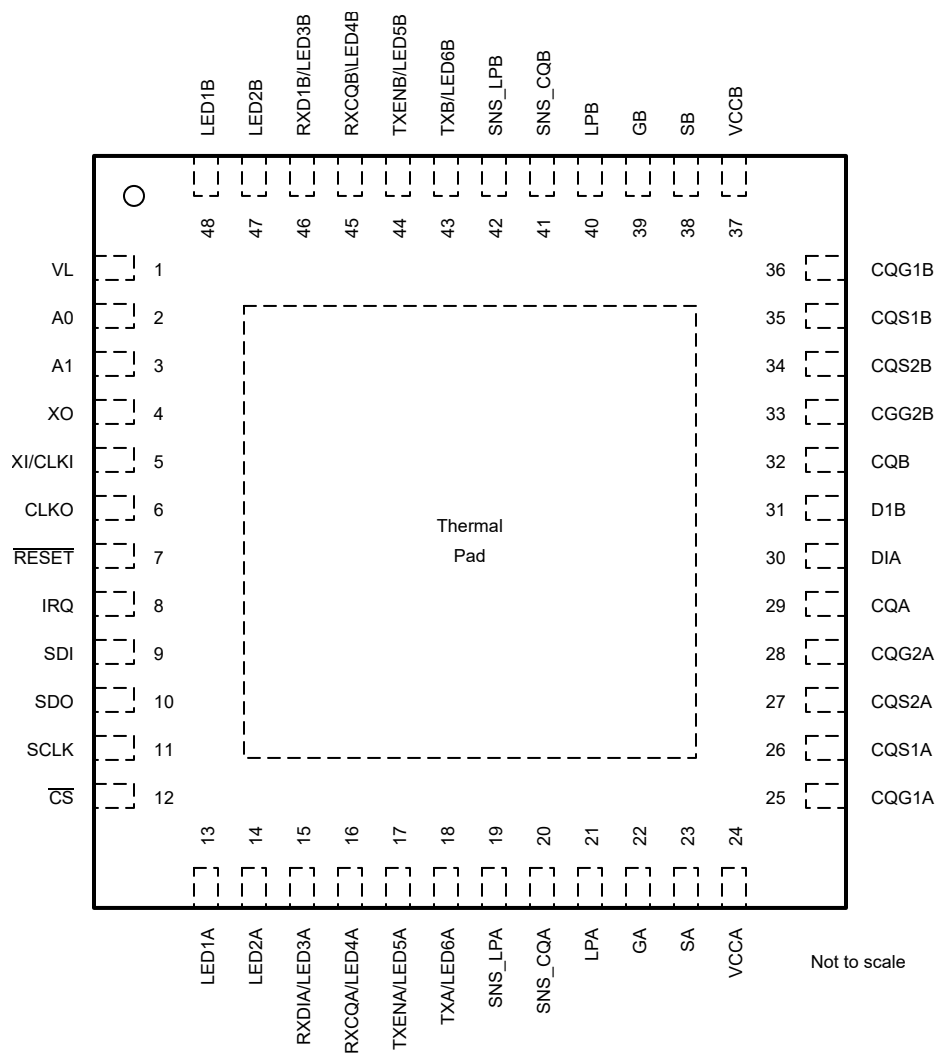


図 4-1. RGZ (VQFN) パッケージ、48 ピン (上面図)

表 4-1. ピンの機能

ピン番号	ピン名	タイプ	説明
1	VL	電源	1.71V ~ 5.5V ロジック電源。
2	A0	I	アドレス入力 0。VL またはグラウンドに直接接続します。
3	A1	I	アドレス入力 1。VL またはグラウンドに直接接続します。
4	XO	O	水晶発振器入力。水晶クロック処理を使用するには、XI と XO の間に水晶振動子を接続します。内部クロックを使用する場合は未接続のままにします。
5	XI/CLKI	I	水晶発振器入力。水晶クロック処理を使用するには、XI と XO の間に水晶振動子を接続します。起動時に隣接するデバイスからのクロック入力としても構成できます。
6	CLKO	O	内部クロック出力。複数使用する場合は、次のデバイスの CLKI に接続します。、複数の水晶発振器の必要性を低減するためです。
7	RESET	I	アクティブ Low のハードウェアリセット入力。プルアップ抵抗を介して VL に接続します。
8	IRQ	O	アクティブ Low ハードウェア割り込み出力。プルアップ抵抗を介して VL に接続します。
9	SDI	I	SPI シリアル データ入力。データは、SCLK の立ち上がりエッジでキャプチャされる。
10	SDO	O	SPI シリアル データ出力。データは、SCLK の立ち下がりエッジでシフト アウトされる。
11	SCLK	I	SPI クロック入力。
12	CS	I	SPI チップ セレクト ピン (アクティブ Low)
13	LED1A	O	チャンネル A LED ドライバ。、電流制限抵抗を直列に接続します。
14	LED2A	O	チャンネル A LED ドライバ。、電流制限抵抗を直列に接続します。
15	RXDIA/LED3A	O	チャンネル A DI レシーバ出力/構成可能な LED ドライバ。、RX として使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
16	RXCQA/LED4A	O	チャンネル A C/Q レシーバ出力/構成可能な LED ドライバ。、RX として使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
17	TXENA/LED5A	I	チャンネル A オプション UART C/Q 送信イネーブル/構成可能な LED ドライバ。、TX イネーブルとして使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
18	TXA/LED6A	I	チャンネル A オプション UART C/Q 送信入力/構成可能な LED ドライバ。、TX 入力として使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
19	SNS_LPA	O	チャンネル A L+ 電流センス出力。、抵抗をグラウンドに接続します。
20	SNS_CQA	O	チャンネル A C/Q 電流センス出力。、抵抗をグラウンドに接続します。
21	LPA	電源	デバイスへの電源入力 (公称値 24V)。100Ω を L+ と直列に接続します。1μF コンデンサを LM (グラウンド) に、デバイスにできる限り近づけて接続します。
22	GA	O	L+ のチャンネル A 外部ゲートドライバ制御。、逆電流ブロックと L+ 制御のために外部 NMOS のゲートに接続します。
23	SA	I	L+ の外部ゲートドライバ制御用のチャンネル A センス入力。、VCCA でシャント抵抗の両端に接続します。
24	VCCA	電源	チャンネル A VCC 電源入力。1μF コンデンサを LM (グラウンド) に、デバイスにできる限り近づけて接続します。内部的に VCCB に短絡。
25	CQG1A	O	C/Q HSS のチャンネル A 外部ゲートドライバ制御。、高電流 C/Q 駆動を実現するために外部 NMOS FET のゲートに接続します。
26	CQS1A	I	C/Q ハイサイド スイッチ (HSS) の外部ゲートドライバ制御用のチャンネル A センス入力。、CQS2 でシャント抵抗の両端に接続します。
27	CQS2A	I	C/Q ハイサイド スイッチの外部ゲートドライバ制御用のチャンネル A センス入力。、CQS1 でシャント抵抗の両端に接続します。
28	CQG2A	O	C/Q HSS のチャンネル A 外部ゲートドライバ制御。、高電流 C/Q 駆動を実現するために外部 NMOS のゲートに接続します。
29	CQA	I/O	チャンネル A トランシーバ入出力
30	DIA	I	チャンネル A デジタル入力。100Ω 抵抗を直列に接続します。
31	D1B	I	チャンネル B デジタル入力。100Ω 抵抗を直列に接続します。
32	CQB	I/O	チャンネル B トランシーバ入出力
33	CGG2B	O	C/Q HSS のチャンネル B 外部ゲートドライバ制御。、高電流 C/Q 駆動を実現するために外部 NMOS のゲートに接続します。
34	CQS2B	I	C/Q HSS の外部ゲートドライバ制御用のチャンネル B センス入力。、CQS1 でシャント抵抗の両端に接続します。
35	CQS1B	O	C/Q HSS の外部ゲートドライバ制御用のチャンネル B センス入力。、CQS2 でシャント抵抗の両端に接続します。
36	CQG1B	I	C/Q HSS のチャンネル B 外部ゲートドライバ制御。、高電流 C/Q 駆動を実現するために外部 NMOS のゲートに接続します。

表 4-1. ピンの機能 (続き)

ピン番号	ピン名	タイプ	説明
37	VCCB	電源	チャンネル B VCC 電源入力。1μF コンデンサを LM (グランド) に、デバイスにできる限り近づけて接続します。内部的に VCCA に短絡
38	SB	I	L+ の外部ゲートドライバ制御用のチャンネル B センス入力。、VCCA でシャント抵抗の両端に接続します。
39	GB	O	L+ のチャンネル B 外部ゲートドライバ制御。、逆電流ブロックと L+ 制御のために外部 NMOS のゲートに接続します。
40	LPB	電源	デバイスへの電源入力 (公称値 24V)。100Ω を L+ と直列に接続します。1μF コンデンサを LM (グランド) に、デバイスにできる限り近づけて接続します。
41	SNS_CQB	O	チャンネル B C/Q 電流センス出力。、抵抗をグランドに接続します。
42	SNS_LPB	O	チャンネル B L+ 電流センス出力。、抵抗をグランドに接続します。
43	TXB/LED6B	I	チャンネル B オプション UART C/Q 送信入力/構成可能な LED ドライバ。、TX 入力として使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
44	TXENB/LED5B	I	チャンネル B オプション UART C/Q 送信イネーブル/構成可能な LED ドライバ。、TX イネーブルとして使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
45	RXCQB/LED4B	O	チャンネル B C/Q レシーバ出力/構成可能な LED ドライバ。、RX として使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
46	RXD1B/LED3B	O	チャンネル B DI レシーバ出力/構成可能な LED ドライバ。、RX として使用する場合は、オプションの UART 制御の一部としてマイコンに接続します。、LED ドライバとして使用する場合は、電流制限抵抗を直列に接続します。
47	LED2B	O	チャンネル B LED ドライバ。、電流制限抵抗を直列に接続します。
48	LED1B	O	チャンネル B LED ドライバ。、電流制限抵抗を直列に接続します。
–	サーマル パッド	GND	熱特性と電気的性能を最大化するために、L に接続します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
LPA, CQA, DIA, LPB, CQB, DIB	バス ピン定常状態電圧	-65	65	V
	バス ピン過渡パルス幅 < 100µs	-70	70	V
VCCA, VCCB, SA, SB	電源ピン定常状態電圧	-0.3	65	V
	電源ピン過渡パルス幅 < 100µs	-0.3	70	V
$V_{(SA)} - V_{(VCCA)}$, $V_{(SB)} - V_{(VCCB)}$	センス抵抗の両端の電圧	-0.3	0.3	V
GA, GB, CQG1A, CQG1B, CQG2A, CQG2B	ゲートドライバの出力電圧	-65	65	V
CQS1A, CQS1B, CQS2A, CQS2B	HSS センス ピン	-65	65	V
$ V_{(BUS1)} - V_{(BUS2)} $	バス ピンの任意の組み合わせ間の電圧降下		65	V
$V_{(VCCA,B)} - V_{(BUS)}$	電源ピンと任意のバス ピン間の電圧降下	-65	65	V
$ V_{(GA)} - V_{(LPA)} $, $ V_{(GB)} - V_{(LPB)} $	NFET ゲート - ソース間電圧	-0.3	14	V
$ V_{(CQG1A)} - V_{(CQS1A)} $, $ V_{(CQG2A)} - V_{(CQS2A)} $, $ V_{(CQG1B)} - V_{(CQS1B)} $, $ V_{(CQG2B)} - V_{(CQS2B)} $	NFET ゲート - ソース間電圧	-0.3	14	V
$V_{(CQA)} - V_{(CQS1A)}$, $V_{(CQA)} - V_{(CQS2A)}$, $V_{(CQB)} - V_{(CQS1B)}$, $V_{(CQB)} - V_{(CQS2B)}$	CQ から HSS センス ピンへの電圧	-1	65	V
V_L	ロジック電源電圧	-0.3	6	V
TXA, TXB, TXENA, TXENB, RXDIA, RXCQA, RXDIB, RXCQB, SDI, SDO, SCK, $\overline{CS}$, XO, XI, CLKI, CLKO, IRQ, AO, A1, LED*	ロジック ピン電圧	-0.3	$\min(V_L + 0.3, 6)$	V
出力電流	RXCQA, RXDIA, RXCQB, RXDIB, SDO, CLKO, IRQ	-5	5	mA
出力電流	SNS_CQA, SNS_CQB, SNS_LPA, SNS_LPB	-10	2	mA
連続電流	LM, VCCA, B	-2	2	A
連続電流	CQA, CQB	-1	1	A
保管温度、 T_{stg}		-55	170	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。特に指定のない限り、すべての電圧値は L ピンを基準としています。

5.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	すべてのピン	±2000	V
V _(ESD)	静電放電	荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±750	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{(VCCA,B)}$	24V 入力電源電圧	7	24	36	V
$V_{(VL)}$	ロジック電源電圧	1.71	3.3	5.5	V
$V_{(I)}$	TXA、TXB、TXENA、TXENB、SDI、CS、CLKI でのロジックレベル入力電圧			VL	V
t_{RESETB}	RESETB の最小パルス幅		300		μs
$1/t_{BIT}$	データレート (通信モード)			250	kbps
T_A	動作時周囲温度	-40		125	$^{\circ}C$
T_{J-ET}	拡張接合部温度により -ET/-EP に対応	-55		150	$^{\circ}C$
T_J	接合部温度	-40		150	$^{\circ}C$

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TIOL1221 RGZ (48 ピン)	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.2	$^{\circ}C/W$
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	27.2	$^{\circ}C/W$
$R_{\theta JB}$	接合部から基板への熱抵抗	11.4	$^{\circ}C/W$
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	$^{\circ}C/W$
Ψ_{JB}	接合部から基板への特性パラメータ	11.4	$^{\circ}C/W$
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.7	$^{\circ}C/W$

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、 $VCC = 24V$ 、 $VL = 5V$ 、 $T_A = 25^{\circ}C$ での数値です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源 (VCCA、B)					
$I_{(VCC-SHDN)}$	シャットダウン モードでの電源静止電流	すべての TX、RX、ゲートドライバはハイインピーダンス。LP および HSS の FET は未取り付け状態。CQ または LP は無負荷。シンクソースは無効。		2.5	4.7 mA
$I_{(VCC-RX-ONLY)}$	入力のみが有効である場合における電源電流	TX は無効、RX は有効、ゲートドライバはハイインピーダンス。LP および HSS の FET は未取り付け状態。CQ または LP は無負荷。シンクソースは無効。		2.5	4.7 mA
$I_{(VCC-SHDN)}$	シャットダウン モードにおける電源静止電流	すべての TX、RX、ゲートドライバが無効。LP と HSS の複数の FET を取り付け済み。CQ または LP は無負荷。シンクソースは無効。		3.6	6 mA
		すべての TX、RX、ゲートドライバはハイインピーダンス。LP および HSS の FET は未取り付け状態。			

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _(VCC-CQ)	有効状態における静止電源電流	すべての TX、RX、LP ゲートドライバが有効。HSS ゲートドライバは無効。LP と HSS の複数の FET を取り付け済み。CQ または LP は無負荷。シンクソースは無効。			1.5	2	mA
V _(VCC-OVLO,R)	VCC 過電圧警告	VCC 立ち上がり	VCC 立ち上がり			48	V
V _(VCC-OVLO,F)	VCC 過電圧警告	VCC 立ち下がり	VCC 立ち下がり	40			V
V _(VCC-OVLO,HYS)	VCC 過電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュヨルド	立ち上がりから立ち下がりへのスレッシュヨルド		550		mV
V _(VCC-UVLO)	VCC 低電圧ロックアウト	VCC 立ち下がり		5.6	6		V
V _(VCC-UVLO)	VCC 低電圧ロックアウト	VCC 立ち上がり			6.2	6.8	V
V _(VCC-UVLO,HYS)	VCC 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュヨルド		150	210		mV
V _(VCCW)	VCC 低電圧警告	VCC 立ち下がり		16		18	V
V _(VCCW-HYS)	VCC 低電圧警告ヒステリシス	立ち上がりから立ち下がりへのスレッシュヨルド			530		mV
VL							
V _(VL-UVLO,F)	VL の立ち下がり UVLO レベル	VL 立ち下がり		1.3			V
V _(VL-UVLO,R)	VL の立ち上がり UVLO レベル	VL 立ち上がり				1.6	V
V _(VL-UVLO,HYS)	VL UVLO ヒステリシス				0.1		V
I _(VL)	VL での入力電源電流	すべて有効			2.7		mA
電源 (LPA、B)							
V _(G1-LP)	ゲート - ソース間 (LP) 電圧			7.5		13	V
V _{ILP_DET}	過電流検出スレッシュヨルド	立ち上がりスレッシュヨルド	LP_CFG0[4:3]=3h	100	120	140	mV
			LP_CFG0[4:3]=2h	50	60	70	mV
			LP_CFG0[4:3]=1h	25	30	35	mV
			LP_CFG0[4:3]=0h	12.5	15	17.5	mV
GM _{SNS,LP}	電流センス出力の相互コンダクタンス				300		mS
I _{SNS}	電流センスしきい値	V _(VCCA) - V _(SA) 、V _(VCCB) -V _(SB)	LP_CFG0[4:3]=0h		3		mA
A _{SNS}	電流センスの精度	= 10mV		-20		20	%
I _{SNS}	電流センスしきい値	V _(VCCA) - V _(SA) 、V _(VCCB) -V _(SB)			1.5		mA
A _{SNS}	電流センスの精度	= 5mV		-40		40	%

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
GM _{SNS,LP}	電流センス出力の相互コンダクタンス		LP_CFG0[4:3]=1h		150		mS
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 20mV			3		mA
A _{SNS}	電流センスの精度			-10		10	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 10mV			1.5		mA
A _{SNS}	電流センスの精度			-20		20	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 5mV			0.75		mA
A _{SNS}	電流センスの精度			-40		40	%
GM _{SNS,LP}	電流センス出力の相互コンダクタンス		LP_CFG0[4:3]=2h		75		mS
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 40mV			3		mA
A _{SNS}	電流センスの精度			-5		5	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 20mV			1.5		mA
A _{SNS}	電流センスの精度			-10		10	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 10mV			0.75		mA
A _{SNS}	電流センスの精度			-20		20	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 5mV			0.375		mA
A _{SNS}	電流センスの精度			-40		40	%
GM _{SNS,LP}	電流センス出力の相互コンダクタンス		LP_CFG0[4:3]=3h		37.5		mS
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 80mV			3		mA
A _{SNS}	電流センスの精度			-5		5	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 40mV			1.5		mA
A _{SNS}	電流センスの精度			-5		5	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 20mV			0.75		mA
A _{SNS}	電流センスの精度			-10		10	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 10mV			0.375		mA
A _{SNS}	電流センスの精度			-20		20	%
I _{SNS}	電流センスしきい値	$V_{(VCCA)} - V_{(SA)}, V_{(VCCB)} - V_{(SB)}$ = 5mV			0.1875		mA
A _{SNS}	電流センスの精度			-40		40	%
I _{SNS,HR}	電流センス機能のために必要なヘッドルーム	$V_{(VL)} - V_{(SNS,LP)}, I_{SNS} = 3mA$			0.6		V
I _{SNS,HIZ}	SNS_LPA、B ピンを流れるリーク電流	$V_{(SNS,LP)} = V_{(VL)}, 0$				20	μA
I _{SN}	SN 入力電流					50	μA
I _{LP}	LP 入力電流					30	μA
V _(LP-WARN)	LP 低電圧警告	LP 立ち下がり		18			V
V _(LP-WARN)	LP 低電圧警告	LP 立ち上がり				20	V
V _(LP-UVLO,HYS)	LP 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド			540		mV
V _(LP_BLK_VTH)	LP 動的ブランキング スレッシュホールド	$V_{(VCC)} > 18V$	LP_DYBL_EN = 0b1		6.2		V
C _{GATE}	外部 NFET ゲート容量				1		nF
ドライバ出力 (CQA、CQB)							

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
R _{DS(on)-HS}	ハイサイドドライバ オン抵抗	I _{LOAD} = 200mA、電流制限 = 500mA			1	2	Ω
R _{DS(on)-LS}	ローサイドドライバ オン抵抗	I _{LOAD} = 200mA、電流制限 = 500mA			1	2	Ω
I _{O(LIM)}	ドライバ出力電流制限	V _(DRIVER) = (V _{VCC} - 3) V または 3V、	CQ_DRV_CFG[4:3] = 3h	100	150	195	mA
			CQ_DRV_CFG[4:3] = 2h	200	230	330	mA
			CQ_DRV_CFG[4:3] = 1h	300	350	485	mA
			CQ_DRV_CFG[4:3] = 0h	500	600		mA
I _{OZ(CQ)}	CQ リークエージ	0 ≤ V _(CQ) ≤ (V _{VCC} - 0.1V)	ドライバ ディスエーブル、プルアップ/プルダウン ディスエーブル、RX イネーブル	-115		2	μA
I _{IN-CQ}	CQ 入力電流	ドライバ ディスエーブル、プルアップ/プルダウン ディスエーブル	-5V ≤ V _{CQ} ≤ VCC+5V	-150		10	μA
I _{LLM(CQ)}	CQ 電流シンク	V _(CQ) ≥ 5V、CQ_SNK_EN = 0b1、CQ_SCR_EN = 0b0	5mA シンク (CQ_SRC_SNK = 0b00)	5	7.5	10	mA
I _{LLM(CQ)}			2mA シンク (CQ_SRC_SNK = 0b01)	2	3	4	mA
I _{LLM(CQ)}	CQ 電流ソース	V _(VCC-CQ) ≥ 5V、CQ_SRC_EN = 0b1、CQ_SNK_EN = 0b0	5mA シンク (CQ_SRC_SNK = 0b00)	-10	-7.5	-5	mA
I _{LLM(CQ)}			2mA シンク (CQ_SRC_SNK = 0b01)	-4	-3	-2	mA
I _{PU-CQ}	CQ ドライバの弱プルアップ電流	ドライバ ディスエーブル、弱プルアップ イネーブル、CQ_SRC_EN = 0b1、CQ_SNK_EN = 0b0	0 ≤ V(CQ) ≤ (V(VCC) - 5V)、CQ_SRC_SNK = 0b10	-310		-150	μA
I _{PD-CQ}	CQ ドライバの弱プルダウン電流	ドライバ ディスエーブル、弱プルダウン イネーブル、CQ_SNK_EN = 0b1、CQ_SCR_EN = 0b0	5 ≤ V(CQ) ≤ V(VCC)、CQ_SRC_SNK = 0b10	150		300	μA
C _{IN-CQ}	CQ 入力容量	CQ ドライバがディスエーブル、プルアップ/プルダウン ディスエーブル、f = 100kHz			130		pF
レシーバ入力 (CQA、DIA、CQB、DIB)							
V _(THH)	入力スレッショルド「H」	V _(LP) > 18V、RX イネーブル、RX 構成 - IOLINK_standard、タイプ 1	CQ_CFG[2:1] = 0h、CQ_DRV_DI_CFG[2:1] = 0h	10.5		13	V
V _(THL)	入力スレッショルド「L」			8		11.5	V
V _(HYS)	レシーバ ヒステリシス (V _(THH) - V _(THL))				2.5		V

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V _(THH)	入力スレッショルド「H」	V _(LP) > 18V、RX イネーブル、RX 構成 - レシオメトリック	CQ_CFG[2:1] = 1h。 CQ_DRV_DI_C FG[2:1] = 1h	10.5		13	V
V _(THL)	入力スレッショルド「L」			8		11.5	V
V _(HYS)	レシーバ ヒステリシス (V _(THH) - V _(THL))			2.5			V
V _(THH)	入力スレッショルド「H」	V _(LP) = 17V、RX イネーブル、RX 構成 — レシオメトリック		10.5		13	V
V _(THH)	入力スレッショルド「H」	V _(LP) = 12V、RX イネーブル、RX 構成 — レシオメトリック		7.5		9.4	V
V _(THH)	入力スレッショルド「H」	V _(LP) = 7V、RX イネーブル、RX 構成 — レシオメトリック		4.4		5.8	V
V _(THH)	入力スレッショルド「H」	V _(LP) < 18V、RX イネーブル、RX 構成 — レシオメトリック		注を参照(1)		注を参照(2)	V
V _(THL)	入力スレッショルド「L」	V _(LP) = 17V、RX イネーブル、RX 構成 — レシオメトリック		8		11.5	V
V _(THL)	入力スレッショルド「L」	V _(LP) = 12V、RX イネーブル、RX 構成 — レシオメトリック		5.8		8.5	V
V _(THL)	入力スレッショルド「L」	V _(LP) = 7V、RX イネーブル、RX 構成 — レシオメトリック		3.6		5.4	V
V _(THL)	入力スレッショルド「L」	V _(LP) < 18V、RX イネーブル、RX 構成 — レシオメトリック		注を参照(3)		注を参照(4)	V
V _(HYS)	レシーバ ヒステリシス (V _(THH) - V _(THL))	V _(LP) < 18V、RX イネーブル、RX 構成 — レシオメトリック		1.8			V
V _(THH)	入力スレッショルド「H」	V _(LP) > 18V、RX イネーブル、RX 構成 - タイプ 2/3	CQ_CFG[2:1] = 2h。 CQ_DRV_DI_C FG[2:1] = 2h	7.5		11	V
V _(THL)	入力スレッショルド「L」			6		8	V
V _(HYS)	レシーバ ヒステリシス (V _(THH) - V _(THL))			1.8			V
C _{IN-DI}	DI 入力容量	f = 100kHz		14			pF
I _{LLM(DI)}	DI 電流シンク	V _(DI) >= 5V	DI_SNK_EN = 0b1、 DI_SRC_EN = 0b0	2	3	4	mA
I _{LLM(DI)}	DI 電流ソース	V _(DI) >= 5V	DI_SNK_EN = 0b0、 DI_SRC_EN = 0b1	-4	-3	-2	mA
I _{IN-DI}	DI 入力電流	DI レシーバ イネーブル、プルアップ/ダウン ディスエーブル	-1V <= V _{DI} <= V _(LP) + 1V	-5		50	μA
ロジック レベル入力 (CS̄、SCK、SDI、TXENA、TXA、TXENA、ENB、TXB、TXENB、CLKI)							
V _{IH}	入力ロジック High 電圧			0.7*VL			V
V _{IL}	入力ロジック Low 電圧			0.3*VL			V
I _{IN}	入力リーク電流	V _I = 0V または VL		-6		6	μA
ロジック レベル出力 (IRQ、SDO、RXCQA、RXCQB、CLKO、RXDIA、RXDIB)							
V _{OH}	ロジック High 出力電圧	I _O = 4mA	I _O = 4mA	VL-0.4			V
V _{OL}	出力ロジック Low 電圧	I _O = 4mA		0.4			V
I _{OZ}	ハイ インピーダンス出力リーク	ハイ インピーダンスの出力、V _O = 0V または VL		-1		1	μA
保護回路							

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
T _(WRN)	過熱警告	ダイ温度 T _J		125			°C
T _(SDN)	サーマル シャットダウン			150	180		°C
T _(HYS)	シャットダウンの熱ヒステリシス			8			°C
T _(WRN)	警告用の熱ヒステリシス	ダイ温度 T _J		8.5			°C
I _{REV}	逆極性での CQ、DI リーク電流 (ドライバ ディスエーブル、プル アップ/ダウン ディスエーブル、 HSS G1/G2 ディスエーブル — FET は基板に未取り付け)	VCC= 24V V _(CQ/DI) = (V _(VCC) -36V) または V _(CQ/DI) = (V _(VCC) +36V)		-115		185	μA
		VCC= 24V V _(CQ/DI) = (V _(VCC) -65V) または V _(CQ/DI) = 65V		-300		200	μA
	CQ (ドライバ イネーブル、プル アップ/ダウン ディスエーブル、 HSS G1/G2 ディスエーブル — FET は基板に未取り付け)	V _(CQ to VCC) > 0V、NSIDE オフ、PSIDE オン				310	μA
		V _(CQ to LM) < 0V、PSIDE オフ、NSIDE オン		-350		-160	μA
水晶発振器							
F _(XTAL)	水晶周波数			14.7456			MHz
I _(XTAL)	水晶発振器の電流	水晶発振器を使用する場合、 VL 電流が増加	XTAL_EN=0b1	400	675		μA
ESR _(XTAL)	水晶発振器の等価抵抗	f _{XTAL} = 14.7456MHz				100	Ω
CS _(XTAL)	水晶振動子のシャント容量	f _{XTAL} = 14.7456MHz				8	pF
CIN _(XO,XI)	ピン入力容量			10			pF
内部発振器							
I _(OSC)	内部発振器の電流	内部発振器を使用する場合、VL 電流が増加				320	μA
外部クロック							
D _(EXT)	外部クロック デューティ サイクル			42		58	%
F _(EXT)	外部クロック周波数設定			3.686			MHz
LED							
F _(PWM)	PWM 周波数			225			Hz
DU_CY	デューティ サイクル			1		100	%
I _{OUT}	LED 出力電流			2		20	mA
I _{OUT_ACC}	LED 出力電流の精度			-25		25	%
HSS ドライバ (CQA、B)							
V _(CQG1-CQS1) 、 V _(CQG2-CQS2)	ゲート — ソース間電圧、NFET モード			7.5		13	V
V _{IHSS_REG_G2}	安定化順方向スレッシュホルド	V _(CQA,B) - V _(CQS2A,B)		2	30	58	mV
V _{IHSS_REV_G2}	逆電流ブロック スレッシュホルド	V _(CQS2A,B) - V _(CQA,B)		-58	-30	-2	mV

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
VIHSS_DET	過電流検出スレッショルド	立ち上がりスレッショルド	HSS_CFG0[4:3]]= 3h	100	120	140	mV
			HSS_CFG0[4:3]]= 2h	50	60	70	mV
			HSS_CFG0[4:3]]= 1h	25	30	35	mV
			HSS_CFG0[4:3]]= 0h	12.5	15	17.5	mV
GM _{SNS,HSS}	HSS 電流センス出力の相互コンダクタンス				300		mS
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$	HSS_CFG0[4:3]]= 0h		3		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 10\text{mV}$		-20		20	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			1.5		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 5\text{mV}$		-40		40	%
GM _{SNS,HSS}	電流センス出力の相互コンダクタンス				150		mS
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$	HSS_CFG0[4:3]]= 1h		3		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 20\text{mV}$		-10		10	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			1.5		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 10\text{mV}$		-20		20	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			0.75		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 5\text{mV}$		-40		40	%
GM _{SNS,HSS}	電流センス出力の相互コンダクタンス		HSS_CFG0[4:3]]= 2h		75		mS
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			3		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 40\text{mV}$		-5		5	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			1.5		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 20\text{mV}$		-10		10	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			0.75		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 10\text{mV}$		-20		20	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			0.375		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 5\text{mV}$		-40		40	%
GM _{SNS,HSS}	電流センス出力の相互コンダクタンス				37.5		mS
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$	HSS_CFG0[4:3]]= 3h		3		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 80\text{mV}$		-5		5	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			1.5		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 40\text{mV}$		-5		5	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			0.75		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 20\text{mV}$		-10		10	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			0.375		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 10\text{mV}$		-20		20	%
ISNS	電流センスしきい値	$V_{(CQS1A)} - V_{(CQS2A)}, V_{(CQS1B)}$			0.1875		mA
ASNS	電流センスの精度	$V_{(CQS2B)} = 5\text{mV}$		-40		40	%

5.5 電気的特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 5V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
I _{SNS,HR}	電流センス機能のために必要なヘッドルーム $V_{(VL)} - V_{(VSNS,HSS)}$ 、I _{SNS} = 3mA	0.6			V
I _{SNS,HIZ}	SNS_CQA、B ピンを流れるリーク電流 $V_{(VSNS,HSS)} = V_{(VL)}$ 、0			20	μA
I _{CQS1} 、 I _{CQS2}	CQS1、CQS2 入力電流 HSS ドライバイネーブル。 $V_{(CQS1)} = V_{(CQS2)}$			100	μA
I _{CQ}	CQ 入力電流 HSS ドライバイネーブル			30	μA
V _(HSS_BLK_VTH)	HSS 動的ブランキング スレッシュホルド HSS_DYBL_EN = 0b1		6.8		V
C _{GATE}	外部 NFET ゲート容量		1		nF

- (1) $V_{THH} (min) = 5V + (11/18) [V_{(LP)} - 8V]$
- (2) $V_{THH} (max) = 6.5V + (13/18) [V_{(LP)} - 8V]$
- (3) $V_{THL} (min) = 4V + (8/18) [V_{(LP)} - 8V]$
- (4) $V_{THL} (max) = 6V + (11/18) [V_{(LP)} - 8V]$

5.6 スイッチング特性

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 3.3V、TA = 25°Cでの数値です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
CQ ドライバ					
t _{PLH}	ドライバ伝搬遅延、Low から High へ遷移 ドライバ出力測定のテスト回路とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成 CQ_DRV_DI_CFG[7:6] = 2b'00 CQ_DRV_CFG[4:3] = 2b'00		800	1200	ns
t _{PHL}	ドライバ伝搬遅延、High から Low へ遷移 ドライバ出力測定のテスト回路とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成 CQ_DRV_DI_CFG[7:6] = 2b'00 CQ_DRV_CFG[4:3] = 2b'00		800	1200	ns
t _{p(skew)}	ドライバ伝搬遅延スキュー。 t _{PLH} - t _{PHL} ドライバ出力測定のテスト回路とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプル構成 CQ_DRV_DI_CFG[7:6] = 2b'00 CQ_DRV_CFG[4:3] = 2b'00		120		ns
t _{PZH}	ドライバ イネーブル遅延 High ドライバ出力測定のテスト回路とドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成のみ CQ_DRV_DI_CFG[7:6] = 2b'00 CQ_DRV_CFG[4:3] = 2b'00			4	μs

5.6 スイッチング特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、 $V_{CC} = 24V$ 、 $V_L = 3.3V$ 、 $T_A = 25^\circ C$ での数値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PZL}	ドライバ イネーブル遅延 Low	ドライバ出力測定テスト回路 とドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成のみ $CQ_DRV_DI_CFG[7:6] = 2b'00$ $CQ_DRV_CFG[4:3] = 2b'00$			4	μs
t_{PHZ}	ドライバ ディスエーブル遅延 High	ドライバ出力測定テスト回路 とドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成のみ $CQ_DRV_DI_CFG[7:6] = 2b'00$ $CQ_DRV_CFG[4:3] = 2b'00$			4	μs
t_{PLZ}	ドライバ ディスエーブル遅延 Low	ドライバ出力測定テスト回路 とドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成のみ $CQ_DRV_DI_CFG[7:6] = 2b'00$ $CQ_DRV_CFG[4:3] = 2b'00$			4	μs
t_r	ドライバ出力立ち上がり時間	ドライバ出力測定テスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成 $CQ_DRV_DI_CFG[7:6] = 2b'00$ $CQ_DRV_CFG[4:3] = 2b'00$	0.25	0.55	0.86	μs
t_f	ドライバ出力立ち下がり時間	ドライバ出力測定テスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成 $CQ_DRV_DI_CFG[7:6] = 2b'00$ $CQ_DRV_CFG[4:3] = 2b'00$	0.25	0.55	0.86	μs
$ t_r - t_f $	立ち上がりおよび立ち下がり時間の差	ドライバ出力測定テスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプル構成のみ $CQ_DRV_DI_CFG[7:6] = 2b'00$ $CQ_DRV_CFG[4:3] = 2b'00$		50		ns
t_{AR}	電流制限後の自動再試行時間	$CQ_DRV_CFG[2:1] = 0h$		50		ms
t_{AR}	電流制限後の自動再試行時間	$CQ_DRV_CFG[2:1] = 1h$		0.5		s
t_{AR}	電流制限後の自動再試行時間	$CQ_DRV_CFG[2:1] = 2h$		4		s
t_{AR}	電流制限後の自動再試行時間	$CQ_DRV_CFG[2:1] = 3h$		10		s
t_{SC}	電流制限のブランキング時間	$CQ_DRV_CFG[6:5] = 0h$	5	5.5		ms

5.6 スイッチング特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、VCC = 24V、VL = 3.3V、TA = 25°C での数値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
t _{SC}	電流制限のブランキング時間	CQ_DRV_CFG[6:5] = 1h	15	16.5		ms	
t _{SC}	電流制限のブランキング時間	CQ_DRV_CFG[6:5] = 2h	50	55		ms	
t _{SC}	電流制限のブランキング時間	CQ_DRV_CFG[6:5] = 3h	150	165		ms	
t _(UVLO)	VCC UVLO 後の CQ 再イネーブル遅延 ⁽¹⁾	VL は電源オン。VCC はパワーアップ。			0.05	ms	
CQ、DI レシーバ							
t _{PLH_CQ} 、 t _{PHL_CQ}	CQ レシーバの伝搬遅延	を参照してください C _L =15pF	CQ_GFILT_EN=1b0		0.3	0.8	μs
			CQ_GFILT_EN=1b1		1.5	2.4	μs
t _{P(skew)}	レシーバ伝搬遅延スキュー。 t _{PLH_CQ} - t _{PHL_CQ}				300		ns
t _{PLH_DI} 、 t _{PHL_DI}	DI レシーバの伝搬遅延		DI_GFILT_EN=1b0		1.3	2	μs
			DI_GFILT_EN=1b1		2.3	3.8	μs
t _{P(skew)}	レシーバ伝搬遅延スキュー。 t _{PLH_DI} - t _{PHL_DI}				800		ns
ウェーク時間							
t _{WU-DEL}	ウェークアップ パルスまでの遅延時間				80	μs	
t _{WU}	ウェークアップ パルス持続時間		75	80	85	μs	
t _{WU-DIS}	ウェークアップ パルス後にドライバがターンオフするまでの遅延			2		μs	
LP タイミング							
t _{ON}	NFET がターンオンする時間	C _{GATE} =1nF		0.17		ms	
t _{OFF}	NFET がターンオフする時間	C _{GATE} =1nF		10		μs	
t _{SC}	電流制限のブランキング時間	LP_CFG0[6:5] = 0h	5	5.5		ms	
		LP_CFG0[6:5] = 1h	15	16.5		ms	
		LP_CFG0[6:5] = 2h	50	55		ms	
		LP_CFG0[6:5] = 3h	150	165		ms	
t _{AR}	電流制限後の自動再試行時間	LP_CFG0[2:1] = 0h		50		ms	
		LP_CFG0[2:1] = 1h		0.5		s	
		LP_CFG0[2:1] = 2h		4		s	
		LP_CFG0[2:1] = 3h		10		s	
CQ HSS タイミング							
t _{OFF}	NFET がターンオフする時間	C _{GATE} =1nF		4		μs	
t _{ON}	NFET がターンオンする時間	C _{GATE} =1nF		0.15		ms	

5.6 スイッチング特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、 $V_{CC} = 24V$ 、 $V_L = 3.3V$ 、 $T_A = 25^{\circ}C$ での数値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{SC}	電流制限のプランキング時間	HSS_CFG0[6:5] = 0h	5	5.5		ms
		HSS_CFG0[6:5] = 1h	15	16.5		ms
		HSS_CFG0[6:5] = 2h	50	55		ms
		HSS_CFG0[6:5] = 3h	150	165		ms
t _{AR}	電流制限後の自動再試行時間	HSS_CFG0[2:1] = 0h		50		ms
		HSS_CFG0[2:1] = 1h		0.5		s
		HSS_CFG0[2:1] = 2h		4		s
		HSS_CFG0[2:1] = 3h		10		s
SPI タイミング (CS、SCK、SDI、SDO)						
f _{SCK_BURST}	最大 SPI クロック周波数	バースト モード。V _(VL) < 3V			15	MHz
t _{SCK}	SCK 周期	バースト モード。V _(VL) < 3V	66			ns
t _{SCKH}	SCK パルス幅 High	バースト モード。V _(VL) < 3V	33			ns
t _{SCKL}	SCK パルス幅 Low	バースト モード。V _(VL) < 3V	33			ns
f _{SCK_BURST}	最大 SPI クロック周波数	バースト モード。V _(VL) ≥ 3V			25	MHz
t _{SCK}	SCK 周期		40		ns	
t _{SCKH}	SCK パルス幅 High		20		ns	
t _{SCKL}	SCK パルス幅 Low		20		ns	
f _{SCK}	最大 SPI クロック周波数	非バースト モード。V _(VL) < 3V			15	MHz
t _{SCK}	SCK 周期	非バースト モード。V _(VL) < 3V	66			ns
t _{SCKH}	SCK パルス幅 High	非バースト モード。V _(VL) < 3V	33			ns
t _{SCKL}	SCK パルス幅 Low	非バースト モード。V _(VL) < 3V	33			ns
f _{SCK}	最大 SPI クロック周波数	非バースト モード。V _(VL) ≥ 3V			25	MHz
t _{SCK}	SCK 周期		40		ns	
t _{SCKH}	SCK パルス幅 High		20		ns	
t _{SCKL}	SCK パルス幅 Low		20		ns	
t _{CSS}	CS 立ち下がりエッジから SCK 立ち上がりまでの時間	V _(VL) < 3V	66			ns
t _{CSS}	CS 立ち下がりエッジから SCK 立ち上がりまでの時間	V _(VL) ≥ 3V	40			ns
t _{CSH}	SCK 立ち上がりから CS 立ち上がりまでのホールド時間	V _(VL) < 3V	66			ns
t _{CSH}	SCK 立ち上がりから CS 立ち上がりまでのホールド時間	V _(VL) ≥ 3V	40			ns
t _{DH}	SDI のホールド時間		5			ns
t _{DS}	SDI のセットアップ時間				5	ns
t _{DO}	SDO データの伝搬遅延	C _{OUT} = 10pF。V _(VL) < 3V			28	ns
t _{DO}	SDO データの伝搬遅延	C _{OUT} = 10pF。V _(VL) ≥ 3V			15	ns

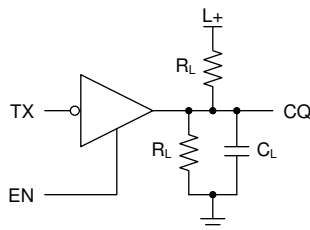
5.6 スイッチング特性 (続き)

推奨動作温度範囲および自由気流での推奨温度範囲内 (特に記述のない限り)。標準値は、 $V_{CC} = 24V$ 、 $V_L = 3.3V$ 、 $T_A = 25^{\circ}C$ での数値です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DORF}	SDO 立ち上がりおよび立ち下がり時間	$C_{OUT} = 10pF$			4	ns
t_{CSPW}	最小 $\overline{CS}$ パルス幅 (SPI トランザクション間のアイドル時間)		10			ns

(1) この時間において CQ/DO 出力はハイ インピーダンスのままです

6 パラメータ測定情報



Copyright © 2016, Texas Instruments Incorporated

図 6-1. ドライバ スイッチングのテスト回路

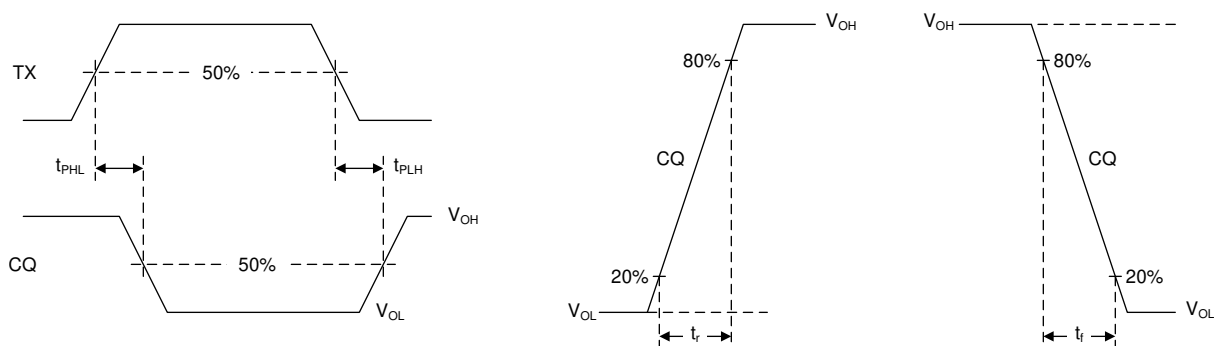


図 6-2. ドライバ出力のスイッチング測定時の波形

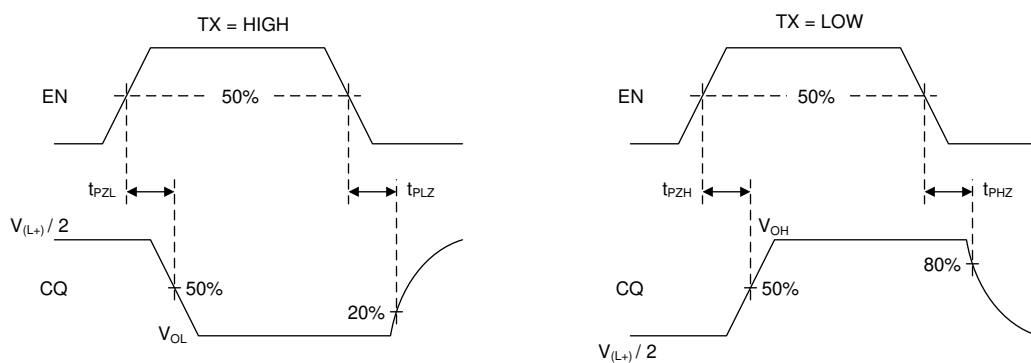


図 6-3. ドライバのイネーブルまたはディスエーブル時間測定時の波形

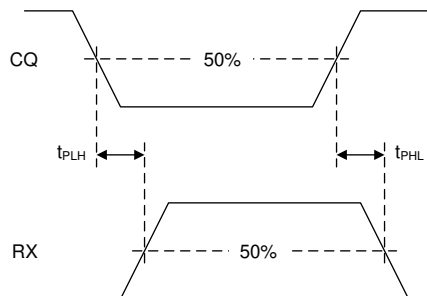


図 6-4. レシーバのスイッチング測定

センス抵抗 R_{SENSE} を Sx ピンと $VCCx$ ピンの間に接続し、 $L+$ パスを流れる電流を検出できるようにします。センス抵抗を流れる電流は、 $I_{LIM} = V_{TH}/R_{SENSE}$ に能動的に制御されます。センス抵抗の両端にデフォルトのスレッシュホールド $V_{TH} = 15mV$ が設定されます。このスレッシュホールドは、 LP_CFG0 レジスタ (LP_CLIM ビット) を使用して、次のいずれかの値に設定できます。15mV、30mV、60mV、120mV。

各チャネルの $L+$ 電源コントローラは、対応するチャネルの LP_CFG1 レジスタの $LP_GATE_DRV_EN$ ビットを使用して個別に有効化できます。別の電源コントローラを使用する必要がある場合は、 LP_GATE_HIZ ビットを High に設定できます。このビットは、電流センスに関連するすべての機能を無効化しますが、デバイスは $L+$ ノードの $UVLO$ イベントを検出して処理します。

7.3.1.1 自動再試行機能

LP_CFG0 レジスタ設定は、 $L+$ 電源の電流制限を構成するために使用できます。 LP_TSC および LP_TAR は、それぞれ電流フォルト ブランキング時間と自動回復時間を設定します。 LP_AR_DIS は、自動回復動作を制御します。 $L+$ パスを流れる電流が、 LP_CLIM ビットで設定された I_{LIM} を上回ると、過電流フォルトが生成されます。コントローラは、出力が電流制限状態にあるかどうかを定期的に再確認します。この状況では、デバイスは LP_TSC でオンになり、 LP_TAR でオフになります。

大きな突入電流を必要とする負荷 (たとえば、容量性負荷) の起動時に $NFET$ トランジスタで消費される電力をさらに低減するために、電流リミッタには、 $NFET$ にかかる電圧が高いときにブランキング時間を短縮し、初期起動フェーズ中のパルス エネルギーを制限する動的ブランキング時間モードが含まれています。動的ブランキング時間モードは、 $L+$ 出力電圧が 7V 未満である場合に動作し、 LP_CFG1 レジスタの LP_DYBL_EN ビットを設定することで有効化される必要があります。

7.3.1.2 電流センス機能

TIOM2212 は、 LP 電源コントローラの電流検出機能を備えています。センス抵抗両端の電圧は、 $GMSNS$ 、 LP を使用して電流に変換され、 SNS_LPA/B ピンに供給されます。 $GMSNS$ 、 LP は、設定の V_{TH} (15mV、30mV、60mV、120mV) に比例してスケールリングされます。 SNS_LPA/B ピンと LM ピンの間に抵抗を接続して、電流を電圧に変換し、マイコン ADC で検出できるようにします。電流センス機能は、 LP_CFG1 レジスタの LP_SNS_EN ビットを設定することで有効化できます。

7.3.2 C/Q トランシーバ

TIOM2212 には、 CQA と CQB で 2 つの $IOLINK$ 準拠ドライバがあり、それぞれ 2 つのチャネルがあります。これらは、プッシュプル、NPN、PNP モードとして構成できます。この設定には、 $IOLINK_PHY$ レジスタを使用します。このレジスタは、 CQ ドライバを有効または無効にし、 CQ 出力を High または Low に設定する目的でも使用できます。

CQ 電流制限は、 CQ_DRV_CFG レジスタで 100mA ~ 500mA (標準値) の間 (最大値 700mA) に設定できます。 CQ ドライバは、温度が 160°C を超える CQ ドライバをシャットダウンするサーマル センサを使用して熱保護されています。

7.3.2.1 CQ ドライバフォルト検出

TIOM2212 は、 C/Q ドライバがブランキング時間より長く CQ_ILIM を上回ると、フォルトを通知します。電流制限、ブランキング時間、自動再試行時間はそれぞれ CQ_DRV_CFG レジスタで設定できます。 C/Q 過電流フォルトが発生すると、 $CPIREQ$ レジスタに CQ_OC ビットが設定されます。この条件は、 $CPIMASK$ レジスタを使用してビットをマスクすることで無視できます。 C/Q ドライバが CQ_ILIM を上回ると、デバイスは 2 つのモード ($CQ_DRV_AR_DIS$ で設定) をサポートしています。デバイスはサーマル シャットダウン スレッシュホールドに達するまで無制限に電流を供給し続けるか、自動再試行モードで動作することができます。自動再試行モードでは、デバイスは、電流ブランキング時間に等しい期間にわたって CQ_ILIM と等しい電流を供給してから、自動再試行時間に等しい時間の出力を無効化します。 C/Q ドライバが CQ_ILIM を超え続ける限り、このルーチンは $CQ_DRV_MAX_AR$ フィールドで設定された値に達するまで何回も繰り返されます (また、このフィールドの値が 0000b の場合、このルーチンは無限に繰り返されます)。

7.3.2.2 CQ 逆極性保護

CQ ドライバは、 LM と VCC で逆極性保護を提供します。 CQ ドライバは電流をアクティブに制限し、 CQ 電圧が LM を下回るか、 VCC を上回ると無効になります。

7.3.2.3 CQ 電流ソースまたはシンク

各 CQ ドライバは、プログラマブル内部プルアップ/ダウン電流ソースをサポートしています。

電流の値と方向は、CQ_CFG レジスタを使用して設定できます。ドライバが有効の間、内部プルアップ/ダウンは自動的に無効になります。CQ_SNK_SRC ビットを使用して、シンク/ソース電流を 150uA/2mA/5mA に設定できます。CQ_SRC_EN/CQ_SNK_EN ビットは、ソースまたはシンク電流源を有効にするために使用されます。

7.3.2.4 CQ レシーバ出力

CQA/B レシーバ出力は RXA/B です。これらは、LED ドライバとマルチプレクサで接続されます。

RX は、CQ_RX_VTH_EN ビット (CQ_CFG 内) を 11 に設定することで無効化できます。このモードでは RXA/B がハイインピーダンスになります。

7.3.2.5 CQ レシーバ スレッシュホールド

CQ レシーバ スレッシュホールドは、デフォルトで IOLINK 規格に準拠しています。しかし、より低い LP 値の操作を有効にするには、スレッシュホールドを LP に対してレシオメトリックに設定できます。これは、CQ_RX_VTH_EN ビット (CQ_CFG 内) を 01 に設定することで実行できます。スレッシュホールドは、LP $\geq$ 18V の場合は IOLINK 規格と互換性があり、LP < 18V の場合はレシオメトリックになります (FigureX)。

また、このスレッシュホールドは、CQ_RX_VTH_EN ビット (CQ_CFG 内) を 10 に設定することで、IEC 61131-2 タイプ 2/3 と互換するように設定することもできます。

7.3.2.6 CQ/RX レシーバのグリッチ フィルタ

CQ レシーバのノイズ耐性は、CQ_CFG レジスタの CQ_GFILT_EN ビットを設定することで向上できます。グリッチ フィルタが有効のとき、1.15us (標準値) 未満のグリッチは RX によって無視されます。

7.3.3 ハイサイド スイッチ (HSS) ゲート ドライバ

デバイスは、ハイサイド スイッチ (HSS) ゲートドライバを備えており、C/Q 出力の追加駆動を可能にします。ゲートドライバは CQG1x ピンと CQG2x ピンを制御し、HSS のアクティブ電流制限、逆極性保護、自動再試行機能を実現します。HSS を流れる電流は、CQS1x と CQS2x の間に配置されたセンス抵抗を使用して検出されます。センス抵抗を流れる電流は、 $I_{LIM} = V_{TH}/R_{SENSE}$ に能動的に制御されます。センス抵抗の両端にデフォルトのスレッシュホールド $V_{TH} = 15mV$ が設定されます。このスレッシュホールドは、HSS_CFG0 レジスタ (HSS_CLIM ビット) を使用して、以下のいずれかの値に構成できます。15mV、30mV、60mV、120mV。

CQx HSS コントローラは、対応するチャネルの HSS_CFG1 レジスタの HSS_GATE_DRV_EN ビットを使用して個別に有効化できます。

CQG1x に接続された FET が HSS 電流の値と状態 (オン/オフ) を制御し、CQG2x に接続された FET は逆極性保護を実現します。逆極性のスレッシュホールドは、センス抵抗の両端で 100mV に設定されます。両方の FET の状態は、HSS_CFG1 の HSS_CQG1_EN および HSS_CQG2_EN ビットを使用して個別に制御できます。

すべてのゲートドライバは NFET をサポートしており、システム全体のコストを削減できます。これらのドライバは、10kHz を超える速度で外部 NFET をスイッチングすることができます。

自動再試行機能

HSS_CFG0 レジスタは、HSS 電流制限を設定するために使用できます。HSS_TSC および HSS_TAR は、それぞれ電流ブランキング時間と自動再試行時間を設定します。HSS 電流が、HSS_CLIM ビットで設定された I_{LIM} を上回ると、過電流フォルトが生成されます。HSS が HSS_CLIM を超えた場合、デバイスは 2 つのモード (HSS_AR_DIS で設定) をサポートしています。デバイスはサーマル シャットダウン スレッシュホールドに達するまで無制限に電流を供給し続けるか、自動再試行モードで動作することができます。自動再試行モードでは、デバイスは、電流ブランキング時間に等しい期間にわたって HSS_CLIM と等しい電流を供給してから、自動再試行時間に等しい時間の出力を無効化します。HSS が HSS_CLIM を超え続ける限り、を超え続ける限り、このルーチンは HSS_MAX_AR フィールドで設定された値に達するまで何回も繰り返されます (また、このフィールドの値が 0000b の場合、このルーチンは無限に繰り返されます)。

大きな突入電流を必要とする負荷 (たとえば、容量性負荷) の起動時に外部 NFET で消費される電力をさらに低減するために、電流リミッタには、FET にかかる電圧が高いときにブランキング時間を短縮し、初期起動フェーズ中のパルス エネルギーを制限する動的ブランキング時間モードが含まれています。動的ブランキング時間モードは、HSS 出力電圧が 7V 未満である場合に動作し、HSS_CFG1 レジスタの HSS_DYBL_EN ビットを設定することで有効化される必要があります。

電流センス機能

TIOM2212 は、HSS の電流検出機能を備えています。センス抵抗両端の電圧は、GMSNS、HSS を使用して電流に変換され、SNS_CQA/B ピンに供給されます。GMSNS、HSS は、設定の V_{TH} (15mV、30mV、60mV、120mV) に比例してスケールリングされます。SNS_CQA/B ピンと LM ピンの間に抵抗を接続して、電流を電圧に変換し、マイコン ADC で検出できるようにします。電流センス機能は、HSS_CFG1 レジスタの HSS_SNS_EN ビットを設定することで有効化できます。

7.3.4 DI レシーバ

デバイスには、2 つの補助レシーバ DIA および DIB が搭載されています。これらのレシーバは、各チャンネル固有のレジスタ CQ_DRV_DI_CFG の DI_RX_VTH_EN = 0b11 ビットを設定することで有効化できます。

これらの入力は、LP、CQ、LM、VCC を基準として逆極性保護されています。

各 DI レシーバは、2mA の内部プルアップ/ダウン電流ソースを実装しています。方向は、CQ_DRV_DI_CFG レジスタを使用して設定できます。CQ_SRC_EN/CQ_SNK_EN ビットは、ソースまたはシンク電流源を有効にするために使用されます。

DI レシーバ スレッショルドは、デフォルトで IO-Link 規格に準拠しています。しかし、より低い LP 値での動作を可能にするには、DI_RX_VTH_EN ビット (CQ_DRV_DI_CFG 内) を 01b に設定することで、スレッショルドを LP に対してレシオメトリックにすることができます。このため、 $L+ \geq 18V$ の場合のデバイスのスレッショルドは IO-Link 規格と互換性があり、 $L+ < 18V$ の場合はレシオメトリックになります。また、スレッショルドは、DI_RX_VTH_EN ビット (CQ_DRV_DI_CFG 内) を 10b に設定することで、IEC 61131-2 タイプ 2/3 と互換するように設定することもできます。

DI レシーバのノイズ耐性は、CQ_DRV_DI_CFG レジスタのビット DI_GFILT_EN を設定することで改善できます。グリッチフィルタが有効のとき、1.8us 未満 (標準値) のグリッチは RX によって無視されます。

7.3.5 逆極性保護

逆極性保護回路は、L+、CQ、L- ピンへの誤った逆極性接続からデバイスを保護します。いずれかのピン間の最大電圧は、常に 65V DC を超えないようにする必要があります。

図 7-1 および 図 7-2 に、可能なすべての接続の組み合わせを示します。

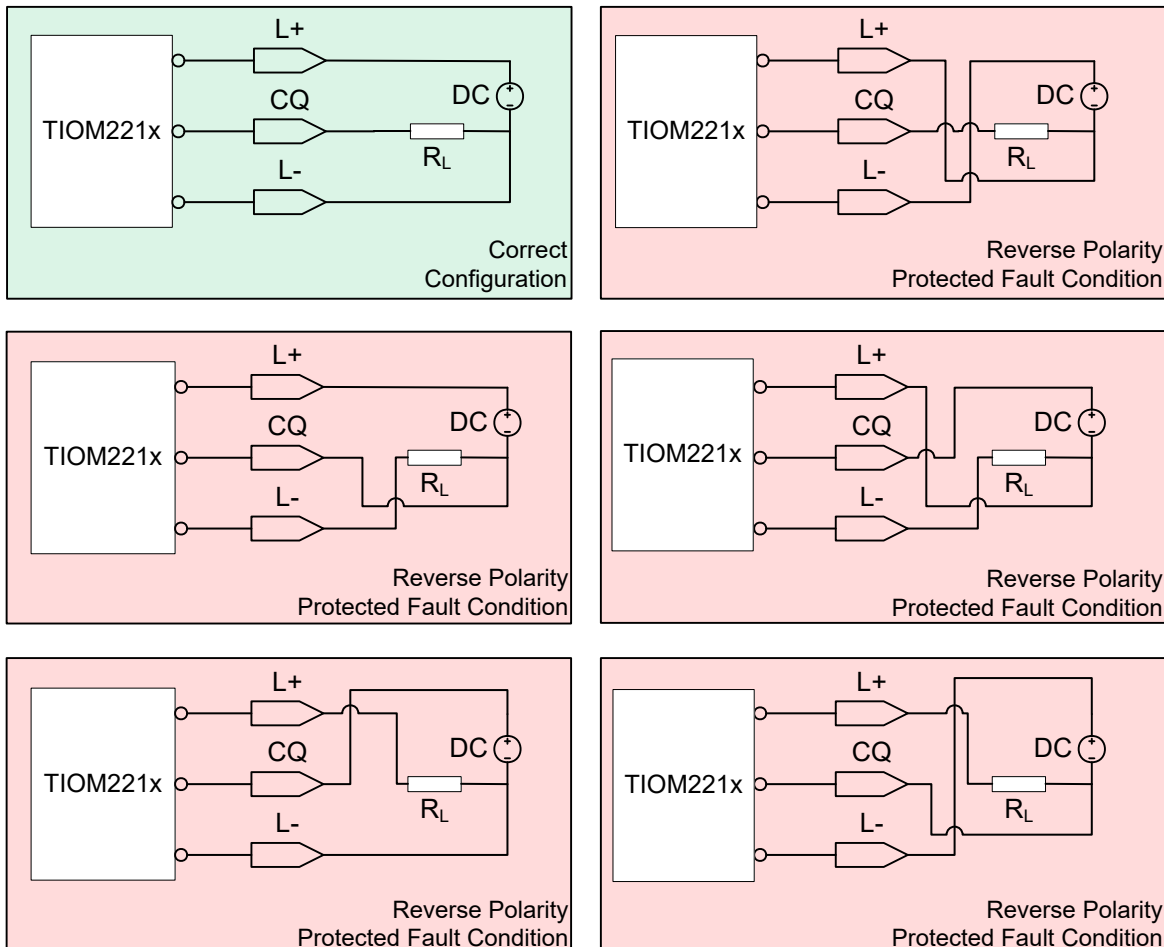


図 7-1. ハイスайд ドライバ構成

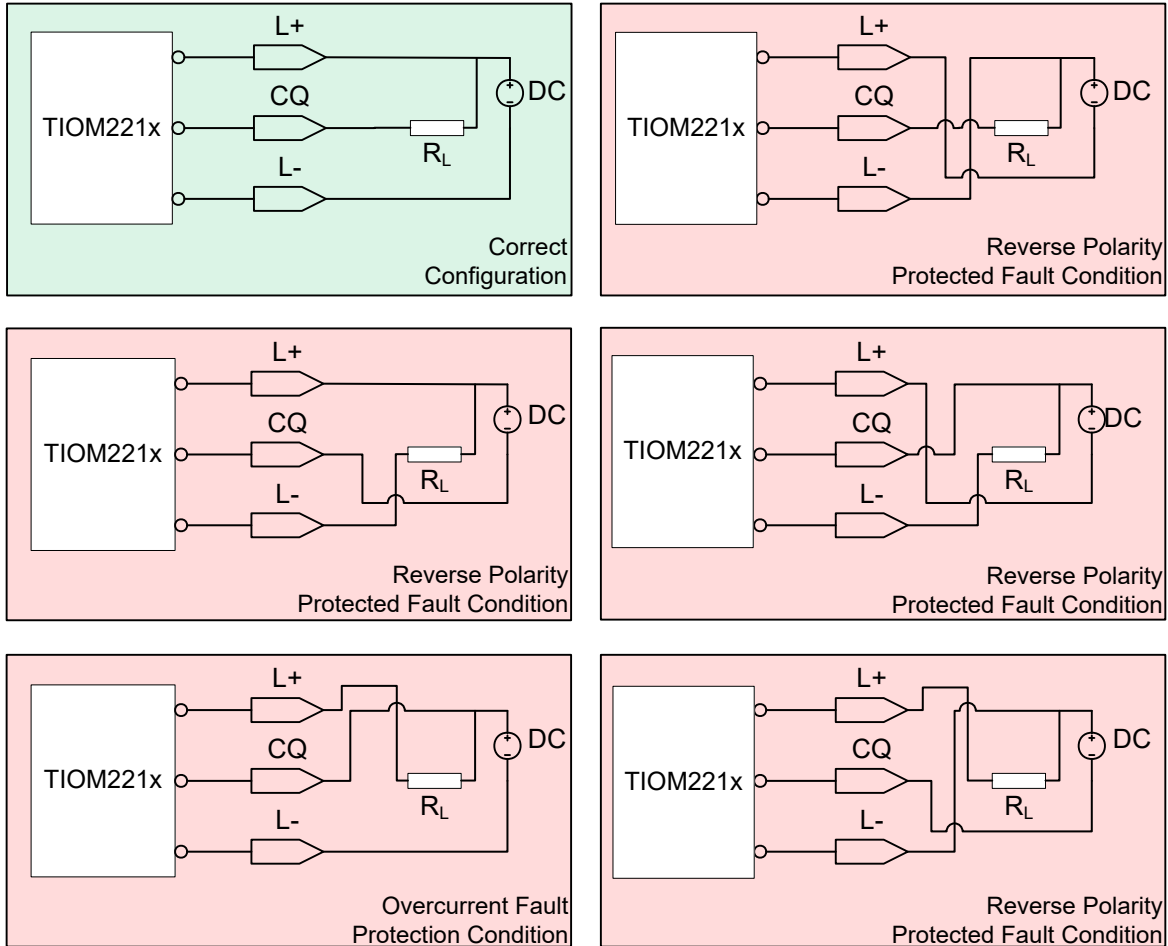


図 7-2. ローサイド ドライバ構成

7.3.6 熱警告およびシャットダウン

ダイ温度が $T_{(WRN)}$ を上回ると、CPSTAT レジスタの OT_WARN ビットを設定することで、過熱フォルトが生成されますが、出力は無効化されません。温度が $T_{(FAULT)}$ を超えても上昇し続ける場合、CPSTAT ビットの OT_FAULT ビットが設定され、出力は無効化されます。温度が温度スレッシュホールドを下回ると (そして $T_{(HYS)}$ を過ぎると)、内部の過熱保護回路がドライバを再び有効化します。

7.3.7 クロック処理

XO と XI は、水晶発振器に使用されます。これらのピンの間に 14.747MHz 水晶振動子を接続します。14.747MHz は内部的に 3.686MHz に分周され、IOLINK フレーム ハンドラに使用されます。水晶発振器は、ビット XTAL_EN を 1 に設定することで有効化できます。この出力は CLKO ピンからも利用でき、同じボード上にある他の TIOM2212 デバイスで使うことができます。CLKO ピンは、CLKO_EN を 1 に設定することで、水晶発振器クロックを出力するように構成できます。クロックを外部で受信するデバイスは、ビット CLKIN_EN を 1 に設定する必要があります。

XO と XI には 10pF の容量が内部で用意されています。目標周波数で共振する水晶振動子に必要な CL が得られるように、CL1 および CL2 を選択します。

内部フレーム ハンドラの代わりに UART を使用する場合、内部発振器の精度を十分にし、INT_OSC_EN を 1 に設定して有効化する必要があります。

7.3.8 パワーアップ シーケンス (TIOM2212)

VCC および L+ ドメインは、任意のシーケンスでパワーアップできます。L+ に電源が供給されていて VCC が供給されていない場合、CQ ピンはハイ インピーダンスに維持されます。

VL 電圧が 1.3V (VL UVLO スレッシュホールド) を下回ると、VCC または L+ が供給されている場合でも、デジタル モジュールはリセットされ、デバイスを再度設定する必要があります。

7.3.9 デバイスの機能モード

特定のチャンネルに対して 4 つの動作モードがあります。各チャンネルは、これら 4 つのモードのいずれかで動作するように個別に構成できます。このチャンネル モードは、LCFG レジスタの CLMD フィールドを使用して構成できます。

1. IOLINK PHY モード
2. UART モード
3. フレーム ハンドラ モード
4. 拡張フレーム ハンドラ モード

7.3.9.1 IO-Link PHY モード

IO-Link PHY モードは、基本的な PHY ドライバ モードであり、TX および TXEN ピンを使用して CQ を直接制御します。このモードでは、C/Q ドライバを、対応するチャンネル レジスタの PHY モード構成レジスタ CQSRC に基づいて、TX および TXEN のソースを選択するように構成できます。

CQSRC	TXD ソース	TXEN ソース
0 (SPI モード)	IOLINK_PHY レジスタの CQ_TXD フィールド	IOLINK_PHY レジスタの CQ_MD フィールド
1 (ピン モード)	TXD ピン	TXEN ピン

このモードの SPI および PIN サブモードでは、HSS_ALT_FUNC_SEL レジスタの LED4_SEL フィールドを使用してそのピンが RXD として選択されている場合、RXCQ ピンはそのチャンネルの RXD として機能します。

PIN サブモードでは、IOLINK_PHY レジスタの CQ_MD フィールドを使用して CQ ドライバの動作モードを構成します。SPI サブモードでは、IOLINK_PHY レジスタの CQ_MD フィールドを使用してドライバを構成します。

ピン モード

PIN サブモードでは、IOLINK_PHY レジスタの CQ_TXD フィールドの値は無視されます。

CQ_MD	TXEN ピン	TXD ピン	CQ	RXCQ ピン CQ_RXD レジスタ フィールド ~CQ [LED4_SEL = 0 & CQ_RX_VTH_DIS != 11]
00	X	X	HiZ	~CQ
01 (NPN)	0	0	HiZ	~CQ
01 (NPN)	0	1	HiZ	~CQ
01 (NPN)	1	0	HiZ	~CQ
01 (NPN)	1	1	低	~CQ
10 (PNP)	0	0	HiZ	~CQ
10 (PNP)	0	1	HiZ	~CQ
10 (PNP)	1	0	高	~CQ
10 (PNP)	1	1	HiZ	~CQ
11 (プッシュプル)	0	0	HiZ	~CQ
11 (プッシュプル)	0	1	HiZ	~CQ
11 (プッシュプル)	1	0	高	~CQ
11 (プッシュプル)	1	1	低	~CQ

注: LED4_SEL = 0 & CQ_RX_VTH_DIS == 11 の場合、RXCQ は未定義となります。

SPI モード

SPI サブモードでは、TX & TXEN ピンの値は無視されます。

CQ_MD	CQ_TXD	CQ	RXCQ ピン CQ_RXD レジスタ フィールド [LED4_SEL = 0 & CQ_RX_VTH_DIS != 11]
00	X	HiZ	~CQ
01 (NPN)	0	HiZ	~CQ
01 (NPN)	1	低	~CQ
10 (PNP)	0	高	~CQ
10 (PNP)	1	HiZ	~CQ
11 (プッシュプル)	0	高	~CQ
11 (プッシュプル)	1	低	~CQ

注: LED4_SEL = 0 & CQ_RX_VTH_DIS == 11 の場合、RXCQ は未定義となります。

7.3.9.1.1 統合自動シーケンス

IO-Link PHY モードには、IO-Link プロトコルの起動シーケンス中にマイコンの負荷を低減するために、複数の自動シーケンスが内蔵されています。

1. タイムアウト付き準備完了パルス検出 (RPD)
2. ウェーク パルス生成 (WPG)
3. タイムアウト付き準備完了パルス検出、およびそれに続くウェーク パルス生成 (RPDWPG)
4. 通信シーケンス確立 (ECS)
5. タイムアウト付き準備完了パルス検出、およびそれに続く通信シーケンス確立 (RPDECS)

タイムアウト付き準備完了パルス検出 (RPD)

準備完了パルス検出は、IOLINK_PHY レジスタの AUTO_START フィールドを 3b010 に設定することから開始します。このシーケンスは、Lplus 電源を内部で有効に設定することで開始し、Lplus UVLO ステータスが Low になるまで待機します。タイムアウトタイマは、RPD_OFST_TMR で設定された期間、並列に実行されます。タイマが期限切れになるまで、IOLINK 規格に従って、周期 tRP の有効な準備完了パルスの検出を試みます。

有効な準備完了パルスが検出されると、CLIREQ の ASEQ_OK 割り込みが記録され、CLIMASK に基づいて IRQ ピンに通知されます。それ以外の無効なパルス長検出またはパルス検出なしの場合、検出期間中に CLIREQ の RPD_ERR 割り込みはタイムアウト時にトリガされます。

ユーザーは、中止コマンド (AUTO_START = 0x7) を発行して、準備完了パルス検出シーケンスを停止できます

ウェーク パルス生成 (WPG)

TIOM2212 は、IO-Link 規格に準拠し、t_{WU} (80μs) のウェーク パルスを生成できます。ウェーク パルスは、長さ t_{WU} の間 CQ 状態を反転し、再度長さ t_{WU} の間 CQ 状態を反転することで生成されます。

ウェーク パルスを生成するには、次の手順に従う必要があります。

1. C/Q ドライバを受信モードに設定します。
 - a. デバイスが UART モードの場合、TXEN ピンと TX ピンを Low に駆動します。
 - b. デバイスが SPI 制御モードの場合、対応するチャネル レジスタの TXEN ビットと TX ビットを Low に設定します。

2. 対応するチャンネルレジスタの **AUTO_START** フィールドに **0x1** の値を書き込みます。
3. ウェークパルスルーチンが実行されるまで待ちます。

有効なウェークパルスが生成されると、**CLIREQ** レジスタの **ASEQ_OK** 割り込みビットが設定されます。バスフォルトが発生した場合、**CLIREQ** レジスタの **WPG_ERR** 割り込みビットが設定されます。

タイムアウト付き準備完了パルス検出、およびそれに続くウェークパルス生成 (RPDWPG)

この組み合わせシーケンスでは、**RPD** タイマの期限切れと **tRW** タイマの期限切れ後にウェークパルスが生成されます。シーケンスが成功すると、**ASEQ_OK** 割り込みフラグが設定されます。それ以外の **RPD** または **WPG** が失敗した場合、対応する **RPD_ERR** または **WPG_ERR** フラグが設定されます。

通信シーケンス確立 (ECS)

通信シーケンス確立 (ECS) は、**AUTO_START** レジスタを対応するチャンネルレジスタの値 **0x4** に設定することで開始されます。この自動シーケンスは、**T₂** および **T_A** の構成オーバーライドで規格に従います。このシーケンスでは、まずウェークパルスが生成され、次に **COM3** から始まり徐々に低速な速度へと移行しながら、各 **COMx** レートで **C/Q** ライン上に読み取り最小サイクル時間メッセージが送信されます。

有効な応答が受信されると、**CLIREQ** レジスタの **ASEQ_OK** 割り込みビットが設定され、ユーザーは、**LCFG** レジスタの **COM** フィールドから **COM** レートの成功を、**FH_CYCT** レジスタから最小サイクル時間を読み取ることができます。障害が発生すると、**CLIREQ** レジスタの **ECS_ERR** 割り込みビットが設定されます。

タイムアウト付き準備完了パルス検出、およびそれに続く通信シーケンス確立 (RPDECS)

タイムアウト付き準備完了パルス検出の後に通信シーケンス確立 (RPDECS) が行われると、**RPD** と **ECS** シーケンスが組み合わせられ、**AUTO-START** レジスタを、対応するチャンネルレジスタの値 **0x5** に設定することで開始されます。**RPD** シーケンス完了後、**tRW** の長さが経過すると、**ECS** シーケンスが実行されます。詳細については、**RPD** と **ECS** の両方の説明を参照してください。

シーケンス全体が成功した場合、**CLIREQ** レジスタの **ASEQ_OK** 割り込みビットが設定されます。シーケンスのいずれかの部分で障害が発生した場合、**CLIREQ** レジスタの対応する **RPD_ERR** または **ECS_ERR** 割り込みビットが設定されます。

7.3.9.2 UART モード

UART モードでは、チャンネルは 1 バイトのバッファを備えた基本的な UART トランスミッタと同様に動作します。基本的には、**IO-Link** ベース UART フォーマットを持つ UART です。このモードを使用して、**IO-Link** フレームをバイト単位で送受信できます。このモードでは、すべての **IO-Link PHY** 構成を **T_A**、**T₂**、**PHYMD**、**CQ_TXD** 以外に適用できます。

転送&受信

UART モードで送信するには、**TX_RDY** がメッセージを送信するように設定されているときに、データバイトを **UART** レジスタに書き込みます。UART モードで受信するには、**RX_RDY** が受信メッセージを読み取るように設定されているときに、**UART** レジスタからデータバイトを読み取ります。

マイコンがデータバイトを読み取らず、UART が次のバイトを受信すると、オーバーラン割り込み (**OR_ERR**) が生成されます。受信中にフレームエラーまたはパリティエラーが検出されると、レシーバエラー (**RX_ERR**) 割り込みが生成されます。送信データが **CQ** チャンネルに反映されていないと、転送エラー (**TX_ERR**) 割り込みが生成されます。

7.3.9.3 フレームハンドラ モード

フレームハンドラモードでは、**PHY** は規格に準拠した **IO-Link** フレームを送受信できます。また、構成レジスタにより、**t₁**、**t_A**、**t₂** など、一部の重要なタイミング仕様の場合、**PHY** は **IO-Link** 規格外で動作させることもできます。

メッセージシーケンス構成

IO-Link メッセージは、IO-Link メッセージのタイプに応じて、マスター送信メッセージでは MC、CKT、MPD、OD で構成され、デバイスメッセージ応答では OD、DPD、CKS で構成されます。

各メッセージの長さは、M シーケンスのタイプ、読み取り/書き込み動作、IO-Link 通信チャネル使用、マスター プロセス データ長、デバイス プロセス データ長、オンデマンド データ長によって異なります。IO-Link フレームを構成するには、FH_MPDLEN レジスタのマスター プロセス データ長、FH_DPDLEN レジスタのデバイス プロセス データ長、FH_ODLEN レジスタのオンデマンド データ長を指定します。フレーム タイプ、読み取り/書き込みステータス、使用される IO-Link チャネルなどの他の必要な情報は、送信されるメッセージの最初の 2 バイトから解析されます。

FH_ODLEN、FH_MPDLEN、FH_DPDLEN の SPI アクセス可能レジスタは、データ フィールド長を構成するために使用されます。

アクセス タイプ、チャネル、M シーケンス タイプ情報は、送信バッファに書き込まれた最初の 2 バイトから解析されます。

特定の TX および RX データ長の計算において、FH_ODLEN、FH_MPDLEN、FH_DPDLEN レジスタで非標準のメッセージ長が構成された場合、非標準のメッセージが送信され、受信側でも非標準のメッセージが想定されます。

表 7-1. TX メッセージ長の計算

フレーム タイプ	R/W	チャネル	TX データ長
0	R	X	0
0	W	X	1
1	R	X	0
1	W	プロセス	2
1	W	! プロセス	FH_ODLEN
2	R	X	FH_MPDLEN
2	W	X	FH_MPDLEN + FH_ODLEN
3	R	X	0
3	W	X	1
デフォルト	R	X	FH_MPDLEN
デフォルト	W	X	FH_MPDLEN + FH_ODLEN

表 7-2. RX メッセージ長の計算

フレーム タイプ	R/W	チャネル	RX データ長
0	W	X	0
0	R	X	1
1	W	X	0
1	R	プロセス	2
1	R	! プロセス	FH_ODLEN
2	W	X	FH_DPDLEN
2	R	X	FH_ODLEN + FH_DPDLEN
3	W	X	0
3	R	X	1
デフォルト	W	X	FH_DPDLEN
デフォルト	R	X	FH_ODLEN + FH_DPDLEN

フレーム バッファ

フレーム ハンドラには、転送用データをステージして受信中に受信データを保存するために使用される 128 バイトのフレーム バッファが内蔵されています。

チェックサム

デバイスにはハードウェア チェックサム ジェネレータが内蔵されており、FH レジスタの **CKSM** フィールドを設定することで有効化できます。このビットが有効の場合、送信されるデータにロードされたチェックサム フィールドは無視され、その代わりに、送信されるメッセージの一部として計算されたチェックサムが追加されます。自動チェックサムを使用するには、送信イベントがトリガされる前に、送信されるメッセージ全体を送信バッファに埋める必要があります。チェックサム ジェネレータが無効化されている場合、TX チェックサムは内部的に計算され、データ フレームと比較されます。最後のメッセージが TX バッファで受信され、デバイスはこの内部チェックサムをロードされたチェックサムと比較します。この比較に失敗した場合、デバイスは **CKSM_ERR** 割り込みを設定します。

すべての受信メッセージ イベントで、受信メッセージ チェックサムが計算され、受信メッセージのチェックサム部分に対して検証されます。

トランシーバ モード

フレーム ハンドラは、M シーケンスを開始できるときに次の基準を決定します。

自動チェックサム イネーブル (FH レジスタの **CKSM** ビット):

- 有効の場合、転送が開始する前に、フレーム バッファでフル マスター メッセージが利用可能である必要があります。
- 無効の場合、マスター メッセージの少なくとも 1 バイトがフレーム バッファで利用可能になるとすぐに転送を開始できます。

同期イネーブル (FH レジスタの **SYNC_INT_EN** または **SYNC_EXT_EN** ビット):

- 有効の場合、同期イベントによってオフセット タイマが開始されます。オフセット タイマが経過した後、フレーム バッファで使用可能な場合はマスター メッセージが送信されます。オフセット タイマが経過したときにフレーム バッファ内のデータが不十分な場合、転送は開始されません。

サイクル タイマ イネーブル (FH **CYCT** レジスタ):

- 有効の場合 (FH **CYCT** レジスタがゼロでない場合)、フレーム バッファでマスター メッセージが使用可能であれば、または同期が有効であれば、同期要求が受信されるとサイクル タイマが開始されます。
- サイクル タイマが経過した場合は、次のマスター メッセージを送信できます。

M シーケンスが開始され (サイクル タイマが経過またはオフセット タイマが経過)、フレーム バッファでマスター メッセージデータが使用できない場合、フレーム ハンドラはエラーを発生させることなくこのイベントを無視します。

自動チェックサム オフ、同期オフ、サイクル タイマ オフ

FHD レジスタに書き込まれたバイトは、**CQ** ピンで直ちに送信されます。マスター メッセージの最後のバイトが送信されると、フレーム ハンドラはデバイス メッセージを待機します。デバイス メッセージがフレーム バッファから読み取られた後、新しいマスター メッセージを送信できます。

注: IO-Link 仕様では、UART「マスター ポートのフレーム転送遅延」(IO-Link インターフェイスおよびシステム仕様) が最大 $1 T_{BIT}$ と規定されています。**CQ** ピンで 1 バイトが送信された後、次のバイトは少なくとも $1 T_{BIT}$ の遅延内にフレーム バッファ内に存在していなければ、 T_1 タイムアウトが発生し、結果として **T1_TA_T2_TO_ERR** ビットが設定されます。

自動チェックサム オフ、同期オフ、サイクル タイマ オン

FHD レジスタに書き込まれたバイトは、**CQ** ピンで直ちに送信されます。同時に、サイクル タイマが開始されます。マスター メッセージの最後のバイトが送信されると、フレーム ハンドラはデバイス メッセージを待機します。

サイクル タイマが経過し、フレーム バッファで次のマスター メッセージの少なくとも 1 バイトが使用可能な場合、サイクル タイマが再起動し、フレーム バッファで使用可能なデータが **CQ** ピンで送信されます。

サイクル タイマが経過し、フレーム バッファにマスター メッセージ データがない場合、FHD レジスタを介して新しいバイトがフレーム バッファに書き込まれるまでサイクル タイマは停止します。その後で、サイクル タイマが再起動し、マスター メッセージ バイトが CQ ピンを介して送信されます。

自動チェックサム オフ、同期オン、サイクル タイマ オフ

同期要求を受信すると、オフセット タイマが開始されます。オフセット タイマが経過すると、フレーム バッファ内のマスター メッセージが CQ ピンを介して送信されます。オフセット タイマが経過したときにフレーム バッファにデータがない場合、データは送信されません。

後続の同期要求を受信し、オフセット時間が経過していない場合、同期要求は無視されます。マスター メッセージの転送が開始された場合、デバイス メッセージがフレーム バッファから完全にフェッチされるまで、同期要求は無視されます。

自動チェックサム オフ、同期オン、サイクル タイマ オン

最初の同期要求を受信すると、オフセット タイマとサイクル タイマが開始されます。オフセット タイマが経過すると、フレーム バッファ内で使用可能なマスター メッセージが CQ ピンを介して送信されます。マスター メッセージの少なくとも 1 バイトがフレーム バッファで利用可能な場合、転送が開始されます。マスター メッセージの残りのバイトをフレーム バッファがマスター ポートの UART フレーム転送遅延に違反しないように、十分な速度で書き込むのはユーザーの責任です。オフセット タイマが経過したときに、フレーム バッファでマスター メッセージ データが利用できない場合、このサイクル中に UART フレームは送信されません。マスター メッセージの最後のバイトが送信されると、フレーム ハンドラはデバイス メッセージを待機します。

サイクル タイマが経過すると、オフセット タイマを起動してサイクル タイマを再起動することでプロセスが再開されます。

注

オフセット タイマのタイムアウトはサイクル タイマのタイムアウトを超えてはなりません。超えてしまうと、フレーム ハンドラの動作が未定義になります。

サイクル タイマの実行中は、追加の同期イベントは無視されます。サイクル タイマは、フレーム ハンドラがリセットされるか、サイクル タイマが無効になるまで動作を継続します。フレーム ハンドラ SKIP では、サイクル タイマは無効化またはリセットされません。

自動チェックサム オン、同期オフ、サイクル タイマ オフ

FHD レジスタを介してフル マスター メッセージがフレーム バッファに書き込まれると、メッセージは CQ ピンを介して送信されます。マスター メッセージの最後のバイトが送信されると、フレーム ハンドラはデバイス メッセージを待機します。デバイス メッセージがフレーム バッファから読み取られた後、新しいマスター メッセージを送信できます。

自動チェックサム オン、同期オフ、サイクル タイマ オン

FHD レジスタを介してフル マスター メッセージがフレーム バッファに書き込まれると、メッセージは直ちに CQ ピンで送信され、サイクル タイマが開始されます。マスター メッセージの最後のバイトが送信されると、フレーム ハンドラはデバイス メッセージを待機します。

サイクル タイマが経過し、フレーム バッファでフル マスター メッセージが使用可能になった場合、サイクル タイマが再起動し、マスター メッセージが CQ ピンで送信されます。

サイクル タイマが経過し、フレーム バッファでフル マスター メッセージを使用できない場合、フル マスター メッセージがフレーム バッファに書き込まれるまでサイクル タイマは停止します。その直後にサイクル タイマが再起動し、マスター メッセージが CQ ピンを介して送信されます。

自動チェックサム オン、同期オン、サイクル タイマ オフ

同期要求を受信すると、オフセット タイマが開始されます。オフセット タイマが経過すると、フレーム バッファ内のマスター メッセージが **CQ** ピンを介して送信されます。オフセット タイマが経過したときにフレーム バッファでフル マスター メッセージを使用できない場合、データは送信されません。

後続の同期要求を受信し、オフセット時間が経過していない場合、同期要求は無視されます。マスター メッセージの転送が開始された場合、デバイス メッセージがフレーム バッファから完全にフェッチされるまで、同期要求は無視されます。

自動チェックサム オン、同期オン、サイクル タイマ オン

最初の同期要求を受信すると、オフセット タイマとサイクル タイマが開始されます。オフセット タイマが経過すると、フレーム バッファで使用可能なマスター メッセージが **CQ** ピンを介して送信されます。オフセット タイマが経過したときにフレーム バッファでフル マスター メッセージを使用できない場合、このサイクル中にデータは送信されません。マスター メッセージの最後のバイトが送信されると、フレーム ハンドラはデバイス メッセージを待機します。

サイクル タイマが経過すると、オフセット タイマを起動してサイクル タイマを再起動することでプロセスが再開されます。
注: オフセット タイマのタイムアウトはサイクル タイマのタイムアウトを超えてはなりません。超えてしまうと、フレーム ハンドラの動作が未定義になります。

サイクル タイマの実行中は、追加の同期イベントは無視されます。サイクル タイマは、フレーム ハンドラがリセットされるか、サイクル タイマが無効になるまで動作を継続します。フレーム ハンドラ **SKIP** では、サイクル タイマは無効化またはリセットされません。

M シーケンス処理

割り込みは、デバイス メッセージの一部とデバイス メッセージ全体のどちらかを受信した後にトリガするように設定できます。割り込み動作は、**CLIMASK** および **FH_BTIVL** レジスタを使用して変更できます。

受信されたデバイス メッセージのパリティまたはチェックサム エラーは **CLSTAT.STATE** レジスタによって示されます。エラー デバイス メッセージはフレーム バッファに格納されます。

フレーム ハンドラは、**IO-Link** インターフェイスとシステム仕様 の以下のタイミング制約をチェックします。

- マスター ポートの **UART** フレーム転送遅延 (の付録 A.3.3)、 t_1
- デバイスの **UART** フレーム転送遅延 (の付録 A.3.4)、 t_2
- デバイスの応答時間 (の付録 A.3.5)、 t_A

M シーケンス (マスターまたはデバイス メッセージ) によってこれらのタイミング制約のいずれかに違反すると、タイムアウトがフラグされます。

IO-Link インターフェイスおよびシステム仕様 [1] (付録 A.3.5、デバイスの応答時間) に従い、デバイスは、マスター メッセージ送信後に $1 T_{BIT} \leq t_A \leq 10 T_{BIT}$ 内に応答することが期待されています。しかし、フィールド内の一部の **IO-Link** バスはこの制約に違反します。このようなデバイスをサポートするために、**LCFG** レジスタの T_A ビットを使用してタイムアウトを延長できます。

UART フレーム転送遅延 (t_2) に違反するデバイスをサポートできるようにするため、フレーム ハンドラがこのタイムアウトをチェックするために使用するスレッシュホールドは、**LCFG** レジスタの T_2 ビットを使用して緩和できます。

状態、スキップ、リセット機能

フレーム ハンドラは有限オートマトン (有限状態機械) (**FSM**) として実装されており、アイドル状態、マスター メッセージの送信、デバイス メッセージの受信のいずれかとなります。

IDLE モードでは、フレーム ハンドラは、マスター メッセージ データがフレーム バッファ内で使用可能になるのを待ちます。また、トランシーバー モードに応じて、オフセットの期限切れ、またはサイクル タイマの経過を待ちます。フレーム ハ

ンドラは、TRANSMIT モードで CQ でのみデータを送信します。フレーム ハンドラは、RECEIVE モードのときにのみ、デバイス メッセージ データをフレーム バッファに格納または待機します。

FH レジスタの RST または SKIP ビットを設定すると、マスター メッセージの転送またはデバイス メッセージの受信を中止することで、FSM は直ちにアイドル状態にリセットされます。フレーム バッファに存在するデータは拒否されますが、フレーム ハンドラ構成 (FH、FH_MPDLEN、FH_ODLEN、FH_DPDLEN) は保持されます。RST ビットが設定されている場合、SKIP ビットは無視されます。RST が 1 に設定されている場合、サイクル タイマもリセットされます。SKIP ビットのみが設定されている場合、サイクル タイマは変更されません。

フレーム ハンドラは、アイドル状態ではなく、次のいずれかに該当する場合にもリセットされます。

- FH レジスタに書き込みが行われ、SKIP ビットが設定されていない。
- サイクル タイマが有効または無効になっている。
- FH_ODLEN、FH_MPDLEN、FH_DPDLEN のいずれかのレジスタに書き込みが行われる。

状態	FH SKIP	FH RST
通信速度 (COM)	保持	保持
フレーム バッファ	データが無効化され、SPI 経由で新しいマスター メッセージを受信する準備が完了	データが無効化され、SPI 経由で新しいマスター メッセージを受信する準備が完了
FH_MPDLEN、FH_ODLEN、FH_DPDLEN レジスタ	保持	保持
サイクル タイマ	連続実行	リセットして再起動が必要
FH_CYCT レジスタ	保持	保持
オフセット タイマ	リセット	リセット
オフセット タイマ レジスタ	保持	保持

サイクル タイマ

サイクル タイマは、フレーム ハンドラ モードで設定されたチャンネルで使用できます。この設計を使用すると、ユーザーは追加の労力なしで、構成されている IO-Link サイクル時間に準拠できます。サイクル時間は、FH_CYCT レジスタで設定されます。このレジスタの形式は、IO-Link インターフェイスおよびシステム仕様 で定義されている構造に似ています。

TI は、標準規格 (IO-Link インターフェイスおよびシステム仕様) で規定されている最小サイクル時間である 400 μ s よりも短いサイクル時間を設定することを推奨しません。サイクル タイマを無効化するには、レジスタをゼロに設定します。

FH レジスタの SKIP ビットを設定することで、サイクル タイマに影響を与えずにフレーム ハンドラをリセットできます。サイクル タイマが停止し、その内部カウンタはゼロにリセットされます。フレーム ハンドラのリセットによって CYCT レジスタの内容が変更されることはありません。

サイクル タイマが無効化されている場合は (FH_CYCT を 0 に設定)、FH_CYCT レジスタへの書き込みによってサイクル タイマが開始されることはありません。サイクル タイマを開始するには、マスター メッセージの転送を開始するトリガが必要です。

サイクル タイマがすでに実行されていて、FH_CYCT レジスタに新しい値が書き込まれている場合、サイクル タイマは現在のタイムアウト期間が経過した後に新しい値を使用します。

サイクル タイマが開始された場合、構成サイクル時間 (および有効化されている場合はオフセット タイマ) が経過するまで、新しいマスター メッセージは送信されません。

同期

転送開始は、外部信号または SYNC レジスタの SYNC ビットへの書き込みによってトリガできます。

外部信号との同期は、FH レジスタの **SYNC_EXT_EN** ビットを設定することで有効化できます。各チャンネルは、**SYNC_SRC_SEL** ビットにより、同期ソースとして **TXA**、**TXB** ピンのいずれかを選択できます。有効の場合、立ち上がりまたは立ち下がりエッジにより転送が開始されます。**SYNC_EDGE** ビットは、同期信号のアクティブ エッジを選択します。同期パルスを正しく検出するには、少なくとも **1µs** の幅が必要です。

FHC レジスタの **SYNC_INT_EN** ビットが設定されている場合、**SYNC** レジスタの **SYNC** ビットを書き込むことで、転送開始をトリガできます。対応するチャンネルの **SYNC** ビットに「1」を書き込むと、メッセージの転送が開始されます。

オフセット タイマ

マスター メッセージの転送開始を遅延させる場合は、オフセット タイマ (**RPD_OFST_PSC_TMR**) を使用できます。これにより、デバイスは複数のチャンネルにわたってデバイス メッセージの開始を調整できます。そのためには、マスター メッセージの開始からデバイス メッセージの開始までの遅延を把握している必要があります。注:これは実験的な機能であり、前述の遅延はデバイスに依存し、IO-Link IODD 仕様には含まれません。

オフセット タイマのタイムアウトは、**RPD_OFST_PSC_TMR** レジスタの **PSC** フィールドと **TMR** フィールドで設定できます。

TX バッファの保持

FH レジスタの **TKEEP** ビットを設定すると、この機能が有効になり、メッセージが **TX** バッファに保持されて再転送されます。これをサイクル タイマと組み合わせて使用すると、**TX** バッファを補充せずに特定のメッセージを定期的に転送できます。

TX バッファは、転送が終了し、フレーム ハンドラがアイドル状態になると再ロードされ、自動チェックサム、同期、サイクル タイマで定義されたトランシーバ モードに基づいて次のメッセージ開始トリガを待ちます。**TX** チェックサム エラーと **t₁** タイムアウト エラーが発生した場合、**TX** バッファはフラッシュされます。このエラーで、ユーザーは **t₁** タイムアウトの前にバッファに入力できません。

7.3.9.4 拡張フレーム ハンドラ モード

拡張フレーム ハンドラ モードでは、デバイスは **IO-Link** 規格で定義された **UART** フレームを送受信できます。このモードでは、ユーザーは拡張メッセージ機能を柔軟に実装できます。**128** バイトのバッファが内蔵されており、提供された割り込みを使用して、任意の長さのメッセージの送受信に使用できます。

動作

LCFG レジスタで **CLMD = 11** を設定することで、チャンネルを拡張フレーム ハンドラ モードに構成します。メッセージを送信するには、転送するメッセージ バイトを **FH_DATA** レジスタに書き込んで **TX** バッファを埋めます。メッセージ全体が送信されると、拡張フレーム ハンドラは受信モードに変わり、受信したメッセージの **RX** バッファを埋めます。特定の時点で、**TX** バッファと **RX** バッファは **128** バイトのデータを保持できます。

TX_BTLVL および **RX_BTLVL** レジスタを **128** 以下の有効な値で構成して、**TX_BLVL_FBTL** および **RX_BLVL_RATL** 割り込みを有効化できます。**TX** バッファ レベルが構成トリガ レベルを下回ると **TX_BLVL_FBTL** 割り込みが設定され、**RX** バッファ レベルが構成トリガ レベルを上回ると **RX_BLVL_RATL** 割り込みが設定されます。**TX_BEMPTY** 割り込みは **TX** バッファが空であることを示し、**RX_BFULL** 割り込みは **RX** バッファがフルであることを示します。**RX** バッファがフルで、かつ **CQ** インターフェイスでデータが受信されている場合、**OR_ERR** が設定され、**UART** オーバーラン エラーが発生したことを示します。送信されたメッセージが **CQ** ラインに反映されていない場合、**TX_ERR** 割り込みが設定され、転送エラーがあることを示します。**RX** フレームにパリティまたはフレーム エラーが含まれている場合、**RX_ERR** 割り込みが設定されます。

注:この拡張フレーム ハンドラ モードでは、どのフレーム ハンドラ機能も有効になっていないため、ユーザーに完全な柔軟性が提供されます。

CQ OC、LP OC、HSS OC、逆極性自動回復

自動回復機能は、無効化と再有効化のサイクルを利用して、一時的なフォルトからデバイスを回復させるのに役立ちます。CQ、LP、HSS 過電流、HSS 逆極性フォルト状態のすべてで、 $t > t_{SC}$ (ブランキング時間) 期間にわたってフォルト状態が存在する場合、デバイスはフォルトを検出します。自動回復が無効になっている場合、ステータスレジスタと割り込みレジスタにはフォルト状態が反映されますが、TSD フォルトが発生するまでデバイスはドライバを無効化しません。自動回復が有効の場合、CQ_DRV_MAX_AR、LP_MAX_AR、HSS_MAX_AR レジスタのカウント値に基づいて、自動回復が試みられます。カウント値が 0 の場合は、自動回復が無期限に試行され、それ以外の場合は、カウント値に基づいて自動回復が試行されます。

自動回復がこれらのレジスタの試行回数を超えて失敗した場合、CQ_DRV_AR_DIS、LP_AR_DIS、HSS_AR_DIS ビットを設定して、この機能が無効にしてから再度有効にする必要があります。これらのビットを構成した後でのみ、対応するドライバが再度有効になります。

LED ドライバ

デバイスは、広く使用されている一般的なアノード RGB LED に適した NPN LED ドライバを内蔵しています。デバイスは、必要な色を達成するために、出力平均電流を制御する PWM (パルス幅) と I_{DRV} (最大電流) 構成機能を備えています。

PWM 周波数 = 225Hz

設定	指数 DC スケーリング %	オン時間 (S)	オフ時間 (S)	平均電流 (mA) $I_{DRV} = 2mA$	平均電流 (mA) $I_{DRV} = 8mA$	平均電流 (mA) $I_{DRV} = 14mA$	平均電流 (mA) $I_{DRV} = 20mA$
0	0	0.00E+00	4.44E-03	0	0	0	0
1	1.4	6.21E-05	4.38E-03	0.027954102	0.111816406	0.195678711	0.279541016
2	1.8	7.98E-05	4.36E-03	0.035888672	0.143554688	0.251220703	0.358886719
3	2.5	1.11E-04	4.33E-03	0.049926758	0.199707031	0.349487305	0.499267578
4	3.4	1.51E-04	4.29E-03	0.067993164	0.271972656	0.475952148	0.679931641
5	4.6	2.04E-04	4.24E-03	0.091918945	0.367675781	0.643432617	0.919189453
6	6.3	2.80E-04	4.16E-03	0.125976563	0.50390625	0.881835938	1.259765625
7	8.6	3.82E-04	4.06E-03	0.17199707	0.687988281	1.203979492	1.719970703
8	11	4.89E-04	3.96E-03	0.219970703	0.879882813	1.539794922	2.199707031
9	16	7.11E-04	3.73E-03	0.319946289	1.279785156	2.239624023	3.199462891
10	22	9.78E-04	3.47E-03	0.439941406	1.759765625	3.079589844	4.399414063
11	29	1.29E-03	3.16E-03	0.579956055	2.319824219	4.059692383	5.799560547
12	40	1.78E-03	2.67E-03	0.799926758	3.199707031	5.599487305	7.999267578
13	54	2.40E-03	2.04E-03	1.079956055	4.319824219	7.559692383	10.79956055
14	74	3.29E-03	1.16E-03	1.479980469	5.919921875	10.35986328	14.79980469
15	100	4.44E-03	0.00E+00	2	8	14	20

フォルト/割り込み/ステータス処理

すべての割り込みは、デフォルトで、そのイベントの立ち上がりエッジで、対応する IREQ レジスタに記録されます。IREQ レジスタが IRQ ピンに及ぼす影響は、対応する IMASK レジスタによって制御されます。たとえば、CLIREQ はリストに記載されているすべての割り込みを記録しますが、IRQ ピンへの影響は CLIMASK レジスタを使用して有効化および無効化されます。

No	カテゴリ	サブカテゴリ	略称	説明	割り込みクリア方式
1	デバイス フォルト	フォルト	VCC_OV	VCC 過電圧	読み出すとクリア
2		フォルト	VCC_WARN	VCC 警告	読み出すとクリア
3		フォルト	VCC_UVLO	VCC 低電圧	読み出すとクリア
4	チャンネル フォルト	フォルト	OT_FAULT	チャンネル レベル過熱 フォルト	読み出すとクリア
5		ステータス	OT_WARN	チャンネル レベル過熱 警告	読み出すとクリア
6		フォルト	CQ_OC	CQ ドライバ過電流	読み出すとクリア
7		フォルト	LP_OC	Lplus 電源過電流	読み出すとクリア
8		フォルト	LP_UVLO	Lplus 電源低電圧誤 動作防止	読み出すとクリア
9		フォルト	CQx_AR	最大再試行後に CQ 過電流自動回復に 失敗	読み出すとクリア
10		フォルト	LPx_AR	最大再試行後に LP 過電流自動回復に 失敗	読み出すとクリア
11		フォルト	HSSx_AR	最大再試行後に HSS 過電流または 逆極性自動回復に 失敗	読み出すとクリア
12	チャンネル割り込み — PHY	割り込み	CQ_F	CQ 下降	読み出すとクリア
13		割り込み	CQ_R	CQ 上昇	読み出すとクリア
14		割り込み	DI_F	DI 下降	読み出すとクリア
15		割り込み	DI_R	DI 上昇	読み出すとクリア
16		割り込み	ASEQ_OK	ウェーク パルス生成	読み出すとクリア
17		エラー	RPD_ERR	通信シーケンス確立 エラー	読み出すとクリア
18		エラー	WPG_ERR	通信シーケンス確立 完了	読み出すとクリア
19		エラー	ECS_ERR	通信シーケンス確立 エラー * ECS 応答なし	読み出すとクリア
20		ステータス	CQ_RXD	CQ RXD レベル	
21		ステータス	DI_RXD	DI RXD レベル	
22		ステータス	TXD	TXD レベル	
23		ステータス	TXEN	TXEN レベル	
24	チャンネル割り込み — UART	割り込み	RX_RDY	受信バイト準備完了	RX バッファが空の 場合にクリア、または 読み出すとクリア
25		割り込み	TX_RDY	トランスミッタ準備完 了	TX が準備完了でな い場合にクリア、また は 読み出すとクリア
26		エラー	OR_ERR	オーバーラン エラー	読み出すとクリア
27		エラー	RX_ERR	パリティまたはフレー ム エラー	読み出すとクリア
28		エラー	TX_ERR	転送エラー (Tx バイ ト != CQ バイト)	読み出すとクリア

No	カテゴリ	サブカテゴリ	略称	説明	割り込みクリア方式
29	チャンネル割り込み — FH	割り込み	MSG_RDY	IOLINK メッセージの読み取り準備完了	RX バッファが空の場合にクリア、または読み出すとクリア
30		割り込み	BLVL_RT	バッファ レベルが構成トリガ レベルに到達 (TX & RX バッファ レベルトリガの組み合わせ) 注: 特定の tx または rx トリガを無効化するには、128 より大きいトリガ値を使用します	rx バッファが構成レベルを下回った場合にクリア、または tx バッファレベルが構成レベルを上回った場合にクリア、または読み出すとクリア
31		割り込み	SOR	受信開始	読み出すとクリア
32		割り込み	SOT	転送開始	読み出すとクリア
33		割り込み	TBUF_EMPTY_AT_CT_EXP	サイクル タイマの期限切れ時にバッファが空	読み出すとクリア
34		エラー	CKSM_ERR	チェックサム エラー	読み出すとクリア
35		エラー	T1_TA_T2_TO_ERR	応答時間 tA またはフレーム遅延 t1 または t2 タイムアウト エラー	読み出すとクリア
36		エラー	TRX_ERR	転送または受信エラー * TX バイト != CQ バイト * パリティまたはフレーム エラー	読み出すとクリア
37		ステータス	状態	FSM 状態 * IDLE * TXING * RXING	

No	カテゴリ	サブカテゴリ	略称	説明	割り込みクリア方式
38	チャンネル割り込み — EFH	エラー	TX_ERR	転送エラー (Tx バイト != CQ バイト)	読み出すとクリア
39		エラー	RX_ERR	パリティまたはフレームエラー	読み出すとクリア
40		エラー	OR_ERR	オーバーラン エラー (受信 CQ メッセージ、RX バッファがフルの場合)	読み出すとクリア
41		割り込み	RX_BFULL	RX バッファがフル	読み出すとクリア
42		割り込み	TX_BEMPTY	TX バッファが空	読み出すとクリア
43		割り込み	RX_BLVL_RATL	RX バッファがトリガレベルより上昇	RX バッファが構成トリガレベルより下降した場合にクリア、または読み出すとクリア
44		割り込み	TX_BLVL_FBTL	TX バッファがトリガレベルより下降	TX バッファが構成トリガレベルより上昇した場合にクリア、または読み出すとクリア

7.3.10 SPI 通信

SPI によるデバイスの制御は、1 つのターゲットと 1 つのレジスタ読み取り/書き込みで通常の SPI モードで処理できますが、柔軟性を確保し、SPI バス上のスループットを最大化するため、デバイスは代替モードもサポートしています。ホストマイコンのオーバーヘッドを最小限に抑えるため、ブロードキャストモードとバーストモードの両方がサポートされています。

通常ユニキャストモードでは、ハードウェアアドレスとレジスタアドレスに基づいて、1 つのデバイスと 1 つのレジスタに対する読み取り/書き込みが可能です。

グローバルブロードキャストは、ハードウェアアドレスビットを無視し、CS ラインを共有するすべてのデバイスに書き込みコマンドを実装します。これにより、ユーザーは 1 つのコマンドでシステム全体のデフォルトをすばやく書き込むことができます。

バーストモードは、単一のコマンドで複数のレジスタを書き込みまたは読み取りするために、バイトまたはバンクアドレス(モードに応じて)をインクリメントします。バイトバーストモードでレジスタアドレスが 1 だけインクリメントされ、バンクバーストモードで次のバンク(デバイスバンク、チャンネル A バンク、チャンネル B バンク)までインクリメントされます。

バーストモードとブロードキャストモードを組み合わせることで、システム内のすべてのデバイスに 1 つの SPI コマンドで設定を書き込むことができます。SDI バイトは、書き込み中に返され、書き込まれたデータを検証します。

注:ブロードキャストでは、書き込まれたデータを検証するために SPI SDO ループバックを使用することはできません。

7.3.11 SPI モードおよびフレームフォーマット

SDI	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
BYTE0	グローバル ブロードキャ スト	HW ADDR		R/W	レジスタ アドレス (MSB ニブル)			
BYTE1	レジスタ アドレス (LSB ニブル)			予約済み		ブロードキャスト モード	バースト モード	
BYTE2	書き込みデータまたは読み取りパディング							
.	書き込みデータまたは読み取りパディング							
.	書き込みデータまたは読み取りパディング							

BYTEN

書き込みデータまたは読み取りパディング

SDI のフィールド

グローバル ブロードキャスト

0 - ユニキャスト (ターゲット ハードウェア アドレス指定デバイスがメッセージを受信)

1 - ブロードキャスト (a; ハードウェアアドレス指定デバイスがメッセージを受信)

ハードウェア アドレス (HW ADDR)

2 ビット デバイス アドレス (共通チップ セレクトを使用して複数のデバイスを識別)

R/W

0 - 書き込み

1 - 読み取り

レジスタ アドレス

レジスタ空間のアドレス指定に使用される 8 ビット アドレス

ブロードキャスト モード

0 - デバイス - 接続されているすべてのデバイスにブロードキャストします

チャンネル A に書き込むと、接続されているすべてのチャンネルに影響し、B に書き込むと接続されているすべてのチャンネル B に影響します

1 - チャンネル - 接続されているすべてのデバイス チャンネルにブロードキャストします

チャンネル A に書き込むと、両方のチャンネルに影響し、チャンネル B に書き込むと、両方のチャンネルに影響します

バースト モード

00 - バーストなし (単一ターゲット アドレス R/W、アドレス インクリメントなし)

01 - 1 バイト アドレス インクリメント バースト モード (各書き込みで、レジスタ アドレス + 1 がインクリメントされ、0xFF でロールオーバー)

10 - 1 バンク アドレス インクリメント バースト モード (各書き込みで、レジスタ アドレス + 32 がインクリメントされ、0x5F でロールオーバー)

11 = 予約済み

SPI モード選択

グローバル ブロードキャスト	R/W	バースト モード	SPI モード
0	1/0	00	ユニキャスト非バースト読み取り/書き込み
0	1/0	01	ユニキャスト バイト バースト読み取り/書き込み (+1 アドレス)
0	1/0	10	ユニキャストバンク バースト読み取り/書き込み (+32 アドレス)
1	0	00	ブロードキャスト非バースト書き込み
1	0	01	ブロードキャスト バイト バースト書き込み (+1 アドレス)
1	0	10	ブロードキャスト バンク バースト書き込み (+32 アドレス)

SDO ユニキャスト読み取りフレームフォーマット

SDO	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
BYTE0	HiZ			デバイスフォ ルト	チャンネル A OK	チャンネル A ERR	チャンネル B OK	チャンネル B ERR
BYTE1	チャンネル A CQ_RXD	チャンネル A DI_RXD	チャンネル A フ ォルト	チャンネル A 割 り込み	チャンネル B CQ_RXD	チャンネル B DI_RXD	チャンネル B フ ォルト	チャンネル B 割 り込み
BYTE2	DATA 0							
.	...							
.	...							
BYTEN	データ N							

SDO ユニキャスト書き込みフレームフォーマット

SDO	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
BYTE0	HiZ			デバイスフォ ルト	チャンネル A OK	チャンネル A ERR	チャンネル B OK	チャンネル B ERR
BYTE1	SDI リターン バイト 0 ~ CMD 0							
BYTE2	SDI リターン バイト 1 ~ CMD 1							
.	SDI リターン バイト 2 — データ 0							
.	...							
BYTEN	SDI リターン バイト N — データ N-1							

SDO ブロードキャスト読み取り/書き込みフレームフォーマット

SDO	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
BYTE0	HiZ							
.								
.								
BYTEN								

SDO のフィールド

デバイス フォルト

デバイス フォルト = VCC_OV | VCC_UVLO

チャンネル X OK

チャンネル X OK = ASEQ_OK | RX_RDY | (MSG_RDY | BLVL_RT) | (RX_BLVL_RATL | TX_BLVL_FBTl)

チャンネル X ERR

チャンネル X ERR =

(ECS_ERR | WPG_ERR | RPD_ERR) |

(TX_ERR | RX_ERR | OR_ERR) |

(TRX_ERR | TA_T2_TO_ERR | CKSM_ERR) |

(TX_ERR | RX_ERR | OR_ERR)

チャンネル X CQ_RXD

CQ_RXD 値

チャンネル X DI_RXD

DI_RXD 値

チャンネル X フォルト

チャンネル X フォルト = OT_FAULT | EXT_CQ_OC | CQ_OC | LP_OC | LP_UVLO | CQ_AR | LP_AR | HSS_AR

チャンネル X 割り込み

チャンネル X 割り込み =

(CQ_R|CQ_F|DI_R|DI_F) |

(TBUF_EMPTY_AT_CT_EXP|SOT|SOR) |

(RX_BFULL | TX_BEMPTY)

7.3.12 メモリおよびレジストリ マップ

メモリ マップ

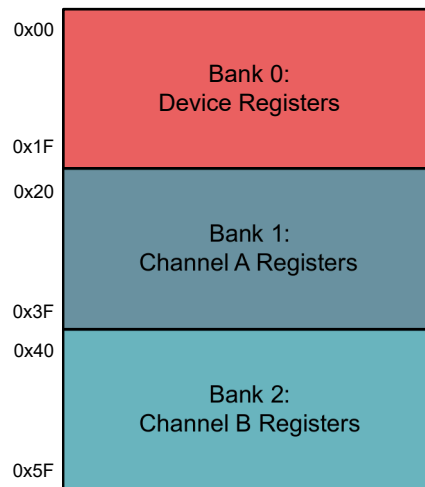


図 7-3. TIOM221x メモリ マップ

7.3.12.1 デバイス レジスタ

表 7-3 に、デバイスのレジスタ用のメモリマップトレジスタを示します。表 7-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-3. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	リビジョン識別子	デバイス リビジョン識別子	セクション 7.3.12.1.1
1h	クロック構成	システム クロック構成	セクション 7.3.12.1.2
2h	デバイス ロジック割り込みマスク		セクション 7.3.12.1.3
3h	デバイス Phy 割り込みマスク		セクション 7.3.12.1.4
4h	デバイス制御		セクション 7.3.12.1.5
5h	同期	デバイス チャネル ソフト マスター トリガ シンクロナイザ	セクション 7.3.12.1.6
6h	DEV6		セクション 7.3.12.1.7
7h	DEV7		セクション 7.3.12.1.8
8h	DEV8		セクション 7.3.12.1.9
9h	DEV9		セクション 7.3.12.1.10
Ah	DEV10		セクション 7.3.12.1.11
Bh	DEV11		セクション 7.3.12.1.12
Ch	DEV12		セクション 7.3.12.1.13
Dh	DEV13		セクション 7.3.12.1.14
Eh	DEV14		セクション 7.3.12.1.15
Fh	DEV15		セクション 7.3.12.1.16
10h	DEV16		セクション 7.3.12.1.17
11h	DEV17		セクション 7.3.12.1.18
12h	DEV18		セクション 7.3.12.1.19
13h	DEV19		セクション 7.3.12.1.20
14h	DEV20		セクション 7.3.12.1.21
15h	DEV21		セクション 7.3.12.1.22
16h	デバイス ロジック ステータス		セクション 7.3.12.1.23
17h	デバイス Phy ステータス		セクション 7.3.12.1.24
18h	デバイス ロジック割り込み要求		セクション 7.3.12.1.25
19h	デバイス Phy 割り込み要求		セクション 7.3.12.1.26
1Ah	DEV26		セクション 7.3.12.1.27
1Bh	拡張機能サポート 0		セクション 7.3.12.1.28

表 7-3. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
1Ch	拡張機能サポート 1		セクション 7.3.12.1.29
1Dh	CQ ドライバ最大自動回復		セクション 7.3.12.1.30
1Eh	LP 最大自動回復		セクション 7.3.12.1.31
1Fh	HSS 最大自動回復		セクション 7.3.12.1.32

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-4. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.3.12.1.1 リビジョン識別子レジスタ (オフセット = 0h) [リセット = 00h]

表 7-5 に、リビジョン識別子を示します。

概略表に戻ります。

表 7-5. リビジョン識別子レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	MAJOR	R	0h	主要なデバイス リビジョン識別子は、完全なレイヤ ダイ リビジョンを識別します 0h = リビジョン 0 (元のリリース) 1h = リビジョン 1 2h = リビジョン 2 3h = リビジョン 3 4h = リビジョン 4 5h = リビジョン 5 6h = リビジョン 6 7h = リビジョン 7 8h = リビジョン 8 9h = リビジョン 9 Ah = リビジョン 10 Bh = リビジョン 11 Ch = リビジョン 12 Dh = リビジョン 13 Eh = リビジョン 14 Fh = リビジョン 15
3-0	MINOR	R	0h	副次的なデバイス リビジョン識別子は、金属レイヤ ダイ リビジョンを識別します 0h = リビジョン 0 (元のリリース) 1h = リビジョン 1 2h = リビジョン 2 3h = リビジョン 3 4h = リビジョン 4 5h = リビジョン 5 6h = リビジョン 6 7h = リビジョン 7 8h = リビジョン 8 9h = リビジョン 9 Ah = リビジョン 10 Bh = リビジョン 11 Ch = リビジョン 12 Dh = リビジョン 13 Eh = リビジョン 14 Fh = リビジョン 15

7.3.12.1.2 クロック構成レジスタ (オフセット = 1h) [リセット = 00h]

表 7-6 に、クロック構成を示します。

概略表に戻ります。

表 7-6. クロック構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	ESR	R/W	0h	実効直列抵抗選択は、L+ 電源ドライバの電流検出に使用される実効直列抵抗を設定します。詳細については、[セクション X.Y] を参照してください 0h = 200 andx3A9;# 1h = 100 andx3A9;# 2h = 75 andx3A9;# 3h = 50 andx3A9;#
3	CLKO_EN	R/W	0h	クロック出力イネーブルは、CLKO ピンの内部発振器の出力を有効化します 0h = CLKO ピンはハイ インピーダンス 1h = 内部水晶発振器クロックを CLKO ピンに出力
2	CLKIN_EN	R/W	0h	クロック入力イネーブルは、CLKIN ピンの外部クロックの依存を有効化します 0h = CLKIN 入力は無視 1h = CLKIN ピンに外部クロック入力が必要
1	予約済み	R	0h	予約済み
0	XTAL_EN	R/W	0h	水晶発振器イネーブルは、内部発振器を有効化します 0h = 水晶発振器ディスエーブル 1h = 水晶発振器イネーブル

7.3.12.1.3 デバイス ロジック割り込みマスク レジスタ (オフセット = 2h) [リセット = 00h]

表 7-7 に、デバイス ロジック割り込みマスクを示します。

概略表に戻ります。

表 7-7. デバイス ロジック割り込みマスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MASK	R/W	0h	デバイス ロジック割り込みマスクは、割り込みイベントを無視するマスクを設定します。詳細については、[セクション] を参照してください 0h = 割り込みのマスクなし 1h = 割り込みのマスクあり

7.3.12.1.4 デバイス Phy 割り込みマスク レジスタ (オフセット = 3h) [リセット = 00h]

表 7-8 に、デバイス Phy 割り込みマスクを示します。

概略表に戻ります。

表 7-8. デバイス Phy 割り込みマスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MASK	R/W	0h	デバイス物理割り込みマスクは、割り込みイベントを無視するマスクを設定します。詳細については、[セクション] を参照してください 0h = 割り込みのマスクなし 1h = 割り込みのマスクあり

7.3.12.1.5 デバイス制御レジスタ (オフセット = 4h) [リセット = 00h]

表 7-9 に、デバイス制御を示します。

概略表に戻ります。

表 7-9. デバイス制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	予約済み
1	EN	R/W	0h	デバイス イネーブルは、デバイスを有効化します 0h = デバイス ディスエーブル 1h = デバイス イネーブル
0	RST	W	0h	デバイス デジタル ソフト リセットは、デバイスをリセットします 0h = 通常動作 1h = デジタル リセット

7.3.12.1.6 同期レジスタ (オフセット = 5h) [リセット = 00h]

表 7-10 に、同期を示します。

概略表に戻ります。

表 7-10. 同期レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0h	予約済み
4	LED_SYNC	W	0h	すべての LED を同期は、すべての LED を同期します 0h = LED 非同期 1h = LED 同期
3-2	予約済み	R	0h	予約済み
1	SYNCB	W	0h	チャンネル B 同期制御は、TX バッファのデータの即時転送をトリガします 0h = 転送なし 1h = データを送信
0	SYNCA	W	0h	チャンネル A 同期制御は、TX バッファのデータの即時転送をトリガします 0h = 転送なし 1h = データを送信

7.3.12.1.7 DEV6 レジスタ (オフセット = 6h) [リセット = 00h]

DEV6 を表 7-11 に示します。

[概略表](#)に戻ります。

表 7-11. DEV6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.8 DEV7 レジスタ (オフセット = 7h) [リセット = 00h]

DEV7 を表 7-12 に示します。

[概略表](#)に戻ります。

表 7-12. DEV7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.9 DEV8 レジスタ (オフセット = 8h) [リセット = 00h]

DEV8 を表 7-13 に示します。

[概略表](#)に戻ります。

表 7-13. DEV8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.10 DEV9 レジスタ (オフセット = 9h) [リセット = 00h]

DEV9 を表 7-14 に示します。

[概略表](#)に戻ります。

表 7-14. DEV9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.11 DEV10 レジスタ (オフセット = Ah) [リセット = 00h]

DEV10 を表 7-15 に示します。

[概略表](#)に戻ります。

表 7-15. DEV10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.12 DEV11 レジスタ (オフセット= Bh) [リセット= 00h]

DEV11 を表 7-16 に示します。

[概略表](#)に戻ります。

表 7-16. DEV11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.13 DEV12 レジスタ (オフセット = Ch) [リセット = 00h]

DEV12 を表 7-17 に示します。

[概略表](#)に戻ります。

表 7-17. DEV12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.14 DEV13 レジスタ (オフセット = Dh) [リセット = 00h]

DEV13 を表 7-18 に示します。

[概略表](#)に戻ります。

表 7-18. DEV13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.15 DEV14 レジスタ (オフセット = Eh) [リセット = 00h]

DEV14 を表 7-19 に示します。

[概略表](#)に戻ります。

表 7-19. DEV14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.16 DEV15 レジスタ (オフセット= Fh) [リセット= 00h]

DEV15 を表 7-20 に示します。

[概略表](#)に戻ります。

表 7-20. DEV15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.17 DEV16 レジスタ (オフセット = 10h) [リセット = 00h]

DEV16 を表 7-21 に示します。

[概略表](#)に戻ります。

表 7-21. DEV16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.18 DEV17 レジスタ (オフセット = 11h) [リセット = 00h]

DEV17 を表 7-22 に示します。

[概略表](#)に戻ります。

表 7-22. DEV17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.19 DEV18 レジスタ (オフセット = 12h) [リセット = 00h]

DEV18 を表 7-23 に示します。

[概略表](#)に戻ります。

表 7-23. DEV18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.20 DEV19 レジスタ (オフセット = 13h) [リセット = 00h]

DEV19 を表 7-24 に示します。

[概略表](#)に戻ります。

表 7-24. DEV19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.21 DEV20 レジスタ (オフセット = 14h) [リセット = 00h]

DEV20 を表 7-25 に示します。

[概略表](#)に戻ります。

表 7-25. DEV20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.22 DEV21 レジスタ (オフセット = 15h) [リセット = 00h]

DEV21 を表 7-26 に示します。

[概略表](#)に戻ります。

表 7-26. DEV21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.23 デバイス ロジック ステータス レジスタ (オフセット = 16h) [リセット = 00h]

表 7-27 に、デバイス ロジック ステータスを示します。

概略表に戻ります。

表 7-27. デバイス ロジック ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CQB_AR	R	0h	「C/Q チャネル B の過電流回復再試行回数制限に達しました」は、ドライバがフィールド CQB_DRV_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
6	CQA_AR	R	0h	「C/Q チャネル A の過電流回復再試行回数制限に達しました」は、ドライバがフィールド CQA_DRV_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
5	LPB_AR	R	0h	「L+ チャネル B の過電流回復再試行回数制限に達しました」は、ドライバがフィールド LPB_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
4	LPA_AR	R	0h	「L+ チャネル A の過電流回復再試行回数制限に達しました」は、ドライバがフィールド LPA_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
3	HSSB_AR	R	0h	「ハイスайд スイッチ (HSS) チャネル B の過電流/逆極性回復再試行回数の制限に達しました」は、ドライバがフィールド HSSB_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
2	HSSA_AR	R	0h	「ハイスайд スイッチ (HSS) チャネル A の過電流/逆極性回復再試行回数の制限に達しました」は、ドライバがフィールド HSSA_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
1	XTAL_OR_EXT_GOOD	R	0h	内部水晶振動子または外部クロック グッドは、内部水晶振動子または外部クロックが初期化されたことを示します 0h = 初期化未完了 1h = 初期化完了
0	INIT_DONE	R	0h	デバイスの初期化完了は、デバイスの起動が完了し、通信を開始する準備が完了していることを示します 0h = 初期化未完了 1h = 初期化完了

7.3.12.1.24 デバイス Phy ステータス レジスタ (オフセット = 17h) [リセット = 00h]

表 7-28 に、デバイス Phy ステータスを示します。

概略表に戻ります。

表 7-28. デバイス Phy ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	LPB_WARN	R	0h	LPB 警告は LPB 警告を示します 0h = LPB 警告なし 1h = LPB 警告
4	LPA_WARN	R	0h	LPA 警告は LPA 警告を示します 0h = LPA 警告なし 1h = LPA 警告
3	予約済み	R	0h	予約済み
2	VCC_OV	R	0h	VCC 過電圧ステータスは、VCC ピンの電圧が過電圧制限を上回ったことを示します [詳細については、OV 制限を参照] 0h = 制限に未到達 1h = 制限に到達
1	VCC_WARN	R	0h	VCC 低電圧警告は、VCC ピンの電圧が低電圧警告制限を下回ったことを示します [詳細については、UV 制限を参照] 0h = 制限に未到達 1h = 制限に到達
0	VCC_UVLO	R	0h	VCC UVLO ステータスは、VCC ピンの電圧が UVLO 制限を下回ったことを示します [詳細については、UV 制限を参照] 0h = 制限に未到達 1h = 制限に到達

7.3.12.1.25 デバイス ロジック割り込み要求レジスタ (オフセット = 18h) [リセット = 00h]

表 7-29 に、デバイス ロジック割り込み要求を示します。

概略表に戻ります。

表 7-29. デバイス ロジック割り込み要求レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CQB_AR	RC	0h	「C/Q チャネル B の過電流回復再試行回数制限に達しました」は、ドライバがフィールド CQB_DRV_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
6	CQA_AR	RC	0h	「C/Q チャネル A の過電流回復再試行回数制限に達しました」は、ドライバがフィールド CQA_DRV_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
5	LPB_AR	RC	0h	「L+ チャネル B の過電流回復再試行回数制限に達しました」は、ドライバがフィールド LPB_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
4	LPA_AR	RC	0h	「L+ チャネル A の過電流回復再試行回数制限に達しました」は、ドライバがフィールド LPA_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
3	HSSB_AR	RC	0h	「ハイスайд スイッチ (HSS) チャネル B の過電流/逆極性回復再試行回数の制限に達しました」は、ドライバがフィールド HSSB_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
2	HSSA_AR	RC	0h	「ハイスайд スイッチ (HSS) チャネル A の過電流/逆極性回復再試行回数の制限に達しました」は、ドライバがフィールド HSSA_MAX_AR の最大再試行回数に達したことを示します 0h = 制限に未到達 1h = 制限に到達
1	XTAL_OR_EXT_GOOD_CHANGE	RC	0h	内部水晶振動子または外部クロック グッドの変化は、内部水晶振動子または外部クロックが変化したことを示します 0h = クロックに変化なし 1h = クロックに変化あり
0	INIT_DONE	RC	0h	デバイスの初期化完了は、デバイスの起動が完了し、通信を開始する準備が完了していることを示します 0h = 初期化未完了 1h = 初期化完了

7.3.12.1.26 デバイス Phy 割り込み要求レジスタ (オフセット = 19h) [リセット = 00h]

表 7-30 に、デバイス Phy 割り込み要求を示します。

概略表に戻ります。

表 7-30. デバイス Phy 割り込み要求レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	RC	0h	予約済み
6	予約済み	RC	0h	予約済み
5	LPB_WARN	RC	0h	LPB 警告は LPB 警告を示します 0h = LPB 警告なし 1h = LPB 警告
4	LPA_WARN	RC	0h	LPA 警告は LPA 警告を示します 0h = LPA 警告なし 1h = LPA 警告
3	予約済み	RC	0h	予約済み
2	VCC_OV	RC	0h	VCC 過電圧ステータスは、VCC ピンの電圧が過電圧制限を上回ったことを示します [詳細については、OV 制限を参照] 0h = 制限に未到達 1h = 制限に到達
1	VCC_WARN	RC	0h	VCC 低電圧警告は、VCC ピンの電圧が低電圧警告制限を下回ったことを示します [詳細については、UV 制限を参照] 0h = 制限に未到達 1h = 制限に到達
0	VCC_UVLO	RC	0h	VCC UVLO ステータスは、VCC ピンの電圧が UVLO 制限を下回ったことを示します [詳細については、UV 制限を参照] 0h = 制限に未到達 1h = 制限に到達

7.3.12.1.27 DEV26 レジスタ (オフセット = 1Ah) [リセット = 00h]

DEV26 を表 7-31 に示します。

[概略表](#)に戻ります。

表 7-31. DEV26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

7.3.12.1.28 拡張機能サポート 0 レジスタ (オフセット = 1Bh) [リセット = 00h]

表 7-32 に、拡張機能サポート 0 を示します。

概略表に戻ります。

表 7-32. 拡張機能サポート 0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	予約済み
2	FH_TX_CKSM_ERR_DIS	R/W	0h	フレーム ハンドラ TX チェックサム エラーを無効化します 0h = チェックサム エラー検出イネーブル 1h = チェックサム エラー検出ディスエーブル
1	FH_T1_TA_T2_DIS	R/W	0h	フレーム ハンドラ T1、TA、T2 タイムアウトを無効化します 0h = タイムアウト検出イネーブル 1h = タイムアウト検出ディスエーブル
0	TRX_ERR_DIS	R/W	0h	転送エラー チェックを無効化します 0h = 転送エラー検出イネーブル 1h = 転送エラー検出ディスエーブル

7.3.12.1.29 拡張機能サポート 1 レジスタ (オフセット = 1Ch) [リセット = 00h]

表 7-33 に、拡張機能サポート 1 を示します。

概略表に戻ります。

表 7-33. 拡張機能サポート 1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSB_TSC_DIS	R/W	0h	HSSB ブランキング時間ディスエーブル 0h = ブランキング時間イネーブル 1h = ブランキング時間ディスエーブル
6	LPB_TSC_DIS	R/W	0h	LPB ブランキング時間ディスエーブル 0h = ブランキング時間イネーブル 1h = ブランキング時間ディスエーブル
5	CQB_TSC_DIS	R/W	0h	CQB ブランキング時間ディスエーブル 0h = ブランキング時間イネーブル 1h = ブランキング時間ディスエーブル
4	EXTD_COM_B	R/W	0h	チャンネル B 拡張 COM レート サポート イネーブル 0h = 拡張 COM レート サポート イネーブル 1h = 拡張 COM レート サポート ディスエーブル
3	HSSA_TSC_DIS	R/W	0h	HSSA ブランキング時間ディスエーブル 0h = ブランキング時間イネーブル 1h = ブランキング時間ディスエーブル
2	LPA_TSC_DIS	R/W	0h	LPA ブランキング時間ディスエーブル 0h = ブランキング時間イネーブル 1h = ブランキング時間ディスエーブル
1	CQA_TSC_DIS	R/W	0h	CQA ブランキング時間ディスエーブル 0h = ブランキング時間イネーブル 1h = ブランキング時間ディスエーブル
0	EXTD_COM_A	R/W	0h	チャンネル A 拡張 COM レート サポート イネーブル 0h = 拡張 COM レート サポート イネーブル 1h = 拡張 COM レート サポート ディスエーブル

7.3.12.1.30 CQ ドライバ最大自動回復レジスタ (オフセット = 1Dh) [リセット = 00h]

表 7-34 に、CQ ドライバ最大自動回復を示します。

概略表に戻ります。

表 7-34. CQ ドライバ最大自動回復レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CQB_DRV_MAX_AR	R/W	0h	C/Q チャネル B ドライバ最大自動回復は、ドライバが過電流フォルトからの回復を試みる最大回数を設定します 0h = 無制限の再試行 1h = 再試行 1 回 2h = 再試行 2 回 3h = 再試行 3 回 4h = 再試行 4 回 5h = 再試行 5 回 6h = 再試行 6 回 7h = 再試行 7 回 8h = 再試行 8 回 9h = 再試行 9 回 Ah = 再試行 10 回 Bh = 再試行 11 回 Ch = 再試行 12 回 Dh = 再試行 13 回 Eh = 再試行 14 回 Fh = 再試行 15 回
3-0	CQA_DRV_MAX_AR	R/W	0h	C/Q チャネル A ドライバ最大自動回復は、ドライバが過電流フォルトからの回復を試みる最大回数を設定します 0h = 無制限の再試行 1h = 再試行 1 回 2h = 再試行 2 回 3h = 再試行 3 回 4h = 再試行 4 回 5h = 再試行 5 回 6h = 再試行 6 回 7h = 再試行 7 回 8h = 再試行 8 回 9h = 再試行 9 回 Ah = 再試行 10 回 Bh = 再試行 11 回 Ch = 再試行 12 回 Dh = 再試行 13 回 Eh = 再試行 14 回 Fh = 再試行 15 回

7.3.12.1.31 LP 最大自動回復レジスタ (オフセット = 1Eh) [リセット = 00h]

表 7-35 に、LP 最大自動回復を示します。

概略表に戻ります。

表 7-35. LP 最大自動回復レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	LPB_MAX_AR	R/W	0h	L+ チャネル B ドライバ最大自動回復は、ドライバが過電流フォルトからの回復を試みる最大回数を設定します 0h = 無制限の再試行 1h = 再試行 1 回 2h = 再試行 2 回 3h = 再試行 3 回 4h = 再試行 4 回 5h = 再試行 5 回 6h = 再試行 6 回 7h = 再試行 7 回 8h = 再試行 8 回 9h = 再試行 9 回 Ah = 再試行 10 回 Bh = 再試行 11 回 Ch = 再試行 12 回 Dh = 再試行 13 回 Eh = 再試行 14 回 Fh = 再試行 15 回
3-0	LPA_MAX_AR	R/W	0h	L+ チャネル A ドライバ最大自動回復は、ドライバが過電流フォルトからの回復を試みる最大回数を設定します 0h = 無制限の再試行 1h = 再試行 1 回 2h = 再試行 2 回 3h = 再試行 3 回 4h = 再試行 4 回 5h = 再試行 5 回 6h = 再試行 6 回 7h = 再試行 7 回 8h = 再試行 8 回 9h = 再試行 9 回 Ah = 再試行 10 回 Bh = 再試行 11 回 Ch = 再試行 12 回 Dh = 再試行 13 回 Eh = 再試行 14 回 Fh = 再試行 15 回

7.3.12.1.32 HSS 最大自動回復レジスタ (オフセット = 1Fh) [リセット = 00h]

表 7-36 に、HSS 最大自動回復を示します。

概略表に戻ります。

表 7-36. HSS 最大自動回復レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	HSSB_MAX_AR	R/W	0h	ハイサイド スイッチ チャネル B ドライバ最大自動回復は、ドライバが過電 流フォルトからの回復を試みる最大回数を設定します 0h = 無制限の再試行 1h = 再試行 1 回 2h = 再試行 2 回 3h = 再試行 3 回 4h = 再試行 4 回 5h = 再試行 5 回 6h = 再試行 6 回 7h = 再試行 7 回 8h = 再試行 8 回 9h = 再試行 9 回 Ah = 再試行 10 回 Bh = 再試行 11 回 Ch = 再試行 12 回 Dh = 再試行 13 回 Eh = 再試行 14 回 Fh = 再試行 15 回
3-0	HSSA_MAX_AR	R/W	0h	ハイサイド スイッチ チャネル A ドライバ最大自動回復は、ドライバが過電 流フォルトからの回復を試みる最大回数を設定します 0h = 無制限の再試行 1h = 再試行 1 回 2h = 再試行 2 回 3h = 再試行 3 回 4h = 再試行 4 回 5h = 再試行 5 回 6h = 再試行 6 回 7h = 再試行 7 回 8h = 再試行 8 回 9h = 再試行 9 回 Ah = 再試行 10 回 Bh = 再試行 11 回 Ch = 再試行 12 回 Dh = 再試行 13 回 Eh = 再試行 14 回 Fh = 再試行 15 回

7.3.12.2 チャンネル レジスタ

表 7-37 に、チャンネル レジスタのメモリ マップト レジスタを示します。表 7-37 にないレジスタ オフセット アドレスはすべて 予約済みと見なして、レジスタの内容は変更しないでください。

表 7-37. チャンネル レジスタ

オフセット	略称	レジスタ名	セクション
0h	CQ ドライバ構成	Phy 構成	セクション 7.3.12.2.1
1h	CQ ドライバ、レシーバ構成	Phy 構成	セクション 7.3.12.2.2
2h	CQ ドライバ、DI レシーバ構成	Phy 構成	セクション 7.3.12.2.3
3h	CQ ドライバ、Lplus 電源構成	Phy 構成	セクション 7.3.12.2.4
4h	Lplus 電源構成	Phy 構成	セクション 7.3.12.2.5
5h	ハイサイド スイッチ構成 0	Phy 構成	セクション 7.3.12.2.6
6h	ハイサイド スイッチ構成 1	Phy 構成	セクション 7.3.12.2.7
7h	代替機能選択構成	Phy 構成	セクション 7.3.12.2.8
8h	チャンネル ロジック割り込みマスク	ロジック構成	セクション 7.3.12.2.9
9h	チャンネル Phy 割り込みマスク	ロジック構成	セクション 7.3.12.2.10
Ah	RPD、オフセット タイマ設定	ロジック構成	セクション 7.3.12.2.11
Bh	共通ロジック構成	ロジック構成	セクション 7.3.12.2.12
Ch	IOLink Phy モード制御	ロジック制御	セクション 7.3.12.2.13
Dh	UART モード制御	Uart データ	セクション 7.3.12.2.14
Eh	フレーム ハンドラ モード制御	フレーム ハンドラの構成と制御	セクション 7.3.12.2.15
Fh	FH + EFH モード RX バッファトリガ レベル	バッファトリガ レベル	セクション 7.3.12.2.16
10h	FH + EFH モード TX バッファトリガ レベル	サイクル タイマ	セクション 7.3.12.2.17
11h	オンデマンド データ長	ロジック制御	セクション 7.3.12.2.18
12h	マスター プロセス データ長	ロジック制御	セクション 7.3.12.2.19
13h	デバイス プロセス データ長	ロジック制御	セクション 7.3.12.2.20
14h	FH モード サイクル タイマ制御	ロジック制御	セクション 7.3.12.2.21
15h	FH モード データ	ロジック制御	セクション 7.3.12.2.22
16h	チャンネル ロジック ステータス	多重化ステータス (PHY、UART、FH)	セクション 7.3.12.2.23
17h	チャンネル Phy ステータス	Phy ステータス (外部 CQ、CQ、LP)	セクション 7.3.12.2.24
18h	チャンネル ロジック割り込み要求	多重化割り込み要求 (PHY、UART、FH)	セクション 7.3.12.2.25
19h	チャンネル物理割り込み要求	割り込み要求 (外部 CQ、CQ、LP)	セクション 7.3.12.2.26
1Ah	LED 構成 1	LED 構成/制御	セクション 7.3.12.2.27
1Bh	LED 構成 2	LED 構成/制御	セクション 7.3.12.2.28

表 7-37. チャンネル レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1Ch	LED 構成 3	LED 構成/制御	セクション 7.3.12.2.29
1Dh	LED 構成 4	LED 構成/制御	セクション 7.3.12.2.30
1Eh	LED 構成 5	LED 構成/制御	セクション 7.3.12.2.31
1Fh	LED 構成 6	LED 構成/制御	セクション 7.3.12.2.32

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-38 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-38. チャンネル アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.3.12.2.1 CQ ドライバ構成レジスタ (オフセット = 0h) [リセット = 00h]

表 7-39 に、CQ ドライバ構成を示します。

概略表に戻ります。

Phy 構成

表 7-39. CQ ドライバ構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-5	CQ_DRV_TSC	R/W	0h	ドライバ電流ブランキング時間は、C/Q ドライバのブランキング期間を設定します。詳細については、[セクション]を参照してください。 0h = 5ms 1h = 15ms 2h = 50ms 3h = 150ms
4-3	CQ_DRV_CLIM	R/W	0h	ドライバ電流制限は、C/Q ドライバの出力電流制限を設定します。 0h = 500mA 1h = 300mA 2h = 200mA 3h = 100mA
2-1	CQ_DRV_TAR	R/W	0h	ドライバ電流自動再試行時間は、フォルト後に再試行するまでの C/Q ドライバの待機時間を設定します。詳細については、[セクション]を参照してください。 0h = 50ms 1h = 500ms 2h = 4s 3h = 10s
0	CQ_DRV_AR_DIS	R/W	0h	ドライバ自動再試行ディスエーブルは、C/Q ドライバの自動再試行を無効化します。 0h = ドライバ自動再試行イネーブル 1h = ドライバ自動再試行ディスエーブル

7.3.12.2.2 CQ ドライバ、レシーバ構成レジスタ (オフセット = 1h) [リセット = 00h]

表 7-40 に、CQ ドライバ、レシーバ構成を示します。

概略表に戻ります。

Phy 構成

表 7-40. CQ ドライバ、レシーバ構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CQ_NO_INV	R/W	0h	TX から C/Q および C/Q から RX 反転へを無効化します 0h = 反転イネーブル 1h = 反転ディスエーブル
6-5	CQ_SNK_SRC	R/W	0h	ドライバのシンクまたはソース電流値は、受信モード時の C/Q ドライバのソースおよびシンク値を設定します。 0h = 5mA 1h = 2mA 2h = 150uA 3h = 予約済み
4	CQ_SRC_EN	R/W	0h	ドライバ電流ソース イネーブルは、C/Q ドライバのハイサイド電流ソースを有効化します。 0h = 電流ソース ディスエーブル 1h = 電流ソース イネーブル
3	CQ_SNK_DIS	R/W	0h	ドライバ電流シンク イネーブルは、C/Q ドライバのローサイド電流ソースを有効化します。 0h = 電流シンク イネーブル 1h = 電流シンク ディスエーブル
2-1	CQ_RX_VTH_DIS	R/W	0h	C/Q RX スレッショルドの選択およびディスエーブルは、受信時の C/Q ピンのロジック タイプを設定します。詳細については、[セクション] を参照してください。 0h = すべての LP 範囲において IO-Link 規格に準拠した固定スレッショルド 1h = LP が 18V 未満の場合のレシオメトリック スレッショルド、LP が 18V 以上の場合の固定スレッショルド 2h = タイプ 2/3 スレッショルド 3h = RX ディスエーブル
0	CQ_GFILT_EN	R/W	0h	C/Q RX グリッチ フィルタ イネーブルは、C/Q ピンの受信グリッチ フィルタを有効化します。詳細については、[セクション] を参照してください。 0h = CQ RX グリッチ フィルタはディスエーブル 1h = CQ RX グリッチ フィルタはイネーブル

7.3.12.2.3 CQ ドライバ、DI レシーバ構成レジスタ (オフセット = 2h) [リセット = 00h]

表 7-41 に、CQ ドライバ、DI レシーバ構成を示します。

概略表に戻ります。

Phy 構成

表 7-41. CQ ドライバ、DI レシーバ構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	CQ_DRV_RISE_FALL	R/W	0h	ドライバの立ち上がり/立ち下がり時間の設定は、C/Q ドライバの立ち上がり/立ち下がり時間を設定します。 0h = 立ち上がり/立ち下がり時間を公称値 400ns に設定 1h = 立ち上がり/立ち下がり時間を公称値 800ns に設定 2h = 立ち上がり/立ち下がり時間を公称値 1.6us に設定 3h = 立ち上がり/立ち下がり時間を公称値 3.2us に設定
5	DI_NO_INV	R/W	0h	DI から RX 反転を無効化します 0h = 反転イネーブル 1h = 反転ディスエーブル
4	DI_SRC_EN	R/W	0h	DI RX 電流ソース イネーブルは、DI ピンのハイサイド電流ソースを有効化します。 0h = 2mA ソース ディスエーブル 1h = 2mA ソース イネーブル
3	DI_SNK_EN	R/W	0h	DI RX 電流シンク イネーブルは、DI ピンのローサイド電流ソースを有効化します。 0h = 2mA シンク ディスエーブル 1h = 2mA シンク イネーブル
2-1	DI_RX_VTH_DIS	R/W	0h	DI RX スレッシュホールドの選択およびディスエーブルは、受信時の DI ピンのロジック タイプを設定します。詳細については、[セクション] を参照してください。 0h = すべての LP 範囲において IO-Link 規格に準拠した固定スレッシュホールド 1h = LP が 18V 未満の場合のレシオメトリック スレッシュホールド、LP が 18V 以上の場合の固定スレッシュホールド 2h = タイプ 2/3 スレッシュホールド 3h = RX ディスエーブル
0	DI_GFILT_EN	R/W	0h	DI RX グリッチ フィルタ イネーブルは、DI ピンの受信グリッチ フィルタを有効化します。詳細については、[セクション] を参照してください。 0h = DI RX グリッチ フィルタはディスエーブル 1h = DI RX グリッチフィルタはイネーブル

7.3.12.2.4 CQ ドライバ、Lplus 電源構成レジスタ (オフセット = 3h) [リセット = 00h]

表 7-42 に、CQ ドライバ、Lplus 電源構成を示します。

概略表に戻ります。

Phy 構成

表 7-42. CQ ドライバ、Lplus 電源構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	N_DIODE_MD	R/W	0h	N 側ブロッキング ダイオード モード イネーブル 0h = スイッチ ダイオード モードで N 側 1h = ブロッキング ダイオード モードで N 側
6-5	LP_TSC	R/W	0h	L+ 電流ブランキング時間は、L+ ドライバのブランキング期間を設定します。詳細については、[セクション]を参照してください。 0h = 5ms 1h = 15ms 2h = 50ms 3h = 150ms
4-3	LP_CLIM	R/W	0h	L+ 電流制限は、L+ ドライバの出力電流制限を設定します。 0h = 15 mV 1h = 30 mV 2h = 60 mV 3h = 120 mV
2-1	LP_TAR	R/W	0h	L+ 電流自動再試行時間は、フォルト後に再試行するまでの L+ ドライバの待機時間を設定します。詳細については、[セクション]を参照してください。 0h = 50ms 1h = 500ms 2h = 4s 3h = 10s
0	LP_AR_DIS	R/W	0h	L+ 自動再試行ディスエーブルは、L+ ドライバの自動再試行を無効化します。 0h = LP 自動再試行イネーブル 1h = LP 自動再試行ディスエーブル

7.3.12.2.5 Lplus 電源構成レジスタ (オフセット = 4h) [リセット = 00h]

表 7-43 に、Lplus 電源構成を示します。

概略表に戻ります。

Phy 構成

表 7-43. Lplus 電源構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	P_DIODE_MD	R/W	0h	P 側ブロッキング ダイオード モード イネーブル 0h = スイッチ ダイオード モードで P 側 1h = ブロッキング ダイオード モードで P 側
6-5	予約済み	R	0h	予約済み
4	LP_GATE_DRV_EN	R/W	0h	L+ ゲートドライバ イネーブルは、外部 L+ ゲートドライバを有効化します。詳細については、[セクション]を参照してください。 0h = LP ゲートドライバ ディスエーブル 1h = LP ゲートドライバ イネーブル
3	LP_SNS_EN	R/W	0h	L+ センス イネーブルは、外部 L+ ゲートドライバのセンシング機能を有効化します。詳細については、[セクション]を参照してください。 0h = LP センス ディスエーブル 1h = LP センス イネーブル
2	LP_DYBL_EN	R/W	0h	L+ 動的ブランキング イネーブルは、外部 L+ ドライバの動的ブランキングを有効化します。詳細については、[セクション]を参照してください。 0h = LP 動的ブランキング ディスエーブル 1h = LP 動的ブランキング イネーブル
1	LP_REG_EN	R/W	0h	L+ 電流レギュレーション ループ イネーブルは、外部 L+ ドライバの電流レギュレーション ループを有効化します。詳細については、[セクション]を参照してください。 0h = LP 電流レギュレーション ループ ディスエーブル 1h = LP 電流レギュレーション ループ イネーブル
0	LP_GATE_HIZ	R/W	0h	L+ ゲートドライバ出力トライステートは、外部 L+ ゲートドライバの出力をトライステートに設定します。 0h = LP ゲートドライバ出力駆動 1h = LP ゲートドライバ出力トライステート

7.3.12.2.6 ハイサイド スイッチ構成 0 レジスタ (オフセット = 5h) [リセット = 00h]

表 7-44 に、ハイサイド スイッチ構成 0 を示します。

概略表に戻ります。

Phy 構成

表 7-44. ハイサイド スイッチ構成 0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSS_RP_PROT_EN	R/W	0h	HSS 逆極性保護イネーブルは、ハイサイド スイッチの逆極性保護を有効化します。 0h = HSS 逆極性保護ディスエーブル 1h = HSS 逆極性保護イネーブル
6-5	HSS_TSC	R/W	0h	HSS 電流ブランキング時間は、外部 HSS ドライバのブランキング期間を設定します。詳細については、[セクション] を参照してください。 0h = 5ms 1h = 15ms 2h = 50ms 3h = 150ms
4-3	HSS_CLIM	R/W	0h	HSS 電流制限は、外部 HSS ドライバの出力電流制限を設定します。 0h = 15 mV 1h = 30 mV 2h = 60 mV 3h = 120 mV
2-1	HSS_TAR	R/W	0h	HSS 電流自動再試行時間は、フォルト後に再試行するまでの外部 HSS ドライバの待機時間を設定します。詳細については、[セクション] を参照してください。 0h = 50ms 1h = 500ms 2h = 4s 3h = 10s
0	HSS_AR_DIS	R/W	0h	HSS 自動再試行ディスエーブルは、外部 HSS ドライバの自動再試行を無効化します。 0h = HSS 自動再試行イネーブル 1h = HSS 自動再試行ディスエーブル

7.3.12.2.7 ハイサイド スイッチ構成 1 レジスタ (オフセット = 6h) [リセット = 01h]

表 7-45 に、ハイサイド スイッチ構成 1 を示します。

概略表に戻ります。

Phy 構成

表 7-45. ハイサイド スイッチ構成 1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSS_CQG1_STATE	R/W	0h	HSS 上側 FET 状態イネーブルは、外部 HSS 上側 FET 状態を有効化します。 0h = HSS 上側 FET 状態オフ 1h = HSS 上側 FET 状態オン
6	HSS_CQG2_STATE	R/W	0h	HSS 下側 FET 状態は、外部 HSS 下側 FET 状態を有効化します。 0h = HSS 下側 FET 状態オフ 1h = HSS 下側 FET 状態オン
5-4	HSS_SLEW	R/W	0h	HSS スイッチング レート制御は、外部 HSS ドライバのスイッチング レートを設定します。 0h = 100KHz スイッチング レート 1h = 10KHz スイッチング レート 2h = 低速スイッチング 3h = 予約済み
3	HSS_SNS_EN	R/W	0h	HSS センス イネーブルは、外部 HSS ゲートドライバのセンシング機能を有効化します。詳細については、[セクション] を参照してください。 0h = HSS センス ディスエーブル 1h = HSS センス イネーブル
2	HSS_DYBL_EN	R/W	0h	HSS 動的ブランキング イネーブルは、外部 HSS ドライバの動的ブランキングを有効化します。詳細については、[セクション] を参照してください。 0h = HSS 動的ブランキング ディスエーブル 1h = HSS 動的ブランキング イネーブル
1	HSS_REG_EN	R/W	0h	HSS 電流レギュレーション ループ イネーブルは、外部 HSS ドライバの電流レギュレーション ループを有効化します。詳細については、[セクション] を参照してください。 0h = HSS 電流レギュレーション ディスエーブル 1h = HSS 電流レギュレーション イネーブル
0	HSS_GATE_HIZ	R/W	1h	HSS ゲートドライバ出力トライステートは、外部 HSS ゲートドライバの出力をトライステートに設定します。 0h = HSS ゲートドライバ出力駆動 1h = HSS ゲートドライバ出力トライステート

7.3.12.2.8 代替機能選択構成レジスタ (オフセット = 7h) [リセット = 00h]

表 7-46 に、代替機能選択構成を示します。

[概略表](#)に戻ります。

Phy 構成

表 7-46. 代替機能選択構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3	LED6_SEL	R/W	0h	LED 6 選択 0h = デフォルト機能 1h = LED 機能
2	LED5_SEL	R/W	0h	LED 5 選択 0h = デフォルト機能 1h = LED 機能
1	LED4_SEL	R/W	0h	LED 4 選択 0h = デフォルト機能 1h = LED 機能
0	LED3_SEL	R/W	0h	LED 3 選択 0h = デフォルト機能 1h = LED 機能

7.3.12.2.9 チャンネル ロジック割り込みマスク レジスタ (オフセット = 8h) [リセット = 00h]

表 7-47 に、チャンネル ロジック割り込みマスクを示します。

概略表に戻ります。

ロジック構成

表 7-47. チャンネル ロジック割り込みマスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MASK	R/W	0h	チャンネル ロジック割り込みマスク 0h = 割り込みをマスクしない 1h = 割り込みをマスクする

7.3.12.2.10 チャンネル Phy 割り込みマスク レジスタ (オフセット = 9h) [リセット = 00h]

表 7-48 に、チャンネル Phy 割り込みマスクを示します。

[概略表](#)に戻ります。

ロジック構成

表 7-48. チャンネル Phy 割り込みマスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MASK	R/W	0h	チャンネル物理割り込みマスク 0h = 割り込みをマスクしない 1h = 割り込みをマスクする

7.3.12.2.11 RPD、オフセット タイマ構成レジスタ (オフセット = Ah) [リセット = 00h]

表 7-49 に、RPD、オフセット タイマ構成を示します。

概略表に戻ります。

ロジック構成

表 7-49. RPD、オフセット タイマ構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PSC	R/W	0h	準備完了パルス検出器またはオフセット プリスケールは、オフセット プリスケールおよび準備完了パルス検出を設定します。 0h = OFST - 1us。RPD - 1ms 1h = OFST - 4.34us。RPD - 10ms 2h = OFST - 10us。RPD - 100ms 3h = OFST - 47.74us。RPD - 1S
5-0	数	R/W	0h	準備完了パルス検出器またはオフセット タイマは、準備完了パルス = (COUNT + 1) * PSC 時間単位オフセット時間 = COUNT * PSC 時間単位でタイムアウトします

7.3.12.2.12 共通ロジック構成レジスタ (オフセット = Bh) [リセット = 00h]

表 7-50 に、共通ロジック構成を示します。

概略表に戻ります。

ロジック構成

表 7-50. 共通ロジック構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	COM	R/W	0h	チャンネル COM レートは、チャンネル COM レートを設定します。UART およびフレーム ハンドラ モードに適用されます。 0h = ディスエーブル 1h = COM5 2h = COM2 3h = COM3
5-4	TA	R/W	0h	応答時間 (tA) 選択は、通信エラーを発信するまでマスター PHY がデバイスの最初の応答を待機する時間を設定します。IOLINK PHY AUTOSTART およびフレーム ハンドラ モードに適用されます。 0h = 10 テラビット 1h = 20 テラビット 2h = 40 テラビット 3h = 80 テラビット
3	T2	R/W	0h	デバイス フレーム遅延 (t2) 選択は、通信エラーを発信するまでマスター PHY がデバイス フレーム間で待機する時間を設定します。IOLINK PHY AUTOSTART およびフレーム ハンドラ モードに適用されます。 0h = 3 テラビット 1h = 6 テラビット
2	T1	R/W	0h	マスター フレーム遅延 (t1) 選択は、マスター PHY がマスター フレーム転送間で待機する時間を設定します。IOLINK PHY AUTOSTART およびフレーム ハンドラ モードに適用されます。 0h = 1 テラビット 1h = 2 テラビット
1-0	CLMD	R/W	0h	チャンネル ロジック モード選択は、チャンネルのロジック モードを設定します。詳細については、[セクション] を参照してください。 0h = Phy モード 1h = UART モード 2h = フレーム ハンドラ モード 3h = 拡張フレーム ハンドラ モード

7.3.12.2.13 IOLink Phy モード制御レジスタ (オフセット = Ch) [リセット = 00h]

表 7-51 に、IOLink Phy モード制御を示します。

概略表に戻ります。

ロジック制御

表 7-51. IOLink Phy モード制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	AUTO_START	R/W	0h	自動起動シーケンス選択は、デバイス初期化が完了した後に実行されるシーケンスを設定します。詳細については、[セクション]を参照してください。 0h = 動作なし 1h = ウェークパルス生成 2h = 準備完了パルス検出 3h = 準備完了パルス検出後にウェークパルス生成 4h = 通信シーケンス確立 5h = 準備完了パルス検出後に通信シーケンス確立 6h = 動作なし 7h = 中止
4	CQSRC	R/W	0h	CQ ソース選択は、IOLINK PHY モードにおける C/Q ドライバソースを選択します。 0h = SPI レジスタ フィールド制御 1h = PIN 制御
3-2	CQ_MD	R/W	0h	ディスエーブルの CQ モード選択は、内部ドライバが選択されているときに C/Q モードを選択します。 0h = CQ ドライバ ディスエーブル 1h = NPN モード 2h = PNP モード 3h = プッシュプル モード
1	CQ_TXD	R/W	0h	CQ TXD は、IOLINK PHY モードでビット CQSRC が SPI レジスタ フィールド制御に設定されている場合に C/Q ドライバ状態を設定します 0h = CQ High 1h = CQ Low
0	CQ_TXEN	R/W	0h	CQ TXEN は、IOLINK PHY モードでビット CQSRC が SPI レジスタ フィールド制御に設定されている場合に C/Q ドライバ イネーブル状態を設定します 0h = CQ ディスエーブル 1h = CQ イネーブル

7.3.12.2.14 UART モード制御レジスタ (オフセット = Dh) [リセット = 00h]

表 7-52 に、UART モード制御を示します。

概略表に戻ります。

ロジック制御

表 7-52. UART モード制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	データ	R/W	0h	UART データ未加工 UART データ読み取り/書き込みレジスタ

7.3.12.2.15 フレーム ハンドラ モード制御レジスタ (オフセット = Eh) [リセット = 00h]

表 7-53 に、フレーム ハンドラ モード制御を示します。

概略表に戻ります。

ロジック制御

表 7-53. フレーム ハンドラ モード制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FH_RST	R/W	0h	フレーム ハンドラ リセットは、フレーム ハンドラ ロジックおよびレジスタをリセットします 0h = リセットなし 1h = フレーム ハンドラをリセット
6	SKIP_CT	R/W	0h	フレーム ハンドラ リセット時のサイクル タイマ リセットの無視は、フレーム ハンドラ ロジック リセット時のサイクル タイマ リセットを無視します 0h = フレーム ハンドラ リセット時にサイクル タイマをリセット 1h = リセットなし
5	CKSM	R/W	0h	自動チェックサム イネーブルは、送信された各メッセージの自動 CRC 計算を有効化します 0h = 自動チェックサム ディスエーブル 1h = 自動チェックサム イネーブル
4	TKEEP	R/W	0h	TX バッファ保持は、送信バッファの保持と再送信機能を有効化します 0h = TX 保持および再送信ディスエーブル 1h = TX 保持および再送信イネーブル
3	INT_SYNC_EN	R/W	0h	内部フレーム ハンドラ同期イネーブル 0h = 内部同期ディスエーブル 1h = 内部同期イネーブル
2	EXT_SYNC_EN	R/W	0h	外部フレーム ハンドラ同期有イネーブル 0h = 外部同期イネーブル 1h = 外部同期ディスエーブル
1	SYNC_SRC_SEL	R/W	0h	外部同期ソース選択 0h = TXD[0] は外部同期として使用 1h = TXD[1] は外部同期として使用
0	SYNC_SRC_EDGE	R/W	0h	外部同期ソース エッジ選択 0h = ソース信号の立ち下がりエッジで同期開始 1h = ソース信号の立ち上がりエッジで同期開始

7.3.12.2.16 FH + EFH モード RX バッファ トリガ レベル レジスタ (オフセット = Fh) [リセット = 00h]

表 7-54 に、FH + EFH モード RX バッファトリガ レベルを示します。

[概略表](#)に戻ります。

ロジック制御

表 7-54. FH + EFH モード RX バッファ トリガ レベル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RX_BTLVL	R/W	0h	RX バッファトリガ レベル FH: BLVLRT 割り込み要求がログに記録される RX バッファ レベル (トリガより上昇) EFH: RX_BLVL_RATL 割り込み要求 がログに記録される RX バッファ レベル

7.3.12.2.17 FH + EFH モード TX バッファ トリガ レベル レジスタ (オフセット = 10h) [リセット = 00h]

表 7-55 に、FH + EFH モード TX バッファトリガ レベルを示します。

概略表に戻ります。

ロジック制御

表 7-55. FH + EFH モード TX バッファ トリガ レベル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_BTLVL	R/W	0h	TX バッファトリガ レベル FH:BLVLRT 割り込み要求がログに記録される TX バッファ レベル (トリガを下回った場合に発生) EFH:TX_BLVL_FBTL 割り込み要求がログに記録される TX バッファ レベル

7.3.12.2.18 オンデマンド データ長レジスタ (オフセット = 11h) [リセット = 00h]

表 7-56 に、オンデマンド データ長を示します。

概略表に戻ります。

ロジック制御

表 7-56. オンデマンド データ長レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-0	LEN	R/W	0h	オンデマンド データ長

7.3.12.2.19 マスター プロセス データ長レジスタ (オフセット = 12h) [リセット = 00h]

表 7-57 に、マスター プロセス データ長を示します。

概略表に戻ります。

ロジック制御

表 7-57. マスター プロセス データ長レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-0	LEN	R/W	0h	マスター プロセス データ長

7.3.12.2.20 デバイス プロセス データ長レジスタ (オフセット = 13h) [リセット = 00h]

表 7-58 に、デバイス プロセス データ長を示します。

[概略表](#)に戻ります。

ロジック制御

表 7-58. デバイス プロセス データ長レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-0	LEN	R/W	0h	デバイス プロセス データ長

7.3.12.2.21 FH モード サイクル タイマ制御レジスタ (オフセット = 14h) [リセット = 00h]

表 7-59 に、FH モード サイクル タイマ制御を示します。

概略表に戻ります。

ロジック制御

表 7-59. FH モード サイクル タイマ制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BASE	R/W	0h	サイクル タイマ ベース 0h = 100us + オフセットなし 1h = 400us + 6.4ms オフセット 2h = 1.6ms + 32ms 3h = 予約済み
5-0	MULT	R/W	0h	サイクル タイマ通倍器 サイクル タイマ通倍器 0.63 (有効値) tCYC = オフセット + (BASE * MULT)

7.3.12.2.22 FH モード データ レジスタ (オフセット = 15h) [リセット = 00h]

表 7-60 に、FH モード データを示します。

[概略表](#)に戻ります。

ロジック制御

表 7-60. FH モード データ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	データ	R/W	0h	フレーム ハンドラ データ読み取り/書き込みレジスタ フレーム ハンドラ データ読み取り/書き込みレジスタ

7.3.12.2.23 チャンネル ロジック ステータス レジスタ (オフセット = 16h) [リセット = 00h]

表 7-61 に、チャンネル ロジック ステータスを示します。

概略表に戻ります。

ロジック ステータス

表 7-61. チャンネル ロジック ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3	DI_RXD	R	0h	DI 受信ピンの DI_RXD 瞬間値 0h = DI Low 1h = DI High
2-0	CLSTAT	R	0h	チャンネル ロジック モード phy_mode に基づくチャンネル ロジック ステータス: CLSTAT[2] - TXEN。CLSTAT[1] - TXD。CLSTAT[0] - RXD uart_mode: N/A fh_mode および拡張 fh_mode: CLSTAT - フレーム ハンドラ状態 0h = IDLE 1h = TX 2h = RX 3h = 予約済み 4h = 予約済み 5h = 予約済み 6h = 予約済み 7h = 予約済み

7.3.12.2.24 チャンネル Phy ステータス レジスタ (オフセット = 17h) [リセット = 00h]

表 7-62 に、チャンネル Phy ステータスを示します。

概略表に戻ります。

物理ステータス

表 7-62. チャンネル Phy ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OT_FAULT	R	0h	過熱フォルトの過熱フォルト瞬間値 0h = 過熱フォルトなし 1h = 過熱フォルト
6	OT_WARN	R	0h	過熱警告の過熱警告瞬間値 0h = 過熱警告なし 1h = 過熱警告
5	EXT_CQ_OC	R	0h	外部 CQ 過電流の外部 CQ 過電流瞬間値 0h = 外部 CQ 過電流なし 1h = 外部 CQ 過電流
4	CQ_OC	R	0h	CQ 過電流の CQ 過電流瞬間値 0h = CQ 過電流なし 1h = CQ 過電流
3	LP_OC	R	0h	L+ 過電流の L+ 過電流瞬間値 0h = L+ 過電流なし 1h = L+ 過電流
2	LP_UVLO	R	0h	L+ 低電圧誤動作防止の L+ 低電圧誤動作防止瞬間値 0h = L+ 低電圧誤動作防止なし 1h = L+ 低電圧誤動作防止
1-0	予約済み	R	0h	予約済み

7.3.12.2.25 チャンネル ロジック割り込み要求レジスタ (オフセット = 18h) [リセット = 00h]

表 7-63 に、チャンネル ロジック割り込み要求を示します。

概略表に戻ります。

ロジック割り込み

表 7-63. チャンネル ロジック割り込み要求レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLIREQ7	RC	0h	チャンネル ロジック割り込み要求 7 値 (チャンネル モードに依存): iolink_phy_mode: ECS_ERR — 通信シーケンス エラー uart_mode: TX_ERR — 転送エラー fh_mode: TRX_ERR - 送信 (転送) または受信 エラー (パリティ、フレーム) ext_fh_mode: TX_ERR — 転送エラー 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
6	CLIREQ6	RC	0h	チャンネル ロジック割り込み要求 6 値 (チャンネル モードに依存): iolink_phy_mode: WPG_ERR — ウェイク パルス生成エラー uart_mode: RX_ERR — 受信エラー (パリティまたはフレーム) fh_mode: T1_TA_T2_TO_ERR - t1, tA または t2 のタイムアウト エラー ext_fh_mode: RX_ERR — 受信エラー (パリティまたはフレーム エラー) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
5	CLIREQ5	RC	0h	チャンネル ロジック割り込み要求 5 値 (チャンネル モードに依存): iolink_phy_mode: RPD_ERR - 準備完了パルス検出エラー uart_mode: OR_ERR — オーバーラン エラー fh_mode: CKSM_ERR — チェックサム エラー (送信または受信チェックサム) ext_fh_mode: 該当 なし 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
4	CLIREQ4	RC	0h	チャンネル ロジック割り込み要求 4 値 (チャンネル モードに依存): iolink_phy_mode: ASEQ_OK — エラーなしで自動起動シーケンス完了 uart_mode: 該当なし fh_mode: TBUF_EMPTY_AT_CT_EXP - サイクル タイマの期限切れ時に Tx バッファが空であった ext_fh_mode: 該当なし 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
3	CLIREQ3	RC	0h	チャンネル ロジック割り込み要求 3 値 (チャンネル モードに依存): iolink_phy_mode: 該当なし uart_mode: 該当なし fh_mode: SOT — iolink メッセージの転送開始 ext_fh_mode: RX_BFULL — Rx バッファ がフル 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
2	CLIREQ2	RC	0h	チャンネル ロジック割り込み要求 2 値 (チャンネル モードに依存): iolink_phy_mode: 該当なし uart_mode: 該当なし fh_mode: SOR — iolink メッセージの受信開始 ext_fh_mode: TX_BEMPTY — Tx バッファ が空 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
1	CLIREQ1	RC	0h	チャンネル ロジック割り込み要求 1 値 (チャンネル モードに依存): iolink_phy_mode: CQ_R-CQ 上昇 uart_mode: TX_RDY — トランスミッ タ準備完了 fh_mode: BLVL_RT — バッファレベルがトリガレベルに到 達 (TX と RX の両方) ext_fh_mode: RX_BLVL_RATL - Rx バッファレ ベルがトリガ レベルより上昇 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み

表 7-63. チャネル ロジック割り込み要求レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CLIREQ0	RC	0h	チャネル ロジック割り込み要求 0 値 (チャネル モードに依存): iolink_phy_mode: CQ_F - CQ 下降 uart_mode: RX_RDY — レシーバ 準備完了 (受信バイトは読み取り可能) fh_mode: MSG_RDY — メッセージ 準備完了 (エラーなしで IO-Link メッセージ受信) ext_fh_mode: TX_BLVL_FBTl - Tx バッファレベルがトリガ レベルより下降 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み

7.3.12.2.26 チャンネル物理割り込み要求レジスタ (オフセット = 19h) [リセット = 00h]

表 7-64 に、チャンネル物理割り込み要求を示します。

概略表に戻ります。

物理割り込み

表 7-64. チャンネル物理割り込み要求レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OT_FAULT	RC	0h	過熱フォルトが過熱フォルトの値をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
6	OT_WARN	RC	0h	過熱警告が過熱警告の値をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
5	EXT_CQ_OC	RC	0h	外部 CQ 過電流が外部 CQ 過電流の値をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
4	CQ_OC	RC	0h	CQ 過電流が CQ 過電流の値をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
3	LP_OC	RC	0h	L+ 過電流が L+ 過電流の値をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
2	LP_UVLO	RC	0h	L+ 低電圧誤動作防止が L+ 低電圧誤動作防止の値をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
1	DI_R	RC	0h	DI 上昇が DI 立ち上がりエッジ検出をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み
0	DI_F	RC	0h	DI 下降が DI 立ち下がりエッジ検出をラッチしました (読み取り後クリア) 0h = 割り込みイベントは未登録 1h = 割り込みイベントを登録済み

7.3.12.2.27 LED 構成 1 レジスタ (オフセット = 1Ah) [リセット = 00h]

表 7-65 に、LED 構成 1 を示します。

概略表に戻ります。

LED 構成/制御

表 7-65. LED 構成 1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BLINK	R/W	0h	LED 点滅構成は、LED1 の点滅パターンを設定します。 0h = 点滅ディスエーブル 1h = 100ms High - 100ms Low (1:1) 点滅 2h = 100ms High - 300ms Low (1:3) 点滅 3h = 100ms High - 1100ms Low (1:11) 点滅
5-4	IDRV	R/W	0h	LED ドライバ電流構成は、LED1 の電流ソースを設定します。 0h = 2mA 1h = 8mA 2h = 14mA 3h = 20mA
3-0	PWM	R/W	0h	PWM デューティサイクル構成は、LED1 の PWM デューティサイクルを設定します。 0h = 0% (LED オフ) 1h = 1.4% 2h = 1.8% 3h = 2.5% 4h = 3.4% 5h = 4.6% 6h = 6.3% 7h = 8.6% 8h = 11% 9h = 16% Ah = 22% Bh = 29% Ch = 40% Dh = 54% Eh = 74% Fh = 100% (LED オン)

7.3.12.2.28 LED 構成 2 レジスタ (オフセット = 1Bh) [リセット = 00h]

表 7-66 に、LED 構成 2 を示します。

[概略表](#)に戻ります。

LED 構成/制御

表 7-66. LED 構成 2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BLINK	R/W	0h	LED 点滅構成は、LED2 の点滅パターンを設定します。 0h = 点滅ディスエーブル 1h = 100ms High - 100ms Low (1:1) 点滅 2h = 100ms High - 300ms Low (1:3) 点滅 3h = 100ms High - 1100ms Low (1:11) 点滅
5-4	IDRV	R/W	0h	LED ドライバ電流構成は、LED2 の電流ソースを設定します。 0h = 2mA 1h = 8mA 2h = 14mA 3h = 20mA
3-0	PWM	R/W	0h	PWM デューティ サイクル構成は、LED2 の PWM デューティ サイクルを設定します。 0h = 0% (LED オフ) 1h = 1.4% 2h = 1.8% 3h = 2.5% 4h = 3.4% 5h = 4.6% 6h = 6.3% 7h = 8.6% 8h = 11% 9h = 16% Ah = 22% Bh = 29% Ch = 40% Dh = 54% Eh = 74% Fh = 100% (LED オン)

7.3.12.2.29 LED 構成 3 レジスタ (オフセット = 1Ch) [リセット = 00h]

表 7-67 に、LED 構成 3 を示します。

概略表に戻ります。

LED 構成/制御

表 7-67. LED 構成 3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BLINK	R/W	0h	LED 点滅構成は、LED3 の点滅パターンを設定します。 0h = 点滅ディスエーブル 1h = 100ms High - 100ms Low (1:1) 点滅 2h = 100ms High - 300ms Low (1:3) 点滅 3h = 100ms High - 1100ms Low (1:11) 点滅
5-4	IDRV	R/W	0h	LED ドライバ電流構成は、LED3 の電流ソースを設定します。 0h = 2mA 1h = 8mA 2h = 14mA 3h = 20mA
3-0	PWM	R/W	0h	PWM デューティサイクル構成は、LED3 の PWM デューティサイクルを設定します。 0h = 0% (LED オフ) 1h = 1.4% 2h = 1.8% 3h = 2.5% 4h = 3.4% 5h = 4.6% 6h = 6.3% 7h = 8.6% 8h = 11% 9h = 16% Ah = 22% Bh = 29% Ch = 40% Dh = 54% Eh = 74% Fh = 100% (LED オン)

7.3.12.2.30 LED 構成 4 レジスタ (オフセット = 1Dh) [リセット = 00h]

表 7-68 に、LED 構成 4 を示します。

概略表に戻ります。

LED 構成/制御

表 7-68. LED 構成 4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BLINK	R/W	0h	LED 点滅構成は、LED4 の点滅パターンを設定します。 0h = 点滅ディスエーブル 1h = 100ms High - 100ms Low (1:1) 点滅 2h = 100ms High - 300ms Low (1:3) 点滅 3h = 100ms High - 1100ms Low (1:11) 点滅
5-4	IDRV	R/W	0h	LED ドライバ電流構成は、LED4 の電流ソースを設定します。 0h = 2mA 1h = 8mA 2h = 14mA 3h = 20mA
3-0	PWM	R/W	0h	PWM デューティ サイクル構成は、LED4 の PWM デューティ サイクルを設定します。 0h = 0% (LED オフ) 1h = 1.4% 2h = 1.8% 3h = 2.5% 4h = 3.4% 5h = 4.6% 6h = 6.3% 7h = 8.6% 8h = 11% 9h = 16% Ah = 22% Bh = 29% Ch = 40% Dh = 54% Eh = 74% Fh = 100% (LED オン)

7.3.12.2.31 LED 構成 5 レジスタ (オフセット = 1Eh) [リセット = 00h]

表 7-69 に、LED 構成 5 を示します。

概略表に戻ります。

LED 構成/制御

表 7-69. LED 構成 5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BLINK	R/W	0h	LED 点滅構成は、LED5 の点滅パターンを設定します。 0h = 点滅ディスエーブル 1h = 100ms High - 100ms Low (1:1) 点滅 2h = 100ms High - 300ms Low (1:3) 点滅 3h = 100ms High - 1100ms Low (1:11) 点滅
5-4	IDRV	R/W	0h	LED ドライバ電流構成は、LED5 の電流ソースを設定します。 0h = 2mA 1h = 8mA 2h = 14mA 3h = 20mA
3-0	PWM	R/W	0h	PWM デューティサイクル構成は、LED5 の PWM デューティサイクルを設定します。 0h = 0% (LED オフ) 1h = 1.4% 2h = 1.8% 3h = 2.5% 4h = 3.4% 5h = 4.6% 6h = 6.3% 7h = 8.6% 8h = 11% 9h = 16% Ah = 22% Bh = 29% Ch = 40% Dh = 54% Eh = 74% Fh = 100% (LED オン)

7.3.12.2.32 LED 構成 6 レジスタ (オフセット = 1Fh) [リセット = 00h]

表 7-70 に、LED 構成 6 を示します。

概略表に戻ります。

LED 構成/制御

表 7-70. LED 構成 6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BLINK	R/W	0h	LED 点滅構成は、LED6 の点滅パターンを設定します。 0h = 点滅ディスエーブル 1h = 100ms High - 100ms Low (1:1) 点滅 2h = 100ms High - 300ms Low (1:3) 点滅 3h = 100ms High - 1100ms Low (1:11) 点滅
5-4	IDRV	R/W	0h	LED ドライバ電流構成は、LED6 の電流ソースを設定します。 0h = 2mA 1h = 8mA 2h = 14mA 3h = 20mA
3-0	PWM	R/W	0h	PWM デューティ サイクル構成は、LED6 の PWM デューティ サイクルを設定します。 0h = 0% (LED オフ) 1h = 1.4% 2h = 1.8% 3h = 2.5% 4h = 3.4% 5h = 4.6% 6h = 6.3% 7h = 8.6% 8h = 11% 9h = 16% Ah = 22% Bh = 29% Ch = 40% Dh = 54% Eh = 74% Fh = 100% (LED オン)

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

T10M2212 が 3 線式インターフェイス (図 8-1) を介して 1 つまたは複数の IO-Link デバイスに接続されると、T10M2212 IO-Link トランシーバが通信のための完全な物理層として機能することで、アプリケーションは通信を開始してリモート ノードとデータを交換できるようになります。

8.2 代表的なアプリケーション

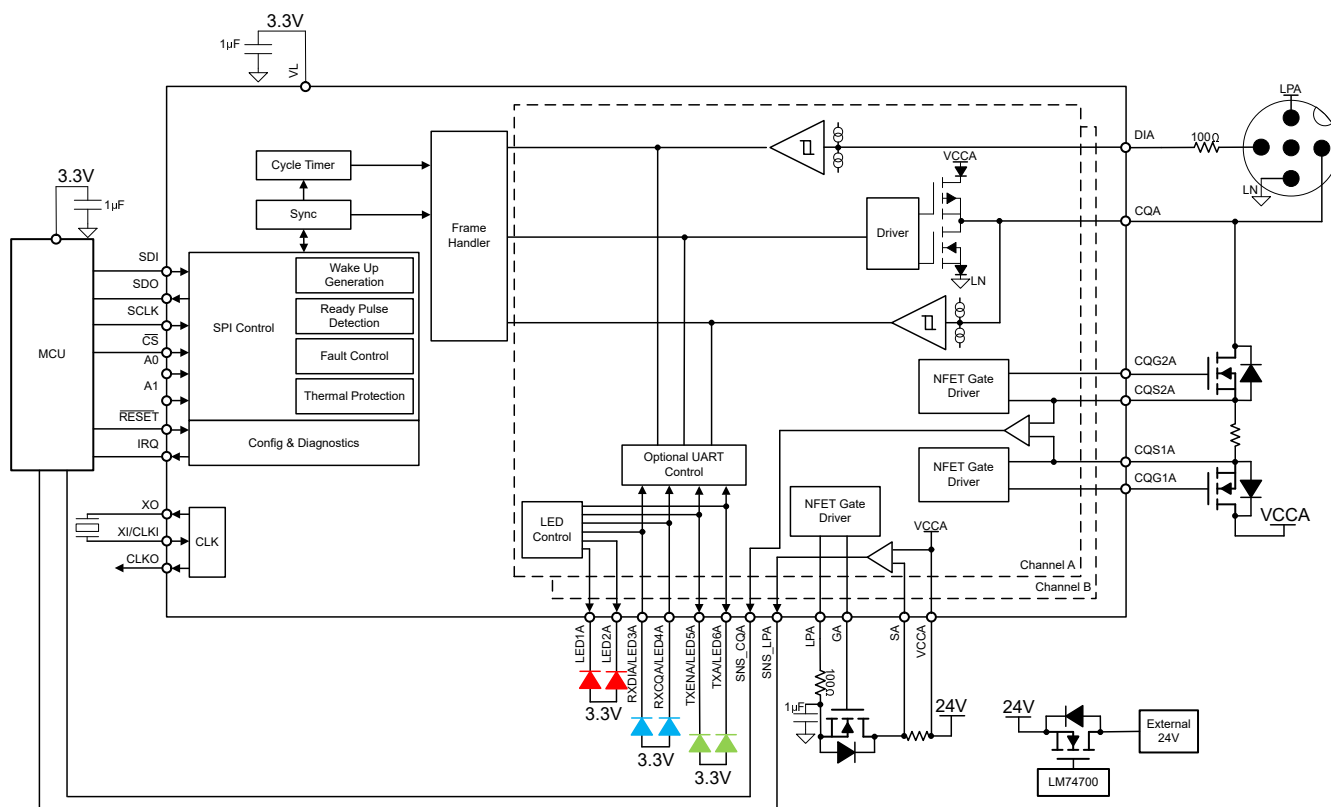


図 8-1. 代表的なアプリケーション回路図

8.3 電源に関する推奨事項

T10M2212 は、L+ の公称電源 24V で動作するように設計されており、デバイスの推奨電源電圧範囲である 7V ~ 36V 内に維持するため、公称値から +12V および -17V まで変動できます。この電源は、少なくとも 100nF/100V のコンデンサを使用してバッファする必要があります。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

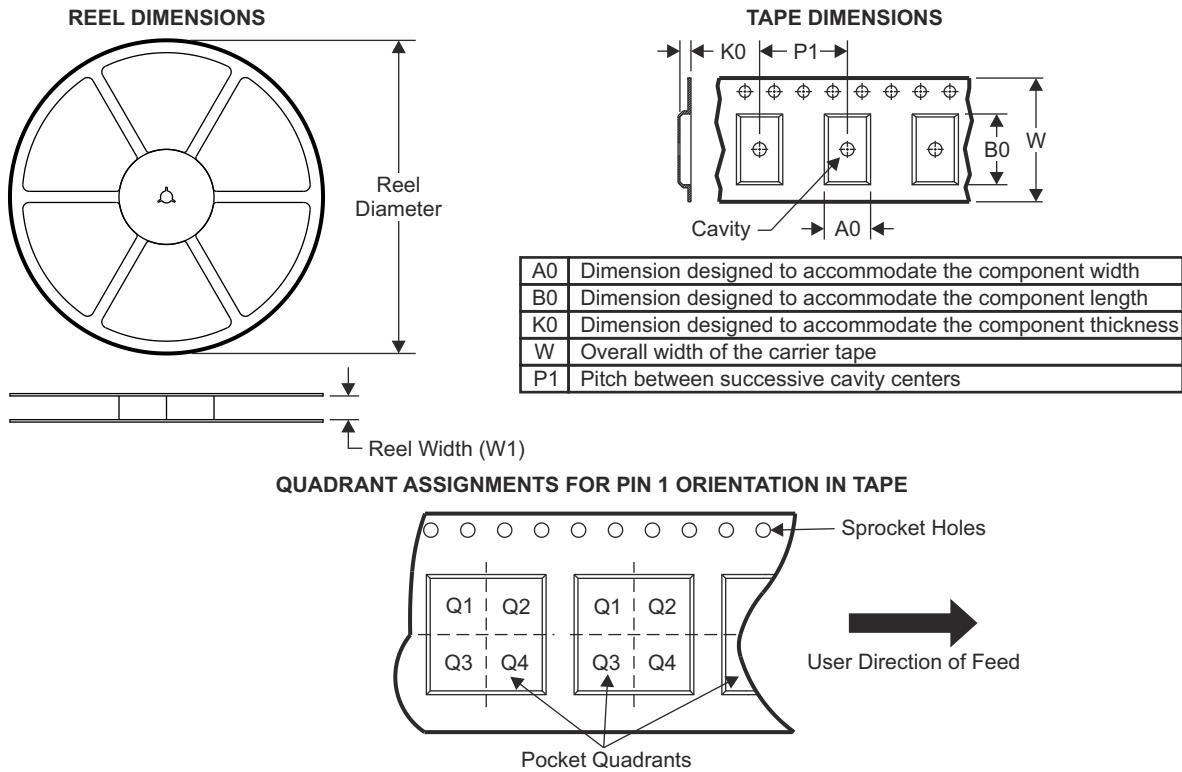
10 改訂履歴

日付	改訂	注
October 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

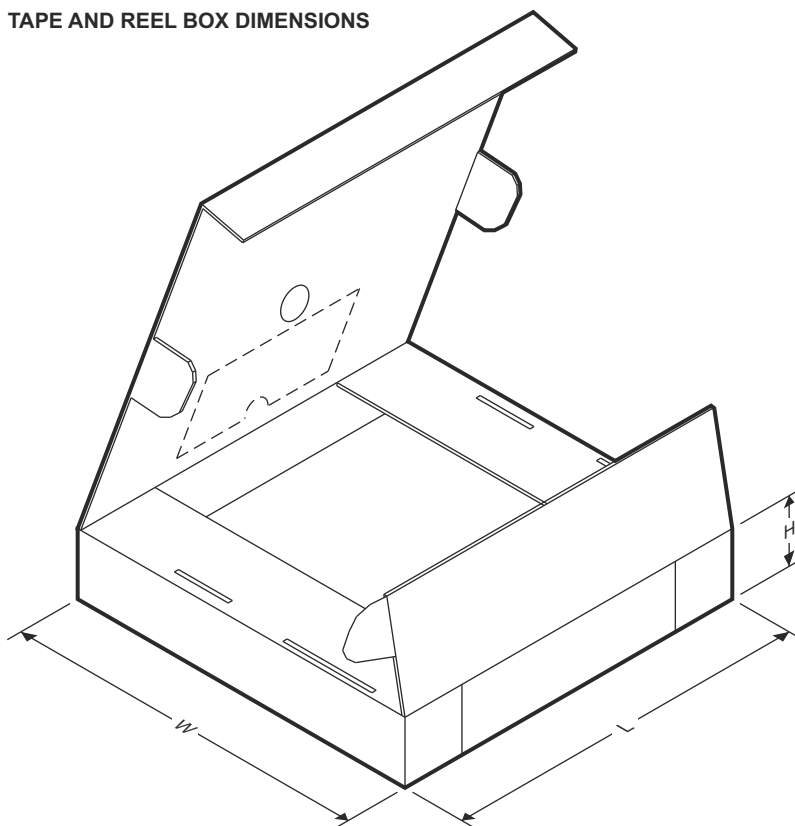
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
TIOM2212RGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
TIOM2212RGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

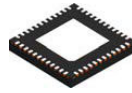
TAPE AND REEL BOX DIMENSIONS



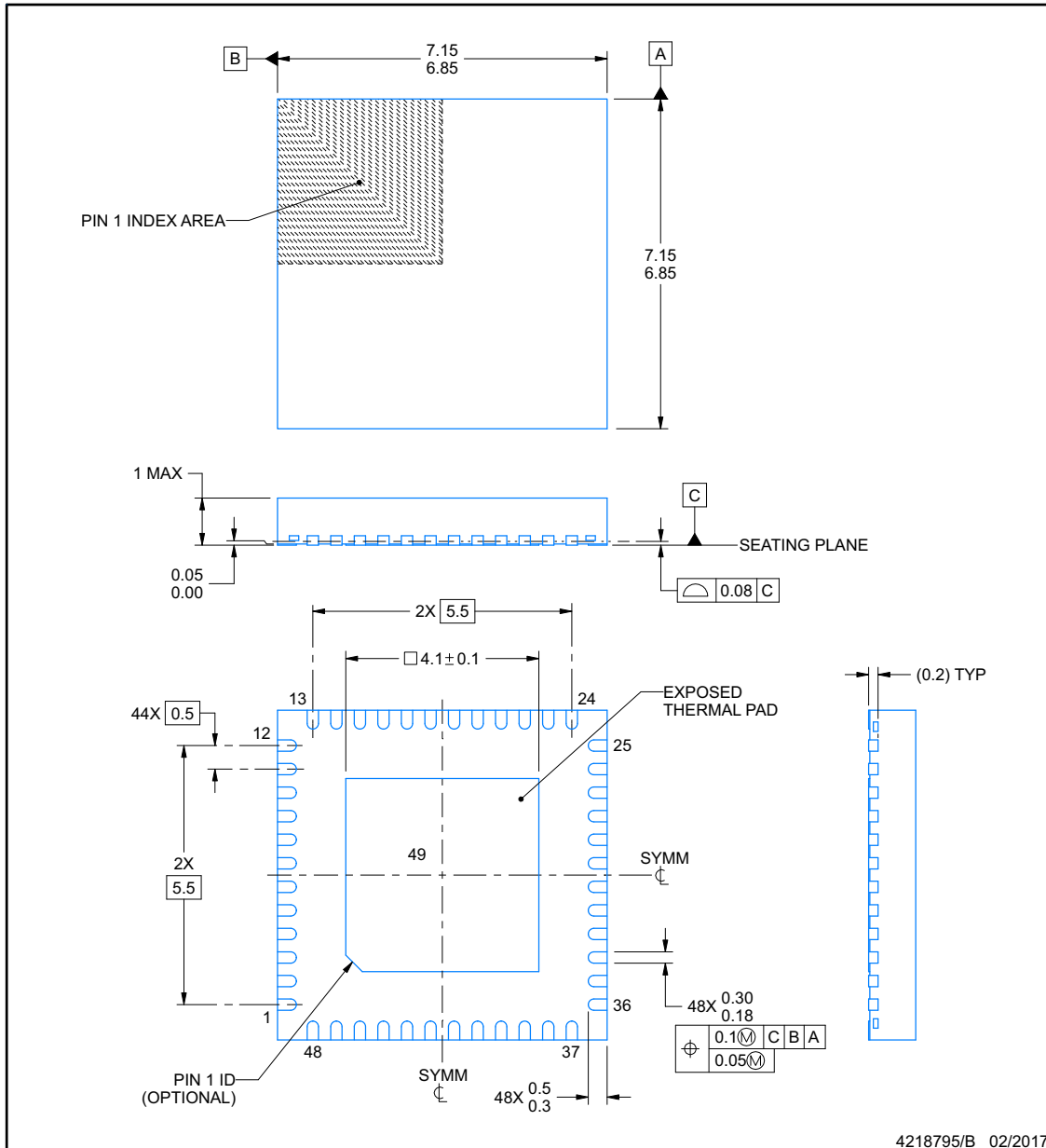
デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TIOM2212RGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
TIOM2212RGZT	VQFN	RGZ	48	250	210.0	185.0	35.0

ADVANCE INFORMATION

11.2 メカニカル データ

RGZ0048B**PACKAGE OUTLINE****VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



4218795/B 02/2017

NOTES:

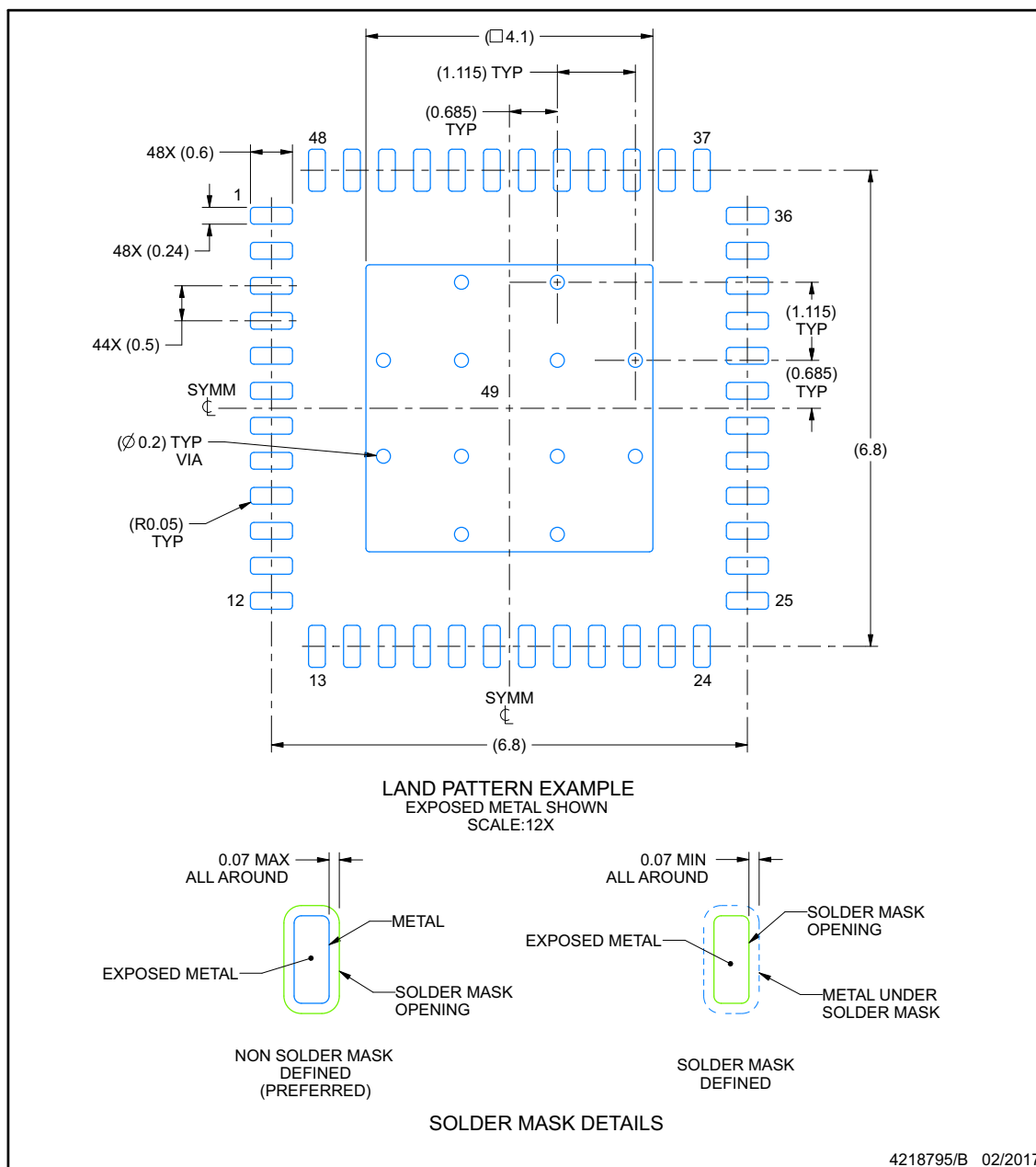
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

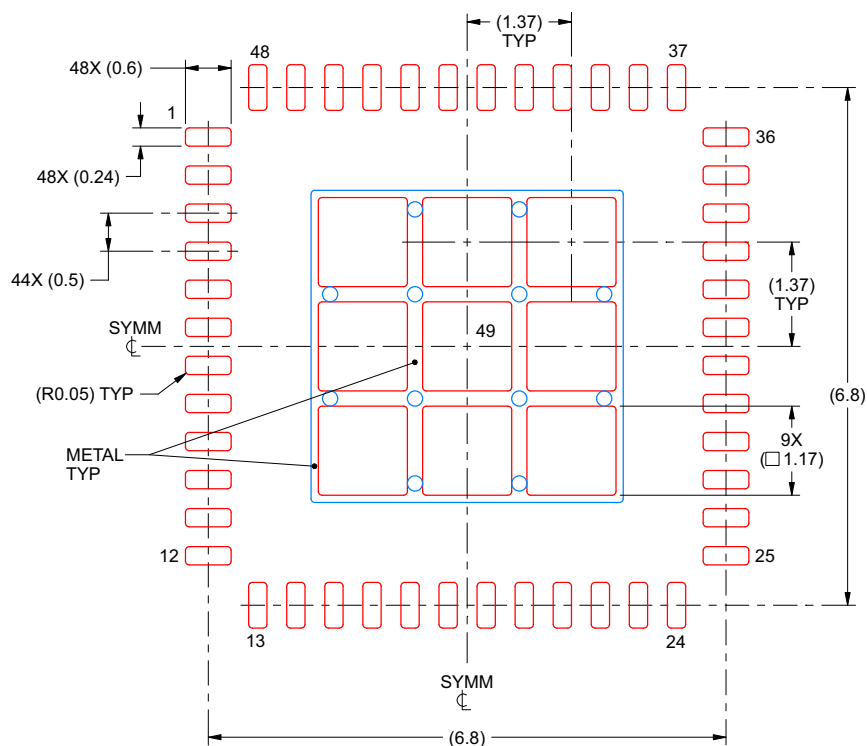


NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN**RGZ0048B****VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 EXPOSED PAD 49
 73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTIOM2212RGZR	Active	Preproduction	VQFN (RGZ) 48	4000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

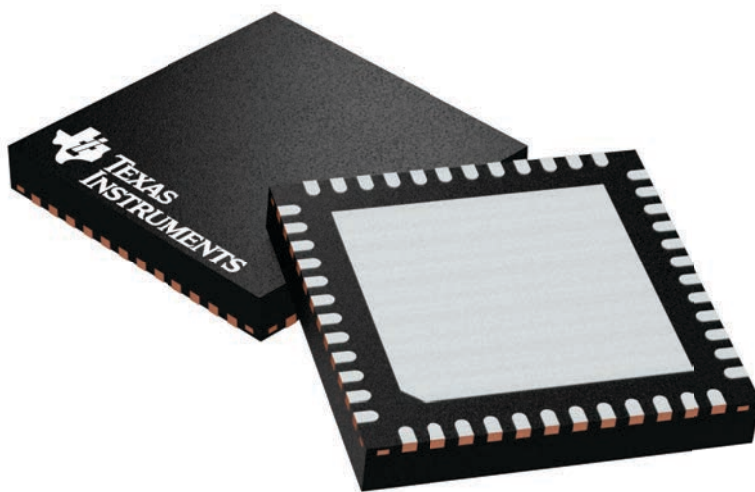
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月