拡張 FET 低オフセットオペアンプ

1 特長

- TL07x および TL08x FET オペアンプへの直接アップグレード
- DC 性能向上のためのオンチップオフセット電圧トリミング

2 説明

FET 入力オペアンプの TL05x シリーズは、TL07x および TL08x の FET オペアンプファミリより DC および AC 特性が向上しています。テキサス・インスツルメンツが FET プロセスを改善して設計を最適化した結果、消費電力を増加させずに帯域幅とスルーレートの向上も実現しました。TL05x デバイスは TL07x および TL08x とピン互換であるため、既存の回路のアップグレードに使用でき、新規設計でも優れた性能を実現できます。

FET オペアンプは、バイポーラアンプに伴う出力駆動能力を犠牲にすることなく、FET 入力トランジスタの本質的に高い入力インピーダンスを実現します。これにより、高インピーダンスのセンサまたは低レベルの AC 信号との接続に適した設計がされています。

TL05x ファミリは、TL08x よりも高い精度と優れた AC 応答、TL07x と同じ低ノイズフロアを実現するように設計されています。設計者が大幅に高速な AC 応答を必要とする場合は、Excalibur TLE208x および TLE207x ファミリの FET オペアンプを検討することをお勧めします。

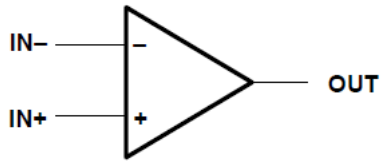
FET オペアンプはデュアル電源で使用するように設計されているため、単一電源で動作するときは、同相入力電圧制限と出力スイングを守るよう注意する必要があります。入力信号の DC バイアスが必要であり、負荷は中間電源の仮想グランド ノードに終端します。テキサス・インスツルメンツ TLE2426 統合仮想グランドジェネレータは、単一電源で FET アンプを動作させる場合に役立ちます。

TL05x は、±15V および ±5V で完全に動作が規定されています。低電圧や単一電源システムでの動作には、テキサス・インスツルメンツの LinCMOS ファミリのオペアンプ (TLC 接頭辞) を推奨します。FET から CMOS アンプに移行するときは、スルーレートと帯域幅の要件、および出力負荷に特に注意する必要があります。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TL051、TL052	D (SOIC、8)	4.90mm × 3.90mm
TL051、TL052	P (PDIP、8)	9.81mm × 6.30mm
TL052	PS (SOP、8)	6.20mm × 5.30mm
TL054	D (SOIC、14)	4.90mm × 3.90mm
	DB (SSOP、14)	6.20mm × 5.30mm
	N (PDIP、14)	19.30mm × 6.30mm
	NS (SOP、14)	10.30mm × 5.30mm

(1) 詳細については、*「メカニカル、パッケージ、および注文情報」*を参照してください。



シンボル (各アンプ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 説明 1
3 ピン構成および機能 3
4 仕様 5
4.1 絶対最大定格 5
4.2 熱に関する情報 5
4.3 推奨動作条件 5
4.4 TL05xC および TL05xAC の電気的特性 6
4.5 TL05xI および TL05xAI の電気的特性 9
4.6 代表的特性 12
5 アプリケーションと実装 15
5.1 使用上の注意 15
6 デバイスおよびドキュメントのサポート 18
6.1 ドキュメントの更新通知を受け取る方法 18
6.2 サポート・リソース 18
6.3 商標 18
6.4 静電気放電に関する注意事項 18
6.5 用語集 18
7 改訂履歴 18
8 メカニカル、パッケージ、および注文情報 19

Copyright © 2026 Texas Instruments Incorporated

3 ピン構成および機能

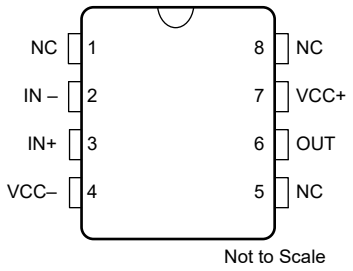


図 3-1. TL051 D または P パッケージ、8 ピン SOIC または PDIP (上面図)

表 3-1. ピン機能 TL051x

ピン		タイプ(1)	説明
名称	番号		
NC	1	—	接続しない
IN-	2	入力	反転入力
IN+	3	入力	非反転入力
VCC-	4	—	電源負電圧
NC	5	—	接続しない
OUT	6	出力	出力
VCC+	7	—	電源正電圧
NC	8	—	接続しない

(1) I = 入力、O = 出力。

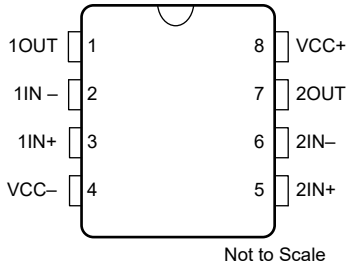


図 3-2. TL052 D、P、または PS パッケージ、8 ピン SOIC、PDIP、または SOP (上面図)

表 3-2. ピン機能 TL052x

ピン		タイプ(1)	説明
名称	番号		
1OUT	1	出力	出力チャネル 1
1IN–	2	入力	反転入力、チャネル 1
1IN+	3	入力	非反転入力、チャンネル 1
VCC-	4	—	電源負電圧
2IN+	5	入力	非反転入力、チャンネル 2
2IN–	6	入力	反転入力、チャネル 2
2OUT	7	出力	出力チャネル 2
VCC+	8	—	電源正電圧

Copyright © 2026 Texas Instruments Incorporated

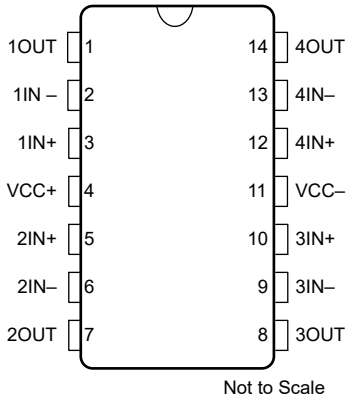


図 3-3. TL054 D、DB、N、または NS パッケージ、14 ピン SOIC、SSOP、PDIP、または SOP (上面図)

表 3-3. ピン機能 TL054x

ピン		タイプ(1)	説明
名称	番号		
1OUT	1	出力	出力チャネル 1
1IN–	2	入力	反転入力、チャネル 1
1IN+	3	入力	非反転入力、チャンネル 1
VCC+	4	—	電源正電圧
2IN+	5	入力	非反転入力、チャンネル 2
2IN–	6	入力	反転入力、チャネル 2
2OUT	7	出力	出力チャネル 2
3OUT	8	出力	出力チャネル 3
3IN–	9	入力	反転入力、チャネル 3
3IN+	10	入力	非反転入力、チャンネル 3
VCC-	11	—	電源負電圧
4IN+	12	入力	非反転入力、チャンネル 4
4IN–	13	入力	反転入力、チャネル 4
4OUT	14	出力	出力チャネル 4

Copyright © 2026 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC+}	電源電圧 (2)			18	V
V_{CC-}	電源電圧 (2)			-18	V
	差動入力電圧(3)		-30	30	V
V_I	入力電圧範囲(2) (4)	任意の入力	-15	15	V
I_I	入力電流	各入力	-1	1	mA
I_O	出力電流	各入力	-80	80	mA
	V_{CC+} への総電流			160	mA
	V_{CC-} からの合計電流			160	mA
	25°C 以下での短絡電流の時間			制限なし	
T_J	動作時の仮想接合部温度			150	°C
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間			260	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」に記載されたストレスを上回る場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、このデータシートのセクション 4.3 に示された値と等しい、またはそれを超える条件で本デバイスが正常に動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 差動電圧を除くすべての電圧値は、V_{CC+} と V_{CC-} の中点を基準にしています。
(3) 差動電圧は、IN– を基準とする IN+ です。
(4) 入力電圧の大きさは、電源電圧の大きさまたは 1 (小さい方) を決して超えないようにする必要があります。

4.2 熱に関する情報

熱評価基準(1)		TL051、TL052	TL051、TL052	TL052	TL054				単位
		D	P	PS	D	DB	N	NS	
		8	8	8	14	14	14	14	
θ_{JA}	パッケージの熱インピーダンス	97	85	95	86	96	80	76	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

4.3 推奨動作条件

			接尾辞 C		接尾辞 I		単位
			最小値	最大値	最小値	最大値	
$V_{CC±}$	電源電圧		±5	±15	±5	±15	V
V_{IC}	同相入力電圧	$V_{CC±}$ = ±5V	-1	4	-1	4	V
		$V_{CC±}$ = ±15V	-11	11	-11	11	
T_A	外気温度での動作時		0	70	-40	85	°C

Copyright © 2026 Texas Instruments Incorporated

4.4 TL05xC および TL05xAC の電気的特性

規定の自由空気温度において

パラメータ		テスト条件		T_A [1]	TL05xC、TL05xAC						単位
					$V_{CC±}$ = ±5V			$V_{CC±}$ = ±15V			
					最小値	標準値	最大値	最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	V_O = 0 V_{IC} = 0 R_S = 50Ω	TL051C、TI052C	25°C		0.75	3.5		0.65	1.5	mV
			TL054C	25°C			5.5			4	
			TL051C、TL052C	フルレンジ			4.5			2.5	
			TL054C	フルレンジ			7.7			6.2	
			TL051AC、TL052AC	25°C		0.57	2.8		0.5	0.8	
			TL054AC	25°C			3.5			1.5	
			TL051AC、TL052AC	フルレンジ			3.8			1.8	
			TL054AC	フルレンジ			5.7			3.7	
a_{VIO}	入力オフセット電圧の温度係数		TL05xC	25°C ～ 70°C		25			23		μV/°C
			TL05xAC	25°C ～ 70°C		24			23		
	入力オフセット電圧の長期ドリフト	V_O = 0 R_S = 50Ω V_{IC} = 0		25°C		0.04			0.04		μV/mo
I_{IO}	入力オフセット電流	V_O = 0 V_{IC} = 0		25°C		10	100		10	100	pA
				70°C		0.02	1		0.025	1	nA
I_{IB}	入力バイアス電流	V_O = 0 V_{IC} = 0		25°C		20	200		30	200	pA
				70°C		0.15	4		0.2	4	nA
V_{ICR}	同相入力電圧範囲			25°C	-1 から 4	-2.3 から 5.1		-11 から 11	-12.3 から 15.1		V
				フルレンジ	-1 から 4			-11 から 11			

Copyright © 2026 Texas Instruments Incorporated

4.4 TL05xC および TL05xAC の電気的特性 (続き)

規定の自由空気温度において

パラメータ		テスト条件	T_A (1)	TL05xC、TL05xAC						単位
				$V_{CC±}$ = ±5V			$V_{CC±}$ = ±15V			
				最小値	標準値	最大値	最小値	標準値	最大値	
V_{OM+}	最大正出ピーク力電圧振幅	R_L = 10kΩ	25°C	3	4.2		13	13.9		V
			フルレンジ	3			13			
		R_L = 2kΩ	25°C	2.5	3.8		11.5	12.7		
			フルレンジ	2.5			11.5			
V_{OM-}	最大負ピーク出力電圧振幅	R_L = 10kΩ	25°C	-2.5	-3.5		-12	-13.2		V
			フルレンジ	-2.5			-12			
		R_L = 2kΩ	25°C	-2.3	-3.2		-11	-12		
			フルレンジ	-2.3			-11			
A_{VD}	大信号差動電圧増幅	R_L = 2kΩ	25°C	104	130		120	145		dB
			0°C		125			142		
			70°C		125			142		
r_i	入力抵抗		25°C		10^{12}			10^{12}		Ω
C_I	入力容量		25°C		10			10		pF
CMRR	同相除去比	V_{IC} = $V_{ICR\ min}$ V_O = 0 R_S = 50Ω	25°C	65	84		75	92		dB
			0°C	65	84		75	92		
			70°C	65	84		75	91		
k_{SVR}	電源除去比 ($\Delta V_{CC±}$/ΔV_{IO})	V_O = 0 R_S = 50Ω	25°C	75	99		75	99		dB
			0°C	75	98		75	98		
			70°C	75	97		75	97		
I_{CC}	消費電流 (4 つのアンプ)	V_O = 0 無負荷	25°C		8.1	11.2		8.4	12.8	mA
			0°C		8.5	12.8		8.5	12.8	
			70°C		7.9	11.2		8.2	12.8	
V_{O1}/V_{O2}	クロストーク減衰	A_{VD} = 100	25°C		106			106		dB
SR+	ユニティ ゲインでの正のスルーレート	R_L = 2kΩ C_L = 100pF	25°C		15.4			17.8		V/μs
			フルレンジ		16.4			17.5		
SR–	ユニティ ゲインでの負のスルーレート(2)		25°C		13.9			15.9		
			フルレンジ		16			15.5		

Copyright © 2026 Texas Instruments Incorporated

4.4 TL05xC および TL05xAC の電気的特性 (続き)

規定の自由空気温度において

パラメータ		テスト条件		T_A (1)	TL05xC、TL05xAC							単位
					$V_{CC±}$ = ±5V				$V_{CC±}$ = ±15V			
					最小値	標準値		最大値	最小値	標準値	最大値	
V_n	等価入力ノイズ電圧(3)	R_S = 20Ω	f = 10Hz	25°C		50				50		nV/√Hz
			f = 1kHz	25°C		10.8				10.8		
I_n	等価入力ノイズ電流	f = 1kHz		25°C		2				2		fA/√Hz
THD	全高調波歪(4)	R_S = 1kΩ f = 1kHz R_L = 2kΩ		25°C		0.00021				0.00021		%
B_1	ユニティ ゲイン帯域幅	V_I = 10mV C_L = 25pF、 R_L = 2kΩ		25°C		4.5				4.5		MHz
φ_m	ユニティ ゲインでの位相マージン	V_I = 10mV C_L = 25pF R_L = 2kΩ		25°C		60				60		度

(1) フルレンジは 0℃～70℃です。
(2) このパラメータは TL05xA のサンプルベースでテストされています。その他のテスト要件については、工場にお問い合わせください。この記述内容は、他のパラメータのテストまたは非テスト状況には関係ありません。
(3) 標準値は、T_A = 150°C での 168 時間の動作寿命テストを通して観測された入力オフセット電圧のシフトに基づいており、アレニウス式を使用して T_A = 25°C に外挿し、活性化エネルギーを 0.96eV と仮定しています。
(4) $V_{CC±}$ = ±5V の場合は V_O = ±2.3V、または $V_{CC±}$ = ±15V の場合は V_O = ±10V です。

Copyright © 2026 Texas Instruments Incorporated

4.5 TL05xI および TL05xAI の電気的特性

パラメータ		テスト条件		T_A [1]	TL05xI、TL05xAI						単位
					$V_{CC±}$ = ±5V			$V_{CC±}$ = ±15V			
					最小値	標準値	最大値	最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	V_O = 0 V_{IC} = 0 R_S = 50Ω	TL051C、TI052C	25°C		0.75	3.5		0.65	1.5	mV
			TL054C	25°C			5.5			4	
			TL051C、TI052C	フルレンジ			5.3			3.3	
			TL054C	フルレンジ			8.8			7.3	
			TL051AC、TL052AC	25°C		0.57	2.8		0.5	0.8	
			TL054AC	25°C			3.5			1.5	
			TL051AC、TL052AC	フルレンジ			4.6			2.6	
			TL051C、TI052C	フルレンジ			6.8				
a_{VIO}	入力オフセット電圧の温度係数[2]		TL051I	25℃ ～ 85℃		25			24		μV/℃
			TL051AI	25℃ ～ 85℃		25			23		
	入力オフセット電圧の長期ドリフト[3]			25°C		0.04			0.04		μV/mo
I_{IO}	入力オフセット電流	V_O = 0	V_{IC} = 0、	25°C		10	100		10		pA
				85°C		0.06	10		0.07		nA
I_{IB}	入力バイアス電流	V_O = 0	V_{IC} = 0、	25°C		20	200		30		pA
				85°C		0.6	20		0.7		nA
V_{ICR}	同相入力電圧範囲			25°C	-1～4	-2.3 から 5.1		-11 から 11	-12.3 から 15.1		V
				フルレンジ	-1～4			-11 から 11			
V_{OM+}	最大正出ピーク力電圧振幅	R_L = 10kΩ		25°C	3	4.2		13	13.9		V
				フルレンジ	3			13			
		R_L = 2kΩ		25°C	2.5	3.8		11.5	12.7		
				フルレンジ	2.5			11.5			

Copyright © 2026 Texas Instruments Incorporated

4.5 TL05xI および TL05xAI の電気的特性 (続き)

パラメータ		テスト条件		T_A [1]	TL05xI、TL05xAI						単位
					$V_{CC±}$ = ±5V			$V_{CC±}$ = ±15V			
					最小値	標準値	最大値	最小値	標準値	最大値	
V_{OM-}	最大負ピーク出力電圧振幅	R_L = 10kΩ		25°C	-2.5	-3.5		-12	-13.2		V
				フルレンジ	-2.5			-12			
		R_L = 2kΩ		25°C	-2.3	-3.2		-11	-12		
				フルレンジ	-2.3			-11			
A_{VD}	大信号差動電圧増幅¶[4]	R_L = 2kΩ		25°C	104	130		120	145		dB
				0°C		125			142		
				85°C		125			142		
r_i	入力抵抗			25°C		10^{12}			10^{12}		Ω
C_I	入力容量			25°C		10			10		pF
CMRR	同相除去比	V_{IC} = V_{ICRmin} VO= 0、 R_S = 50Ω		25°C	65	84		75	92		dB
				-40°C	65	83		75	90		
				85°C	65	84		75	93		
k_{SVR}	電源除去比 ($\Delta V_{CC±}/\Delta V_{IO}$)	V_O = 0、 R_S = 50Ω		25°C	75	99		75	99		dB
				-40°C	75	98		75	98		
				85°C	75	99		75	99		
I_{CC}	電源電流	V_O = 0	無負荷	25°C		2.6	3.2		2.7		mA
				-40°C		2.4	3.2		2.6		
				85°C		2.5	3.2		2.6		
V_{O1}/V_{O2}	クロストーク減衰			25°C		106.0206			106.0206		dB
SR+	ユニティ ゲインでの正のスルーレート	R_L = 2kΩ	C_L = 100pF	25°C		15.4		9	17.8		V/µs
				フルレンジ				8			
SR–	ユニティ ゲインでの負のスルーレート			25°C		13.9		9	15.9		
				フルレンジ				8			
V_n	等価入力ノイズ電圧	R_S = 20Ω	f = 10Hz	25°C		50			50		nV/√Hz
			f = 1kHz	25°C		10.8			10.8		
I_n	等価入力ノイズ電流	f = 1kHz		25°C		2			2		fA/√Hz
THD	全高調波歪	R_S = 1kΩ、f =1kHz	R_L = 2kΩ	25°C		0.00021			0.00021		%
B_1	ユニティ ゲイン帯域幅	V_I = 10mV、C_L = 25pF、	R_L = 2kΩ	25°C		4.5			4.5		MHz

Copyright © 2026 Texas Instruments Incorporated

4.5 TL05xI および TL05xAI の電気的特性 (続き)

パラメータ		テスト条件		T_A (1)	TL05xI、TL05xAI						単位
					$V_{CC±}$ = ±5V			$V_{CC±}$ = ±15V			
					最小値	標準値	最大値	最小値	標準値	最大値	
φ_m	ユニティ ゲインでの位相マージン	V_I = 10mV、C_L = 25pF	R_L = 2kΩ	25°C		60			60		度

(1) フルレンジは -40℃～85℃です。
(2) このパラメータは TL051A のサンプルベースでテストされています。その他のテスト要件については、工場にお問い合わせください。この記述内容は、他のパラメータのテストまたは非テスト状況には関係ありません。
(3) 標準値は、T_A = 150°C での 168 時間の動作寿命テストを通して観測された入力オフセット電圧のシフトに基づいており、アレニウス式を使用して T_A = 25°C に外挿し、活性化エネルギーを 0.96eV と仮定しています。
(4) $V_{CC±}$ = ±5V の場合は V_O = ±2.3V、または $V_{CC±}$ = ±15V の場合は V_O = ±10V です。

Copyright © 2026 Texas Instruments Incorporated

4.6 代表的特性

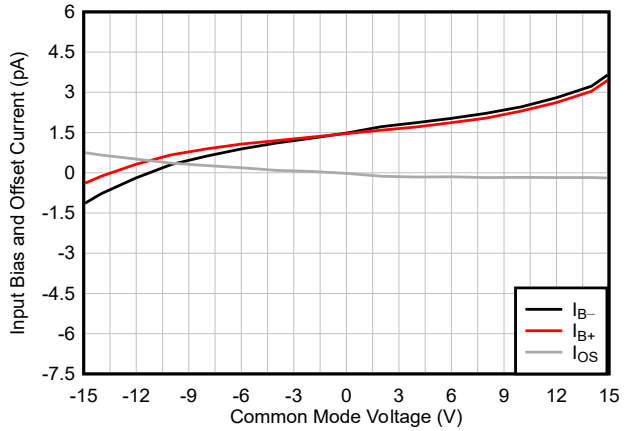
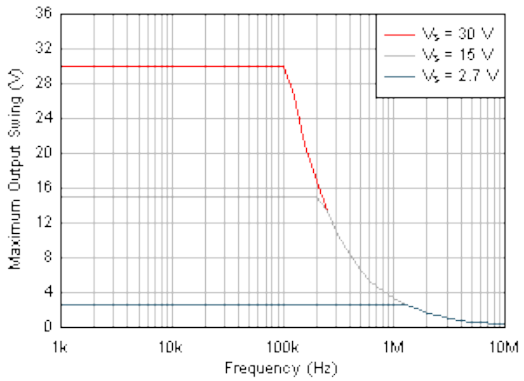


図 4-1. 入力バイアス電流と同相入力電圧との関係



A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-2. 最大ピークツーピーク出力電圧と周波数との関係

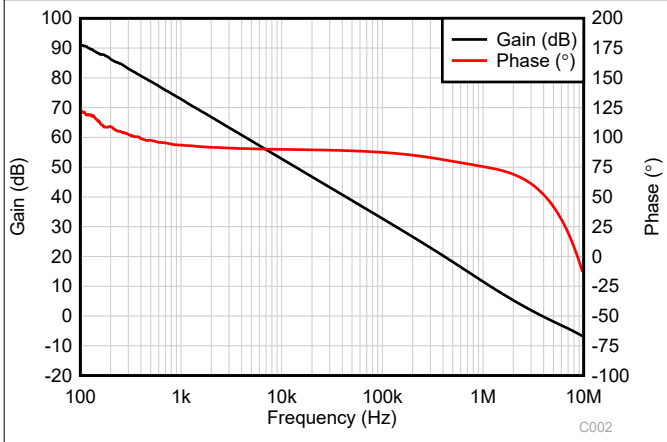


図 4-3. 大信号の差動電圧増幅および位相シフトと周波数との関係

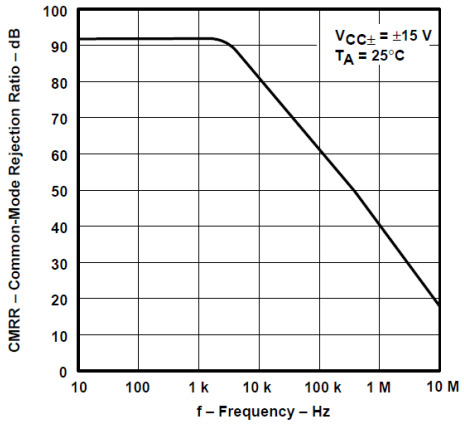
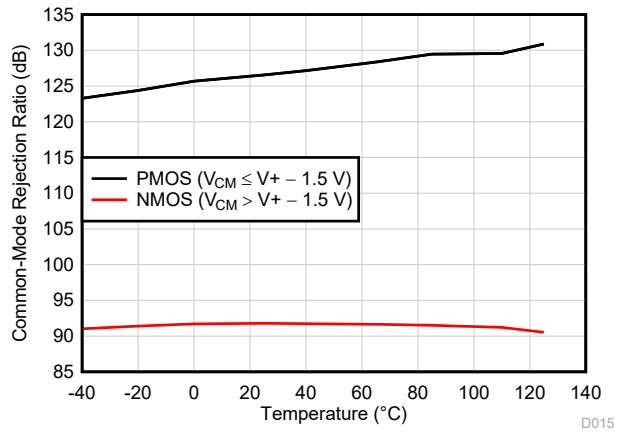


図 4-4. 同相除去比と周波数との関係



A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-5. 同相信号除去比と自由気流温度との関係

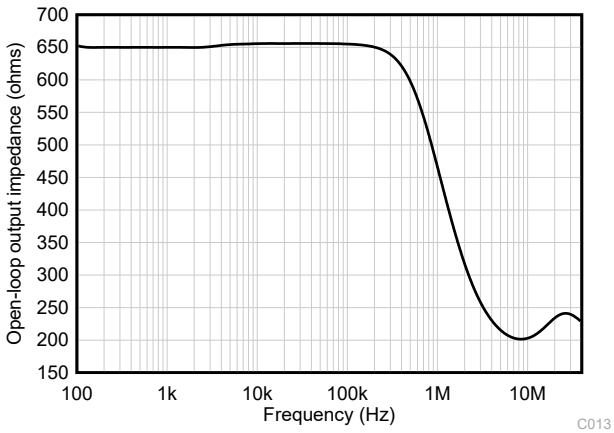
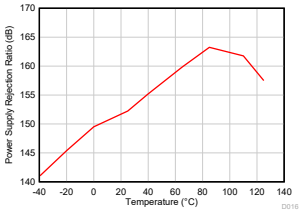


図 4-6. 出力ループ出力インピーダンスと周波数との関係

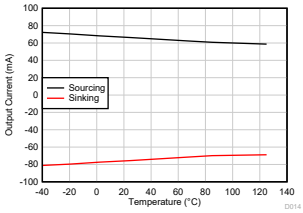
Copyright © 2026 Texas Instruments Incorporated

4.6 代表的特性 (続き)



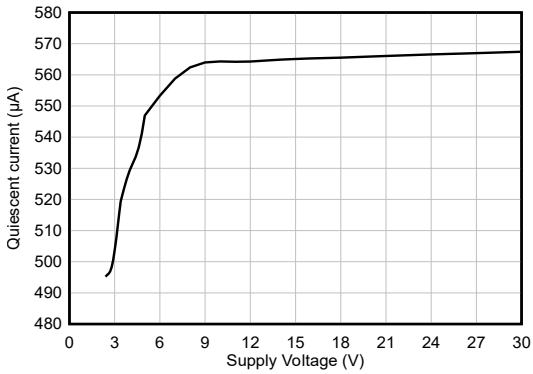
A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-7. PSSR と温度との関係 (dB)



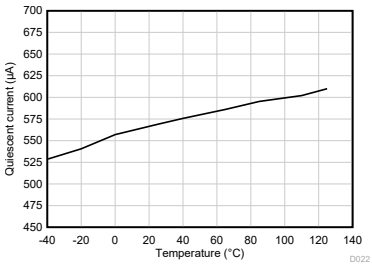
A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-8. 短絡出力電流と温度との関係



A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-9. 電源電流と電源電圧との関係



A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-10. 電源電流と自由気流温度との関係

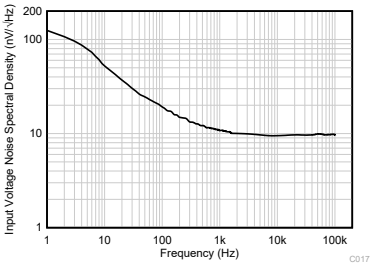
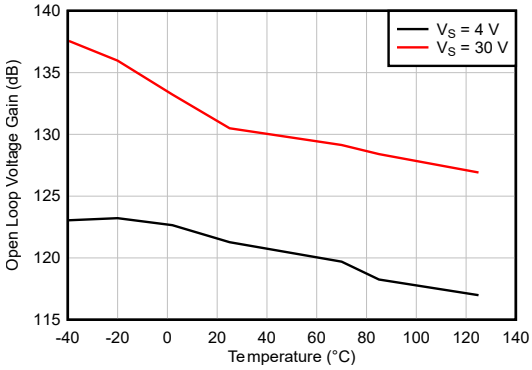


図 4-11. 等価入力ノイズ電圧と周波数との関係

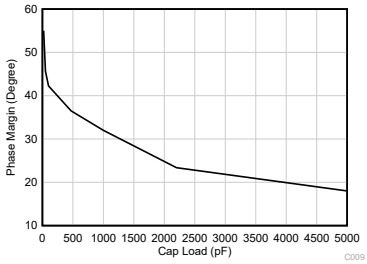


A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-12. ユニティゲイン帯域幅積と自由気流での周囲温度との関係

Copyright © 2026 Texas Instruments Incorporated

4.6 代表的特性 (続き)



A. 高温時および低温時のデータは、各種デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

図 4-13. 位相マージンと負荷容量との関係

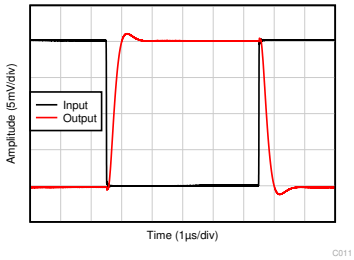


図 4-14. ボルテージフォロワの小信号パルス応答

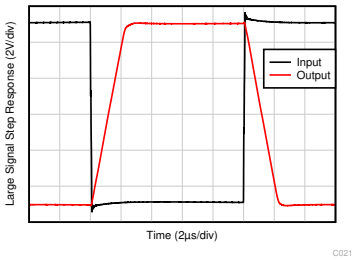


図 4-15. ボルテージフォロワの大信号パルス応答

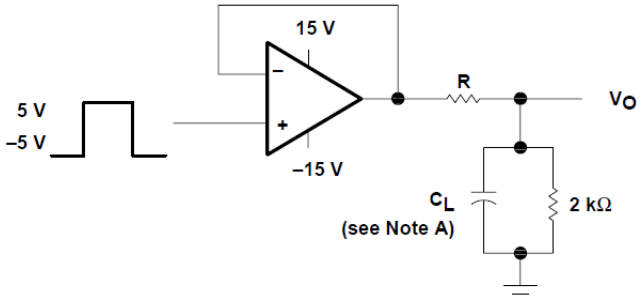
Copyright © 2026 Texas Instruments Incorporated

5 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

5.1 使用上の注意



A. C_L には治具の容量が含まれます。

図 5-1. 出力特性のテスト回路

5.1.1 出力特性

すべての動作特性 (帯域幅と位相マージンを除く) は 10pF の負荷容量で規定されています。TL05x および TL05xA はより大きな容量性負荷を駆動できます。ただし、負荷容量が増加すると、結果として低い周波数で応答ポールが発生し、リンギング、ピーキング、さらには発振が生じます。発振が発生する負荷容量の値は製造ロットによって異なります。アプリケーションが負荷容量に起因する発振の影響を受けやすい場合は、負荷と直列に小さな抵抗を追加することで問題を低減できます。出力と直列に十分な抵抗を追加すると、1000pF 以上の容量性負荷を駆動できます (図 5-2 を参照)。

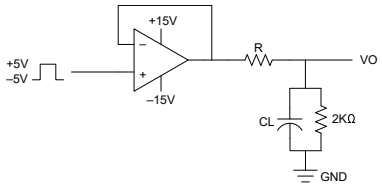


図 5-2. 出力特性のテスト回路

注

CL には治具の容量が含まれます。

5.1.2 入力特性

TL05x および TL05xA は、いずれかの入力で超えた場合、デバイスの誤動作を引き起こす可能性がある最小および最大入力電圧で規定されています。

TL05x および TL05xA は入力インピーダンスが非常に高く、バイアス電流が低いため、低レベルの信号処理に適していますが、プリント基板やソケットに流れるリーク電流がバイアス電流要件を簡単に超え、システム性能が低下する可能性があります。入力の周囲にガード リングを配置することを推奨します (図 5-3 を参照)。これらのガードは、同相モード入力と同じ電圧レベルの低インピーダンス ソースから駆動する場合があります。

発振の可能性を避けるため、未使用のアンプはグランドのユニティゲイン フォロワーとして接続できます。

Copyright © 2026 Texas Instruments Incorporated

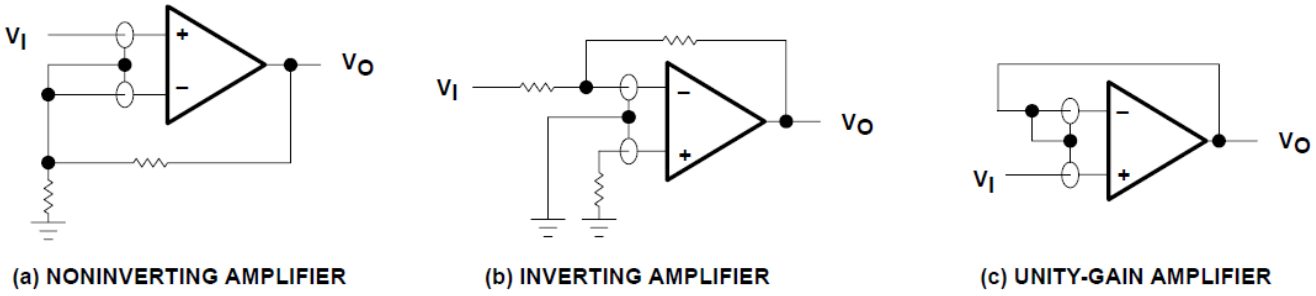


図 5-3. ガードリングの使用

5.1.3 ノイズ性能

オペアンプ回路のノイズ仕様は、1 段目の差動アンプの電流により大きく異なります。TL05x および TL05xA の入力バイアス電流要件は低いため、ノイズ電流が非常に低くなります。回路で使用するインピーダンスの値が 50kΩ よりも大きい場合、この機能によりバイポーラ デバイスと比べて特に有利になります。

Copyright © 2026 Texas Instruments Incorporated

5.1.4 可変ゲイン/ヌルの計測アンプ

図 5-4 の計測アンプは、TL05xA の高入力インピーダンスと安定した入力オフセット電圧という利点を活用しています。アンプ U1A、U1B、U2A は計測アンプを構成し、U2B はオフセット ヌルを構成します。ポテンショメータ R1 はゲイン調整を行います。R1 = 2kΩ の場合、回路のゲインは 100 になり、R1 = 200kΩ の場合、回路のゲインは 2 になります。以下の式は、計測アンプのゲインを R1 の関数として示しています:

$$A_V = 1 + \left(\frac{R2 + R3}{R1}\right) \tag{1}$$

回路ゲインを変更すると、オフセット ヌルを再調整する必要があります。別のアプリケーションで U2B が必要な場合は、R7 をグランドに終端できます。TL05xA は入力オフセット電圧が低いため回路の DC 誤差が最小になります。最適なマッチングのため、すべての抵抗の許容誤差を 1% にできます。R4、R5、R6、R7 間のマッチングによって、このアプリケーションの CMRR が制御されます。

以下の式は、入力電圧がゼロの際の出力電圧を示しています。オフセットのヌル ポテンショメータを調整することにより、この DC 誤差をヌルにできますが、時間または温度に応じてオフセット電圧が変化すると誤差も発生します。オフセット変化による誤差を計算するには、式の 3 つのオフセット成分を、初期オフセットではなくデルタオフセットであると見なします。テキサス・インスツルメンツの拡張 FET の安定性が向上しているため、時間に応じた入力オフセット電圧の変化に起因する誤差を最小限に抑えることができます。V_I がゼロであると仮定すると、V_O をオフセット電圧の関数として表すことができます:

$$V_O = V_{IO2}\left[\left(1 + \frac{R3}{R1}\right)\left(\frac{R7}{R5 + R7}\right)\left(1 + \frac{R6}{R4}\right) + \frac{R2}{R1}\left(\frac{R6}{R4}\right)\right] \tag{2}$$

$$-V_{IO1}\left[\frac{R3}{R1}\left(\frac{R7}{R5 + R7}\right)\left(1 + \frac{R6}{R4}\right) + \frac{R6}{R4}\left(1 + \frac{R2}{R1}\right)\right] + V_{IO3}\left(1 + \frac{R6}{R4}\right) \tag{3}$$

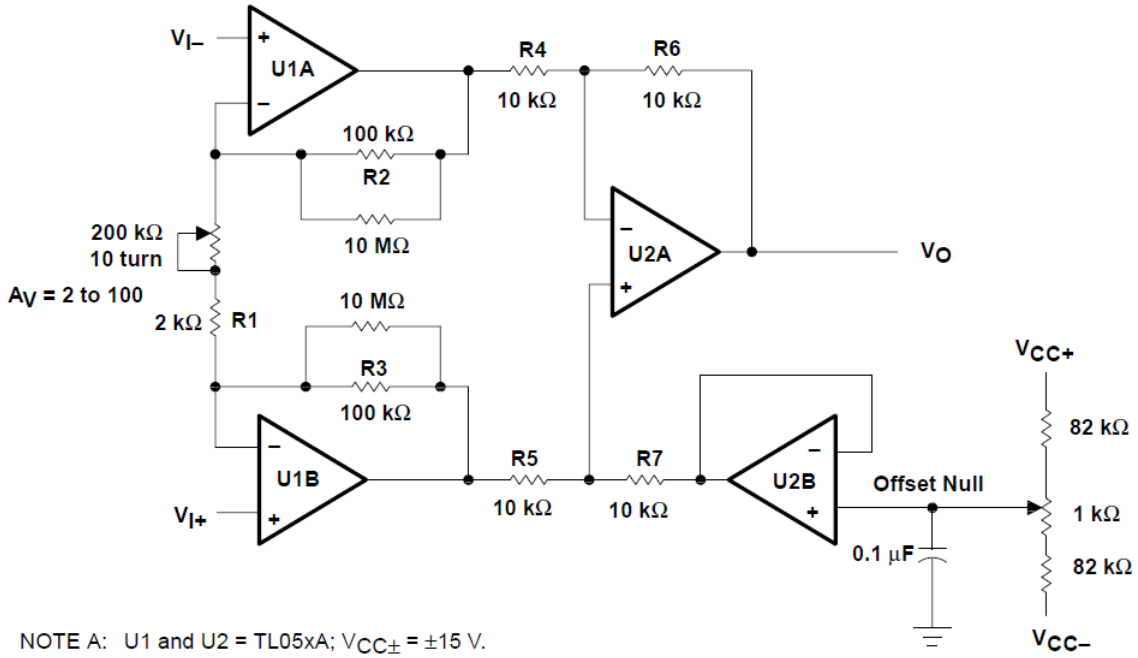


図 5-4. 計装アンプ

6 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2003) to Revision B (January 2026)	Page
• 「高精度グレードを提供可能 (1.5mV、TL051A)」を削除	1
• BIFET を FET に変更	1
• 「消費電力を増加させずにスルーレートを高速化 (標準値 20V/µs)」を削除	1
• JFET を FET に変更	1
• トリミング機能の詳細を削除	1
• バイポーラと CMOS の消費電力の比較を削除	1
• Pin1 および Pin5 を OFFSET1 および OFFSET2 から NC に更新	3
• シングル、デュアル、クワッドチャネルの電気的特性を結合。	6
• 入力オフセット電流の値を、4pA から 10pA (5V 時)、5pA から 10pA (15V 時) に変更	6
• 入力ノイズを、70nV/√Hz から 50nV/√Hz (10Hz 時)、18nV/√Hz から 10.8nV/√Hz (1kHz 時) に変更	6
• クロストーク減衰の値を 120dB から 106dB に変更	6
• 大信号差動電圧増幅セクションの値を更新。	6
• シングル、デュアル、クワッドチャネルの電気的特性を結合。	9
• 大信号差動電圧増幅セクションの値を更新。	9

Copyright © 2026 Texas Instruments Incorporated

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL051ACD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	051AC
TL051ACP	Obsolete	Production	PDIP (P) | 8	-	-	Call TI	Call TI	0 to 70	TL051ACP
TL051CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	TL051C
TL051CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL051C
TL051CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL051C
TL051CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL051CP
TL051CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL051CP
TL051CPE4	Active	Production	PDIP (P) | 8	50 | TUBE	-	Call TI	Call TI	0 to 70	
TL052ACD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	052AC
TL052ACDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	052AC
TL052ACDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	052AC
TL052ACP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL052ACP
TL052ACP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL052ACP
TL052AID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	052AI
TL052AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	052AI
TL052AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	052AI
TL052AIP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL052AIP
TL052AIP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL052AIP
TL052CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	TL052C
TL052CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL052C
TL052CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL052C
TL052CDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL052C
TL052CDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL052C
TL052CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL052CP
TL052CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL052CP
TL052CPSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T052
TL052CPSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T052
TL052ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	TL052I
TL052IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL052I

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL052IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL052I
TL052IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL052I
TL052IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL052I
TL052IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL052IP
TL052IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL052IP
TL054ACD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL054AC
TL054ACDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL054AC
TL054ACDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL054AC
TL054ACN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL054ACN
TL054ACN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL054ACN
TL054AID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	TL054AI
TL054AIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL054AI
TL054AIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL054AI
TL054AIDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL054AI
TL054AIDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL054AI
TL054CD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL054C
TL054CDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL054C
TL054CDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL054C
TL054CN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL054CN
TL054CN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL054CN
TL054CNSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL054
TL054CNSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL054
TL054ID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	TL054I
TL054IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL054I
TL054IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL054I
TL054IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL054IN
TL054IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL054IN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

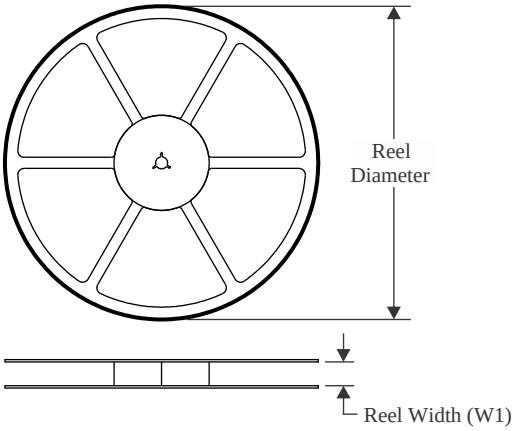
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

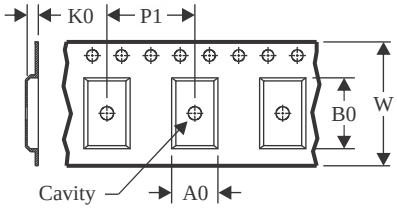
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

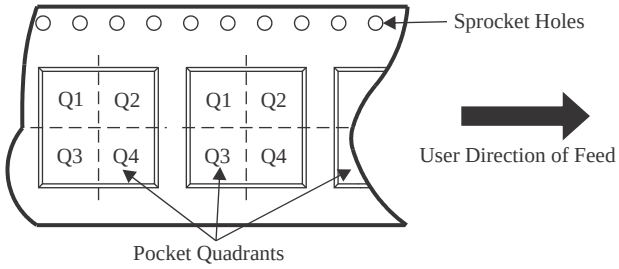


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

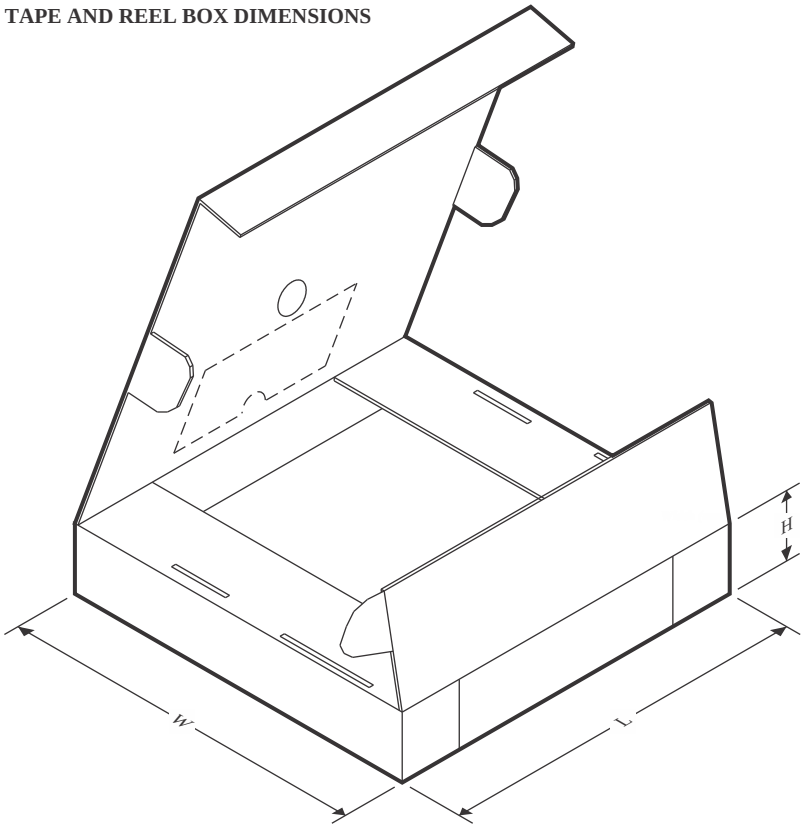
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL051CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL052ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL052AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL052CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL052CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL052IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL052IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL054ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL054AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL054AIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL054CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL054CNSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
TL054IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

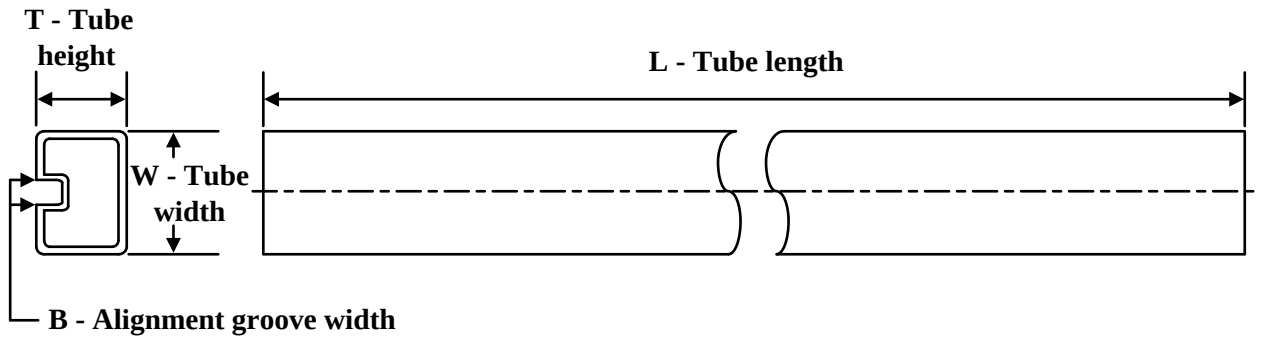
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

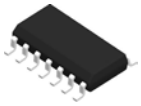
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL051CDR	SOIC	D	8	2500	353.0	353.0	32.0
TL052ACDR	SOIC	D	8	2500	353.0	353.0	32.0
TL052AIDR	SOIC	D	8	2500	353.0	353.0	32.0
TL052CDR	SOIC	D	8	2500	353.0	353.0	32.0
TL052CPSR	SO	PS	8	2000	353.0	353.0	32.0
TL052IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL052IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
TL054ACDR	SOIC	D	14	2500	340.5	336.1	32.0
TL054AIDR	SOIC	D	14	2500	340.5	336.1	32.0
TL054AIDRG4	SOIC	D	14	2500	353.0	353.0	32.0
TL054CDR	SOIC	D	14	2500	353.0	353.0	32.0
TL054CNSR	SOP	NS	14	2000	353.0	353.0	32.0
TL054IDR	SOIC	D	14	2500	340.5	336.1	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TL051CP	P	PDIP	8	50	506	13.97	11230	4.32
TL051CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL052ACP	P	PDIP	8	50	506	13.97	11230	4.32
TL052ACP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL052AIP	P	PDIP	8	50	506	13.97	11230	4.32
TL052AIP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL052CP	P	PDIP	8	50	506	13.97	11230	4.32
TL052CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL052IP	P	PDIP	8	50	506	13.97	11230	4.32
TL052IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL054ACN	N	PDIP	14	25	506	13.97	11230	4.32
TL054ACN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL054CN	N	PDIP	14	25	506	13.97	11230	4.32
TL054CN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL054IN	N	PDIP	14	25	506	13.97	11230	4.32
TL054IN.A	N	PDIP	14	25	506	13.97	11230	4.32

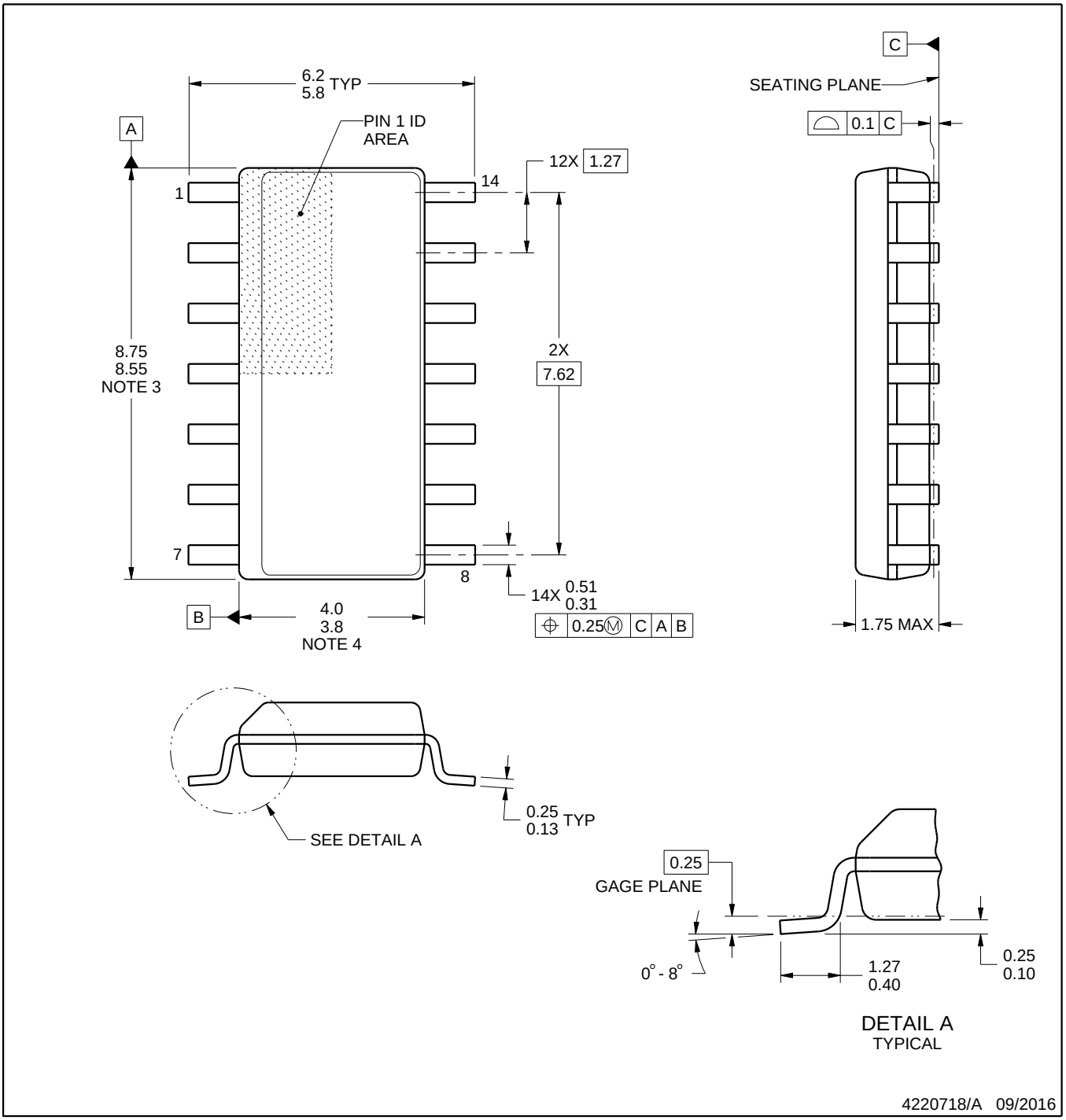


PACKAGE OUTLINE

D0014A

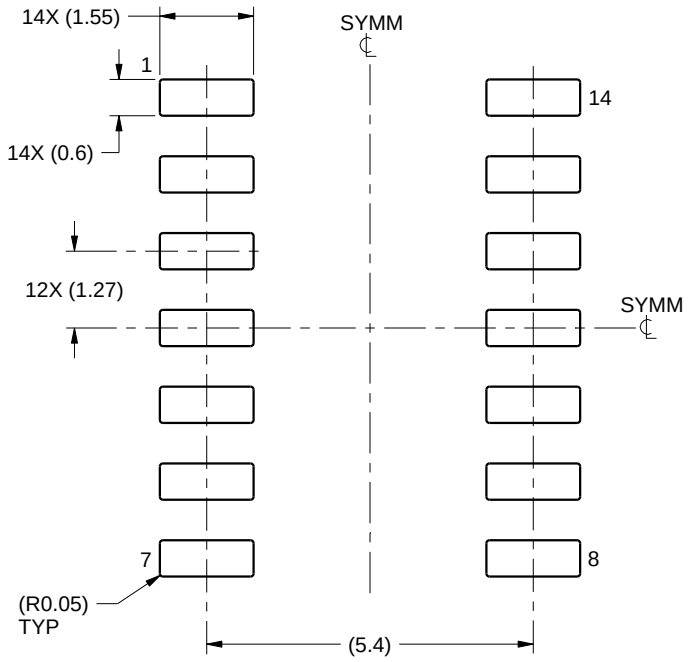
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

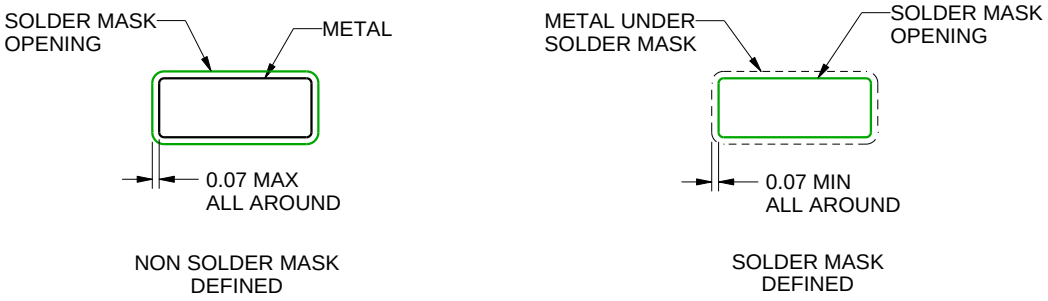


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

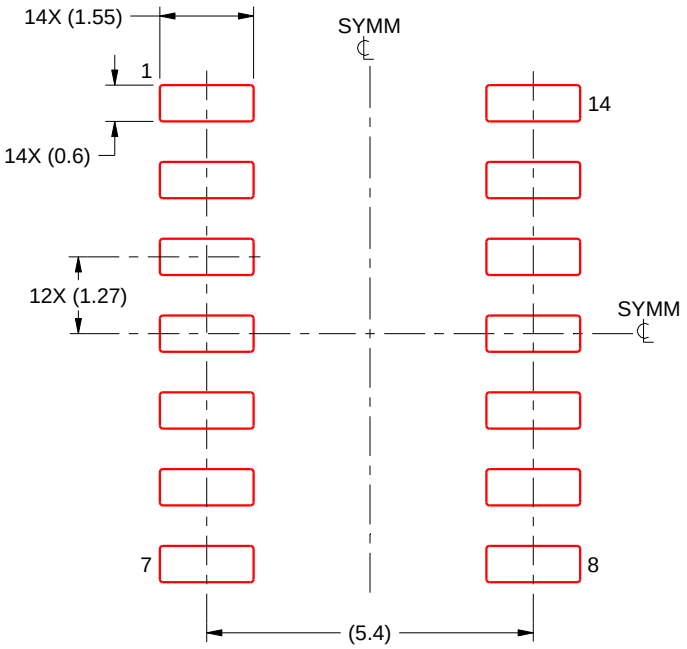
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

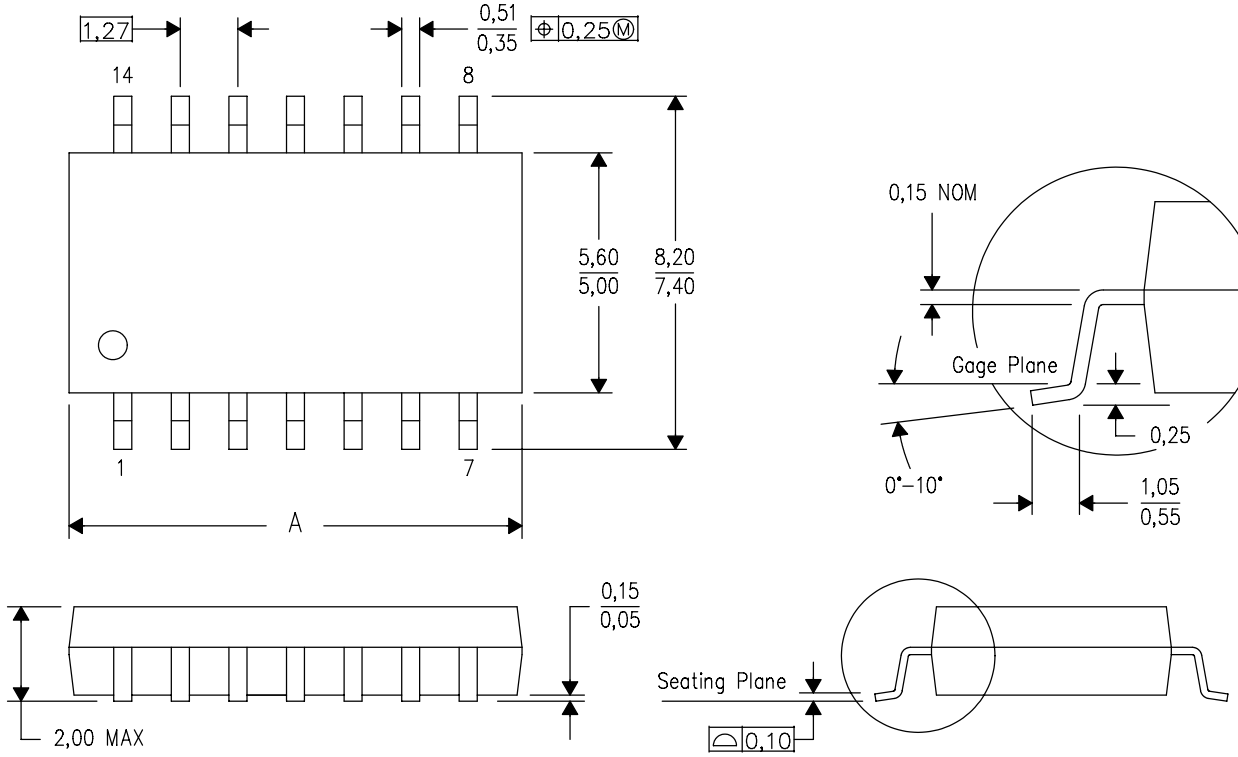
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

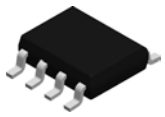
14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

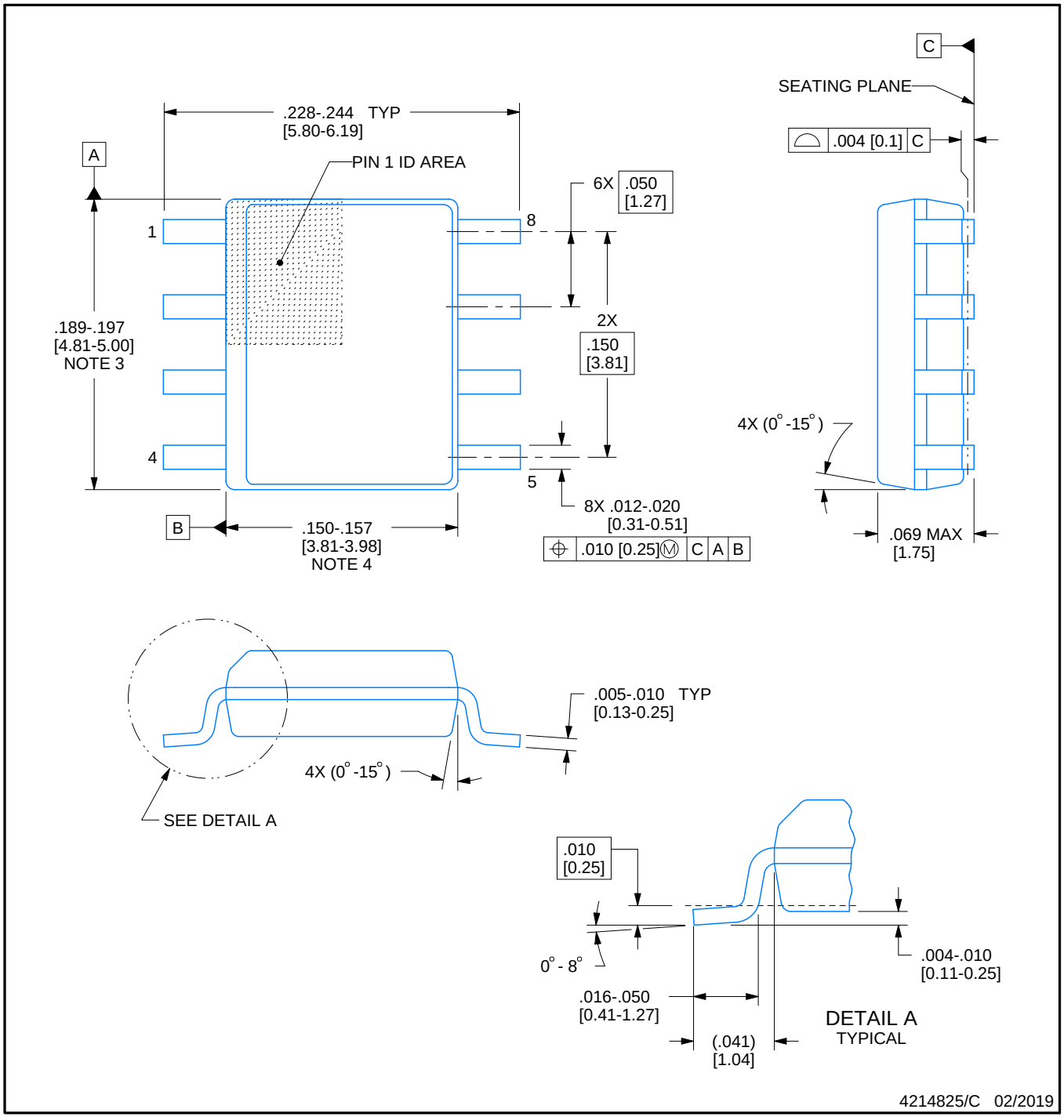


PACKAGE OUTLINE

D0008A

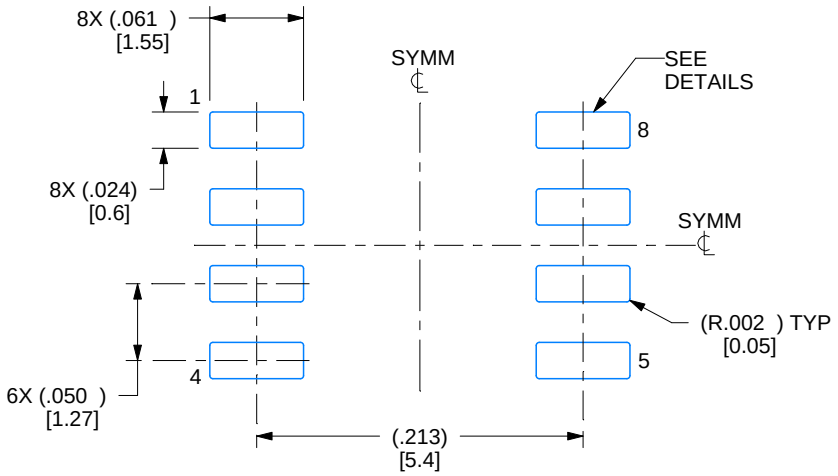
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

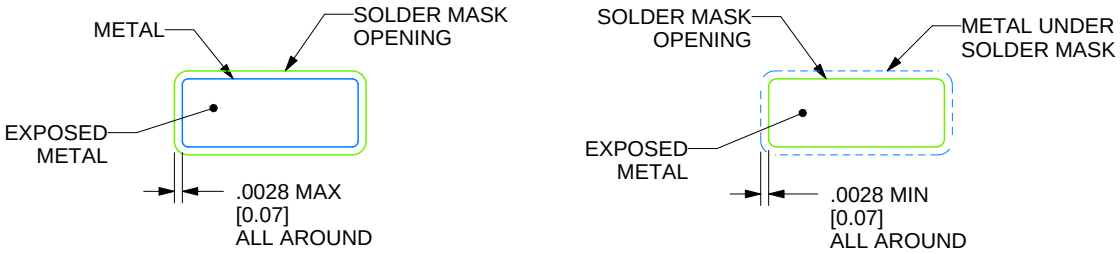


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

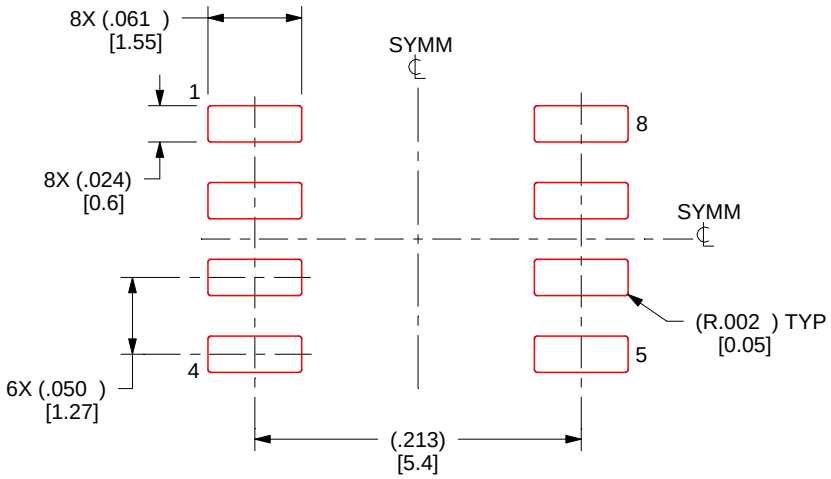
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

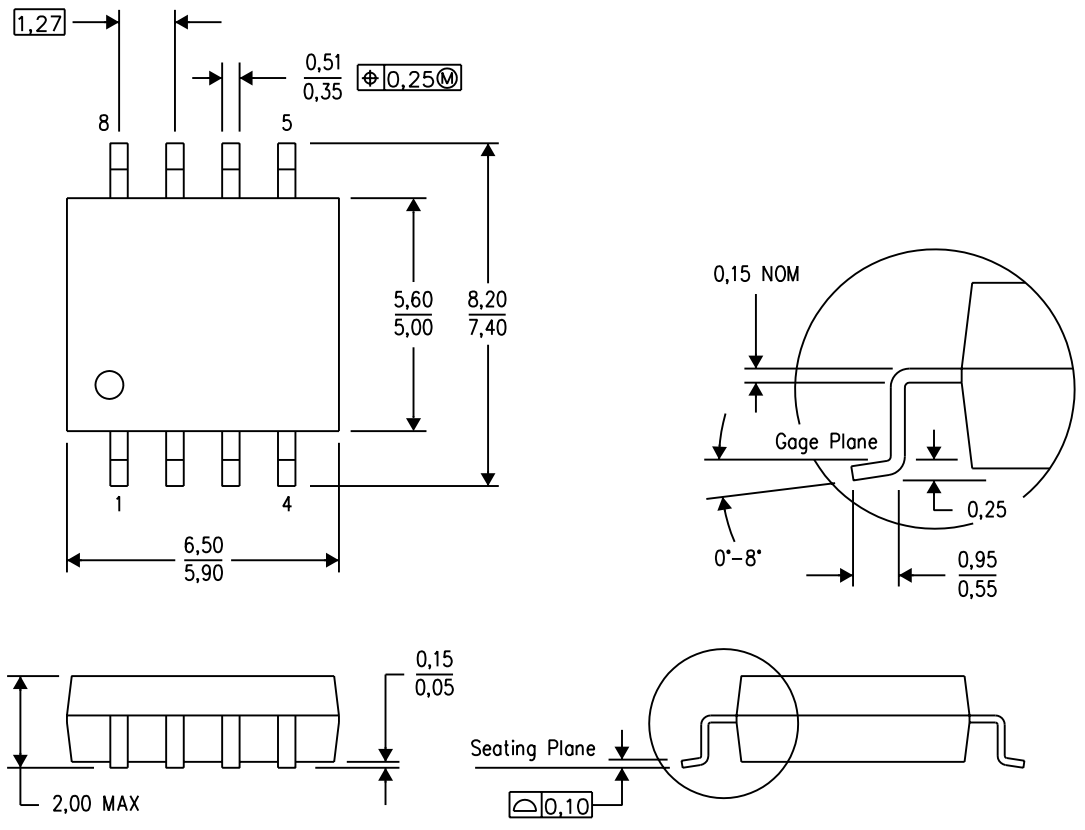
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

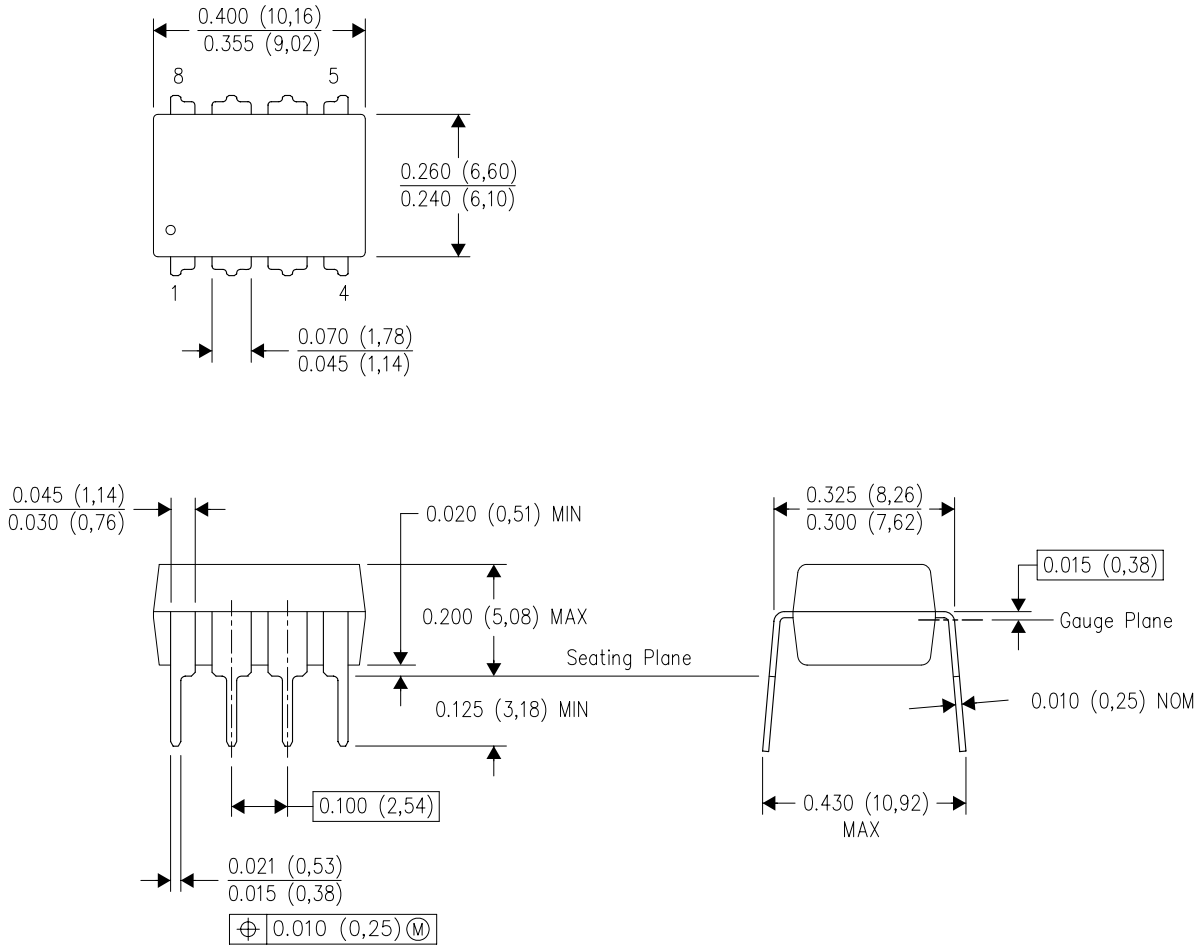
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

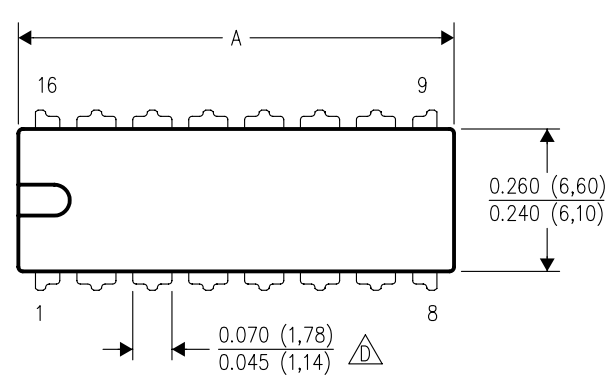


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

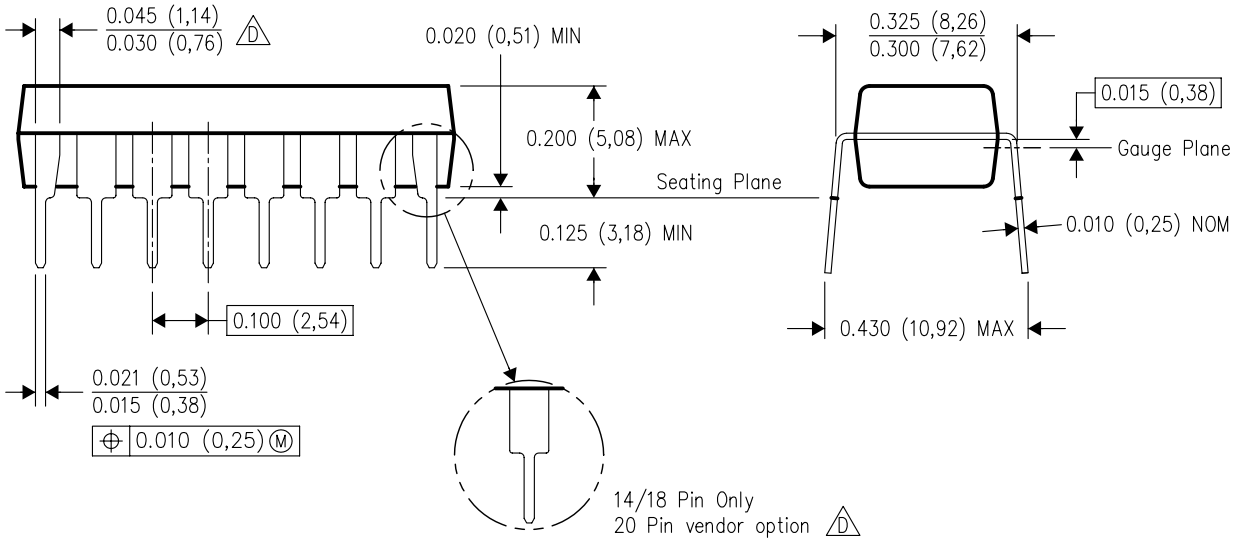
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月