TL07xx 低ノイズ、FET 入力オペアンプ

1 特長

- 高いスルーレート:20V/µs (TL07xH、代表値)
- 低いオフセット電圧:1mV (TL07xH、代表値)
- 低いオフセット電圧ドリフト:2µV/°C
- 低消費電力:940µA/ch (TL07xH、代表値)
- 広い同相範囲と差動電圧範囲
  - 同相入力電圧範囲には V_{CC+} を含む
- 低い入力バイアスとオフセット電流
- 低ノイズ:
  - f = 1kHz で V_n = 37nV/√Hz (代表値)
- 出力短絡保護
- 低い全高調波歪み:0.003% (標準値)
- 広い電源電圧範囲:
  - ±2.25V～±20V、4.5V～40V

2 アプリケーション

- ソーラー エネルギー:ストリングおよび中央インバータ
- モータードライブ:ac およびサーボ ドライブ制御と出力段モジュール
- 単相オンライン UPS
- 3 相 UPS
- プロ オーディオ ミキサ
- バッテリ テスト機器

3 説明

TL071H、TL072H、および TL074H (TL07xH) ファミリのデバイスは、業界標準の TL071、TL072 および TL074 (TL07x) デバイスの次世代バージョンです。これらのデバイスは、低オフセット (1mV、代表値)、高スルーレート (20V/µs)、正電源への同相入力などの特長を備え、コスト重視のアプリケーション向けに最適です。

高 ESD (1.5kV、HBM)、EMI および RF フィルタの内蔵、-40℃ ～ +125℃ の温度範囲での動作により、TL07xH デバイスは最も過酷で要求の厳しいアプリケーションで使用できます。

製品情報

部品番号 (1)	チャネル数	パッケージ
TL071x	シングル	D (SOIC、8)
		DBV (SOT-23、5)
		DCK (SC70、5)
		P (PDIP、8)
		PS (SO、8)
TL072x	デュアル	D (SOIC、8)
		DDF (SOT-23-THIN、8)
		P (PDIP、8)
		PS (SO、8)
		PW (TSSOP、8)
TL072M(2)	デュアル	FK (LCCC、20)
		JG (CDIP、8)
		U (CFP、10)
TL074x	クワッド	D (SOIC、14)
		DB (SSOP、14)
		DYY (SOT-23-THIN、14)
		N (PDIP、14)
		NS (SOP、14)
		PW (TSSOP、14)
TL074M(2)	クワッド	FK (LCCC、20)
		J (CDIP、14)
		W (CFP、14)

(1) 詳細については、セクション 11 を参照してください。
(2) 接尾辞 M のデバイスは、–55°C ～ 125°C の拡張温度範囲を備えています。



ロジック シンボル

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 10
5.1 絶対最大定格 ... 10
5.2 ESD 定格 ... 10
5.3 推奨動作条件 ... 11
5.4 シングル チャネルの熱に関する情報 ... 11
5.5 デュアル チャネルの熱に関する情報 ... 11
5.6 クワッド チャネルの熱に関する情報 ... 12
5.7 TL07xH の電気的特性 ... 13
5.8 TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の電気的特性 (DC) ... 15
5.9 TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の電気的特性 (AC) ... 16
5.10 代表的特性：TL07xH ... 17
5.11 代表的特性：TL07xH を除くすべてのデバイス ... 24
6 パラメータ測定情報 ... 28
7 詳細説明 ... 29
7.1 概要 ... 29
7.2 機能ブロック図 ... 29
7.3 機能説明 ... 29
7.4 デバイスの機能モード ... 29
8 アプリケーションと実装 ... 30
8.1 アプリケーション情報 ... 30
8.2 代表的なアプリケーション ... 30
8.3 電源に関する推奨事項 ... 32
8.4 レイアウト ... 32
9 デバイスおよびドキュメントのサポート ... 34
9.1 デバイス サポート ... 34
9.2 ドキュメントの更新通知を受け取る方法 ... 34
9.3 サポート・リソース ... 34
9.4 商標 ... 34
9.5 静電気放電に関する注意事項 ... 34
9.6 用語集 ... 34
10 改訂履歴 ... 34
11 メカニカル、パッケージ、および注文情報 ... 35

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

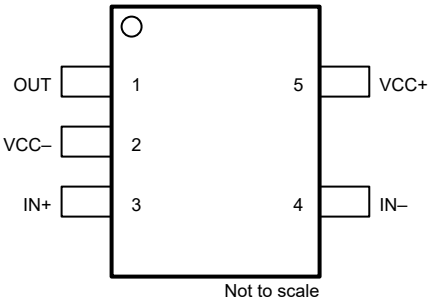


図 4-1. TL071H DBV パッケージ、5 ピン SOT-23
(上面図)

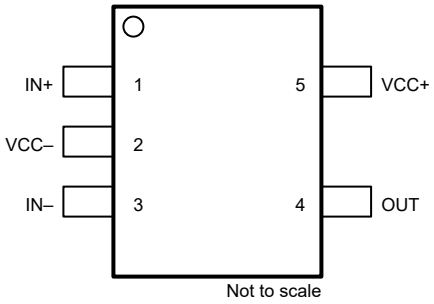


図 4-2. TL071H DCK パッケージ、5 ピン SC70
(上面図)

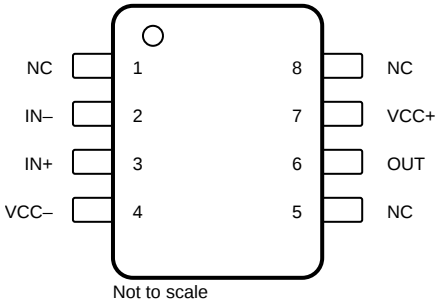


図 4-3. TL071x D パッケージ、8 ピン SOIC
および P パッケージ、8 ピン PDIP
(上面図)

表 4-1. ピンの機能：TL071x

ピン					タイプ	説明
名称	番号					
	DBV (SOT-23)	DCK (SC70)	D (SOIC)	P (PDIP)		
IN-	4	3	2	2	入力	反転入力
IN+	3	1	3	3	入力	非反転入力
NC	—	—	8	8	—	接続しない
NC	—	—	1	1	—	接続しない
NC	—	—	5	5	—	接続しない
OUT	1	4	6	6	出力	出力
VCC-	2	2	4	4	—	電源
VCC+	5	5	7	7	—	電源

Copyright © 2025 Texas Instruments Incorporated

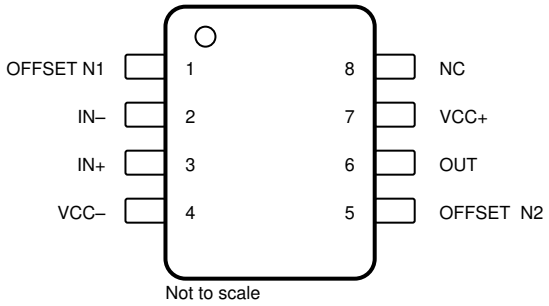


図 4-4. TL071C PS パッケージ、8 ピン SO (上面図)

表 4-2. ピンの機能：TL071C

ピン		タイプ	説明
名称	番号		
IN-	2	入力	反転入力
IN+	3	入力	非反転入力
NC	8	—	接続しない
OFFSET N1	1	—	入力オフセットの調整
OFFSET N2	5	—	入力オフセットの調整
OUT	6	出力	出力
VCC-	4	—	電源
VCC+	7	—	電源

Copyright © 2025 Texas Instruments Incorporated

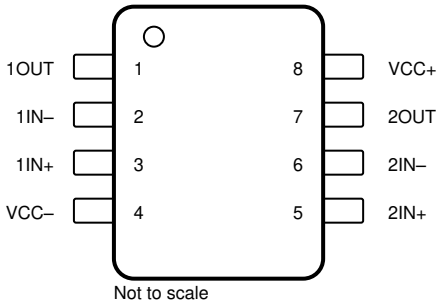


図 4-5. TL072x D、DDF、JG、P、PS、PW パッケージ、8 ピン SOIC、SOT-23-THIN、CDIP、PDIP、SO、TSSOP (上面図)

表 4-3. ピンの機能：TL072x

ピン		タイプ	説明
名称	番号		
1IN–	2	入力	反転入力
1IN+	3	入力	非反転入力
1OUT	1	出力	出力
2IN–	6	入力	反転入力
2IN+	5	入力	非反転入力
2OUT	7	出力	出力
VCC-	4	—	電源
VCC+	8	—	電源

Copyright © 2025 Texas Instruments Incorporated

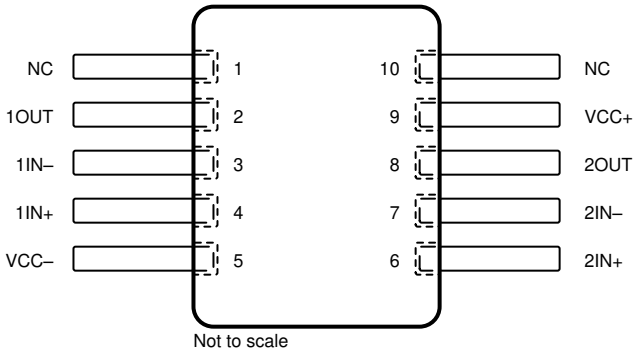


図 4-6. TL072M U パッケージ、10 ピン CFP
(上面図)

表 4-4. ピンの機能：TL072M

ピン		タイプ	説明
名称	番号		
1IN–	3	入力	反転入力
1IN+	4	入力	非反転入力
1OUT	2	出力	出力
2IN–	7	入力	反転入力
2IN+	6	入力	非反転入力
2OUT	8	出力	出力
NC	1、10	—	接続しない
VCC-	5	—	電源
VCC+	9	—	電源

Copyright © 2025 Texas Instruments Incorporated

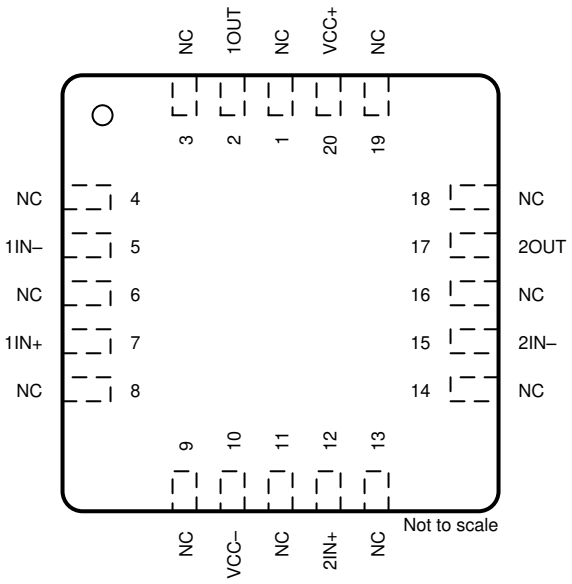


図 4-7. TL072M FK パッケージ、20 ピン LCCC (上面図)

表 4-5. ピンの機能：TL072M

ピン		タイプ	説明
名称	番号		
1IN–	5	入力	反転入力
1IN+	7	入力	非反転入力
1OUT	2	出力	出力
2IN–	15	入力	反転入力
2IN+	12	入力	非反転入力
2OUT	17	出力	出力
NC	1、3、4、6、8、9、11、13、14、16、18、19	—	接続しない
VCC-	10	—	電源
VCC+	20	—	電源

Copyright © 2025 Texas Instruments Incorporated

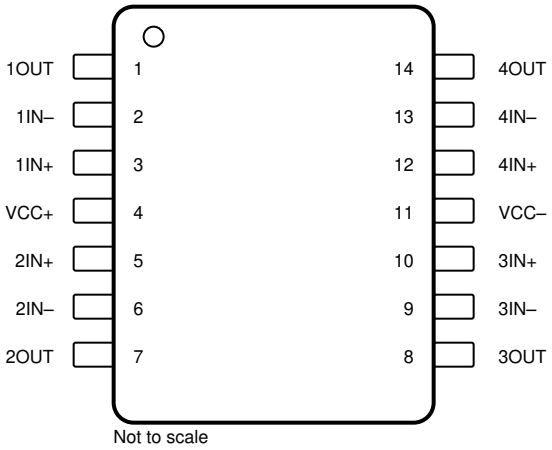


図 4-8. TL074x D、DYY、J、N、NS、PW、W パッケージ
14 ピン SOIC、SOT-23-THIN、CDIP、PDIP、SOP、TSSOP、CFP
(上面図)

表 4-6. ピンの機能：TL074x

ピン		タイプ	説明
名称	番号		
1IN–	2	入力	反転入力
1IN+	3	入力	非反転入力
1OUT	1	出力	出力
2IN–	6	入力	反転入力
2IN+	5	入力	非反転入力
2OUT	7	出力	出力
3IN–	9	入力	反転入力
3IN+	10	入力	非反転入力
3OUT	8	出力	出力
4IN–	13	入力	反転入力
4IN+	12	入力	非反転入力
4OUT	14	出力	出力
VCC-	11	—	電源
VCC+	4	—	電源

Copyright © 2025 Texas Instruments Incorporated

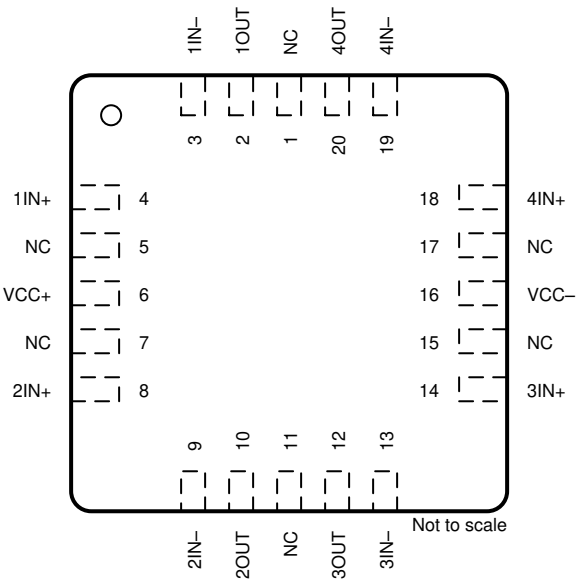


図 4-9. TL074M FK パッケージ、20 ピン LCCC (上面図)

表 4-7. ピンの機能：TL074M

ピン		タイプ	説明
名称	番号		
1IN–	3	入力	反転入力
1IN+	4	入力	非反転入力
1OUT	2	出力	出力
2IN–	9	入力	反転入力
2IN+	8	入力	非反転入力
2OUT	10	出力	出力
3IN–	13	入力	反転入力
3IN+	14	入力	非反転入力
3OUT	12	出力	出力
4IN–	19	入力	反転入力
4IN+	18	入力	非反転入力
4OUT	20	出力	出力
NC	1、5、7、11、15、17	—	接続しない
VCC-	16	—	電源
VCC+	6	—	電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

注

TLV07xx シリーズでは、新しいダイの製造を現代のプロセスに移行しました。
この新しいダイは、接尾辞 H が付いています。
異なる接尾辞の付いたダイはより古いものと新しいもののどちらかです。セクション 9.1.1 も参照してください。

セクション 5.7 および セクション 5.10 に、新しいダイの性能を示します。

セクション 5.8、セクション 5.9 および セクション 5.11 で、古いダイの性能を説明します。

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		すべての NS および PS パッケージ、すべての TL07xM デバイス	-0.3	36	V
		その他のデバイス	0	42	
信号入力ピン	同相電圧(2)	すべての NS および PS パッケージ、すべての TL07xM デバイス	(V_{CC-}) - 0.3	V_{CC-} + 36	V
		その他のデバイス	(V_{CC-}) - 0.5	V_{CC+} + 0.5	
	差動電圧(2)	すべての NS および PS パッケージ、すべての TL07xM デバイス(3)	(V_{CC-}) - 0.3	V_{CC-} + 36	V
		その他のデバイス		V_S + 0.2	
	電流(2)	すべての NS および PS パッケージ、すべての TL07xM デバイス		50	mA
		その他のデバイス	-10	10	
出力短絡(4)			連続		
動作時周囲温度、T_A			-55	150	℃
接合部温度、T_J				150	℃
60 秒間のケース温度 - FK パッケージ				260	℃
リード温度:ケースから 1.8mm (1/16 インチ) 離れた点で 10 秒間				300	℃
保管温度、T_{stg}			-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) すべての新しいダイでは、入力ピンは、両方の電源レールに対してダイオード クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑えます。
(3) 差動電圧は入力電圧によってのみ制限されます。
(4) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_S	電源電圧、$(V_{CC+}) - (V_{CC-})$	すべての NS および PS パッケージ、すべての TL07xM デバイス(1)	10	30	V
		その他のデバイス	4.5	40	
V_I	入力電圧	すべての NS および PS パッケージ、すべての TL07xM デバイス	V_{CC-} + 2	V_{CC+} + 0.1	V
		その他のデバイス	V_{CC-} + 4	V_{CC+} + 0.1	
T_A	規定温度(2)	TL07xM	-55	125	℃
		TL07xH	-40	125	
		TL07xI	-40	85	
		TL07xC	0	70	

(1) 合計 $V_S = (V_{CC+} - V_{CC-})$ が 10V ～ 30V の範囲なら、V_{CC+} と V_{CC-} が同じ大きさの必要はありません。
(2) セクション 9.1.1 も参照してください。

5.4 シングル チャネルの熱に関する情報

熱評価基準(1)		TL071xx					単位
		D (SOIC)	DCK (SC70)	DBV (SOT-23)	P (PDIP)	PS (SO)	
		8 ピン	5 ピン	5 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	158.8	217.5	212.2	85	95	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	98.6	113.1	111.1	-	-	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	102.3	63.8	79.4	-	-	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	45.8	34.8	51.8	-	-	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	101.5	63.5	79.0	-	-	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

5.5 デュアル チャネルの熱に関する情報

熱評価基準(1)		TL072xx								単位
		D (SOIC)	DDF (SOT-23)	FK (LCCC)	JG (CDIP)	P (PDIP)	PS (SO)	PW (TSSOP)	U (CFP)	
		8 ピン	8 ピン	20 ピン	8 ピン	8 ピン	8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	147.8	181.5	-	-	85	95	200.3	169.8	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	88.2	112.5	5.61	15.05	-	-	89.4	62.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	91.4	98.2	-	-	-	-	131.0	176.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	36.8	17.2	-	-	-	-	22.2	48.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	90.6	97.6	-	-	-	-	129.3	144.1	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	-	-	-	-	該当なし	5.4	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.6 クワッド チャネルの熱に関する情報

熱評価基準(1)		TL074xx								単位
		D (SOIC)	DYY (SOT-23)	FK (TSSOP)	J (TSSOP)	N (TSSOP)	NS (TSSOP)	PW (TSSOP)	W (TSSOP)	
		14 ピン	14 ピン	20 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	114.2	153.2	-	-	80	76	-	128.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.3	88.7	5.61	14.5	-	-	14.5	56.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	70.2	65.4	-	-	-	-	-	127.6	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	28.8	9.5	-	-	-	-	-	29	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	69.8	65.0	-	-	-	-	-	106.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	-	-	-	-	-	0.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.7 TL07xH の電気的特性

V_S = (V_{CC+}) - (V_{CC-}) = 4.5V ～ 40V (±2.25V ～ ±20V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続した状態、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±1	±4	mV
			T_A = –40℃～+125℃			±5	
dV_{OS}/dT	入力オフセット電圧ドリフト		T_A = –40℃～+125℃		±2		µV/℃
PSRR	入力オフセット電圧と電源との関係	V_S = 5V ～ 40V、V_{CM} = V_S/2	T_A = –40℃～+125℃		±1	±10	µV/V
	チャネル セパレーション	f = 0Hz			10		µV/V
入力バイアス電流							
I_B	入力バイアス電流				±1	±120	pA
			DCK および DBV パッケージ		±1	±300	pA
			T_A = -40℃～+125℃ (1)			±5	nA
I_{OS}	入力オフセット電流				±0.5	±120	pA
			DCK および DBV パッケージ		±0.5	±250	pA
			T_A = -40℃～+125℃ (1)			±5	nA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz～10Hz			9.2		μV_{PP}
					1.4		μV_{RMS}
e_N	入力電圧ノイズ密度	f = 1kHz			37		nV/√Hz
		f = 10kHz			21		
i_N	入力電流ノイズ	f = 1kHz			80		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧			V_{CC-} + 1.5		(V_{CC+})	V
CMRR	同相除去比	V_S = 40V、(V_{CC-}) + 2.5V < V_{CM} < (V_{CC+}) - 1.5V		100	105		dB
			T_A = –40℃～+125℃	95			dB
		V_S = 40V、(V_{CC-}) + 2.5V < V_{CM} < (V_{CC+})		90	105		dB
			T_A = –40℃～+125℃	80			dB
入力容量							
Z_{ID}	差動				100 || 2		MΩ || pF
Z_{ICM}	同相				6 || 1		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 40V、V_{CM} = V_S/2、(V_{CC-}) + 0.3V < V_O < (V_{CC+}) - 0.3V	T_A = –40℃～+125℃	118	125		dB
A_{OL}	開ループ電圧ゲイン	V_S = 40V、V_{CM} = V_S/2、R_L = 2kΩ、(V_{CC-}) + 1.2V < V_O < (V_{CC+}) – 1.2V	T_A = –40℃～+125℃	115	120		dB
周波数応答							
GBW	ゲイン帯域幅積				5.25		MHz
SR	スルー レート	V_S = 40V、G = +1、C_L = 20pF			20		V/µs
t_S	セトリング タイム	0.1% まで、V_S = 40V、V_{STEP} = 10V、G = +1、C_L = 20pF			0.63		µs
		0.1% まで、V_S = 40V、V_{STEP} = 2V、G = +1、C_L = 20pF			0.56		
		0.01% まで、V_S = 40V、V_{STEP} = 10V、G = +1、C_L = 20pF			0.91		
		0.01% まで、V_S = 40V、V_{STEP} = 2V、G = +1、C_L = 20pF			0.48		
	位相マージン	G = +1、R_L = 10kΩ、C_L = 20pF			56		°
	過負荷回復時間	V_{IN} × ゲイン > V_S			300		ns
THD+N	全高調波歪み + ノイズ	V_S = 40V、V_O = 6V_{RMS}、G = +1、f = 1kHz			0.00012		%
EMIRR	EMI 除去比	f = 1GHz			53		dB

Copyright © 2025 Texas Instruments Incorporated

5.7 TL07xH の電気的特性 (続き)

V_S = (V_{CC+}) - (V_{CC-}) = 4.5V ～ 40V (±2.25V ～ ±20V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続した状態、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
	電圧出力スイング (レールから)	正のレール ヘッドルーム	V_S = 40 V、R_L = 10kΩ		115	210	mV
			V_S = 40 V、R_L = 2kΩ		520	965	
		負のレール ヘッドルーム	V_S = 40 V、R_L = 10kΩ		105	215	
			V_S = 40 V、R_L = 2kΩ		500	1030	
I_{SC}	短絡電流				±26		mA
C_{LOAD}	容量性負荷駆動能力				300		pF
Z_O	オープン ループ出力インピーダンス	f = 1MHz、I_O = 0A			125		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0A			937.5	1125	μA
		I_O = 0A、(TL071H)			960	1156	
		I_O = 0A	T_A = –40℃～+125℃			1130	
		I_O = 0A、(TL072H)				1143	
		I_O = 0A、(TL071H)				1160	
	ターンオン時間	T_A = 25℃、V_S = 40V、V_S ランプ レート > 0.3V/μs			60		μs

(1) 最大 I_B および I_{OS} のデータは、特性評価結果に基づいて規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.8 TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の電気的特性 (DC)

$V_S = (V_{CC+}) – (V_{CC–}) = ±15$ V と $T_A = 25°C$ の場合 (特に記述のない限り)

パラメータ		測定条件(1) (2)			最小値	標準値	最大値	単位
DC								
V_{OS}	入力オフセット電圧	$V_O = 0V$ $R_S = 50Ω$	TL07xC			3	10	mV
				T_A = フル レンジ			13	
			TL07xAC			3	6	
				T_A = フル レンジ			7.5	
			TL07xBC			2	3	
				T_A = フル レンジ			5	
			TL07xI			3	6	
				T_A = フル レンジ			8	
			TL071M、TL072M			3	6	
				T_A = フル レンジ			9	
			TL074M			3	9	
				T_A = フル レンジ			15	
dV_{OS}/dT	入力オフセット電圧ドリフト	$V_O = 0V$、$R_S = 50Ω$	T_A = フル レンジ			±18		μV/°C
I_{OS}	入力オフセット電流	$V_O = 0V$	TL07xC			5	100	pA
				T_A = フル レンジ			10	nA
			TL07xAC、TL07xBC、TL07xI			5	100	pA
				T_A = フル レンジ			2	nA
			TL07xM			5	100	pA
				T_A = フル レンジ			20	nA
I_B	入力バイアス電流	$V_O = 0V$	TL07xC、TL07xAC、TL07xBC、TL07xI			65	200	pA
				T_A = フル レンジ			7	nA
			TL071M、TL072M			65	200	pA
				T_A = フル レンジ			50	nA
			TL074M			65	200	pA
				T_A = フル レンジ			20	nA
V_{CM}	同相電圧				±11	-12～15		V
VOM	最大ピーク出力電圧スイング	$R_L = 10kΩ$			±12	±13.5		V
		$R_L ≧ 10kΩ$	T_A = フル レンジ		±12			
		$R_L ≧ 2kΩ$			±10			
A_{OL}	開ループ電圧ゲイン	$V_O = 0V$	TL07xC		25	200		V/mV
				T_A = フル レンジ	15			
			TL07xAC、TL07xBC、TL07xI		50	200		
				T_A = フル レンジ	25			
			TL07xM		35	200		
				T_A = フル レンジ	15			
GBW	ゲイン帯域幅積	すべての NS および PS パッケージ、すべての TL07xM デバイス				3		MHz
		その他のデバイス				5.25		
R_{ID}	同相入力抵抗					1		TΩ
CMRR	同相除去比	$V_{IC} = V_{ICR(min)}$ $V_O = 0$ $R_S = 50Ω$	TL07xC		70	100		dB
			TL07xAC、TL07xBC、TL07xI		75	100		
			TL07xM		80	86		
PSRR	入力オフセット電圧と電源との関係	$V_{CC} = ±9V～±18V$ $V_O = 0$ $R_S = 50Ω$	TL07xC		70	100		dB
			TL07xAC、TL07xBC、TL07xI		80	100		
			TL07xM		80	86		

Copyright © 2025 Texas Instruments Incorporated

5.8 TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の電気的特性 (DC) (続き)

$V_S = (V_{CC+}) – (V_{CC–}) = ±15$ V と $T_A = 25°C$ の場合 (特に記述のない限り)

パラメータ		測定条件(1) (2)	最小値	標準値	最大値	単位
I_Q	アンプごとの静止電流	V_O = 0V、無負荷		1.4	2.5	mA
	チャネル セパレーション	f = 0Hz		1		μV/V

(1) 特に記述のない限り、すべての特性は、同相電圧が 0 の開ループ条件で測定されます。
(2) フル レンジは、TL07xC、TL07xAC、TL07xBC の場合 T_A = 0℃ ～ 70℃、TL07xI の場合は T_A = -40℃ ～ +85℃ 、TL07xM では T_A = -55℃ ～ +125℃ です。

5.9 TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の電気的特性 (AC)

$V_S = (V_{CC+}) – (V_{CC–}) = ±15$ V と $T_A = 25°C$ の場合 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC							
SR	スルー レート	V_I = 10V、C_L = 100pF、R_L = 2kΩ	TL07xM	5	20		V/μs
			TL07xC、TL07xAC、TL07xBC、TL07xI	8	20		V/μs
t_S	セトリング タイム	V_I= 20V、C_L = 100pF、R_L = 2kΩ			0.1		μs
					20%		
e_N	入力電圧ノイズ密度	すべての PS および NS パッケージ、すべての TL07xM デバイス	R_S = 20 Ω、f = 1kHz		18		nV/√Hz
		その他のデバイス	f = 1kHz		37		nV/√Hz
			f = 10kHz		21		
E_N	入力電圧ノイズ	すべての PS および NS パッケージ、すべての TL07xM デバイス	R_S = 20Ω、f = 10Hz ～ 10kHz		4		$μV_{RMS}$
		その他のデバイス	f = 0.1Hz～10Hz		1.4		$μV_{RMS}$
i_N	入力電流ノイズ	R_S = 20 Ω、f = 1kHz			10		fA/√Hz
	位相マージン	TL07xC、TL07xAC、TL07xBC、TL07xI	G = +1、R_L = 10kΩ、C_L = 20pF		56		°
	過負荷回復時間	V_{IN} × ゲイン > V_S			300		ns
THD+N	全高調波歪み + ノイズ	すべての PS および NS パッケージ、すべての TL07xM デバイス	V_O = 6V_{RMS}、R_L ≥ 2kΩ、f = 1kHz、G = +1、R_S ≤ 1kΩ		0.003		%
		その他のデバイス	V_S = 40V、V_O = 6V_{RMS}、G = +1、f = 1kHz		0.00012		%
EMIRR	EMI 除去比	TL07xC、TL07xAC、TL07xBC、TL07xI	f = 1GHz		53		dB
Z_O	オープン ループ出力インピーダンス	TL07xC、TL07xAC、TL07xBC、TL07xI	f = 1MHz、I_O = 0A		125		Ω

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：TL07xH

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

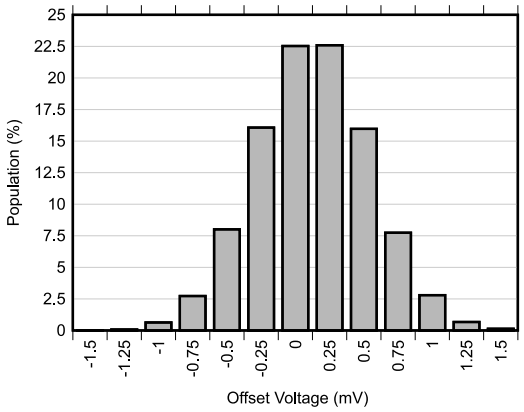


図 5-1. オフセット電圧の生産分布

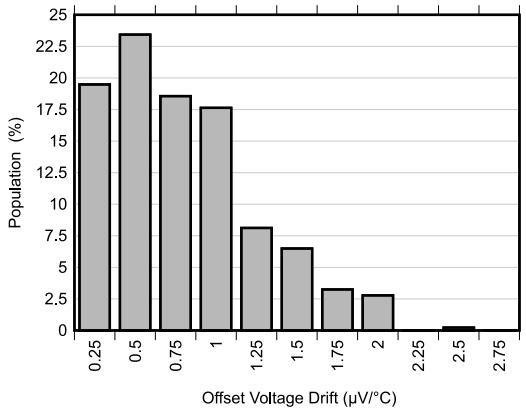


図 5-2. オフセット電圧ドリフトの分布

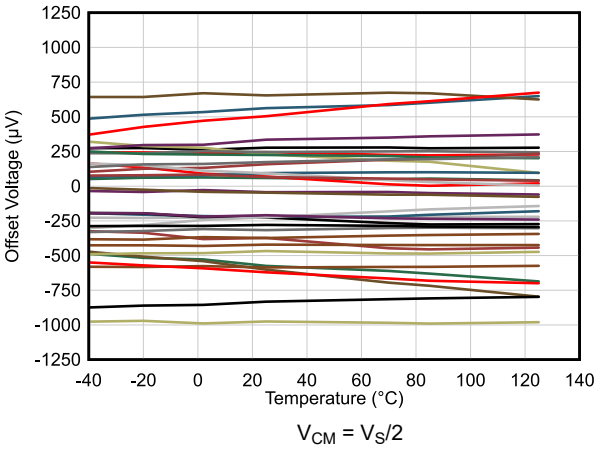


図 5-3. オフセット電圧と温度との関係

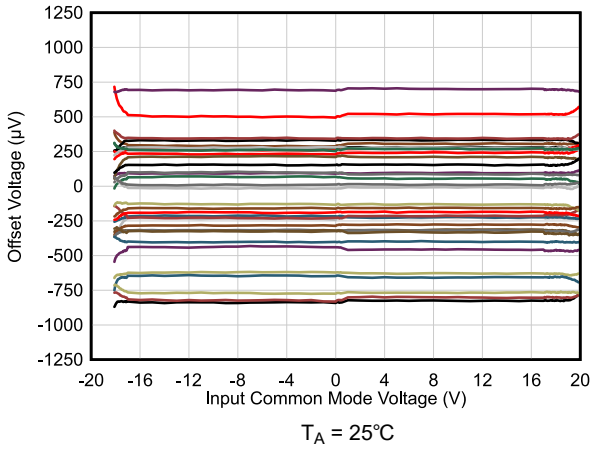


図 5-4. オフセット電圧と同相電圧との関係

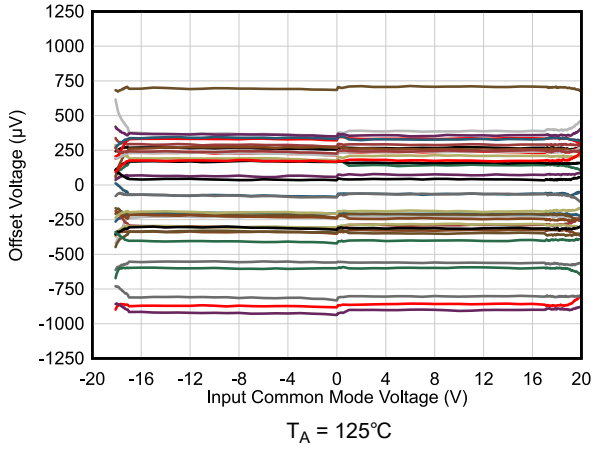


図 5-5. オフセット電圧と同相電圧との関係

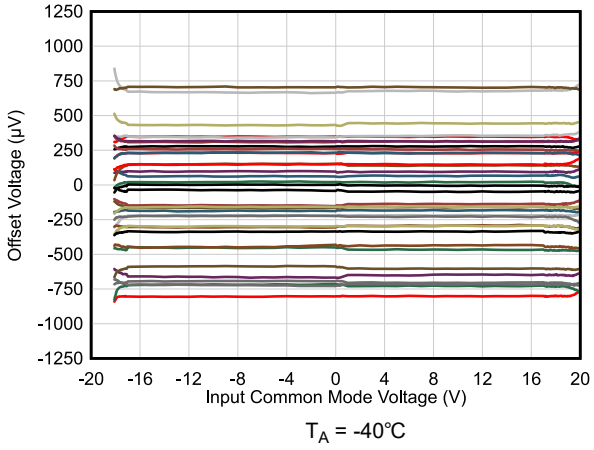


図 5-6. オフセット電圧と同相電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：TL07xH (続き)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

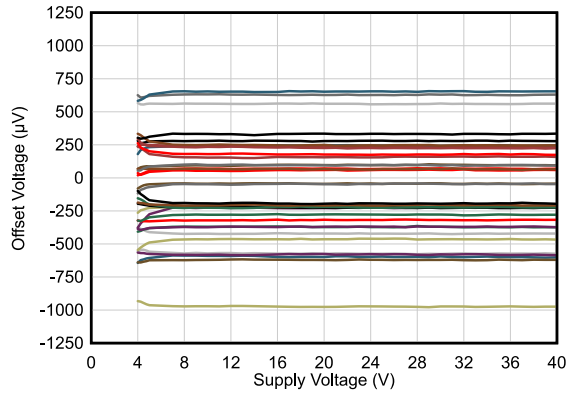


図 5-7. オフセット電圧と電源電圧との関係

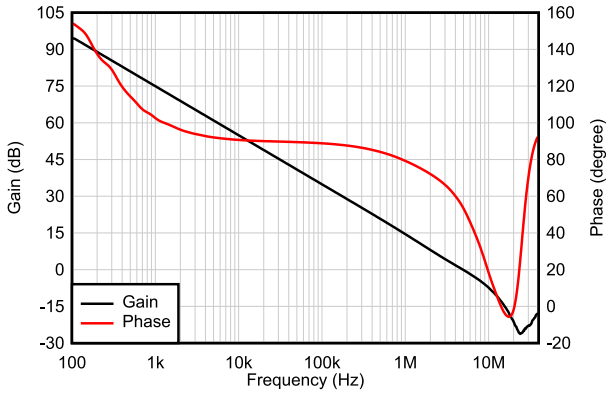


図 5-8. 開ループ ゲインおよび位相と周波数との関係

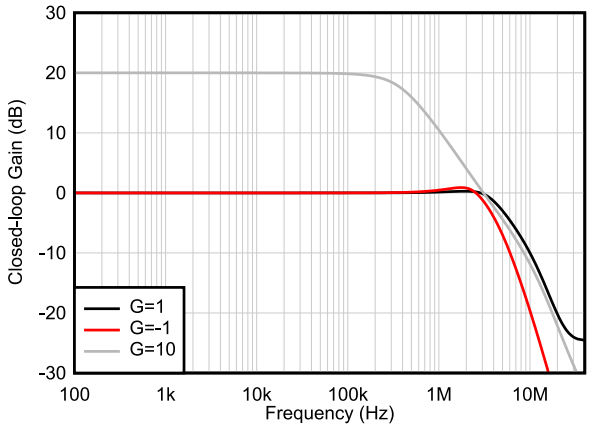


図 5-9. 閉ループ ゲインと周波数との関係

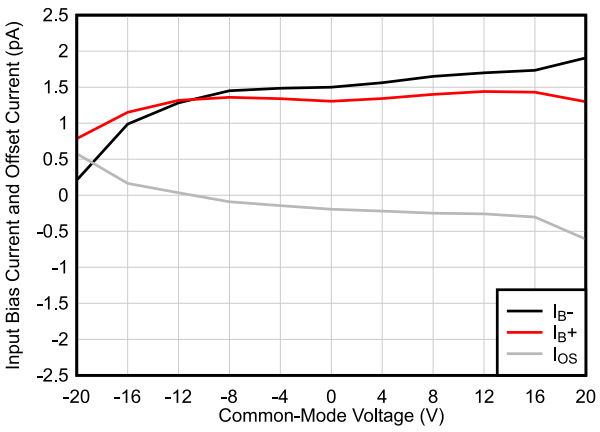


図 5-10. 入力バイアス電流と同相電圧との関係

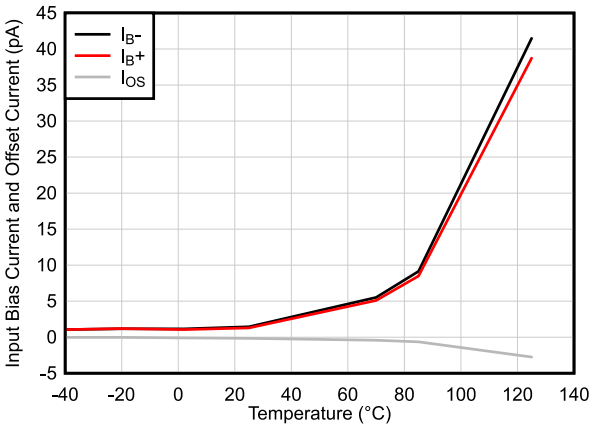


図 5-11. 入力バイアス電流と温度との関係

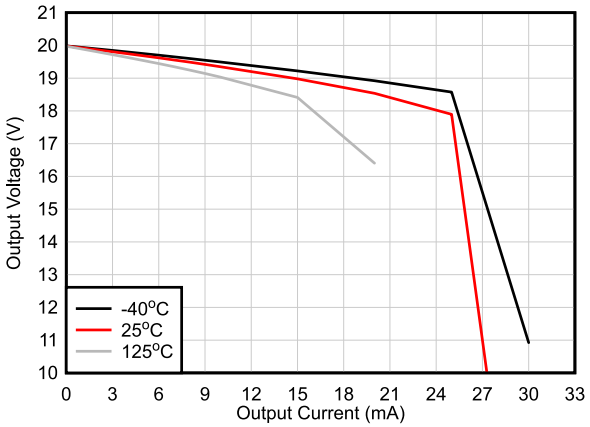


図 5-12. 出力電圧スイングと出力電流との関係 (ソース)

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：TL07xH (続き)

T_A = 25°C、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

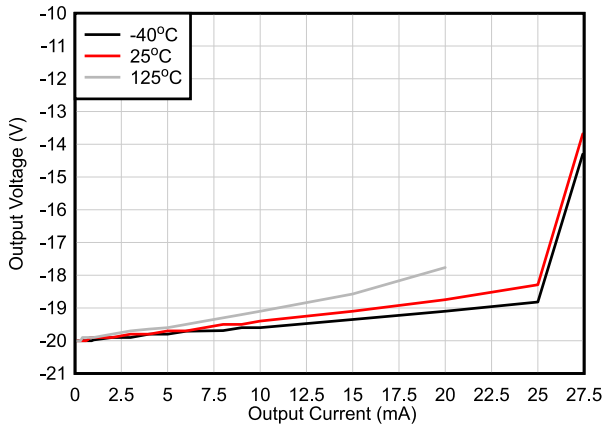


図 5-13. 出力電圧スイングと出力電流との関係 (シンク)

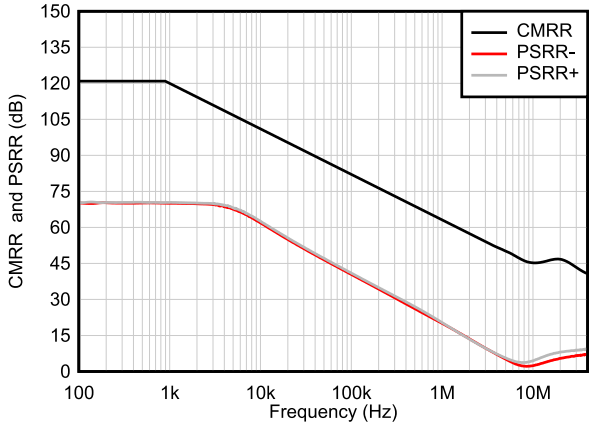


図 5-14. CMRR および PSRR と周波数との関係

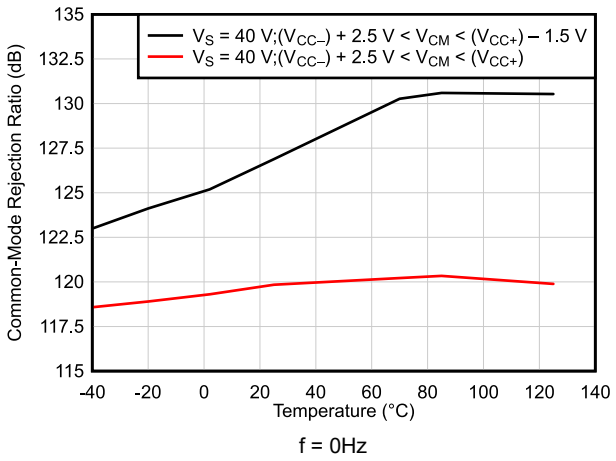


図 5-15. CMRR と温度との関係 (dB)

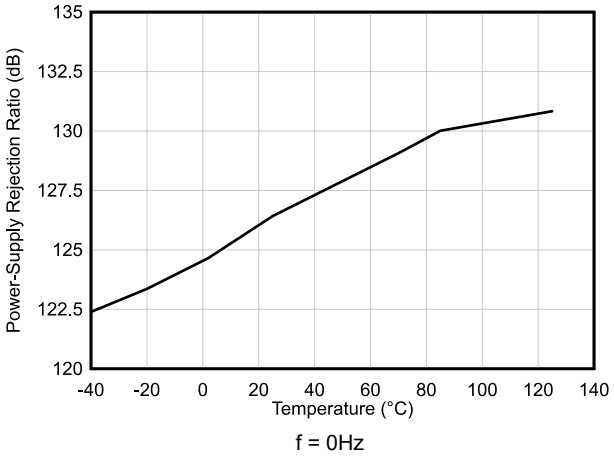


図 5-16. PSRR と温度との関係 (dB)

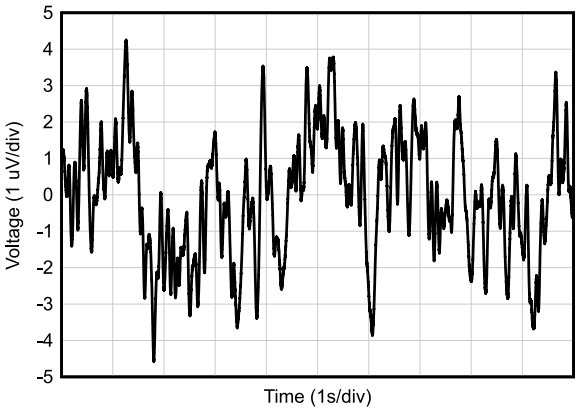


図 5-17. 0.1Hz～10Hz のノイズ

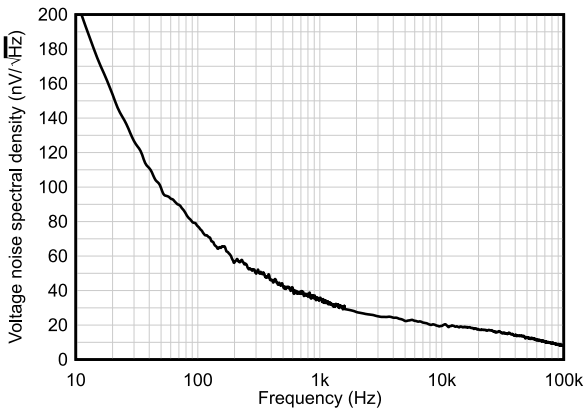
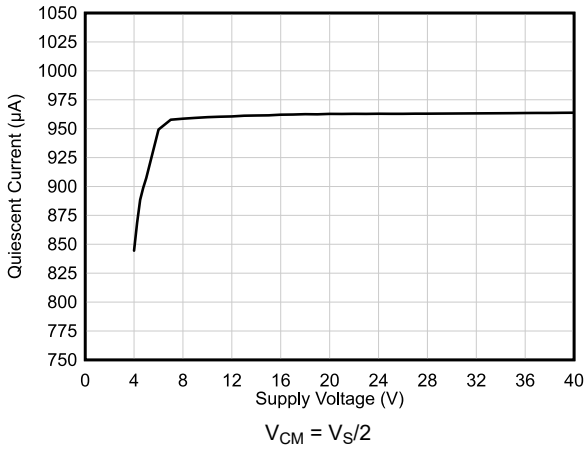


図 5-18. 入力電圧ノイズ スペクトル密度と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：TL07xH (続き)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)



V_{CM} = V_S/2

図 5-19. 静止電流と電源電圧との関係

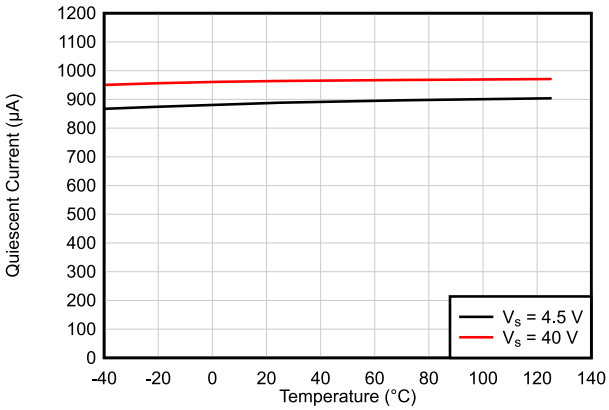


図 5-20. 静止電流と温度との関係

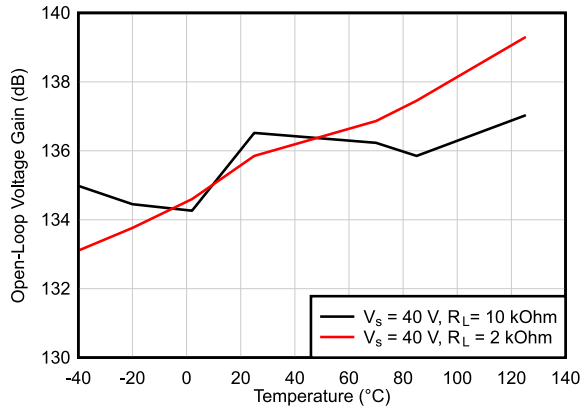


図 5-21. 開ループの電圧ゲインと温度との関係

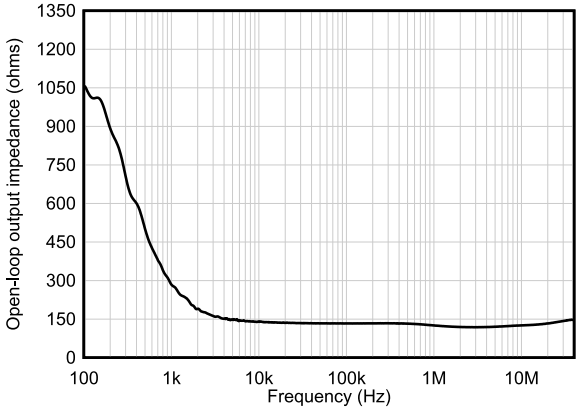
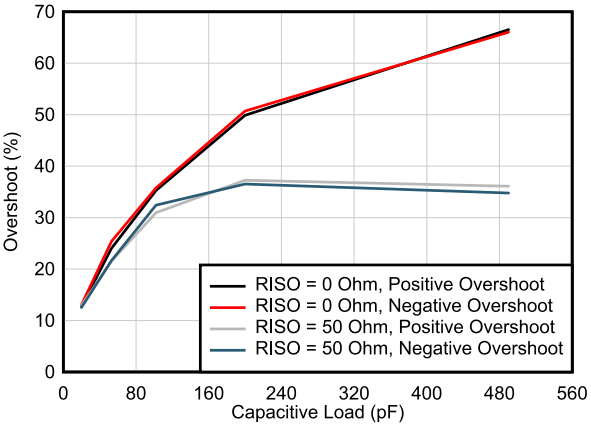
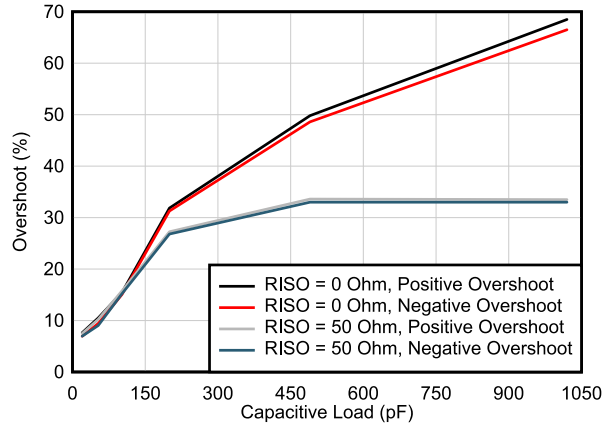


図 5-22. 開ループ出力インピーダンスと周波数との関係



G = -1、25mV の出力ステップ

図 5-23. 小信号オーバーシュートと容量性負荷との関係



G = 1、10mV の出力ステップ

図 5-24. 小信号オーバーシュートと容量性負荷との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：TL07xH (続き)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

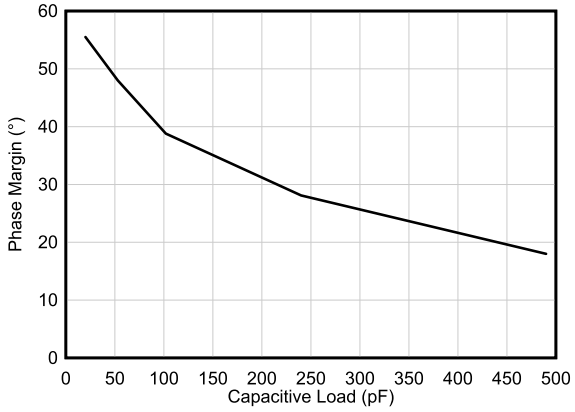
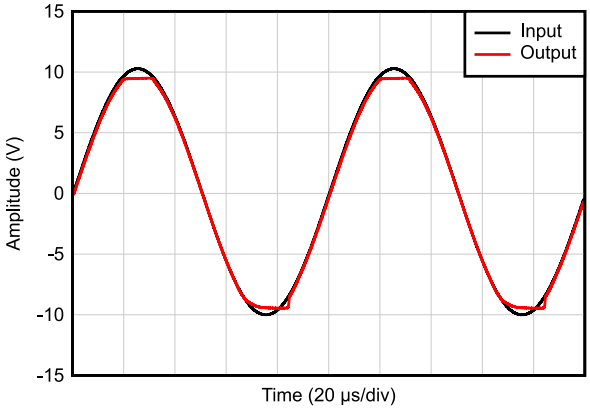
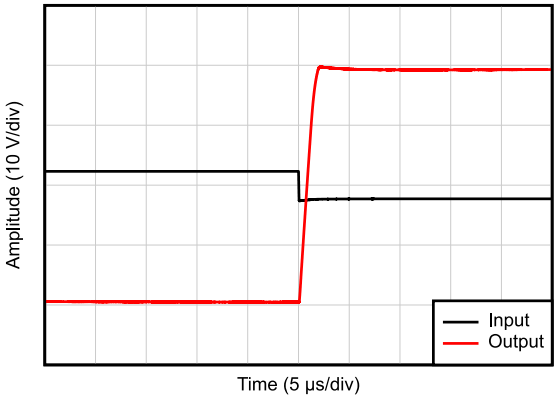


図 5-25. 位相マージンと容量性負荷との関係



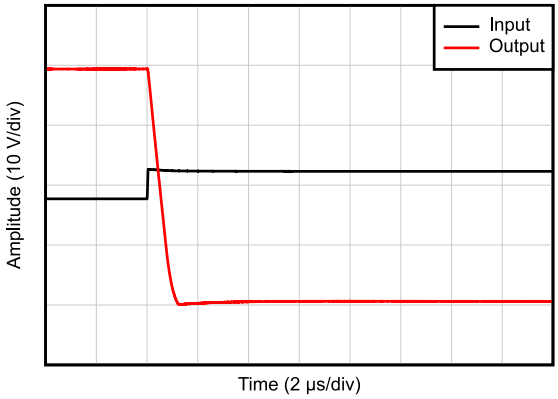
V_S = ±10V、V_{IN} = V_{OUT}

図 5-26. 位相反転が発生しない



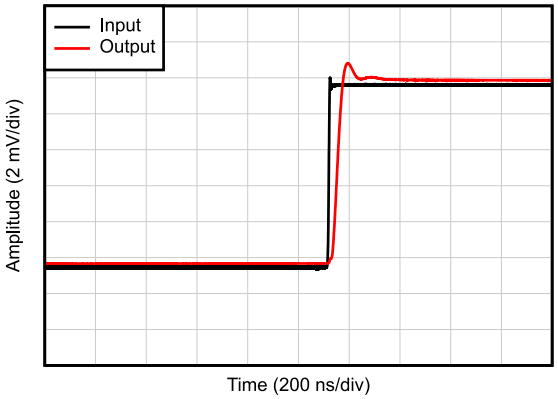
G = -10

図 5-27. 正の過負荷からの回復



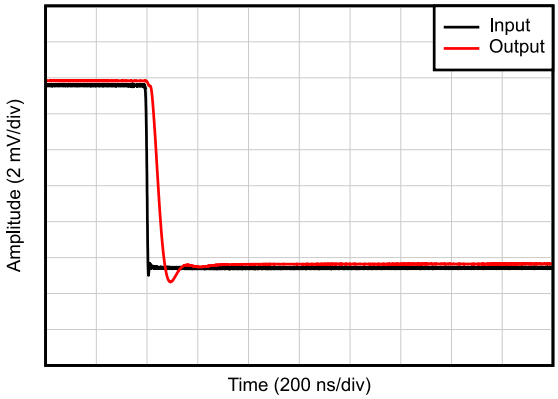
G = -10

図 5-28. 負の過負荷からの回復



C_L = 20pF、G = 1、10mV のステップ応答

図 5-29. 小信号ステップ応答、立ち上がり



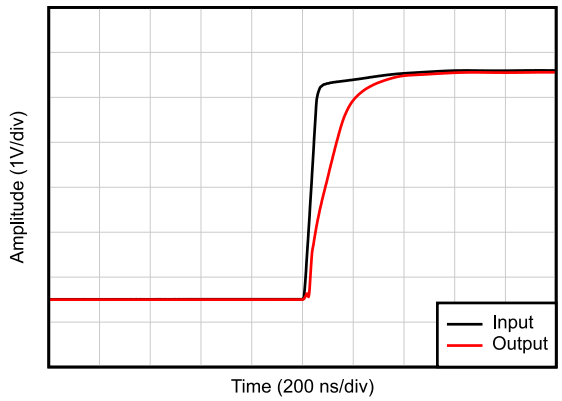
C_L = 20pF、G = 1、10mV のステップ応答

図 5-30. 小信号ステップ応答、立ち下がり

Copyright © 2025 Texas Instruments Incorporated

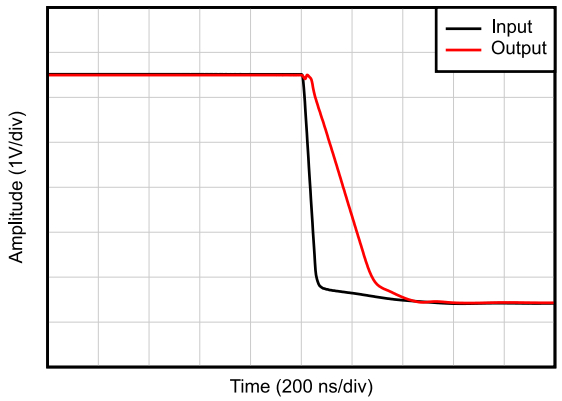
5.10 代表的特性：TL07xH (続き)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)



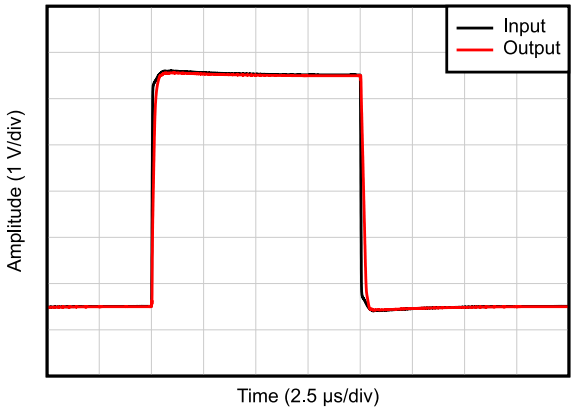
C_L = 20pF、G = 1

図 5-31. 大信号ステップ応答 (立ち上がり)



C_L = 20pF、G = 1

図 5-32. 大信号ステップ応答 (立ち下がり)



C_L = 20pF、G = 1

図 5-33. 大信号ステップ応答

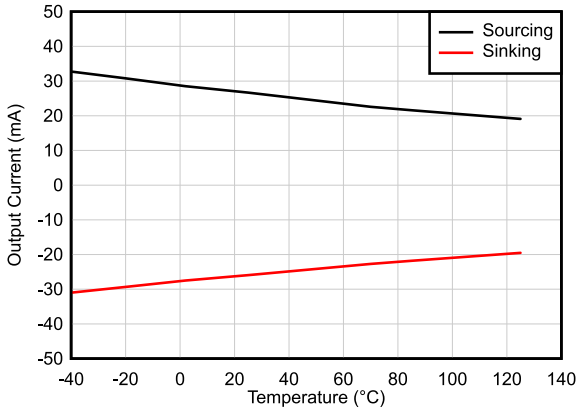


図 5-34. 短絡電流と温度との関係

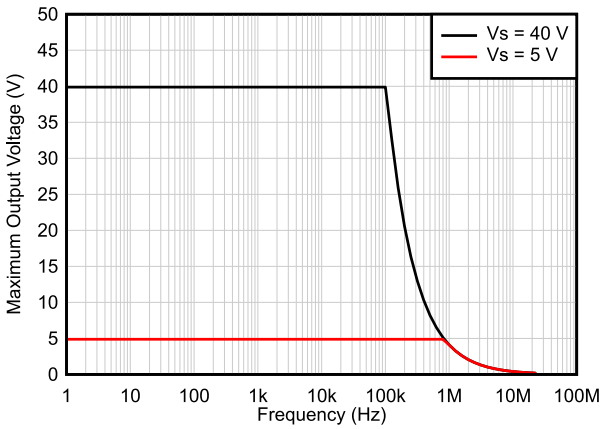


図 5-35. 最大出力電圧と周波数との関係

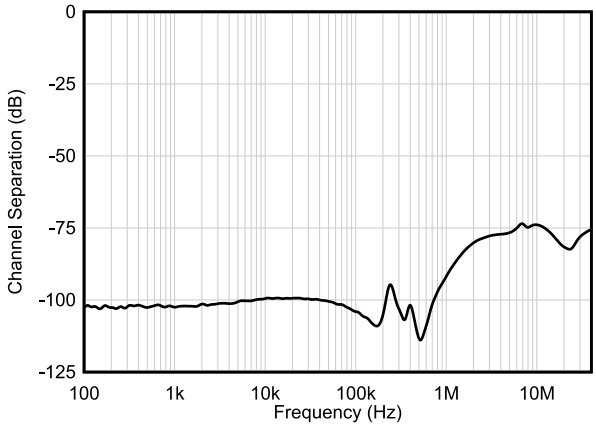


図 5-36. チャネル セパレーションと周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：TL07xH (続き)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

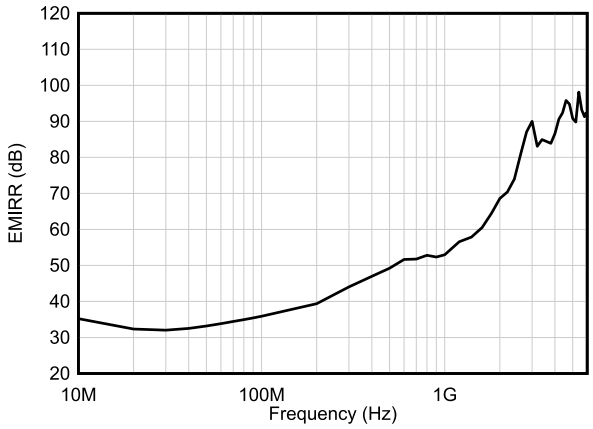


図 5-37. EMIRR (電磁干渉除去比) と周波数との関係

5.11 代表的特性：TL07xH を除くすべてのデバイス

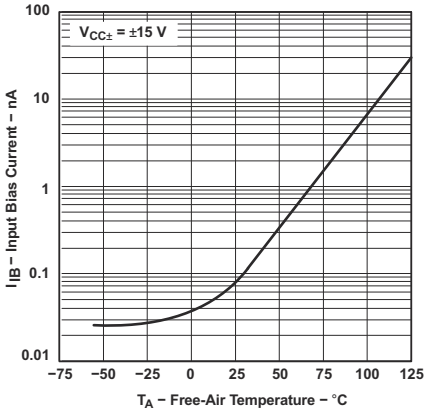


図 5-38. 入力バイアス電流と自由気流温度との関係

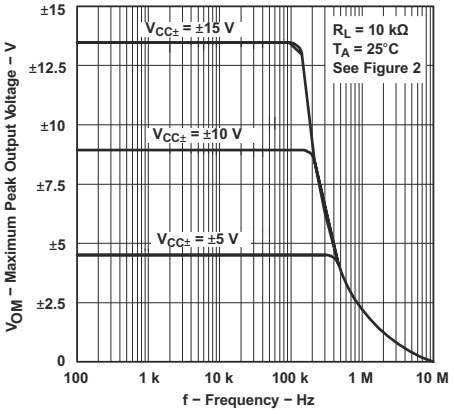


図 5-39. 最大ピーク出力電圧と周波数との関係

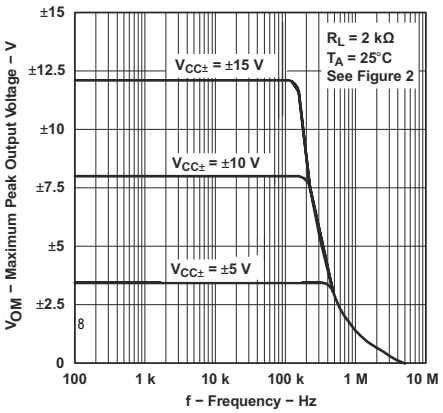


図 5-40. 最大ピーク出力電圧と周波数との関係

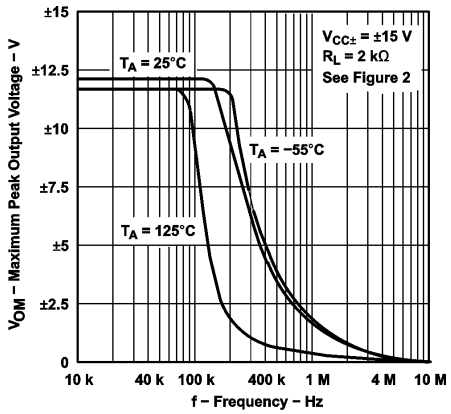


図 5-41. 最大ピーク出力電圧と周波数との関係

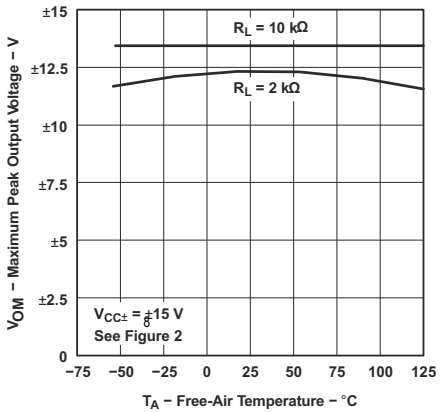


図 5-42. 最大ピーク出力電圧と自由気流温度との関係

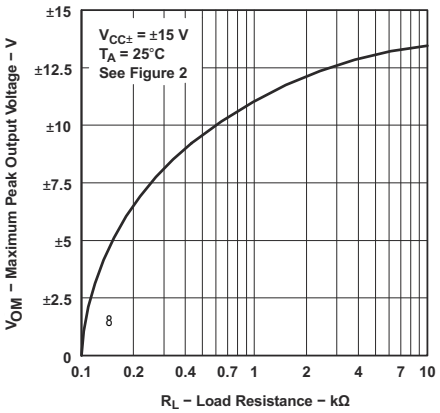


図 5-43. 最大ピーク出力電圧と負荷抵抗との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性：TL07xH を除くすべてのデバイス (続き)

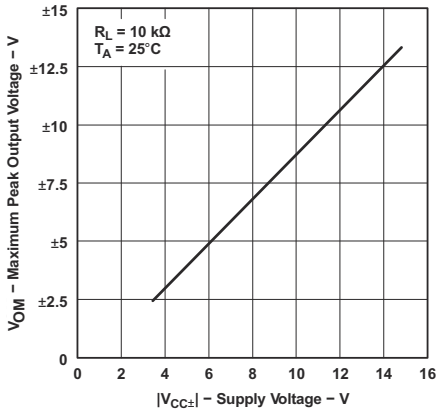


図 5-44. 最大ピーク出力電圧と電源電圧との関係

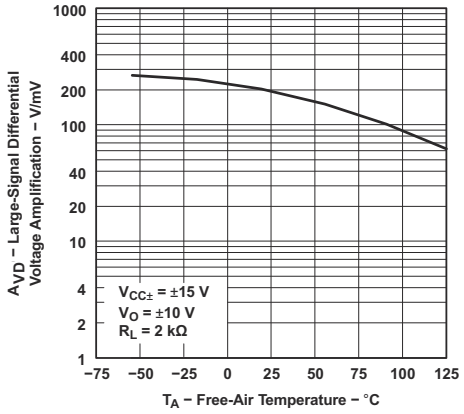


図 5-45. 大信号の差動電圧増幅と自由気流温度との関係

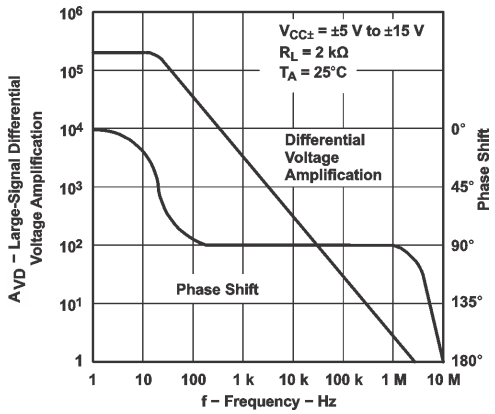


図 5-46. 大信号の差動電圧増幅および位相シフトと周波数との関係

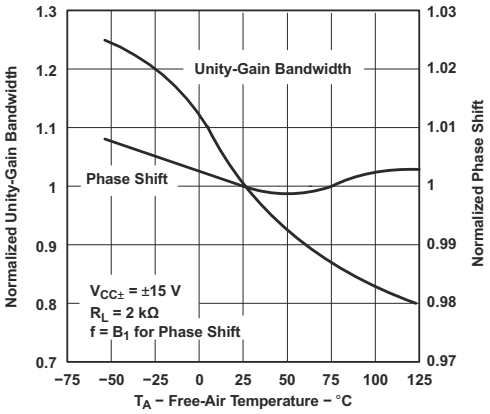


図 5-47. 正規化されたユニティ ゲイン帯域幅および位相シフトと自由気流温度との関係

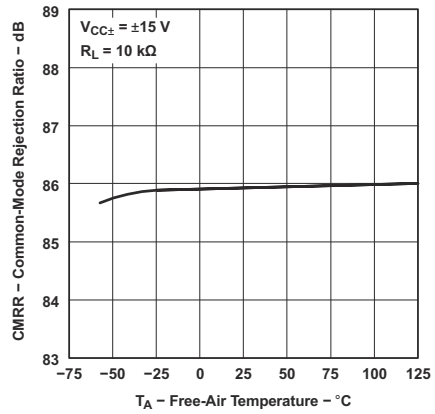


図 5-48. 同相信号除去比と自由気流温度との関係

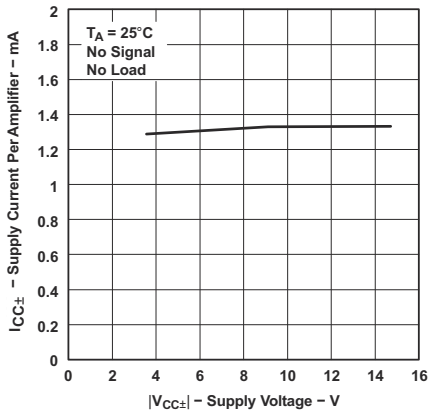


図 5-49. アンプごとの電源電流と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性：TL07xH を除くすべてのデバイス (続き)

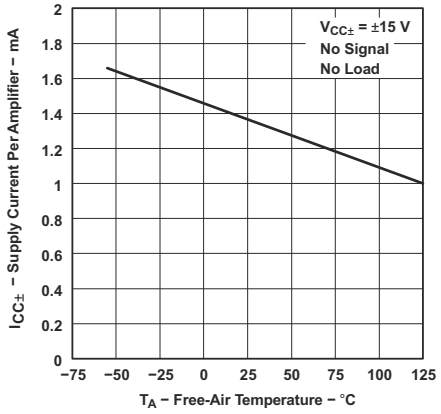


図 5-50. アンプごとの電源電流と自由気流温度との関係

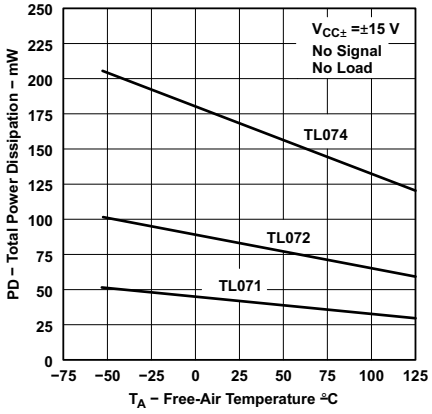


図 5-51. 合計消費電力と自由気流温度との関係

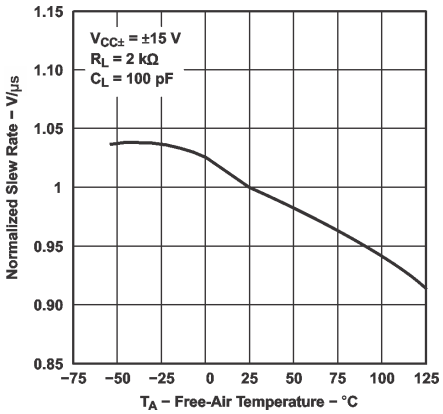


図 5-52. 正規化されたスルーレートと自由気流温度との関係

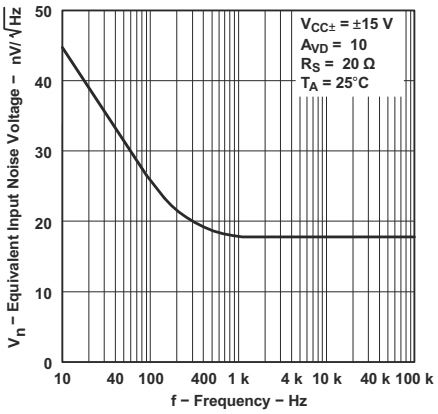


図 5-53. 等価入力ノイズ電圧と周波数との関係

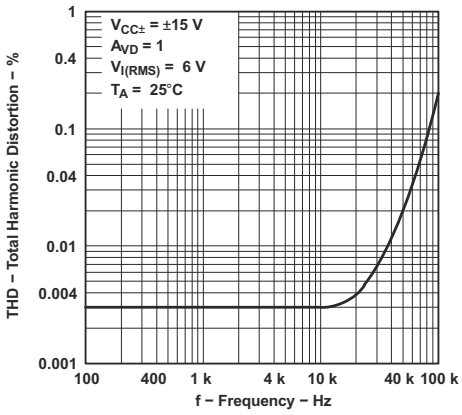


図 5-54. 全高調波歪と周波数との関係

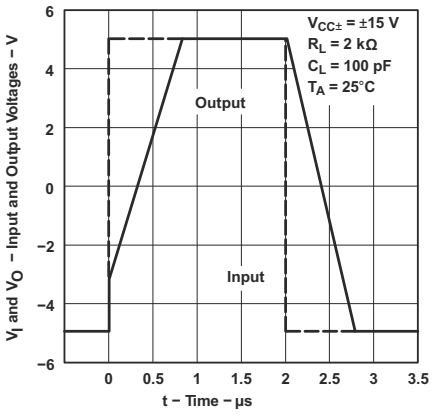


図 5-55. ボルテージフォロワの大信号パルス応答

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性：TL07xH を除くすべてのデバイス (続き)

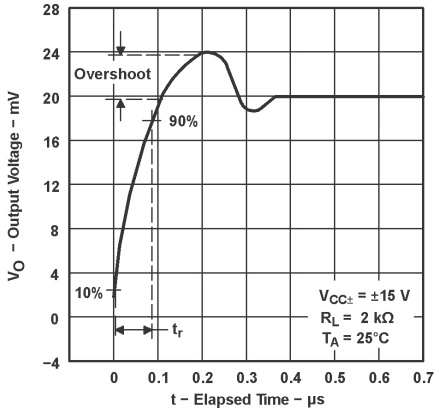


図 5-56. 出力電圧と経過時間との関係

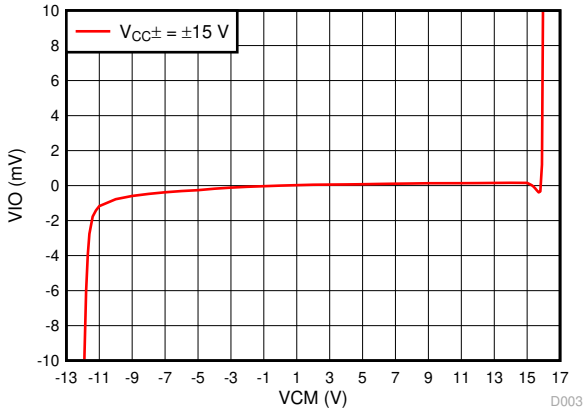


図 5-57. V_{IO} と V_{CM} との関係

6 パラメータ測定情報

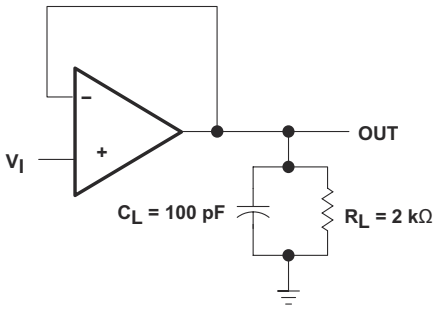


図 6-1. ユニティ ゲイン アンプ

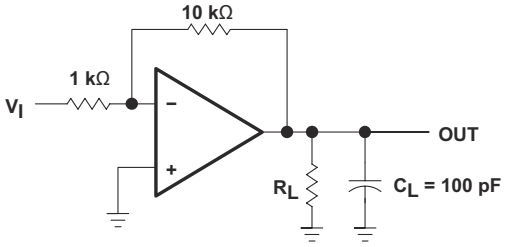


図 6-2. ゲイン 10 の反転アンプ

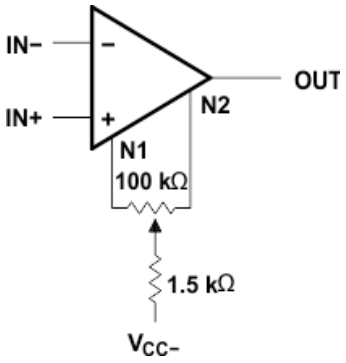


図 6-3. PS パッケージ (SO、8) のみの入力オフセット電圧のヌル回路

Copyright © 2025 Texas Instruments Incorporated

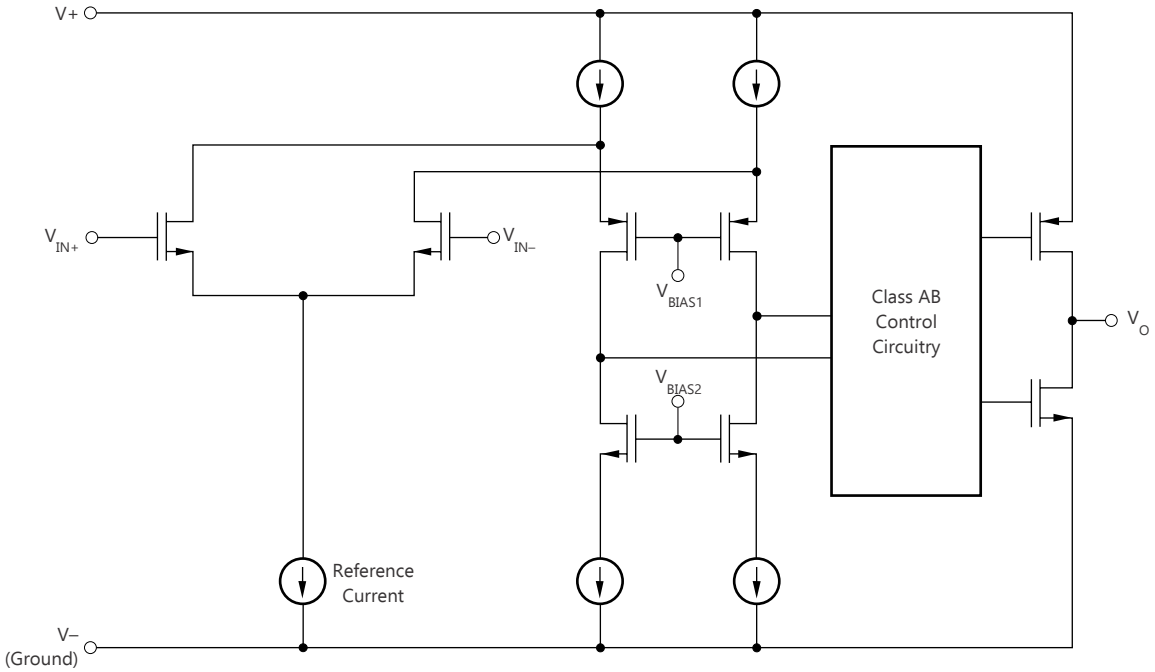
7 詳細説明

7.1 概要

TL07xH (TL071H、TL072H、TL074H) ファミリのデバイスは、業界標準の TL07x (TL071、TL072、TL074) デバイスの次世代バージョンです。これらのデバイスは、低オフセット (1mV、代表値)、高スルーレート (20V/µs、代表値)、正電源への同相入力などの特長を備え、コスト重視のアプリケーション向けに最適です。高 ESD (2kV、HBM)、EMI および RF フィルタの内蔵、-40℃～125℃の温度範囲での動作により、TL07xH デバイスは最も過酷で要求の厳しいアプリケーションで使用できます。

接尾辞 C のデバイスには 0℃～70℃、接尾辞 I のデバイスには -40℃～85℃、接尾辞 M のデバイスには防衛用温度範囲 -55℃～+125℃の動作がそれぞれ特性付けられています。

7.2 機能ブロック図



7.3 機能説明

TL07xH ファミリのデバイスは、業界標準の TL07x ファミリと比べて、多くの仕様が改善されています。TL07xH ファミリの利点を示すため、これらのファミリの主な仕様について、いくつかの比較を以降のセクションに示します。

7.3.1 全高調波歪

オーディオ信号の高調波歪みは、回路内の電子部品によって発生します。全高調波歪 (THD) は、オーディオ システムの信号によって蓄積される高調波歪みの測定値です。これらのデバイスのこれらのデバイスの THD は 0.003% と非常に低いため、TL07x デバイスをオーディオ信号アプリケーションで使用しても、高調波歪みはほとんど増えません。

7.3.2 スルーレート

スルーレートは、入力に変化が生じたときにオペアンプが出力を変更できる速さです。これらのデバイスのスルーレートは 20V/µs です。

7.4 デバイスの機能モード

これらのデバイスは、電源が接続されているときオンになります。これらのデバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

オペアンプの代表的なアプリケーションは、反転アンプです。このアンプは入力として正の電圧を受け付け、負の電圧に変換します。同様に、このアンプは負の電圧を正の電圧にします。

8.2 代表的なアプリケーション

8.2.1 反転アンプ

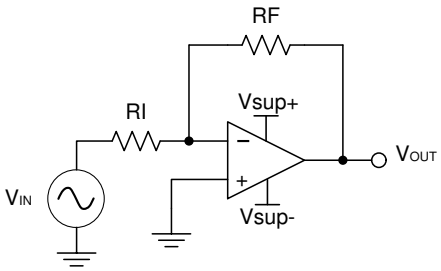


図 8-1. 反転アンプ

8.2.1.1 設計要件

電源電圧は、入力電圧範囲および出力範囲よりも大きくなるように選択する必要があります。たとえば、このアプリケーションは±0.5V～±1.8V の信号をスケーリングします。このアプリケーションに対応するには、電源を±12V に設定するだけで十分です。

8.2.1.2 詳細な設計手順

反転アンプに必要なゲインを決定します。

$$A_V = \frac{VOUT}{VIN} \quad (1)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

目的のゲインを決定したら、RI または RF の値を選択します。アンプ回路では mA 範囲の電流が使用されるため、望ましい値は kΩ 範囲の値になります。この例では RI に 10kΩ を使用しています。そのため、RF には 36kΩ が使用されています。ゲインは 式 3 で決定されます。

$$A_V = -\frac{RF}{RI} \quad (3)$$

Copyright © 2025 Texas Instruments Incorporated

8.2.1.3 アプリケーション曲線

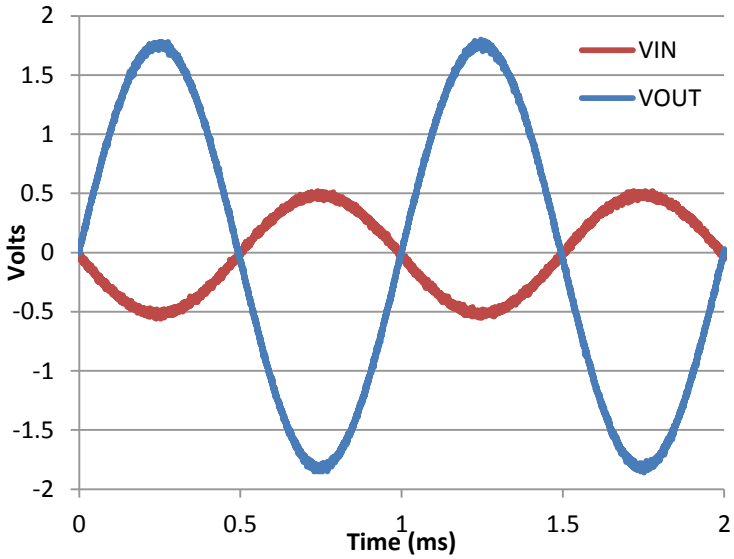


図 8-2. 反転アンプの入力電圧と出力電圧

8.3 電源に関する推奨事項

注意

単一電源で 36V、またはデュアル電源で±18V の範囲を超える電源電圧は、デバイスに永続的な損傷を与える可能性があります (セクション 5.1 を参照)。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、セクション 8.4 を参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズは、回路全体やオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。アナログ回路にローカルな、低インピーダンスの電源を供給して結合ノイズを低減するため、バイパス コンデンサが使用されます。
  - 各電源ピンとグランド間に、低 ESR のセラミック バイパス コンデンサ (0.1µF) を、可能な限りデバイスの近くに配置し接続します。単一電源アプリケーションの場合は、V_{CC+} からグランドに対して単一のバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらの配線を離して配置できない場合、ノイズの多い配線と平行ではなく、直交するように感度の高い配線を交差させる方がよいでしょう。
- 外付け部品は、可能な限りデバイスに近く配置します。RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。セクション 8.4.2 も参照してください。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

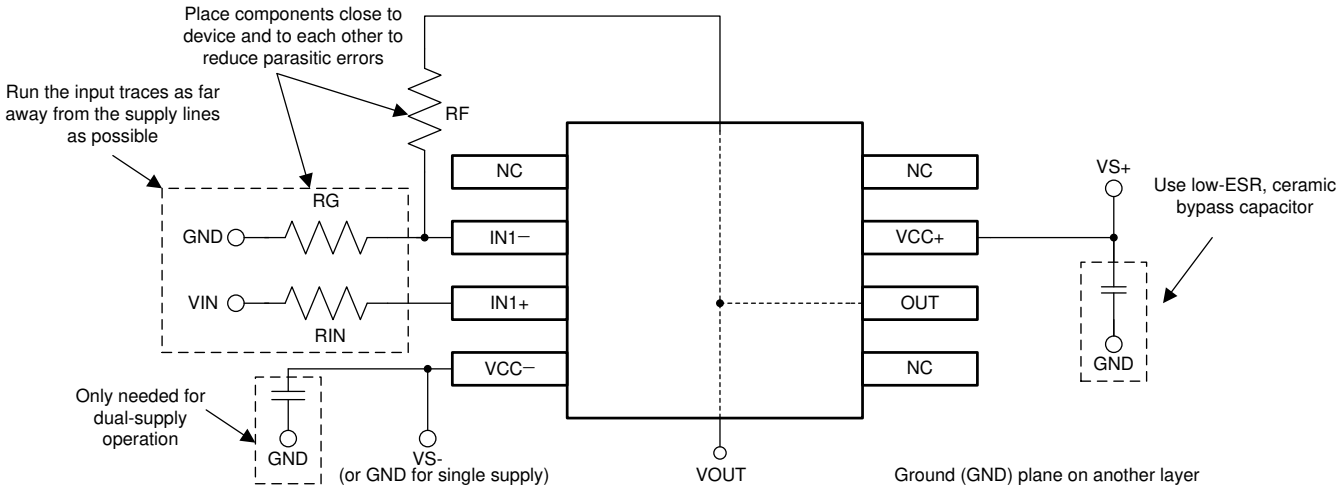


図 8-3. 非反転構成のオペアンプ基板のレイアウト

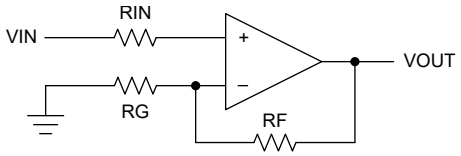


図 8-4. 非反転構成のオペアンプの回路図

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 デバイスの命名規則

表 9-1. デバイスの命名規則

部品番号	定義
TL07*xyzzzzzz*	*x* はチャネル数です
	y = H の場合、ダイは最新のフロー (CSO: RFB) を用いて製造されます。 セクション 5.7 および セクション 5.10 に、新しいダイの性能を示します。
	y ≠ H かつ *y* ≠ M の場合、ダイは従来のフロー (CSO: SFAB) または最新のフロー (CSO: RFB) を用いて製造されます。 セクション 5.8、セクション 5.9 および セクション 5.11 に、古いダイの性能を示します。 セクション 5.7 および セクション 5.10 に、新しいダイの性能を示します。
	y = M の場合、デバイスは –55°C から +125°C までの拡張温度範囲で動作が規定されています。ダイは従来のフロー (CSO:SFAB) で製造されます。 *z* で表される文字と数字は、グレード区分およびパッケージ オプションを示しており、これらについては セクション 5.8 と、このデータシートの末尾にある「*付録: パッケージ オプション*」に記載されています。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision V (April 2023) to Revision W (July 2025)	Page
• PS (SO、8) パッケージを除くすべてのパッケージから、トリム機能への参照を削除	1
• *「特長」*の V_n を 18nV/√Hz から 37nV/√Hz に変更	1
• *パッケージ オプションの補足事項*に合わせて*デバイス情報*テーブルを更新	1
• どのデバイスが PS パッケージのみを使用するかを示すために先頭ページの画像を更新	1
• PS パッケージ (PDIP、8) のみにトリム機能があることを示すように、*ピン構成および機能*を更新	3
• 古いダイと新しいダイに関する注を追加	10
• 図 5-19、*THD+N 比と周波数との関係*および 図 5-20、*THD+N と出力振幅との関係*を削除	17
• 図 7-3 のキャプションに「PS パッケージ (SO、8) のみ」を追加	28
• *「ユニティ ゲイン バッファ」*および*「システム例」*セクションを削除	30
• *「詳細な設計手順」*から式 1 を削除	30
• *「詳細な設計手順」*から「これにより、部品が過度の電流を消費することを防止できます。」を削除	30
• 「*デバイスの命名規則」*」の表を追加	34

Changes from Revision U (December 2022) to Revision V (April 2023)	Page
• 「概要」、「機能ブロック図」、「機能説明」の各セクションを更新	29

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。このデータシートのブラウザ対応版については、左側にあるナビゲーションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
81023052A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	81023052A TL072MFKB
8102305HA	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102305HA TL072M
8102305PA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102305PA TL072M
81023062A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	81023062A TL074MFKB
8102306CA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102306CA TL074MJB
8102306DA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102306DA TL074MWB
JM38510/11905BPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /11905BPA
JM38510/11905BPA.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /11905BPA
M38510/11905BPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /11905BPA
TL071ACDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	071AC
TL071ACDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	071AC
TL071ACP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL071ACP
TL071ACP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL071ACP
TL071BCDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	071BC
TL071BCDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	071BC
TL071BCP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL071BCP
TL071BCP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL071BCP
TL071CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL071C
TL071CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL071C
TL071CDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	0 to 70	
TL071CDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	0 to 70	
TL071CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL071CP

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL071CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL071CP
TL071CPE4	Active	Production	PDIP (P) | 8	50 | TUBE	-	Call TI	Call TI	0 to 70	
TL071CPSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T071
TL071CPSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T071
TL071HIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T71V
TL071HIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T71V
TL071HIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T71V
TL071HIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T71V
TL071HIDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1IO
TL071HIDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1IO
TL071HIDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL071D
TL071HIDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL071D
TL071IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL071I
TL071IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL071I
TL071IDR1G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL071I
TL071IDR1G4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL071I
TL071IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
TL071IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL071IP
TL071IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL071IP
TL072ACDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC
TL072ACDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC
TL072ACDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC
TL072ACDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC
TL072ACP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL072ACP
TL072ACP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL072ACP
TL072ACPE4	Active	Production	PDIP (P) | 8	50 | TUBE	-	Call TI	Call TI	0 to 70	
TL072ACPS	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072A
TL072ACPS.A	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072A
TL072BCD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	072BC
TL072BCDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	072BC
TL072BCDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	072BC

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL072BCP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL072BCP
TL072BCP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL072BCP
TL072CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL072C
TL072CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL072C
TL072CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL072CP
TL072CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL072CP
TL072CPS	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPS.A	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPSRG4	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072
TL072CPWRE4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	-	Call TI	Call TI	0 to 70	
TL072CPWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	-	Call TI	Call TI	0 to 70	
TL072HIDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O72F
TL072HIDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O72F
TL072HIDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL072D
TL072HIDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL072D
TL072HIPWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	072HPW
TL072HIPWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	072HPW
TL072IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL072I
TL072IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL072I
TL072IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL072IP
TL072IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL072IP
TL072IPE4	Active	Production	PDIP (P) | 8	50 | TUBE	-	Call TI	Call TI	-40 to 85	
TL072MFKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	81023052A TL072MFKB
TL072MFKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	81023052A TL072MFKB
TL072MJG	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL072MJG

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL072MJG.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL072MJG
TL072MJGB	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102305PA TL072M
TL072MJGB.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102305PA TL072M
TL072MUB	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102305HA TL072M
TL072MUB.A	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102305HA TL072M
TL074ACD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL074AC
TL074ACDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074AC
TL074ACDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074AC
TL074ACN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL074ACN
TL074ACN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL074ACN
TL074ACNSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074A
TL074ACNSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074A
TL074BCD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL074BC
TL074BCDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC
TL074BCDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC
TL074BCDRE4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC
TL074BCDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC
TL074BCN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL074BCN
TL074BCN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL074BCN
TL074CD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL074C
TL074CDBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074
TL074CDBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074
TL074CDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074C
TL074CDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074C
TL074CDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074C
TL074CDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074C
TL074CN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL074CN
TL074CN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL074CN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL074CNSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074
TL074CNSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074
TL074CPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	0 to 70	T074
TL074CPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074
TL074CPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074
TL074CPWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074
TL074CPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074
TL074HIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074HID
TL074HIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074HID
TL074HIDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074HID
TL074HIDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074HID
TL074HIDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T074HDYY
TL074HIDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T074HDYY
TL074HIPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074PW
TL074HIPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074PW
TL074ID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	TL074I
TL074IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I
TL074IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I
TL074IDRE4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I
TL074IDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I
TL074IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL074IN
TL074IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL074IN
TL074ING4	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL074IN
TL074ING4.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL074IN
TL074MFK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL074MFK
TL074MFK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL074MFK
TL074MFKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	81023062A TL074MFKB
TL074MFKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	81023062A TL074MFKB

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL074MJ	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL074MJ
TL074MJ.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL074MJ
TL074MJB	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102306CA TL074MJB
TL074MJB.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102306CA TL074MJB
TL074MWB	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102306DA TL074MWB
TL074MWB.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8102306DA TL074MWB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL072, TL072M, TL074, TL074M :

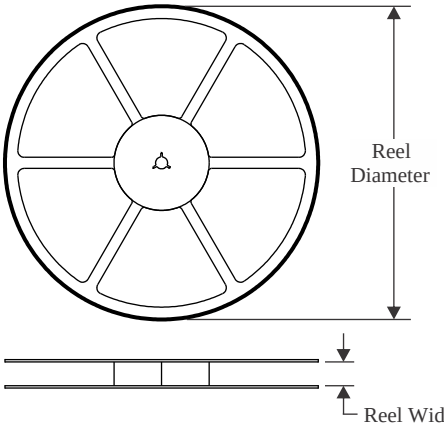
- Catalog : TL072, TL074
- Enhanced Product : TL072-EP, TL072-EP, TL074-EP, TL074-EP
- Military : TL072M, TL074M

NOTE: Qualified Version Definitions:

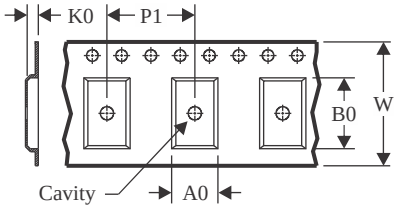
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

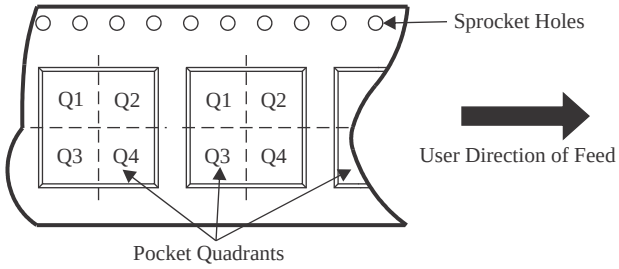


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

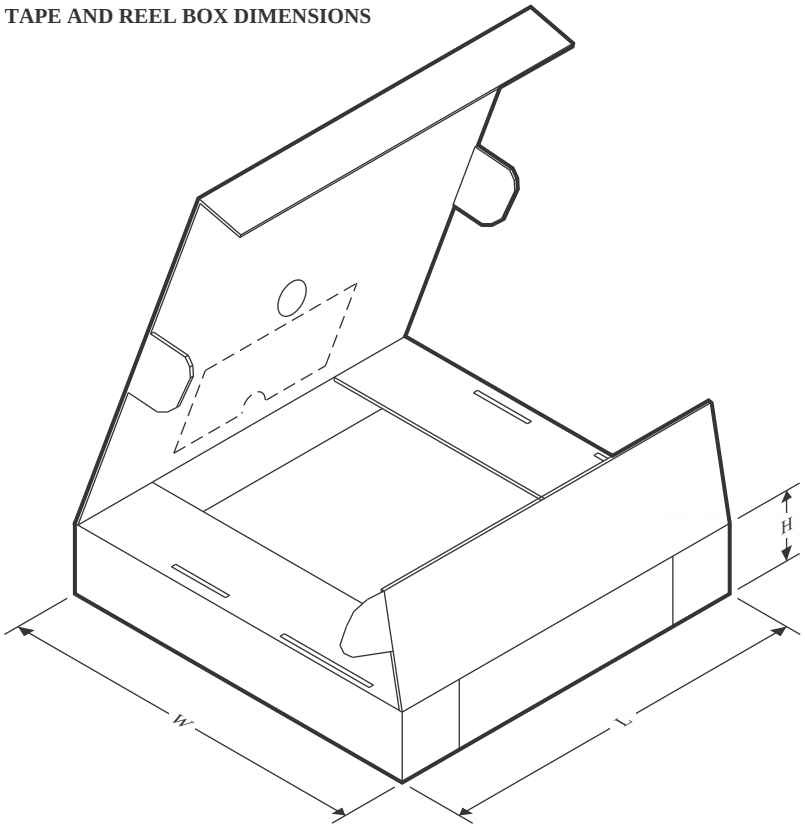


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL071ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL071HIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TL071HIDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TL071HIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TL071HIDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071IDR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072CDR	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
TL072CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL072CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL072HIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TL072HIDR	SOIC	D	8	3000	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
TL072HIDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072HIPWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL072IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072IDR	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
TL074ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074ACNSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
TL074BCDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CDBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL074CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
TL074CDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CNSR	SOP	NS	14	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
TL074CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL074CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL074HIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
TL074HIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074HIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074HIDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TL074HIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL074IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

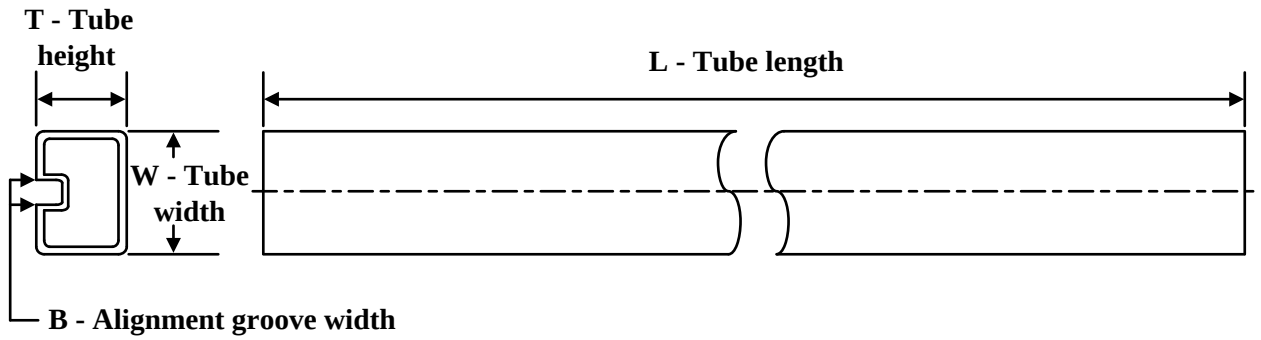


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL071ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL071BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL071CDR	SOIC	D	8	2500	353.0	353.0	32.0
TL071CPSR	SO	PS	8	2000	353.0	353.0	32.0
TL071HIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TL071HIDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TL071HIDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TL071HIDR	SOIC	D	8	3000	353.0	353.0	32.0
TL071IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL071IDR1G4	SOIC	D	8	2500	353.0	353.0	32.0
TL072ACDR	SOIC	D	8	2500	353.0	353.0	32.0
TL072BCDR	SOIC	D	8	2500	353.0	353.0	32.0
TL072CDR	SOIC	D	8	2500	367.0	367.0	35.0
TL072CDR	SOIC	D	8	2500	353.0	353.0	32.0
TL072CPSR	SO	PS	8	2000	353.0	353.0	32.0
TL072CPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TL072HIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TL072HIDR	SOIC	D	8	3000	367.0	367.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL072HIDR	SOIC	D	8	3000	353.0	353.0	32.0
TL072HIPWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TL072IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL072IDR	SOIC	D	8	2500	367.0	367.0	35.0
TL074ACDR	SOIC	D	14	2500	353.0	353.0	32.0
TL074ACNSR	SOP	NS	14	2000	353.0	353.0	32.0
TL074BCDR	SOIC	D	14	2500	353.0	353.0	32.0
TL074CDBR	SSOP	DB	14	2000	353.0	353.0	32.0
TL074CDR	SOIC	D	14	2500	353.0	353.0	32.0
TL074CDR	SOIC	D	14	2500	367.0	367.0	35.0
TL074CDRG4	SOIC	D	14	2500	340.5	336.1	32.0
TL074CNSR	SOP	NS	14	2000	353.0	353.0	32.0
TL074CPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL074CPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL074HIDR	SOIC	D	14	2500	367.0	367.0	35.0
TL074HIDR	SOIC	D	14	2500	353.0	353.0	32.0
TL074HIDRG4	SOIC	D	14	2500	353.0	353.0	32.0
TL074HIDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TL074HIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL074IDR	SOIC	D	14	2500	353.0	353.0	32.0
TL074IDR	SOIC	D	14	2500	367.0	367.0	35.0

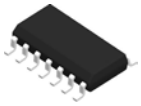
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
81023052A	FK	LCCC	20	55	506.98	12.06	2030	NA
8102305HA	U	CFP	10	25	506.98	26.16	6220	NA
81023062A	FK	LCCC	20	55	506.98	12.06	2030	NA
8102306DA	W	CFP	14	25	506.98	26.16	6220	NA
TL071ACP	P	PDIP	8	50	506	13.97	11230	4.32
TL071ACP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL071BCP	P	PDIP	8	50	506	13.97	11230	4.32
TL071BCP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL071CP	P	PDIP	8	50	506	13.97	11230	4.32
TL071CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL071IP	P	PDIP	8	50	506	13.97	11230	4.32
TL071IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL072ACP	P	PDIP	8	50	506	13.97	11230	4.32
TL072ACP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL072ACPS	PS	SOP	8	80	530	10.5	4000	4.1
TL072ACPS.A	PS	SOP	8	80	530	10.5	4000	4.1
TL072BCP	P	PDIP	8	50	506	13.97	11230	4.32
TL072BCP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL072CP	P	PDIP	8	50	506	13.97	11230	4.32
TL072CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL072CPS	PS	SOP	8	80	530	10.5	4000	4.1
TL072CPS.A	PS	SOP	8	80	530	10.5	4000	4.1
TL072IP	P	PDIP	8	50	506	13.97	11230	4.32
TL072IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL072MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TL072MFKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TL072MUB	U	CFP	10	25	506.98	26.16	6220	NA
TL072MUB.A	U	CFP	10	25	506.98	26.16	6220	NA
TL074ACN	N	PDIP	14	25	506	13.97	11230	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TL074ACN	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074CN	N	PDIP	14	25	506	13.97	11230	4.32
TL074CN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074IN	N	PDIP	14	25	506	13.97	11230	4.32
TL074IN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074ING4	N	PDIP	14	25	506	13.97	11230	4.32
TL074ING4.A	N	PDIP	14	25	506	13.97	11230	4.32
TL074MFK	FK	LCCC	20	55	506.98	12.06	2030	NA
TL074MFK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TL074MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TL074MFKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TL074MWB	W	CFP	14	25	506.98	26.16	6220	NA
TL074MWB.A	W	CFP	14	25	506.98	26.16	6220	NA

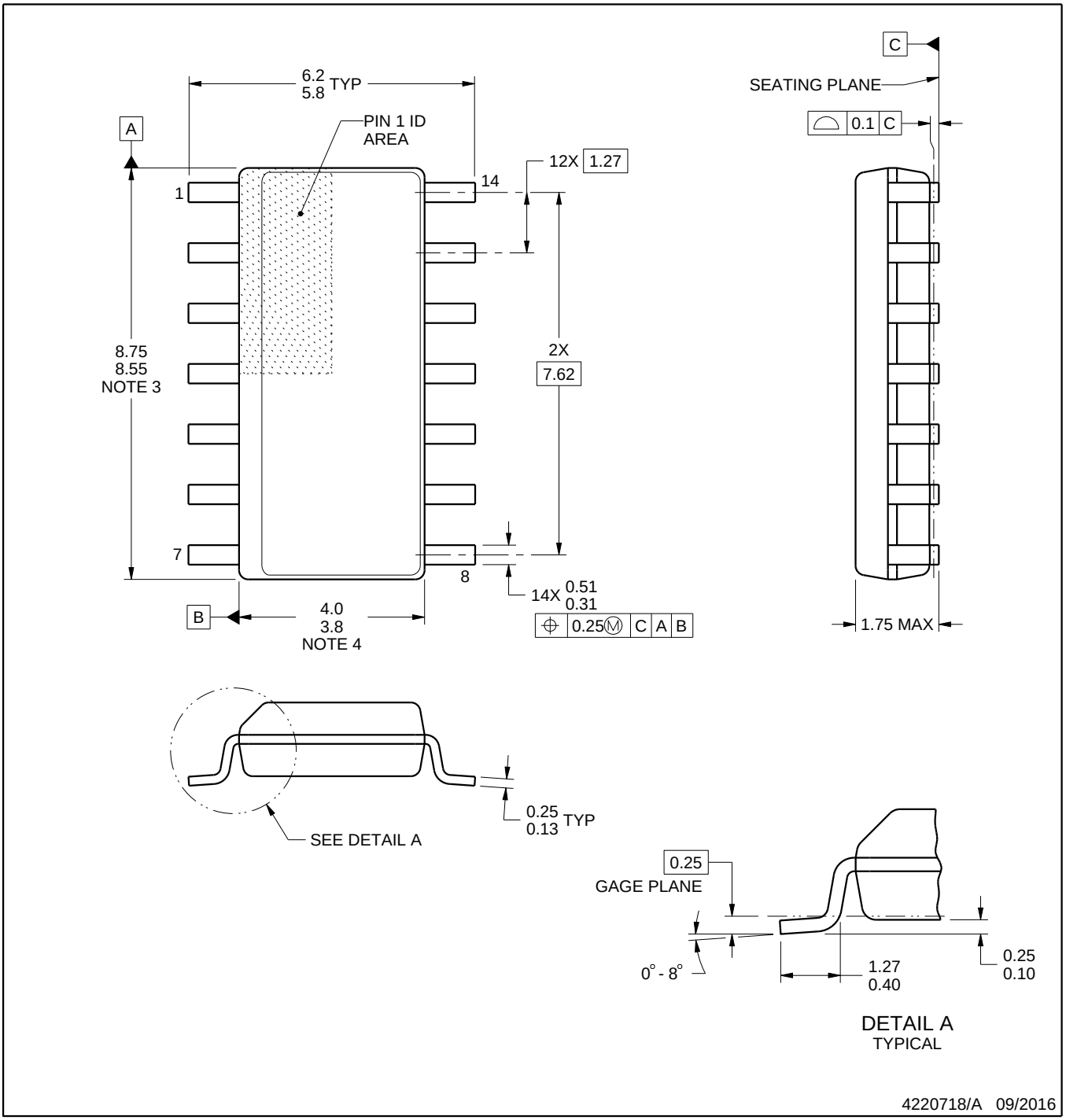


PACKAGE OUTLINE

D0014A

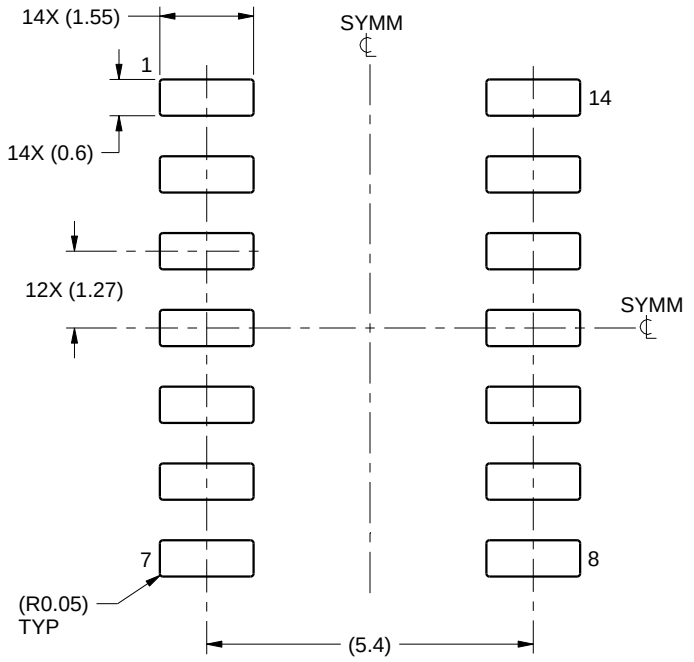
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

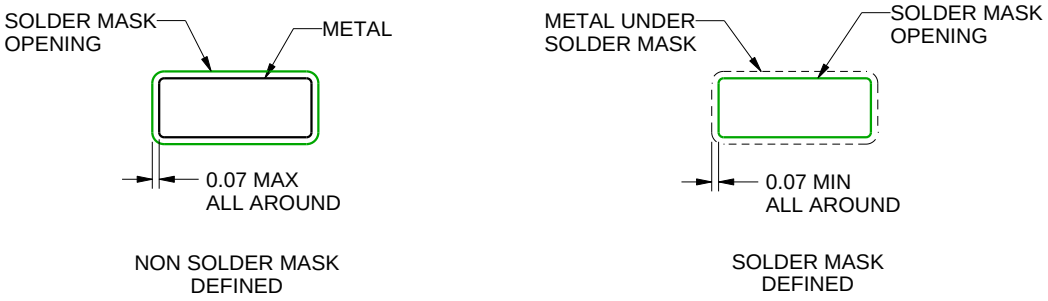


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

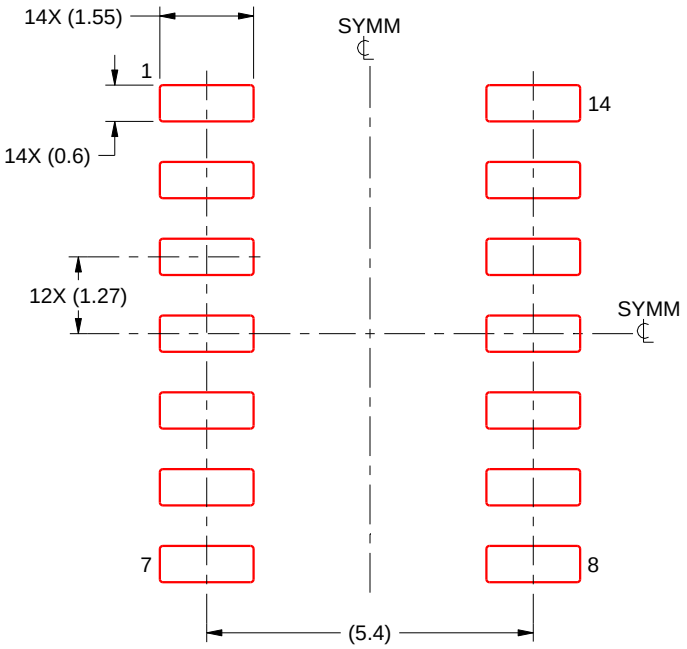
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

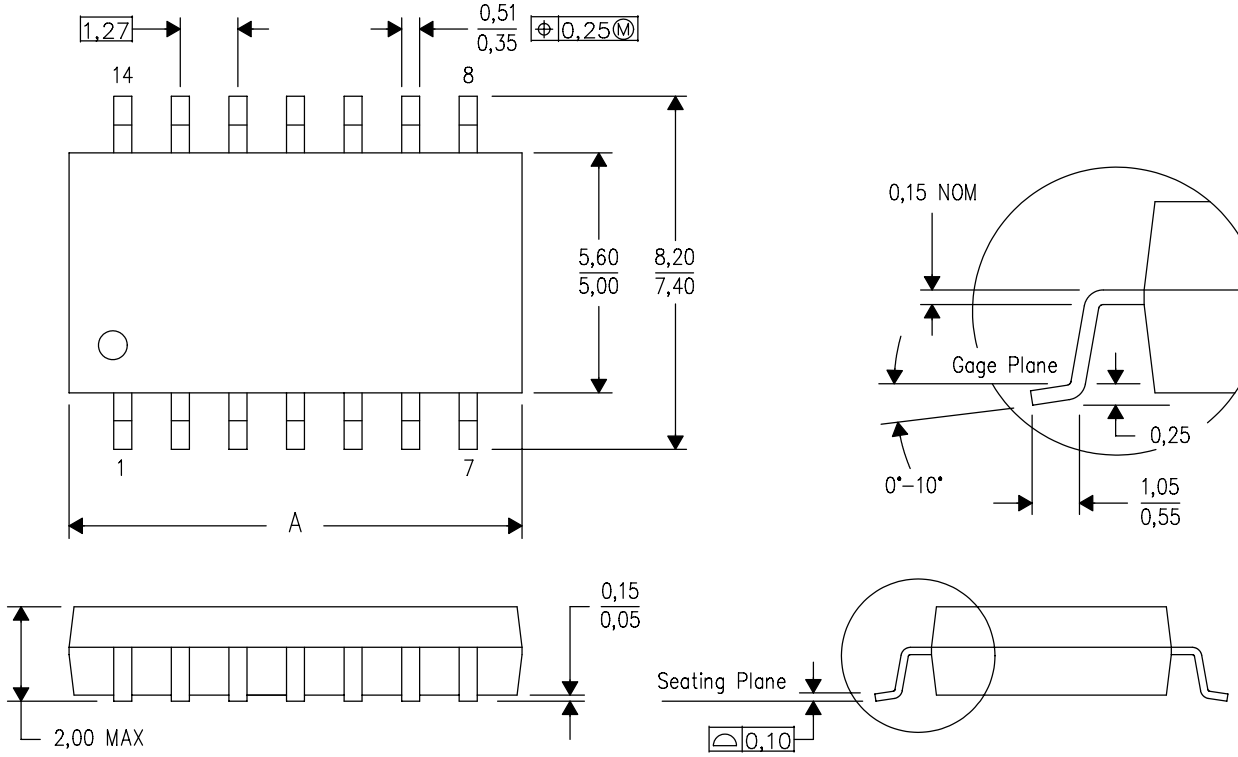
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

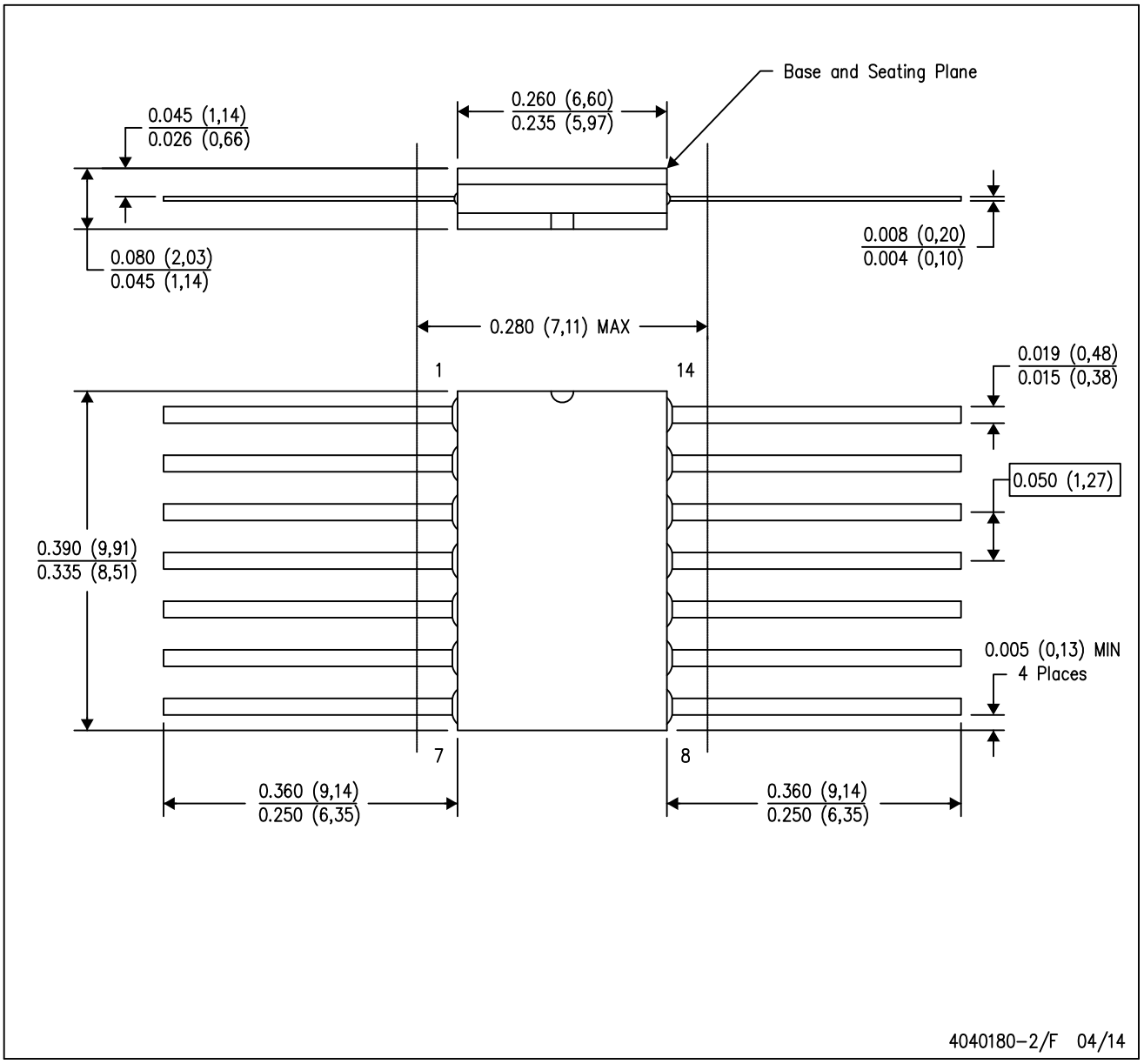


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



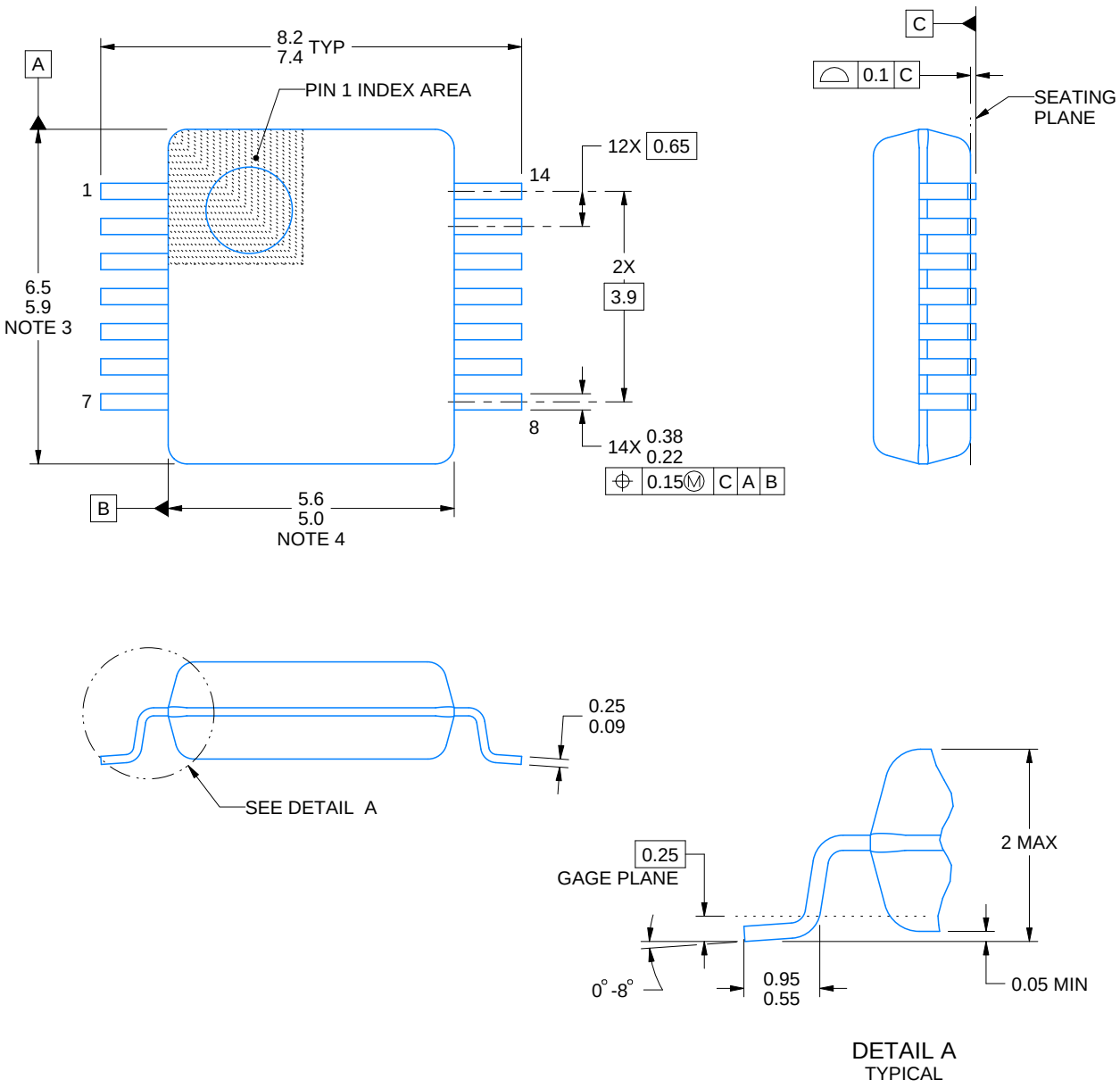
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

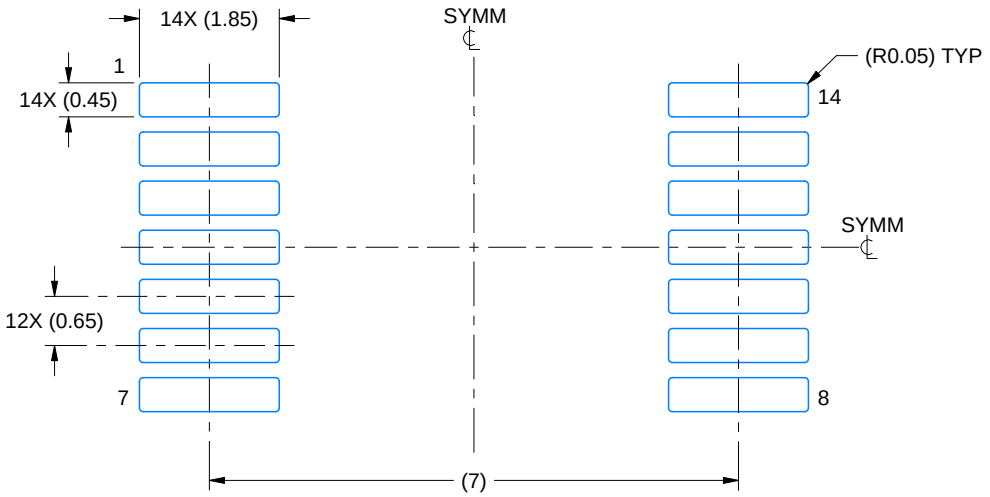
SMALL OUTLINE PACKAGE



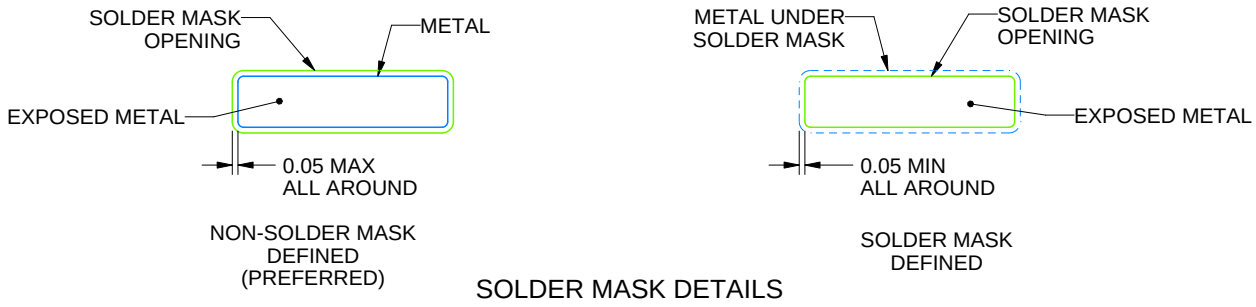
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

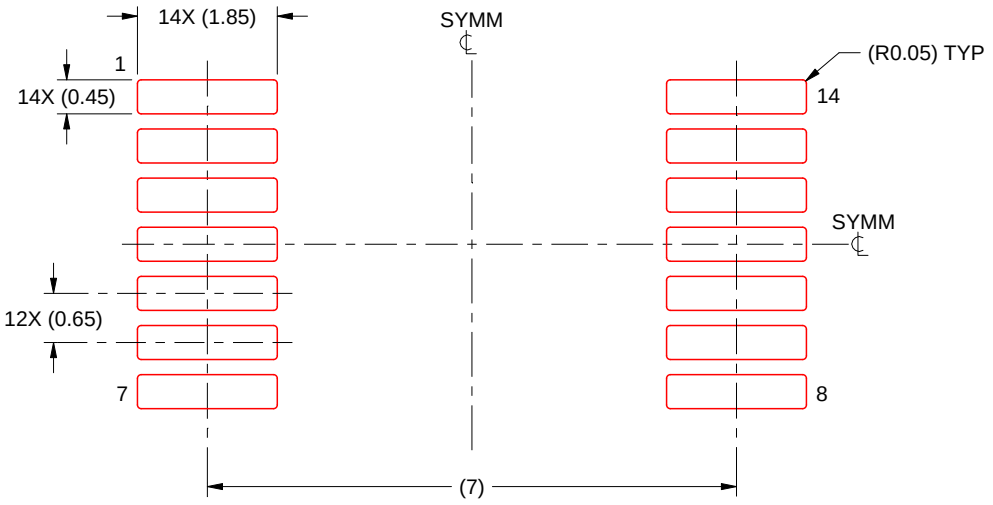


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

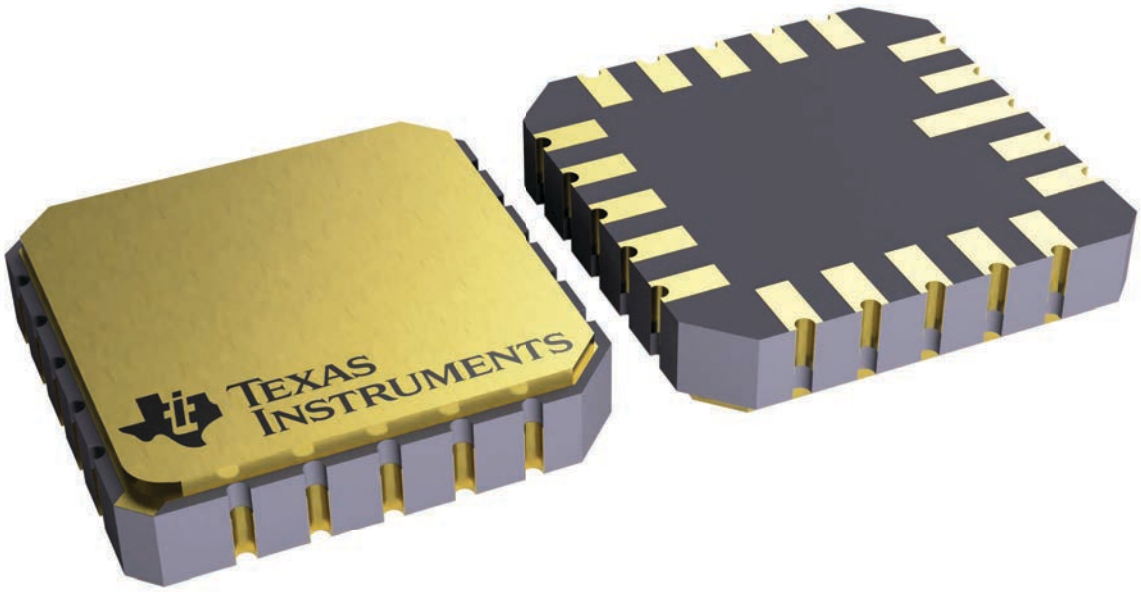
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

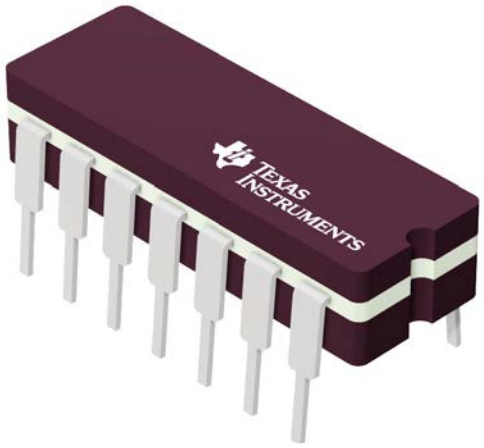


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

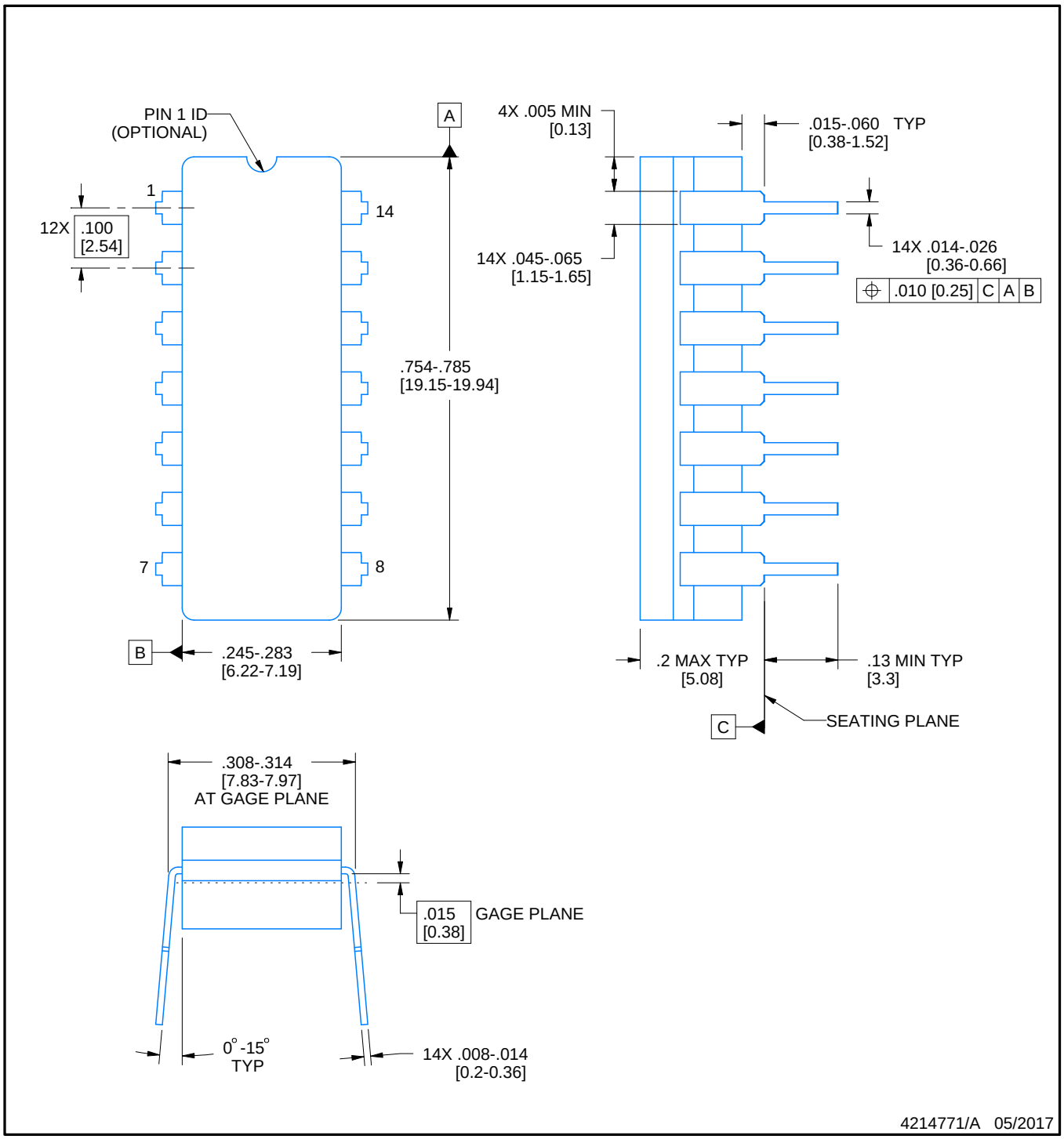


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

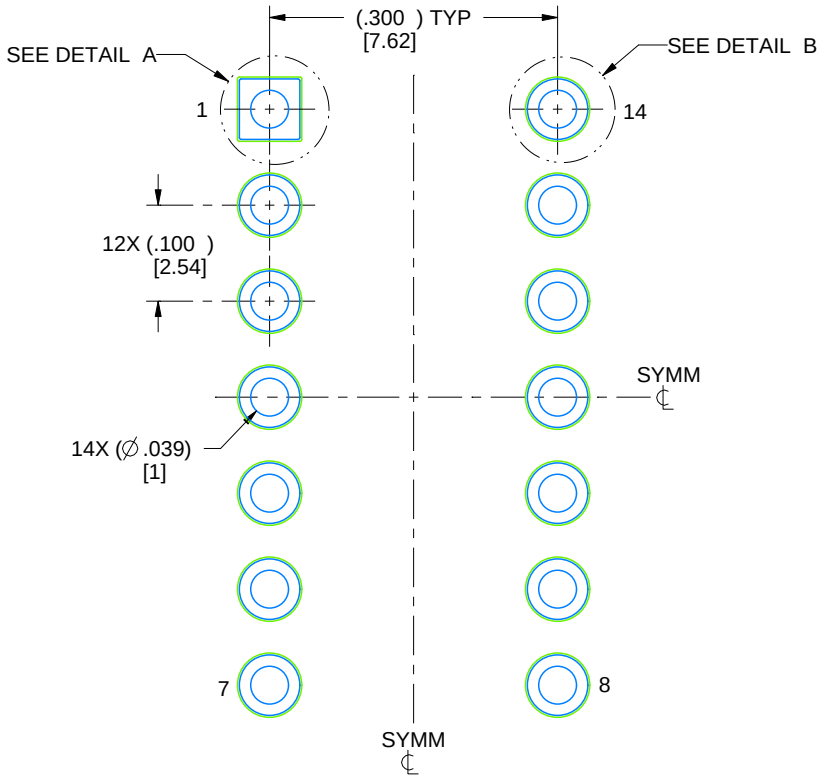
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

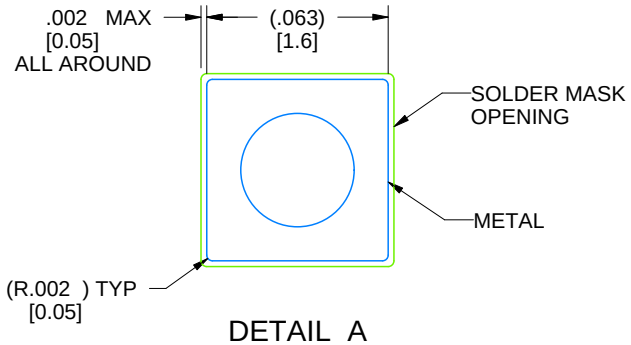
J0014A

CDIP - 5.08 mm max height

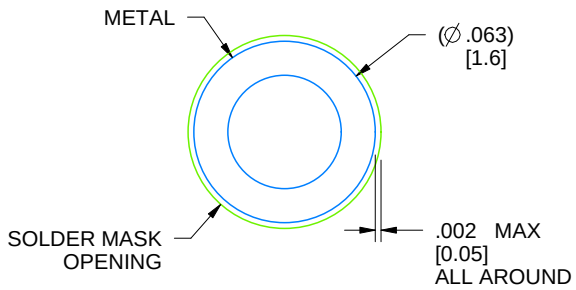
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



DETAIL B
13X, SCALE: 15X

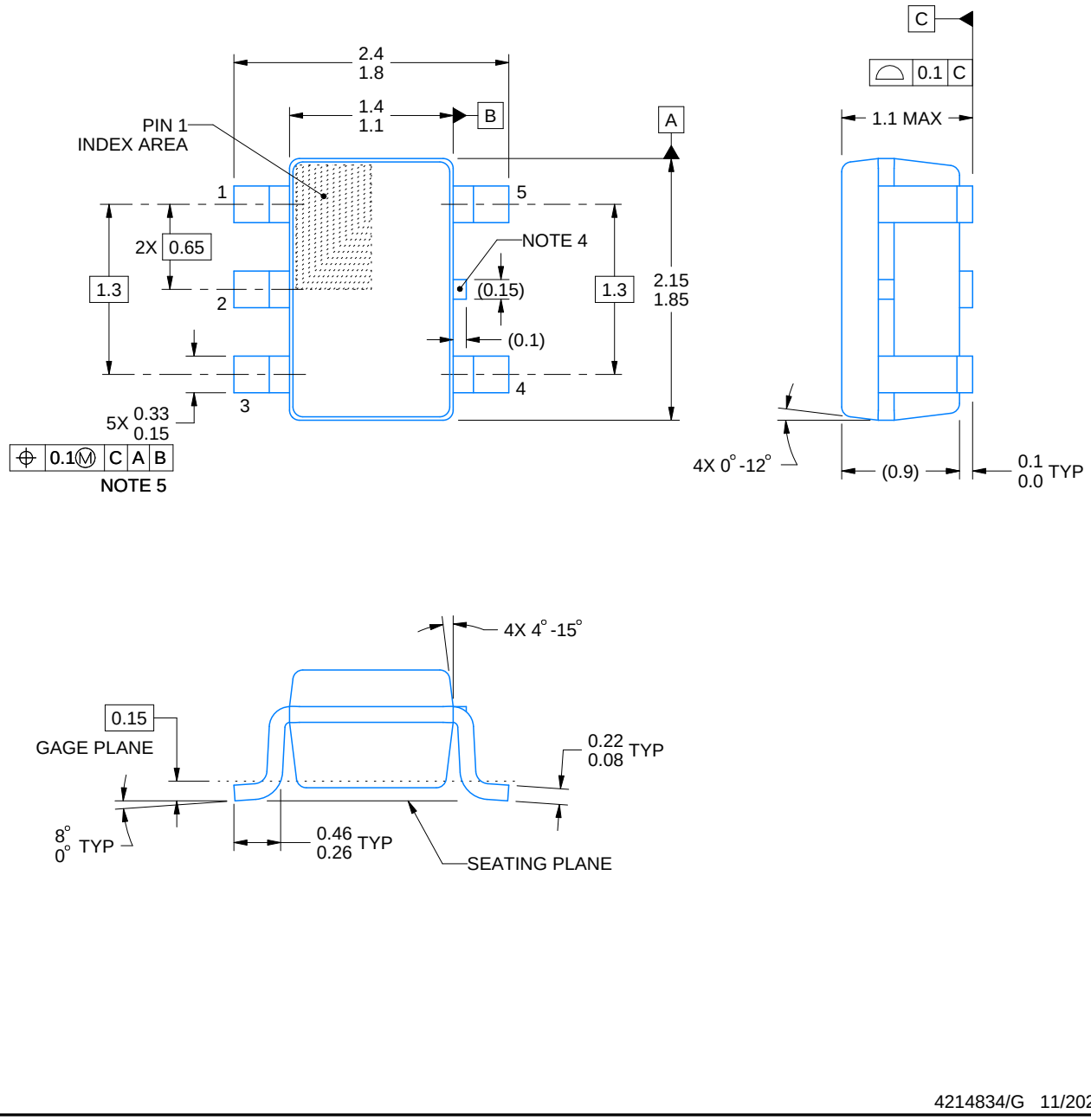
4214771/A 05/2017

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

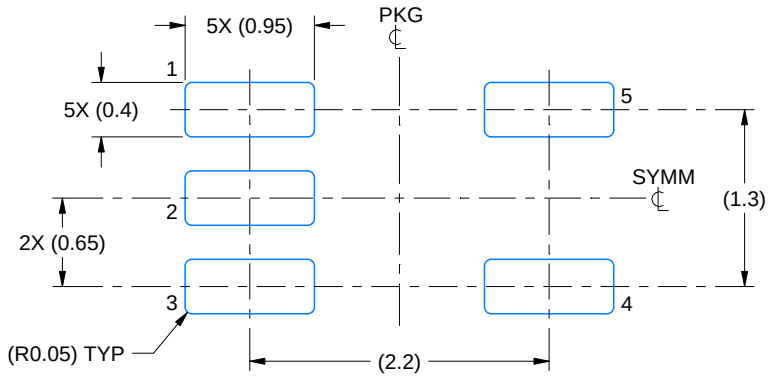
SMALL OUTLINE TRANSISTOR



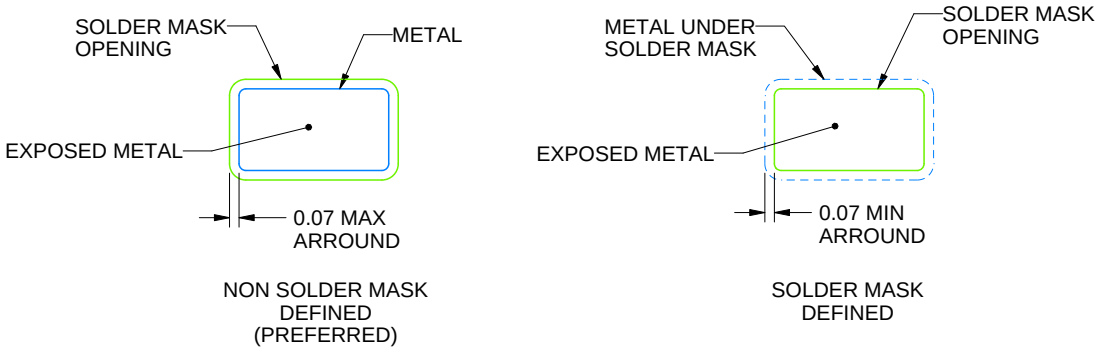
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

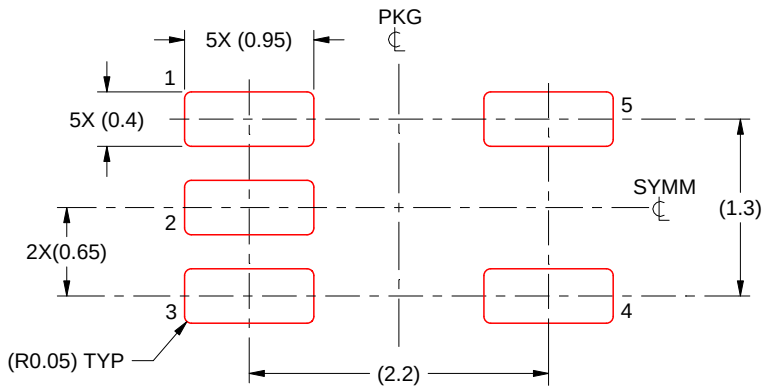


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

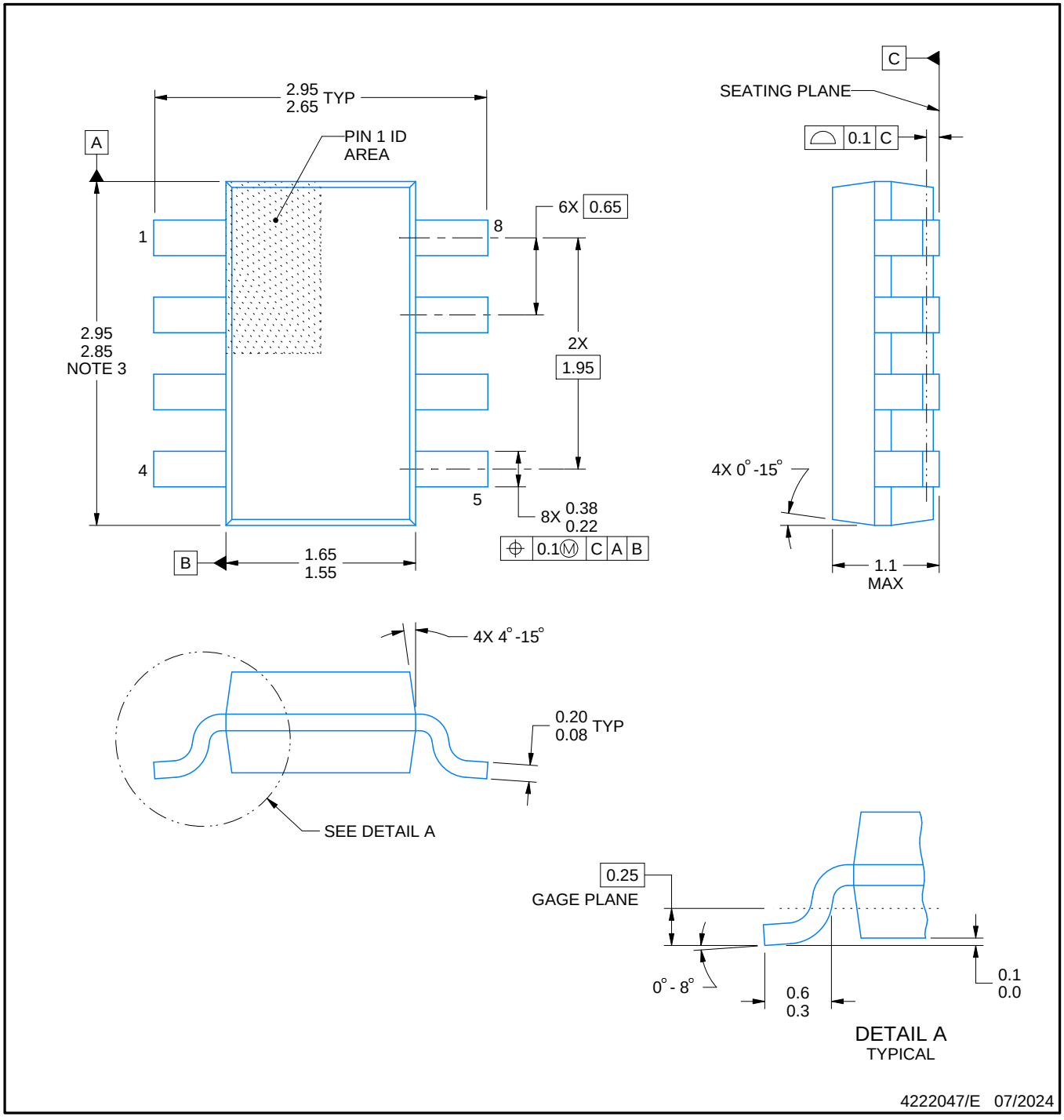
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

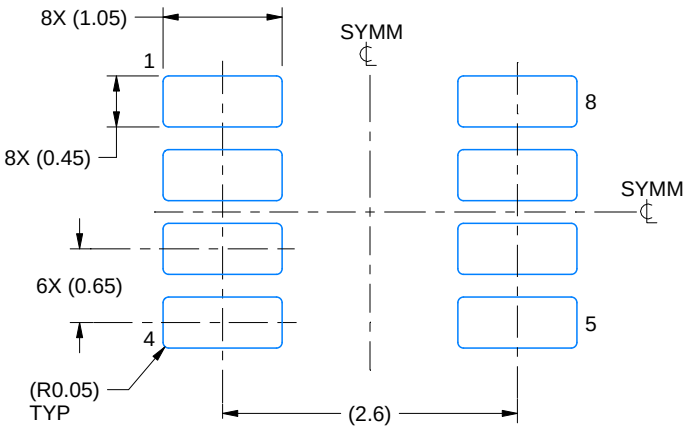
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

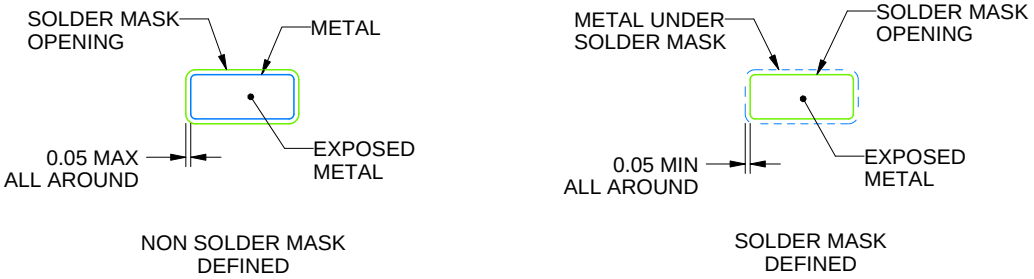


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

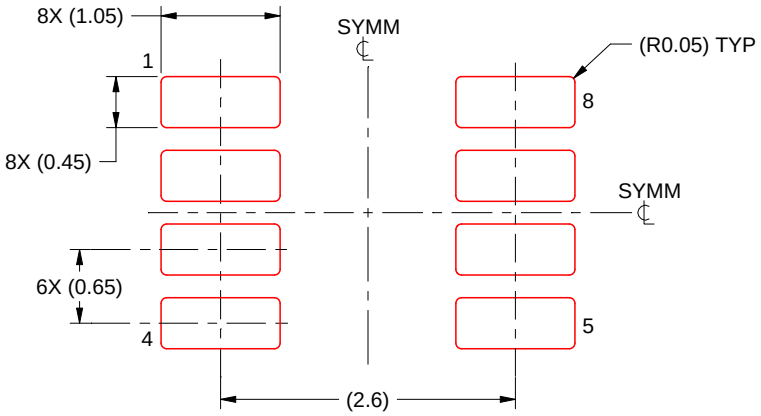
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

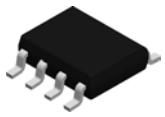


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

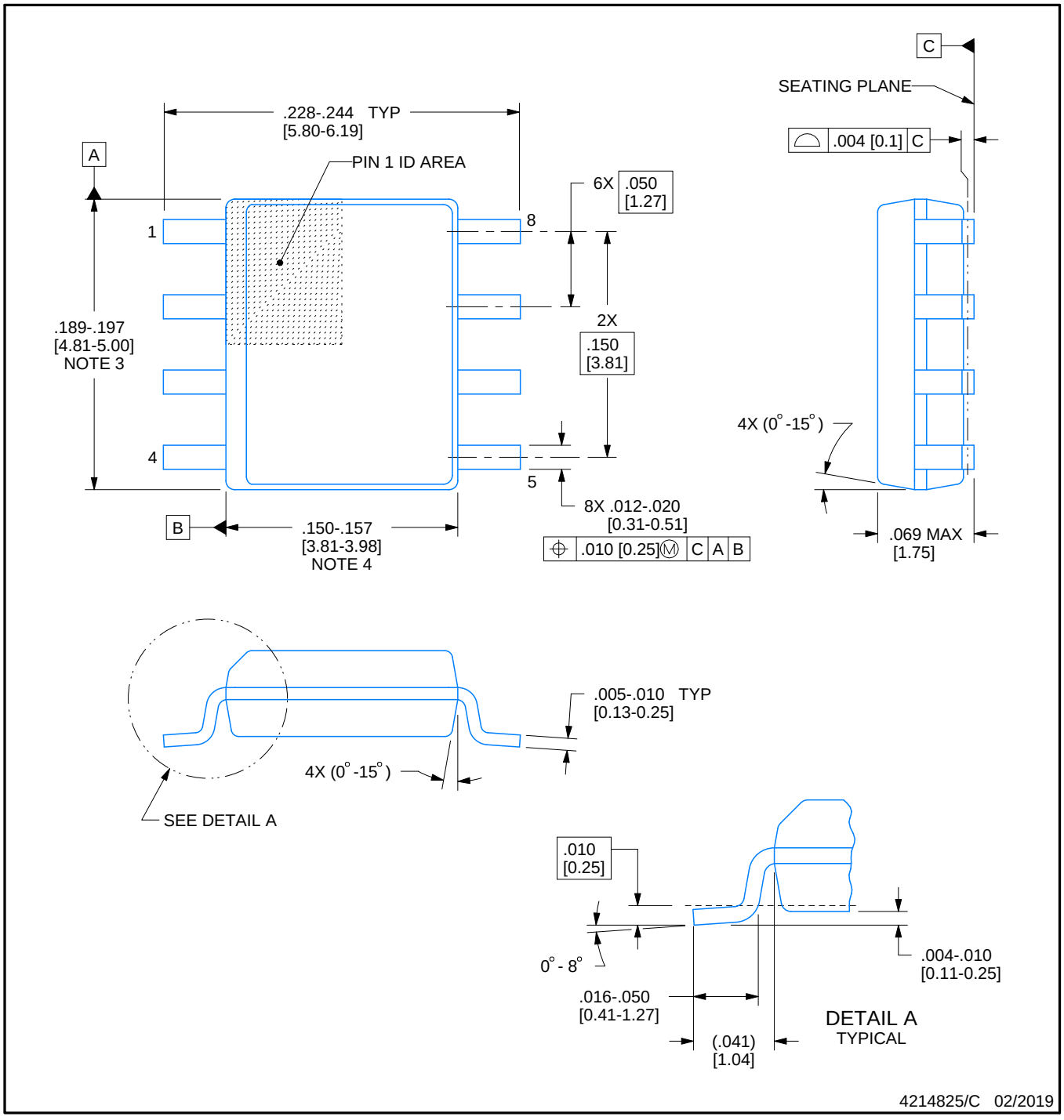


PACKAGE OUTLINE

D0008A

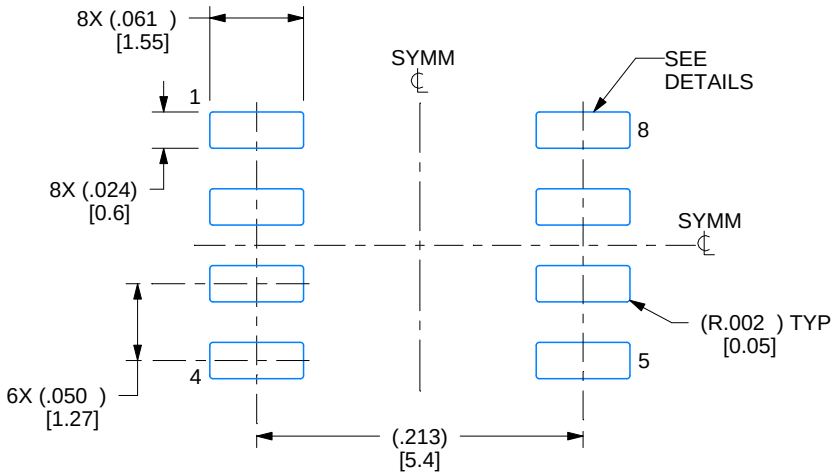
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

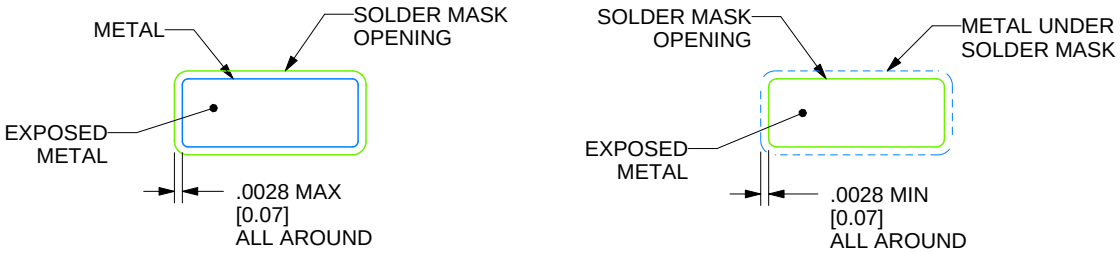


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

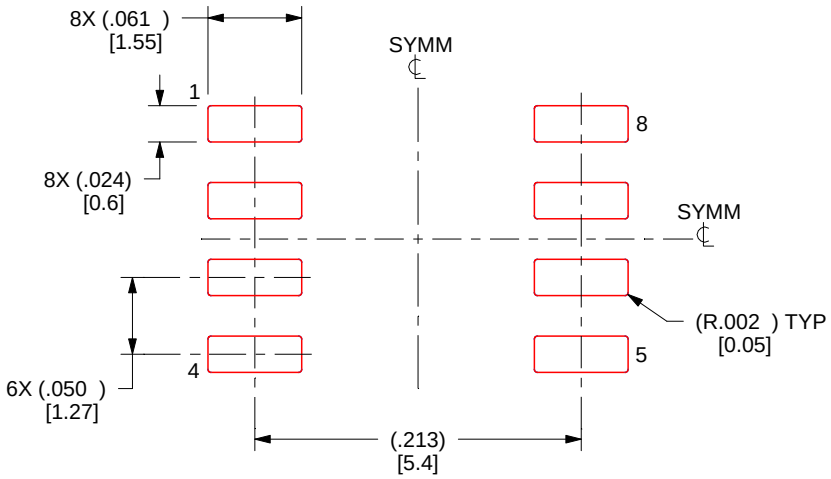
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

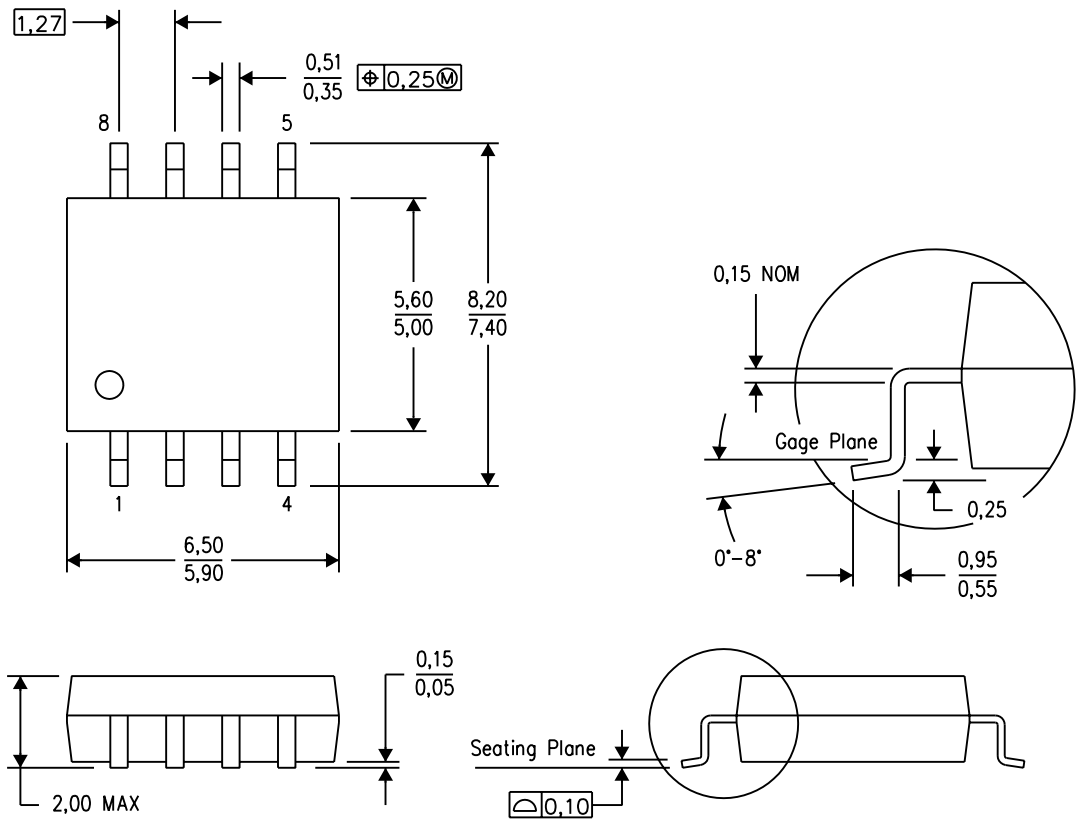
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

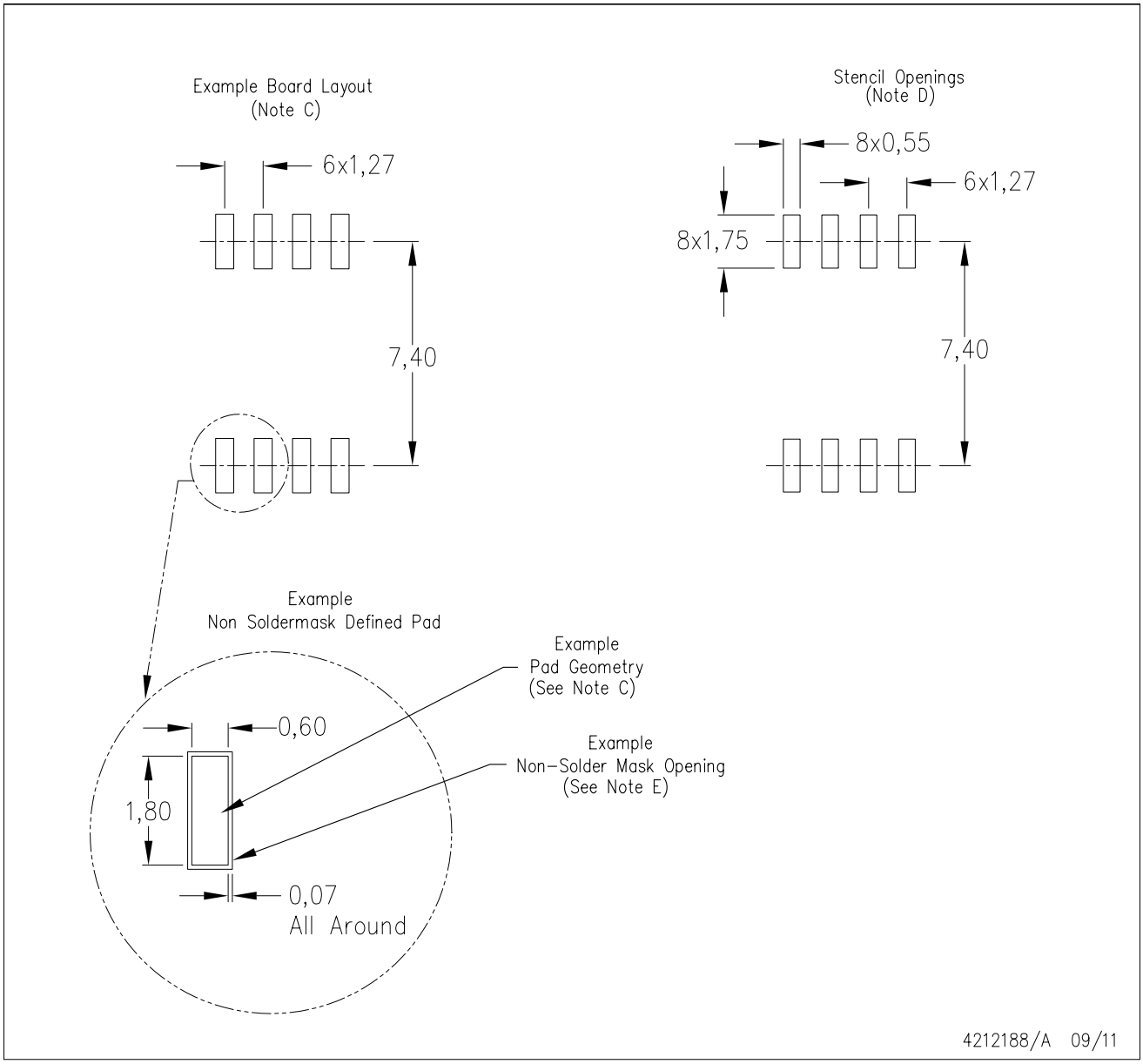
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

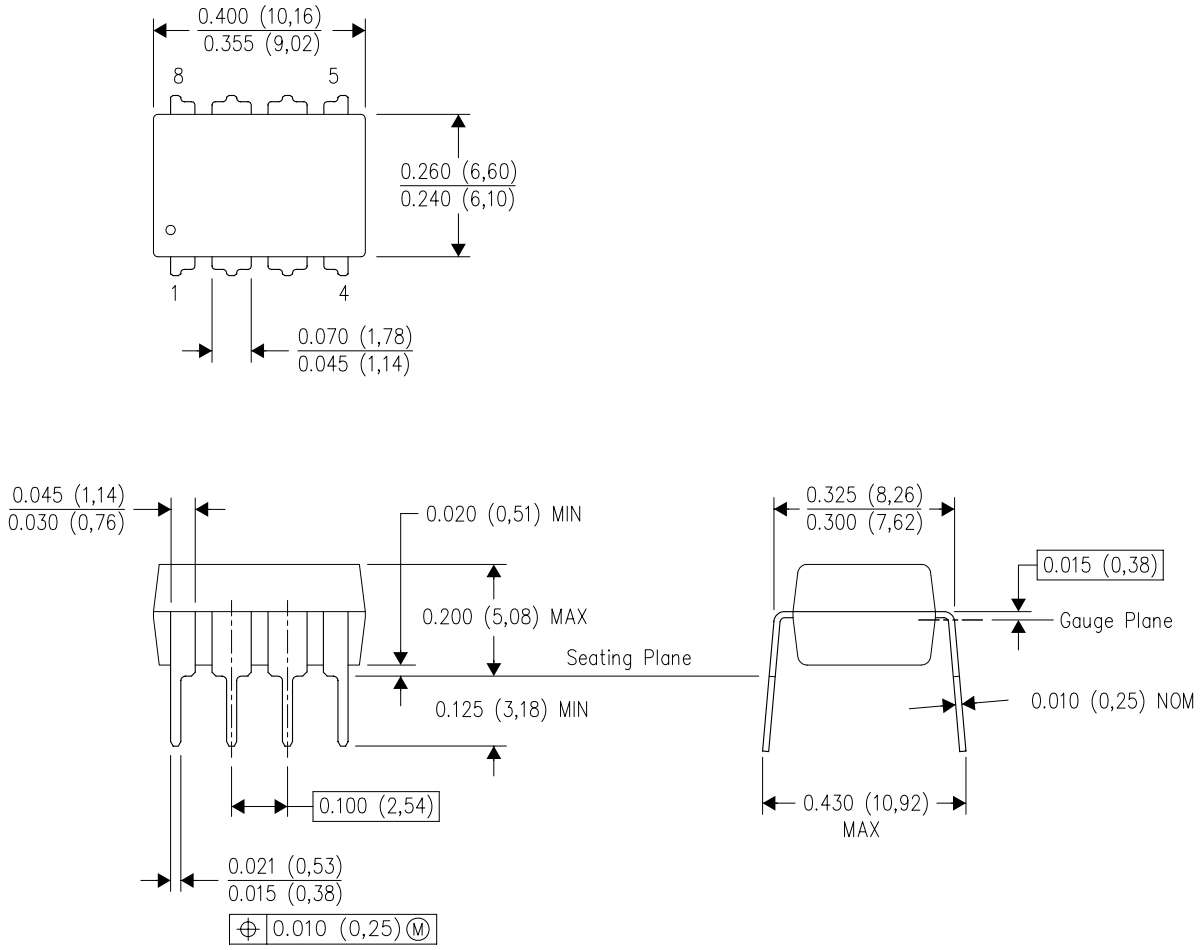
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

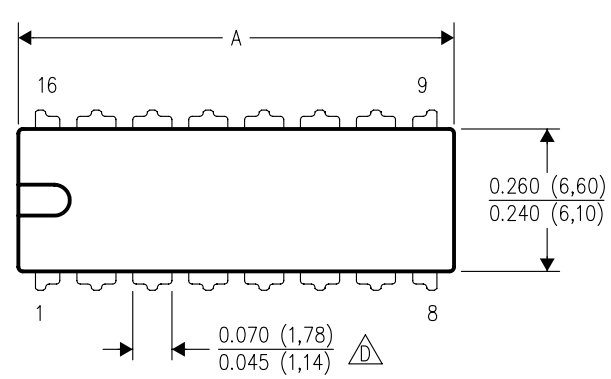


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

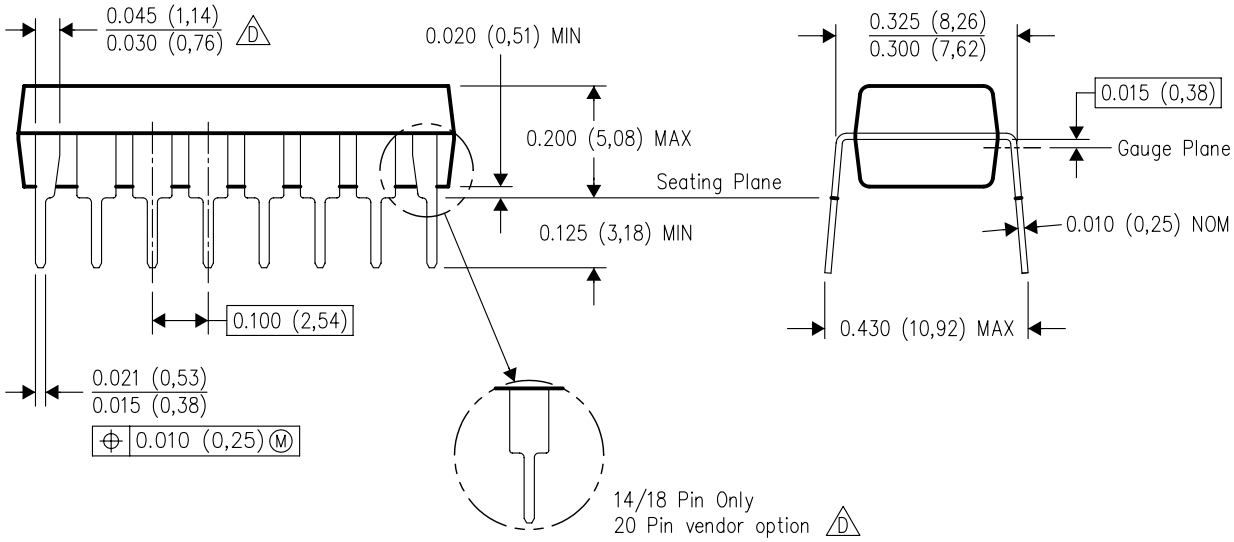
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

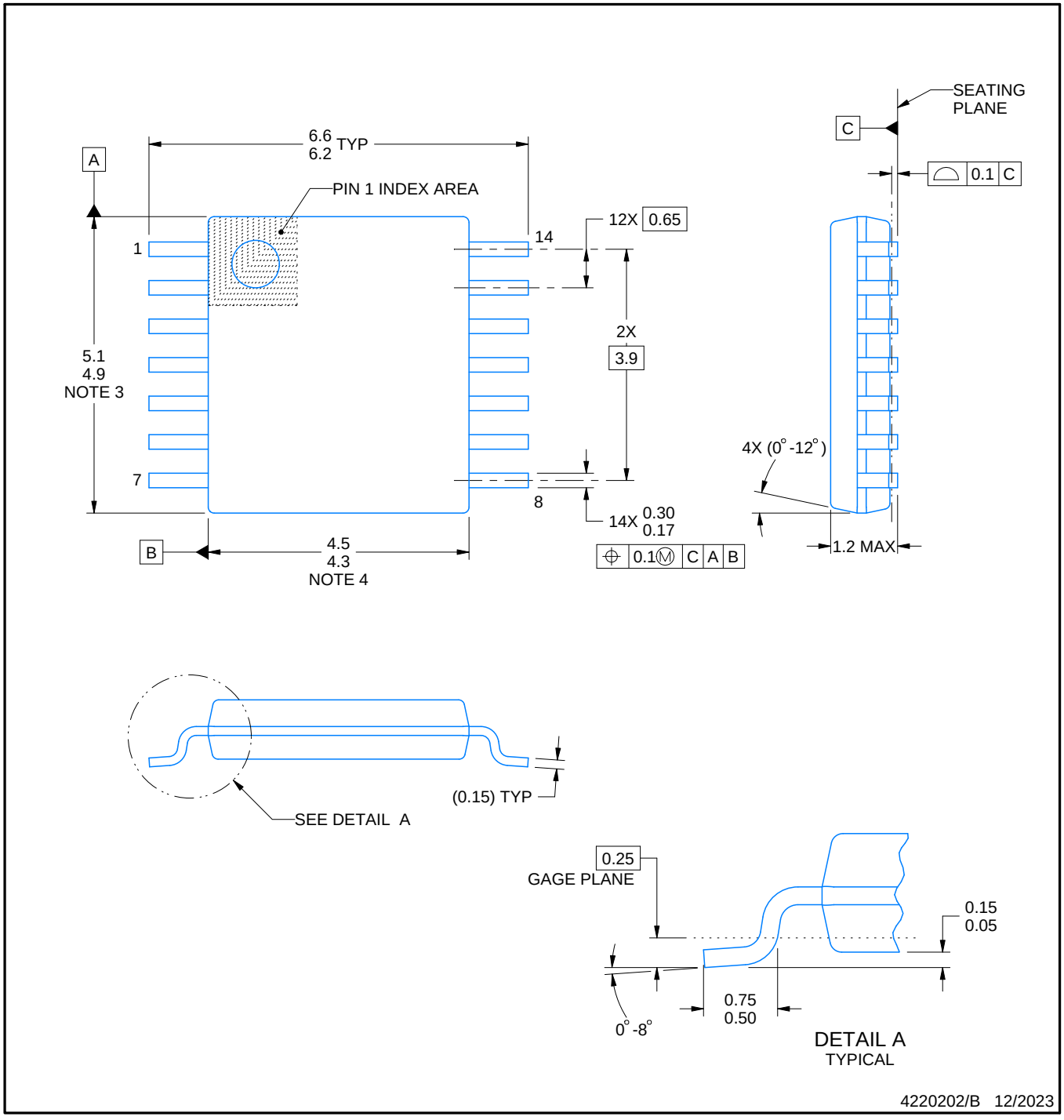
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

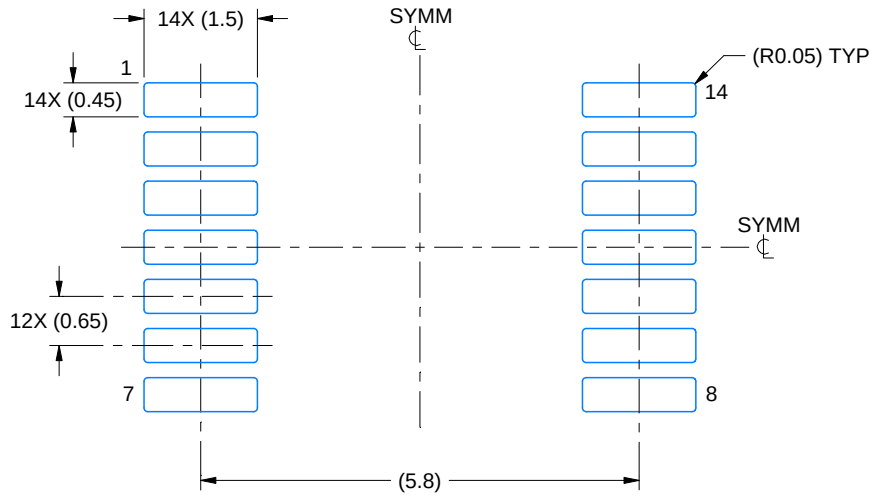
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

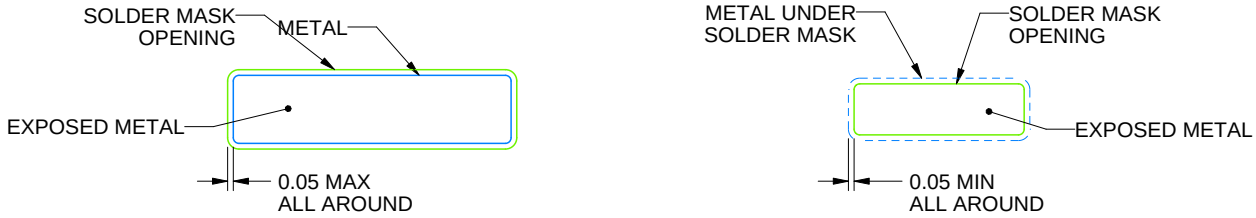


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

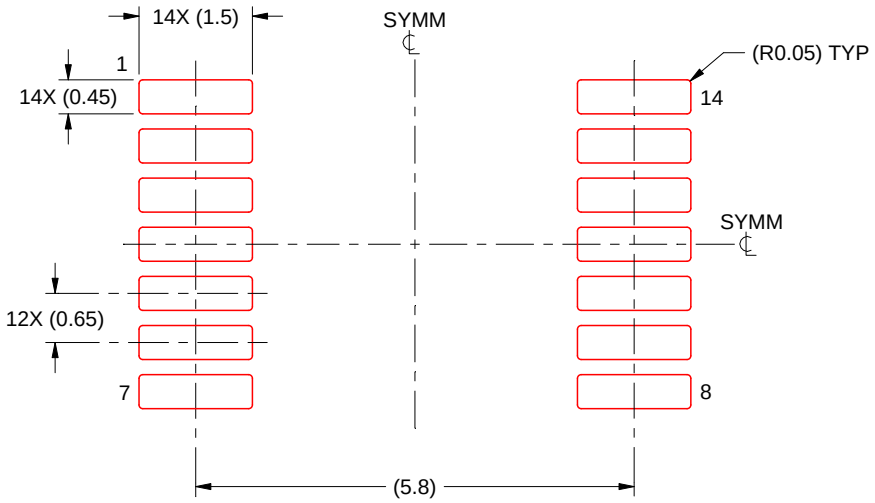


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

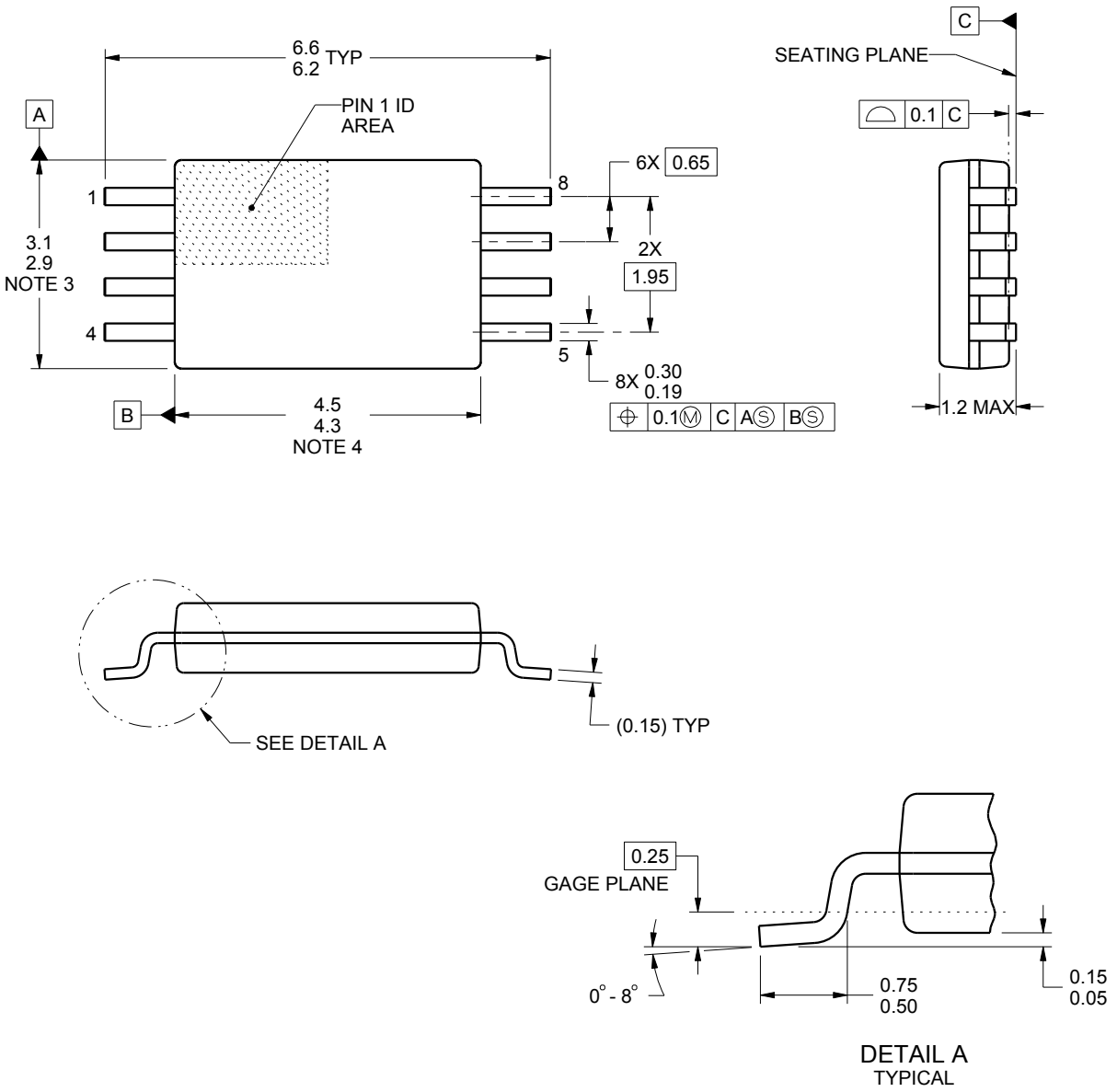
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

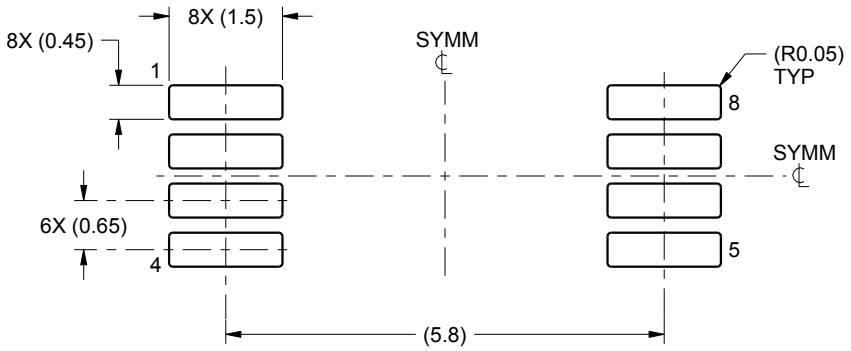
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

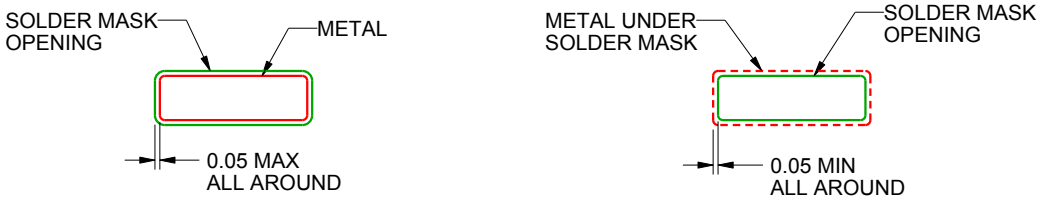


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

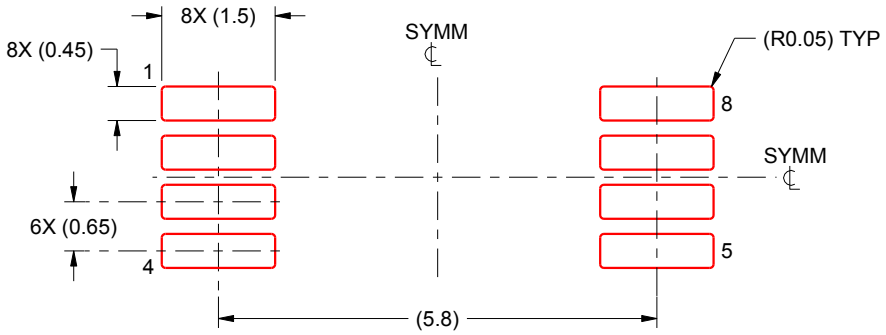


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

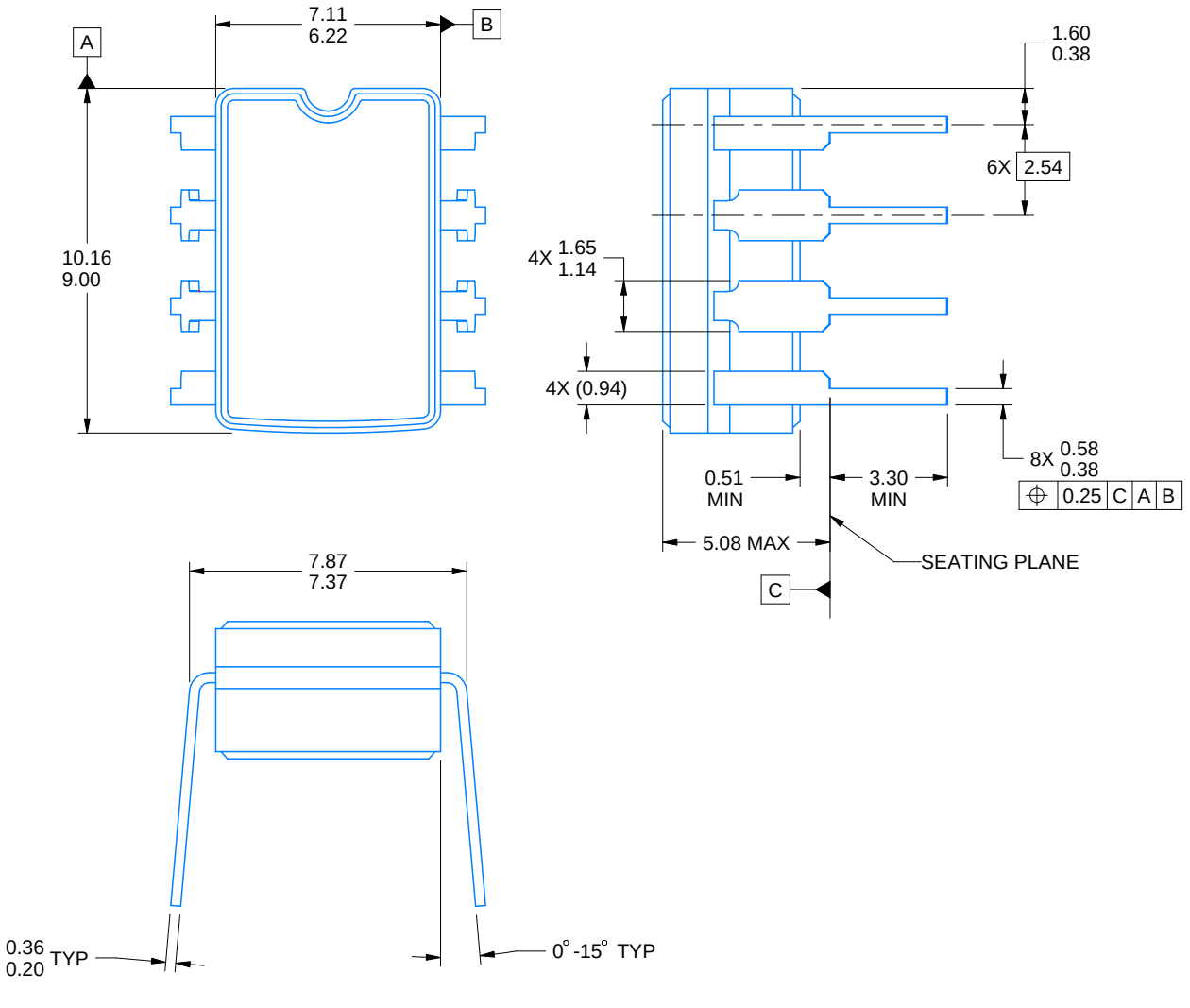
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

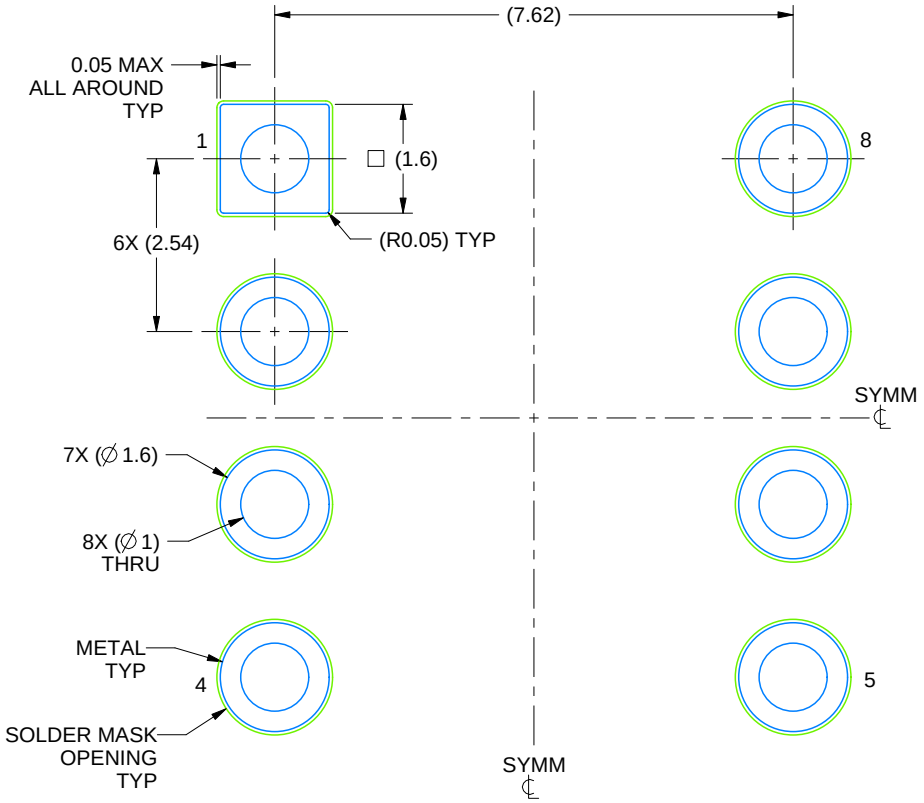
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

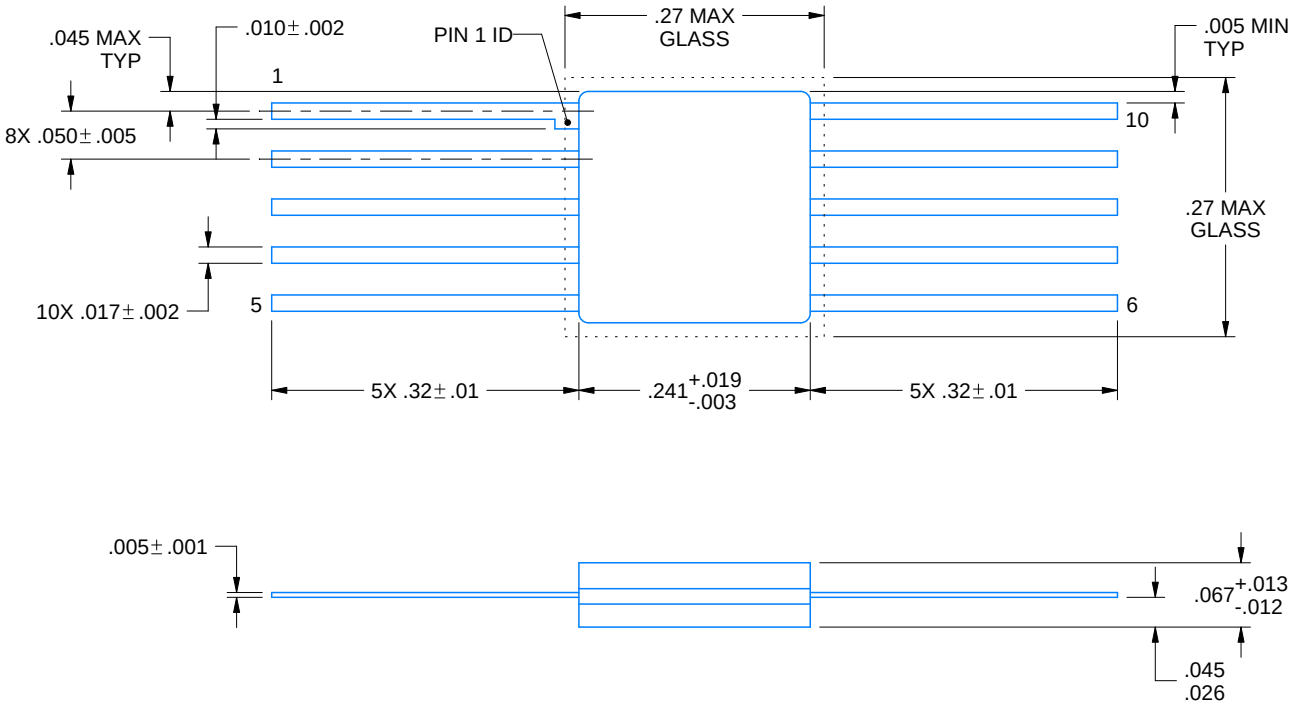
U0010A



PACKAGE OUTLINE

CFP - 2.03 mm max height

CERAMIC FLATPACK



4225582/A 01/2020

NOTES:

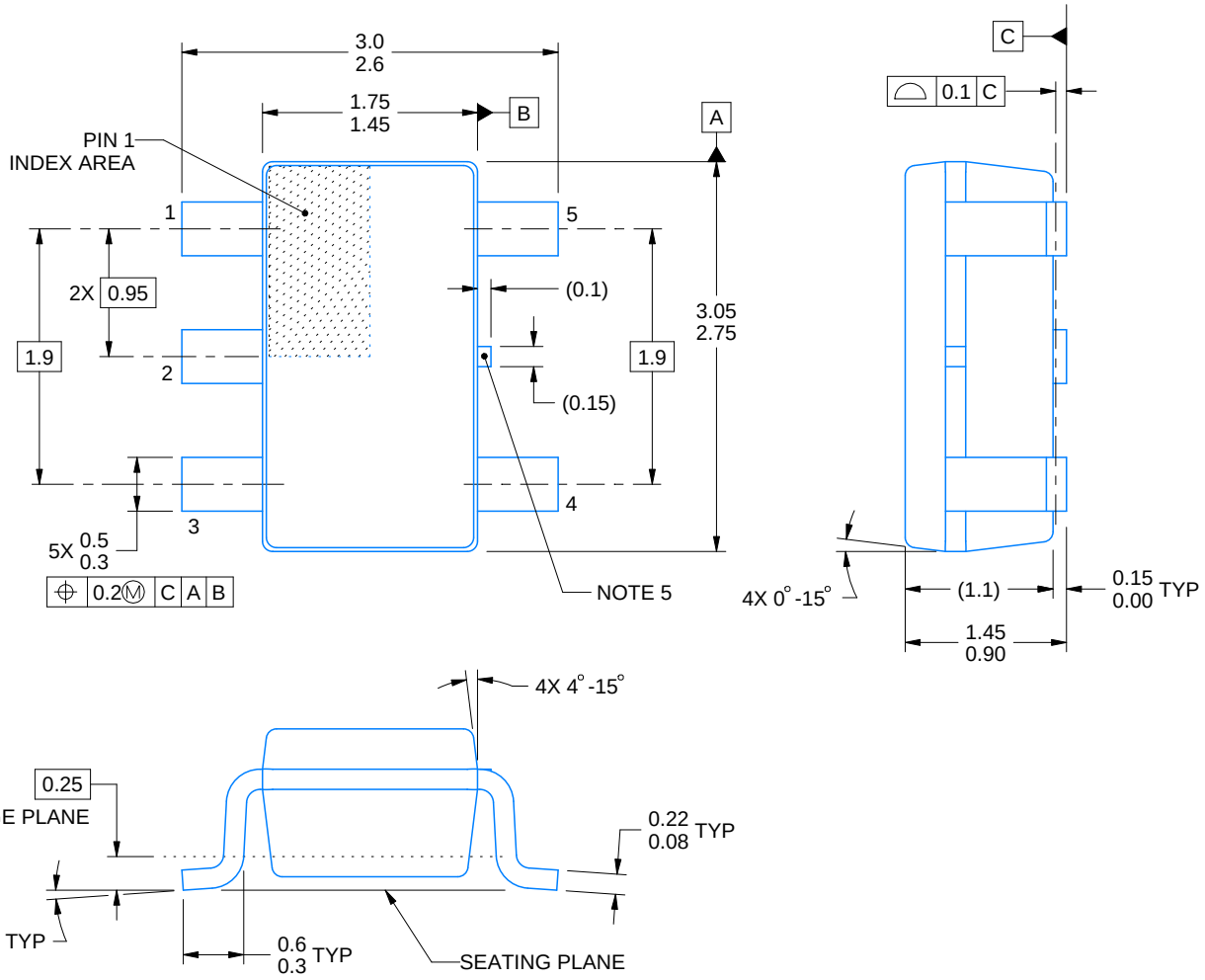
1. All linear dimensions are in inches. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

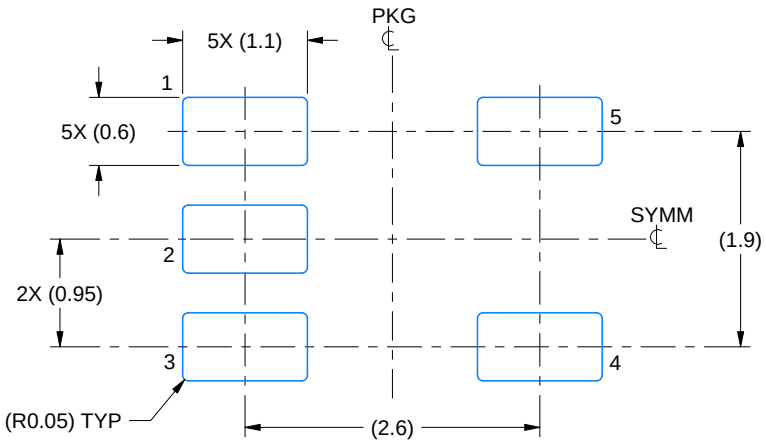
SMALL OUTLINE TRANSISTOR



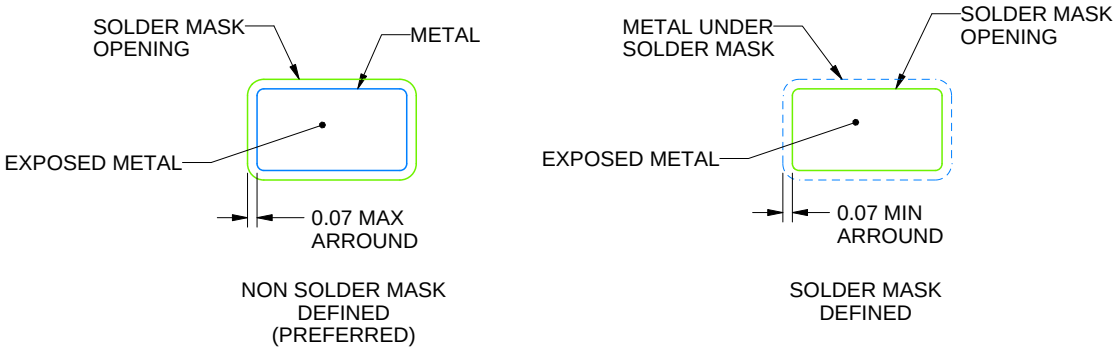
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

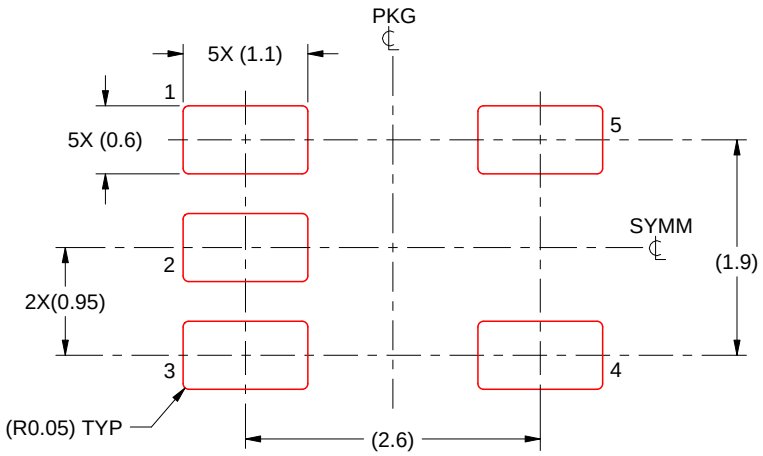


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

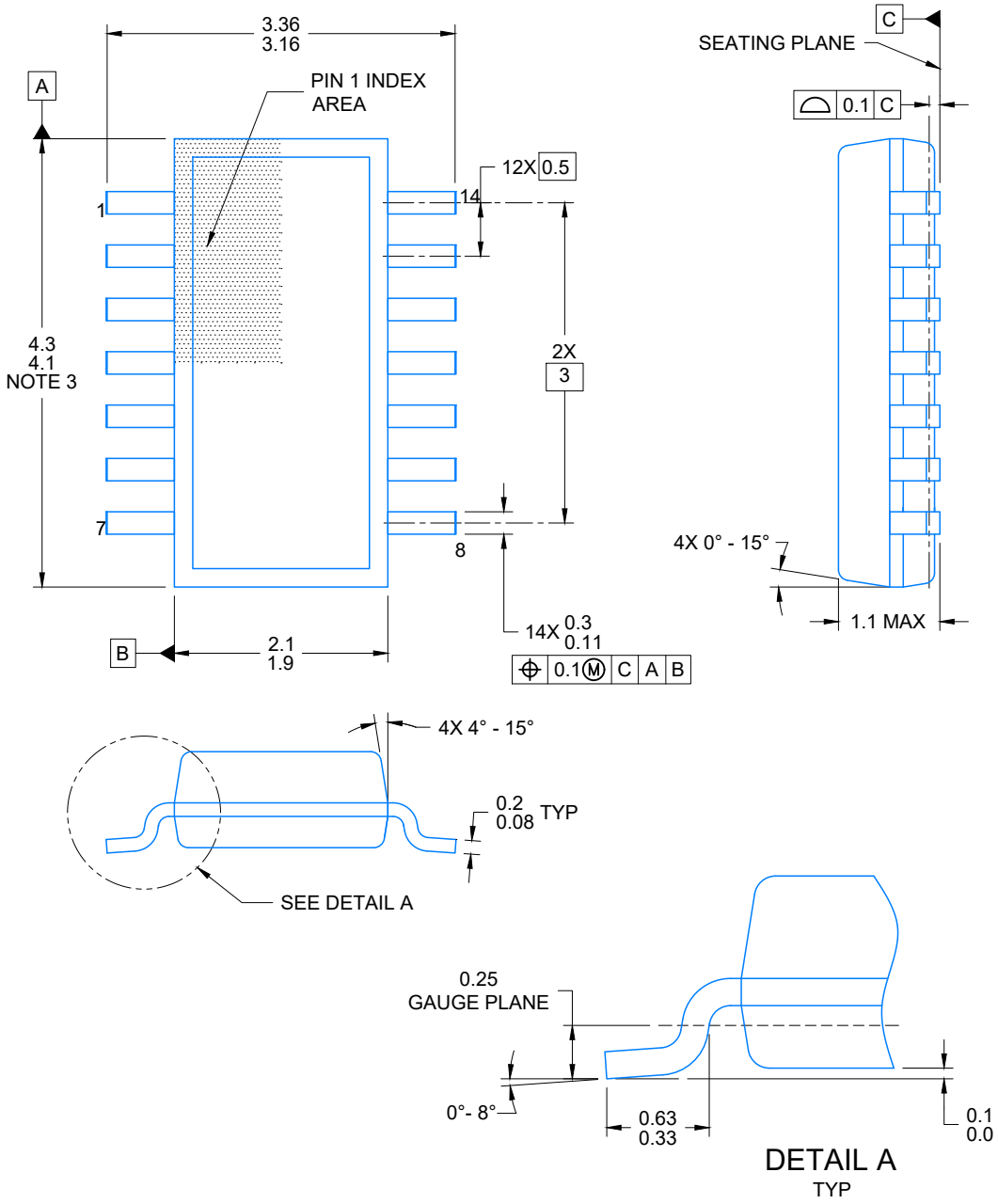
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

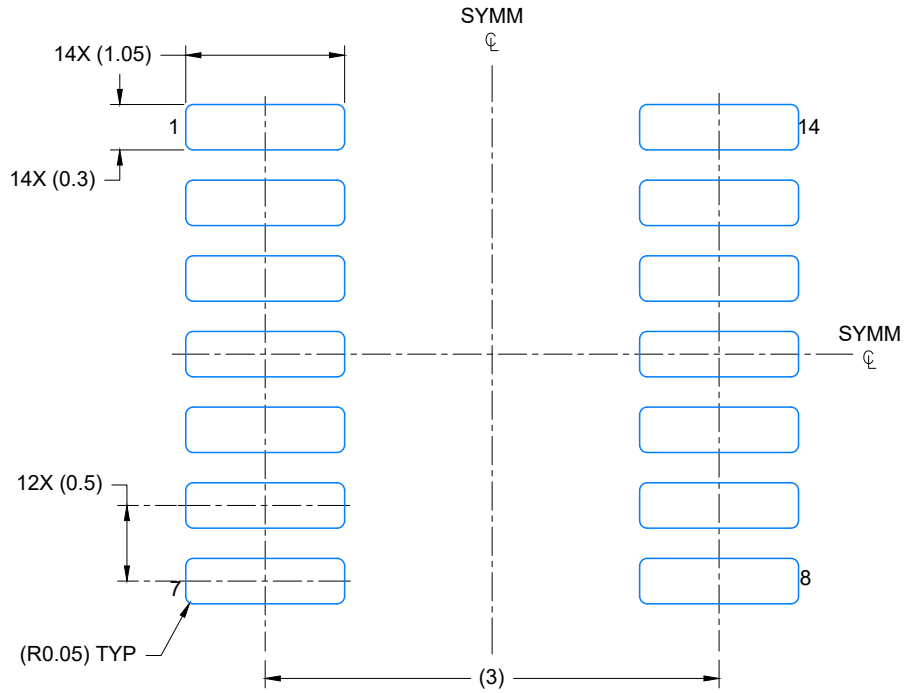
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

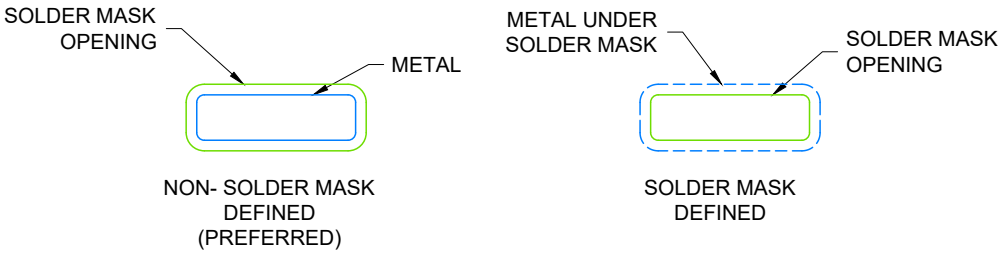


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

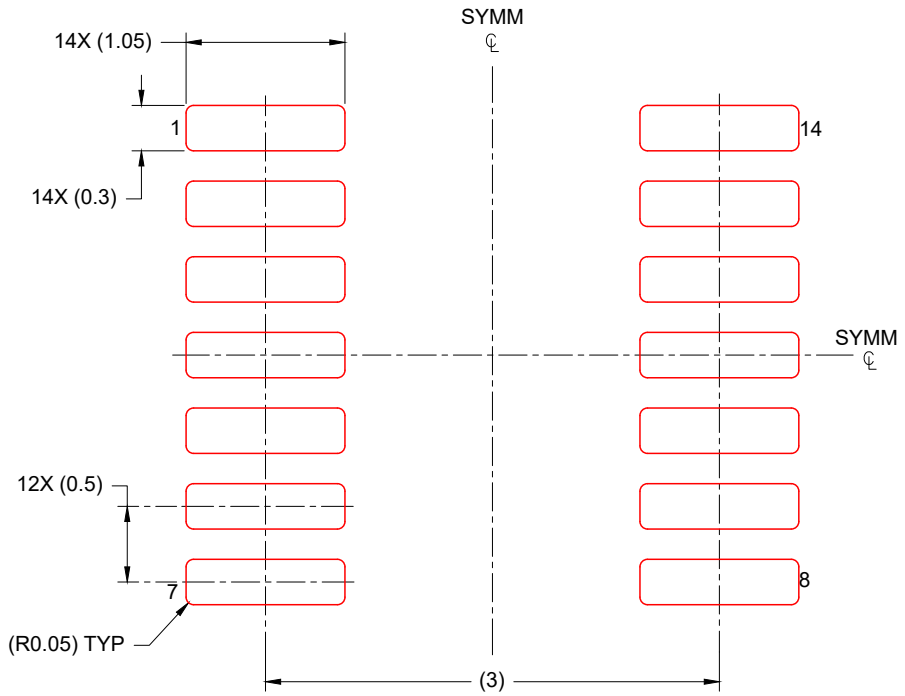


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月