TL1431 高精度プログラマブル リファレンス

1 特長

- 初期電圧の許容率:0.4%
- 出力インピーダンス:0.2Ω (標準値)
- 高速ターンオン (500ns)
- シンク電流容量 (1mA から 100mA)
- 低いリファレンス電流 (REF)
- 可変出力電圧 ($V_{I(ref)}$ ～ 36V)

2 アプリケーション

- 可変の基準電圧および電流
- フライバック SMPS の 2 次側レギュレーション
- ツェナーの代替品
- 電圧監視
- 基準電圧内蔵コンパレータ

3 説明

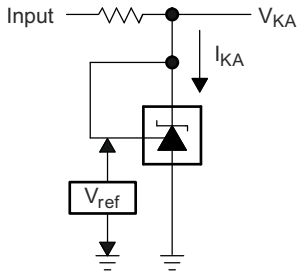
TL1431 デバイスは高精度にプログラム可能な電圧リファレンスであり、該当する車載、民生、防衛用温度範囲全体にわたって熱的な安定性が規定されています。出力電圧は、2 つの外付け抵抗を使用して、$V_{I(ref)}$ (約 2.5V) と 36V の間の任意の値に設定できます (図 8-3 を参照)。このデバイスの出力インピーダンスは 0.2Ω (代表値) です。このデバイスは、アクティブ出力回路による鋭いターンオン特性を備えているため、オンボード レギュレーション、可変電源、スイッチング電源などのアプリケーションにおいて、ツェナー ダイオードやその他の電圧リファレンスの優れた代替品となります。

動作温度範囲は、TL1431C が 0°C ～ 70°C の商業用温度範囲、TL1431Q が -40°C ～ 125°C の車載用温度範囲、TL1431M が -55°C ～ 125°C の軍事用温度範囲です。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TL1431D	SOIC (8)	3.90mm × 4.90mm
TL1431PW	TSSOP (8)	4.40mm × 3.00mm
TL1431LP	TO-92 (3)	4.83mm × 3.68mm
TL1431MJG	CDIP (8)	9.58 mm × 6.67mm
TL1431MFK	LCCC (20)	8.89 mm × 8.89 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



Copyright © 2016, Texas Instruments Incorporated

概略回路図

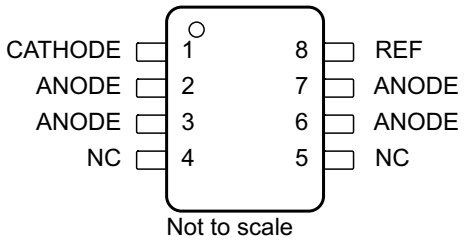
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD レーティング - TL1431C、TL1431Q.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性 - TL1431C.....5
5.6 電気的特性 - TL1431Q.....6
5.7 電気的特性 - TL1431M.....7
5.8 代表的特性.....8
6 パラメータ測定情報.....10
7 詳細説明.....12
7.1 概要.....12
7.2 機能ブロック図.....12
7.3 機能説明.....13
7.4 デバイスの機能モード.....14
8 アプリケーションと実装.....15
8.1 アプリケーション情報.....15
8.2 代表的なアプリケーション.....15
8.3 システム例.....18
9 電源に関する推奨事項.....21
10 レイアウト.....21
10.1 レイアウトのガイドライン.....21
10.2 レイアウト例.....21
11 デバイスおよびドキュメントのサポート.....22
11.1 サード・パーティ製品に関する免責事項.....22
11.2 ドキュメントのサポート.....22
11.3 ドキュメントの更新通知を受け取る方法.....22
11.4 サポート・リソース.....22
11.5 商標.....22
11.6 静電気放電に関する注意事項.....22
11.7 用語集.....22
12 改訂履歴.....23
13 メカニカル、パッケージ、および注文情報.....23

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能



アノード端子は内部で接続されています

図 4-1. D パッケージ 8 ピン SOIC 上面図

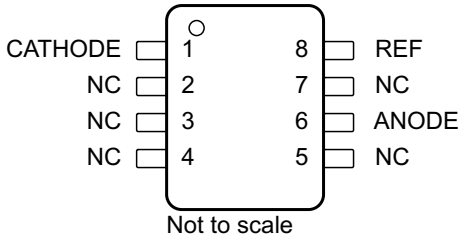


図 4-3. JG または PW パッケージ 8 ピン CDIP または TSSOP 上面図

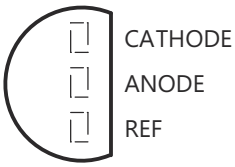


図 4-2. LP パッケージ 3 ピン TO-92 上面図

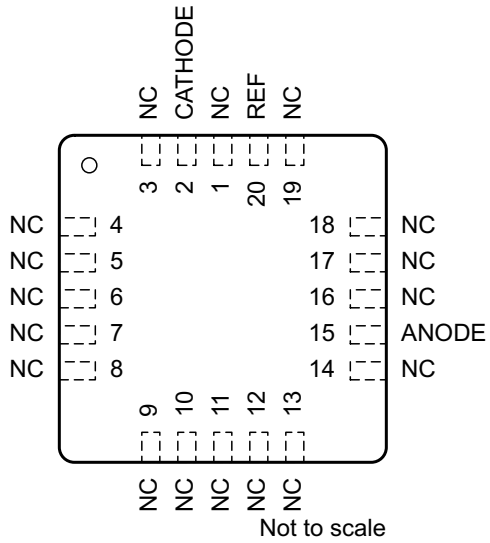


図 4-4. FK パッケージ 20 ピン LCCC 上面図

表 4-1. ピンの機能

ピン					I/O	説明
名称	SOIC	CDIP、TSSOP	TO-92	LCCC		
ANODE	2、3、6、7	6	2	15	O	共通ピン、通常 GND に接続
CATHODE	1	1	1	2	I/O	シャント電流 / 電圧入力
REF	8	8	3	20	I	共通アースに対するスレッショルド
NC	4、5	2、3、4、5、7	—	1、3、4、5、6、7、8、9、10、11、12、13、14、16、17、18、19	—	内部接続なし

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

	最小値	最大値	単位
カソード電圧、V_{KA} (2)		37	V
連続カソード電流、I_{KA}	-100	150	mA
リファレンス入力電流、$I_{I(ref)}$	-0.05	10	mA
ケース 1.6mm (1/16 インチ) の距離で 10 秒間のリード温度		260	°C
接合部温度、T_J		150	°C
保管温度、T_{stg}	-65	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「*推奨動作条件*」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) すべての電圧値は、特に記述のない限り、ANODE 端子を基準とします。

5.2 ESD レーティング - TL1431C、TL1431Q

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

			最小値	最大値	単位
V_{KA}	カソード電圧		$V_{I(ref)}$	36	V
I_{KA}	カソード電流		1	100	mA
T_A	外気温度での動作時	TL1431C	0	70	°C
		TL1431Q	-40	125	
		TL1431M	-55	125	

5.4 熱に関する情報

熱評価基準(1)		TL1431			TL1431M(2)		単位
		LP (TO-92)	D (SOIC)	PW (TSSOP)	JG (CDIP)	FK (LCCC)	
		3 ピン	8 ピン	8 ピン	8 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	157	114.7	172.4	—	—	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	80.7	59	55.2	69.7	55.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	—	55.4	100.8	99	54.2	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	24.6	12	5	—	—	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	136.4	54.8	99	—	—	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	—	—	21	9.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。
(2) MIL-STD-883 に基づく $R_{\theta JC}$、および JESD51 に基づく $R_{\theta JB}$。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 - TL1431C

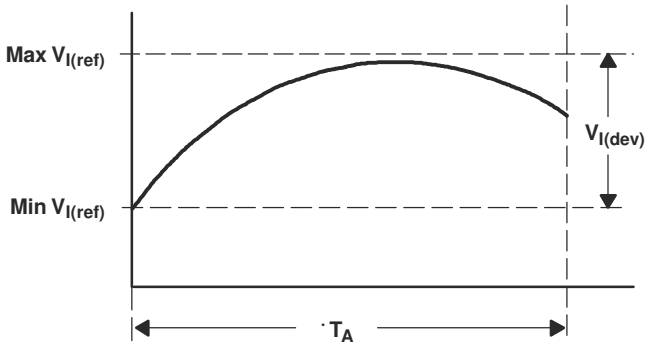
指定された自由空気温度で、および I_{KA} = 10mA (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{I(ref)}$	基準入力電圧	$V_{KA} = V_{I(ref)}$ (図 6-1 を参照)	T_A = 25°C	2490	2500	2510	mV
			T_A = 0°C ～ 70°C	2480		2520	
$V_{I(dev)}$	全温度範囲にわたる基準入力電圧の偏差 (1)	$V_{KA} = V_{I(ref)}$、T_A = 0°C ～ 70°C (図 6-1 を参照)			4	20	mV
$\frac{\Delta V_{I(ref)}}{\Delta V_{KA}}$	カソード電圧変動に対するリファレンス入力電圧変動の比率	ΔV_{KA} = 3V ～ 36V、T_A = 0°C ～ 70°C (図 6-2 を参照)			-1.1	-2	mV/V
$I_{I(ref)}$	基準入力電流	R1 = 10kΩ、R2 = ∞ (図 6-2 を参照)	T_A = 25°C		1.5	2.5	μA
			T_A = 0°C ～ 70°C			3	
$I_{I(dev)}$	全温度範囲にわたる基準入力電流の偏差 (1)	R1 = 10kΩ、R2 = ∞、T_A = 0°C ～ 70°C (図 6-2 を参照)			0.2	1.2	μA
I_{min}	レギュレーションのための最小カソード電流	$V_{KA} = V_{I(ref)}$、T_A = 25°C (図 6-1 を参照)			0.45	1	mA
I_{off}	オフ状態のカソード電流	V_{KA} = 36V、$V_{I(ref)}$ = 0 (図 6-3 を参照)	T_A = 25°C		0.18	0.5	μA
			T_A = 0°C ～ 70°C			2	
$\lvert z_{KA} \rvert$	出力インピーダンス (2)	$V_{KA} = V_{I(ref)}$、f ≤ 1kHz、I_{KA} = 1mA ～ 100mA、T_A = 25°C (図 6-1 を参照)			0.2	0.4	Ω

(1) 偏差パラメータ $V_{I(dev)}$ および $I_{I(dev)}$ は、定格温度範囲の全体において得られる、最大値と最小値との差で定義されます。リファレンス入力電圧の全温度範囲での平均温度係数 $\alpha_{VI(ref)}$ は、次のように定義されます:

$$\left|\alpha_{VI(ref)}\right| \left(\frac{ppm}{°C}\right) = \frac{\left(\frac{V_{I(dev)}}{V_{I(ref)\ at\ 25°C}}\right) \times 10^6}{T_A}$$

where:
ΔT_A is the rated operating temperature range of the device.



$\alpha_{VI(ref)}$ の正負は、最小 $V_{I(ref)}$ と最大 $V_{I(ref)}$ のどちらがより低い温度で発生するかによって決まります。

(2) 出力インピーダンスは、次のように定義されます。 $\lvert z_{KA} \rvert = \frac{\Delta V_{KA}}{\Delta I_{KA}}$

2 つの外部抵抗を使用する場合 (図 2 を参照)、回路の総ダイナミック インピーダンスは、 $\lvert z' \rvert = \frac{\Delta V}{\Delta I}$ で計算することができ、これは、$\lvert z_{KA} \rvert \left(1 + \frac{R1}{R2}\right)$ にほぼ等しいです。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 - TL1431Q

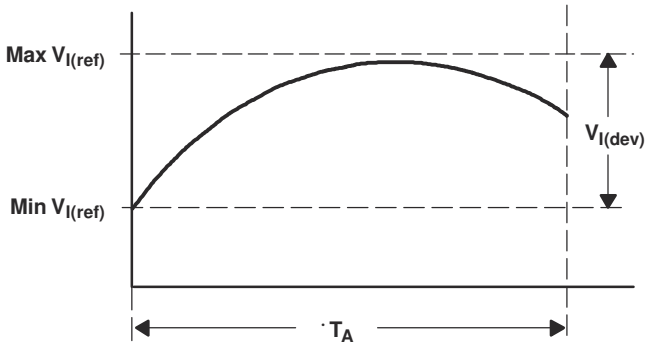
指定された自由空気温度で、および I_{KA} = 10mA (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{I(ref)}$	基準入力電圧	$V_{KA} = V_{I(ref)}$ (図 6-1 を参照)	T_A = 25°C	2490	2500	2510	mV
			T_A = –40°C ～ 125°C	2470		2530	
$V_{I(dev)}$	全温度範囲にわたる基準入力電圧の偏差(1)	$V_{KA} = V_{I(ref)}$、T_A = –40°C ～ 125°C (図 6-1 を参照)			17	55	mV
$\frac{\Delta V_{I(ref)}}{\Delta V_{KA}}$	カソード電圧変動に対するリファレンス入力電圧変動の比率	ΔV_{KA} = 3V ～ 36V、T_A = –40°C ～ 125°C (図 6-2 を参照)			-1.1	-2	mV/V
$I_{I(ref)}$	基準入力電流	R1 = 10kΩ、R2 = ∞ (図 6-2 を参照)	T_A = 25°C		1.5	2.5	μA
			T_A = –40°C ～ 125°C			4	
$I_{I(dev)}$	全温度範囲にわたる基準入力電流の偏差(1)	R1 = 10kΩ、R2 = ∞、T_A = –40°C ～ 125°C (図 6-2 を参照)			0.5	2	μA
I_{min}	レギュレーションのための最小カソード電流	$V_{KA} = V_{I(ref)}$、T_A = 25°C (図 6-1 を参照)			0.45	1	mA
I_{off}	オフ状態のカソード電流	V_{KA} = 36V、$V_{I(ref)}$ = 0 (図 6-3 を参照)	T_A = 25°C		0.18	0.5	μA
			T_A = –40°C ～ 125°C			2	
$\lvert z_{KA} \rvert$	出力インピーダンス(2)	$V_{KA} = V_{I(ref)}$、f ≤ 1kHz、I_{KA} = 1mA ～ 100mA、T_A = 25°C (図 6-1 を参照)			0.2	0.4	Ω

(1) 偏差パラメータ $V_{I(dev)}$ および $I_{I(dev)}$ は、定格温度範囲の全体において得られる、最大値と最小値との差で定義されます。リファレンス入力電圧の全温度範囲での平均温度係数 $\alpha_{VI(ref)}$ は、次のように定義されます:

$$\left|\alpha_{VI(ref)}\right| \left(\frac{ppm}{°C}\right) = \frac{\left(\frac{V_{I(dev)}}{V_{I(ref)\ at\ 25°C}}\right) \times 10^6}{T_A}$$

where:
ΔT_A is the rated operating temperature range of the device.



$\alpha_{VI(ref)}$ の正負は、最小 $V_{I(ref)}$ と最大 $V_{I(ref)}$ のどちらがより低い温度で発生するかによって決まります。

(2) 出力インピーダンスは、次のように定義されます。 $\lvert z_{KA} \rvert = \frac{\Delta V_{KA}}{\Delta I_{KA}}$

2 つの外部抵抗を使用する場合 (図 2 を参照)、回路の総ダイナミック インピーダンスは、 $\lvert z' \rvert = \frac{\Delta V}{\Delta I}$ で計算することができ、これは、$\lvert z_{KA} \rvert \left(1 + \frac{R1}{R2}\right)$ にほぼ等しいです。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性 - TL1431M

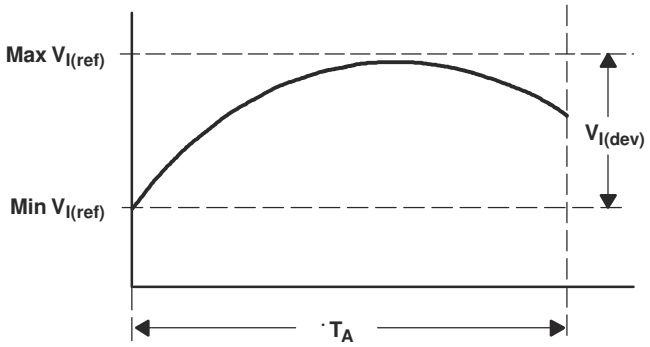
指定された自由空気温度で、および I_{KA} = 10mA (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{I(ref)}$	基準入力電圧	$V_{KA} = V_{I(ref)}$ (図 6-1 を参照)	T_A = 25°C	2475	2500	2540	mV
			T_A = –55°C ～ 125°C	2460		2550	
$V_{I(dev)}$	全温度範囲にわたる基準入力電圧の偏差(1)	$V_{KA} = V_{I(ref)}$、T_A = –55°C to 125°C (図 6-1 を参照)			17	55(2)	mV
$\frac{\Delta V_{I(ref)}}{\Delta V_{KA}}$	カソード電圧変動に対するリファレンス入力電圧変動の比率	ΔV_{KA} = 3V ～ 36V、T_A = –55°C ～ 125°C (図 6-2 を参照)			-1.1	-2	mV/V
$I_{I(ref)}$	基準入力電流	R1 = 10kΩ、R2 = ∞ (図 6-2 を参照)	T_A = 25°C		1.5	2.5	μA
			T_A = –55°C ～ 125°C			5	
$I_{I(dev)}$	全温度範囲にわたる基準入力電流の偏差(1)	R1 = 10kΩ、R2 = ∞、T_A = –55°C ～ 125°C (図 6-2 を参照)			0.5	3(2)	μA
I_{min}	レギュレーションのための最小カソード電流	$V_{KA} = V_{I(ref)}$、T_A = 25°C (図 6-1 を参照)			0.45	1	mA
I_{off}	オフ状態のカソード電流	V_{KA} = 36V、$V_{I(ref)}$ = 0 (図 6-3 を参照)	T_A = 25°C		0.18	0.5	μA
			T_A = –55°C ～ 125°C			2	
$\lvert z_{KA} \rvert$	出力インピーダンス(3)	$V_{KA} = V_{I(ref)}$、f ≤ 1kHz、I_{KA} = 1mA ～ 100mA、T_A = 25°C (図 6-1 を参照)			0.2	0.4	Ω

(1) 偏差パラメータ $V_{I(dev)}$ および $I_{I(dev)}$ は、定格温度範囲の全体において得られる、最大値と最小値との差で定義されます。リファレンス入力電圧の全温度範囲での平均温度係数 $\alpha_{VI(ref)}$ は、次のように定義されます:

$$\left|\alpha_{VI(ref)}\right| \left(\frac{ppm}{°C}\right) = \frac{\left(\frac{V_{I(dev)}}{V_{I(ref)\ at\ 25°C}}\right) \times 10^6}{T_A}$$

where:
ΔT_A is the rated operating temperature range of the device.



$\alpha_{VI(ref)}$ の正負は、最小 $V_{I(ref)}$ と最大 $V_{I(ref)}$ のどちらがより低い温度で発生するかによって決まります。

(2) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

(3) 出力インピーダンスは、次のように定義されます。 $\lvert z_{KA} \rvert = \frac{\Delta V_{KA}}{\Delta I_{KA}}$

2 つの外部抵抗を使用する場合 (図 2 を参照)、回路の総ダイナミック インピーダンスは、 $\lvert z' \rvert = \frac{\Delta V}{\Delta I}$ で計算することができ、これは、 $\lvert z_{KA} \rvert \left(1 + \frac{R1}{R2}\right)$ にほぼ等しいです。

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性

高温時および低温時のデータは、各種デバイスの推奨される自由気流の動作時温度範囲内でのみ適用されます。

表 5-1. グラフ一覧

グラフ	図
リファレンス電圧と自由気流温度との関係	図 5-1
リファレンス電流と自由気流温度との関係	図 5-2
カソード電流とカソード電圧との関係	図 5-3、図 5-4
オフ状態のカソード電流と自由気流温度との関係	図 5-5
カソード電圧変動に対するリファレンス電圧変動の比率と自由気流温度との関係	図 5-6
等価入力ノイズ電圧と周波数との関係	図 5-7
10 秒間での等価入力ノイズ電圧	図 5-8
小信号電圧増幅率と周波数との関係	図 5-9
リファレンス インピーダンスと周波数との関係	図 5-10
パルス応答	図 5-11
安定性境界条件	図 5-12

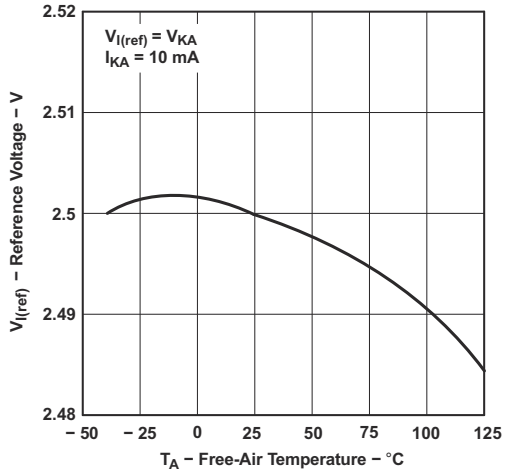


図 5-1. リファレンス電圧と自由気流温度との関係

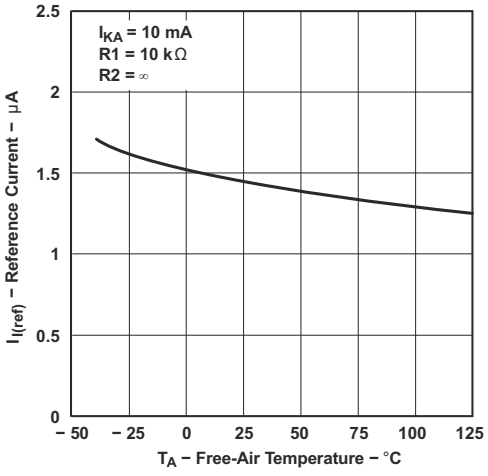


図 5-2. 基準電流と自由気流温度との関係

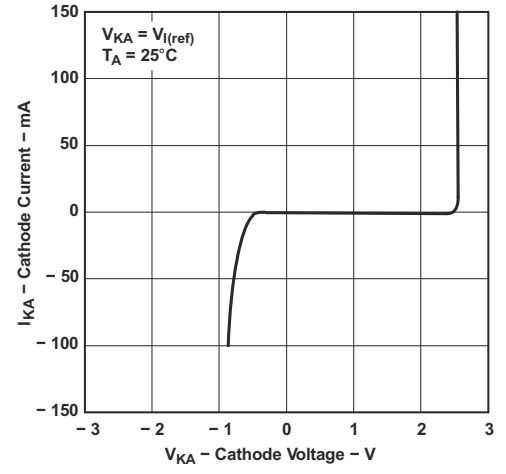


図 5-3. カソード電流とカソード電圧との関係

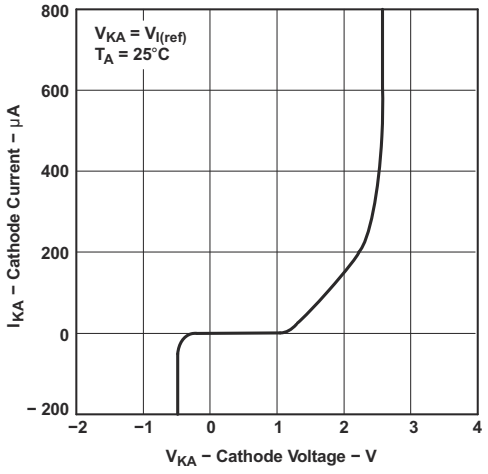


図 5-4. カソード電流とカソード電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

高温時および低温時のデータは、各種デバイスの推奨される自由気流の動作時温度範囲内でのみ適用されます。

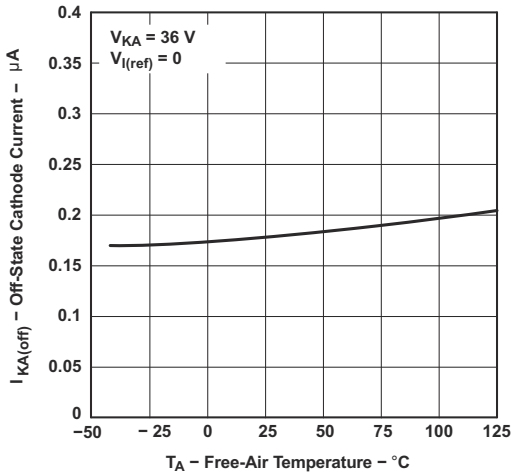


図 5-5. オフ状態のカソード電流と自由気流温度との関係

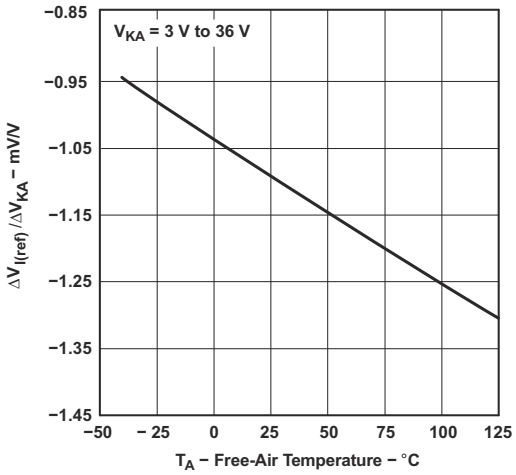


図 5-6. カソード電圧変動に対するリファレンス電圧変動の比率と自由気流温度との関係

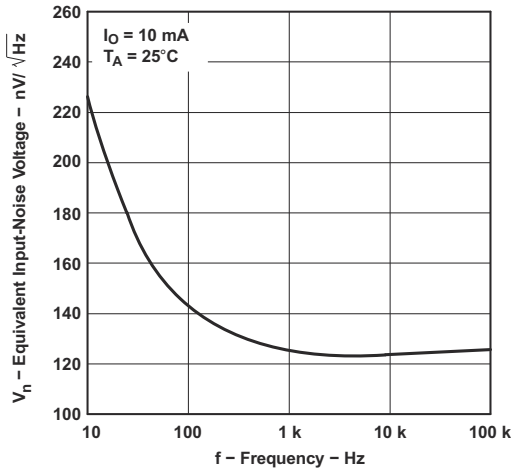


図 5-7. 等価入力ノイズ電圧と周波数との関係

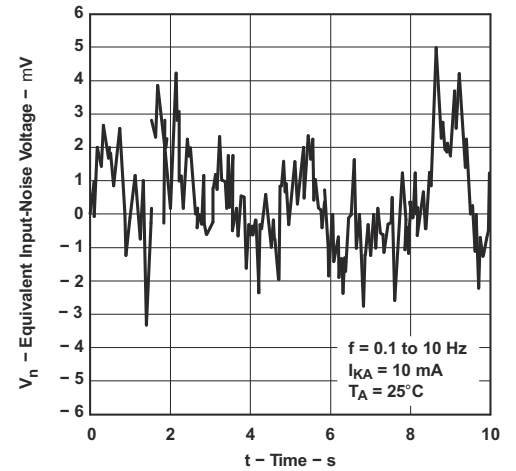


図 5-8. 10 秒間での等価入力ノイズ電圧

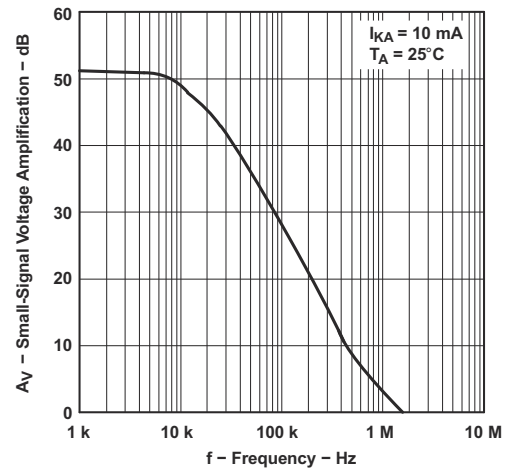


図 5-9. 小信号電圧増幅率と周波数との関係

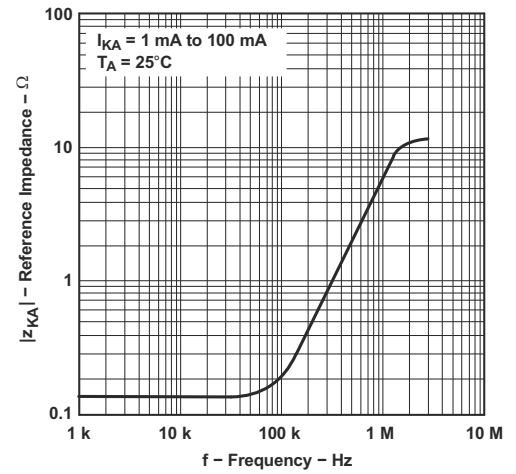


図 5-10. リファレンス インピーダンスと周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

高温時および低温時のデータは、各種デバイスの推奨される自由気流の動作時温度範囲内でのみ適用されます。

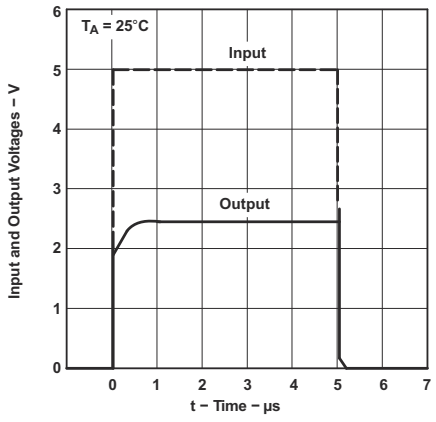
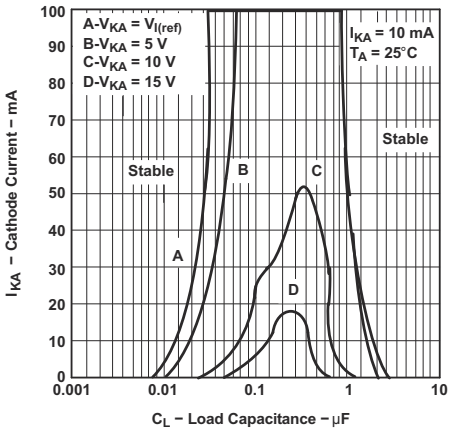


図 5-11. パルス応答



曲線の下側の領域は、デバイスが発振するおそれがある条件を表します。曲線 B、C、D では、C_L = 0 として、R2 と V+ を調整し、初期の V_{KA} および I_{KA} 条件を決定します。次に V_{BATT} と C_L を調整して、安定動作範囲を決定します。

図 5-12. 安定性境界条件

6 パラメータ測定情報

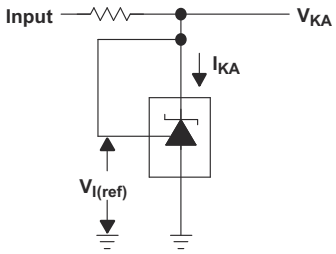


図 6-1. $V_{(KA)}$ = V_{ref} のテストの回路

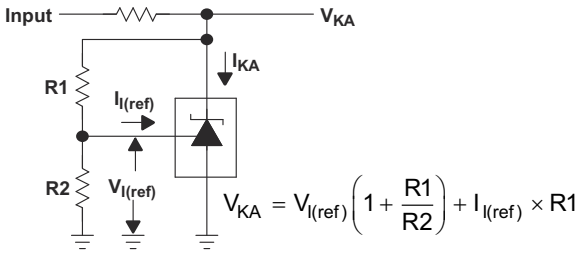


図 6-2. $V_{(KA)}$ > V_{ref} のテストの回路

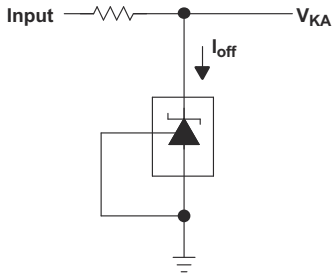


図 6-3. I_{off} のテストの回路

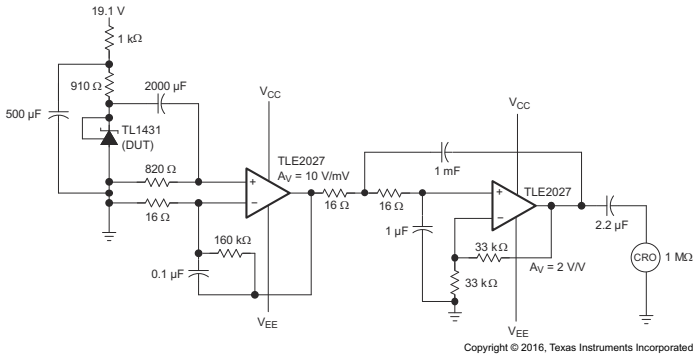


図 6-4. 0.1Hz ～ 10Hz の等価入力ノイズ電圧のテスト回路

Copyright © 2025 Texas Instruments Incorporated

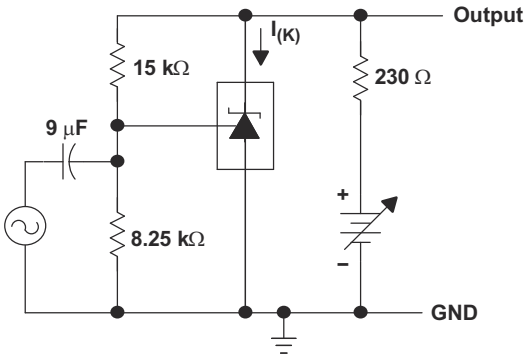


図 6-5. 電圧増幅のテスト回路

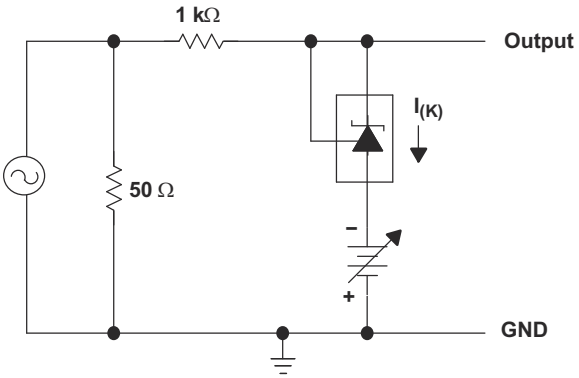


図 6-6. リファレンス インピーダンスのテスト回路

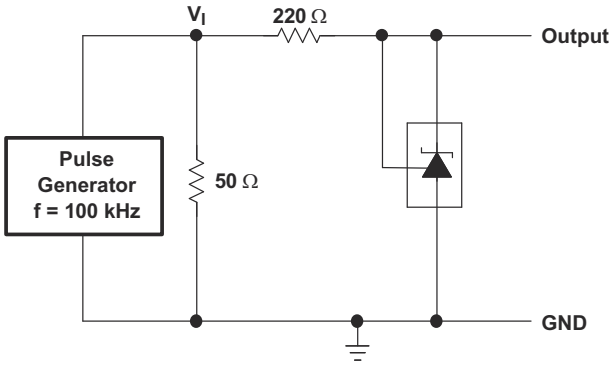
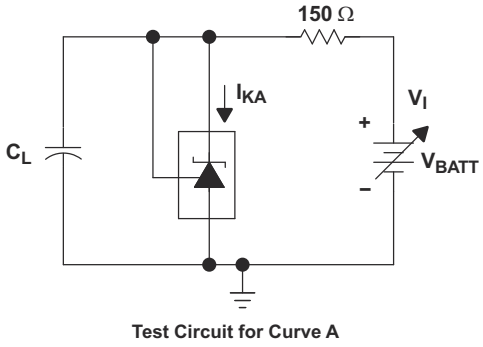


図 6-7. パルス応答のテスト回路



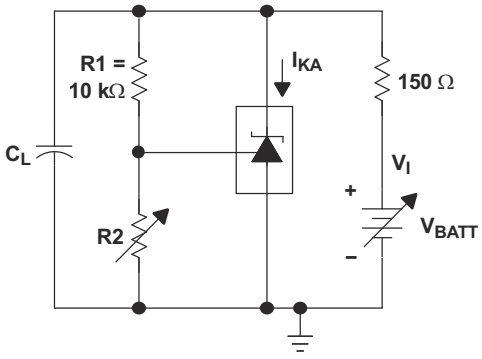


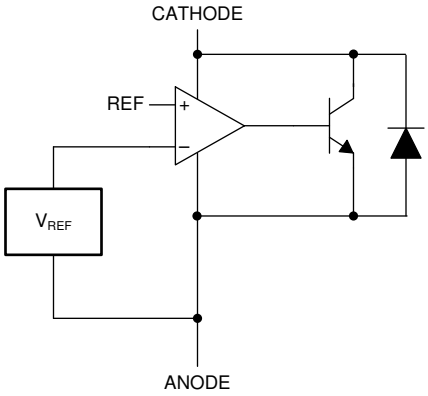
図 6-8. 曲線 A から D までのテスト回路

7 詳細説明

7.1 概要

TL1431 デバイスは、電源から信号経路まで幅広い用途で広く普及しており、高い汎用性で実績があります。これは、高精度基準電圧付きオペアンプを含む本デバイスの主要部品に起因します。これらの主要部品は極めて基本的なアナログ ビルディング ブロックです。これらの主要部品を組み合わせることで、1 つの基準電圧、エラー アンプ、電圧クランプ、または基準電圧内蔵コンパレータとして TL1431 を使うことができます。TL1431 は 2.5V ～ 36V のカソード電圧で動作調整可能であるため、産業、車載、通信、コンピューティングの幅広い最終機器に最適な製品となっています。シャント レギュレータやエラー アンプとして使用するには、カソード ピンに 1mA（Imin（最大値））より大きい電流を供給する必要があります。この状態で、CATHODE ピンと REF ピンから帰還をかけることにより、内部基準電圧を複製できます。リファレンス電圧の初期公差 (25°C 時) は、0.4% および 1% を選択可能です。TL1431C デバイスは 0°C ～ 70°C、TL1431Q デバイスは -40°C ～ 125°C、TL1431M デバイスは -55°C ～ 125°C の温度範囲で動作が規定されています。

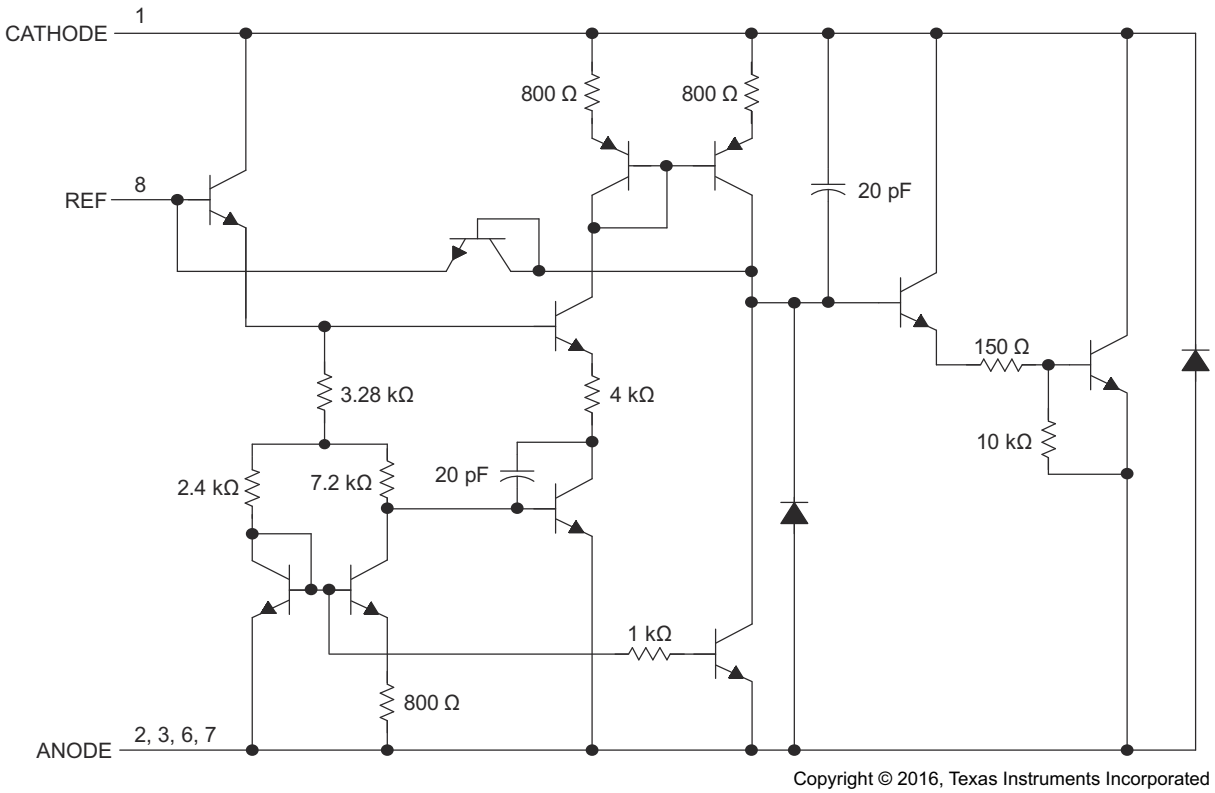
7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

図 7-1. 等価回路図

Copyright © 2025 Texas Instruments Incorporated



A. すべての部品値は公称値です。

B. ここに示すピン番号は、D パッケージのものです。

図 7-2. 詳細な回路図

7.3 機能説明

TL1431 は、リファレンス ピンと仮想内部ピンの電圧差に基づいてシンク電流を出力する、内部基準電圧付きアンプで構成されています。このシンク電流は、図 7-2 に示す内部ダーリントン ペアにより生成されます。このデバイスが最大電流 100mA をシンクできるように、ダーリントン ペアを使用しています。十分な電圧ヘッドルーム (2.5V 以上) とカソード電流 (I_{KA}) で動作させた場合、TL1431 はリファレンス ピンの電圧を 2.5V に強制します。しかし、リファレンス ピンは 5µA 以上の I_{REF} を必要とするため、フローティングにしておくことはできません (*電気的特性 – TL1431M* を参照)。これは、リファレンス ピンを駆動することで、内部の npn にベース電流が供給され、初めて正常に動作するためです。カソード ピンとリファレンス ピンから帰還をかけた場合、TL1431 はツェナー ダイオードのように機能し、カソードに供給される電流に応じて定電圧に安定化します。これは、内蔵アンプと基準電圧が正常動作領域に入るためです。TL1431 に十分なゲインを与える適切な線形領域を実現するために、上記のフィードバック状況で必要なのと同じ量の電流を、オープン ループ、サーボ、またはエラー増幅実装のこのデバイスに適用する必要があります。多くのリニア レギュレータとは異なり、カソードとアノードの間に出力コンデンサがなくとも、TL1431 は内部的に補償されます。しかし、必要なときは、出力コンデンサを、安定性を維持するため適切なコンデンサの選択に役立つ指針として使用できます。

7.4 デバイスの機能モード

7.4.1 開ループ(コンパレータ)

どんな形であっても、カソードまたは出力電圧または電流がリファレンスまたは入力ピンに帰還されていない場合、TL1431 は開ループで動作しています。適切なカソード電流 (I_{KA}) が印加されていれば、TL1431 は 図 7-2 に示す特性を有します。この構成ではゲインが非常に大きいため、TL1431 は通常、コンパレータとして使用されます。基準電圧を内蔵する TL1431 は、一定レベルの単一信号を監視するのに最適です。

7.4.2 閉ループ

カソードまたは出力電圧または電流が何らかの形でリファレンスまたは入力ピンに帰還されている場合、TL1431 は閉ループで動作しています。TL1431 の大半の用途では、このように使用して固定電圧または電流を安定化します。帰還により、このデバイスはエラー アンプとして機能でき、出力電圧の一部を入力に戻し、出力電圧を調整して目的のレギュレーションを維持します。これは、出力電圧が内部基準電圧と等しくなるように、出力電圧をリファレンス ピンと(抵抗または直接帰還で)結び付けることで行ないます。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TL1431 の用途および設定は多岐にわたるため、さまざまな状況があり、このデータシートでは詳しく解説できません。リンク先のアプリケーション ノートは、この製品を使用する上で最善の選択を行うのに役立ちます。*TL431 および TL432 データシートの安定性境界条件チャートについて* (SLVA482) は、このデバイスの安定性についてよく理解し、適切な負荷コンデンサを選択するのに役立ちます。*可変シャント レギュレータのシャント電圧の設定* (SLVA445) は、設計者がシャント電圧を設定して、このデバイスの最適な精度を実現するのに役立ちます。

8.2 代表的なアプリケーション

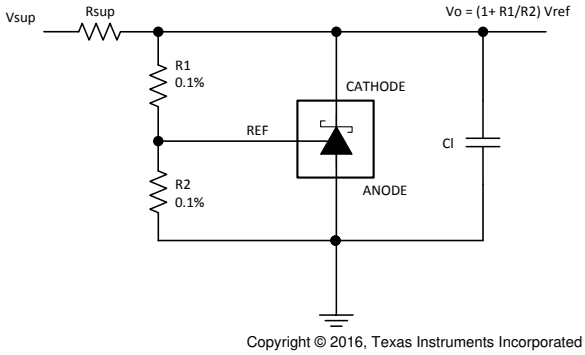


図 8-1. コンパレータ アプリケーション回路図

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

パラメータ	値
基準電圧初期精度	0.4%
電源電圧	48V
カソード電流 (I_K)	50µA
出力電圧レベル	2.5V ～ 36V
負荷容量	1nF
帰還抵抗値および精度 (R1 および R2)	10kΩ

8.2.2 詳細な設計手順

TL1431 をシャント レギュレータとして使用する場合、以下を決定します。

- 入力電圧範囲
- 温度範囲
- 総合精度
- カソード電流
- 基準電圧初期精度
- 出力容量

8.2.2.1 出力 / カソード電圧の設定

カソード電圧を安定化電圧にプログラムするには、カソード ピンとアノード ピンの間に抵抗ブリッジをシャントし、その中間点をリファレンス ピンにつなぐ必要があります。図 8-1 に示すように、R1 と R2 で抵抗ブリッジを構成します。シャント レギュレータ構成でのカソード / 出力電圧は、図 8-1 に示す式で概算できます。リファレンス電流を考慮すれば、カソード電圧をより正確に求めることができます。

$$V_O = \left(1 + \frac{R1}{R2}\right) \times V_{REF} + I_{REF} \times R1 \quad (1)$$

この式が有効であるためには、十分な開ループ ゲインを確保してゲイン誤差を小さくできるように、TL1431 を完全にバイアスする必要があります。これは、セクション 5 に示す I_{min} 仕様を満たすことで行うことができます。

8.2.2.2 総合精度

ユニティ ゲイン (V_{KA}=V_{REF}) を超える出力設定では、TL1431 は、V_{REF} 以外の、全体の精度に影響を及ぼす可能性があるその他の誤差に敏感になります。次のエラーがあります:

- R1 と R2 の精度
- $V_{I(dev)}$ – 温度に対するリファレンス電圧の変化
- ΔV_{REF} / ΔV_{KA} – カソード電圧変動に対するリファレンス電圧変動の比率
- $|z_{KA}|$ – カソード電流によりカソード電圧を変動させるダイナミック インピーダンス

ワーストケースのカソード電圧は、すべての変数を考慮して決定できます。

8.2.2.3 安定性

TL1431 は容量性負荷なしで安定しますが、シャント レギュレータの出力電圧を受け取るデバイスが、図 5-12 に示す TL1431 の安定動作領域の範囲内の容量性負荷を持つことは可能です。また、設計者は、過渡応答の改善や電源のデカップリングに容量性負荷を使用することもできます。カソードとアノードの間に容量を追加する場合、図 5-12 を参照してください。

8.2.2.4 起動時間

図 8-2 に示すように、TL1431 は約 2V まで高速に応答し、その後、設定した値までゆっくり充電します。これは、TL1431 がその安定性の基準を満たすために備えている補償容量によるものです。この二次的な遅延にもかかわらず、TL1431 は多くのクランプ用途に適した高速応答を実現します。

Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

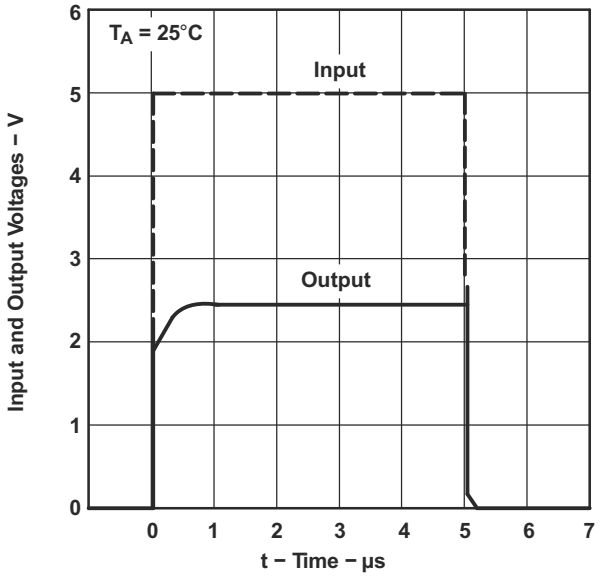


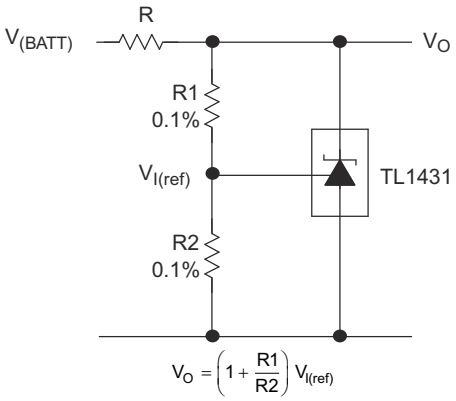
図 8-2. TL1431 の起動時の応答

8.3 システム例

表 8-2 に、TL1431 の回路例を示します。

表 8-2. 回路例の表

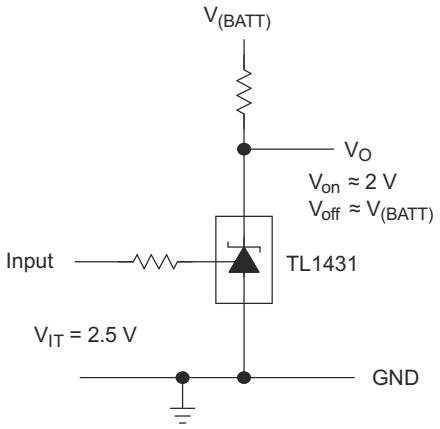
アプリケーション	図
シャント レギュレータ	図 8-3
温度補償スレッショルドの単一電源コンパレータ	図 8-4
高精度大電流シリーズ レギュレータ	図 8-5
3 端子固定レギュレータの出力制御	図 8-6
大電流シャント レギュレータ	図 8-7
クロウバー	図 8-8
高精度 5V、1.5A、0.5% レギュレータ	図 8-9
5V 高精度レギュレータ	図 8-10
0.5% リファレンス PWM コンバータ	図 8-11
電圧モニタ	図 8-12
遅延タイマ	図 8-13
高精度電流リミッタ	図 8-14
高精度定電流シンク	図 8-15



Copyright © 2016, Texas Instruments Incorporated

R は、最小 $V_{(BATT)}$ で 1mA 以上のカソード電流を TL1431 に供給する必要があります。

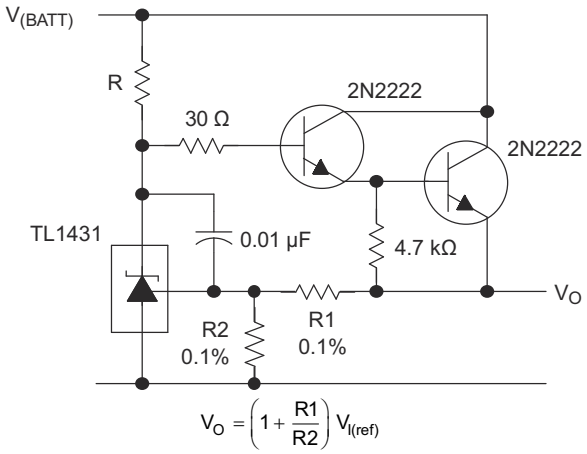
図 8-3. シャント レギュレータ



Copyright © 2016, Texas Instruments Incorporated

図 8-4. 温度補償スレッショルドの単一電源コンパレータ

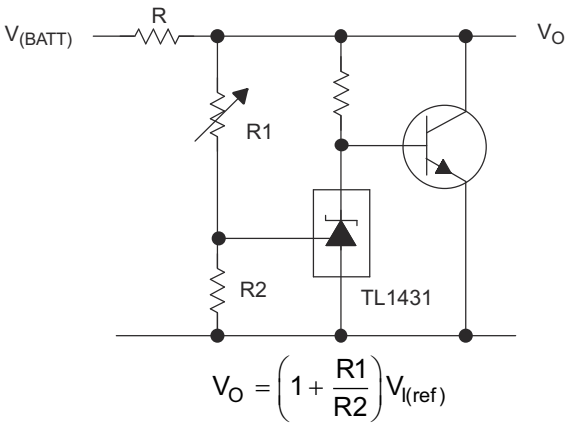
Copyright © 2025 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

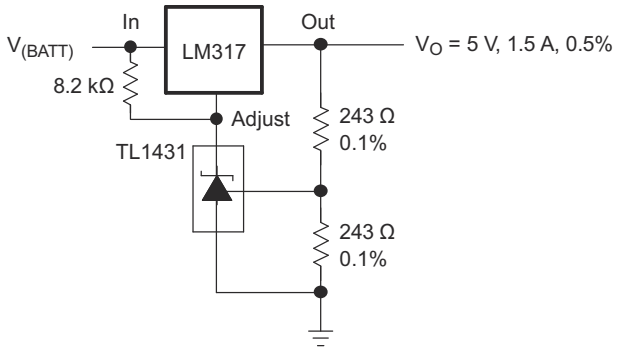
R は、最小 $V_{(BATT)}$ で 1mA 以上のカソード電流を TL1431 に供給する必要があります。

図 8-5. 高精度大電流シリーズ レギュレータ



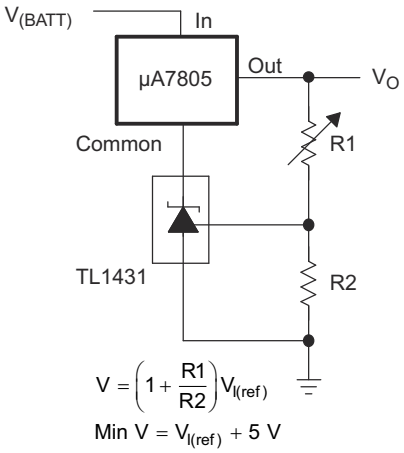
Copyright © 2016, Texas Instruments Incorporated

図 8-7. 大電流シャント レギュレータ



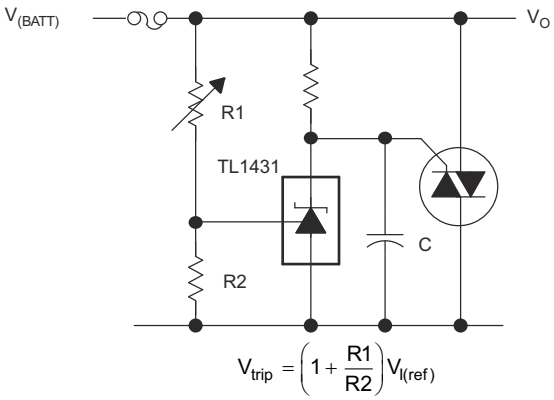
Copyright © 2016, Texas Instruments Incorporated

図 8-9. 高精度 5V、1.5A、0.5% レギュレータ



Copyright © 2016, Texas Instruments Incorporated

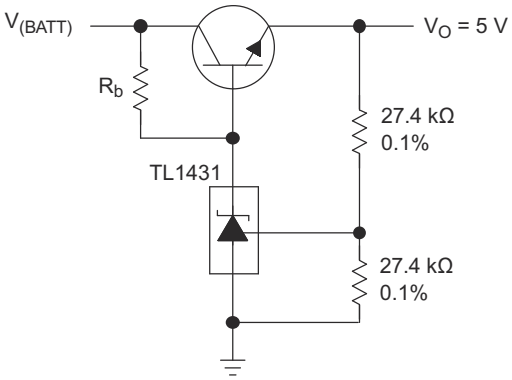
図 8-6. 3 端子固定レギュレータの出力制御



Copyright © 2016, Texas Instruments Incorporated

図 5-12 の安定動作境界条件を参照して、C の許容値を求めます。

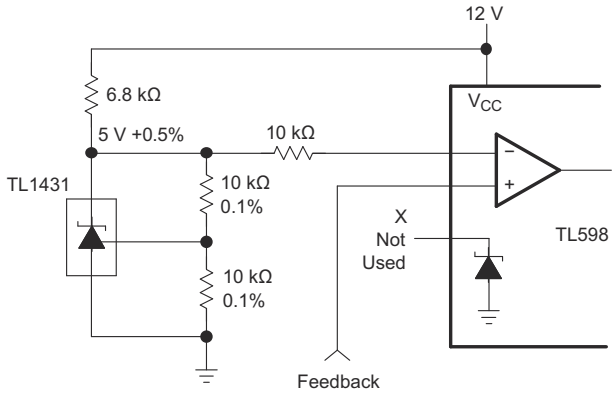
図 8-8. クロウバー



Copyright © 2016, Texas Instruments Incorporated

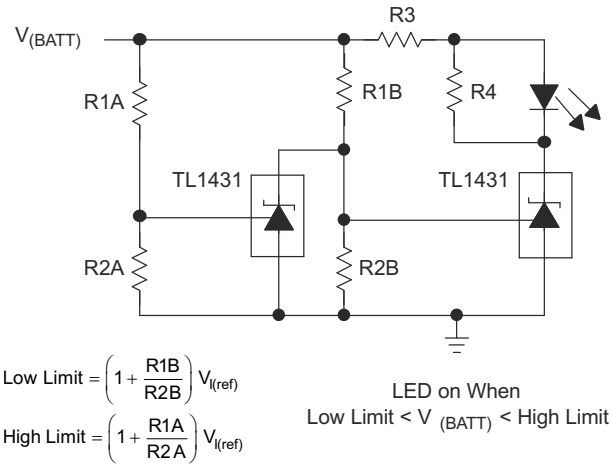
R_b は 1mA 以上のカソード電流を TL1431 に供給する必要があります。

図 8-10. 5V 高精度レギュレータ



Copyright © 2016, Texas Instruments Incorporated

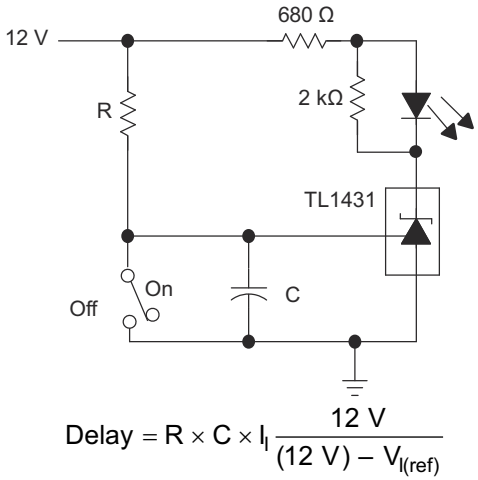
図 8-11. 0.5% リファレンス PWM コンバータ



Copyright © 2016, Texas Instruments Incorporated

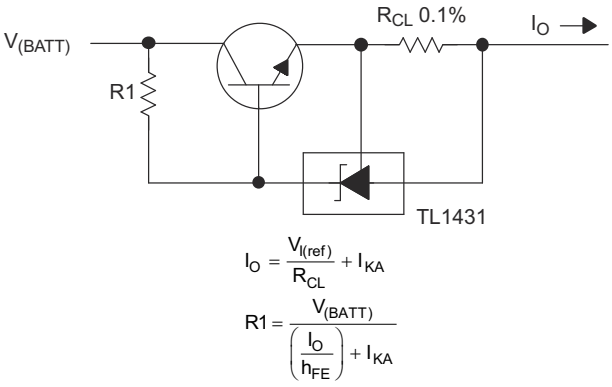
必要な LED 輝度が得られ、かつ 1mA 以上のカソード電流を TL1431 に供給できるように R3 および R4 を選定します。

図 8-12. 電圧モニタ



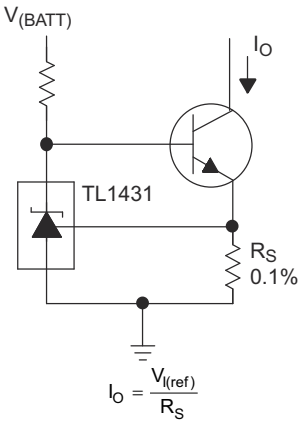
Copyright © 2016, Texas Instruments Incorporated

図 8-13. 遅延タイマ



Copyright © 2016, Texas Instruments Incorporated

図 8-14. 高精度電流リミッタ



Copyright © 2016, Texas Instruments Incorporated

図 8-15. 高精度定電流シンク

Copyright © 2025 Texas Instruments Incorporated

9 電源に関する推奨事項

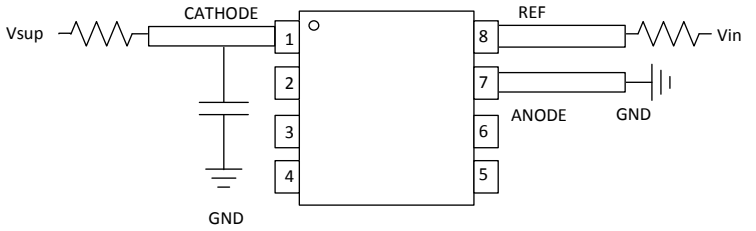
TL1431 を、負荷に電力を供給するリニア レギュレータとして使う場合、通常は出力/カソード ピンにバイパス コンデンサを使用します。このとき、必ず容量が 図 5-12 に示す安定動作基準内に収まるようにしてください。最大カソード電流を超えないように、必ず供給電流を制限してください。また、絶対最大定格を超えないように、REF ピンに流し込む電流を制限してください。高電流をシャントする用途では、カソードとアノードの配線長に注意し、配線幅を調整して適切な電流密度を確保してください。

10 レイアウト

10.1 レイアウトのガイドライン

バイパス コンデンサは部品にできるだけ近付けて配置してください。電流を流す配線には流れる電流の量に応じた幅が必要とされますが、TL1431 の場合、これらの電流は小さくて済みます。

10.2 レイアウト例



Copyright © 2016, Texas Instruments Incorporated

図 10-1. PW パッケージのレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.2 ドキュメントのサポート

11.2.1 関連資料

関連資料については、以下を参照してください。

- *TL431 および TL432 データシートの安定性境界条件チャートについて* (SLVA482)
- *可変シャント レギュレータのシャント電圧の設定* (SLVA445)

11.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (October 2016) to Revision O (October 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- セクション 8.2.2.1 を更新 16

Changes from Revision M (April 2012) to Revision N (October 2016) **Page**

- 「製品情報」表、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- *注文情報*表を削除 (データシートの末尾にある POA を参照) 1
- D、LP、および PW パッケージの $R_{\theta JA}$ 値を以下のように変更：*熱に関する情報*の表の 97°C/W から 114.7°C/W (D)、140°C/W から 157°C/W (LP)、149°C/W から 172.4°C/W (PW) へ 4
- FK および JG パッケージの $R_{\theta JC(bot)}$ を以下のように変更：*熱に関する情報*の表で、5.61°C/W から 9.5°C/W (FK)、14.5°C/W から 9.5 °C/W (JG) へ 4

Changes from Revision L (October 2007) to Revision M (April 2012) **Page**

- 「注文情報」表の LP パッケージに Ammo オプションを追加。 0

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9962001Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9962001Q2A TL1431MFKB
5962-9962001QPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	9962001QPA TL1431M
TL1431CD	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	1431C
TL1431CD.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	1431C
TL1431CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	1431C
TL1431CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	1431C
TL1431CLP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	0 to 70	TL1431C
TL1431CLP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	0 to 70	TL1431C
TL1431CLPME3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 70	TL1431C
TL1431CLPME3.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 70	TL1431C
TL1431CLPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 70	TL1431C
TL1431CLPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 70	TL1431C
TL1431CPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	T1431
TL1431CPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T1431
TL1431MFK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL1431MFK
TL1431MFK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL1431MFK
TL1431MFKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9962001Q2A TL1431MFKB
TL1431MFKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9962001Q2A TL1431MFKB
TL1431MJG	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL1431MJG
TL1431MJG.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TL1431MJG
TL1431MJGB	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	9962001QPA TL1431M
TL1431MJGB.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	9962001QPA TL1431M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL1431QD	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QD.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QDG4	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QDG4.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q
TL1431QDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1431Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL1431, TL1431M :

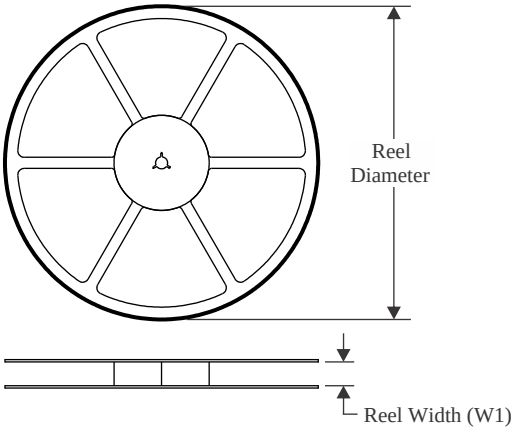
- Catalog : TL1431
- Automotive : TL1431-Q1, TL1431-Q1
- Enhanced Product : TL1431-EP, TL1431-EP
- Military : TL1431M
- Space : TL1431-SP, TL1431-SP

NOTE: Qualified Version Definitions:

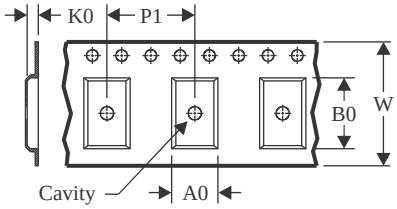
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

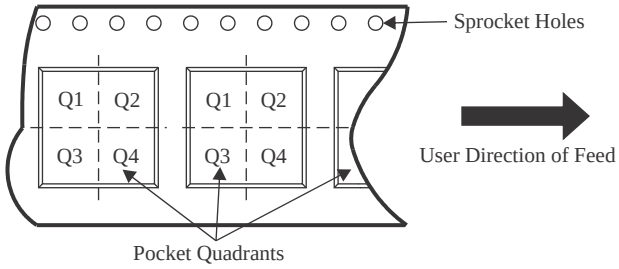


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

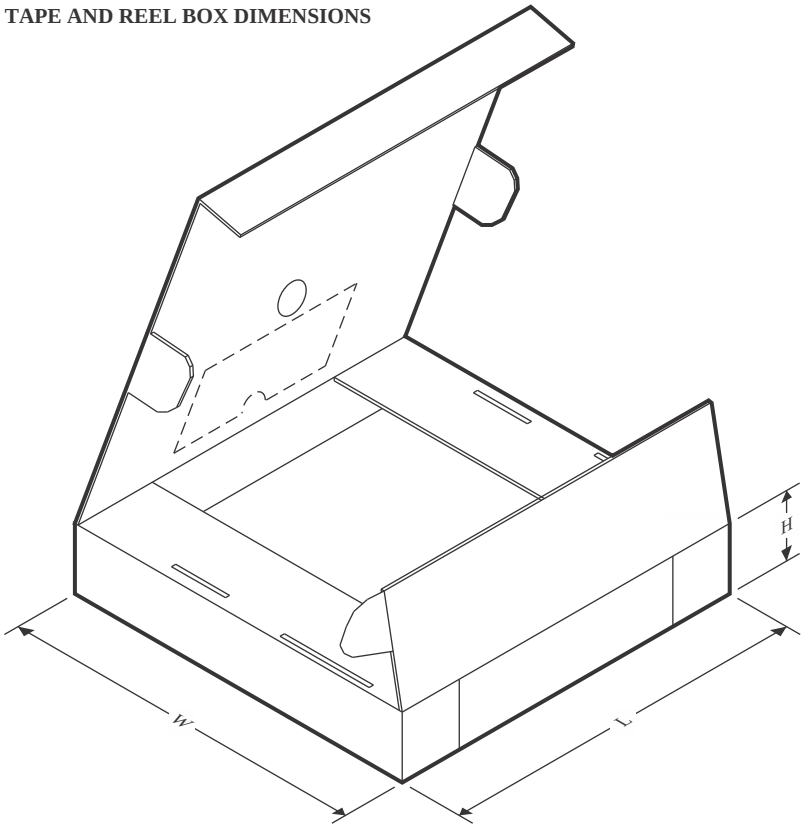
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL1431CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL1431CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL1431QDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL1431QDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

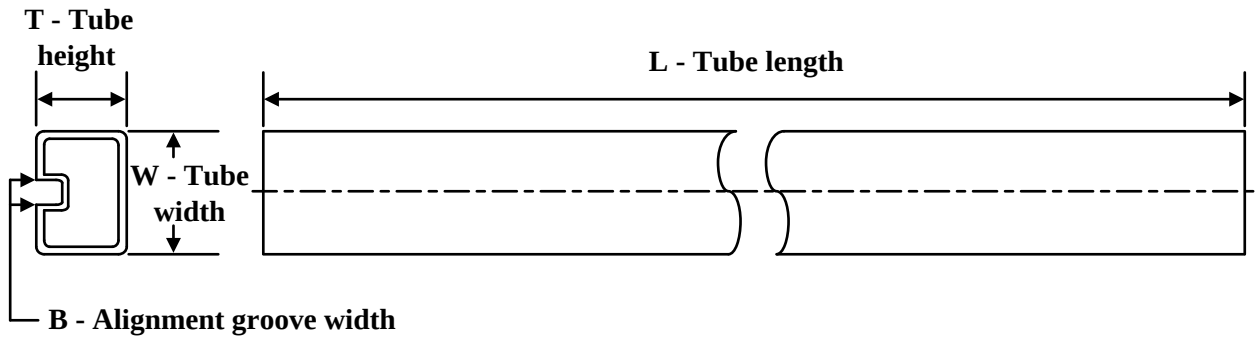
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL1431CDR	SOIC	D	8	2500	353.0	353.0	32.0
TL1431CPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TL1431QDR	SOIC	D	8	2500	353.0	353.0	32.0
TL1431QDRG4	SOIC	D	8	2500	350.0	350.0	43.0

TUBE



*All dimensions are nominal

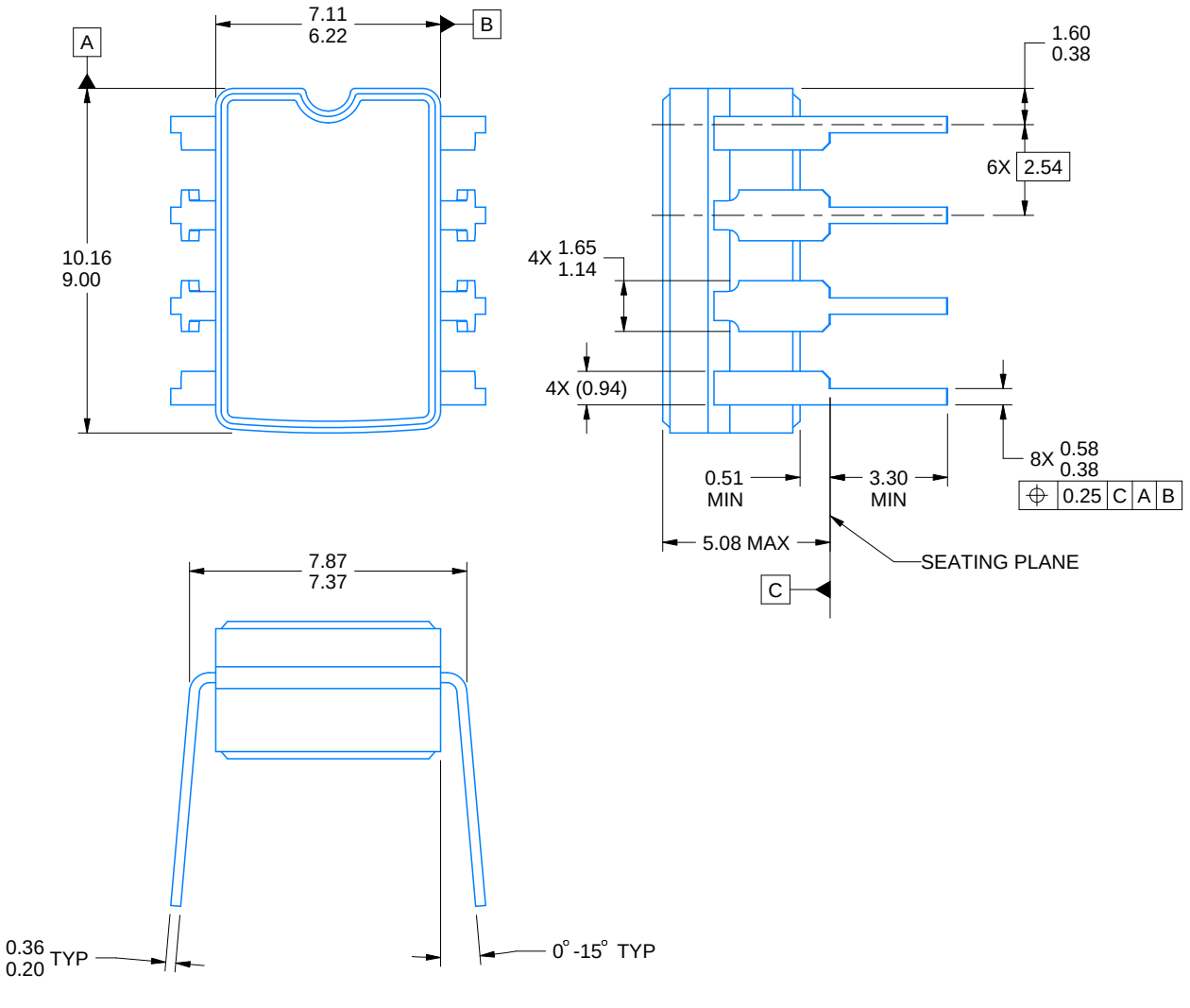
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9962001Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
TL1431CD	D	SOIC	8	75	507	8	3940	4.32
TL1431CD.A	D	SOIC	8	75	507	8	3940	4.32
TL1431MFK	FK	LCCC	20	55	506.98	12.06	2030	NA
TL1431MFK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TL1431MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TL1431MFKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TL1431QD	D	SOIC	8	75	505.46	6.76	3810	4
TL1431QD	D	SOIC	8	75	507	8	3940	4.32
TL1431QD.A	D	SOIC	8	75	507	8	3940	4.32
TL1431QD.A	D	SOIC	8	75	505.46	6.76	3810	4
TL1431QDG4	D	SOIC	8	75	505.46	6.76	3810	4
TL1431QDG4.A	D	SOIC	8	75	505.46	6.76	3810	4

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

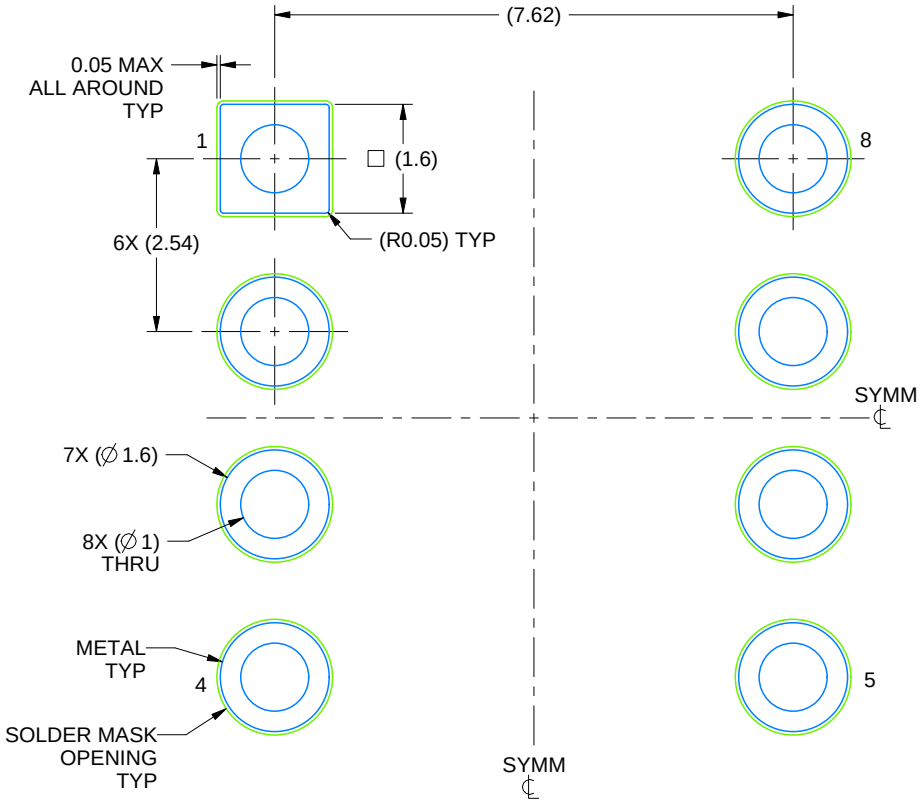
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

GENERIC PACKAGE VIEW

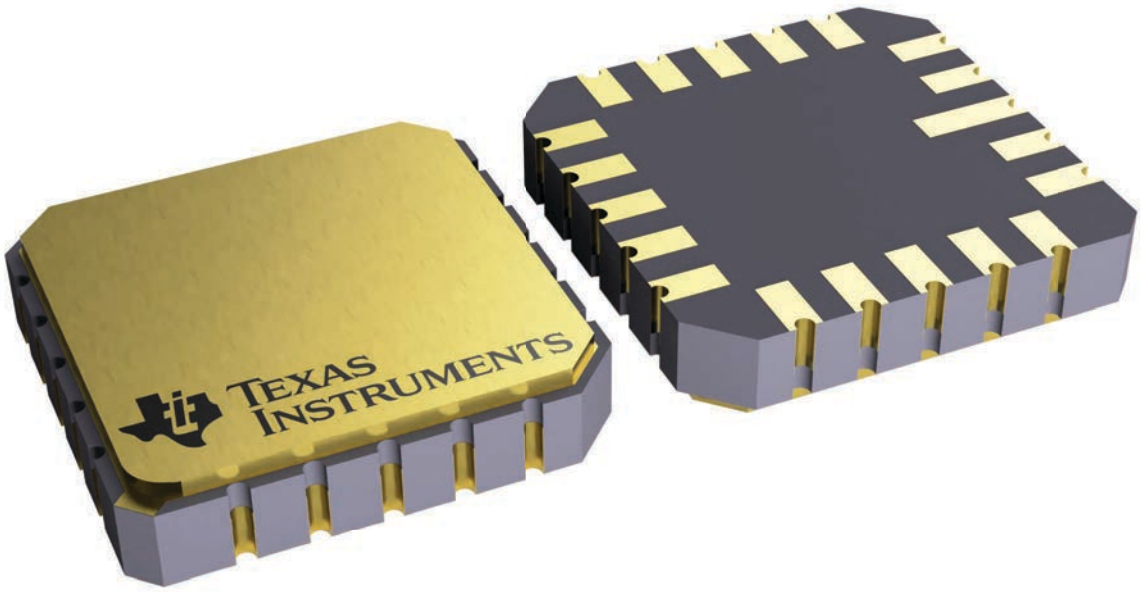
FK 20

LCCC - 2.03 mm max height

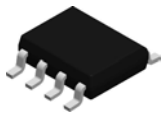
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

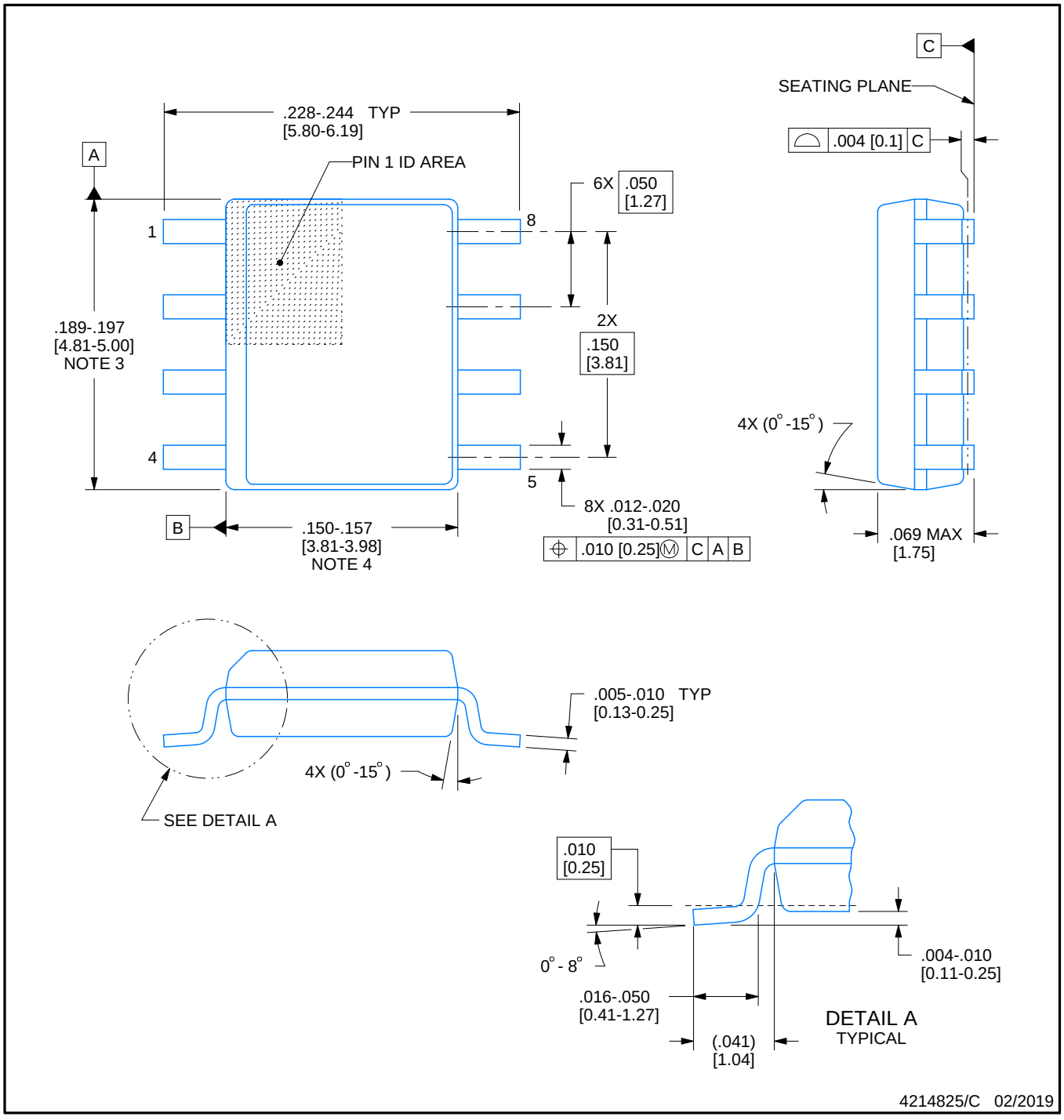


PACKAGE OUTLINE

D0008A

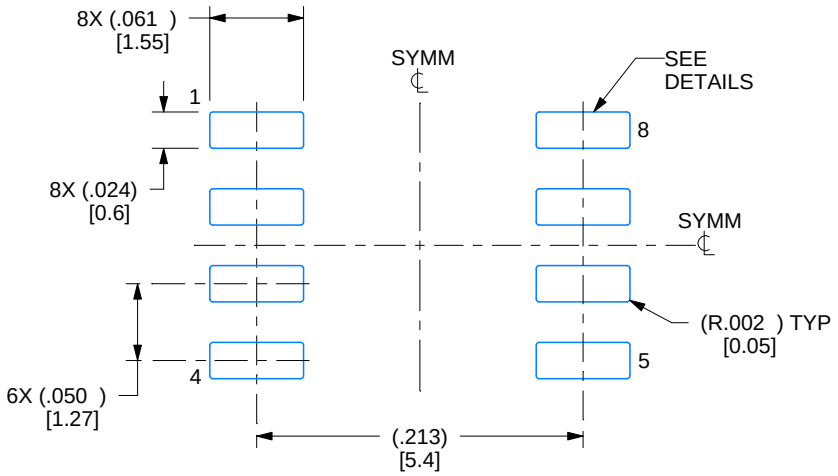
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

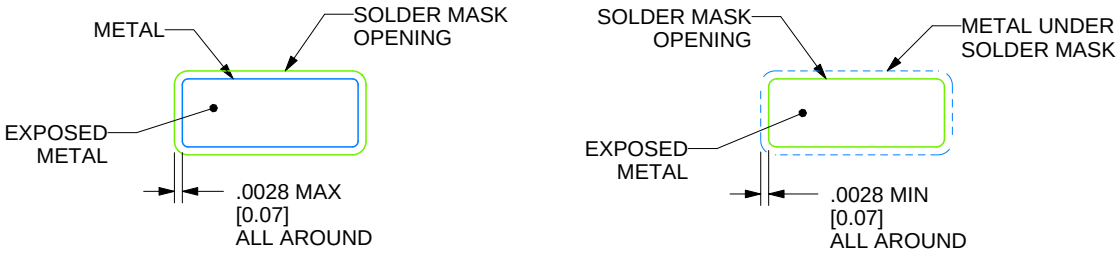


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

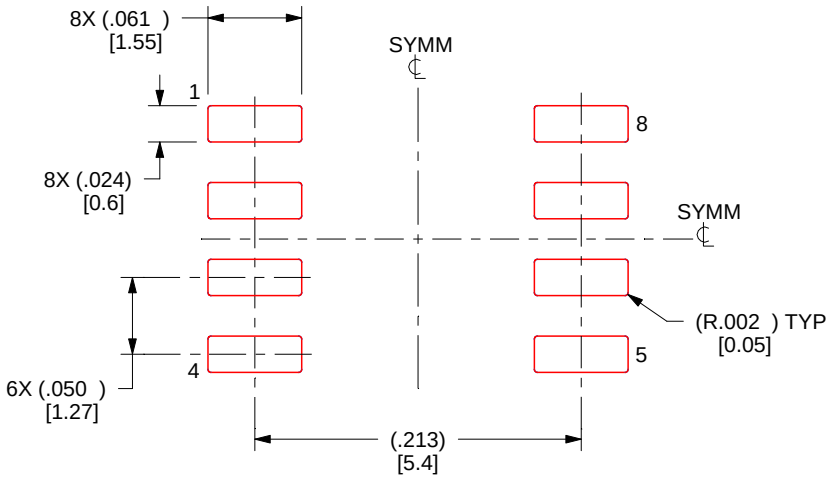
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

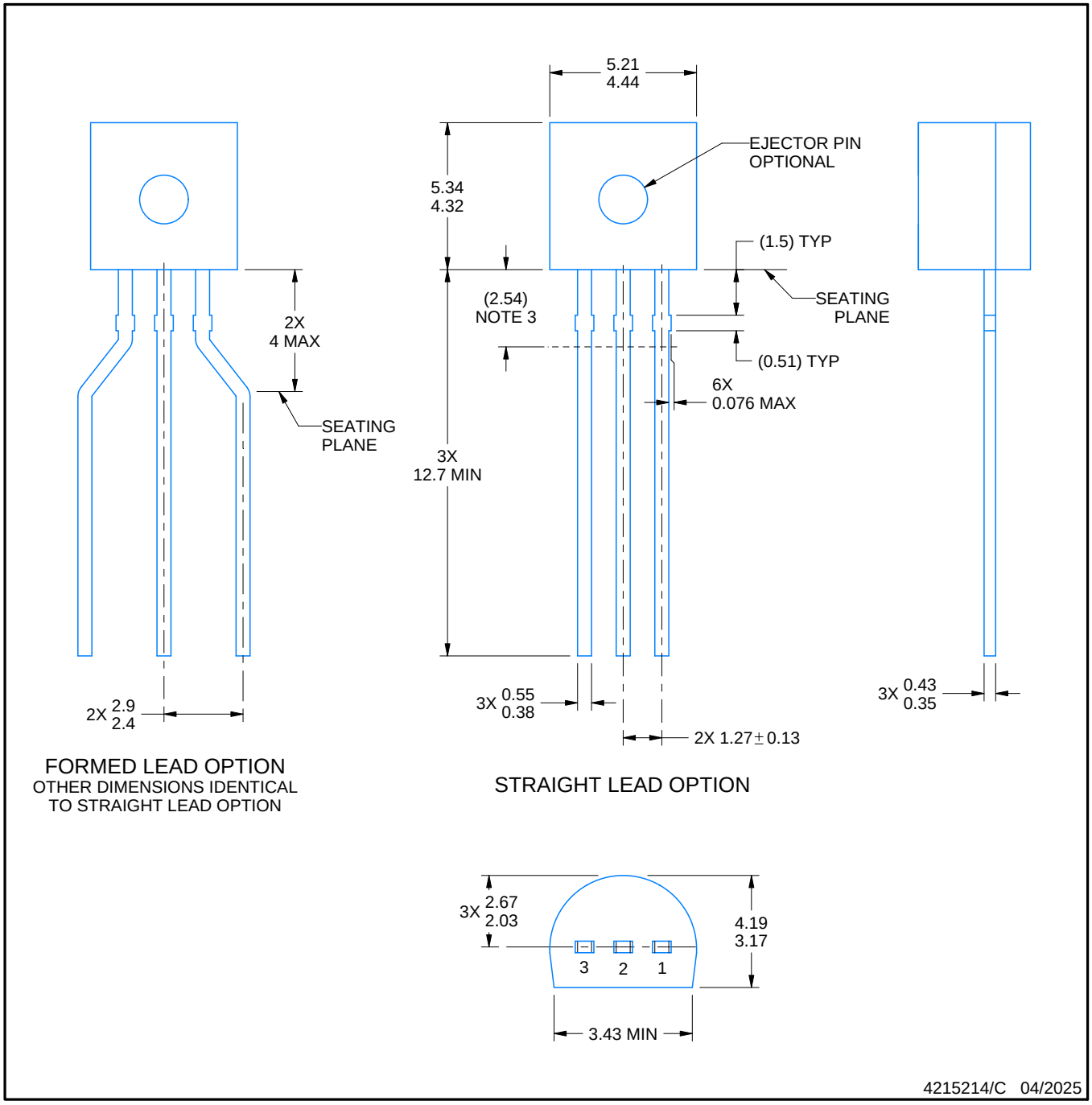
LP0003A



PACKAGE OUTLINE

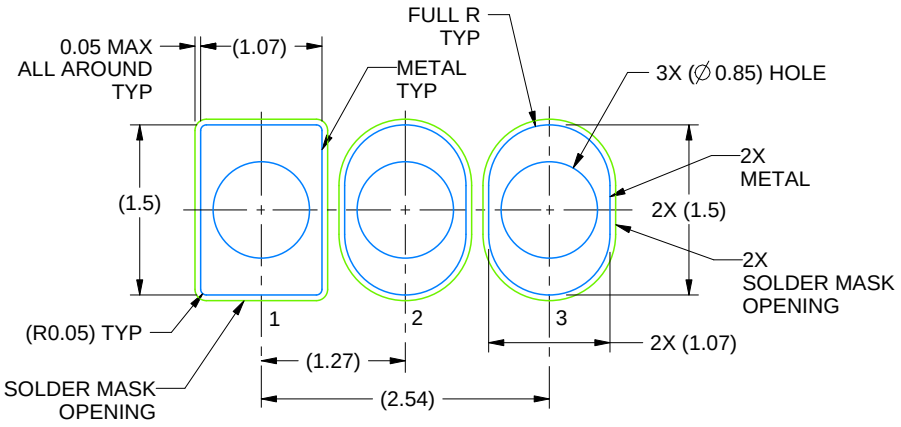
TO-92 - 5.34 mm max height

TO-92

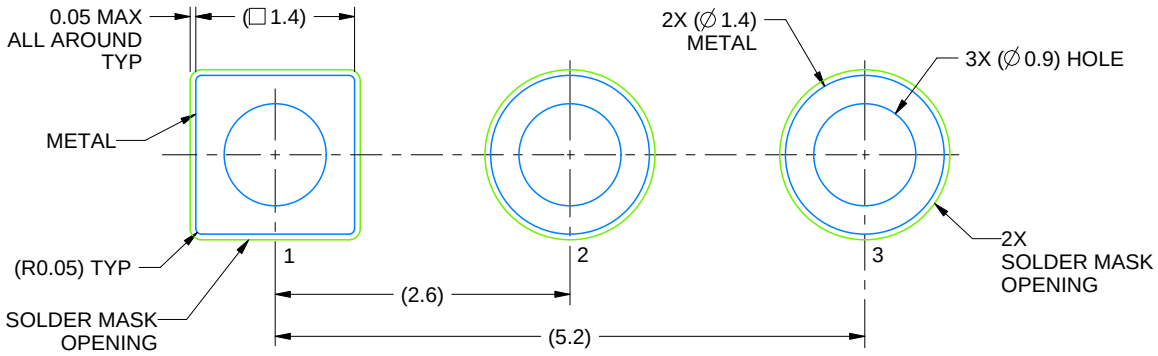


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
   a. Straight lead option available in bulk pack only.
   b. Formed lead option available in tape and reel or ammo pack.
   c. Specific products can be offered in limited combinations of shipping medium and lead options.
   d. Consult product folder for more information on available options.



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



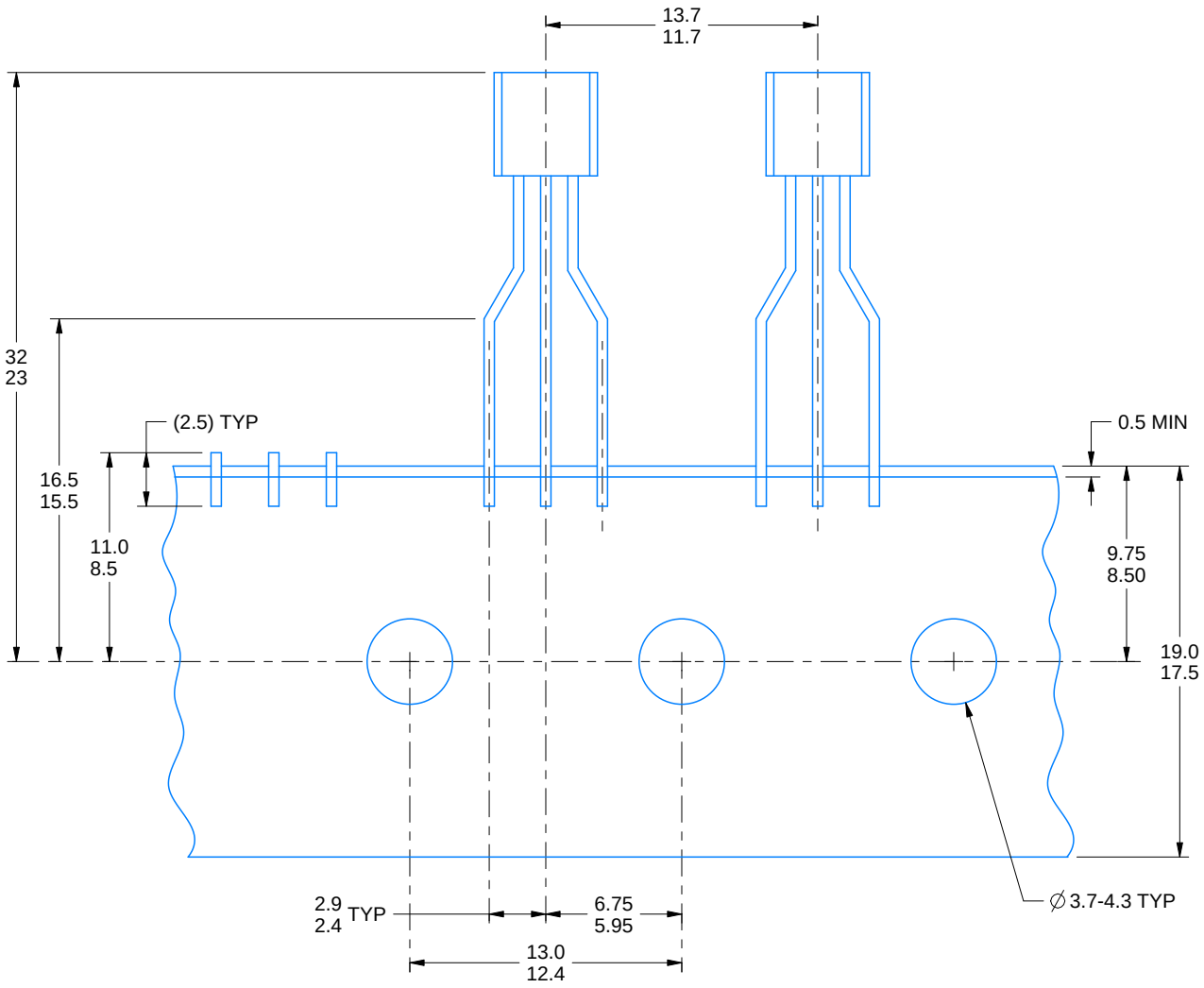
LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/C 04/2025

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

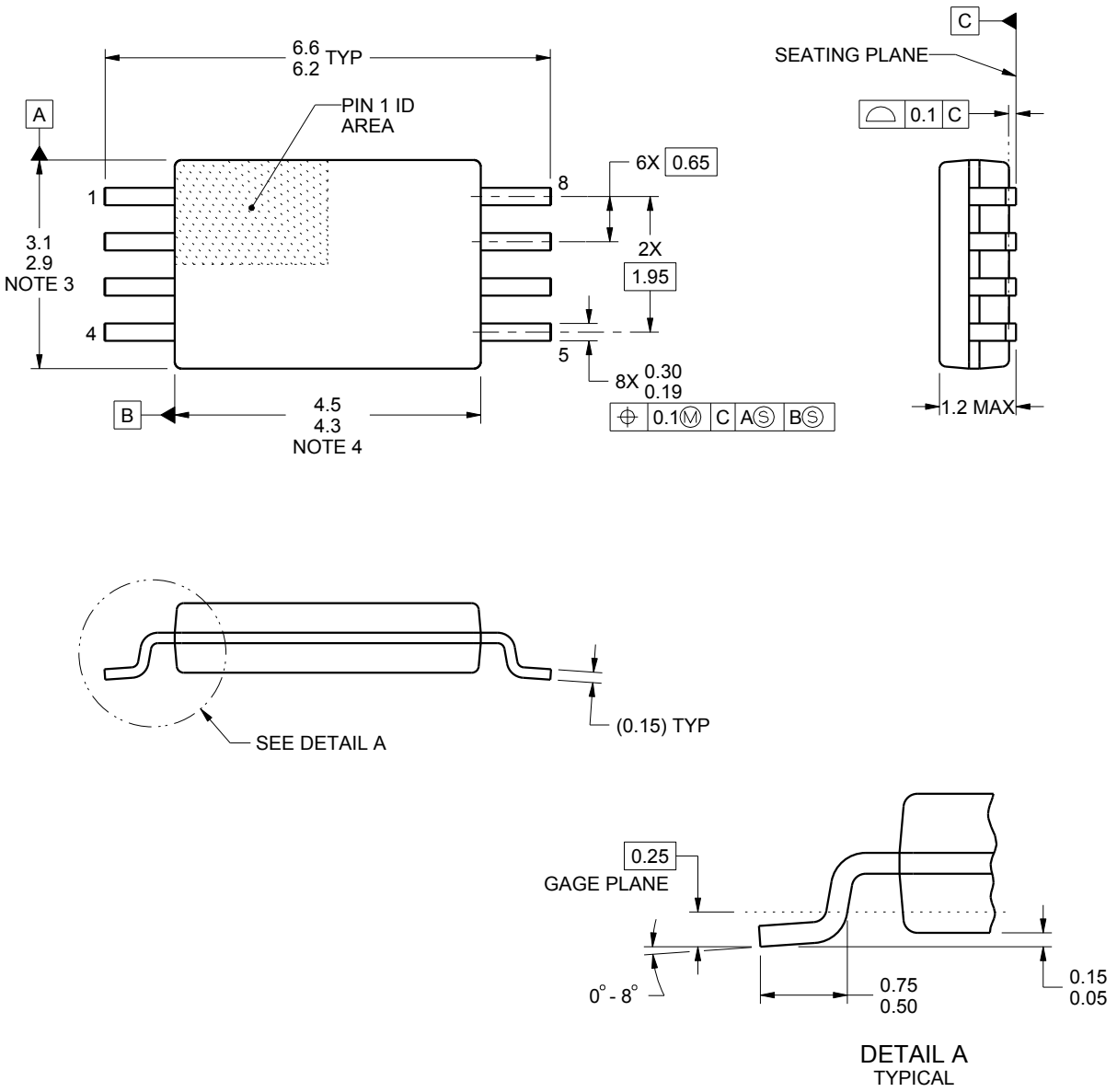
4215214/C 04/2025

PACKAGE OUTLINE

PW0008A

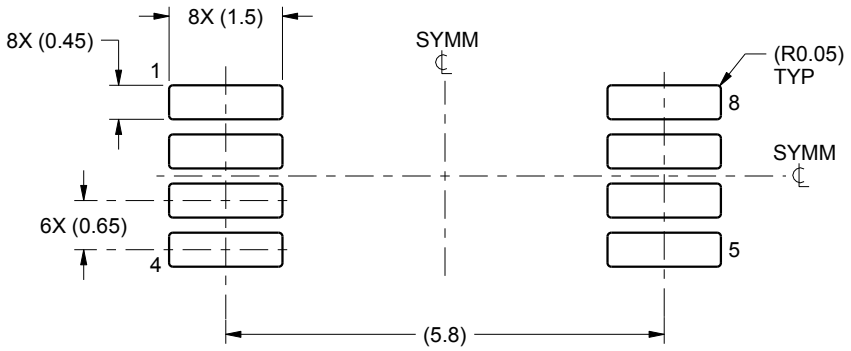
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

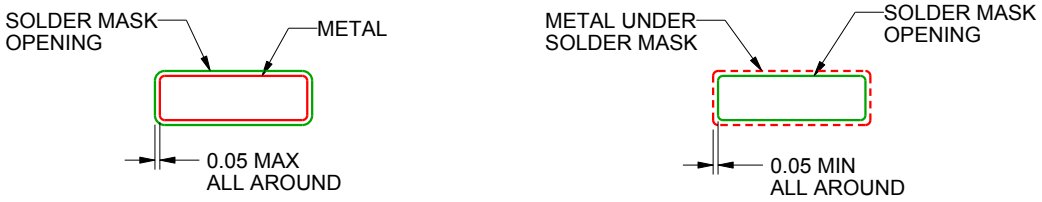


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

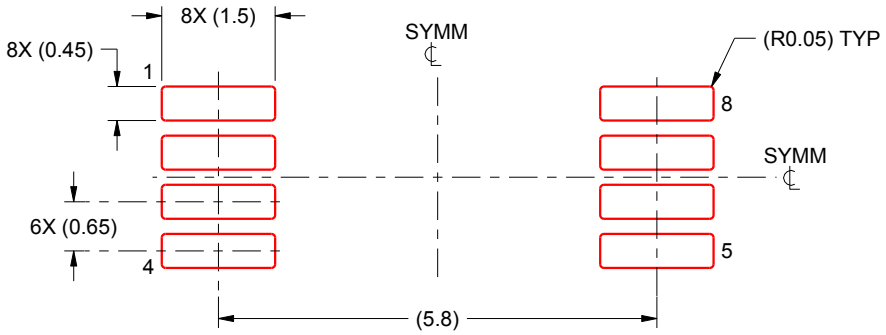


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月