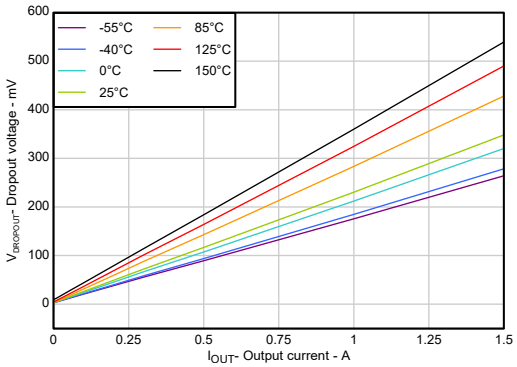
TL1963A 1.5A 低ノイズ、高速過渡応答、低ドロップアウト レギュレータ

1 特長

- 入力電圧範囲:2.4V ～ 20V
- 出力電圧範囲 (調整可能):1.21V ～ 20V
- 出力電圧範囲 (固定):
  - 従来のチップ:1.5V、1.8V、2.5V、3.3V
  - 新しいチップ:1.8V、3.3V
- 出力精度 (ライン、負荷、温度)
  - 従来のチップ:±3% (すべてのパッケージ)
  - 新しいチップ:
    - +3%/-2% (DCY のみ)
    - ±1.5% (DCQ および KTT のみ)
- 最大出力電流 (I_{OUT}):最大 1.5A
- ドロップアウト電圧:I_{OUT} = 1.5A 時に 340mV (代表値)
- 安定動作のための出力コンデンサ:≥ 10µF かつ ESR ≤ 3Ω
- 低ノイズ:V_{OUT} = 1.21V の場合、23µV_{RMS} (10Hz ～ 100kHz)
- フォルト保護機能を搭載:
  - 逆電流、サーマル シャットダウン、過電流保護 (従来チップと新しいチップの両方)
  - 逆極性バッテリ保護 (従来のチップのみ)
- パッケージ:
  - 4 ピン SOT-223 (DCY)
  - 6 ピン SOT-223 (DCQ)
  - 5 ピン DDPAK/TO-263 (KTT)

2 アプリケーション

- EV 充電インフラ
- エネルギー ストレージ システム
- 医療用画像処理
- 半導体テストおよび ATE



ドロップアウト電圧と出力電流との関係 (新しいチップ)

3 説明

TL1963A-xx レギュレータは、低ドロップアウト型 (LDO) レギュレータであり、幅広い用途に対応する堅牢で使いやすいパワー マネージメント設計を提供します。このデバイスは、340mV (標準値) のドロップアウト電圧で 1.5A の出力電流を供給でき、可変構成で広い出力範囲 (1.21V ～ 20V) をサポートします。さらに、TL1963A-xx は、ライン、負荷、および温度の全範囲にわたって ±1.5% という高い出力精度 (新しいチップの DCQ、KTT パッケージの場合)、高速過渡応答、低い出力ノイズ (ユニティ ゲイン可変構成では 23µV_{RMS}) もサポートしているため、感度の高い RF 電源アプリケーションに最適です。

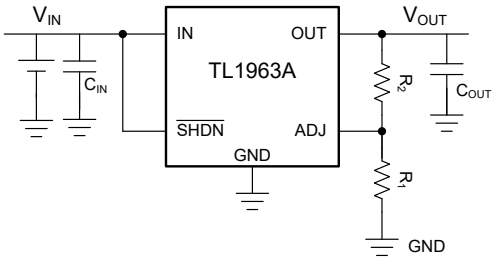
TL1963A-xx レギュレータは 10µF という低容量の出力コンデンサでも安定して動作し、最大 3Ω の ESR 範囲をサポートします。TL1963A-xx (従来チップと新チップの両方) には、過電流、過熱 (サーマル シャットダウン)、逆電流保護のための保護メカニズムが内蔵されており、LDO の安定した動作を実現します。また、TL1963A-xx の従来チップは、逆極性バッテリ保護機能も内蔵しています。

TL1963A-xx は、固定出力専用の 6.50mm × 7.0mm、4 ピン SOT-223 (DCY) パッケージ、ならびに固定出力と可変出力に対応した 6.50mm × 7.06mm、6 ピン SOT-223 (DCQ) パッケージおよび 10.16mm × 15.24mm、5 ピン DDPAK/TO-263 (KTT) パッケージで提供されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TL1963A-xx	DCY (SOT-223、4)	6.50mm × 7.00mm
	DCQ (SOT-223、6)	6.50mm × 7.06mm
	KTT (DDPAK/TO-263、5)	10.16mm × 15.24mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性:TL1963A (DCQ、KTT パッケージ用).....6
5.6 電気的特性:TL1963A (DCY パッケージ用).....9
5.7 代表的特性.....13
6 詳細説明.....24
6.1 概要.....24
6.2 機能ブロック図.....24
6.3 機能説明.....24
6.4 デバイスの機能モード.....28
7 アプリケーションと実装.....29
7.1 使用上の注意.....29
7.2 代表的なアプリケーション.....31
7.3 電源に関する推奨事項.....36
7.4 レイアウト.....37
8 デバイスおよびドキュメントのサポート.....42
8.1 デバイス サポート.....42
8.2 ドキュメントのサポート.....42
8.3 ドキュメントの更新通知を受け取る方法.....42
8.4 商標.....42
8.5 静電気放電に関する注意事項.....42
8.6 用語集.....42
9 改訂履歴.....42
10 メカニカル、パッケージ、および注文情報.....44

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

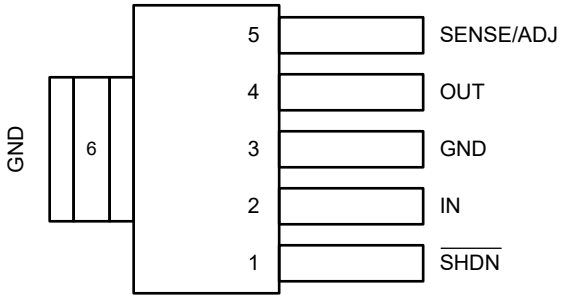


図 4-1. DCQ (SOT-223-6) ピン構成 (上面図)

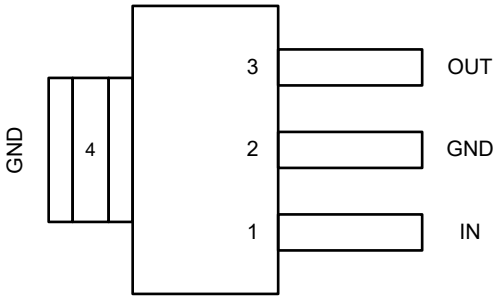


図 4-2. DCY (SOT-223-4) ピン構成 (上面図)

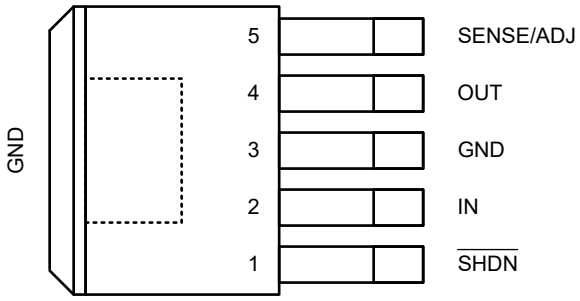


図 4-3. KTT (DDPAK/TO-263-5) ピン構成 (上面図)

表 4-1. ピンの機能

ピン				タイプ[1]	説明
名称	DCQ	DCY	KTT		
ADJ	5	—	5	I	TL1963A の可変構成では、このピンはフィードバック デバイダを利用して出力電圧を設定します。デバイスを動作させるには、このピンを直接、または抵抗デバイダを介して出力に接続する必要があります。ADJ ピンに流れる電流は出力精度に影響を及ぼす可能性があり、電気的特性:TL1963A (DCQ、KTT パッケージ用) の I_{ADJ} としてキャプチャされます。
GND	3、6	2、4	3	—	グランド
IN	2	1	2	I	入力電源ピン。詳細については、「推奨動作条件」表と 入出力キャパシタンスと過渡応答 を参照してください。TL1963A-xx レギュレータ (従来のチップのみ) は、逆極性保護付きに設計されており、新しいバージョンと従来のチップ バージョンの両方が、逆電流保護付きに設計されています。
OUT	4	3	4	O	レギュレータの出力。安定性のために、OUT とグランドの間にコンデンサが必要です。「推奨動作条件」表および「入出力キャパシタンスと過渡応答」セクションに示されているように、最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUT とグランドの間に接続します。この出力コンデンサは、デバイスのできるだけ近くに配置します。

表 4-1. ピンの機能 (続き)

ピン				タイプ(1)	説明
名称	DCQ	DCY	KTT		
SENSE	5	—	5	I	TL1963A-xx の固定電圧バージョンでは、SENSE ピンはエラー アンプへの入力になっています。電気的特性:TL1963A (DCQ、KTT パッケージ用) の SENSE ピンのバイアス電流は、I_{SENSE} としてキャプチャされます。従来のチップの場合、SENSE ピンはグランドより低く (レギュレータ負荷が負電源に戻るデュアル電源システムの場合と同様)、引き続きデバイスを起動して動作させることができます。詳細については、「SENSE ピンでのケルビン センス接続」を参照してください。
$\overline{SHDN}$	1	—	1	I	$\overline{SHDN}$ ピンを High に駆動すると、デバイスが有効になります。このピンを Low に駆動すると、デバイスはディスエーブルになります。高スレッショルドと低スレッショルドを 電気的特性:TL1963A (DCQ、KTT パッケージ用) 表に示します。$\overline{SHDN}$ ピンは、使用しない場合は、V_{IN} に接続する必要があります。従来のチップでは、$\overline{SHDN}$ ピンが接続されていないとき、デバイスは低消費電力シャットダウン状態にあります。
サーマル パッド	—	—	—	—	KTT、DCY、DCQ パッケージの場合、露出したサーマル パッドはグランドに接続しており、定格放熱性能を得るために PCB に半田付けする必要があります。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	入力電圧 (従来のチップ)	-20	20	V
	入力電圧 (新しいチップ)	-0.3	20.2	V
	出力電圧範囲 (従来のチップ)	-20	20	V
	出力電圧 (新しいチップ、DCY)	-0.3	7	V
	出力電圧 (新しいチップ、DCQ と KTT)	-0.3	20	V
	入出力間差動 (従来のチップ)	-20	20	V
	入出力差動 (新しいチップ)	-7.0	20	V
	センス電圧 (従来のチップ)	-20	20	V
	センス電圧 (新しいチップ)	-0.3	7	V
	ADJ 電圧 (従来のチップ)	-7	7	V
	ADJ 電圧 (新しいチップ)	-0.3	7	V
	$\overline{SHDN}$ 電圧 (従来のチップ)	-20	20	V
	$\overline{SHDN}$ 電圧 (新しいチップ)	-0.3	20	V
出力短絡時間、t_{SHORT}			無制限	℃
最大リード温度 (10 秒の半田付け時間)、T_{LEAD}			300	°C
最大接合部温度、T_{JMAX} (従来のチップ)			125	°C
動作時の接合部温度、T_J (新しいチップ)		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			VALUE (従来チップ)	VALUE (新しいチップ)	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000		V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000		

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	標準値	最大値	単位
V_{IN}	入力電圧	従来のチップ	V_{OUT} + V_{DO}		20	V
		新しいチップ	2.4		20	
V_{IH}	$\overline{SHDN}$ High レベル入力電圧		2		20	V
V_{IL}	$\overline{SHDN}$ Low レベル入力電圧				0.25	V

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	標準値	最大値	単位
I_{OUT}	出力電流		0		1.5	A
T_J	動作時接合部温度		-40		125	°C
C_{IN}	入力コンデンサ	新しいチップ		1		µF
C_{OUT}	出力コンデンサ		10			µF
$C_{OUT\ ESR}$	出力コンデンサ ESR (新しいチップ)		10m		3	Ω

(1) TL1963A は、「電気的特性」に示されているように、一部の出力電圧や負荷条件において、より高い最小入力電圧を必要とする場合があります。

5.4 熱に関する情報

熱評価基準(1)		TL1963A-xx				単位
		KTT 5 ピン	DCQ 6 ピン	DCY 4 ピン		
				従来のチップ	新しいチップ	
$R_{\theta JA}$	接合部から周囲への熱抵抗、従来のデバイス	32.9	50.5	57.9	73.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗、従来のデバイス	37.6	31.1	38.6	44.01	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗、従来のデバイス	18.9	5.1	7.1	12.67	°C/W
ψ_{JT}	接合部から上面への特性パラメータ、従来のデバイス	5.7	1.0	1.7	3.56	°C/W
ψ_{JB}	接合部から基板への特性パラメータ、従来のデバイス	17.3	5.0	7.0	12.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗、従来のデバイス	1.0	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性：TL1963A (DCQ、KTT パッケージ用)

V_{IN} = V_{OUT} + 1V、V_{EN} = 5V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF および T_J = –40°C ～ 125°C で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
V_{IN} 最小入力電圧、従来のデバイス	I_{LOAD} = 0.5A		T_J = 25°C		1.9		V
	I_{LOAD} = 1.5A		T_J = –40°C～125°C		2.1	2.5	V
V_{IN} 最小入力電圧、新しいチップ	I_{LOAD} = 0.5A		T_J = 25°C			2.4	V
	I_{LOAD} = 1.5A		T_J = –40°C～125°C			2.4	V
$V_{UVLO\ (RISING)}$、新しいチップ	V_{IN} rising、I_{OUT} = 10mA		T_J = –40°C～125°C	2.0	2.2	2.3	V
$V_{UVLO\ (FALLING)}$、新しいチップ	V_{IN} falling、I_{OUT} = 10mA		T_J = –40°C～125°C	1.9	2.05	2.15	V
$V_{UVLO\ (HYST)}$、新しいチップ			T_J = –40°C～125°C		150		mV
V_{OUT} レギュレーション済み出力電圧、従来のデバイス	TL1963A-18	V_{IN} = 2.3V、I_{LOAD} = 1mA	T_J = 25°C	1.773	1.8	1.827	V
		V_{IN} = 2.8V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40°C～125°C	1.737	1.8	1.854	V
	TL1963A-33	V_{IN} = 3.8V、I_{LOAD} = 1mA	T_J = 25°C	3.25	3.3	3.35	V
		V_{IN} = 4.3V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40°C～125°C	3.2	3.3	3.4	V

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性：TL1963A (DCQ、KTT パッケージ用) (続き)

V_{IN} = V_{OUT} + 1V、V_{EN} = 5V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF および T_J = –40℃ ～ 125℃ で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
V_{ADJ} ADJ ピン電圧、従来のデバイス	TL1963A	V_{IN} = 2.21V、I_{LOAD} = 1mA	T_J = 25°C	1.192	1.21	1.228	V
		V_{IN} = 2.5V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40°C～125°C	1.174	1.21	1.246	V
V_{OUT} レギュレーション済み出力電圧、新しいチップ	TL1963A-18	V_{IN} = 2.4V、I_{LOAD} = 1mA	T_J = 25°C	1.782	1.8	1.818	V
		V_{IN} = 2.8V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40°C～125°C	1.773	1.8	1.827	V
	TL1963A-33	V_{IN} = 3.8V、I_{LOAD} = 1mA	T_J = 25°C	3.284	3.3	3.316	V
		V_{IN} = 4.3V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40°C～125°C	3.25	3.3	3.35	V
V_{ADJ} ADJ ピン電圧、新しいチップ	TL1963A	V_{IN} = 2.4V、I_{LOAD} = 1mA	T_J = 25°C	1.204	1.21	1.216	V
		V_{IN} = 2.4V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40°C～125°C	1.192	1.21	1.228	V
ライン レギュレーション、従来のデバイス	TL1963A-18	ΔV_{IN} = 2.3V ～ 20V、I_{LOAD} = 1mA	T_J = –40°C～125°C		2.5	7	mV
	TL1963A-33	ΔV_{IN} = 3.8V ～ 20V、I_{LOAD} = 1mA			3.5	10	mV
	TL1963A	ΔV_{IN} = 2.21V ～ 20V、I_{LOAD} = 1mA			1.5	5	mV
ライン レギュレーション、新しいチップ	TL1963A-18	ΔV_{IN} = 2.4V ～ 10V、I_{LOAD} = 1mA	T_J = –40°C～125°C		1.25	7	mV
		ΔV_{IN} = 2.4V ～ 20V、I_{LOAD} = 1mA			2.5	7	mV
	TL1963A-33	ΔV_{IN} = 3.8V ～ 10V、I_{LOAD} = 1mA			2.0	10	mV
		ΔV_{IN} = 3.8V ～ 20V、I_{LOAD} = 1mA			2.5	10	mV
	TL1963A	ΔV_{IN} = 2.4V ～ 10V、I_{LOAD} = 1mA			1.0	5	mV
		ΔV_{IN} = 2.4V ～ 20V、I_{LOAD} = 1mA			1.0	5	mV
ロード レギュレーション、従来のデバイス	TL1963A-18	V_{IN} = 2.8V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25°C		2	10	mV
			T_J = –40°C ～ 125°C			20	mV
	TL1963A-33	V_{IN} = 4.3V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25°C		3	20	mV
			T_J = –40°C ～ 125°C			70	mV
	TL1963A	V_{IN} = 2.5V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25°C		2	8	mV
			T_J = –40°C ～ 125°C			18	mV

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性：TL1963A (DCQ、KTT パッケージ用) (続き)

V_{IN} = V_{OUT} + 1V、V_{EN} = 5V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF および T_J = –40℃ ～ 125℃ で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
ロード レギュレーション、新しいチップ	TL1963A-18	V_{IN} = 2.8V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃			3.5	mV
			T_J = –40℃～125℃			9	mV
	TL1963A-33	V_{IN} = 4.3V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃			6.5	mV
			T_J = –40℃～125℃			16.5	mV
	TL1963A	V_{IN} = 2.4V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃			2.5	mV
			T_J = –40℃～125℃			6	mV
		V_{IN} = 2.4V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = –40℃～125℃	-0.5		0.5	%
V_{DO} ドロップアウト電圧	TL1963A：V_{IN} ≥ 2.4V、V_{ADJ} = 0.9 × V_{REF} TL1963A-33：V_{IN} = 3.3V	I_{LOAD} = 1mA	T_J = 25℃		0.0015	0.06	V
			T_J = –40℃～125℃			0.1	V
		I_{LOAD} = 100mA	T_J = 25℃		0.025	0.17	V
			T_J = –40℃～125℃			0.22	V
		I_{LOAD} = 500mA	T_J = 25℃		0.12	0.27	V
			T_J = –40℃～125℃			0.35	V
		I_{LOAD} = 1.5A	T_J = 25℃		0.34	0.45	V
			T_J = –40℃～125℃			0.55	V
I_{GND} GND ピン電流、V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1、従来のデバイス	I_{LOAD} = 0mA		T_J = –40℃ ～ 125℃		1	1.5	mA
	I_{LOAD} = 1mA				1.1	1.6	mA
	I_{LOAD} = 100mA				3.8	5.5	mA
	I_{LOAD} = 500mA				15	25	mA
	I_{LOAD} = 1.5A				80	120	mA
I_{GND} GND ピン電流、V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1、新しいデバイス	I_{LOAD} = 0A		T_J = –40℃～125℃			1.2	mA
	I_{LOAD} = 1mA					1.2	mA
	I_{LOAD} = 100mA					1.2	mA
	I_{LOAD} = 500mA					1.2	mA
	I_{LOAD} = 1.5A					1.25	mA
e_N 出力電圧ノイズ、従来のデバイス	C_{OUT} = 10µF、I_{LOAD} = 1.5A、B_W = 10Hz ～ 100kHz、V_{OUT} = V_{ADJ}		T_J = 25°C		14		μV_{RMS}
e_N 出力電圧ノイズ、新しいチップ	C_{OUT} = 10µF、I_{LOAD} = 1.5A、B_W = 10Hz ～ 100kHz、V_{OUT} = V_{ADJ}		T_J = 25°C		23		μV_{RMS}
I_{ADJ} ADJ ピンのバイアス電流			T_J = 25°C		3	10	µA
シャットダウン スレッショルド	V_{OUT} = オフからオン		T_J = –40℃～125℃		0.9	2	V
	V_{OUT} = オンからオフ			0.25	0.75		V
I_{SHDN} SHDN ピンの電流	V_{SHDN} = 0V		T_J = 25°C		0.01	1	µA
	V_{SHDN} = 20V				3	30	µA
シャットダウン時の $I_{Q\ SHDN}$ 静止電流、従来のデバイス	V_{IN} = 6V、V_{SHDN} = 0V		T_J = 25°C		0.01	1	µA

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性：TL1963A (DCQ、KTT パッケージ用) (続き)

V_{IN} = V_{OUT} + 1V、V_{EN} = 5V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF および T_J = –40℃ ～ 125℃ で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
シャットダウン時の $I_{Q\ SHDN}$ 静止電流、新しいチップ	V_{IN} = 6V、V_{SHDN} = 0V		T_J = 25°C			1.5	µA
リップル除去、従来のチップ	V_{IN} - V_{OUT} = 1.5V (平均)、V_{RIPPLE} = 0.5V_{P-P}、f_{RIPPLE} = 120Hz、I_{LOAD} = 0.75A	V_{IN} - V_{OUT} = 1.5V (平均)、V_{RIPPLE} = 0.5V_{P-P}、f_{RIPPLE} = 120Hz、I_{LOAD} = 0.75A	T_J = 25°C	55	63		dB
リップル除去、新しいチップ	V_{IN} - V_{OUT} = 1.5V (平均)、V_{RIPPLE} = 0.5V_{P-P}、f_{RIPPLE} = 120Hz、I_{LOAD} = 0.75A		T_J = 25°C	53	60		dB
I_{LIMIT} 電流制限、従来のデバイス	V_{IN} = 7V、V_{OUT} = 0V		T_J = 25°C		2		A
	V_{IN} = $V_{OUT(NOMINAL)}$ + 1V		T_J = –40°C～125°C	1.6			A
I_{LIMIT} 電流制限、新しいチップ	V_{OUT} は $V_{OUT\ (NOMINAL)}$ の 0.9 倍に強制		T_J = 25°C		2		A
I_{LIMIT} 電流制限、新しいチップ			T_J = –40°C～125°C	1.6			A
I_{IL} 入力逆リーク電流、従来のデバイス	V_{IN} = -20V、V_{OUT} = 0V		T_J = –40°C～125°C			1	µA
I_{RO} 逆出力電流、従来のデバイス	TL1963A-15	V_{OUT} = 1.5V、V_{IN} < 1.5V	T_J = 25°C		600	1200	µA
I_{RO} 逆出力電流、従来のデバイス	TL1963A-25	V_{OUT} = 2.5V、V_{IN} < 2.5V	T_J = 25°C		600	1200	µA
I_{RO} 逆出力電流、従来のデバイス	TL1963A-18	V_{OUT} = 1.8V、V_{IN} < 1.8V	T_J = 25°C		600	1200	µA
	TL1963A-33	V_{OUT} = 3.3V、V_{IN} < 3.3V			600	1200	µA
	TL1963A	V_{OUT} = 1.21V、V_{IN} < 1.21V			300	600	µA
$I_{RC\ (Steady\ State)}$、新しいチップ	定常状態の逆電流	V_{OUT} = 7V、V_{IN} = 2.4V	T_J = –40°C～125°C			250	µA
I_R、新チップ	逆電流検出	V_{OUT} が立ち上がる際に逆電流が検出され保護動作が開始される V_{OUT} − V_{IN} の条件 (V_{IN} = 6V)。	T_J = –40°C～125°C		25		mV
I_R、新チップ	逆電流保護応答時間	V_{IN}= 6V、V_{OUT} 立ち上がり、V_{OUT} - V_{IN} = 300mV	T_J = –40°C～125°C		5		µS
T_{SD+}	サーマル シャットダウン温度上昇			150	161		°C
$T_{SD–}$	サーマル シャットダウン温度下降			130	141		°C

5.6 電気的特性：TL1963A (DCY パッケージ用)

V_{IN} = V_{OUT} + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF、T_J =- –40°C ～ 125°C で規定 (特に記述のない限り)

パラメータ	テスト条件	T_J	最小値	標準値	最大値	単位
V_{IN} 最小入力電圧、従来のデバイス	I_{LOAD} = 0.5A	T_J = 25°C		1.9		V
	I_{LOAD} = 1.5A	T_J = –40°C～125°C		2.1	2.5	V
V_{IN} 最小入力電圧、新しいチップ	I_{LOAD} = 0.5A	T_J = 25°C			2.4	V
	I_{LOAD} = 1.5A	T_J = –40°C～125°C			2.4	V
$V_{UVLO\ (RISING)}$、新しいチップ	V_{IN} rising、I_{OUT} = 10mA	T_J = –40°C～125°C	2	2.2	2.3	V

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：TL1963A (DCY パッケージ用) (続き)

V_{IN} = V_{OUT} + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF、T_J =- –40℃ ～ 125℃ で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
$V_{UVLO (FALLING)}$、新しいチップ	V_{IN} falling、I_{OUT} = 10mA		T_J = –40℃～125℃	1.85	2.05	2.15	V
$V_{UVLO (HYST)}$、新しいチップ			T_J = –40℃～125℃		150		mV
V_{OUT} レギュレーション済み出力電圧、従来のデバイス	TL1963A-18	V_{IN} = 2.3V、I_{LOAD} = 1mA	T_J = 25°C	1.773	1.8	1.827	V
		V_{IN} = 2.8V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40℃～125℃	1.737	1.8	1.854	V
	TL1963A-33	V_{IN} = 3.8V、I_{LOAD} = 1mA	T_J = 25°C	3.25	3.3	3.35	V
		V_{IN} = 4.3V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40℃～125℃	3.2	3.3	3.4	V
V_{OUT} レギュレーション済み出力電圧、新しいチップ、DCY パッケージ	TL1963A-18	V_{IN} = 2.4V、I_{LOAD} = 1mA	T_J = 25°C	1.77	1.8	1.836	V
		V_{IN} = 2.8V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40℃～125℃	1.764	1.8	1.854	V
	TL1963A-33	V_{IN} = 3.8V、I_{LOAD} = 1mA	T_J = 25°C	3.246	3.3	3.37	V
		V_{IN} = 4.3V ～ 20V、I_{LOAD} = 1mA ～ 1.5A	T_J = –40℃～125℃	3.234	3.3	3.4	V
ライン レギュレーション、従来のデバイス	TL1963A-18	ΔV_{IN} = 2.3V ～ 20V、I_{LOAD} = 1mA	T_J = –40℃～125℃		2.5	7	mV
	TL1963A-33	ΔV_{IN} = 3.8V ～ 20V、I_{LOAD} = 1mA	T_J = –40℃～125℃		3.5	10	mV
ライン レギュレーション、新しいチップ	TL1963A-18	ΔV_{IN} = 2.4V ～ 10V、I_{LOAD} = 1mA	T_J = –40℃～125℃		0.25	1.2	mV
		ΔV_{IN} = 2.4V ～ 20V、I_{LOAD} = 1mA	T_J = –40℃～125℃		4.5	6	mV
	TL1963A-33	ΔV_{IN} = 3.8V ～ 10V、I_{LOAD} = 1mA	T_J = –40℃～125℃		0.35	1.65	mV
		ΔV_{IN} = 3.8V ～ 20V、I_{LOAD} = 1mA	T_J = –40℃～125℃		7.5	11.55	mV
ロード レギュレーション、従来のデバイス	TL1963A-18	V_{IN} = 2.8V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃		2	10	mV
			T_J = –40℃ ～ 125℃			20	mV
	TL1963A-33	V_{IN} = 4.3V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃		3	20	mV
			T_J = –40℃ ～ 125℃			70	mV
ロード レギュレーション、新しいチップ、DCY パッケージ	TL1963A-18	V_{IN} = 2.8V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃		1.0	1.8	mV
		V_{IN} = 2.8V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = –40℃ ～ 125℃			2.4	mV
	TL1963A-33	V_{IN} = 4.3V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = 25℃		1.2	2.5	mV
		V_{IN} = 4.3V、ΔI_{LOAD} = 1mA ～ 1.5A	T_J = –40℃ ～ 125℃			3.3	mV

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：TL1963A (DCY パッケージ用) (続き)

V_{IN} = V_{OUT} + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF、T_J =- –40℃ ～ 125℃ で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
V_{DO} ドロップアウト電圧	TL1963A-33：V_{IN} = 3.3V	I_{LOAD} = 1mA	T_J = 25℃		0.002	0.005	V
			T_J = –40℃～125℃			0.007	V
		I_{LOAD} = 100mA	T_J = 25℃		0.022	0.027	V
			T_J = –40℃～125℃			0.036	V
		I_{LOAD} = 500mA	T_J = 25℃		0.12	0.13	V
			T_J = –40℃～125℃			0.18	V
		I_{LOAD} = 1.5A	T_J = 25℃		0.34	0.40	V
			T_J = –40℃～125℃			0.53	V
I_{GND} GND ピン電流、V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1、従来のデバイス	I_{LOAD} = 0mA		T_J = –40℃ ～ 125℃		1	1.5	mA
	I_{LOAD} = 1mA		T_J = –40℃ ～ 125℃		1.1	1.6	mA
	I_{LOAD} = 100mA		T_J = –40℃～125℃		3.8	5.5	mA
	I_{LOAD} = 500mA		T_J = –40℃～125℃		15	25	mA
	I_{LOAD} = 1.5A		T_J = –40℃～125℃		80	120	mA
I_{GND} GND ピン電流、V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1、新しいデバイス	I_{LOAD} = 0A		T_J = –40℃～125℃			1.1	mA
	I_{LOAD} = 1mA		T_J = –40℃～125℃			1.1	mA
	I_{LOAD} = 100mA		T_J = –40℃～125℃			1.1	mA
	I_{LOAD} = 500mA		T_J = –40℃～125℃			1.1	mA
	I_{LOAD} = 1.5A		T_J = –40℃～125℃			1.1	mA
e_N 出力電圧ノイズ、従来のデバイス	C_{OUT} = 10µF、I_{LOAD} = 1.5A、B_W = 10Hz ～ 100kHz、V_{OUT} = V_{ADJ}		T_J = 25°C		14		μV_{RMS}
e_N 出力電圧ノイズ、新しいチップ	C_{OUT} = 10µF、I_{LOAD} = 1.5A、B_W = 10Hz ～ 100kHz、V_{OUT} = V_{ADJ}		T_J = 25°C		23		μV_{RMS}
リップル除去、従来のデバイス	V_{IN} - V_{OUT} = 1.5V (平均)、V_{RIPPLE} = 0.5V_{P-P}、f_{RIPPLE} = 120Hz、I_{LOAD} = 0.75A	V_{IN} - V_{OUT} = 1.5V (平均)、V_{RIPPLE} = 0.5V_{P-P}、f_{RIPPLE} = 120Hz、I_{LOAD} = 0.75A	T_J = 25°C	55	63		dB
リップル除去、新しいチップ	V_{IN} - V_{OUT} = 1.5V (平均)、V_{RIPPLE} = 0.5V_{P-P}、f_{RIPPLE} = 120Hz、I_{LOAD} = 0.75A		T_J = 25°C	53	60		dB
I_{LIMIT} 電流制限、従来のデバイス	V_{IN} = 7V、V_{OUT} = 0V		T_J = 25°C		2		A
	V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1		T_J = –40℃～125℃	1.6			A
I_{LIMIT} 電流制限、新しいチップ	V_{OUT} は $V_{OUT\ (NOMINAL)}$ の 0.9 倍に強制		T_J = 25°C		2.2		A
			T_J = –40℃～125℃	1.65		2.75	A

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：TL1963A (DCY パッケージ用) (続き)

V_{IN} = V_{OUT} + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{IN} = 1µF、T_J =- –40℃ ～ 125℃ で規定 (特に記述のない限り)

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
I_{IL} 入力逆リーク電流、従来のデバイス	V_{IN} = -20V、V_{OUT} = 0V		T_J = –40℃～125℃			1	µA
I_{RO} 逆出力電流、従来のデバイス	TL1963A-15	V_{OUT} = 1.5V、V_{IN} < 1.5V	T_J = 25°C		600	1200	µA
I_{RO} 逆出力電流、従来のデバイス	TL1963A-25	V_{OUT} = 2.5V、V_{IN} < 2.5V	T_J = 25°C		600	1200	µA
I_{RO} 逆出力電流、従来のデバイス	TL1963A-18	V_{OUT} = 1.8V、V_{IN} < 1.8V	T_J = 25°C		600	1200	µA
	TL1963A-33	V_{OUT} = 3.3V、V_{IN} < 3.3V	T_J = 25°C		600	1200	µA
I_R (Steady State)、新しいチップ	V_{IN} での逆電流	V_{IN} = 0V、V_{OUT} ≤ 7V	T_J = –40℃～125℃			10	µA
I_R、新チップ	逆電流検出	V_{OUT} が立ち上がる際に逆電流が検出され保護動作が開始される V_{OUT} – V_{IN} の条件 (V_{IN} = 6V)。	T_J = –40℃～125℃		25		mV
I_R、新チップ	逆電流保護応答時間	V_{IN}= 6V、V_{OUT} 立ち上がり、V_{OUT} - V_{IN} = 300mV	T_J = –40℃～125℃		5		µS
T_{SD+}	サーマルシャットダウン温度上昇			150	161		°C
$T_{SD–}$	サーマルシャットダウン温度下降			130	141		°C

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

動作温度 T_J = 25℃、V_{IN} = $V_{OUT(NOM)}$ + 1.0V または 2.4V (どちらか大きい方)、I_{OUT} = 1mA、C_{IN} = 10µF、C_{OUT} = 10µF (特に記述のない限り)。

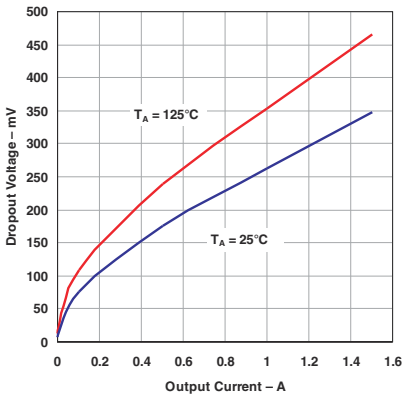


図 5-1. ドロップアウト電圧と出力電流との関係 (従来のチップ)

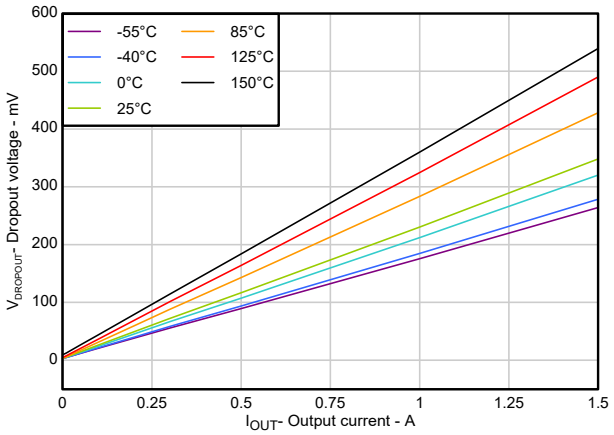


図 5-2. ドロップアウト電圧と出力電流との関係 (新しいチップ)

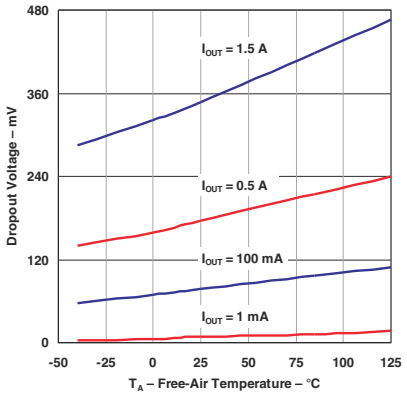
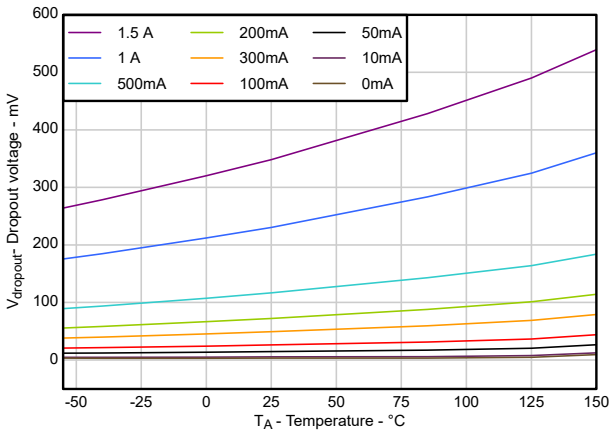
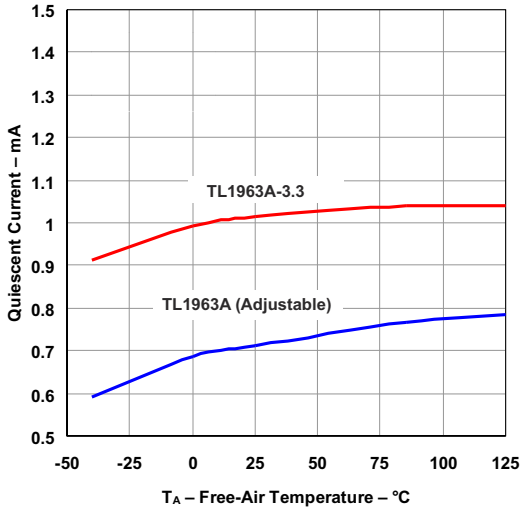


図 5-3. ドロップアウト電圧と温度との関係 (従来のチップ)



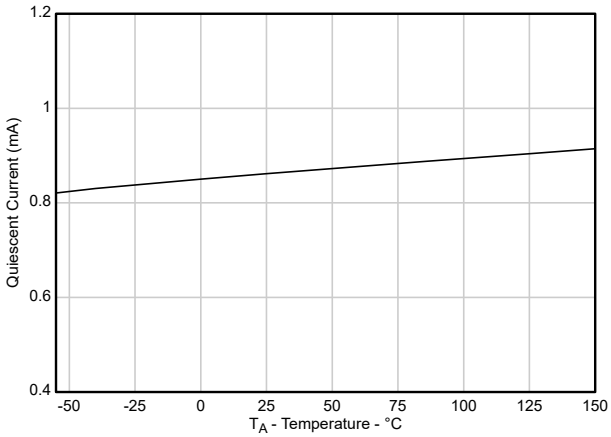
TL1963A-3.3 の場合 (V_{OUT} = 3.3V)

図 5-4. ドロップアウト電圧と温度との関係 (新チップ)



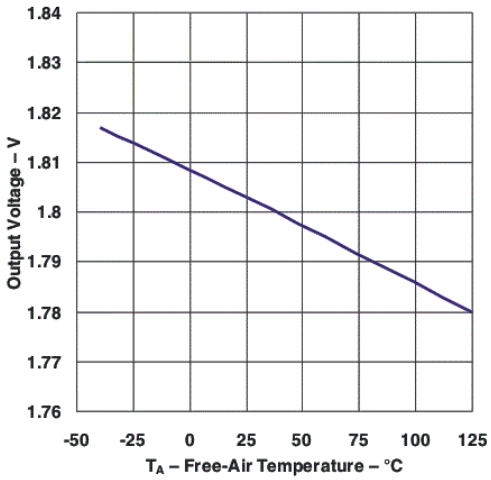
V_{IN} = 6V I_{OUT} = 0A V_{SHDN} = VIN

図 5-5. 静止電流と温度との関係 (従来のチップ)



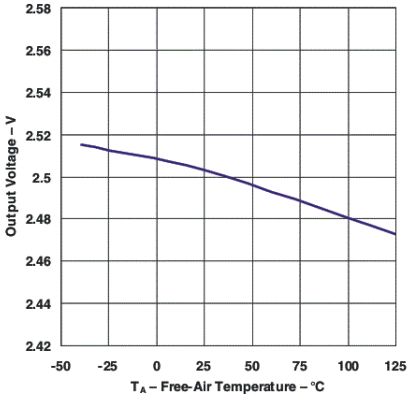
TL1963A-3.3 (V_{OUT} = 3.3V) I_{OUT} = 0A

図 5-6. 静止電流と温度との関係 (新しいチップ)



I_{OUT} = 1mA TL1963A-18

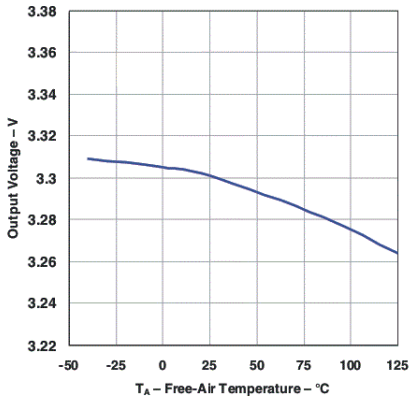
図 5-7. TL1963A-18 の出力電圧と温度との関係 (従来のチップ)



I_{OUT} = 1mA TL1963A-25

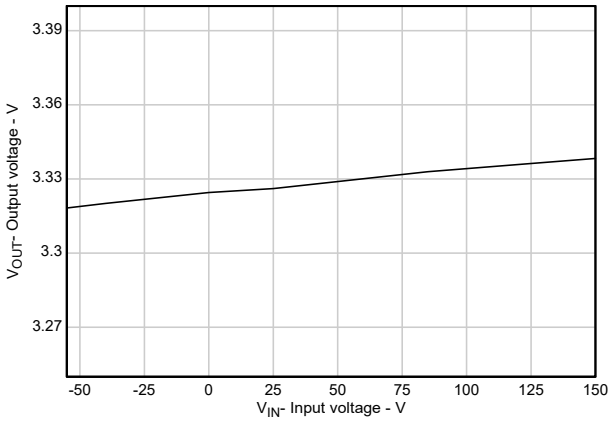
図 5-8. TL1963A-25 の出力電圧と温度との関係 (従来のチップ)

Copyright © 2026 Texas Instruments Incorporated



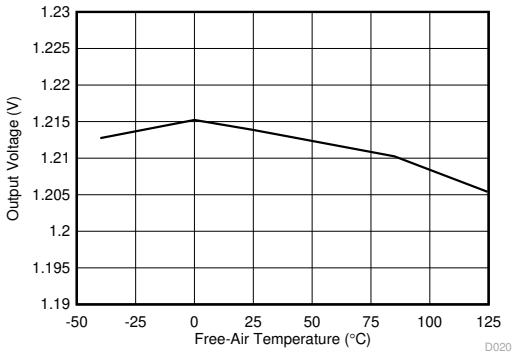
I_{OUT} = 1mA TL1963A-33

図 5-9. TL1963A-33 の出力電圧と温度との関係 (従来のチップ)



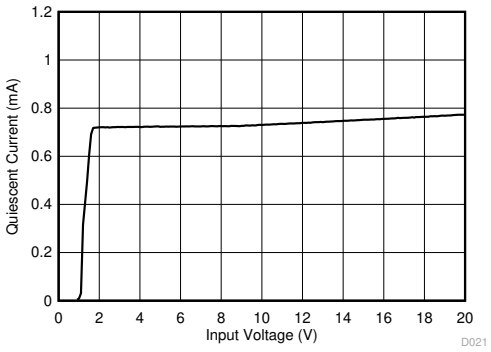
I_{OUT} = 1mA TL1963A-33

図 5-10. TL1963A-33 の出力電圧と温度との関係 (新しいチップ)



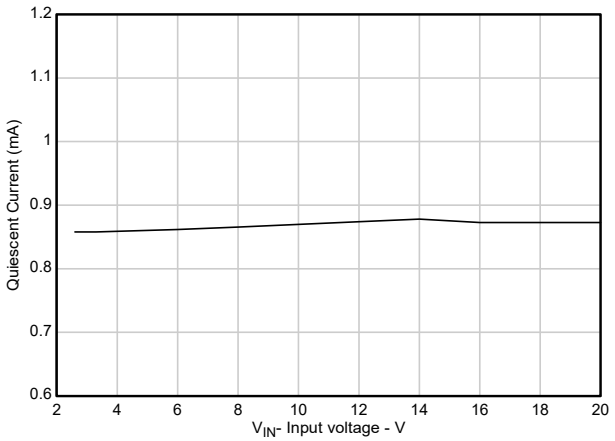
I_{OUT} = 1mA V_{IN} = 6V

図 5-11. TL1963A の出力電圧と温度との関係 (従来のチップ)



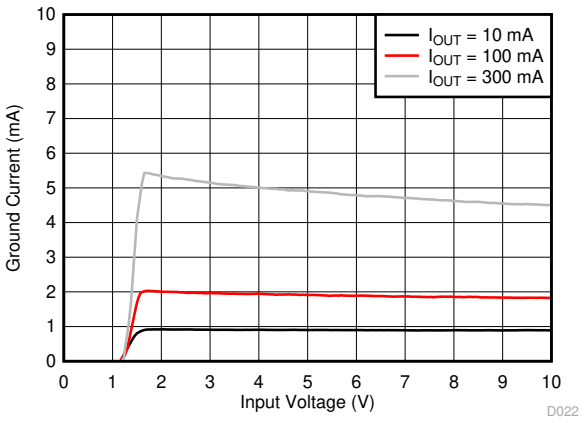
T_J = 25°C R_{OUT} = 4.3kΩ V_{SHDN} = V_{IN}

図 5-12. 静止電流と入力電圧との関係 (従来のチップ)



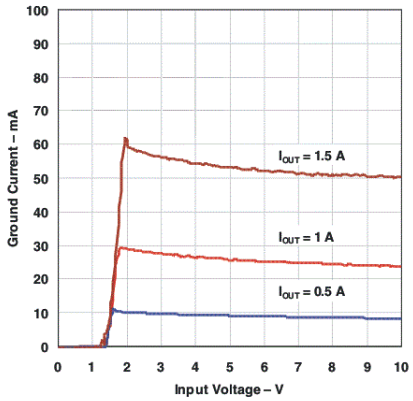
T_J = 25°C R_{OUT} = 4.3kΩ V_{SHDN} = V_{IN}

図 5-13. 停止電流と電源電圧との関係 (新しいチップ)



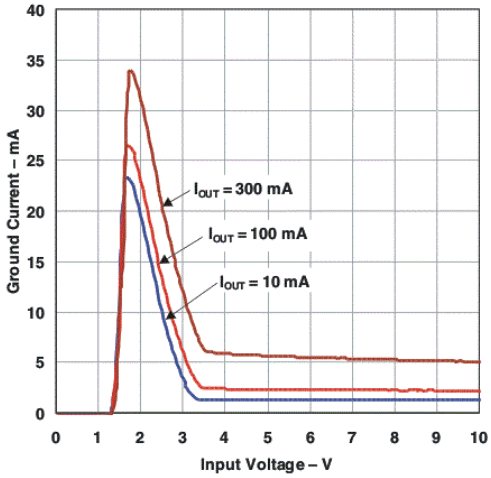
T_J = 25°C V_{OUT} = 1.21V V_{SHDN} = V_{IN}

図 5-14. TL1963A のグランド電流と入力電圧との関係 (従来のチップ)



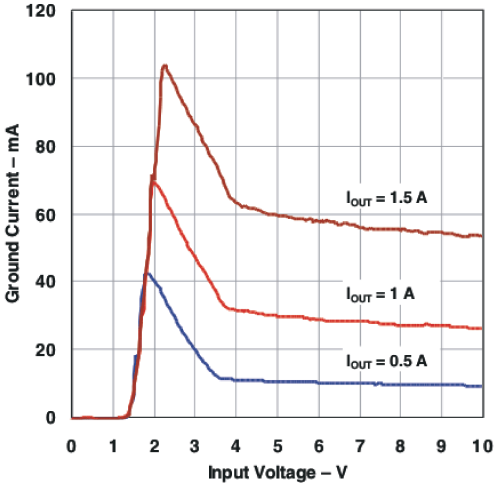
T_J = 25°C V_{OUT} = 1.21V V_{SHDN} = V_{IN}

図 5-15. TL1963A のグランド電流と入力電圧との関係 (従来のチップ)



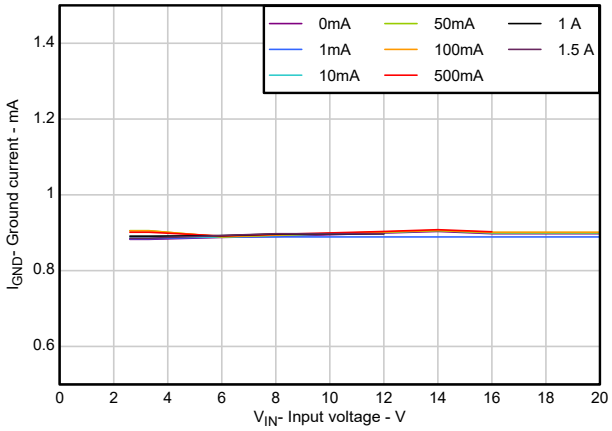
T_J = 25°C V_{SHDN} = V_{IN}

図 5-16. TL1963A-33 のグランド電流と入力電圧との関係 (従来のチップ)



T_J = 25°C V_{SHDN} = V_{IN}

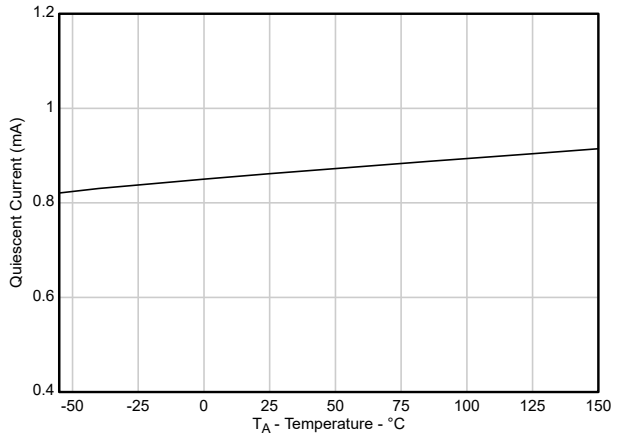
図 5-17. TL1963A-33 のグランド電流と入力電圧との関係 (従来のチップ)



T_J = 25°C V_{SHDN} = V_{IN}

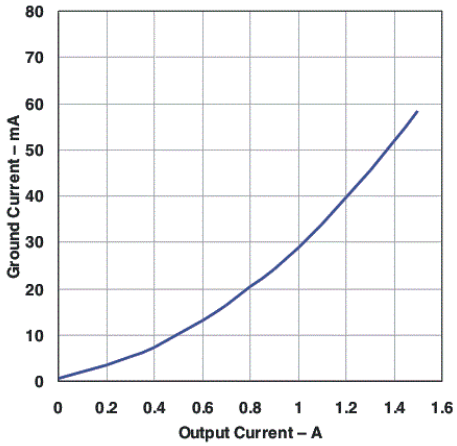
図 5-18. TL1963A-33 のグランド電流と入力電圧との関係 (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated



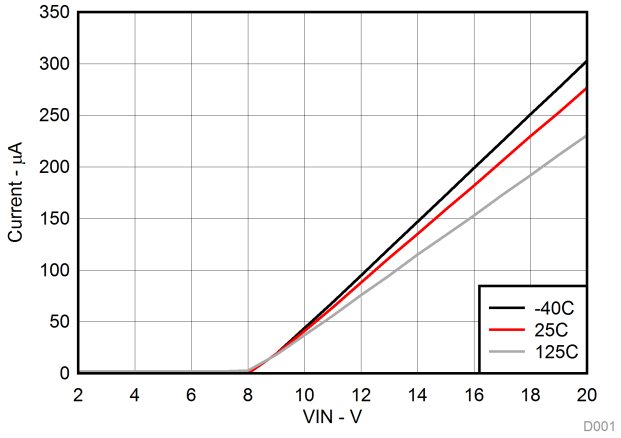
T_J = 25°C V_{SHDN} = V_{IN}

図 5-19. TL1963A-33 の静止電流と温度との関係 (新しいチップ)



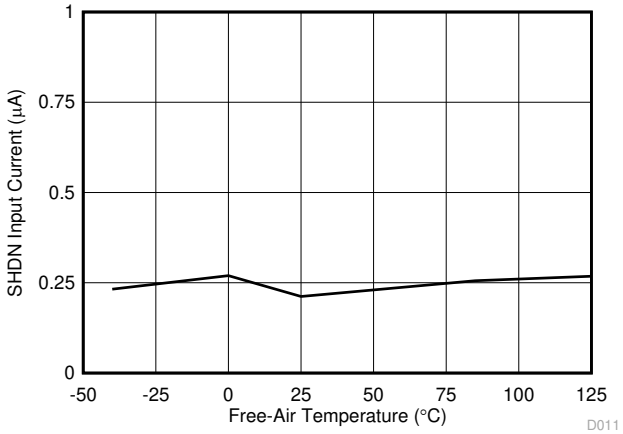
V_{IN} = V_{OUT}(nom) + 1

図 5-20. グランド電流と出力電流との関係 (従来のチップ)



V_{SHDN} = 0V

図 5-21. シャットダウン時の静止電流と入力電圧との関係 (従来のチップ)



V_{SHON} = 0V

図 5-22. $\overline{SHDN}$ ピン電流 (I_{SHDN}) と温度との関係 (従来のチップ)

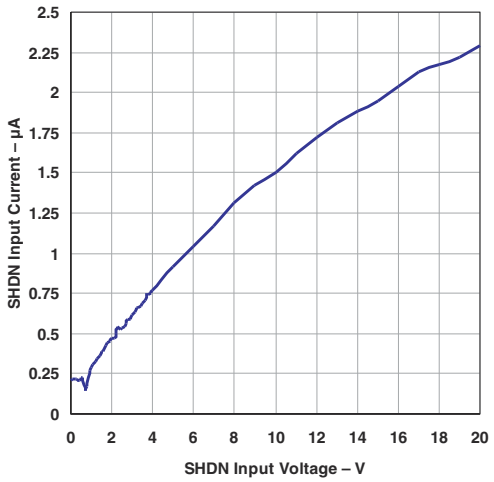
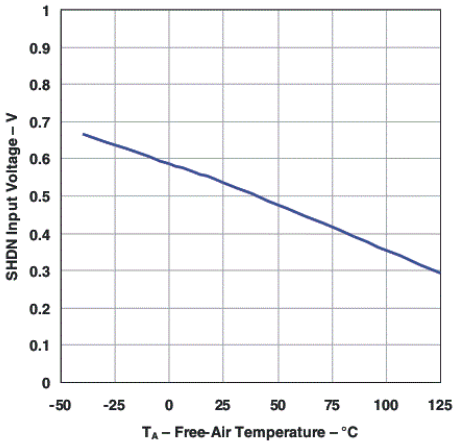
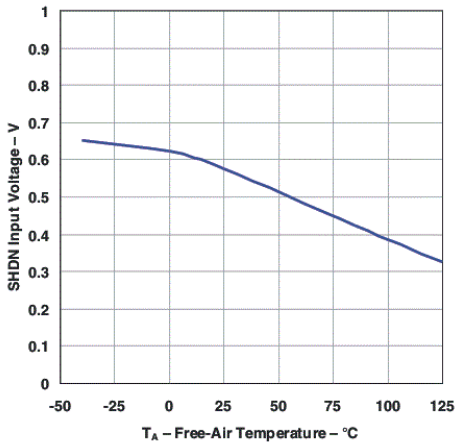


図 5-23. $\overline{SHDN}$ ピン電流 (I_{SHDN}) と $\overline{SHDN}$ 入力電圧との関係 (従来のチップ)



I_{OUT} = 1mA

図 5-24. $\overline{SHDN}$ スレッショルド (OFF から ON) と温度との関係 (従来のチップ)



I_{OUT} = 1mA

図 5-25. $\overline{SHDN}$ スレッショルド (ON から OFF) と温度との関係 (従来のチップ)

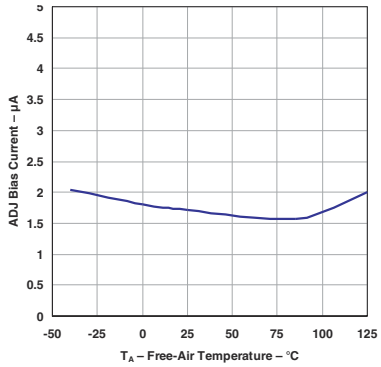
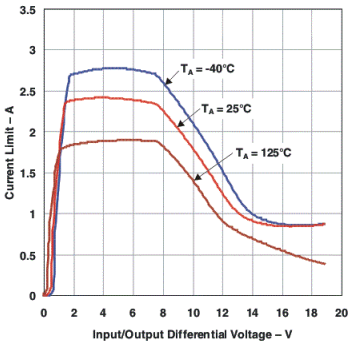


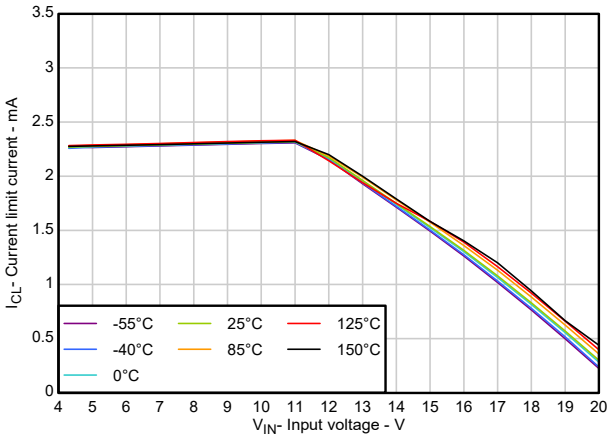
図 5-26. ADJ バイアス電流と温度との関係 (従来のチップ)

Copyright © 2026 Texas Instruments Incorporated



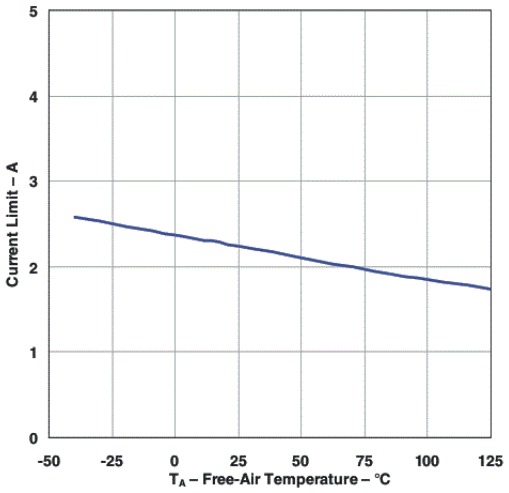
ΔV_{OUT} = 100mV

図 5-27. 電流制限と入出力差動電圧との関係 (従来のチップ)



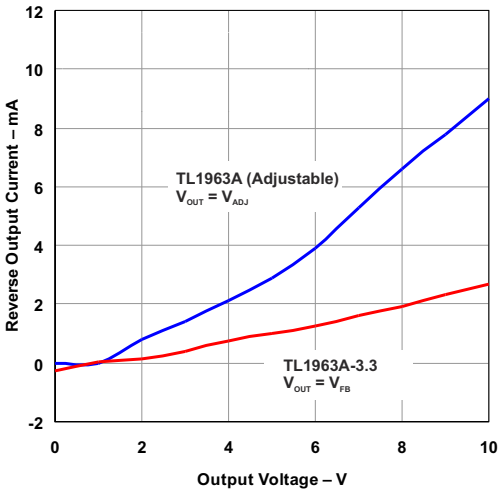
ΔV_{OUT} = 100mV

図 5-28. 電流制限と入出力差動電圧との関係 (新しいチップ)



V_{IN} = 7V V_{OUT} = 0V

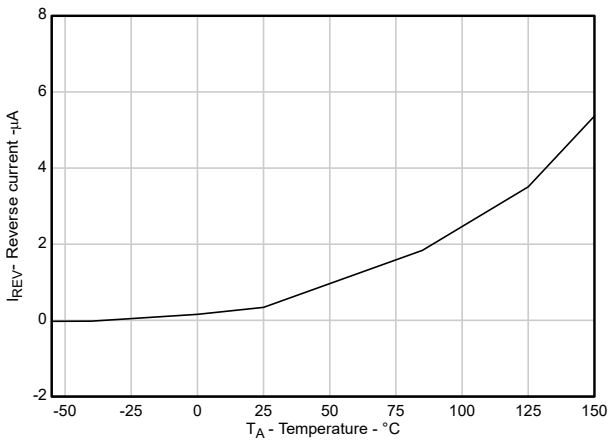
図 5-29. 電流制限と温度との関係 (従来のチップ)



T_J = 25°C V_{IN} = 0V

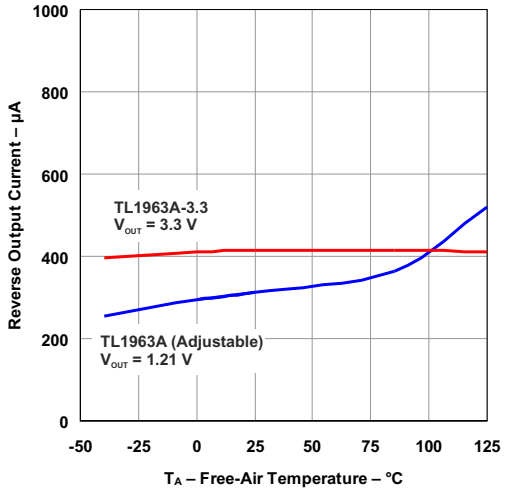
電流は OUT ピンに流れます。

図 5-30. 逆出力電流と出力電圧との関係 (従来のチップ)



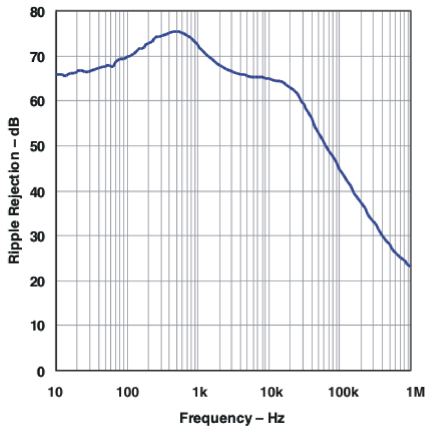
T_J = 25°C　　V_{IN} = 0V
電流は OUT ピンに流れます。

図 5-31. 逆出力電流と温度との関係 (新しいチップ)



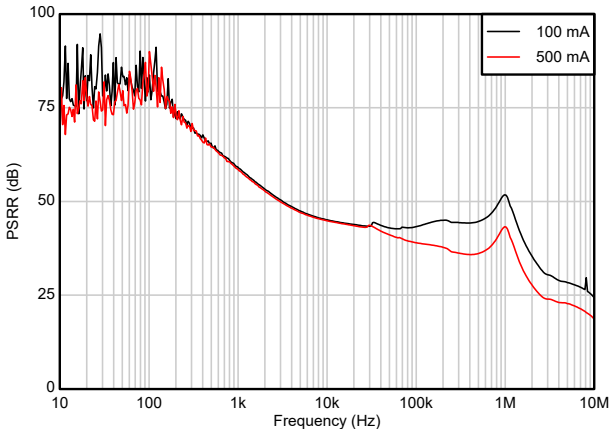
V_{IN} = 0V

図 5-32. 逆出力電流と温度との関係 (従来のチップ)



V_{RIPPLE} = 0.05V_{PP}　　C_{IN} = 0　　T_A = 25℃
V_{IN} = 2.7V　　C_{OUT} = 10µF (セラミック)

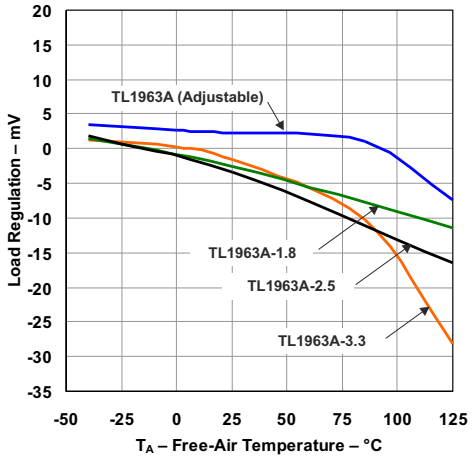
図 5-33. リップル除去と周波数との関係 (従来チップ)



C_{OUT} = 10µF (セラミック)　　V_{IN} = 4.3V、V_{OUT} = 3.3V

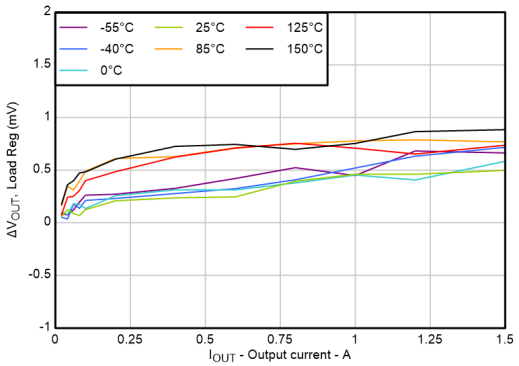
図 5-34. リップル除去と周波数との関係 (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated



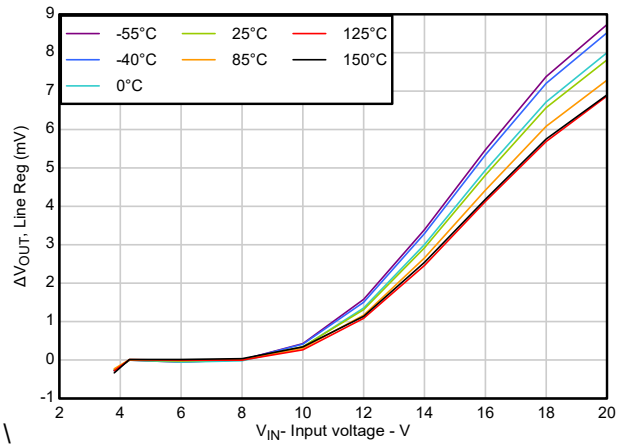
I_{OUT} = 1 mA～1.5 A

図 5-35. 負荷レギュレーションと温度との関係 (従来チップ)



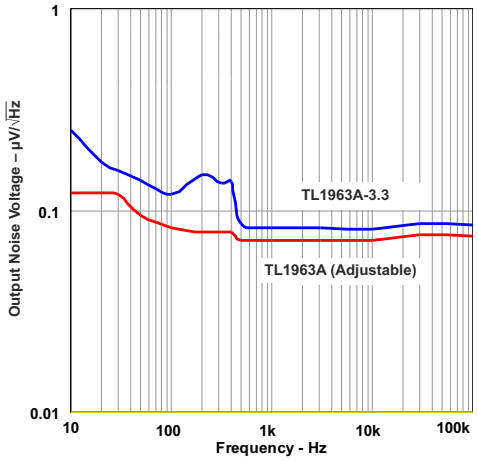
I_{OUT} = 1 mA～1.5 A

図 5-36. 負荷レギュレーションと温度との関係 (新しいチップ)



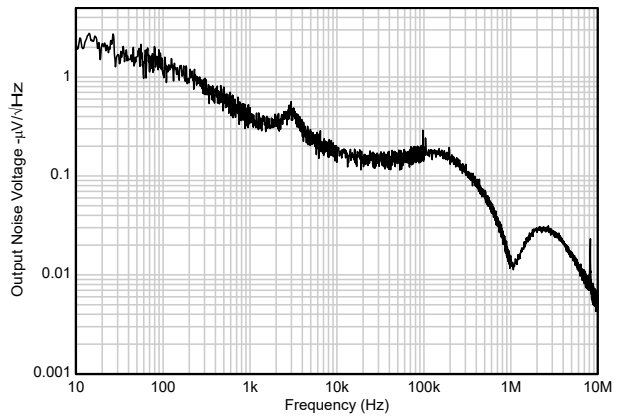
V_{IN} = 2.8 V→20 V

図 5-37. ライン レギュレーションと温度との関係 (新しいチップ)



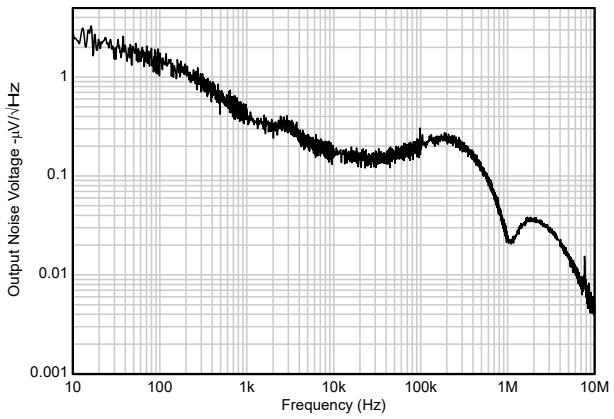
C_{OUT} = 10μF (セラミック)　　I_{OUT} = 1.5A

図 5-38. 出力ノイズ電圧と周波数との関係 (従来のチップ)



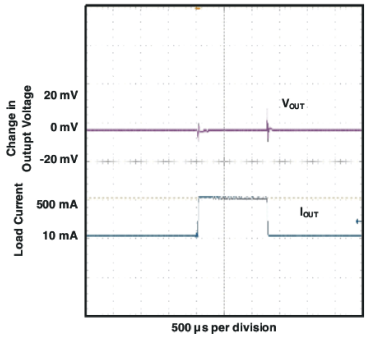
C_{OUT} = 10µF (セラミック)　　I_{OUT} = 0.3A

図 5-39. 出力ノイズ電圧と周波数との関係 (新しいチップ)



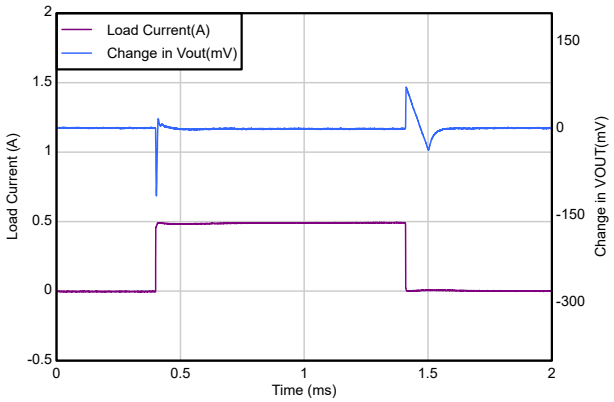
C_{OUT} = 10µF (セラミック)　　I_{OUT} = 1.5A

図 5-40. 出力ノイズ電圧と周波数との関係 (新しいチップ)



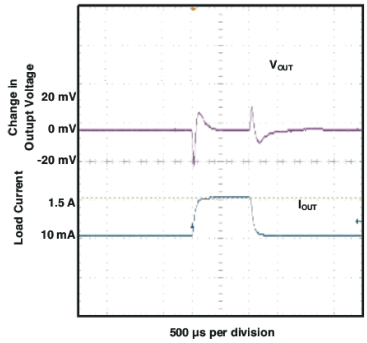
V_{IN} = 4.3V　　C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 5-41. 負荷過渡応答 (従来のチップ)



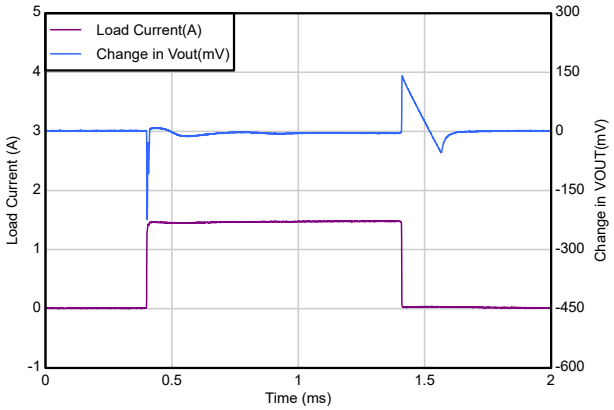
V_{IN} = 4.3V　　C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 5-42. 負荷過渡応答 (新しいチップ)



V_{IN} = 4.3V　　C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

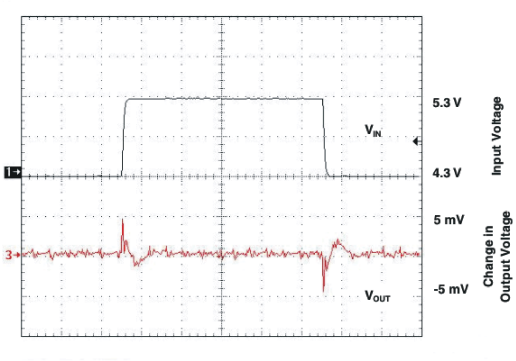
図 5-43. 負荷過渡応答 (従来のチップ)



V_{IN} = 4.3V　　C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

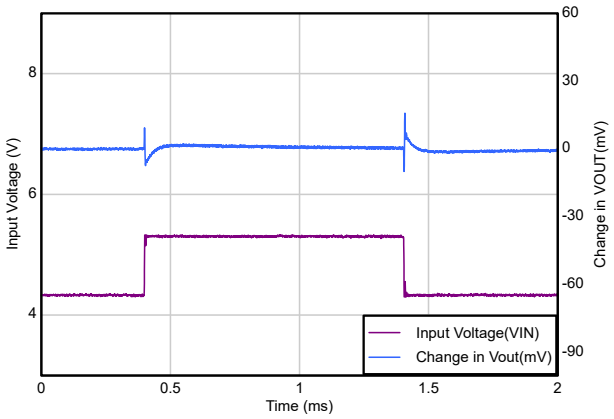
図 5-44. 負荷過渡応答 (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated



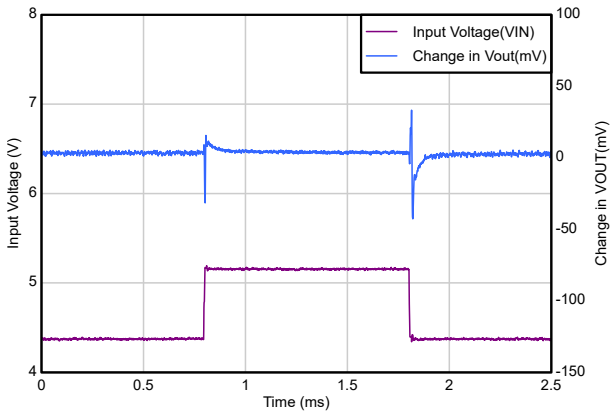
I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 5-45. ライン過渡応答 (従来のチップ)



I_{OUT} = 0.3A C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 5-46. ライン過渡応答 (従来のチップ)



I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 5-47. ライン過渡応答 (従来のチップ)

6 詳細説明

6.1 概要

TL1963A-xx シリーズは、高速な過渡応答向けに最適化された 1.5A 低ドロップアウト型レギュレータです。このデバイスは、340mV (標準値) のドロップアウト電圧で 1.5A の出力電流を供給でき、可変構成で広い出力範囲 (1.21V ～ 20V) をサポートします。非常に低いドロップアウト、広い出力範囲、高速過渡性能を特長とするこれらのデバイスは、消費電力の多いさまざまなアプリケーションへの電力供給に最適です。TL1963A-xx レギュレータ (従来のチップと新しいチップの両方) には、低い静止電流に加えて、過電流、過熱 (サーマル シャットダウン)、逆電流保護などいくつかの保護機能が組み込まれています。入力がグランドにプル ダウンされた際にバックアップ バッテリによって出力が保持されるバッテリ バックアップ アプリケーションにおいて、TL1963A-xx は出力と直列にダイオードを接続しているかのように動作し、逆電流の流れを防止します。TL1963A-xx の従来チップには、逆極性バッテリ保護機能も搭載されています。

6.2 機能ブロック図

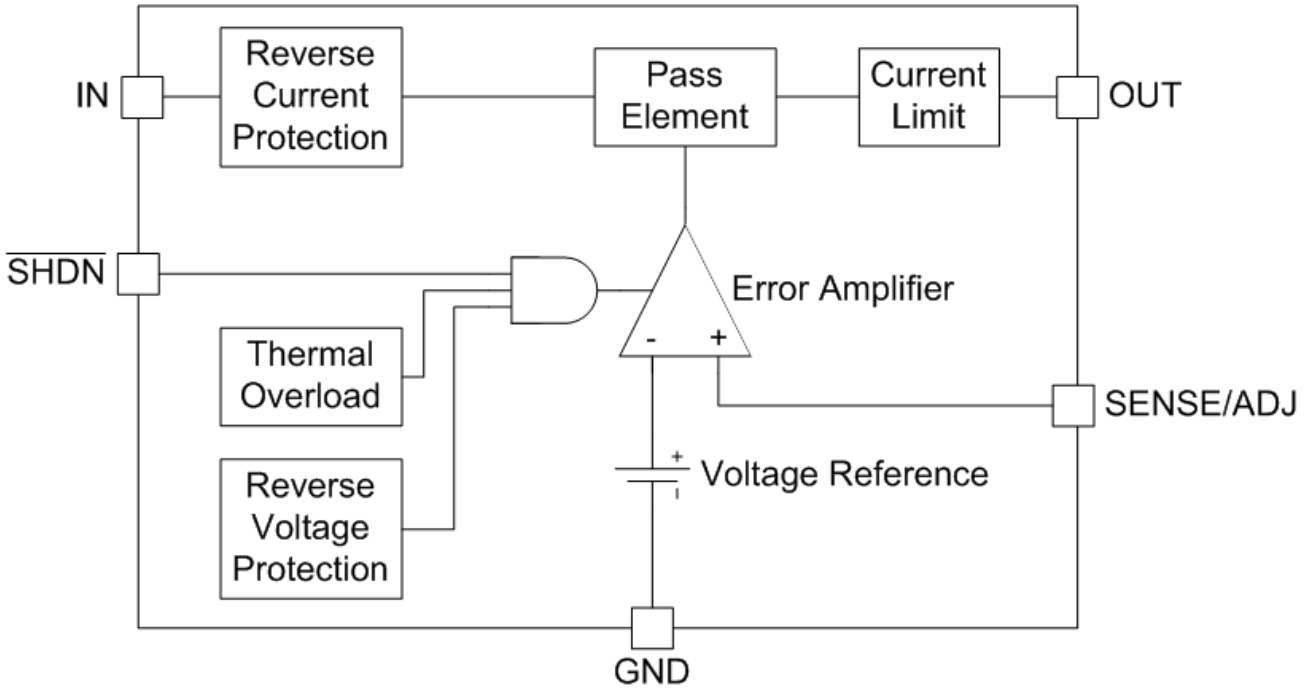


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 SHDN

デバイスの $\overline{SHDN}$ ピンはアクティブ High ピンです。$\overline{SHDN}$ ピンの電圧が、$\overline{SHDN}$ ピンのハイレベル入力電圧 (シャットダウン スレッショルド、V_{OUT} = OFF から ON) より高い場合、出力電圧は有効になります。また、$\overline{SHDN}$ ピンの電圧が、$\overline{SHDN}$ ピンのローレベル入力電圧 (シャットダウン スレッショルド、V_{OUT} = ON から OFF) より低い場合、出力電圧は無効になります。電気的特性:TL1963A (DCQ、KTT パッケージ用) に、上限および下限のスレッショルドを示します。出力電圧を個別に制御する必要がない場合は、$\overline{SHDN}$ ピンをデバイスの入力端子に接続します。

$\overline{SHDN}$ ピンは、5V ロジックまたはプルアップ抵抗によってオープンコレクタ ロジックで駆動できます。オープンコレクタ ゲートのプルアップ電流と、電気的特性:TL1963A (DCQ、KTT パッケージ用) に記載されている $\overline{SHDN}$ ピンの電流を供給するには、プルアップ抵抗が必要です。また、$\overline{SHDN}$ ピンには弱い内部プルダウンがあり、$\overline{SHDN}$ ピンが接続されていない、またはフローティングのときにデバイスはディスエーブルされます。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンの状態において、定格出力電流 (I_{RATED}) を流した際の入力電圧と出力電圧の差 (V_{IN} - V_{OUT}) として定義されます。I_{RATED} は、推奨動作条件 表に記載されている最大 I_{OUT} です。パス トランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 低電圧誤動作防止

新しいチップ バージョンの場合、TL1963A-xx デバイスは入力電圧を監視する独立した低電圧誤動作防止 (UVLO) 回路が搭載されており、出力電圧のオン / オフを制御された一貫性のある動作で行うことができます。起動時に入力電圧が低下してデバイスがオフになるのを防ぐため、UVLO にはヒステリシス機能が内蔵されています。電気的特性：TL1963A (DCY パッケージ用)/電気的特性：TL1963A (DCQ、KTT パッケージ用) 表には、UVLO 制限 ($V_{UVLO(RISING)}$ および $V_{UVLO(FALLING)}$) が規定されています。

6.3.4 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度 (T_J) が T_{SD+} (標準値) まで上昇したときにデバイスを無効化する、サーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が T_{SD-} (代表値) まで低下した際にデバイスがリセット (再起動) されることが確認されます。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達したときに、本デバイスはサイクルのオンとオフを行います。起動時の消費電力は、デバイス両端での大きな V_{IN} と V_{OUT} 間の電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*推奨動作条件*表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。内部保護回路は全体的な熱条件から保護するよう設計されていますが、適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.3.5 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{LIMIT}) に制限されます。電気的特性：TL1963A (DCY パッケージ用)/電気的特性：TL1963A (DCQ、KTT パッケージ用) に I_{LIMIT} を示します。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{LIMIT}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「制限の把握」アプリケーション ノートを参照してください。

電流制限 は、フォールドバック電流制限の図を示しています。

Copyright © 2026 Texas Instruments Incorporated

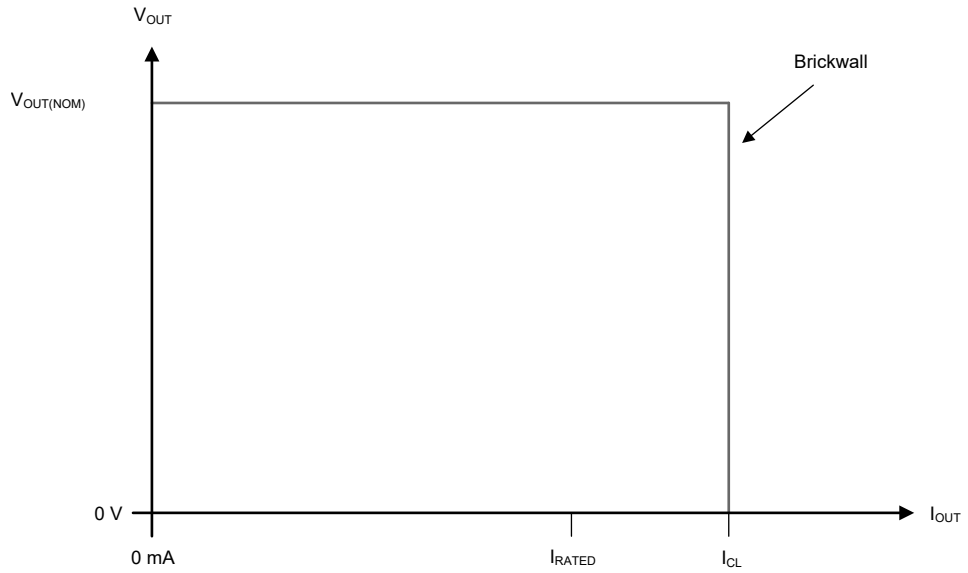


図 6-2. 電流制限

TL1963A-xx デバイスには、内部 SOA (安全動作領域) の範囲内で LDO 全体の消費電力を制限する内部過電力制限回路も搭載されています。LDO における SOA 制限は、シリコン素子およびパッケージ内部で使用されるボンドワイヤの安全動作を考慮して設定されています。これらの制限値により、デバイスが信頼性の高い動作をすることを検証し、過熱、ブレークダウン、その他の損傷の影響によるデバイスの故障を防止します。詳細については、過負荷回復 を参照してください。

6.3.6 過負荷回復

多くの IC パワー レギュレータと同様に、TL1963A-xx は安全動作領域保護機能を搭載しています。この安全領域保護機能により、入力から出力への電圧が上昇すると電流制限が低下し、パワー トランジスタがすべての入力から出力への電圧値に対して安全な動作領域内に維持されます。この保護回路の設計により、デバイスのブレークダウンまでのあらゆる入力出力電圧条件において、一定の出力電流が供給されます。

LDO の電圧降下 (V_{IN} - V_{OUT}) と、そこを流れる負荷電流 (I_L) によって、LDO における消費電力 (P_{Dissip}) が定義されます。

$$P_{Dissip} = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

この電力制限回路は、LDO における電圧降下 (ヘッドルーム、V_{IN} - V_{OUT}) と、流れる出力負荷電流 (I_{OUT}) の両方を監視します。P_{Dissip} が定義された SOA 制限を超えると、電力制限回路が流れる負荷電流 (I_{OUT}) を制限します。

電源投入時に入力電圧が上昇すると、出力が入力に追従するため、レギュレータは非常に大きな負荷状態でも起動できます。起動時に入力電圧が上昇している間は、入力出力電圧差が小さいため、レギュレータは大きな出力電流を供給できます。入力電圧が高いと、出力短絡を解消しても出力電圧が復帰しないという問題が発生する可能性があります。他のレギュレータでもこの現象が発生しているため、TL1963A-xx に固有の挙動ではありません。

この問題は、出力負荷が大きく、入力電圧が高く、出力電圧が低いときに発生します。一般的な状況は、短絡が解消された直後、または入力電圧がすでにオンになっていた後にシャットダウンピンが High になった場合に発生します。このような負荷の負荷ラインは、出力電流特性曲線と 2 点で交差する場合があります。これが発生した場合、レギュレータには 2 つの安定した出力動作点があります。このように 2 点で交差する場合、出力を回復させるために入力電源をゼロまで下げ、その後再度立ち上げなければならない場合があります。

6.3.7 出力電圧ノイズ

TL1963A-xx レギュレータの設計は、10Hz ～ 100kHz の帯域幅にわたって低出力電圧ノイズを実現しながら、全負荷で動作します。従来のチップでは、この周波数帯域における出力電圧ノイズは、TL1963A (可変バージョン)で通常 35nV/√

Copyright © 2026 Texas Instruments Incorporated

$\overline{Hz}$ です。より高い出力電圧 (抵抗デバイダを使用して生成) では、それに応じて出力電圧ノイズも増加します。その結果、10Hz ～ 100kHz の帯域における RMS ノイズは、TL1963A (可変構成) で $14\mu V_{RMS}$ となり、従来チップの TL1963A-33 では $38\mu V_{RMS}$ に増加し、新チップの TL1963A (可変構成) では $23\mu V_{RMS}$ となります。

回路レイアウトおよびテスト条件に配慮しない場合、出力電圧ノイズは高めの値として観測されることがあります。付近の配線からのクロストークは、TL1963A-xx の出力に不要なノイズを誘発する可能性があります。電源リップル除去性能を考慮する必要があります。TL1963A-xx レギュレータには無制限の電源除去はなく、入力ノイズの一部が出力に伝達されます。

6.3.8 保護機能

TL1963A-xx レギュレータは、いくつかの保護機能が組み込まれているため、バッテリ駆動回路での使用に最適です。デバイスの**従来のチップ バージョン**は、電流制限や熱制限など、モノリシック レギュレータに関連付けられている通常の保護機能に加えて、逆入力電圧や逆出力電圧からの保護機能を備えています。このデバイスの従来のチップ バージョンと新しいチップ バージョンは、どちらも、出力から入力への逆電圧をサポートしています。

電流制限保護および熱過負荷保護機能は、デバイスの出力側で電流過負荷状態からデバイスを保護することを目的としています。通常の動作では、接合部温度が 125℃ を超えないようにする必要があります。

6.3.8.1 従来のチップのみ

このデバイスの入力は 20V の逆電圧に耐えられます。デバイスに流れる電流は 1mA 未満 (通常 100µA 未満) に制限され、出力に負の電圧は印加されません。デバイスは、デバイス自体と負荷の両方を保護します。これにより、逆向きに接続できるバッテリが保護されます。

TL1963A-xx の出力は、デバイスを損傷させることなく、グランドを下回る電位にプルダウンできます。入力がオープン状態または接地されている場合、出力がグランドより 20 V 低い電圧までプルダウンできます。固定電圧バージョンの場合、出力は大きな抵抗 (通常は 5kΩ 以上) のように動作し、電流が通常 600µA 未満に制限されます。可変バージョンの場合、出力は開路のように動作し、ピンから電流は流れません。入力に電圧源から電力が供給されている場合、出力はデバイスの短絡電流を供給し、熱制限によって自身を保護します。この場合、$\overline{SHDN}$ ピンを接地するとデバイスはオフとなり、出力による短絡電流の供給も停止します。

可変タイプの ADJ ピンがグランド基準で上下に最大 7V まで変動しても、デバイスは損傷しません。入力がオープンのままになっている場合、または接地されている場合、ADJ ピンはグランドより低い電位にプルダウンすると開路のように動作し、グランドより高い電位にプルダウンするとダイオードと直列に接続された大きな抵抗 (通常は 5kΩ) のように動作します。

ADJ ピンが 抵抗デバイダに接続され、出力が High にプルアップされているときに ADJ ピンが 7V のクランプ電圧より高くなるような状況では、ADJ ピンの入力電流を 5mA 未満に制限する必要があります。たとえば、抵抗デバイダを使用して、出力が強制的に 20V に設定されたときに、1.21V の基準電圧から 1.5V の安定化出力を供給します。ADJ ピンが 7V のとき、ADJ ピンに流れ込む電流が 5mA 未満に制限されるように、抵抗デバイダの上側の抵抗を選択する必要があります。OUT と ADJ の間の 13V の電圧差を ADJ ピンの最大電流 5mA で割ると、トップ抵抗の最小値は 2.6kΩ となります。

6.3.8.2 従来のチップと新しいチップの両方

バックアップ バッテリを必要とする回路では、複数の異なる入出力条件が発生することがあります。入力がグランドにプルされる場合、中間電圧にプルされる場合、またはオープン状態にされる場合でも、出力電圧は保持されることがあります。

TL1963A-xx の IN ピンが OUT ピンよりも強制的に低くなるか、OUT ピンが IN ピンよりも高くなると、入力電流は通常 2µA 未満に低下します (従来チップのみ)。従来のチップの I_{RO} (逆出力電流) および新しいチップの $I_{RC(steady\ state)}$ は、OUT ピンに流入し GND ピンから流出する定常電流を定義します (電気的特性：TL1963A (DCY パッケージ用) を参照)。これは、デバイスの入力が放電した (低電圧の) バッテリに接続され、出力がバックアップ バッテリまたは第 2 のレギュレータ回路によって保持されている場合に発生することがあります。出力が入力よりも高くプルアップされた場合、$\overline{SHDN}$ ピンの状態は逆出力電流に影響を与えません。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 デバイスの機能モードの比較

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、電気的特性:TL1963A (DCY パッケージ用)/電気的特性:TL1963A (DCQ、KTT パッケージ用) 表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	$V_{\overline{SHDN}}$ (DCQ、KTT のみ)	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{\overline{SHDN}} > \overline{SHDN}$ スレッショルド、V_{OUT} = OFF から ON	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{\overline{SHDN}} > \overline{SHDN}$ スレッショルド、V_{OUT} = OFF から ON	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{\overline{SHDN}} < \overline{SHDN}$ スレッショルド、V_{OUT} = ON から OFF	該当なし	$T_J > T_{SD(shutdown)}$

6.4.2 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度が -40℃を超え、+125℃未満
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- DCQ および KTT パッケージでは、$\overline{SHDN}$ 電圧がこれまでに $\overline{SHDN}$ のターンオン スレッショルド電圧を超えており、まだ $\overline{SHDN}$ のターンオフ スレッショルド電圧未満まで低下していない状態です。

6.4.3 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パス トランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義される)、パス トランジスタはオーム領域または三極管領域に駆動されます。 入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO}$) を加えた値以上に戻ると、デバイスがパス トランジスタをリニア領域にプルバックする間に、出力電圧が短時間オーバーシュートする可能性があります。

6.4.4 無効

DCQ および KTT パッケージでは、$\overline{SHDN}$ ピン電圧を $\overline{SHDN}$ ピンの最大ターンオフ入力電圧未満にすることで、デバイスの出力をシャットダウンできます (電気的特性:TL1963A (DCQ、KTT パッケージ用) 表を参照)。また、新しいチップのすべてのパッケージ (DCY、DCQ、および KTT) では、LDO の入力電圧を UVLO スレッショルドより低くすることによっても、LDO をシャットダウンできます。無効化されると、パス トランジスタがオフになり、内部回路もシャットダウンされるため、静止電流が低減します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

このセクションでは、各種アプリケーションでこのデバイスを実装する際の設計上の考慮事項について説明します。

7.1.1 入出力キャパシタンスと過渡応答

TL1963A-xx レギュレータの設計では、幅広い範囲の出力コンデンサで安定性を確保しています。出力コンデンサの ESR は安定性に影響を与えます。特に小容量コンデンサでそれが顕著です。発振防止のため、TI は最小出力コンデンサとして 10µF 以上で ESR が 3Ω 以下のものを推奨しています。出力キャパシタンスの容量値を大きくすると、ピーク偏差を低減でき、負荷電流の大きな変動に対する過渡応答を改善できます。バイパス コンデンサは、TL1963A-xx で電源供給される各部品のデカップリングに使用され、実効的な出力コンデンサ値を増加させます。

セラミック コンデンサを使用する場合は、特別な考慮が必要です。セラミック コンデンサはさまざまな誘電体で製造されており、それによって過熱および印加電圧の挙動が異なります。最も一般的に使用されている誘電体は、Z5U、Y5V、X5R、X7R です。Z5U および Y5V の誘電体は、小型パッケージで大容量を実現するのに適していますが、電圧および温度係数が大きいという特性を持っています。5V レギュレータとともに使用する場合、10µF Y5V コンデンサは、動作温度範囲全体にわたって 1µF ～ 2µF という実効値を示すことがあります。X5R および X7R 誘電体は、より安定した特性を持つため、出力コンデンサとしての使用に適しています。X7R タイプは温度に対する安定性が優れており、一方で X5R は低コストで、より高い容量値が入手可能です。

電圧係数と温度係数以外にも問題を引き起こす要因はあります。一部のセラミック コンデンサは、圧電応答を備えています。圧電デバイスは、機械的ストレスに応じて端子間に電圧を発生します。その原理は圧電加速度センサやマイクと同じです。セラミック コンデンサの場合、システム内の振動や熱過渡によりストレスが発生する可能性があります。

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広い周波数範囲で高いインピーダンスを持つ場合、複数の入力コンデンサを並列に接続することで、周波数全体にわたるインピーダンスを低減できます。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.1.2 逆電流

TL1963A-xx には、逆電流保護機能が内蔵されています。逆電流保護機能は、出力電圧が入力電圧より高くなった場合に OUT ピンから IN ピンへ電流が流れるのを防止します。これは、出力電圧が保持された状態で、入力がグランドに接続される場合、中間電圧に引き下げられる場合、またはオープン状態となる場合に作動することがあります。逆電流保護回路により、出力電圧が入力電圧より高い場合、パワーパスが高インピーダンスに配置されます。この設定により、出力から入力へのリーク電流が減少します。逆電流保護は、$\overline{\text{SHDN}}$ ピンのロジック状態や OUT ピン電圧が 1.8V を超えているかどうかにかかわらず、常に有効です (従来のチップのみ)。従来のチップの I_{RO} (逆出力電流) および新しいチップの $I_{RC(steady\ state)}$ は、OUT ピンに流入し GND ピンから流出する定常電流を定義します (電気的特性：TL1963A (DCY パッケージ用)/電気的特性：TL1963A (DCQ、KTT パッケージ用) を参照)。

7.1.3 フィードフォワード コンデンサ

可変電圧バージョンのデバイスでは、フィードフォワード コンデンサ (C_{FF}) を OUT ピンから ADJ ピンへ接続できます。C_{FF} は過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。「推奨動作条件」表に、推奨される C_{FF} 値を示します。より高い容量の C_{FF} を使用する場合、起動時間が長くなります。C_{FF} のトレードオフ

Copyright © 2026 Texas Instruments Incorporated

の詳細な説明については、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション ノートを参照してください。

C_{FF} と R_1 は周波数 f_Z でループ ゲインのゼロを形成し、C_{FF}、R_1、R_2 は周波数 f_P でループ ゲインの極を形成します。C_{FF} のゼロ周波数と極周波数は、次の式から計算できます。

$$f_Z = \frac{1}{[2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)]} \quad (3)$$

$$f_P = \frac{1}{[2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)]} \quad (4)$$

7.1.4 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積の影響をほとんど受けません。「熱に関する情報」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \Psi_{JT} \times P_D \quad (5)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \Psi_{JB} \times P_D \quad (6)$$

ここで、

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

7.1.5 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスがほとんどまたはまったくないことが必要です。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

注

システム電圧レールを正しく選定することで、消費電力を最小限に抑えることができ、効率が向上します。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

Copyright © 2026 Texas Instruments Incorporated

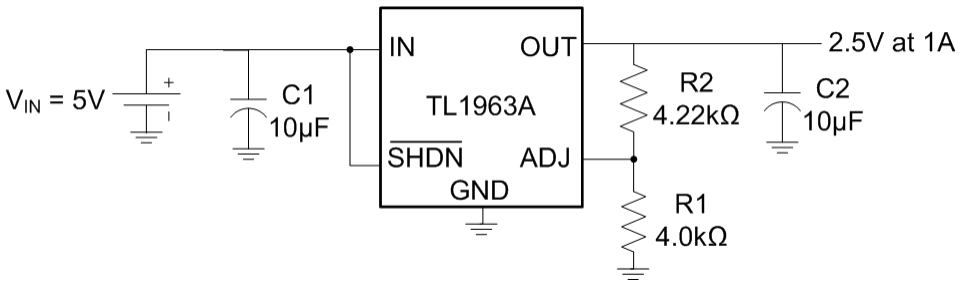
サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれている必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。以下の式によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + \left(R_{\theta JA} \times P_D\right) \quad (8)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。JEDEC 標準の PCB および銅箔拡散領域は、「熱に関する情報」表に記載されている接合部から周囲への熱抵抗を決定し、パッケージの放熱特性の相対的な基準として使用されます。

7.2 代表的なアプリケーション



A. すべてのコンデンサはセラミックです。

図 7-1. 可変出力電圧動作

TL1963A-xx は、固定電圧構成で使用します。図 7-2 に示すように、適切な動作のために SENSE/ADJ ピンを OUT に接続します。1.21V の固定出力電圧の場合は、TL1963A を使用します。

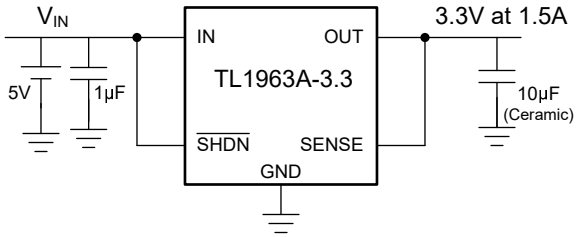


図 7-2. 4.3V ～ 3.3V レギュレータ

7.2.1 SENSE ピンでのケルビン センス接続

最適なレギュレーションは、SENSE ピンがレギュレータの OUT ピンに接続されるポイントで得られます。重要なアプリケーションでは、レギュレータと負荷の間の基板配線の抵抗 (R_P) によって、小さな電圧降下が発生します。固定電圧動作時に、SENSE/ADJ ピンを負荷まで別配線する場合は、ケルビン接続として使用します。これにより、レギュレータは出力と負荷間の寄生抵抗 (RP) による電圧降下を補償できます。負荷電流が大きいほど、この特性は重要性を増します。外部基板配線の両端の電圧降下は、レギュレータのドロップアウト電圧に追加されることに注意してください。

電気的特性:TL1963A (DCQ、KTT パッケージ用) の SENSE ピンのバイアス電流は、I_{SENSE} としてキャプチャされます。従来のチップの場合、SENSE ピンをグランドより低くプルしても (レギュレータの負荷が負電源に戻るデュアル電源システムの場合と同様)、デバイスを起動して動作させることができます。

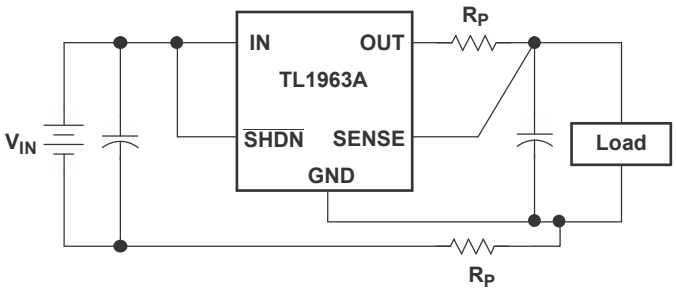


図 7-3. ケルビン検出接続

7.2.2 設計要件

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧 (V_{IN})	5.0V
出力電圧 (V_{OUT})	2.5V
出力電流 (I_{OUT})	0A ～ 1A
ロード レギュレーション	1%

7.2.3 詳細な設計手順

TL1963A は、出力電圧範囲を 1.21V から 20V まで調整可能です。図 7-1 に示すように、2 つの外付け抵抗 R1 と R2 の比によって、出力電圧が設定されます。このデバイスは、ADJ ピンの電圧をグランド基準で 1.21V に維持します。したがって、R1 の電流は (1.21V/R1) と等しく、R2 の電流は R1 の電流と ADJ ピンのバイアス電流を加算した値になります。ADJ ピンのバイアス電流 I_{ADJ} (電気的特性:TL1963A (DCQ、KTT パッケージ用) にキャプチャ) は、R2 を通って ADJ ピンに流れます。式 9 を使用して、出力電圧を計算します。

$$V_{OUT} = 1.21V\left[1 + \frac{R2}{R1}\right] + I_{ADJ} \times R2 \quad (9)$$

ADJ ピンのバイアス電流 (I_{ADJ}) による出力電圧の誤差を最小限に抑えるため、R1 の値は 4.17kΩ よりも低くする必要があります。シャットダウン時には、出力がオフになり、デバイダの電流はゼロになることに注意してください。出力電圧が 2.50V の場合、R1 は 4.0kΩ に設定されます。次に、上記の式により R2 が 4.22kΩ であることがわかります。

$$V_{OUT} = 1.21V\left[1 + \frac{4.22k\Omega}{4.0k\Omega}\right] + 3\mu A \times 4.22k\Omega \quad (10)$$

$$V_{OUT} = 2.50V \quad (11)$$

可変デバイスは、出力電圧 1.21V の条件として ADJ ピンを OUT ピンに接続した状態でテストおよび規定されています。1.21V を超える出力電圧の仕様は、目標出力電圧の 1.21V に対する比、すなわち V_{OUT}/1.21V に比例します。たとえば、出力電流が 1mA から 1.5A に変化する場合のロード レギュレーションは、V_{OUT} = 1.21V 時に –2mV (標準値) です。V_{OUT} = 2.50V 時の標準的なロード レギュレーションは次のとおりです。

$$\left[\frac{2.50V}{1.21V}\right][-2mV] = -4.13mV \quad (12)$$

従来のチップの場合、図 7-4 に示すとおり、1A の負荷ステップに対して出力の実際の変化が約 3mV です。25℃ における最大ロード レギュレーションは -8mV です。V_{OUT} = 2.50V 時の最大ロード レギュレーションは次のとおりです。

$$\left[\frac{2.50V}{1.21V}\right][-8mV] = -16.53mV \quad (13)$$

Copyright © 2026 Texas Instruments Incorporated

16.53mV は 2.5V 出力電圧のわずか 0.7% であるため、ロード レギュレーションは設計要件を満たします。

7.2.4 アプリケーション曲線

動作温度 T_J = 25℃、V_{IN} = $V_{OUT(NOM)}$ + 1.0V または 2.4V (どちらか大きい方)、I_{OUT} = 1mA、C_{IN} = 10µF、C_{OUT} = 10µF (特に記述のない限り)。

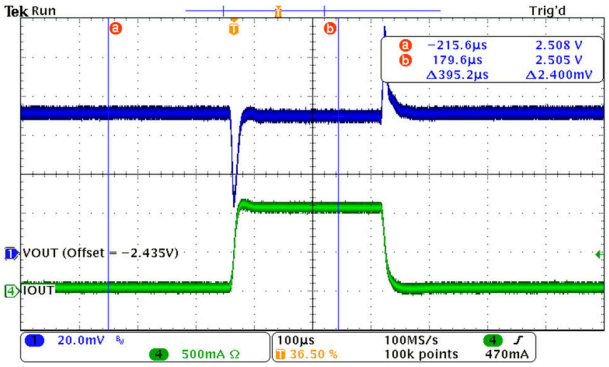
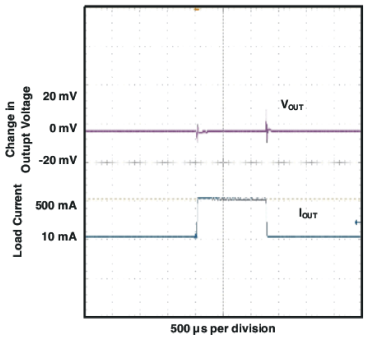
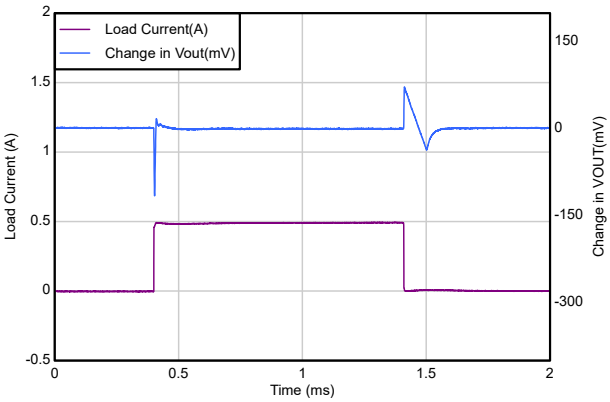


図 7-4. 1A 負荷過渡応答 (C_{OUT} = 10uF) (従来のチップ)



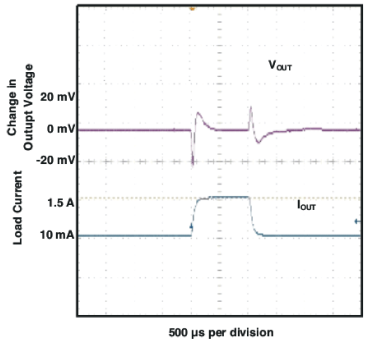
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 7-5. 負荷過渡応答 (従来のチップ)



V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

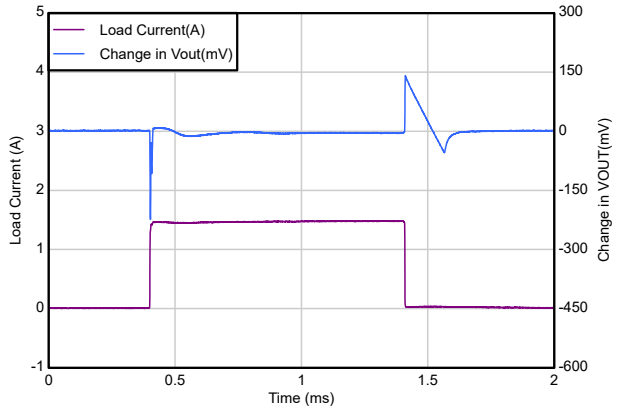
図 7-6. 負荷過渡応答 (新しいチップ)



V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

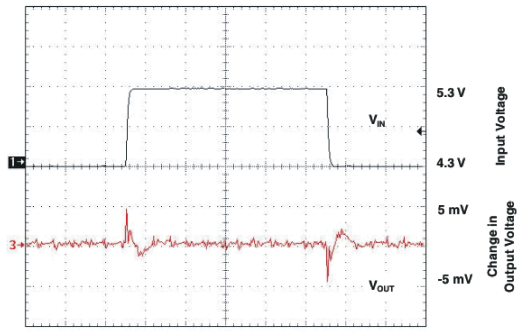
図 7-7. 負荷過渡応答 (従来のチップ)

Copyright © 2026 Texas Instruments Incorporated



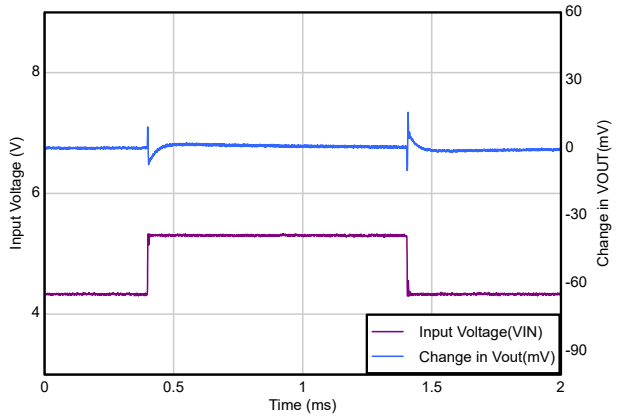
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 7-8. 負荷過渡応答 (新しいチップ)



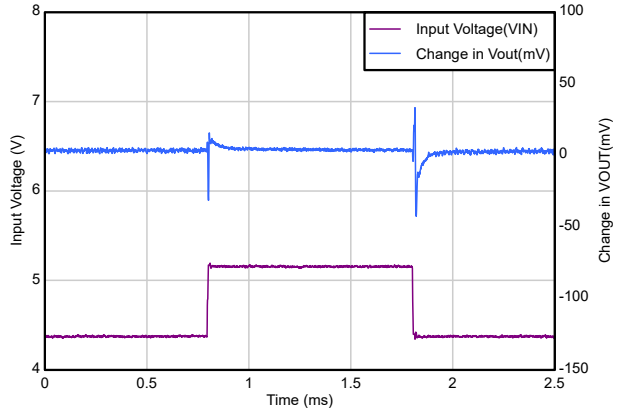
I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 7-9. ライン過渡応答 (従来のチップ)



I_{OUT} = 0.3A C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 7-10. ライン過渡応答 (従来のチップ)

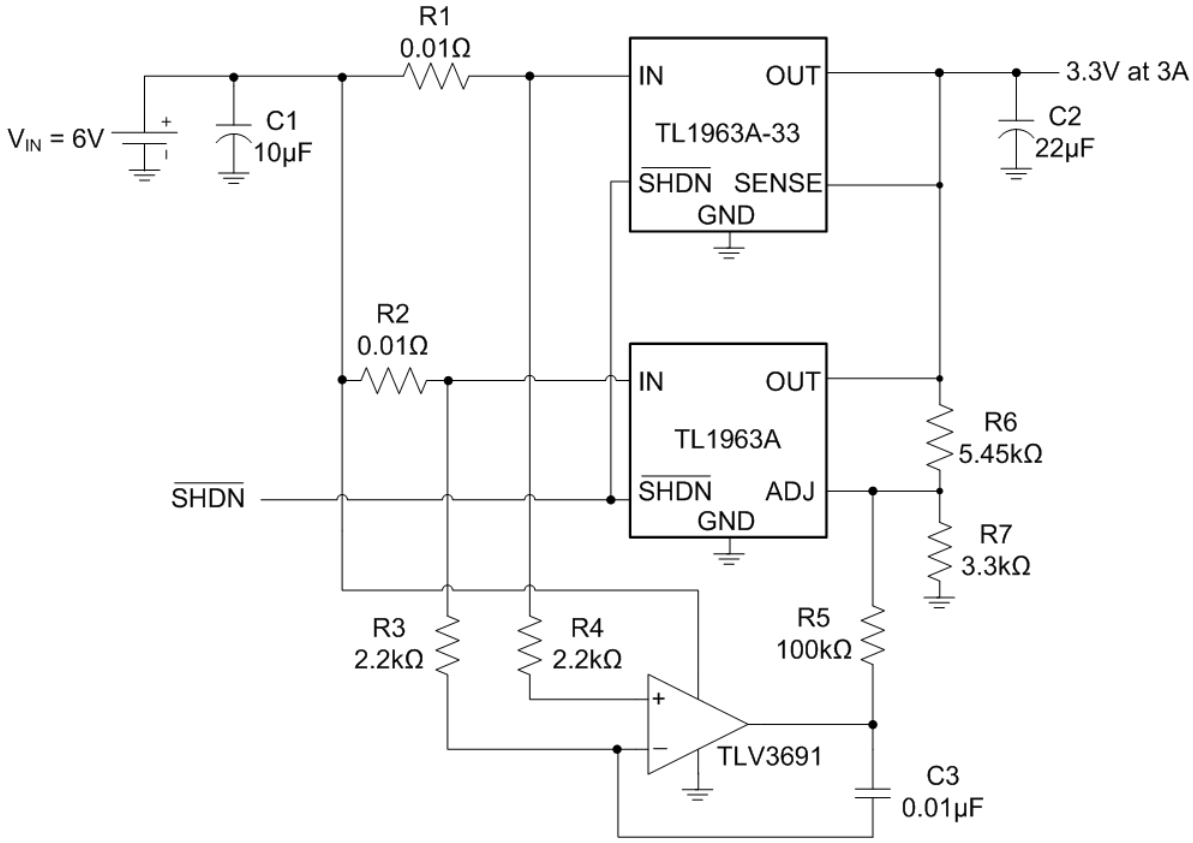


I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF (セラミック)

図 7-11. ライン過渡応答 (従来のチップ)

Copyright © 2026 Texas Instruments Incorporated

7.2.5 高出力電流のための並列レギュレータ (従来チップのみ)



A. すべてのコンデンサはセラミックです。

図 7-12. 高出力電流のための並列レギュレータ

7.2.5.1 設計要件

表 7-2. 設計パラメータ

設計パラメータ	数値の例
入力電圧 (V_{IN})	6.0V
出力電圧 (V_{OUT})	3.3V
出力電流 (I_{OUT})	3.0A

7.2.5.2 詳細な設計手順 (従来のチップのみ)

大きめの出力電流を必要とするアプリケーションでは、電流容量を増やすために、固定出力レギュレータと並列に可変出力をレギュレータとして接続します。2 個のセンス抵抗と 1 個のコンパレータを使用して可変レギュレータの帰還ループを制御し、2 個のレギュレータ間の電流のバランスを取ります。

高出力電流のための並列レギュレータ (従来チップのみ) では、抵抗 R1 と R2 は各レギュレータに流れる電流を検出するために使用されており、不要な電力損失を避けるために非常に低い抵抗値にする必要があります。R1 と R2 は同じ抵抗値で、許容差は 1% 以下にする必要があります。これにより、各レギュレータ間で電流を均等に分担できます。この設計では、0.01Ω のを使用しています。

TLV3691 レール ツー レール ナノパワー コンパレータの出力は、2 つの各レギュレータに流れる電流に応じて、VIN と GND の間を交互に切り替えます。この制御回路を設計するには、まず 2 つの出力電流がほぼ等しく、コンパレータ出力

Copyright © 2026 Texas Instruments Incorporated

が Low の場合について検討します。この場合、TL1963A の出力を固定電圧レギュレータと同じ値に設定する必要があります。TL1963A-33 には 3.3V 固定出力があるため、可変レギュレータの設定点となります。まず、R7 の値として 4.17kΩ 未満の値を選択します。この例では 3.3kΩ を使用しています。式 18 を満たすために、抵抗 R5 の値を大きくする必要があります。この例では 100kΩ を使用しています。次に、R5 と R7 はどちらも ADJ ピンから GND に接続されているため、式 14 を使用して R5 と R7 の並列抵抗を求めます。

$$[R5 \parallel R7] = \frac{R5 \times R7}{R5 + R7} = 3.19k\Omega \quad (14)$$

R5 と R7 の並列抵抗を計算したら、式 15 を使用して R6 の値を求めることができます。

$$R6 = \frac{V_{OUT}}{1.22V}[R5 \parallel R7] - [R5 \parallel R7] \quad (15)$$

$$R6 = \frac{3.3V}{1.22V}[3.19k\Omega] - [3.19k\Omega] \quad (16)$$

$$R6 = 5.45k\Omega \quad (17)$$

TL1963A-33 が TL1963A よりも多くの電流を供給する場合、コンパレータの出力が High になります。これにより ADJ ピンの電圧が低下し、TL1963A はより多くの電流を供給して出力電圧を上昇させようとします。TL1963A-33 はその後、出力電圧の上昇を抑えるために、供給する電流を減らすよう動作します。TL1963A-33 を流れる電流が TL1963A の電流を下回ると、コンパレータ出力は GND に戻ります。これを実現するには、式 18 の条件を満たす必要があります。

$$V_{IN}\left[\frac{R7}{R5 + R7}\right] + [V_{IN} - V_{OUT}]\left[\frac{R6}{R5 + R6}\right] < Vref \quad (18)$$

$$6V\left[\frac{3.3k\Omega}{100k\Omega + 3.3k\Omega}\right] + [2.7V]\left[\frac{5.45k\Omega}{100k\Omega + 5.45k\Omega}\right] < 1.21V \quad (19)$$

$$0.19V + 0.14V < 1.21V \quad (20)$$

$$0.33V < 1.21V \quad (21)$$

7.2.5.3 アプリケーション曲線

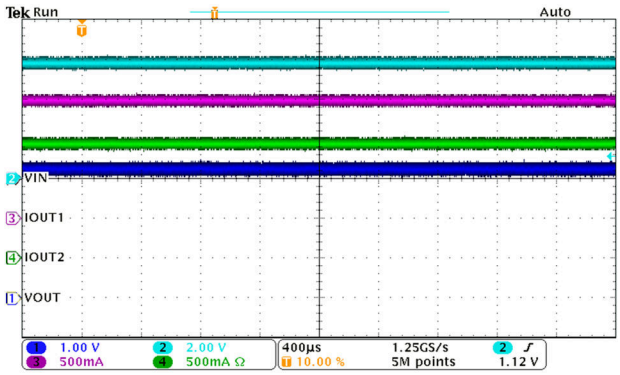


図 7-13. 並列レギュレータ共有負荷電流 (従来のチップのみ)

7.3 電源に関する推奨事項

このデバイスは、最大 20V の入力電圧で動作するように設計されています。最小入力電圧は、デバイスがレギュレートされた出力を供給するために、ドロップアウト電圧より大きい十分なヘッドルームを確保する必要があります。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

Copyright © 2026 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

全体的に最高のパフォーマンスを得るには、このセクションのガイドラインに従ってください。回路のすべてのコンポーネントをプリント基板 (PCB) の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力および出力コンデンサのグランド復帰接続は、可能な限り GND ピンに近く配置し、広いコンポーネント側の銅のプレーンで接続してください。LDO 回路から入力コンデンサ、出力コンデンサ、または分圧抵抗への接続にビアや長い配線を使用しないでください。この方法は、システム性能に悪影響を及ぼします。このグランドおよびレイアウトの方式により誘導性の寄生成分が最小化され、負荷過渡電流の低減、ノイズの最小化、回路の安定性の増大を実現できます。グランドの基準プレーンも推奨され、PCB 自体に埋め込むか、コンポーネントの反対側の PCB の底面に配置されます。この基準プレーンは、出力電圧の精度を保証し、LDO をノイズから遮断する役割を果たします。デバイスの熱性能を向上させ、高い周囲温度での電流出力を最大化するために、サーマルパッド下の銅をできるだけ広げ、サーマルパッド下の銅上に十分なサーマルビアを配置します。DCQ パッケージのタブはグランドに接続します。効果的な放熱を行うため、KTT パッケージの露出サーマ ルパッドは広いグランド プレーンに接続します。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

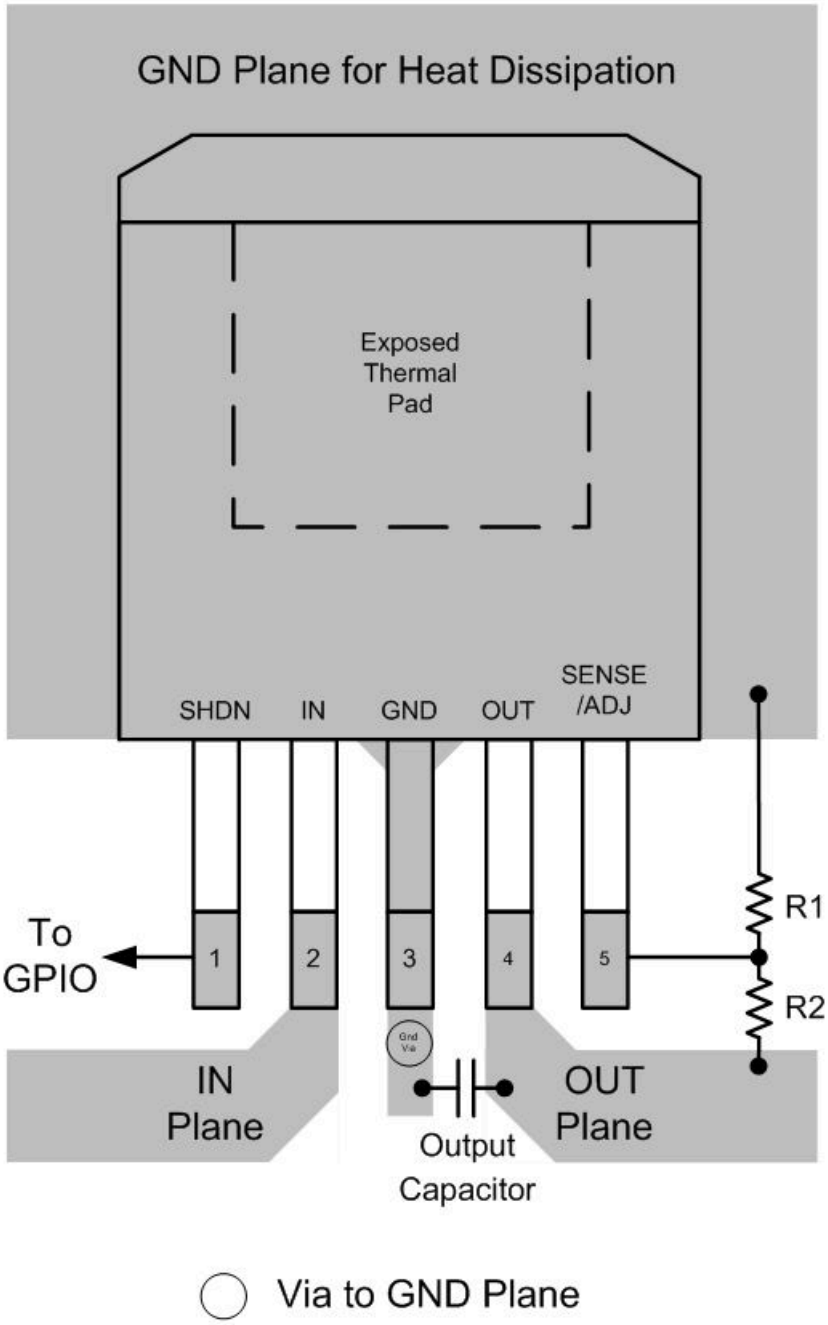


図 7-14. TO-263 のレイアウト例 (KTT)

Copyright © 2026 Texas Instruments Incorporated

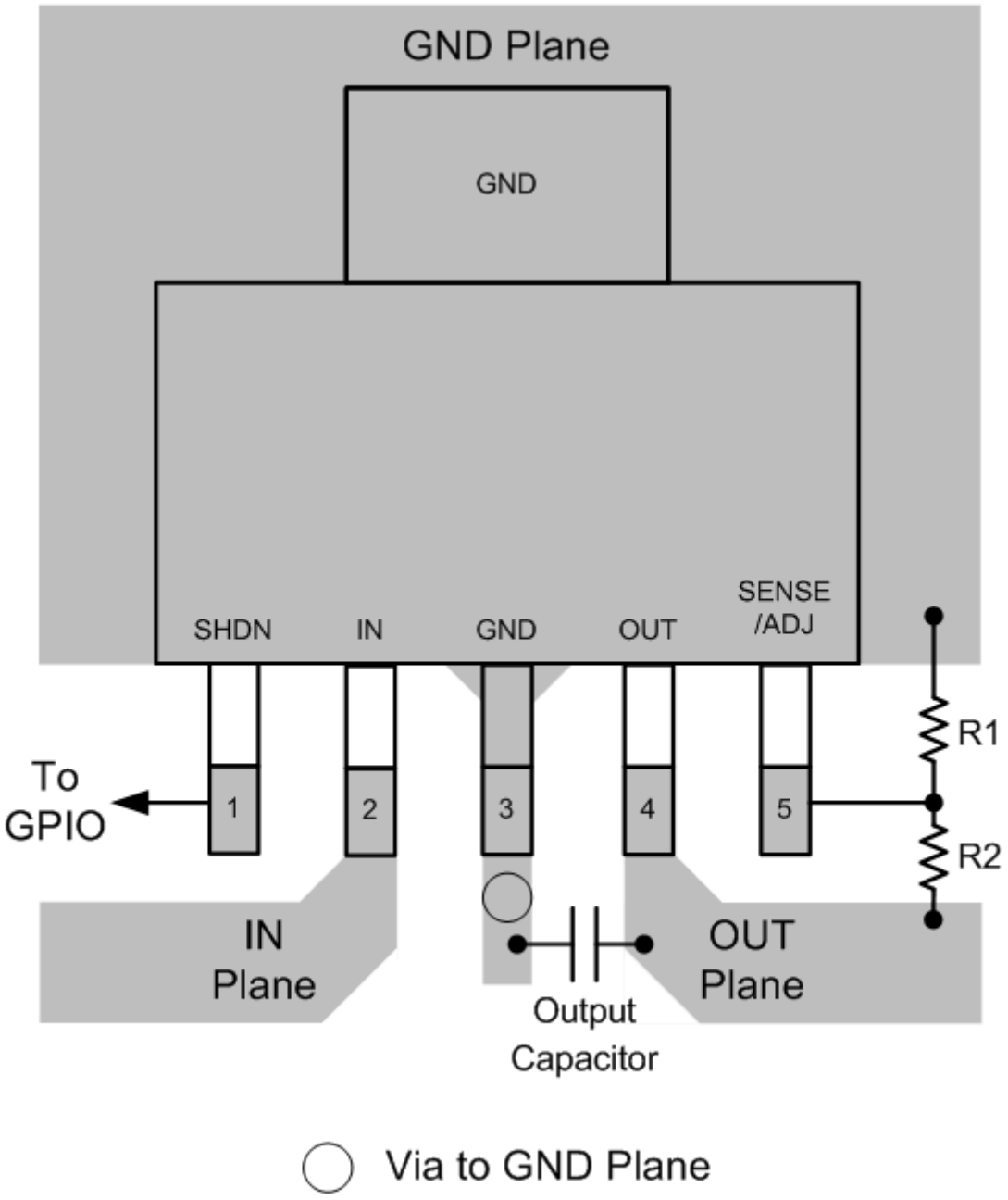


図 7-15. 6SOT-223 のレイアウト例 (DCQ)

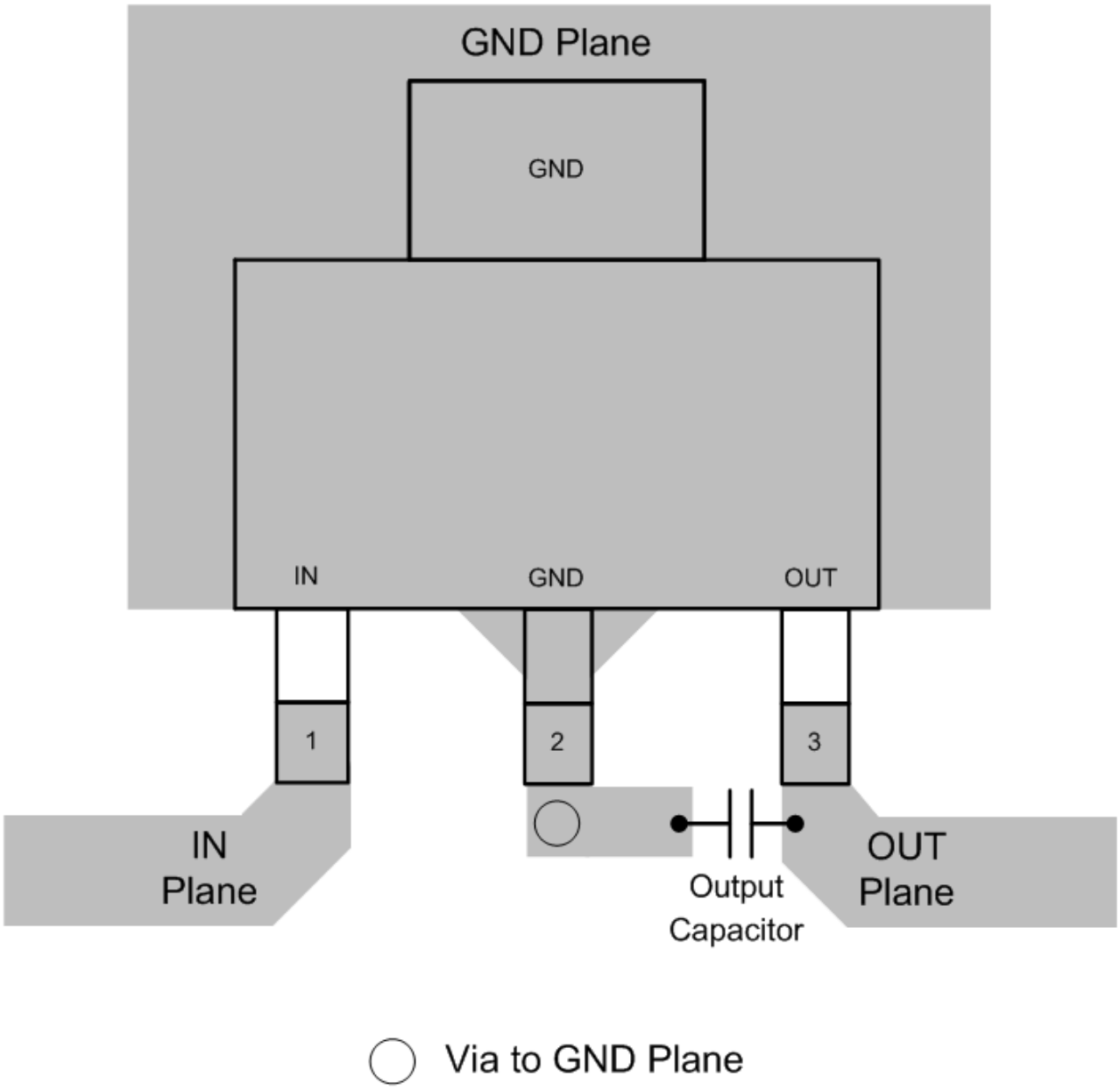


図 7-16. 4SOT-223 のレイアウト例 (DCY)

7.4.3 熱に関する検討事項

推奨される最大動作時接合部温度 (125℃) により、デバイスの電力処理能力が制限されます。デバイスが消費する電力は、次の 2 つの成分で構成されます。

- 出力電流に入出力電圧差動を乗算：$I_{OUT}(V_{IN} – V_{OUT})$
- GND ピンの電流と入力電圧の乗算： $I_{GND}V_{IN}$

GND ピンの電流は、セクション 5.7 の GND ピン電流グラフから求められます。消費電力は、上記の 2 つの成分の合計に等しくなります。

Copyright © 2026 Texas Instruments Incorporated

TL1963A-xx シリーズのレギュレータは、過負荷状態時にデバイスを保護するように設計された熱制限機能を内蔵しています。通常の条件が継続している場合、推奨される動作時最大接合部温度は 125℃ です。接合部と周囲間の熱抵抗の原因はすべて、慎重に検討することが重要です。また、近くに取り付けた追加の熱源も考慮に入れてください。

表面実装デバイスでは、プリント基板と銅パターンの放熱能力を利用してヒート シンクを実現します。パワー デバイスによって発生した熱を拡散するには、銅製の補強材とメッキしたスルーホールを使用します。

従来のチップに関する 表 7-3 には、いくつかの異なる基板サイズおよび銅面積に対する熱抵抗が記載されています。すべての測定は、1 オンス の銅箔を備えた厚さ 1/16 インチの FR-4 基板上で、無風状態の空気中において実施しています。

表 7-3. KTT パッケージの熱データ (5 ピン TO-263) [従来のチップ]

銅箔部分の面積		基板面積	熱抵抗 (接合部と周囲の間)
上面(1)	裏面		
2500mm^2	2500mm^2	2500mm^2	23℃/W
1000mm^2	2500mm^2	2500mm^2	25℃/W
125mm^2	2500mm^2	2500mm^2	33℃/W

(1) デバイスは上面に取り付けられます。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

TL1963A-xx を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TL1963A-33EVM 評価基板 (および関連するユーザーガイド) は、TI の製品フォルダ経由で TI ウェブサイトからリクエストするか、TI eStore から直接購入できます。

8.1.2 デバイスの命名規則

表 8-1. デバイスの命名規則

製品(1)	説明
TL1963A-**xx yyy z** TL1963A**yyy z**	xx は公称出力電圧です (例:18 = 1.8V、33 = 3.3V)。yyy はパッケージ指定子です。z はパッケージ数量です。TL1963A**yyy z** は、可変デバイスを表します。このデバイスは、従来のチップ (CSO:SHE) または新しいチップ (CSO: RFB) と同梱されます。これは最新の製造フローを使用しています。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本書では、新旧チップごとのデバイス性能について説明しています。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス インスツルメンツ、『PCB 熱計算ツール』
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 商標

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (January 2015) to Revision H (June 2026) **Page**

- 「特長」セクションを更新し、従来および新しいチップの性能比較 (入力、出力範囲、出力電圧精度、パッケージの熱の詳細) を追加 1
- 「絶対最大定格」、「ESD」、「推奨動作条件」、「熱および電気的特性」の表を更新し、従来のチップと新しいチップの性能比較を記載 5

Copyright © 2026 Texas Instruments Incorporated

- 従来および新しいチップの主な機能を強調するために「概要」セクションを更新.....24
- 従来チップと新しいチップの比較および読みやすさ向上のため、「過負荷復帰」、「出力電圧ノイズ」、「保護機能」の各セクションを更新し、「$\overline{\text{SHDN}}$」、「低電圧誤動作防止 (UVLO)」、「サーマル シャットダウン」、「電流制限」の各項目を追加しました。.....24
- 「保護機能」を更新し、「従来のチップ専用」のセクションと「従来のチップと新しいチップの両方」のセクションを作成 27
- 「デバイスの機能モード」セクションを更新し、データシートの読みやすさを向上。.....28
- 「アプリケーション情報」セクションを更新してデータシートの読みやすさを向上、「逆電流」、「フィードフォワード コンデンサ」、「接合部温度と消費電力 (P_D) の推定」の各セクションを追加。.....29
- 「代表的なアプリケーション」セクションを更新し、従来チップと新しいチップの性能比較を追加.....31
- 「アプリケーション曲線」セクションに、従来および新しいチップの負荷およびライン過渡のプロットを追加。.....33
- 「電源に関する推奨事項」セクションを「アプリケーションと実装」セクションに移動.....36
- レイアウトをアプリケーションおよび実装セクションに移動.....37
- 「デバイスのサポート」セクションを追加し、TL1963A-xx デバイスの評価基板の詳細を更新。.....42
- 「デバイスの命名規則」セクションに、従来のチップと新しいチップの詳細を追加.....42

Changes from Revision F (January 2014) to Revision G (January 2015) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。..... 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL1963A-15DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15DCYT	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15DCYT.A	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-15
TL1963A-15KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-15
TL1963A-18DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TG
TL1963A-18DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TG
TL1963A-18KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-18
TL1963A-18KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-18
TL1963A-25DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH
TL1963A-25DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH
TL1963A-25DCYT	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH
TL1963A-25DCYT.A	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL1963A-25KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-25
TL1963A-25KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-25
TL1963A-33DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TJ
TL1963A-33DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TJ
TL1963A-33KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-33
TL1963A-33KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-33
TL1963ADCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963AKTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A
TL1963AKTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A
TL1963AKTTRG3	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL1963A :

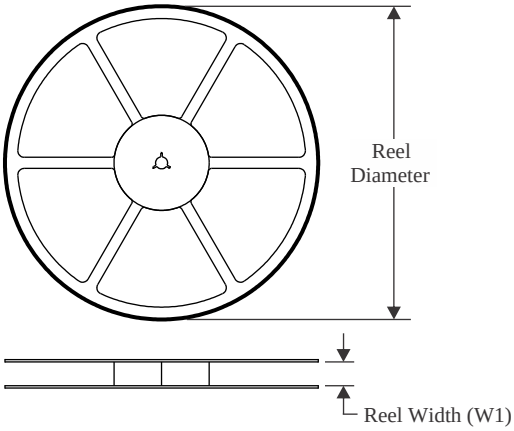
- Automotive : TL1963A-Q1

NOTE: Qualified Version Definitions:

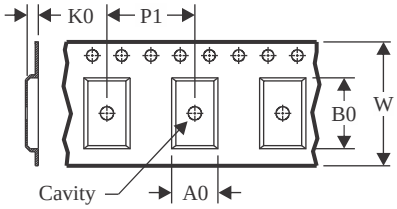
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

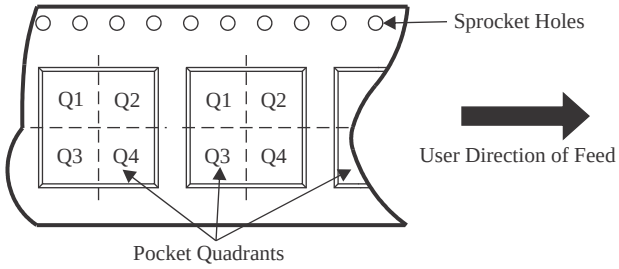


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

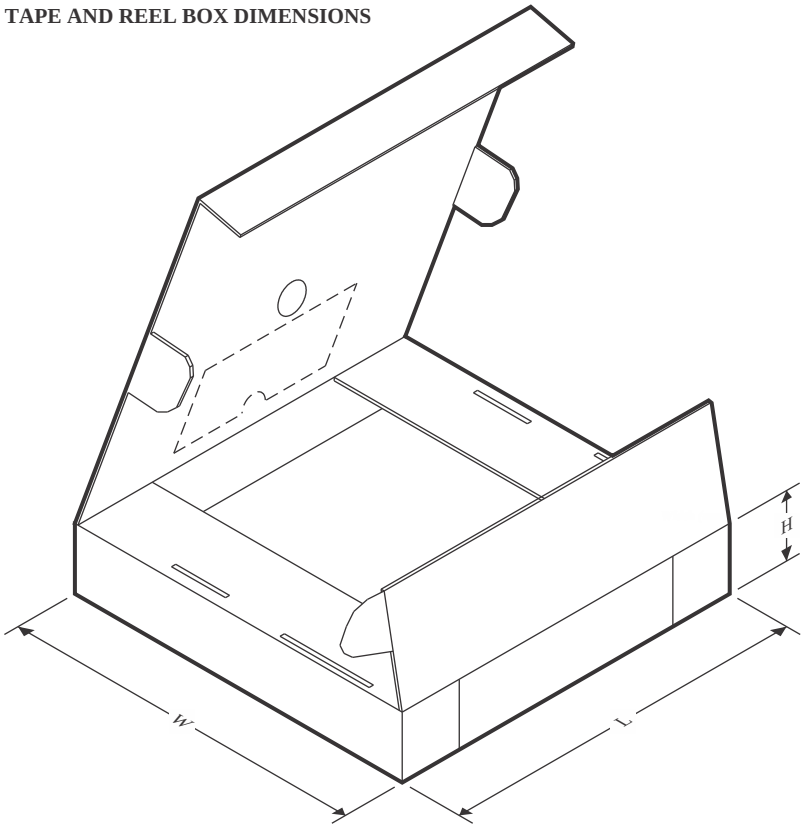


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL1963A-15DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-15DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-15DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-15DCYT	SOT-223	DCY	4	250	180.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-15KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963A-18DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-18DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-18DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-18KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963A-25DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-25DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-25DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-25DCYT	SOT-223	DCY	4	250	180.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-25KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL1963A-33DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-33DCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-33DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-33DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-33KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963ADCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963ADCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963ADCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963AKTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL1963A-15DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-15DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-15DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-15DCYT	SOT-223	DCY	4	250	190.0	190.0	30.0
TL1963A-15KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963A-18DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-18DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-18DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-18KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963A-25DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-25DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-25DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-25DCYT	SOT-223	DCY	4	250	190.0	190.0	30.0
TL1963A-25KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963A-33DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-33DCQRG4	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-33DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-33DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0

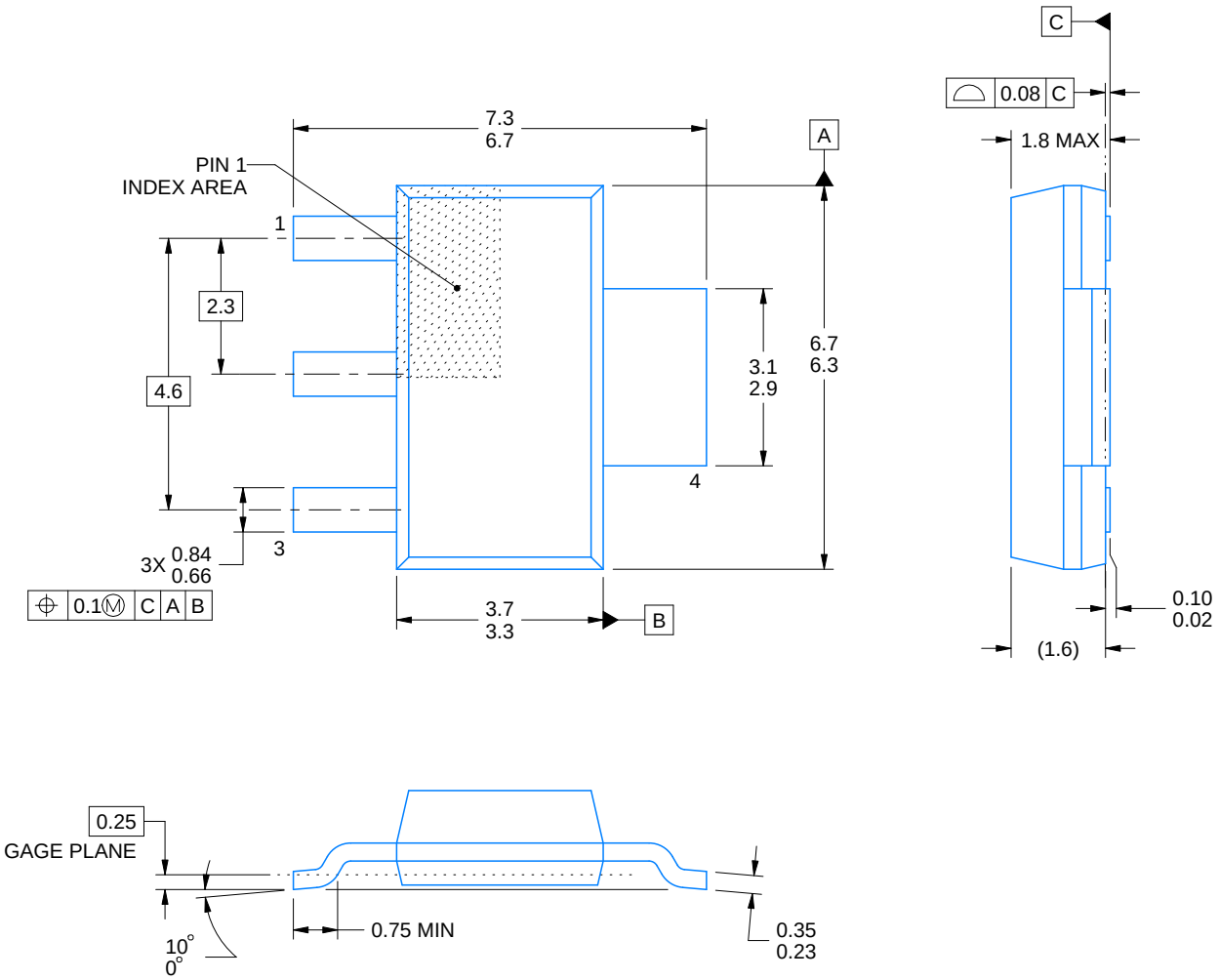
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL1963A-33KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963ADCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TL1963ADCQRG4	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TL1963ADCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963AKTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0

PACKAGE OUTLINE

DCY0004A

SOT-223 - 1.8 mm max height

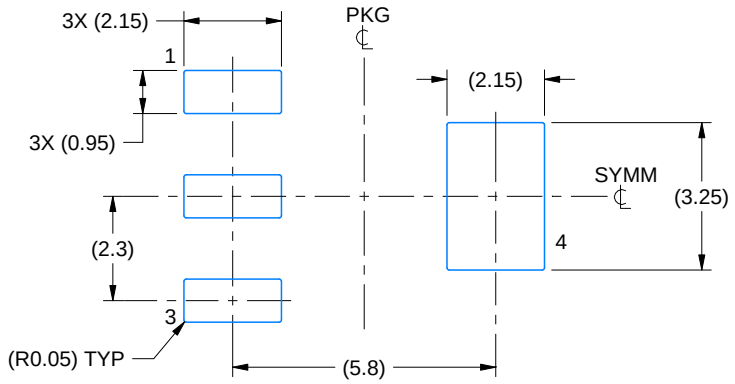
PLASTIC SMALL OUTLINE



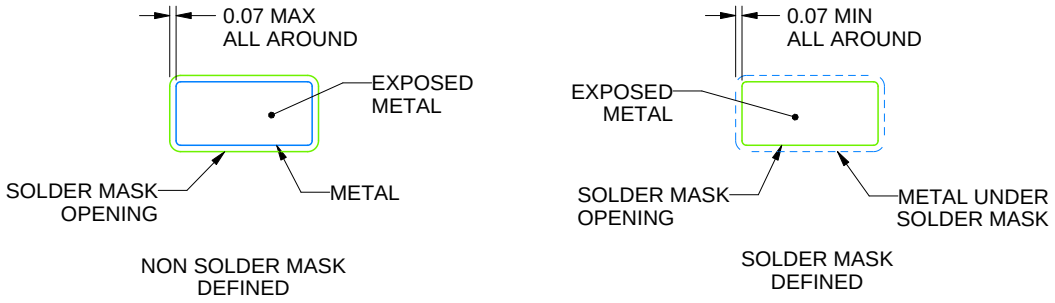
4214843/C 05/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC TO-261.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4214843/C 05/2026

NOTES: (continued)

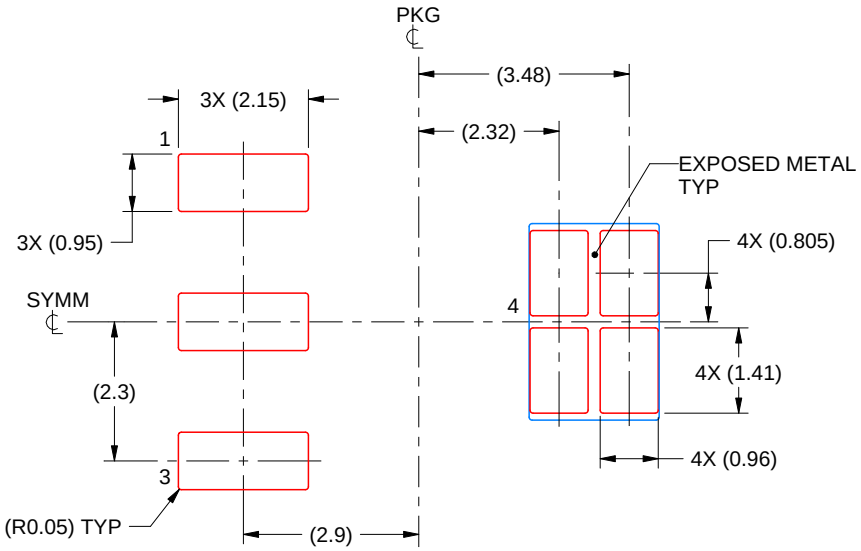
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCY0004A

SOT-223 - 1.8 mm max height

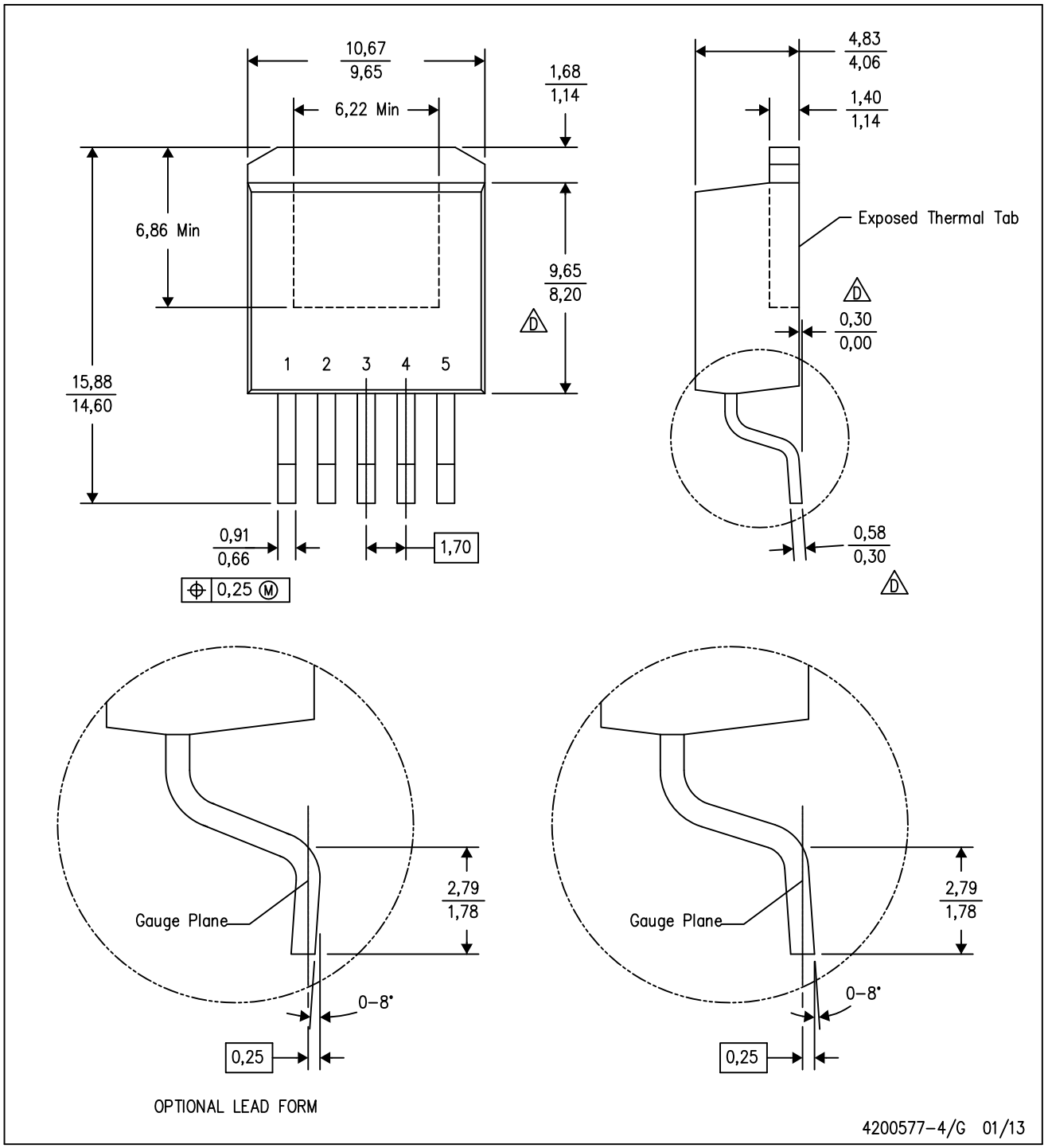
PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

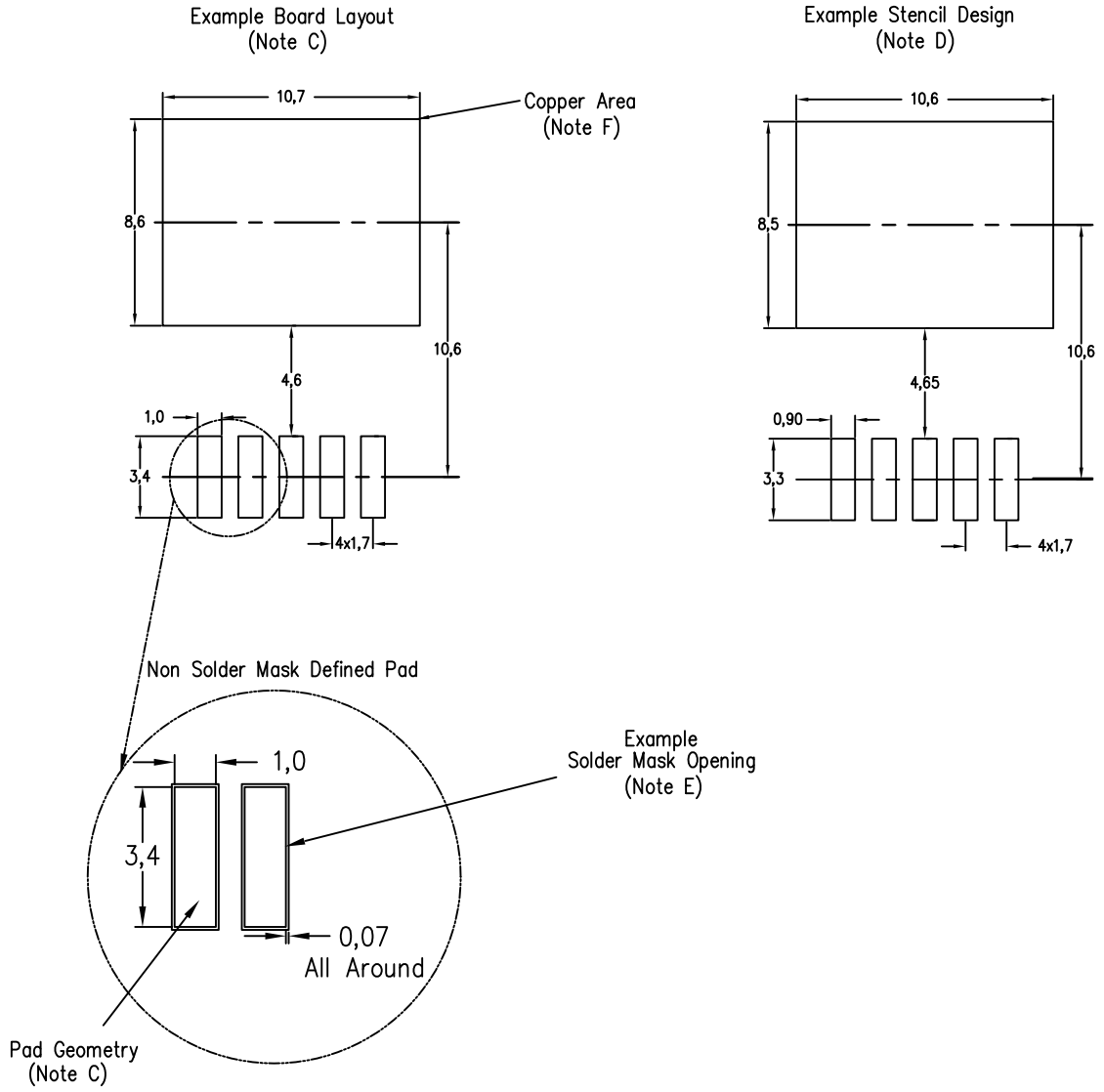
4214843/C 05/2026

KTT (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash or protrusion not to exceed 0.005 (0,13) per side.
D. Falls within JEDEC TO–263 variation BA, except minimum lead thickness, maximum seating height, and minimum body length.

KTT (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



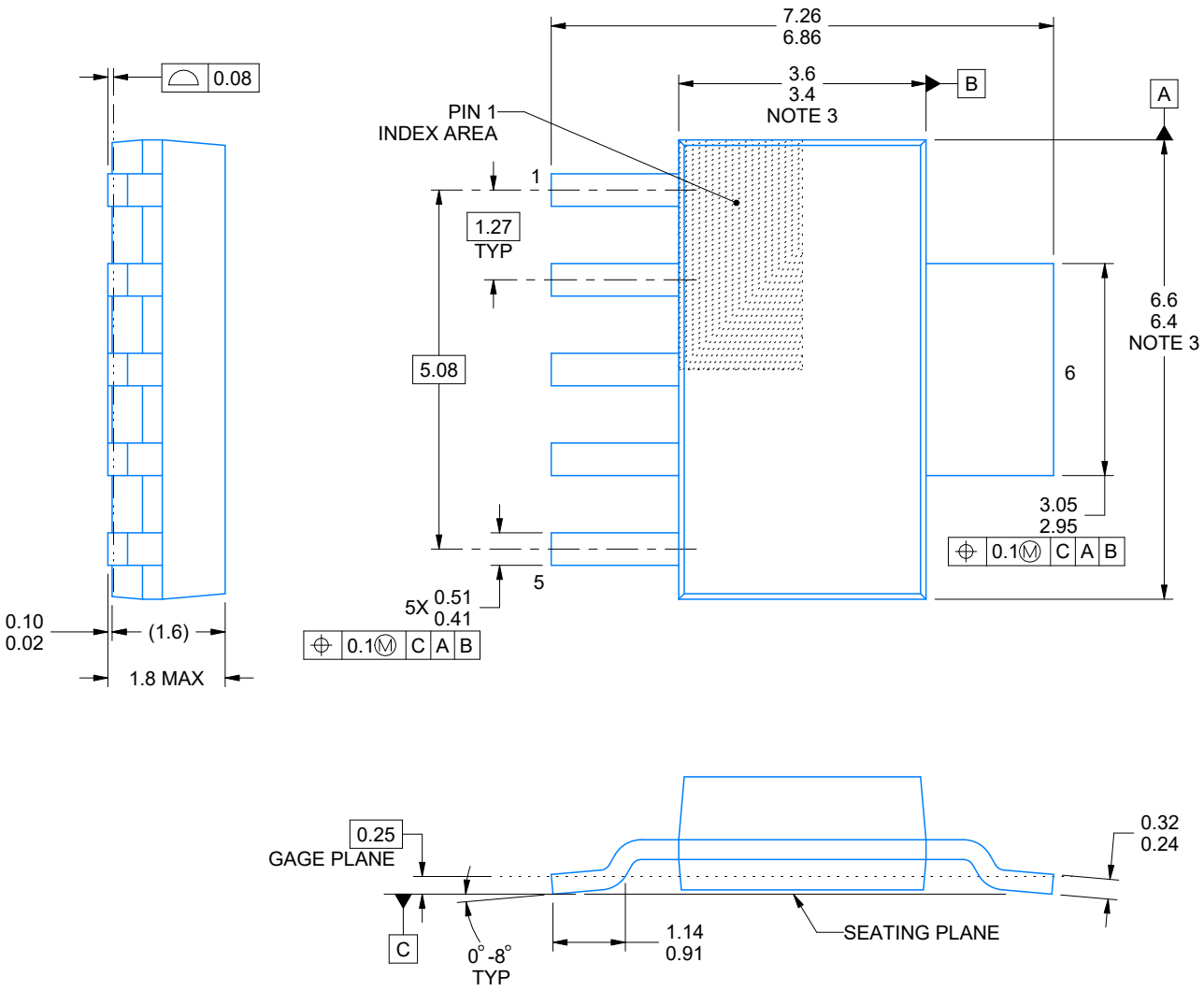
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
F. This package is designed to be soldered to a thermal pad on the board. Refer to the Product Datasheet for specific thermal information, via requirements, and recommended thermal pad size. For thermal pad sizes larger than shown a solder mask defined pad is recommended in order to maintain the solderable pad geometry while increasing copper area.

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

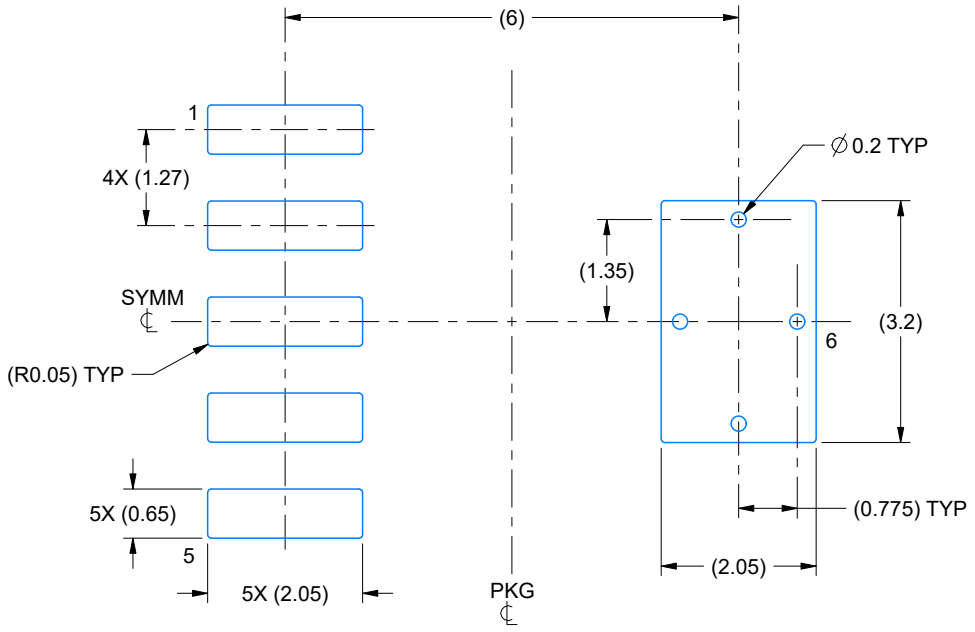
PLASTIC SMALL OUTLINE



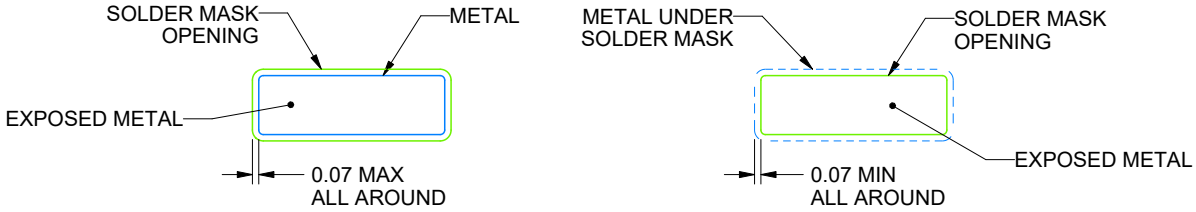
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

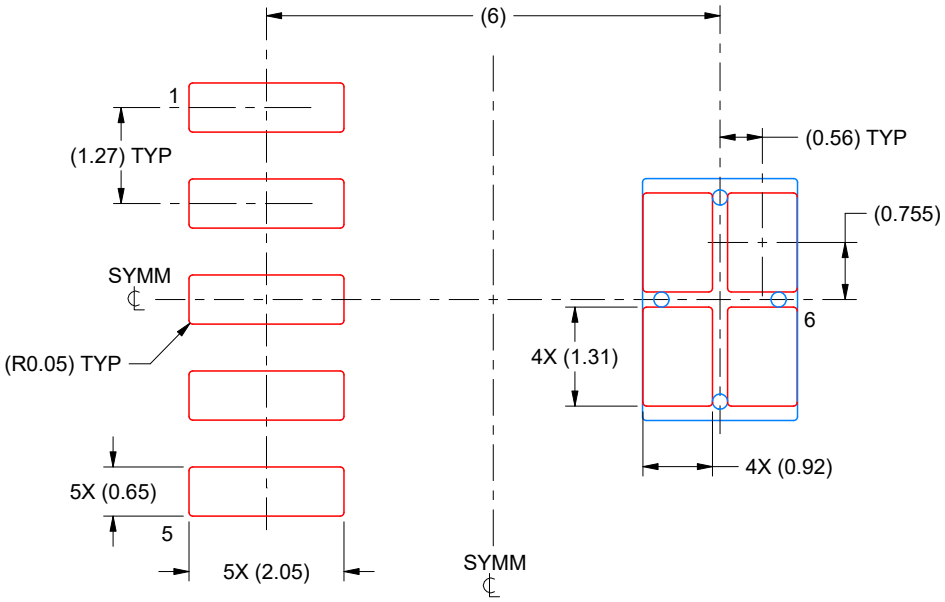


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月