参考資料

TL3474、TL3474A 高スルー レート、単電源オペアンプ

1 特長

- 低オフセット:A グレードの場合は 3mV (最大値)
- 広ゲイン帯域幅積:4.5MHz
- 幅広い単一電源動作範囲:4V ～ 36V
- グランドを含む広い入力同相範囲 (V_{CC-})
- 出力短絡保護
- MC33074/A および MC34074/A の代替品

2 アプリケーション

- 多重化データ アクイジション システム
- 試験および計測機器
- ADC ドライバ アンプ
- SAR ADC リファレンス バッファ
- プログラマブル ロジック コントローラ
- ローサイド電流センシング

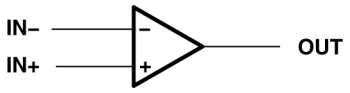
3 説明

TL3474 および TL3474A オペアンプには、優れた設計コンセプトによる高品質、低コストのバイポーラ製造が採用されています。これらのデバイスは、。TL3474 および TL3474A は分割電源で動作できますが、同相入力電圧範囲にグランド電位 (V_{CC-}) が含まれるため、これらのデバイスは単一電源動作を想定して設計されています。これらのデバイスは、高い入力抵抗、低い入力オフセット電圧、高いゲインを示します。この低コストの TL3474 は、MC34074/A および MC33074/A オペアンプのよい代替品です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TL3474	D (SOIC、14)	8.65mm × 6.00mm
	PW (TSSOP、14)	5.00mm × 6.40mm
	N (PDIP、14)	19.30mm × 9.40mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



シンボル (各アンプ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 推奨動作条件 4
5.3 電気的特性 5
5.4 動作特性 6
5.5 代表的特性 7
5.6 古いダイから新しいダイへの移行 9
6 デバイスおよびドキュメントのサポート 10
6.1 ドキュメントの更新通知を受け取る方法 10
6.2 サポート・リソース 10
6.3 商標 10
6.4 静電気放電に関する注意事項 10
6.5 用語集 10
7 改訂履歴 10
8 メカニカル、パッケージ、および注文情報 11

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

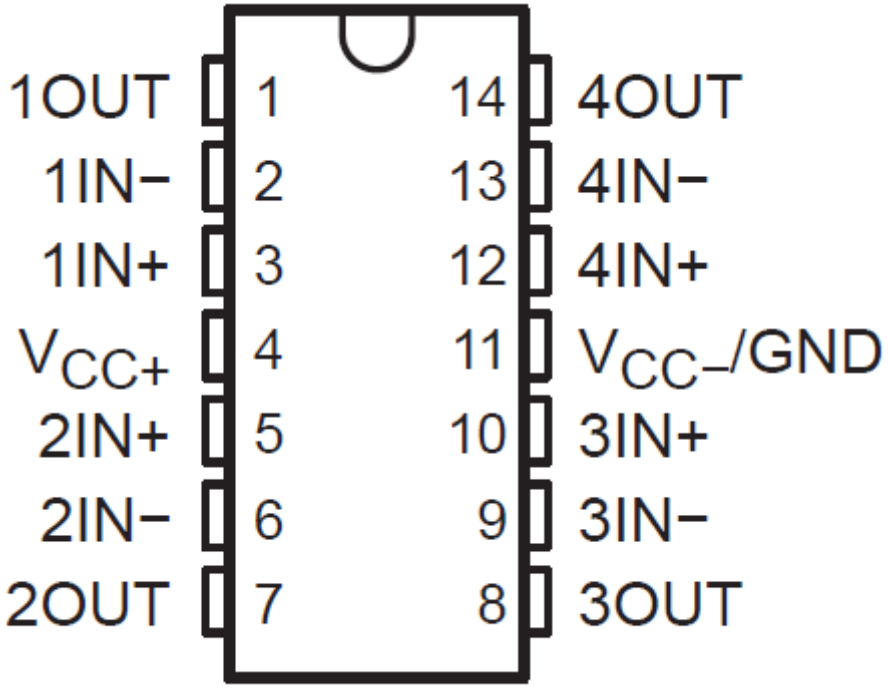


図 4-1. D、N、PW パッケージ
上面図

表 4-1. ピンの機能：TL3474

ピン		タイプ[(1)]	説明
名称	番号		
1OUT	1	O	出力チャネル 1
1IN–	2	I	反転入力、チャネル 1
1IN+	3	I	非反転入力チャネル 1
VCC+	4	—	正の入力電源電圧
2IN+	5	I	非反転入力チャネル 2
2IN–	6	I	反転入力、チャネル 2
2OUT	7	O	出力チャネル 2
3OUT	8	O	出力チャネル 3
3IN–	9	I	反転入力、チャネル 3
3IN+	10	I	非反転入力チャネル 3
VCC–/GND	11	—	負の入力電源電圧またはグランド
4IN+	12	I	非反転入力チャネル 4
4IN–	13	I	反転入力、チャネル 4
4OUT	14	O	出力チャネル 4

(1) I = 入力および O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
	電源電圧 [(2)]	V_{CC+}		18	V
		V_{CC-}		-18	
V_{ID}	差動入力電圧[(3)]		-36	36	V
V_I	入力電圧	任意の入力	V_{CC-}	V_{CC+}	
I_I	入力電流	各入力	-1	1	mA
I_O	出力電流		-80	80	mA
	V_{CC+} への総電流			80	mA
	V_{CC-} からの合計電流			80	mA
	25°C 以下での短絡電流の時間[(4)]			制限なし	
θ_{JA}	パッケージの熱インピーダンス[(5)] [(6)]	D パッケージ		86	°C/W
		N パッケージ		80	
		PW パッケージ		113	
T_J	動作時の仮想接合部温度			150	°C
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間			260	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に記載された範囲を超えるその他のいかなる条件においても、本デバイスの機能動作を保証するものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用するとデバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動電圧を除くすべての電圧値は、V_{CC+} と V_{CC-}/GND の中点を基準にしています。
(3) 差動電圧は、反転入力に対して非反転入力のものです。入力が V_{CC-} − 0.3V を下回ると、過剰な入力電流が流れる可能性があります。
(4) 出力はいずれかの電源に短絡することが可能です。最大消費電力定格を超えないように、温度や電源電圧を制限する必要があります。
(5) 最大消費電力は $T_{J(max)}$、θ_{JA}、T_A の関数となります。最大許容消費電力と、許容される周囲温度との関係式は、$P_D = (T_{J(max)} - T_A)/\theta_{JA}$ です。絶対最大定格 T_J = 150℃での動作は、信頼性に影響を与える可能性があります。
(6) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.2 推奨動作条件

			最小値	最大値	単位
$v_{CC\pm}$	電源電圧		4	36	V
V_{IC}	同相入力電圧	V_{CC} = 5V	0	2.8	V
		$V_{CC\pm}$ = ±15V	-15	12.8	
T_A	自由空気での動作温度	TL3474C、TL3474AC	0	70	°C
		TL3474I、TL3474AI	-40	105	

Copyright © 2026 Texas Instruments Incorporated

5.3 電気的特性

指定された自由空気温度で、$V_{CC\pm}$ = ±15V (特に記述のない限り)

パラメータ		テスト条件		T_A	TL3474			TL3474A			単位
					最小値	標準値(1)	最大値	最小値	標準値†	最大値	
V_{IO}	入力オフセット電圧	V_{IC} = 0、V_O = 0、R_S = 50Ω	V_{CC} = 5V	25°C		1.5	10		1.5	3	mV
			V_{CC} = ±15V	25°C		1.0	10		1.0	3	
				フルレンジ(2)			12			5	
a_{VIO}	入力オフセット電圧の温度係数		V_{CC} = ±15V	フルレンジ(2)		10			10		μV/℃
I_{IO}	入力オフセット電流		V_{CC} = ±15V	25°C		0.01	75		0.01	75	nA
				フルレンジ(2)			300			0.01	
I_{IB}	入力バイアス電流		V_{CC} = ±15V	25°C		0.01	500		0.01	500	nA
				フルレンジ(2)			700			0.01	
V_{ICR}	同相入力電圧範囲	R_S = 50Ω		25°C		-15 から 12.8			-15 から 12.8		V
				フルレンジ(2)		-15 から 12.8			-15 から 12.8		
V_{OH}	High レベル出力電圧	V_{CC+} = 5V、V_{CC-} = 0、R_L = 2kΩ		25°C	3.7	4.8		3.7	4.8		V
		R_L = 10kΩ		25°C	13.6	14.8		13.6	14.8		
		R_L = 2kΩ		フルレンジ(2)	13.4			13.4			
V_{OL}	Low レベル出力電圧	V_{CC+} = 5V、V_{CC-} = 0、R_L = 2kΩ		25°C		0.005	0.3		0.005	0.3	V
		R_L = 10kΩ		25°C		-14.8	-14.3		-14.8	-14.3	
		R_L = 2kΩ		フルレンジ(2)			-13.5			-13.5	
A_{VD}	大信号差動電圧増幅	V_O = ±10V、R_L = 2kΩ		25°C	25	100		25	100		V/mV
				フルレンジ(2)	20			20			
I_{OS}	短絡出力電流	出典:V_{ID} = 1V、	V_O = 0	25°C	-10	-75		-10	-75		mA
		シンク:V_{ID} = -1V、	V_O = 0		20	75		20	27		
CMRR	同相信号除去比	V_{IC} = V_{ICR}(min)、	R_S = 50Ω	25°C	65	97		80	97		dB
k_{SVR}	電源除去比 ($\Delta V_{CC\pm}/\Delta V_{IO}$)	$V_{CC\pm}$ = ±13.5V ～ ±16.5V、R_S = 100Ω		25°C	70	97		70	97		dB
I_{CC}	電源電流 (チャネルあたり)	V_O = 0	無負荷	25°C		0.56	4.5		0.56	4.5	mA
				フルレンジ(2)			5.5			5.5	
		V_{CC+} = 5V、V_O = 2.5V、V_{CC-} = 0、無負荷		25°C			4.5			4.5	

(1) 標準値はすべて、T_A = 25℃における値です。

(2) フルレンジは、TL3474C、TL3474AC デバイスでは 0°C ～ 70°C、TL3474I、TL3474AI デバイスでは −40°C～ 105°C です。

5.4 動作特性

$V_{CC\pm}$ = ±15V、T_A = 25°C

パラメータ		テスト条件		TL3474			TL3474A			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
SR+	正のスルーレート	V_I = −10V ～ 10V、R_L = 2kΩ, C_L = 300pF	A_V = 1	8	10		8	10		V/µs
SR−	負のスルーレート		A_V = -1		13			13		
	小信号スルーレート	V_I= −0.1V ～ 0.1V			0.5			0.5		V/µs
t_s	セトリング タイム	A_{VD} = -1、10V ステップ	0.1% まで		2			2		µs
			0.01% まで		2.5			2.5		
V_n	等価入力ノイズ電圧	f = 1kHz、	R_S = 100Ω		10.8			10.8		nV/√Hz
I_n	等価入力ノイズ電流	f = 1kHz			2			2		fA/√Hz
THD	全高調波歪	$V_{O(PP)}$ = 2V ～ 20V、R_L = 2kΩ、A_{VD} = 10、f = 10kHz			0.02			0.02		%
GBW	ゲイン帯域幅積	f =100kHz			4.5			4.5		MHz
BW	電力帯域幅	$V_{O(PP)}$ = 20V、R_L = 2kΩ、A_{VD} = 1、THD = 5.0%			85			85		kHz
φ_m	位相マージン	R_L = 2kΩ,	C_L = 0		70			70		度
		R_L = 2kΩ,	C_L = 300pF		50			50		
	ゲイン マージン	R_L = 2kΩ,	C_L = 0		12			12		dB
		R_L = 2kΩ,	C_L = 300pF		4			4		
r_i	差動入力抵抗	V_{IC} = 0			540			540		GΩ
C_i	入力容量	V_{IC} = 0			10			10		pF
	チャネル セパレーション	f = 10kHz			101			101		dB
z_o	オープン ループ出力インピーダンス	f = 1MHz、	A_V = 1		525			525		Ω

Copyright © 2026 Texas Instruments Incorporated

5.5 代表的特性

T_A = 25℃ (特に記述のない限り)

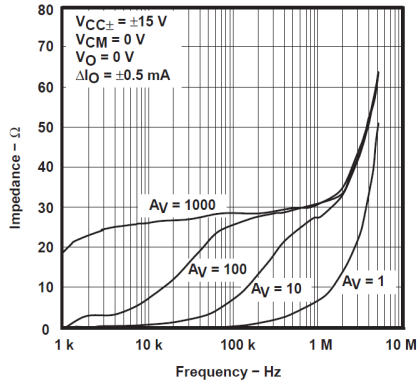


図 5-1. 出力インピーダンスと周波数との関係、古いダイ

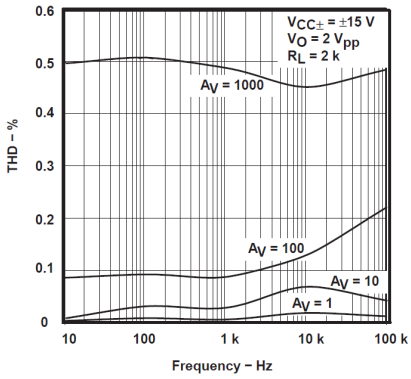


図 5-2. 全高調波歪と周波数との関係、古いダイ

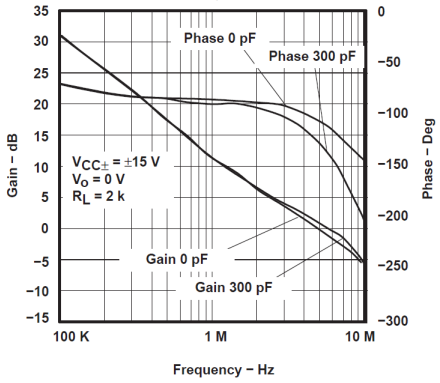


図 5-3. ゲインおよび位相と周波数との関係、古いダイ

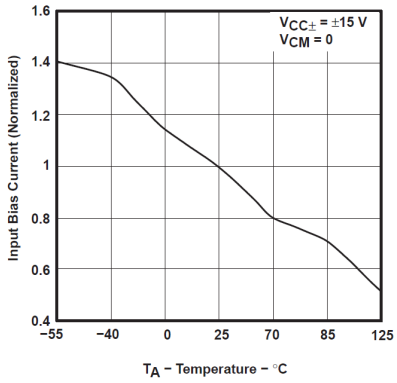


図 5-4. 正規化された入力バイアス電流と温度との関係、古いダイ

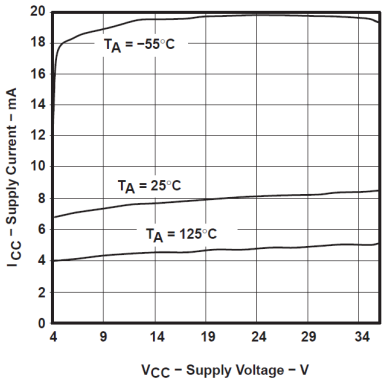


図 5-5. 供給電流と電源電圧との関係、古いダイ

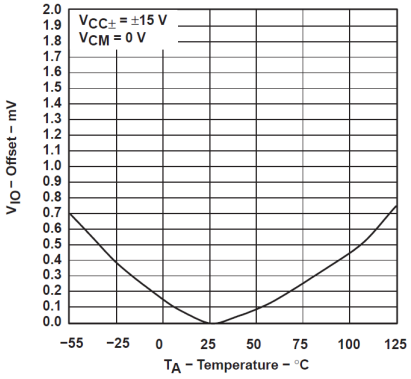


図 5-6. オフセット電圧ドリフトと温度との関係、古いダイ

5.5 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

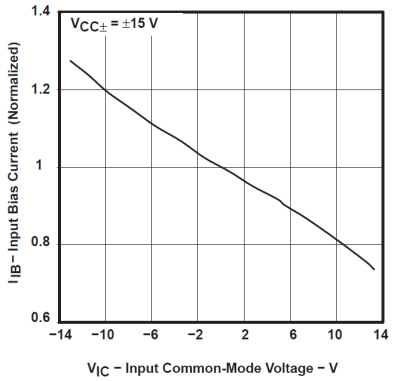


図 5-7. 正規化された入力バイアス電流と入力同相電圧との関係、古いダイ

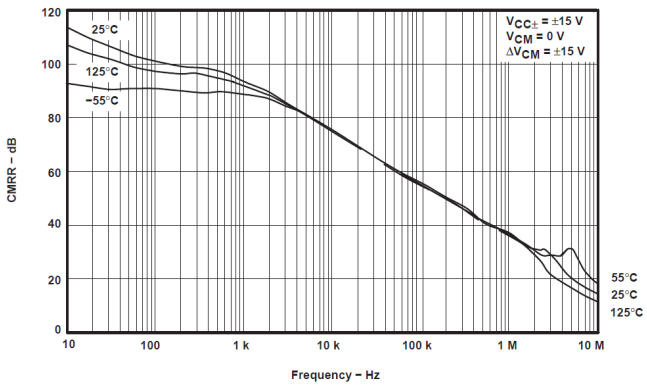
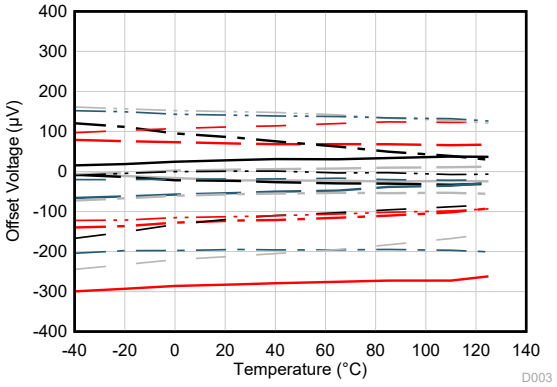
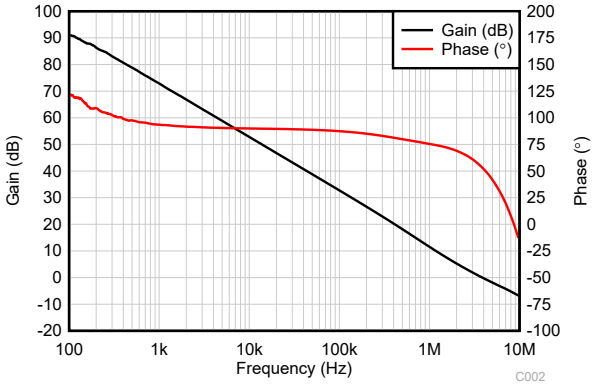


図 5-8. 同相除去と周波数との関係、古いダイ



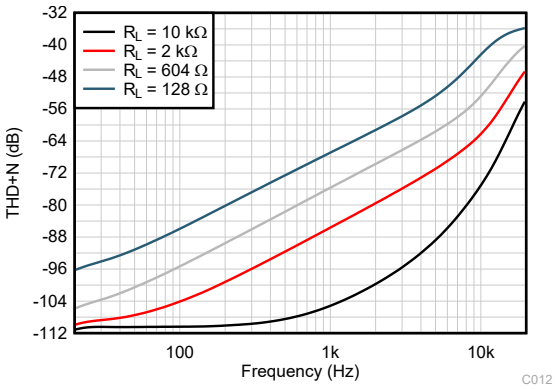
V_{CM} = V-

図 5-9. オフセット電圧と温度との関係、新しいダイ



C_L = 20pF

図 5-10. 開ループ ゲインおよび位相と周波数との関係、新しいダイ



BW = 80kHz、V_{OUT} = 1V_{RMS}

図 5-11. THD+N 比と周波数との関係、新しいダイ

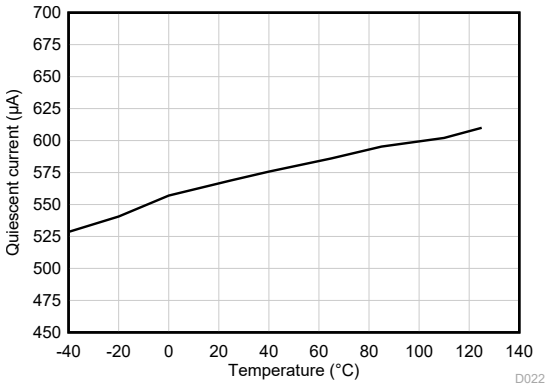


図 5-12. 静止電流と温度との関係、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

5.5 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

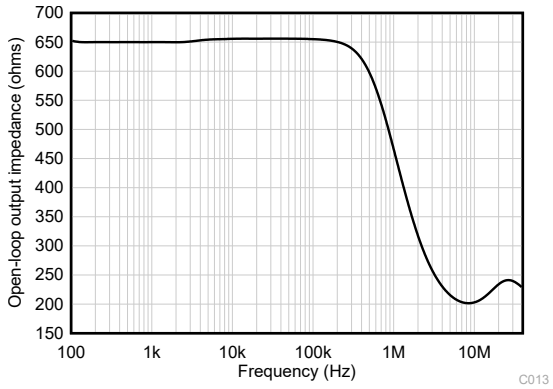


図 5-13. 開ループ出力インピーダンスと周波数の関係、新しいダイ

5.6 古いダイから新しいダイへの移行

このデータシートの改訂 C 版の発行時点で、テキサス インスツルメンツは、TL3474 のダイの製造を最新の製造拠点に移動しました。このドキュメントでは、2 つの異なるダイを「古い」(以前の製造拠点) および「新しい」(現在の製造拠点) ダイと呼びます。ダイの原点は、配送情報の「チップ ソース オリジン」 (CSO) パラメータから分離することができます。古いダイ CSO は「SHE」で、新しいダイ CSO は「RFB」です。このデータシートでは、比較のため、古いダイの情報を保持していますが、新しい製造はすべて新しいダイに移行しています。

6 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2003) to Revision C (June 2026) **Page**

- データシートの構造と構成を変更。以下のセクションを追加、更新、または名称変更：特長、アプリケーション、概要、絶対最大定格、推奨動作条件古いダイから新しいダイへの遷移、デバイスおよびドキュメントのサポート、メカニカル、パッケージ、および注文情報 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 広帯域ゲイン帯域幅積を 4MHz から 4.5MHz に変更 1
- 高スルー レートを削除：13V/µs 1
- 1.1µs ～ 0.1% の高速セトリング タイムを削除 1
- 低い全高調波歪み 0.02% を削除 1
- 大容量駆動能力を削除：10,000pF 1
- 「概要」セクションに「パッケージ情報」表を更新 1
- TL3474A の入力オフセット電流の標準値を 6nA から 0.01nA に変更 5
- TL3474A の入力バイアス電流の標準値を 100nA から 0.01nA に変更 5
- High レベル出力電圧の標準値を 4V から 4.8V に、14V を 14.8V に変更 5
- 低レベル出力電圧の標準値を 0.1V から 0.005V に変更 5
- 電源電流標準値を 3.5mA から 0.56mA に変更 5

Copyright © 2026 Texas Instruments Incorporated

- 短絡出力電流の標準値を -34mA から -75mA、および 27mA から 75mA に変更 5
- 全範囲および VCC 5V 条件での電源電流の標準値を削除 5
- セトリング タイムを 1.1µs から 2µs に変更 6
- 等価入力ノイズ電圧を 49nV/√Hz から 10.8nV/√Hz に変更 6
- 等価入力ノイズ電流を 0.22pA/√Hz から 2fA/√Hz に変更 6
- ゲイン帯域幅積を 4MHz から 4.5MHz に変更 6
- 電力帯域幅を 160kHz から 85kHz に変更 6
- 入力容量を 2.5pF から 10pF に変更 6
- 開ループ出力インピーダンスを 20Ω から 525Ω に変更 6
- 小信号スルーレート 0.5V/µs を追加 6
- 図 5-9 から図 5-13 までを追加 7

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL3474ACD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL3474A
TL3474ACDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL3474A
TL3474ACDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL3474A
TL3474ACN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL3474ACN
TL3474ACN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL3474ACN
TL3474ACPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	0 to 70	T3474A
TL3474ACPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T3474A
TL3474ACPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T3474A
TL3474AID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 105	TL3474AI
TL3474AIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	TL3474AI
TL3474AIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	TL3474AI
TL3474AIDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	TL3474AI
TL3474AIDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	TL3474AI
TL3474AIN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	TL3474AIN
TL3474AIN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	TL3474AIN
TL3474AIPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	Z3474A
TL3474AIPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	Z3474A
TL3474CD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	TL3474C
TL3474CDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL3474C
TL3474CDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL3474C
TL3474CN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL3474CN
TL3474CN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL3474CN
TL3474CPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	0 to 70	T3474
TL3474CPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	T3474
TL3474CPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T3474
TL3474ID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 105	TL3474I
TL3474IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	TL3474I
TL3474IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	TL3474I
TL3474IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	TL3474IN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL3474IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	TL3474IN
TL3474IPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 105	Z3474
TL3474IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 105	Z3474
TL3474IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	Z3474

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

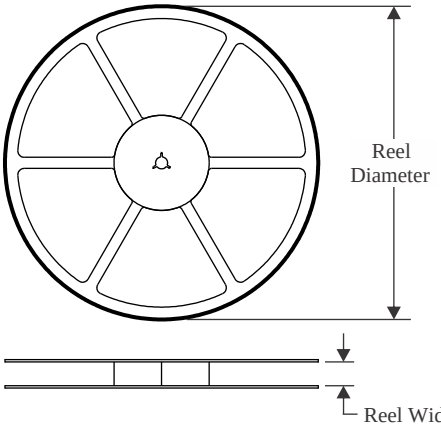
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

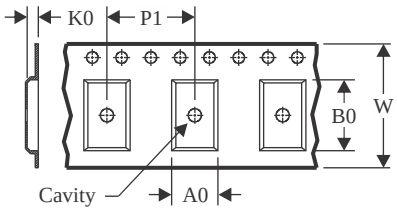
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

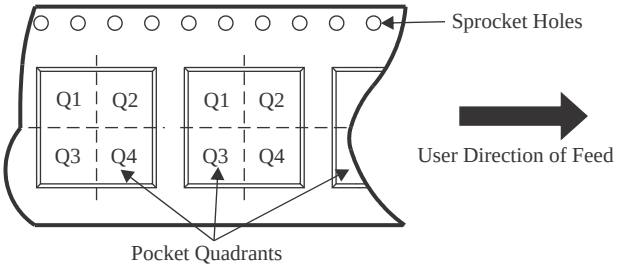


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

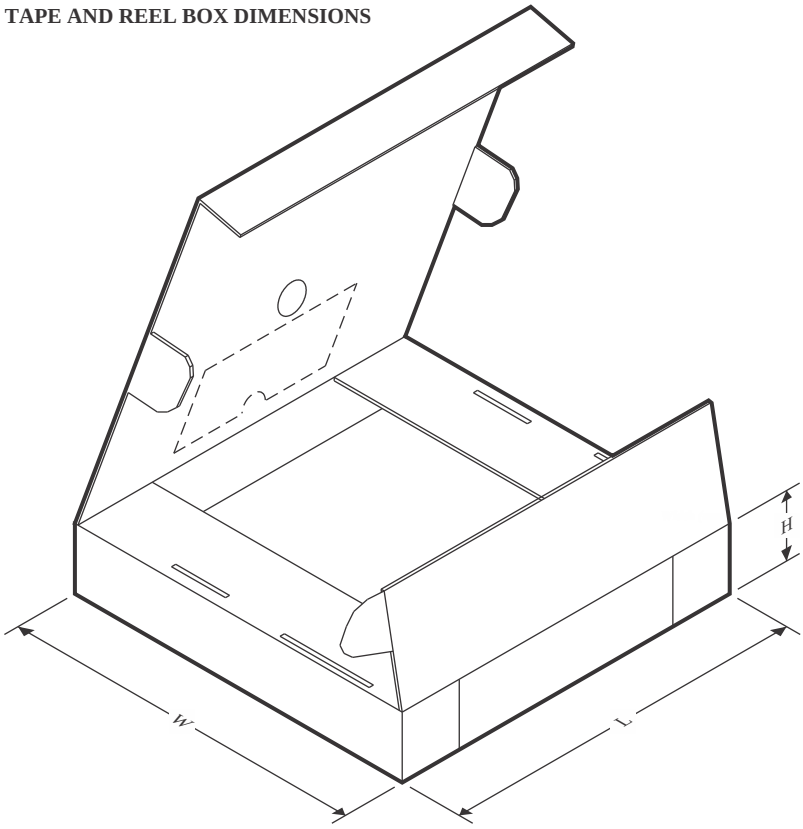
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL3474ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL3474ACPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474ACPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL3474AIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL3474AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL3474CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL3474IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL3474IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

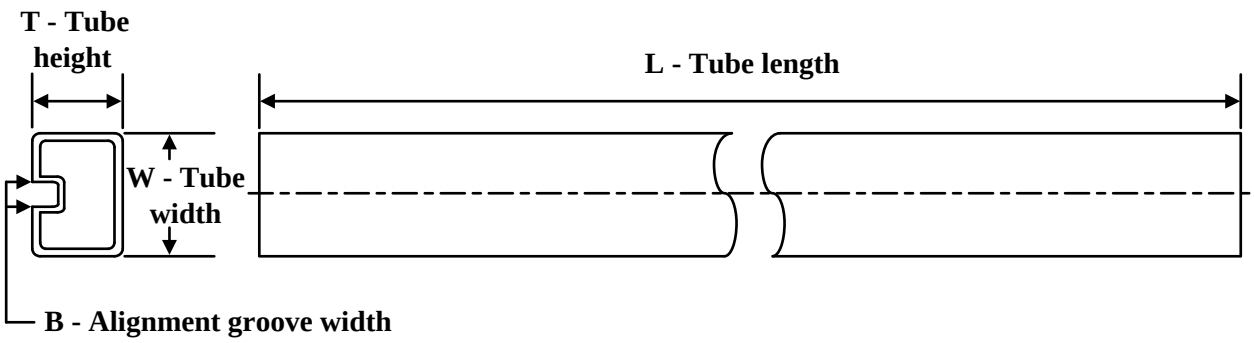
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

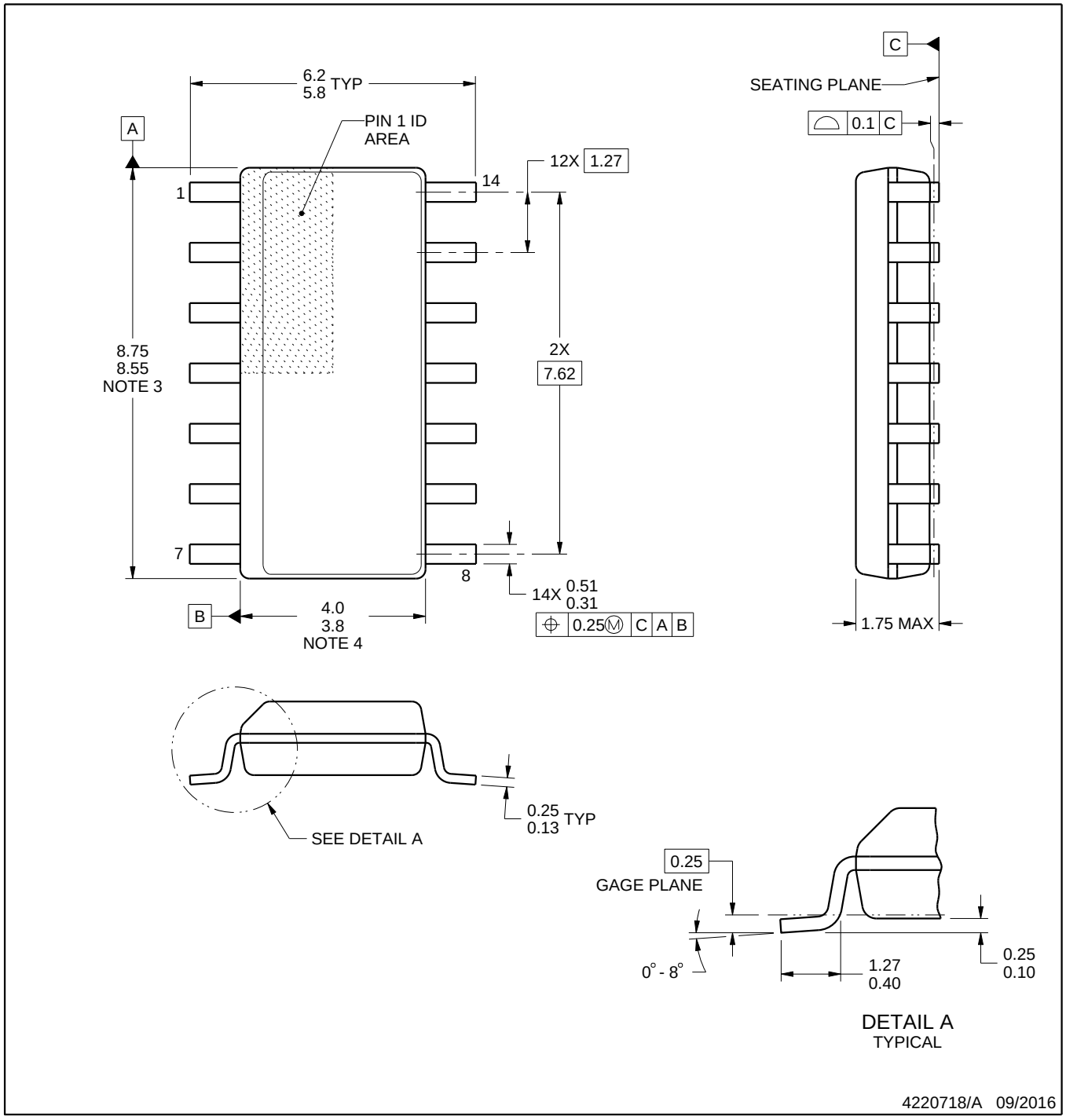
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL3474ACDR	SOIC	D	14	2500	340.5	336.1	32.0
TL3474ACPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL3474ACPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL3474AIDR	SOIC	D	14	2500	353.0	353.0	32.0
TL3474AIDRG4	SOIC	D	14	2500	353.0	353.0	32.0
TL3474AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL3474AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL3474CDR	SOIC	D	14	2500	353.0	353.0	32.0
TL3474CPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TL3474IDR	SOIC	D	14	2500	353.0	353.0	32.0
TL3474IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TL3474IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TL3474IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



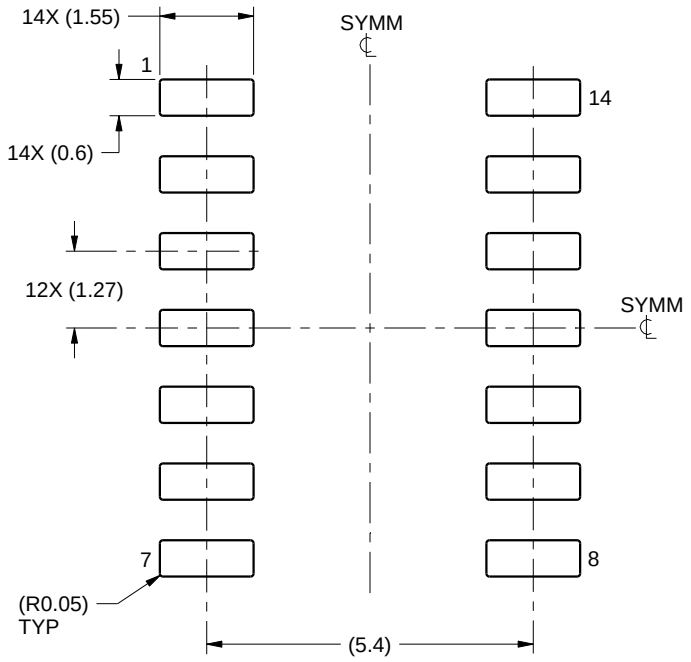
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TL3474ACN	N	PDIP	14	25	506	13.97	11230	4.32
TL3474ACN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL3474AIN	N	PDIP	14	25	506	13.97	11230	4.32
TL3474AIN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL3474CN	N	PDIP	14	25	506	13.97	11230	4.32
TL3474CN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL3474IN	N	PDIP	14	25	506	13.97	11230	4.32
TL3474IN.A	N	PDIP	14	25	506	13.97	11230	4.32

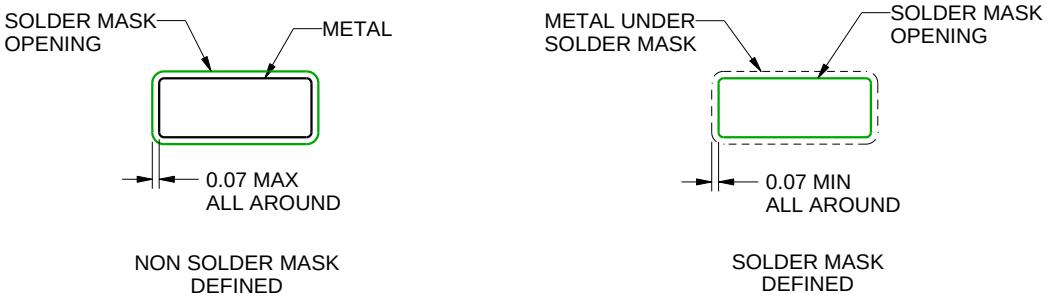


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

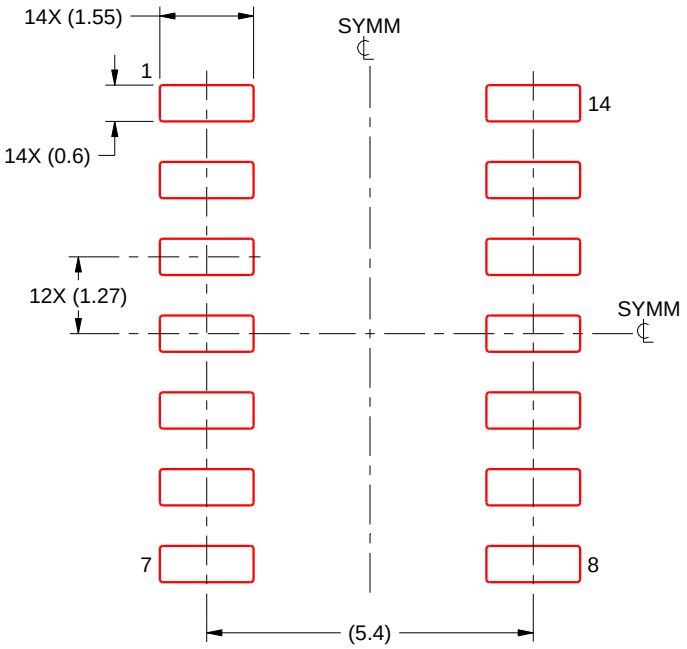


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

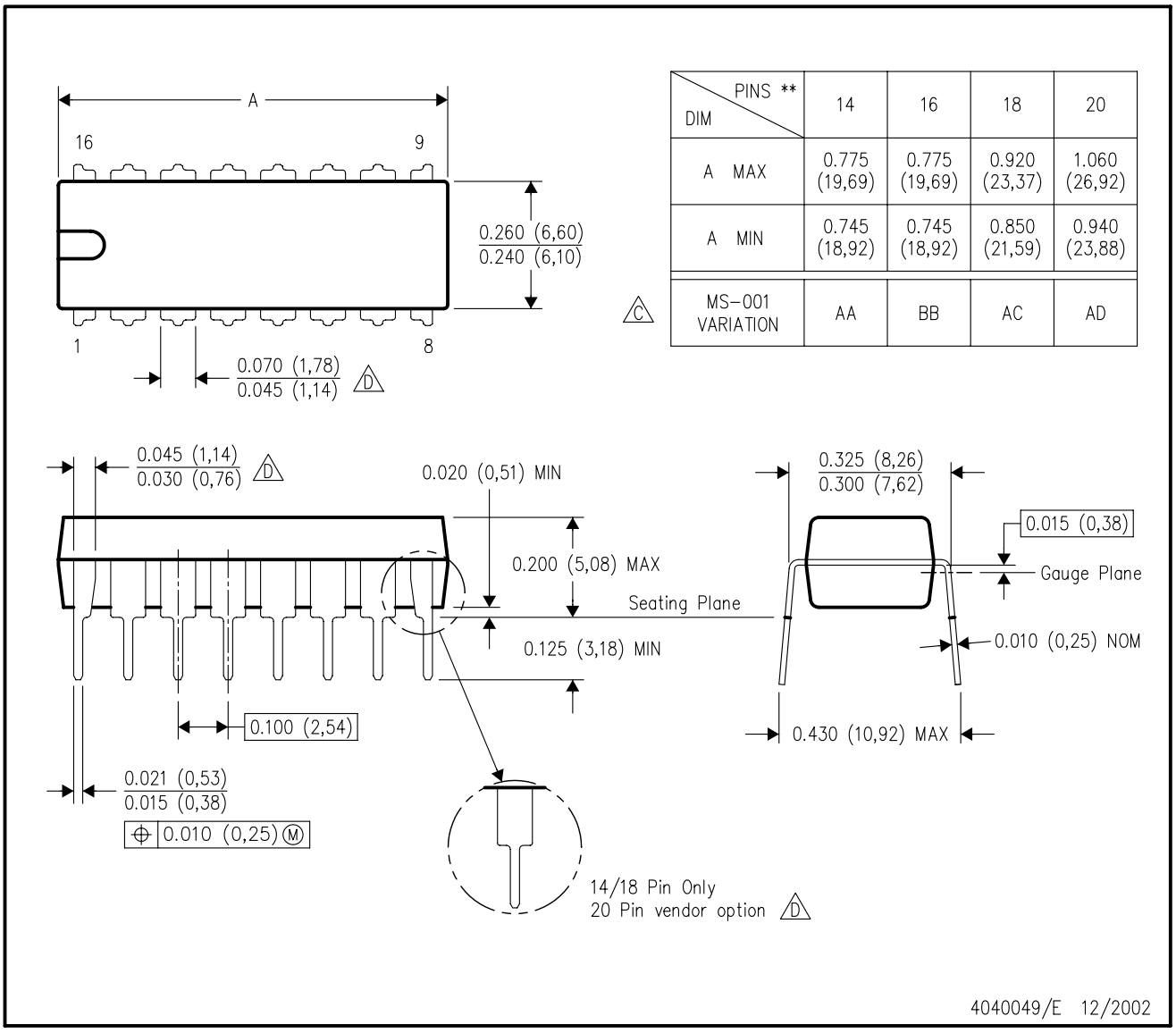
4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

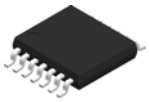
16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

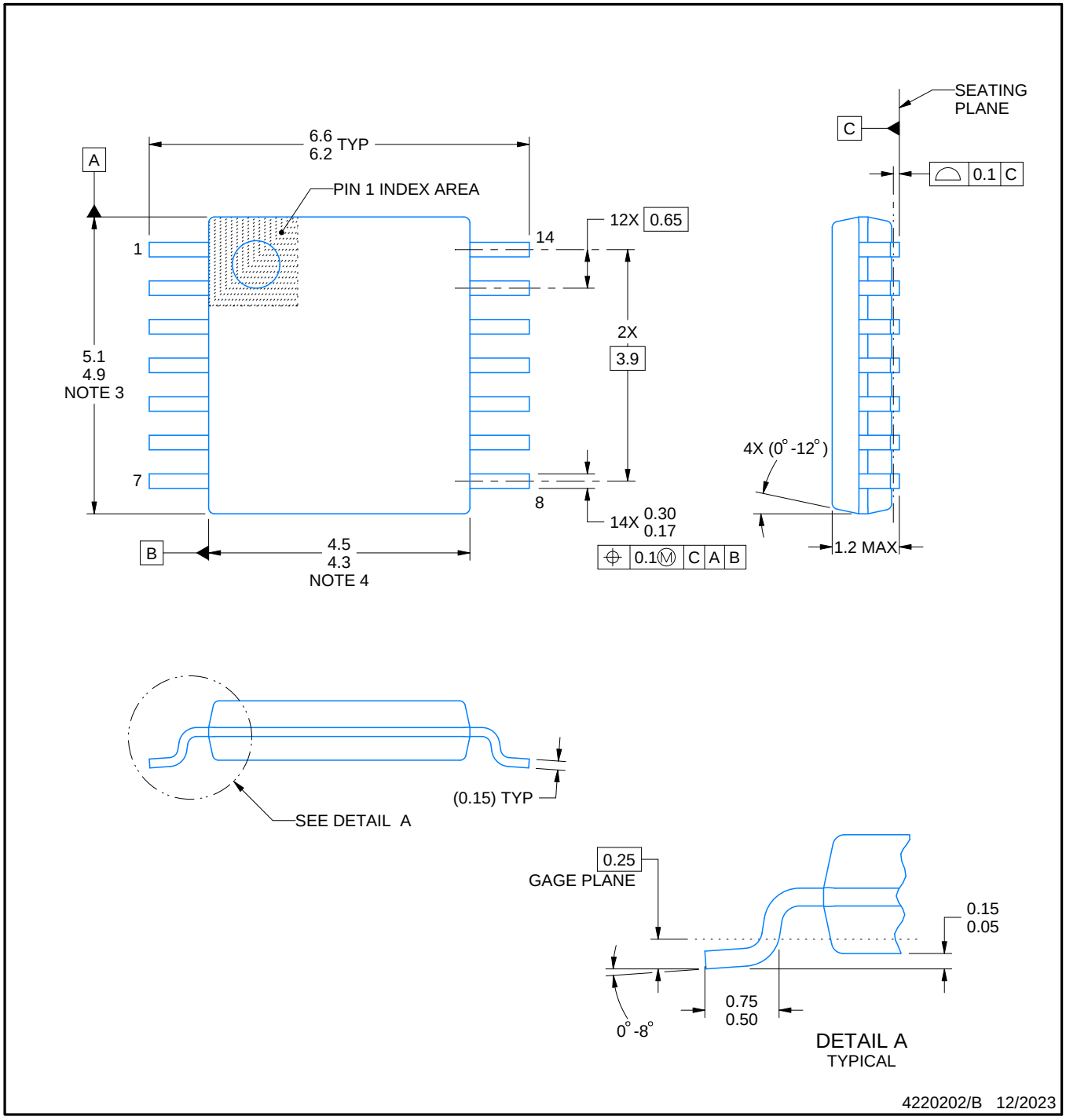
PW0014A



PACKAGE OUTLINE

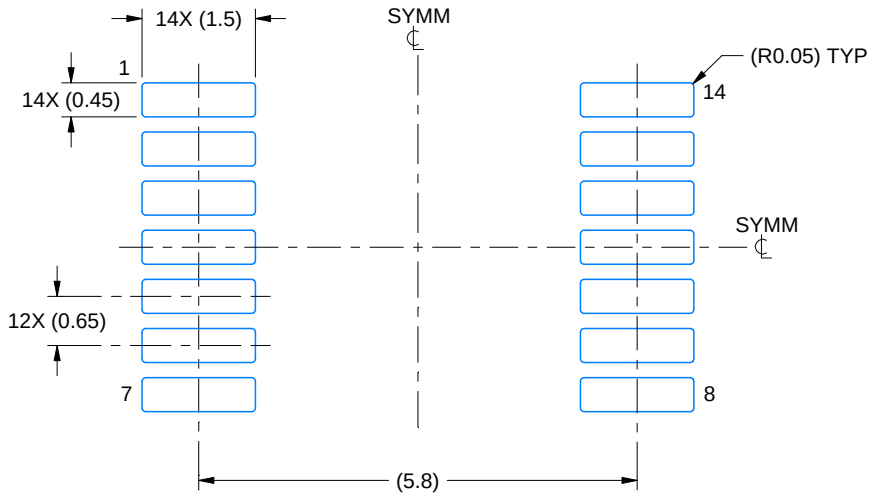
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

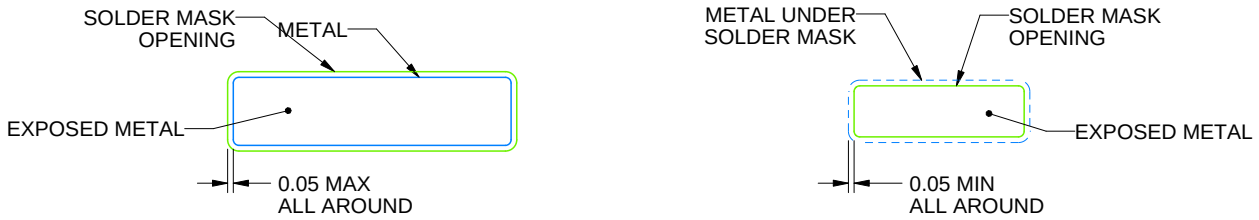


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

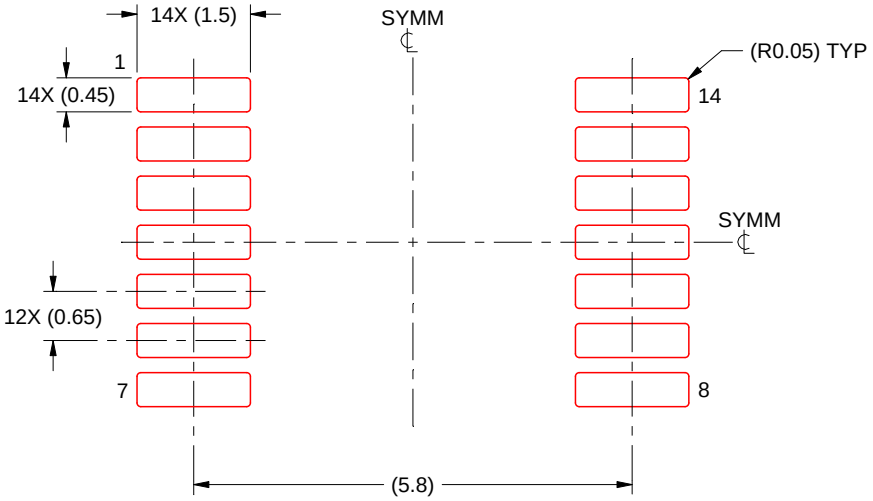
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月