

TL494 のパルス幅変調制御回路

1 特長

- 完全な PWM 電源制御回路
- 200mA のシンク電流またはソース電流に対応する未接続構成の出力
- 出力制御によりシングルエンド動作またはプッシュプル動作を選択
- 内部回路により、いずれの出力でも二重パルスの発生を防止
- 可変デッドタイムにより全範囲に渡る制御を実現
- 内部レギュレータにより、許容誤差 5% の安定した 5V 基準電源を供給
- 回路のアーキテクチャにより簡単に同期可能

2 アプリケーション

- デスクトップ PC
- 電子レンジ
- 電源:PFC 付きまたはなしの AC/DC 絶縁型電源
- サーバーの PSU
- 太陽光マイクロ インバータ
- 洗濯機: ハイエンドおよびローエンド
- 電動アシスト自転車
- 電源: テレコム / サーバー AC/DC 電源: デュアル コントローラ: アナログ
- 煙感知器
- ソーラー パワー インバータ

3 説明

TL494 デバイスには、パルス幅変調 (PWM) 制御回路をシングル チップ上に構築するため必要なすべての機能が組み込まれています。このデバイスは主に電源の制御用に設計されており、特定のアプリケーションに合わせて電源制御回路を柔軟にカスタマイズできます。

TL494 デバイスには、2 つのエラー アンプ、オンチップの可変発振器、デッドタイム制御 (DTC) コンパレータ、パルス ステアリング制御フリップ フロップ、5V、5% 精度のレギュレータ、出力制御回路が搭載されています。

エラー アンプの同相電圧範囲は $-0.3V$ から $V_{CC} - 2V$ までです。デッドタイム制御コンパレータには固定オフセットが設けられており、約 5% のデッドタイムが確保されます。オンチップ発振器は、RT をリファレンス出力に終端して CT にのこぎり波入力を供給することでバイパスできます。または、同期マルチレール電源の共通回路を駆動することもできます。

未接続構成の出力トランジスタにより、コモン ソースまたはソース フォロワのいずれの出力構成にも対応できます。

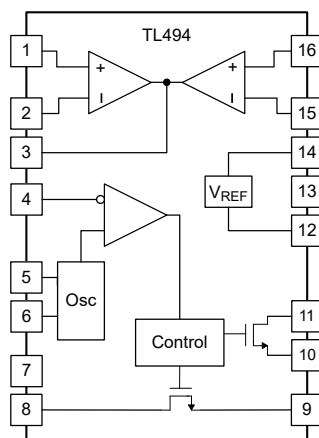
TL494 デバイスはプッシュプルまたはシングルエンド出力で動作し、出力制御機能で動作を選択できます。このデバイスのアーキテクチャでは、プッシュプル動作中にどちらかの出力が 2 回パルスされることはありません。

TL494 デバイスは $0^{\circ}C \sim 70^{\circ}C$ 、TL494I デバイスは $-40^{\circ}C \sim 85^{\circ}C$ で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TL494	D (SOIC, 16)	9.90mm × 3.91mm
	N (PDIP, 16)	19.30mm × 6.35mm
	NS (SOP, 16)	10.30mm × 5.30mm
	PW (TSSOP, 16)	5.00mm × 4.40mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図



目次

1 特長	1	7 詳細説明	11
2 アプリケーション	1	7.1 概要.....	11
3 説明	1	7.2 機能ブロック図.....	11
4 ピン構成および機能	3	7.3 機能説明.....	11
5 仕様	4	7.4 デバイスの機能モード.....	13
5.1 絶対最大定格.....	4	8 アプリケーションと実装	14
5.2 ESD 定格.....	4	8.1 使用上の注意.....	14
5.3 推奨動作条件.....	4	8.2 代表的なアプリケーション.....	14
5.4 熱に関する情報.....	4	8.3 電源に関する推奨事項.....	20
5.5 電気的特性、リファレンス セクション.....	5	8.4 レイアウト.....	20
5.6 電気的特性、発振器セクション.....	5	9 デバイスおよびドキュメントのサポート	22
5.7 電気的特性、エラー アンプ セクション.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	22
5.8 電気的特性、出力セクション.....	6	9.2 サポート・リソース.....	22
5.9 電気的特性、デッドタイム制御セクション.....	6	9.3 ドキュメントのサポート.....	22
5.10 電気的特性、PWM コンパレータ セクション.....	6	9.4 商標.....	22
5.11 電気的特性、デバイス全体.....	6	9.5 静電気放電に関する注意事項.....	22
5.12 スイッチング特性.....	6	9.6 用語集.....	22
5.13 代表的特性.....	8	10 改訂履歴	22
6 パラメータ測定情報	9	11 メカニカル、パッケージ、および注文情報	23

4 ピン構成および機能

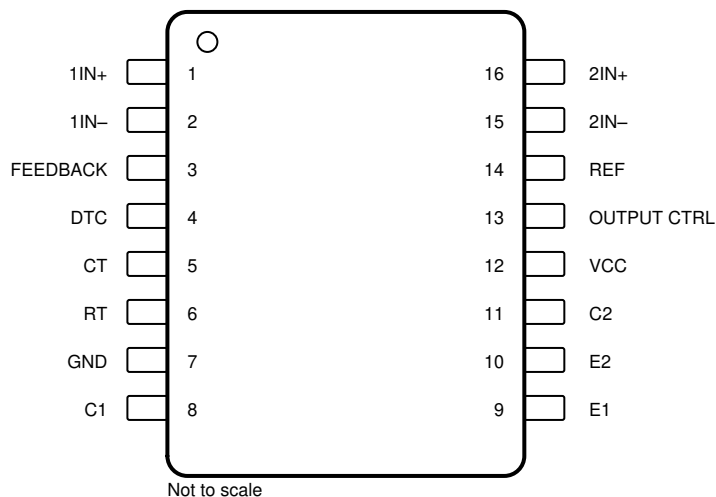


図 4-1. D、N、NS、PW パッケージ 16 ピン SOIC、PDIP、SO、TSSOP 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
1IN-	2	I	エラー アンプ 1 への反転入力
1IN+	1	I	エラー アンプ 1 への非反転入力
2IN-	15	I	エラー アンプ 2 への反転入力
2IN+	16	I	エラー アンプ 2 への非反転入力
C1	8	O	MOSFET 出力 1 のドレイン端子
C2	11	O	MOSFET 出力 2 のドレイン端子
CT	5	—	発振器周波数の設定に使用するコンデンサ端子
DTC	4	I	デッドタイム制御コンパレータの入力
E1	9	O	MOSFET 出力 1 のソース端子
E2	10	O	MOSFET 出力 2 のソース端子
帰還	3	I	フィードバック用の入力ピン
GND	7	—	グランド
OUTPUT CTRL	13	I	シングルエンド / 並列出力とプッシュプルのいずれかの動作を選択
REF	14	O	5V リファレンス電圧出力
RT	6	—	発振周波数の設定に使用する抵抗端子
V _{CC}	12	—	正の電源

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
V _{CC} 電源電圧 ⁽²⁾		41	V
V _I アンプの入力電圧		V _{CC} + 0.3	V
V _O コレクタの出力電圧		41	V
I _O コレクタの出力電流		250	mA
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260	°C
T _{stg} 保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、ネットワーク グラウンド端子を基準としたものです。

5.2 ESD 定格

	最大値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 準拠、すべてのピン	500
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠、すべてのピン	200

5.3 推奨動作条件

	最小値	最大値	単位
V _{CC} 電源電圧	7	40	V
V _I アンプの入力電圧	-0.3	V _{CC} - 2	V
V _O コレクタの出力電圧		40	V
コレクタの出力電流 (各トランジスタ)		200	mA
フィードバック端子への電流		0.3	mA
f _{OSC} オシレータの周波数	1	300	kHz
C _T タイミング・コンデンサ	0.47	10000	nF
R _T タイミング抵抗	1.8	500	kΩ
T _A 動作温度 (空気流あり)	TL494C	0	70
	TL494I	-40	85

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TL494				単位
		D (SOIC)	N (PDIP)	NS (SO)	PW (TSSOP)	
		16 ピン	16 ピン	16 ピン	16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	88.0	73.8	95.3	114.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	51.4	52.9	56.8	53.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	50.6	49.2	62.0	71.8	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	14.5	31.3	19.6	7.3	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	50.1	48.6	61.3	71.2	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電氣的特性、リファレンス セクション

自由気流での推奨動作温度範囲内、 $V_{CC} = 15V$ 、 $f = 10kHz$ (特に記述のない限り)

パラメータ	テスト条件 ⁽¹⁾	TL494C、TL494I			単位
		最小値	標準値 ⁽²⁾	最大値	
出力電圧 (REF)	$I_O = 1mA$	4.75	5	5.25	V
入力レギュレーション	$V_{CC} = 7V \sim 40V$		2	25	mV
出力レギュレーション	$I_O = 1mA \sim 10mA$		6	15	mV
出力電圧の温度による変化	$\Delta T_A = \text{最小値} \sim \text{最大値}$		2	10	mV/V
短絡出力電流 ⁽³⁾	REF = 0V		35		mA

(1) 最小値または最大値として示されている条件については、推奨動作条件で指定されている適切な値を使用します。

(2) パラメータの温度による変化を除いて、標準値はすべて $T_A = 25^\circ C$ の値です。

(3) 短絡時間は 1 秒間を超えないようにする必要があります。

5.6 電氣的特性、発振器セクション

$C_T = 0.01\mu F$ 、 $R_T = 12k\Omega$ (図 6-1 を参照)

パラメータ	テスト条件 ⁽¹⁾	TL494C、TL494I			単位
		最小値	標準値 ⁽²⁾	最大値	
周波数			10		kHz
周波数の標準偏差 ⁽³⁾	V_{CC} 、 C_T 、 R_T 、 T_A 定数のすべての値		100		Hz/kHz
電圧による周波数の変化	$V_{CC} = 7V \sim 40V$ 、 $T_A = 25^\circ C$		1		Hz/kHz
温度による周波数の変化 ⁽⁴⁾	$\Delta T_A = \text{最小値} \sim \text{最大値}$			50	Hz/kHz

(1) 最小値または最大値として示されている条件については、推奨動作条件で指定されている適切な値を使用します。

(2) パラメータの温度による変化を除いて、標準値はすべて $T_A = 25^\circ C$ の値です。

(3) 標準偏差は、式から導出された平均値周辺での統計的分布の測定値です：

$$\sigma = \sqrt{\frac{\sum_{n=1}^N (x_n - \bar{X})^2}{N-1}} \quad (1)$$

(4) タイミング コンデンサとタイミング抵抗の温度係数は考慮されていません。

5.7 電氣的特性、エラー アンプ セクション

図 6-2 を参照

パラメータ	テスト条件	TL494C、TL494I			単位
		最小値	標準値 ⁽¹⁾	最大値	
入力オフセット電圧	V_O (FEEDBACK) = 2.5V		2	10	mV
入力オフセット電流	V_O (FEEDBACK) = 2.5V		25	250	nA
入力バイアス電流	V_O (FEEDBACK) = 2.5V		0.2	1	μA
同相入力電圧範囲	$V_{CC} = 7V \sim 40V$	$-0.3 \sim V_{CC} - 2$			V
開ループ電圧増幅	$\Delta V_O = 3V$ 、 $V_O = 0.5V \sim 3.5V$ 、 $R_L = 2k\Omega$	70	80		dB
ユニティ ゲイン帯域幅	$V_O = 0.5V \sim 3.5V$ 、 $R_L = 2k\Omega$		800		kHz
同相信号除去比	$\Delta V_O = 40V$ 、 $T_A = 25^\circ C$	65	100		dB
出力シンク電流 (FEEDBACK)	$V_{ID} = -15mV \sim -5V$ 、 V (FEEDBACK) = 0.7V	0.3	0.7		mA
出力ソース電流 (FEEDBACK)	$V_{ID} = 15mV \sim 5V$ 、 V (FEEDBACK) = 3.5V	-2			mA

(1) パラメータの温度による変化を除いて、標準値はすべて $T_A = 25^\circ C$ の値です。

5.8 電気的特性、出力セクション

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
C1、C2 オフ状態電流		$V_{CE} = 40V$ 、 $V_{CC} = 40V$		4	100	μA
E1、E2 オフ状態電流		$V_{CC} = V_C = 40V$ 、 $V_E = 0$			-100	μA
C1E1、C2E2 飽和電圧	共通ソース	$V_E = 0$ 、 $I_C = 200mA$		0.5	1.3	V
	ソース フォロフ	$V_{O(C1 \text{ または } C2)} = 15V$ 、 $I_E = -200mA$		1.65	2.5	
出力制御の入力電流		$V_I = V_{ref}$			3.5	mA

(1) 温度係数を除く標準値はすべて、 $T_A = 25^\circ C$ での値です。

5.9 電気的特性、デッドタイム制御セクション

図 6-1 を参照

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
入力バイアス電流 (デッドタイム制御)	$V_I = 0 \sim 5.25V$		-0.006	-10	μA
最大デューティ サイクル、各出力	V_I (デッドタイム制御) = 0、 $C_T = 0.01\mu F$ 、 $R_T = 12k\Omega$		45%		—
入力スレッショルド電圧 (デッドタイム制御)	ゼロ デューティ サイクル		2.5	3.3	V
	最大デューティ サイクル	0			

(1) 温度係数を除く標準値はすべて、 $T_A = 25^\circ C$ での値です。

5.10 電気的特性、PWM コンパレータ セクション

図 6-1 を参照

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
入力スレッショルド電圧 (FEEDBACK)	ゼロ デューティ サイクル		3.4	4.5	V
入力シンク電流 (FEEDBACK)	V (FEEDBACK) = 0.7V	0.3	0.7		mA

(1) 温度係数を除く標準値はすべて、 $T_A = 25^\circ C$ での値です。

5.11 電気的特性、デバイス全体

パラメータ	テスト条件		最小値	標準値 ⁽¹⁾	最大値	単位
スタンバイ時の電源電流	$R_T = V_{ref}$ 、 他のすべての入力と出力はオープン	$V_{CC} = 15V$		1.62	10	mA
		$V_{CC} = 40V$		1.68	15	
平均電源電流	V_I (デッドタイム制御) = 2V。図 6-1 を参照			2.2		mA

(1) 温度係数を除く標準値はすべて、 $T_A = 25^\circ C$ での値です。

5.12 スイッチング特性

$T_A = 25^\circ C$

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
立ち上がり時間	コモン ソースの構成については、図 6-3 を参照		70	200	ns
立ち下がり時間			20	100	ns

$T_A = 25^{\circ}\text{C}$

パラメータ	テスト条件	最小値	標準値 (1)	最大値	単位
立ち上がり時間	ソース フォロワ構成については、図 6-4 を参照		85	200	ns
立ち下がり時間			35	100	ns

(1) 温度係数を除く標準値はすべて、 $T_A = 25^{\circ}\text{C}$ での値です。

5.13 代表的特性

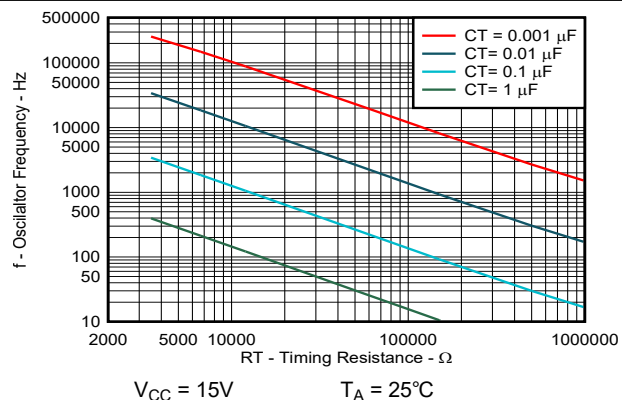


図 5-1. 発振器の周波数とタイミング抵抗との関係

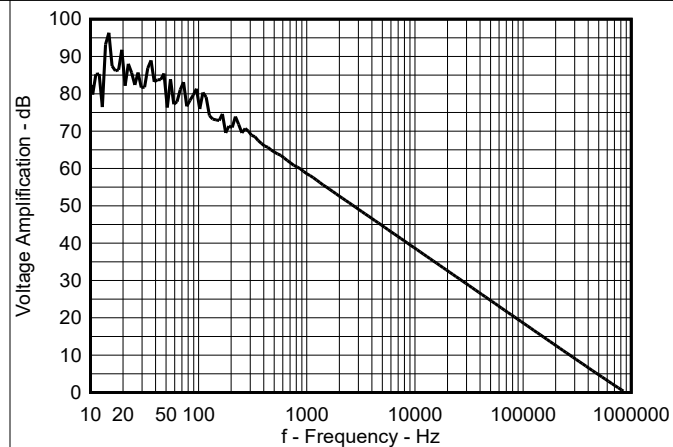


図 5-2. アンプの電圧増幅率と周波数との関係

6 パラメータ測定情報

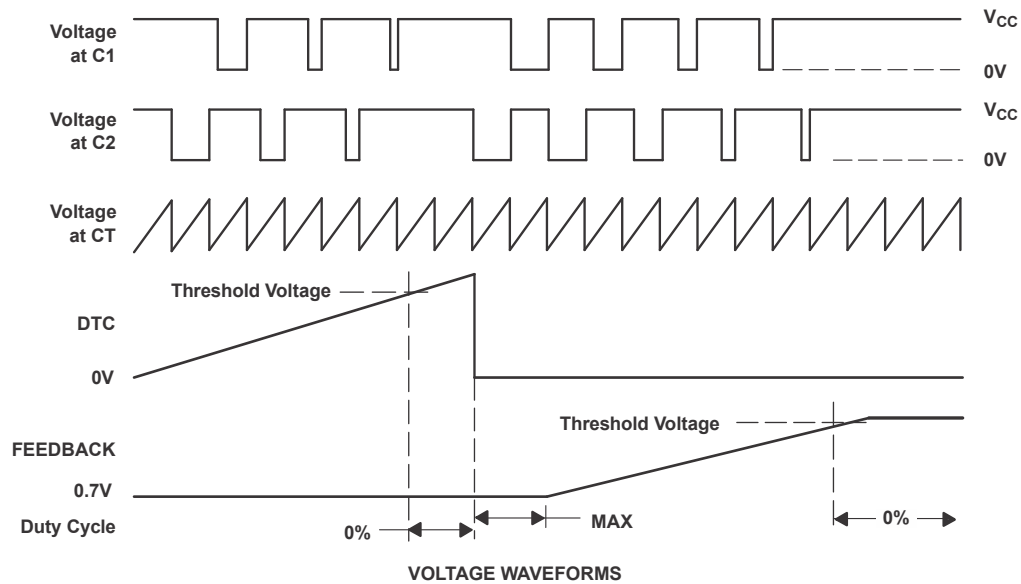
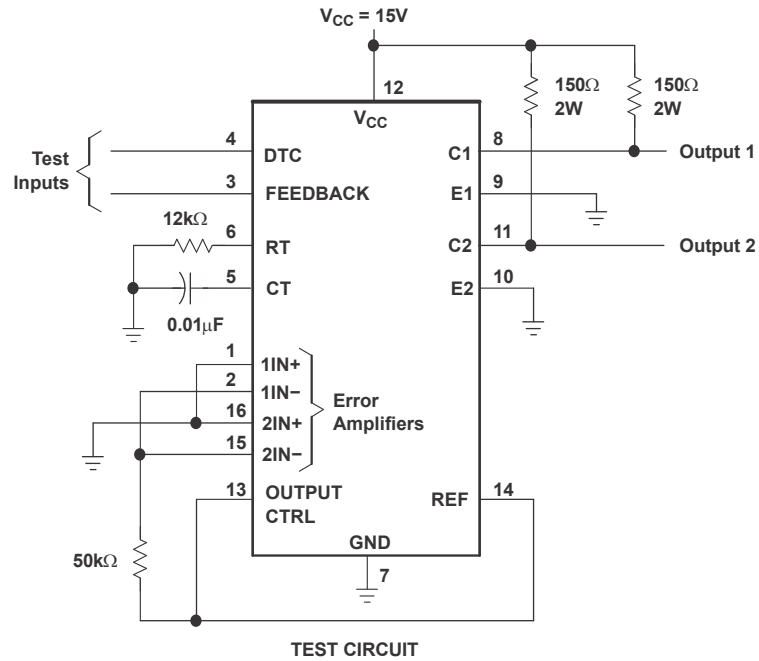


図 6-1. 動作テスト回路と波形

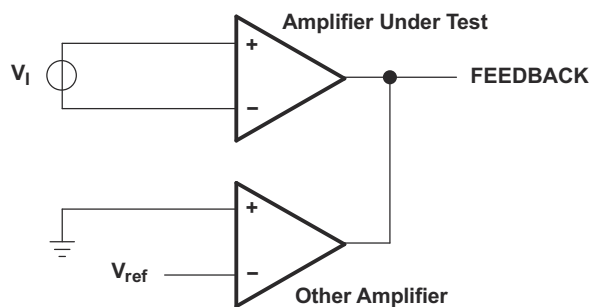


図 6-2. アンプの特性

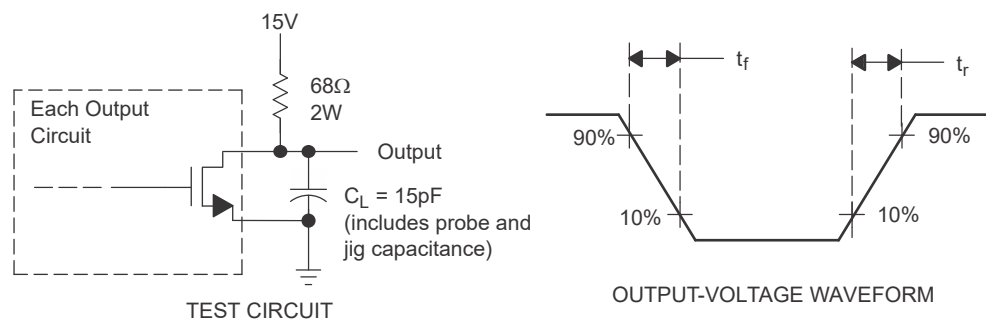


図 6-3. 共通エミッタの構成

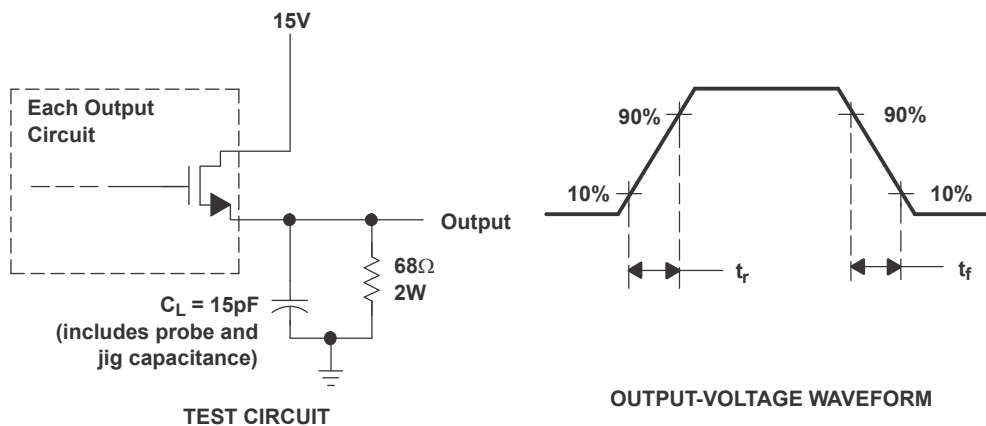


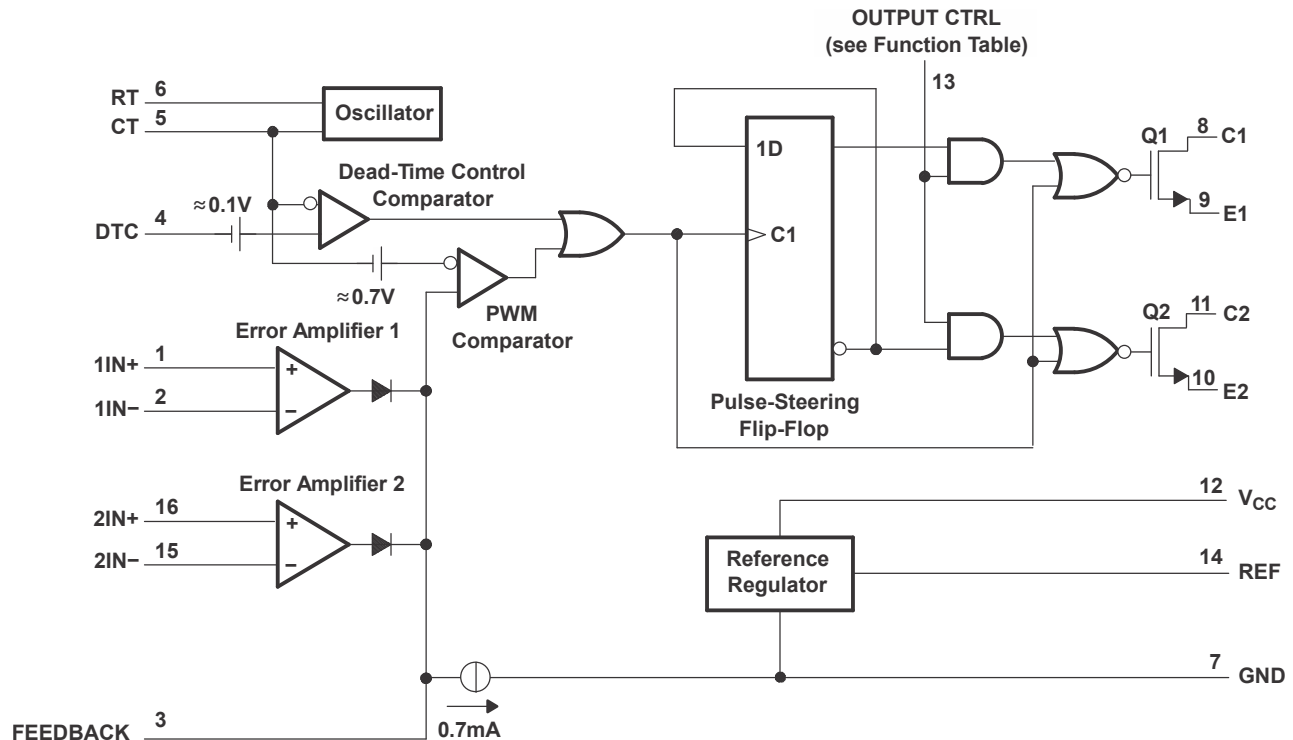
図 6-4. エミッタフォロワの構成

7 詳細説明

7.1 概要

TL494 には、スイッチング電源の制御に必要な主要機能が組み込まれており、基本的な課題に対応するとともに、システム全体で必要となる追加回路を削減できます。TL494 は固定周波数のパルス幅変調 (PWM) 制御回路です。内部発振器は、タイミング コンデンサ (CT) にのこぎり波を生成します。のこぎり波と二つの制御信号のいずれかを比較することで、出力パルスを変調します。出力段は、のこぎり波の電圧が電圧制御信号よりも大きいときイネーブルになります。制御信号が大きくなると、のこぎり波入力の電圧のほうが大きい時間は減少します。これにより、出力パルスの持続時間は減少します。パルス ステアリング フリップ フロップは、変調されたパルスを交互に 2 つの出力トランジスタに送ります。TL494 の動作の詳細については、ti.com にあるアプリケーション ノートを参照してください。

7.2 機能ブロック図



7.3 機能説明

7.3.1 5V リファレンス レギュレータ

TL494 内部 5V リファレンス レギュレータの出力は REF ピンです。TL494 は、安定した基準電圧を供給するだけでなく、プリレギュレータとしても機能し、出力制御ロジック、パルス ステアリング フリップフロップ、発振器、デッドタイム制御コンパレータ、および PWM コンパレータに電力を供給するための安定した電源を確立します。このレギュレータは、主要な基準電圧源としてバンドギャップ回路を採用しており、0°C ~ 70°C の動作自由空気温度範囲にわたって、変動を 100mV 未満に抑える熱安定性を実現します。また、内部基準回路およびプリレギュレータを保護するための短絡保護機能を備えており、追加のバイアス回路用として 10mA の負荷電流を利用できます。このリファレンスは、初期精度が $\pm 5\%$ となるよう内部で設定されており、7V ~ 40V の入力電圧範囲にわたって、変動を 25mV 未満に抑える安定性を維持します。入力電圧が 7V 未満の場合、レギュレータ出力は内部基準電圧が有効なレベルに達するまで 0V に維持され、その後 5V へ遷移します。これにより、図 8-8 に示すように、起動時の動作がより確定的になります。

7.3.2 発振器

この発振器は、デッドタイムおよび PWM コンパレータに正ののこぎり波を供給し、コンパレータによって各種の制御信号と比較されます。

発振器の周波数は、タイミング部品 R_T と C_T の選択によってプログラムされます。発振器は、外付けタイミング コンデンサ C_T を定電流で充電します。外部タイミング抵抗 R_T は定電流値を決定し、線形ランプ電圧波形を生成します。 C_T の両端の電圧が $3V$ に達すると、発振器の回路が放電し、充電サイクルが再開されます。式 2 は実行電流を決定します。

$$I_{\text{CHARGE}} = \frac{3V}{R_T} \quad (2)$$

のこぎり波の周期は次のとおりです。

$$T = \frac{3V \times C_T}{I_{\text{CHARGE}}} \quad (3)$$

発振器の周波数は次のとおりです。

$$f_{\text{OSC}} = \frac{1}{R_T \times C_T} \quad (4)$$

ただし、発振器の周波数は、シングルエンド アプリケーションの場合のみ出力周波数と等しくなります。プッシュプル アプリケーションの場合、出力周波数は発振器の周波数の半分です。

シングルエンド アプリケーション

$$f = \frac{1}{R_T \times C_T} \quad (5)$$

プッシュプル アプリケーション

$$f = \frac{1}{2R_T \times C_T} \quad (6)$$

7.3.3 デッドタイム制御

デッドタイム制御入力により、最小デッドタイム (オフ時間) を制御できます。入力電圧が発振器のランプ電圧よりも高い場合、コンパレータの出力によってスイッチング トランジスタ Q1 および Q2 が抑制されます。 110mV の内部オフセットにより、デッドタイム制御入力をグラウンドに接続した場合でも、約 3% の最小デッドタイムが確保されます。デッドタイム制御入りに電圧を印加すると、追加のデッドタイムが発生する可能性があります。これにより、入力電圧が $0V$ から $3.3V$ まで変化することで、デッドタイムを最小値の 3% から 100% まで線形制御できます。フルレンジ制御により、エラー アンプの動作に影響を与えることなく、外部信号源から出力を制御できます。デッドタイム制御入力は比較的高インピーダンスの入力 ($I_i < 10\mu\text{A}$) で、出力デューティ サイクルの追加制御が必要な場合に使用する必要があります。ただし、適切な制御を行うには、入力を終端します。開回路は未定義の状態です。

7.3.4 コンパレータ

コンパレータは $5V$ リファレンスレギュレータからバイアスされており、入力電源から絶縁することで安定性を向上させています。コンパレータの入力にはヒステリシスがないため、スレッショルド付近の誤トリガに対する保護が必要です。コンパレータの、いずれかの制御信号入力から出力トランジスタまでの応答時間は 400ns で、オーバードライブはわずか 100mV です。これにより、推奨される 300kHz の動作範囲内で、半周期以内に出力を確実に制御できます。

7.3.5 パルス幅変調 (PWM)

コンパレータは、出力パルス幅の変調制御も行います。このために、タイミング コンデンサ C_T の両端間のランプ電圧が、エラー アンプの出力に存在する制御信号と比較されます。タイミング コンデンサの入力には、制御信号入力から省略された直列のダイオードが組み込まれています。出力ロジックを抑制し、制御電圧を真のグラウンド電位にシンクする必要なしに、最大デューティ サイクルでの動作を保証するには、制御信号 (エラー アンプの出力) が C_T の両端の電圧よりも約 $0.7V$ 高い必要があります。出力パルス幅は、エラー アンプの出力電圧が $0.5V \sim 3.5V$ の範囲で変化することによって、周期の 97% から 0 まで変化します。

7.3.6 エラー アンプ

両方の高ゲイン誤差アンプは、 V_I 電源レールからバイアスを受け取ります。これにより、 V_I よりも $-0.3V \sim 2V$ 低い同相入力電圧範囲が許容されます。どちらのアンプもシングルエンド、単一電源アンプの特性で動作し、出力はアクティブ High のみです。これにより、出力パルス幅の要求が減少するように各アンプを独立してプルアップできます。両方の出力が PWM コンパレータの反転入力ノードで OR 接続されているため、アンプは最小パルス出力優勢を要求します。アンプの出力は電流シンクによって Low にバイアスされ、両方のアンプがバイアス オフになったときに最大のパルス幅を出力します。

7.3.7 出力制御入力

出力制御入力は、出力トランジスタが並列とプッシュプルどちらで動作するかを決定します。この入力は、パルス ステアリング フリップ フロップの電源です。出力制御入力は非同期で、発振器やパルス ステアリング フリップ フロップに関係なく、出力を直接制御できます。入力条件は、アプリケーションによって定義される固定条件を想定しています。並列動作の場合は、出力制御入力をグランドに接続します。これにより、パルス ステアリング フリップ フロップがディセーブルされ、出力が抑制されます。このモードでは、並列接続された二つの出力トランジスタが、デッドタイム制御 / PWM コンパレータの出力に現れるパルスを出力します。プッシュプル動作の場合は、出力制御入力を内部の $5V$ 基準レギュレータに接続します。この状況では、それぞれの出力トランジスタがパルス ステアリング フリップ フロップによって交互にイネーブルになります。

7.3.8 出力トランジスタ

TL494 には 2 つの出力トランジスタが搭載されています。両方のトランジスタはオープン ドレイン / オープン ソース構成で、それぞれ最大 $200mA$ のシンク電流またはソース電流を供給できます。これらのトランジスタの飽和電圧は、コモン ソース構成では $1.3V$ 未満、ソース フォロワ構成では $2.5V$ 未満です。出力には、過大な電力損失による損傷を防ぐための保護機能が備わっていますが、電流源出力として動作できるほど十分な電流制限機能は備えていません。

7.4 デバイスの機能モード

OUTPUT CTRL ピンをグランドに接続すると、TL494 はシングルエンドまたはパラレル・モードで動作します。OUTPUT CTRL ピンを V_{REF} に接続すると、TL494 は通常のプッシュプルで動作します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

次の設計例では、TL494 を使用して 5V/10A の電源を作成します。詳細については、[TL494 によるスイッチング電圧レギュレータの設計](#)を参照してください。

8.2 代表的なアプリケーション

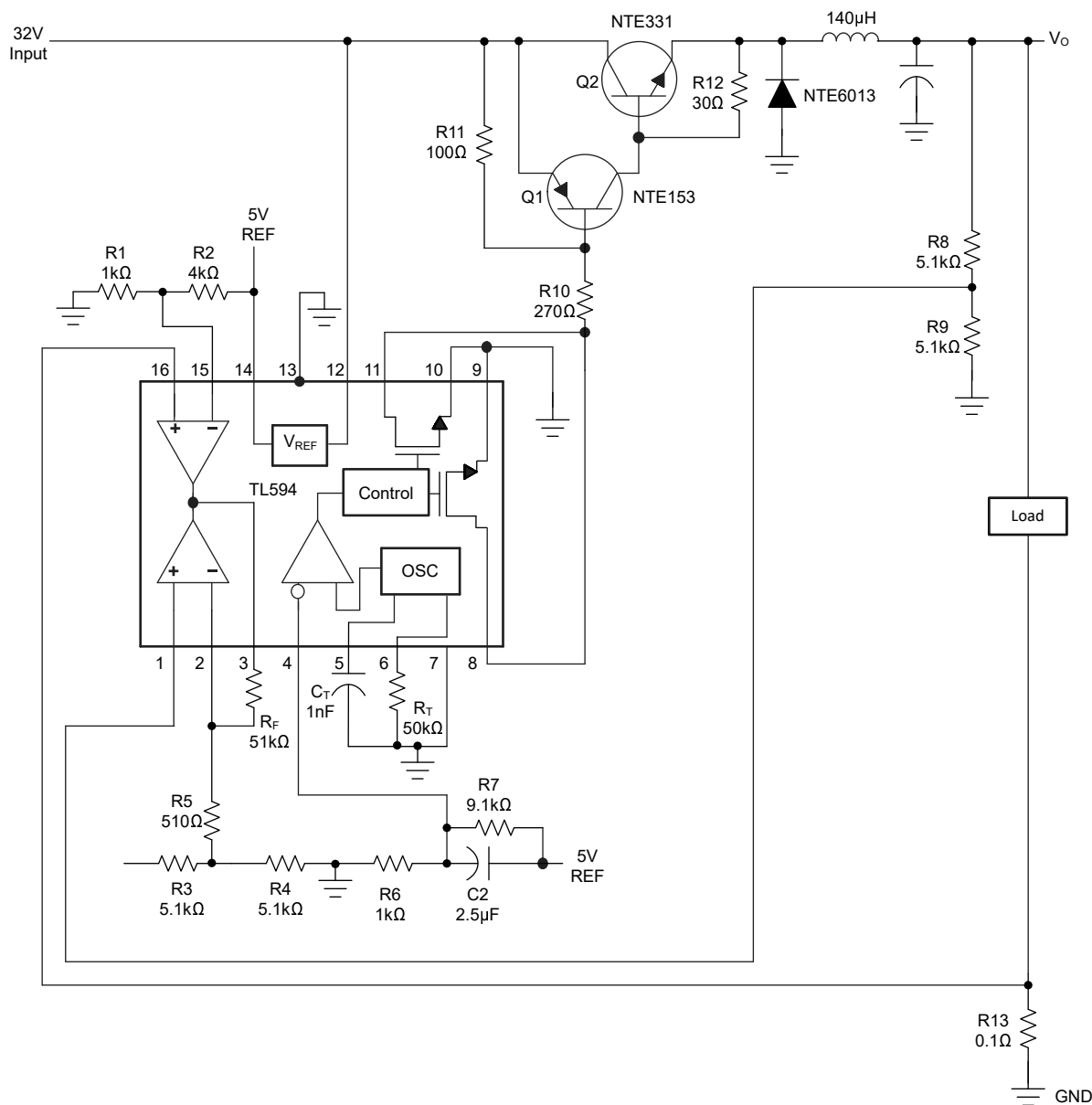


図 8-1. スイッチングと制御のセクション

8.2.1 設計要件

- $V_I = 32V$
- $V_O = 5V$
- $I_O = 10A$
- $f_{OSC} = 20kHz$ スイッチング周波数
- $V_R = 20mV$ ピーク ツー ピーク (V_{RIPPLE})
- $\Delta I_L = 1.5A$ のインダクタ電流変化

8.2.2 詳細な設計手順

8.2.2.1 入力電源

この電源の 32V DC 電源には、入力 120V、出力 24V、定格 75VA のトランスを使用します。24V の 2 次側巻線は、全波ブリッジ整流器に電力を供給し、その後に電流制限抵抗 (0.3Ω) と二つのフィルタ コンデンサが続きます (図 8-2 を参照)。

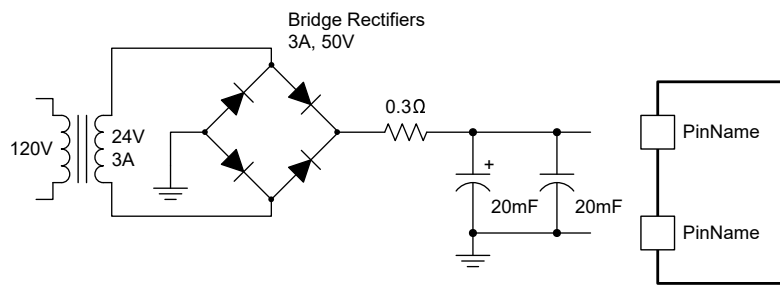


図 8-2. 入力電源

式 7 と式 8 が出力電流と出力電圧を決定します。

$$V_{RECTIFIER} = V_{SECONDARY} \times \sqrt{2} = 24V \times \sqrt{2} = 34V \quad (7)$$

$$I_{RECTIFIER[AVG]} \cong \frac{V_O}{V_I} \times I_O \cong \frac{5V}{32V} \times 10A = 1.6A \quad (8)$$

3A/50V の全波ブリッジ整流器は、これらの計算された条件を満たします。スイッチングと制御のセクションを、図 8-1 に示します。

8.2.2.2 制御回路

8.2.2.2.1 発振器

外付けのコンデンサと抵抗をピン 5 および 6 に接続すると、TL494 発振器の周波数が制御されます。発振器は、式 4 および式 9 で計算される部品の値を使用し、20kHz で動作するように設定されます。

$C_T = 0.001\mu F$ を選択し、 R_T を計算します:

$$R_T = \frac{1}{f_{OSC} \times C_T} = \frac{1}{[20 \times 10^3] \times [0.001 \times 10^{-6}]} = 50k\Omega \quad (9)$$

8.2.2.2.2 エラー アンプ

エラー アンプは、5V 出力のサンプルをリファレンス電圧と比較し、PWM を調整して一定の出力電流を維持します (図 8-3 を参照)。

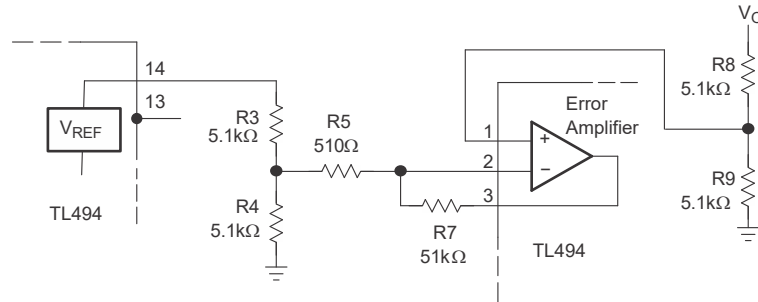


図 8-3. エラー アンプ セクション

TL494 内部の 5V のリファレンス電圧は、R3 と R4 によって 2.5V に分割されます。出力電圧の誤差信号も、R8 と R9 によって 2.5V に分割されます。出力を正確に 5.0V に調整する必要がある場合は、R8 の代わりに 10kΩ のポテンショメータを使用して調整できるようにします。

エラー アンプ回路の安定性を高めるため、エラー アンプの出力は R_T 経由で反転入力にフィードバックされ、ゲインは 101 に減少します。

8.2.2.2.3 電流制限アンプ

この電源は、10A の負荷電流と 1.5A の I_L 電流振幅を想定して設計されているため、短絡電流は次のようになります：

$$I_{SC} = I_O + \frac{I_L}{2} = 10.75A \quad (10)$$

図 8-4 は、電流制限回路を示しています。

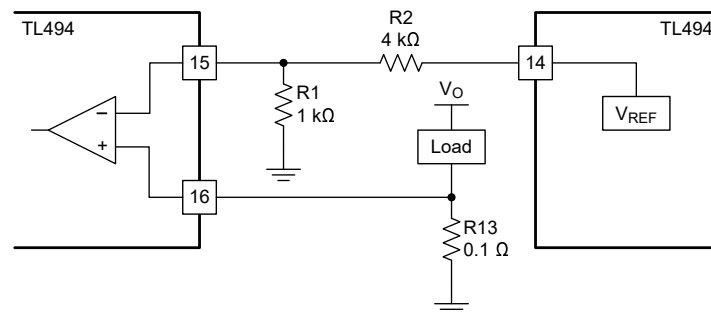


図 8-4. 電流制限回路

抵抗 R1 および R2 は、電流制限アンプの反転入力に約 1V の基準電圧を設定します。負荷と直列に接続された抵抗 R13 により、負荷電流が 10A に達すると、電流制限アンプの非反転入力端子に 1V が印加されます。それに応じて、出力パルス幅が短くなります。R13 の値を計算するには、式 11 を使用します。

$$R13 = \frac{1V}{10A} = 0.1\Omega \quad (11)$$

8.2.2.2.4 ソフトスタートとデッドタイム

スタートアップ時のスイッチングトランジスタのストレスを低減するには、出力フィルタ コンデンサの充電に伴って発生するスタートアップ サージを減らします。デッドタイム制御が利用できるため、ソフトスタート回路の実装は比較的簡単です (図 8-5 を参照)。

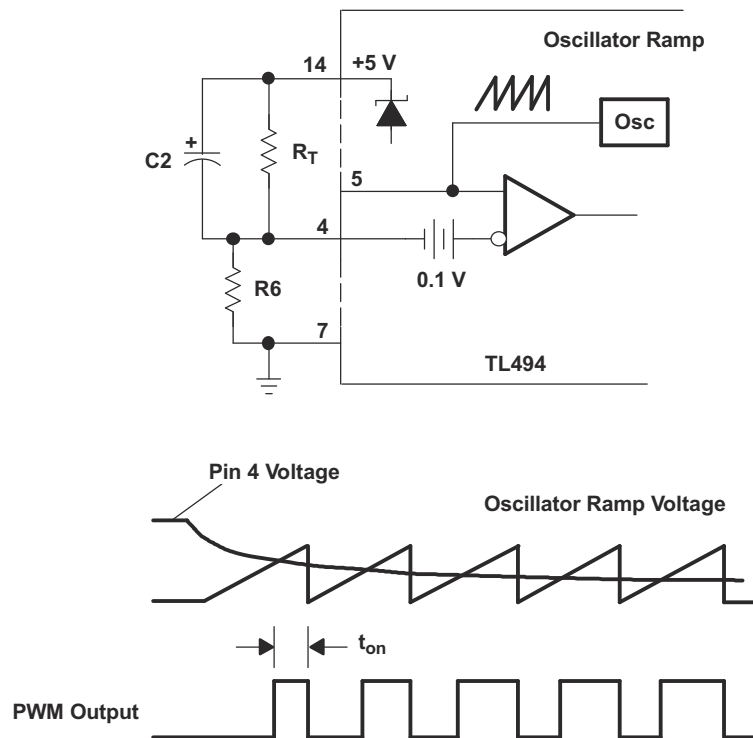


図 8-5. ソフトスタート回路

ソフトスタート回路により、デッドタイム制御入力 (ピン 4) に負の勾配波形を適用することで、出力のパルス時間をゆっくりと増やすことができます (図 8-5 を参照)。

最初は、コンデンサ C2 によってデッドタイム制御入力が 5V レギュレータに追従するように強制され、これにより出力がディセーブルされます (100% のデッドタイム)。コンデンサが R6 を介して充電されるにつれて、出力パルス幅は徐々に長くなり、最終的に制御ループが制御を引き継ぎます。R6 と R7 の抵抗値の比が 1:10 の場合、スタートアップ後のピン 4 の電圧は $0.1 \times 5V$ 、すなわち 0.5V です。

ソフトスタート時間は一般に、25 ~ 100 クロック サイクルの範囲です。20kHz のスイッチング レートで 50 クロック サイクルを選択した場合、ソフトスタート時間は次のようになります：

$$t = \frac{1}{f} = \frac{1}{20\text{kHz}} = 50\mu\text{s per clock cycle} \quad (12)$$

以下を使用してコンデンサの値を計算します：

$$C2 = \frac{\text{soft-start time}}{R6} = \frac{50\mu\text{s} \times 50 \text{ cycles}}{1\text{k}\Omega} = 2.5\mu\text{F} \quad (13)$$

これにより、制御回路への電源投入時に発生する誤信号を防止できます。

8.2.2.3 インダクタの計算

図 8-6 にスイッチング回路を示します。

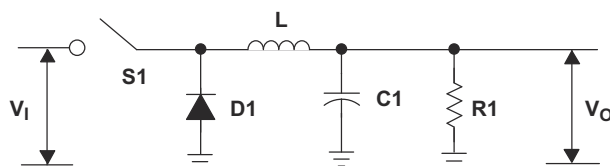


図 8-6. スイッチング回路

必要なインダクタ (L) のサイズは次のとおりです。

$$d = \text{duty cycle} = \frac{V_O}{V_I} = \frac{5V}{32V} = 0.156 \quad (14)$$

$$f = 20\text{kHz (design objective)} \quad (15)$$

$$t_{ON} = \text{time on (S1 closed)} = \left(\frac{1}{f}\right) \times d = 7.8\mu\text{s} \quad (16)$$

$$t_{OFF} = \text{time off (S1 open)} = \left(\frac{1}{f}\right) - t_{ON} = 42.2\mu\text{s} \quad (17)$$

$$\begin{aligned} L &\approx (V_I - V_O) \times \frac{t_{ON}}{\Delta I_L} \\ &\approx \frac{[(32V - 5V) \times 7.8\mu\text{s}]}{1.5A} \\ &\approx 140.4\mu\text{H} \end{aligned} \quad (18)$$

8.2.2.4 出力容量の計算

フィルタ インダクタを算出した後、出力リップルの要件を満たすように、出力フィルタ コンデンサの値を算出します。電解コンデンサは、インダクタンス、抵抗、容量を直列に接続したものとしてモデル化できます。適切なフィルタ処理を実現するには、リップル周波数が、直列インダクタンスが重要になる周波数よりはるかに低い必要があります。したがって、ここで考慮する成分は静電容量と等価直列抵抗 (ESR) の 2 つです。規定されたピーク ツー ピークのリップル電圧とピーク ツー ピークのリップル電流の関係に基づいて、最大 ESR を算出します。

$$\text{ESR}[\text{max}] = \frac{\Delta V_O[\text{ripple}]}{\Delta I_L} = \frac{V}{1.5A} \approx 0.067\Omega \quad (19)$$

V_O のリップル電圧を設計目標である 100mV 未満に維持するために必要な C3 の最小容量を算出するために式 20 を使用します。

$$C3 = \frac{\Delta I_L}{8f\Delta V_O} = \frac{1.5A}{8 \times 20 \times 10^3 \times 0.1V} = 94\mu\text{F} \quad (20)$$

60V のコンデンサは最大 ESR が 0.074Ω、最大リップル電流が 2.8A であるため、220mF、60V のコンデンサを選定します。

8.2.2.5 トランジスタ パワー スイッチの計算

トランジスタ パワー スイッチには、NTE153 pnp ドライブ トランジスタと NTE331 npn 出力トランジスタが含まれています。これら二つのパワー デバイスは、pnp ハイブリッド ダーリントン回路構成で接続されています (図 8-7 を参照)。

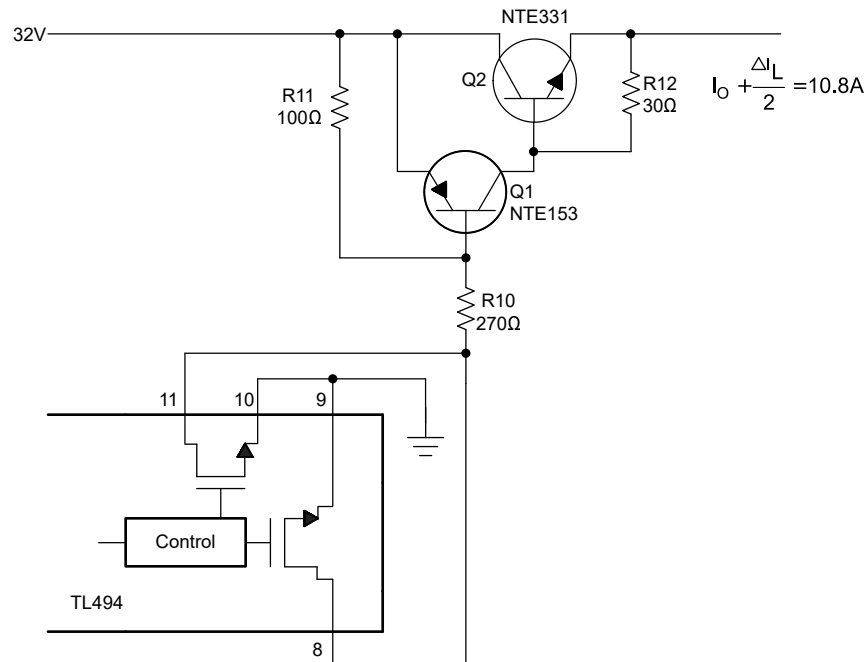


図 8-7. パワー スイッチ セクション

ハイブリッド ダーリントン回路は、最大出力電流 $I_O + \Delta I_L/2$ 、すなわち 10.8A で飽和させる必要があります。10.8A におけるダーリントンの h_{FE} は、TL494 の最大出力コレクタ電流 250mA を超えないよう、十分に高くする必要があります。公開されている NTE153 と NTE331 の仕様に基づき、必要なパワー スイッチの最小駆動を式 21 から式 23 で計算すると、144mA になります。

$$h_{FE}[Q1] \text{ at } I_C \text{ of } 3A = 15 \quad (21)$$

$$h_{FE}[Q2] \text{ at } I_C \text{ of } 10.0A = 5 \quad (22)$$

$$i_B \geq \frac{I_O + \frac{\Delta I_L}{2}}{h_{FE}[Q2] \times h_{FE}[Q1]} \geq 144mA \quad (23)$$

以下を使用して R10 の値を計算します:

$$R10 \leq \frac{V_I - [V_{BE}(Q1) + V_{CE}(TL494)]}{i_B} = \frac{32 - [1.5 + 0.7]}{0.144} \quad (24)$$

$$R10 \leq 207\Omega$$

これらの計算に基づき、R10 には最も近い標準抵抗値である 220Ω が選択されています。抵抗 R11 および R12 により、スイッチング トランジスタがオフになっているときにスイッチング トランジスタのキャリアを放電できます。

ここで説明している電源は、TL494 の PWM 制御回路の柔軟性を示すものです。この電源設計は、TL494 で使用できる多くの電源制御方式と、制御回路の汎用性を示しています。

8.2.3 出力特性のアプリケーション曲線

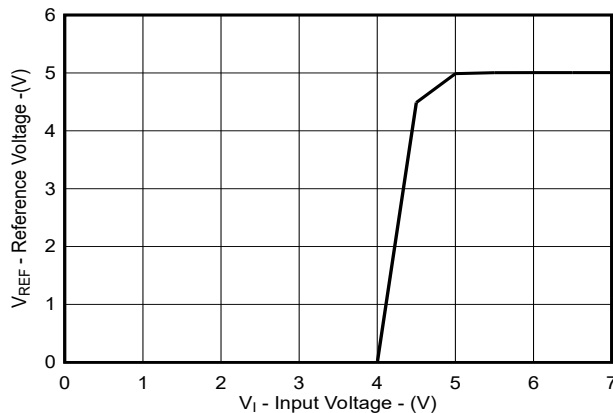


図 8-8. リファレンス電圧と入力電圧との関係

8.3 電源に関する推奨事項

TL494 は、7V から 40V の入力電源電圧範囲で動作するように設計されています。入力電源を適切にレギュレーションします。入力電源がデバイスから数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。一般的には 47 μ F のタンタル コンデンサが選択されますが、必要な出力電力の供給条件に応じて、この値は変わる場合があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

可能な限り、トロイダル インダクタやケース入り E コア インダクタなど、フェライト系の閉磁路コアを使用した低 EMI インダクタを使用します。開磁路コアは、低 EMI 特性を備え、低電力の配線や部品からある程度離して配置できる場合にのみ使用します。オープン コアを使用する場合は、極を PCB に対して垂直にします。スティック コアは通常、最も望ましくないノイズを発生させます。

8.4.1.1 フィードバック配線

フィードバック配線は、インダクタやノイズの多い電源の配線とできるだけ離すようにします。フィードバック配線は、できるだけ直線的にし、ある程度太くします。これら 2 つはトレードオフになることもありますが、どちらかを選ぶ必要があるときは、インダクタの EMI や他のノイズ源から遠ざけることのほうが重要です。可能なら、PCB 上でインダクタと反対側の面にフィードバック配線を置き、両方の間がグランド プレーンで分離されるようにします。

8.4.1.2 入出力コンデンサ

小容量のセラミック入力フィルタ コンデンサを使用する場合は、配線インダクタンスの影響をできるだけ抑え、IC 内部の電源ラインによりクリーンな電圧を供給できるよう、コンデンサを IC の VCC ピンのできるだけ近くに配置します。一部の設計では、普通は安定性のため、出力からフィードバック ピンにフィードフォワード コンデンサを接続する必要があります。この場合、コンデンサを IC のできるだけ近くに配置します。表面実装コンデンサを使用すると、リード長が短くなり、スルーホール部品によって生成される事実上のアンテナにノイズが結び付く可能性が低くなります。

8.4.1.3 補償部品

安定性を確保するため、外付け補償部品は IC の近くに配置します。フィルタ コンデンサについての説明と同じ理由で、表面実装の部品をお勧めします。インダクタとすぐ近くに表面実装部品を配置しないでください。

8.4.1.4 配線とグランド プレーン

- すべての電源 (大電流) 配線はできるだけ短く、直線的で、太くします。標準的な PCB 基板では、配線の絶対最小値をアンペアあたり 15mils (0.381mm) にすることをお勧めします。

- インダクタ、出力コンデンサ、および出力ダイオードが、可能な限り互いに近接して配置されていることを確認してください。これにより、電源パターンを流れる大きなスイッチング電流によって放射される EMI を低減できるとともに、配線のインダクタンスおよび抵抗も低減できます。その結果、ノイズスパイク、リングング、および電圧誤差の原因となる抵抗損失を低減できます。
- IC、入力コンデンサ、出力コンデンサ、および出力ダイオード (該当する場合) のグランドは、互いに近接させ、グランドプレーンに直接接続します。グランドループによる誤差を低減し、さらにインダクタから放射される EMI をより多く吸収してノイズを低減するため、PCB の両面にグランドプレーンを設けます。
- 二層以上の多層基板では、性能を向上させるため、グランドプレーンを用いて、電源パターンや電力系部品を配置するパワープレーンと、フィードバック回路、補償回路、およびそれらの関連部品を配置する信号プレーンとを分離します。
- 多層基板では、配線や異なるプレーンを接続するためにビアを使用する必要があります。
- その配線が、あるプレーンから別のプレーンに大電流を流す場合、電流 200mA ごとに一個の標準ビアを使用する必要があります。
- スイッチング電流ループが同じ方向に流れるように部品を配置します。スイッチングレギュレータの動作方法により、2 つの電力状態があります。1 つはスイッチがオンのとき、もう 1 つはスイッチがオフのときです。いずれの状態でも、現在導通している電源部品によって電流ループが形成されます。2 つの状態のそれぞれで、電流ループが同じ方向に導通するように、電源部品を配置します。これにより、2 つの半サイクル間の配線による磁界の反転を防止し、放射 EMI を低減できます。

8.4.2 レイアウト例

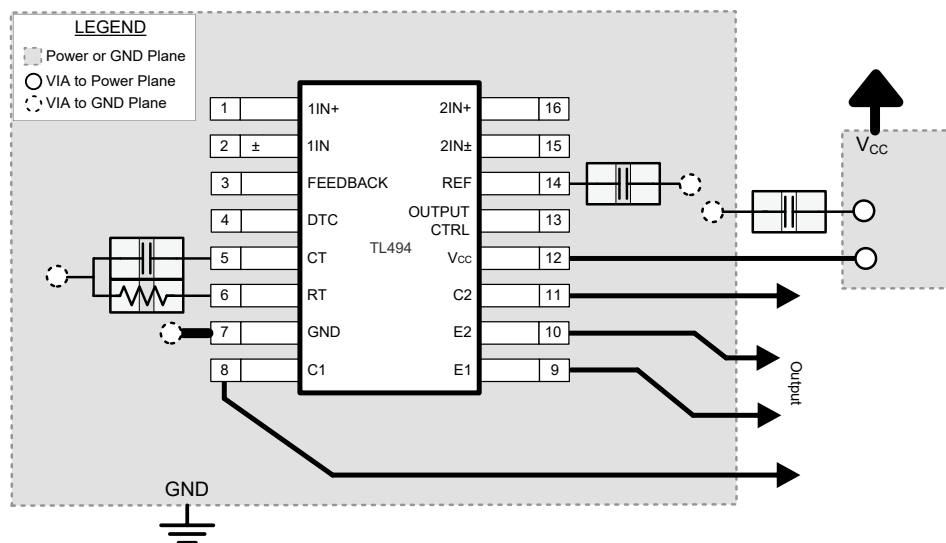


図 8-9. 非反転構成のオペアンプ基板のレイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 ドキュメントのサポート

9.3.1 関連資料

- テキサス インスツルメンツ、『[TL494 を使用したスイッチング電圧レギュレータの設計](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノート

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (July 2022) to Revision J (September 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 文書全体で、出力トランジスタの説明および記号を BJT から MOSFET に更新.....	1
• すべてのパッケージについて、「熱特性」表の値を変更.....	4
• 出力レギュレーションの標準値を 1mV から 6mV に変更.....	5
• 短絡出力電流の標準値を 25mA から 35mA に変更.....	5
• 温度の最大値による周波数変化を 10Hz/kHz から 50Hz/kHz に変更.....	5
• 開ループ電圧増幅率の標準値を 95dB から 80dB に変更.....	5
• 同相除去比の標準値を 80dB から 100dB に変更.....	5
• 出力 C1、C2 のオフ状態電流の標準値を 2μA から 4μA に変更.....	6
• コモンソース構成における出力 C1E1、C2E2 の飽和電圧の標準値を 1.1V から 0.5V に変更.....	6
• ソースフォロワ構成における出力 C1E1、C2E2 の飽和電圧の標準値を 1.5V から 1.65V に変更.....	6
• 入力バイアス電流 (デッド タイム制御) の標準値を -2μA から -0.006μA に変更.....	6

• 入力スレッショルド電圧 (デッド タイム制御) の標準値を 3V から 2.5V に変更.....	6
• 入力スレッショルド電圧 (FEEDBACK) の標準値を 4V から 3.4V に変更.....	6
• VCC = 15V 時のスタンバイ電源電流の標準値を 6mA から 1.62mA に変更.....	6
• VCC = 40V 時のスタンバイ電源電流の標準値を 9mA から 1.68mA に変更.....	6
• 平均電源電流の標準値を 7.5mA から 2.2mA に変更.....	6
• コモン ソース構成における立ち上がり時間の標準値を 100ns から 70ns に変更.....	6
• コモン ソース構成における立ち下がり時間の標準値を 25ns から 20ns に変更.....	6
• ソース フォロフ構成の立ち上がり時間の標準値を 100ns から 85ns に変更.....	6
• ソース フォロフ構成の立ち下がり時間の標準値を 40ns から 35ns に変更.....	6
• 発振器の周波数とタイミング抵抗との関係、アンプの電圧増幅率と周波数との関係を更新し、その他を削除.....	8
• 入力電圧が 7V 未満の場合の VREF の動作変更に合わせて説明を更新.....	11
• インダクタ計算のフォーマットを更新.....	17
• リファレンス電圧と入力電圧との関係アプリケーションの曲線を更新.....	20

Changes from Revision H (March 2017) to Revision I (July 2022)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL494CD	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	TL494C
TL494CDR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	0 to 70	TL494C
TL494CDR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494C
TL494CDRG4	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	TL494C
TL494CN	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL494CN
TL494CN.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL494CN
TL494CNE4	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL494CN
TL494CNSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494
TL494CNSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494
TL494CNSRG4	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494
TL494CPW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	0 to 70	T494
TL494CPWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T494
TL494CPWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T494
TL494ID	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	TL494I
TL494IDR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	TL494I
TL494IDR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL494I
TL494IDRG4	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	TL494I
TL494IN	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL494IN
TL494IN.A	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL494IN
TL494INE4	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL494IN

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

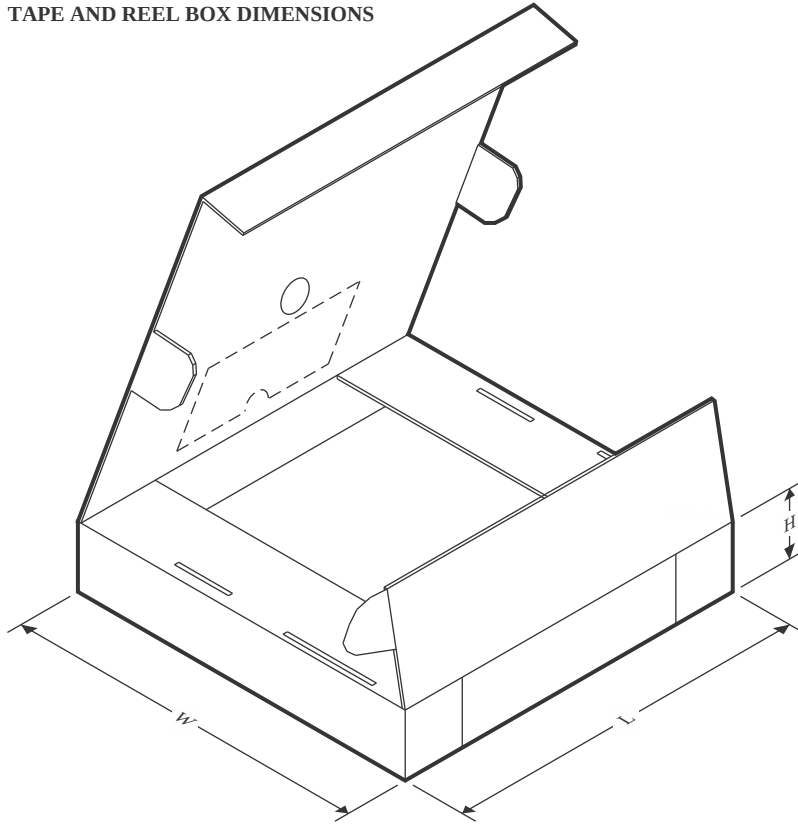
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL494CDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TL494CNSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
TL494CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL494IDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL494CDR	SOIC	D	16	2500	353.0	353.0	32.0
TL494CNSR	SOP	NS	16	2000	353.0	353.0	32.0
TL494CPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
TL494IDR	SOIC	D	16	2500	353.0	353.0	32.0

TUBE

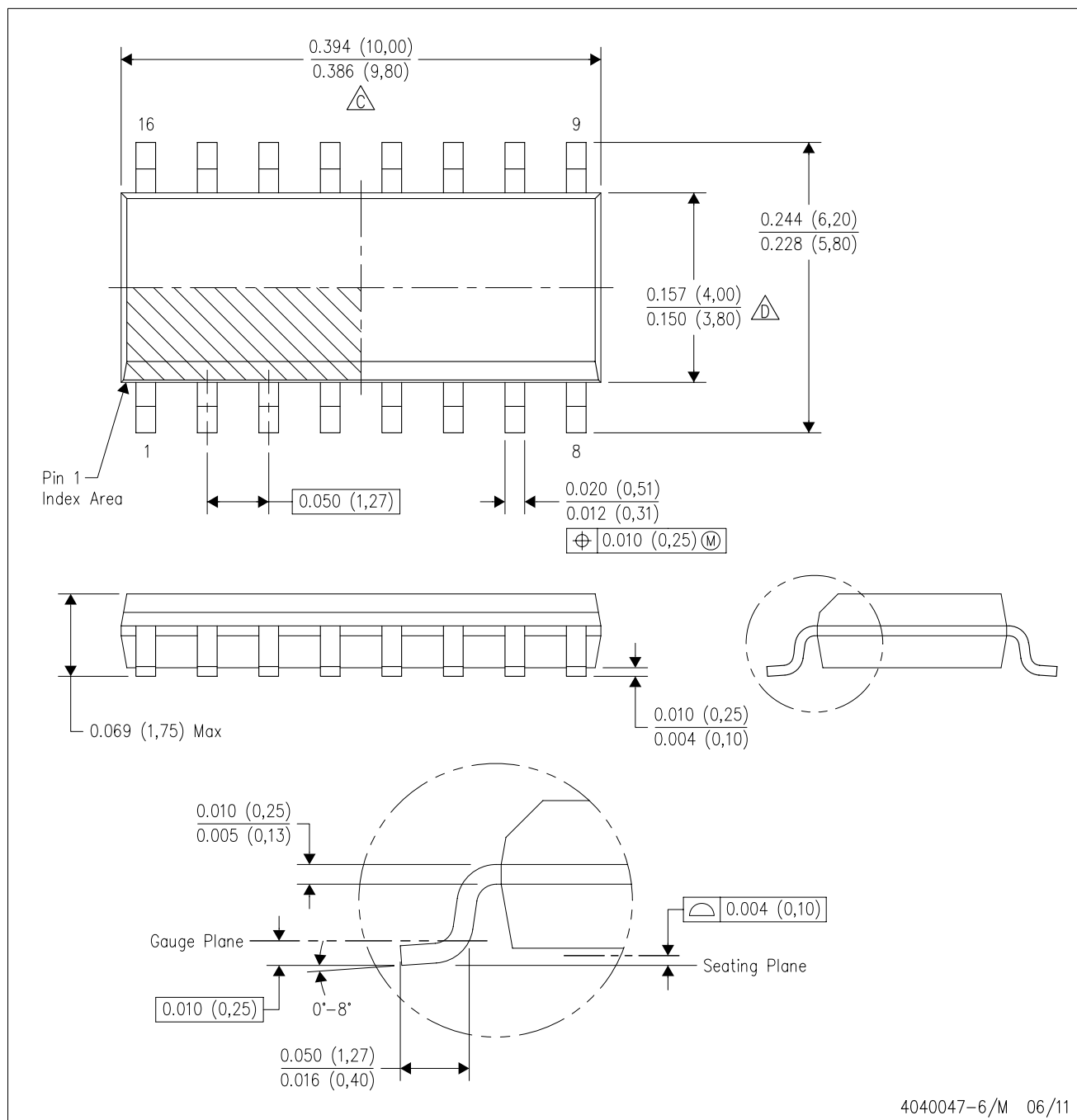


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TL494CN	N	PDIP	16	25	506	13.97	11230	4.32
TL494CN	N	PDIP	16	25	506	13.97	11230	4.32
TL494CN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494CN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494CNE4	N	PDIP	16	25	506	13.97	11230	4.32
TL494CNE4	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494INE4	N	PDIP	16	25	506	13.97	11230	4.32
TL494INE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES:

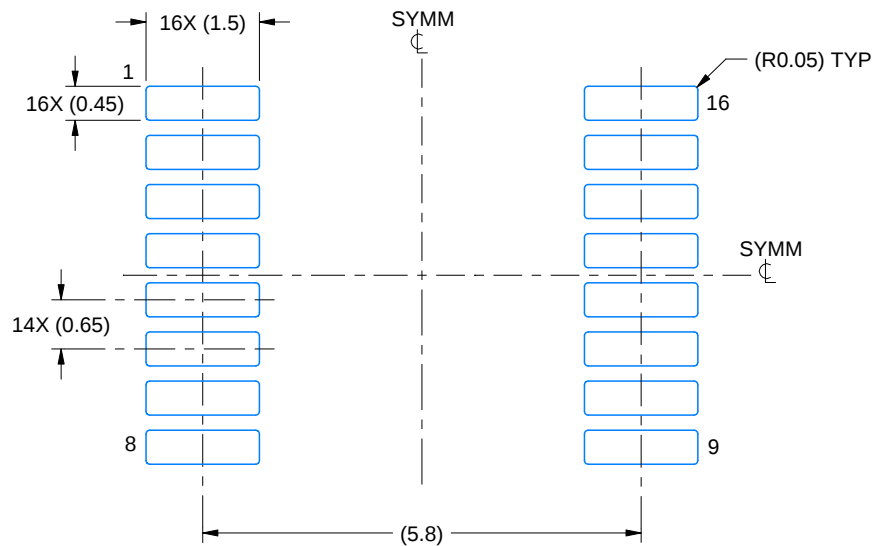
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AC.

EXAMPLE BOARD LAYOUT

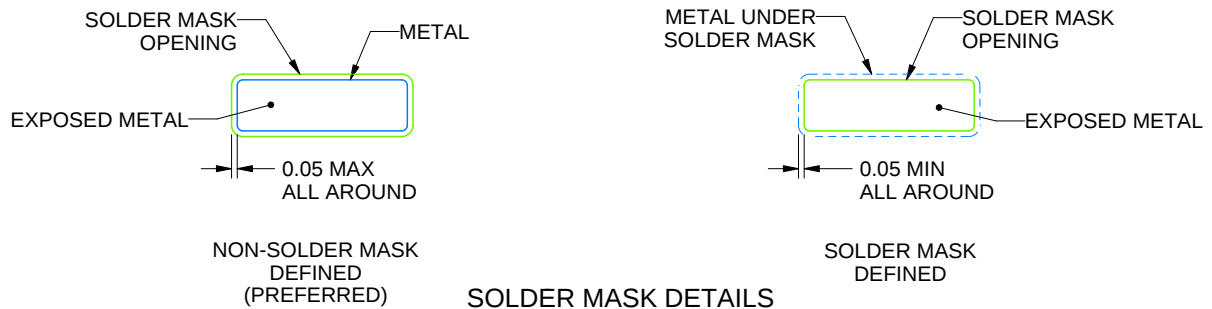
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

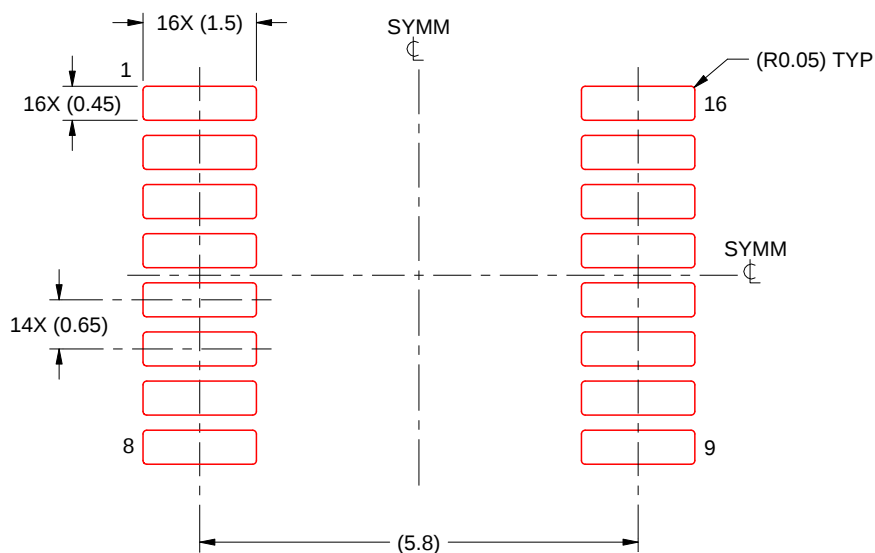
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

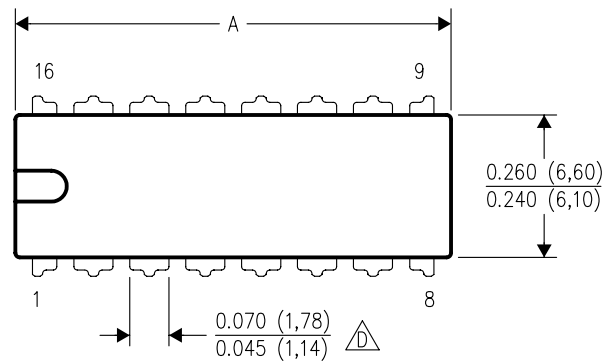
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

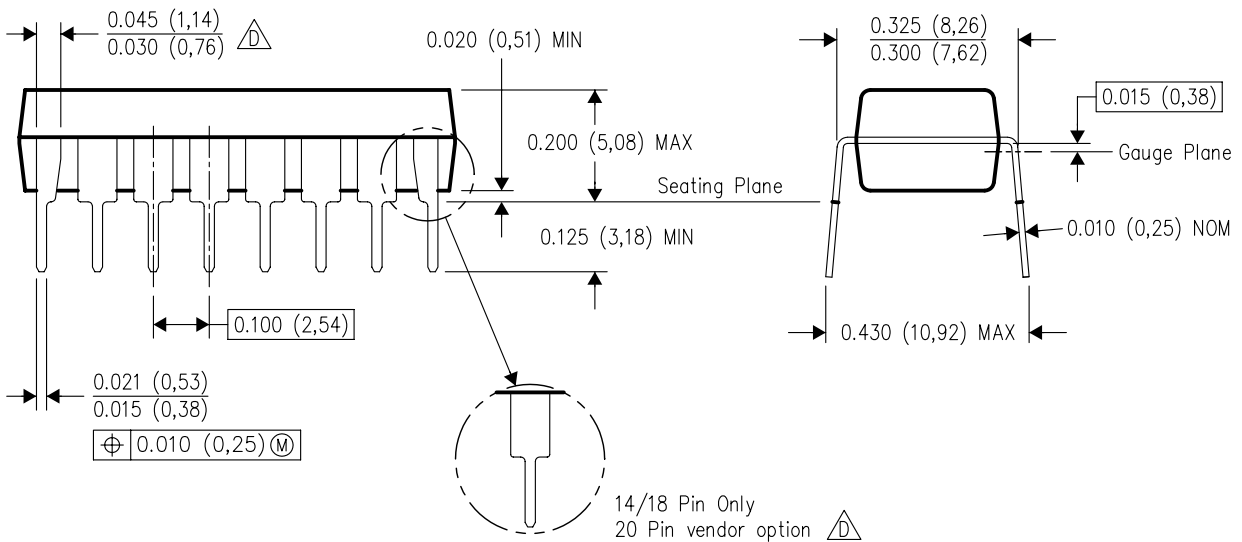
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



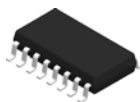
PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

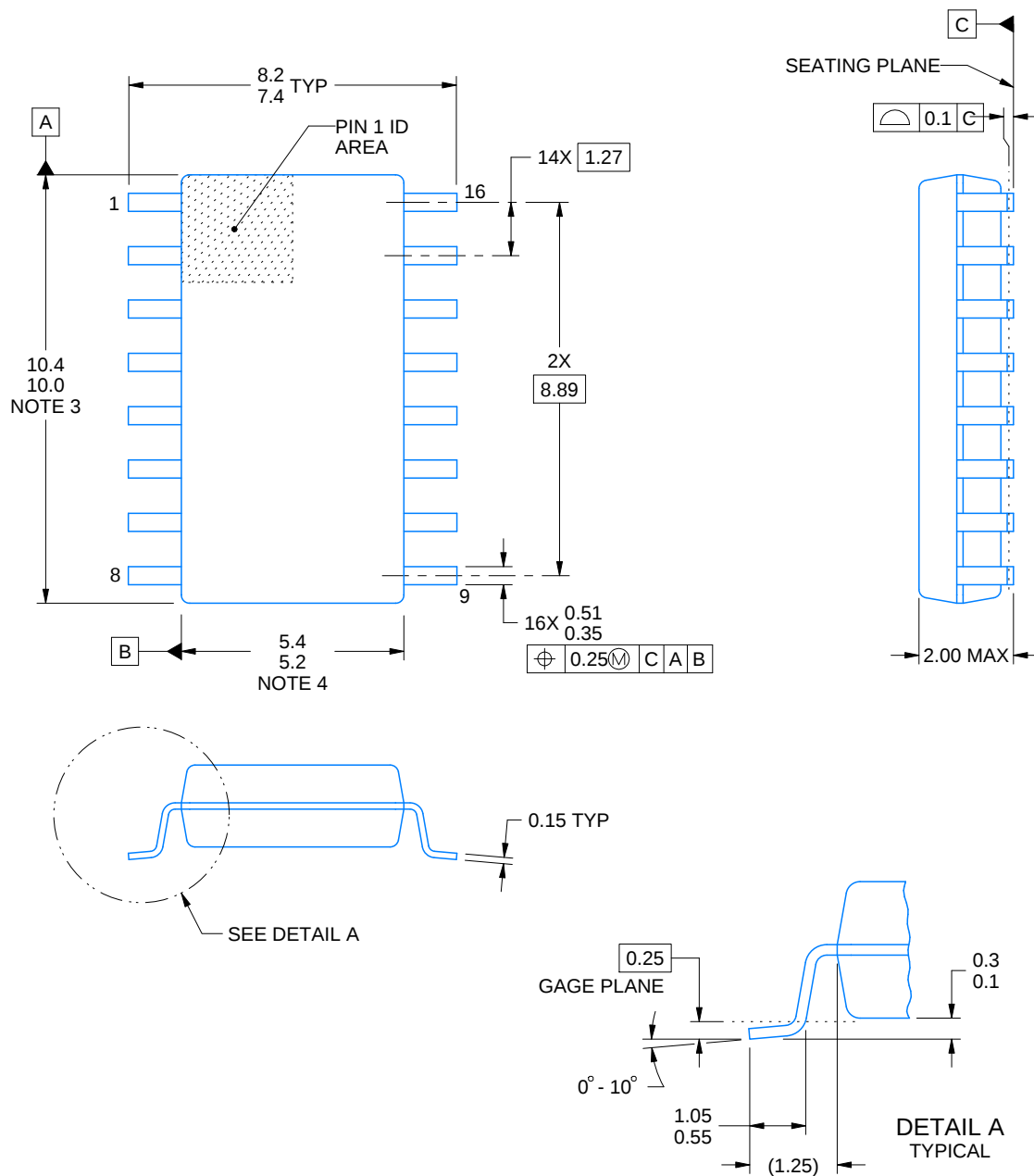


PACKAGE OUTLINE

NS0016A

SOP - 2.00 mm max height

SOP



4220735/A 12/2021

NOTES:

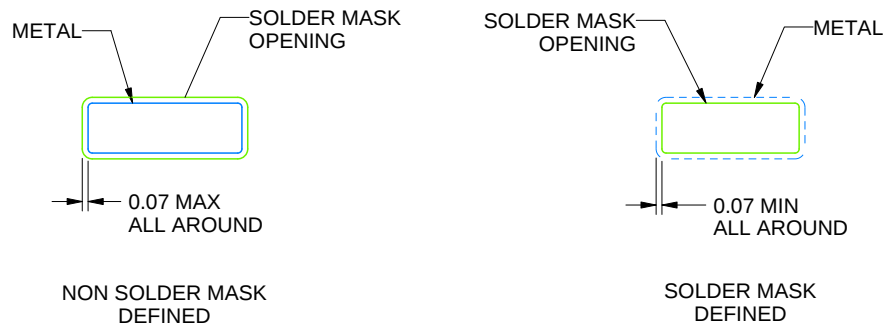
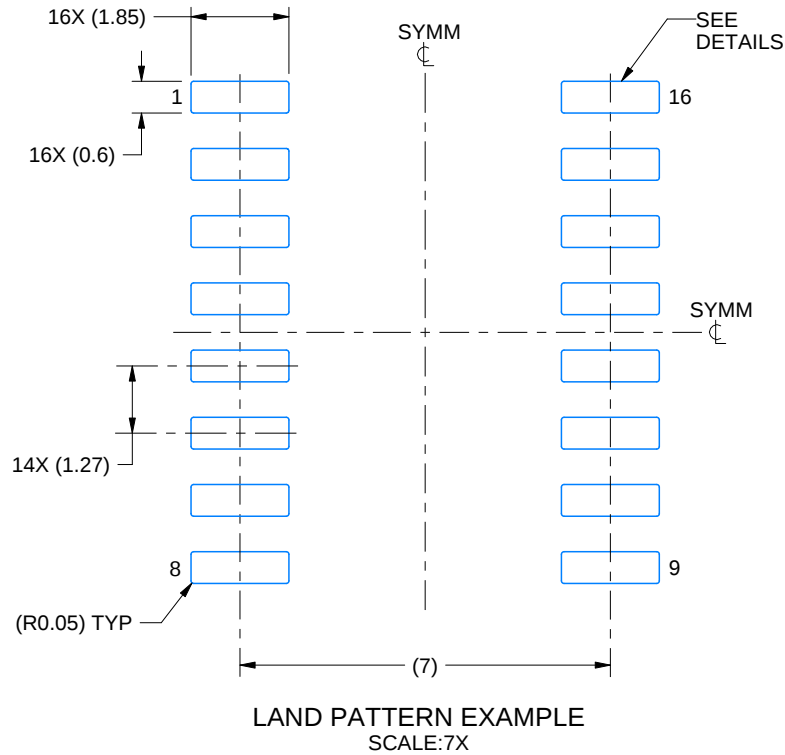
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

NS0016A

SOP - 2.00 mm max height

SOP



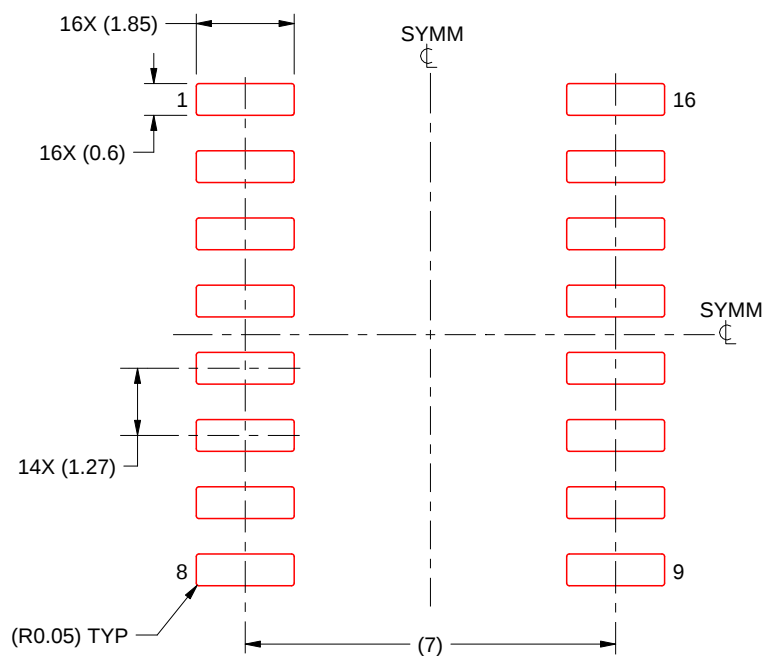
SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月