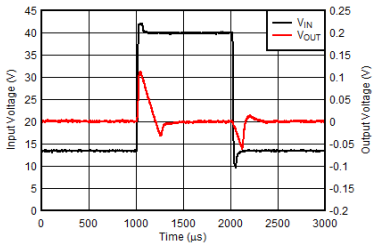
TL720M05-Q1 車載用、500mA、40V、低ドロップアウト電圧レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
  - 接合部温度:–40℃～+150℃、T_J
- 入力電圧範囲:
  - 従来のチップ:5.5V～42V (絶対最大値 45V)
  - 新しいチップ:3.0V～40V (絶対最大値 42V)
- 最大出力電流:500mA (新しいチップ)
- 出力電圧精度:±2.0% (ライン、負荷、温度の全範囲)
- Low ドロップアウト電圧:500mV (最大値)、300mA 時
- 低い静止電流:
  - 従来のチップ:I_{OUT} = 1mA 時に 100µA (代表値)
  - 新しいチップ:軽負荷時に 17µA (代表値)
- 優れたライン過渡応答 (新しいチップ):
  - V_{OUT} の ±2% の偏差 (コールド クランク時)
  - V_{OUT} の ±2% の偏差 (1V/µs の V_{IN} スルーレート)
- 2.2µF 以上のコンデンサで安定 (新しいチップ)
- 逆極性保護 (従来のチップ)
- パッケージ:
  - 3 ピン TO-252 (KVU)
  - 3 ピン DDPAK/TO-263 (KTT)
  - 20 ピン HTSSOP (PWP) (従来のチップ)

2 アプリケーション

- 再構成可能インストルメント クラスタ
- 車体制御モジュール (BCM)
- 常時オンのバッテリ接続アプリケーション:
  - 車載ゲートウェイ
  - リモート キーレス エントリ (RKE)



ライン過渡応答 (3V/µs の V_{IN} スルーレート) (新しいチップ)

3 説明

TL720M05-Q1 は、車載用アプリケーションのバッテリに接続するように設計された低ドロップアウト リニア レギュレータです。このデバイスの入力電圧範囲は 40V まで拡張されています (新しいチップ)。この範囲により、車載用システムで予測される過渡事象 (負荷ダンプなど) にも耐えられます。本デバイスは、軽負荷時の静止電流消費が低いため、常時オンのコンポーネントへの電源供給に適しています。常時オンのコンポーネントの例として、スタンバイ システムのマイクロコントローラ (MCU) やコントローラ エリア ネットワーク (CAN) トランシーバがあります。

このデバイス (新しいチップ) は、負荷やラインの変動に出力が素早く応答できる最先端の過渡応答性能を備えています。たとえば、コールド クランク状況のときなどです。またこのデバイスは、ドロップアウトからの回復時に出力オーバーシュートを最小限に抑える革新的なアーキテクチャを採用しています。通常動作時は、ライン、負荷、温度の全範囲にわたって誤差 ±2% の高い DC 精度を維持します。

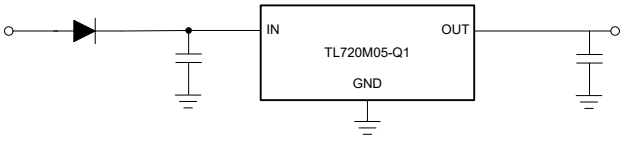
このデバイスは、過負荷および過熱に対する保護のために、いくつかの内部回路も内蔵しています。従来のチップは、逆極性に対する保護機能も備えています。

TL720M05-Q1 は低熱抵抗パッケージを採用しているため、デバイスから回路基板に熱を効率的に伝達できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TL720M05-Q1	KTT (TO-263、3)	10.16mm × 15.24mm
	KVU (TO-252、3)	6.6mm × 10.11mm
	PWP (HTSSOP、20) (従来のチップ)	6.5mm × 6.4mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的なアプリケーション回路図 (新しいチップ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性 (KVU パッケージ専用).....5
5.6 電気的特性 (KTT パッケージ専用).....6
5.7 代表的特性.....7
6 パラメータ測定情報.....16
7 詳細説明.....17
7.1 概要.....17
7.2 機能ブロック図.....17
7.3 機能説明.....18
7.4 デバイスの機能モード.....19
8 アプリケーションと実装.....21
8.1 アプリケーション情報.....21
8.2 代表的なアプリケーション.....25
8.3 電源に関する推奨事項.....26
8.4 レイアウト.....26
9 デバイスおよびドキュメントのサポート.....28
9.1 デバイス サポート.....28
9.2 ドキュメントのサポート.....28
9.3 ドキュメントの更新通知を受け取る方法.....28
9.4 サポート・リソース.....28
9.5 商標.....28
9.6 静電気放電に関する注意事項.....29
9.7 用語集.....29
10 改訂履歴.....29
11 メカニカル、パッケージ、および注文情報.....29

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

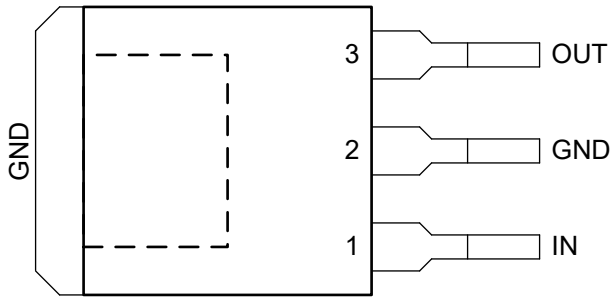


図 4-1. KTT パッケージ、 3 ピン TO-263 (上面図)

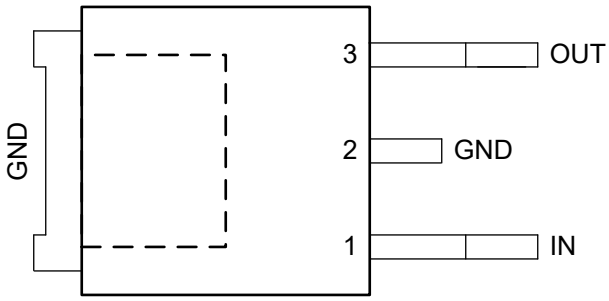


図 4-2. KVU パッケージ、 3 ピン TO-252 (上面図)

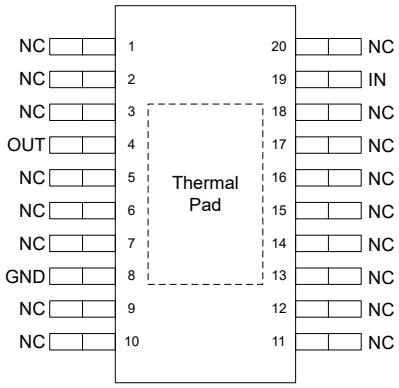


図 4-3. PWP パッケージ(1)、 20 ピン HTSSOP-PowerPAD (上面図)

表 4-1. ピンの機能

ピン				種類(2)	説明
名称	TO-263	TO-252	HTSSOP (従来のチップ)		
GND	2	2	8	O	グランド。ヒートシンクに内部接続されています。
IN	1	1	19	I	入力電源電圧ピン。最高の過渡応答を実現し、入力インピーダンスを最小化するには、推奨値またはそれ以上に大きい値のセラミック コンデンサを IN とグランドの間に接続します。「推奨動作条件」表と「入力および出力コンデンサの選択」セクションを参照してください。 入力コンデンサはデバイスの入力にできるだけ近い場所に配置します
NC	—	—	1-3、5-7、9-18、20	—	接続なし。
OUT	3	3	4	O	レギュレートされた出力電圧ピン。安定性のために、OUT とグランドの間にコンデンサが必要です。最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUT とグランドの間に接続します。「推奨動作条件」表と「入力および出力コンデンサの選択」セクションを参照してください。この出力コンデンサは、デバイスのできるだけ近くに配置します。

(1) NC = 内部接続なし。
(2) I = 入力、O = 出力。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{IN}	電源入力電圧 (従来チップの場合)	-42	45	V
	電源入力電圧 (新しいチップの場合)	-0.3	42	
V_{OUT}	安定化出力電圧 (従来チップの場合)	-1.0	40	
	安定化出力電圧 (新しいチップの場合)	-0.3	V_{IN} + 0.3V(2)	
電流	最高出力周	内部的に制限		A
温度	動作時の接合部温度、T_J	-40	150	℃
	保存、T_{stg}	-65	150	

(1) 「*絶対最大定格*」の範囲外の動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 絶対最大定格は VIN + 0.3V または 20V のどちらか小さい方です

5.2 ESD 定格

				値 (従来のチップ)	値 (新しいチップ)	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)			±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	該当なし	±500	
			角のピン	該当なし	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{IN}	電源入力電圧 (従来チップの場合)	5.5		42	V
	電源入力電圧 (新しいチップの場合)	3		40	
V_{OUT}	出力電圧		5.0		
I_{OUT}	出力電流 (従来チップの場合)	0		400	mA
	出力電流 (新しいチップの場合)	0		500	
C_{OUT}	出力コンデンサ (従来チップの場合)(1)	22			μF
	出力コンデンサ (新しいチップの場合)(1)	2.2		220	
C_{IN}	入力コンデンサ(2)		1		
ESR	出力コンデンサ ESR 要件 (従来のチップの場合)	0.001		5	Ω
	出力コンデンサ ESR 要件 (新しいチップの場合)	0.001		2	
T_J	動作時接合部温度	-40		150	℃

(1) 安定させるために、最低 1μF の実効出力キャパシタンスが必要です。
(2) 堅牢な EMI 性能を実現するための最小入力容量は 500nF です。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1) (2)		TL720M05-Q1					単位
		KVU (TO-252-3)		KTT (TO-263-3)		PWP (HTSSOP-20)	
		従来のチップ	新しいチップ	従来のチップ	新しいチップ	従来のチップ	
$R_{\theta JA}$	接合部から周囲への熱抵抗	45.3	30	34.2	22.6	39.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.8	39.5	38.2	6.0	22.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	30.8	8.6	44.9	30.9	19.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.8	2.6	6	2.0	0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	30.2	8.6	44.5	3.4	18.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.7	1.3	0.8	5.8	1.5	°C/W

(1) 熱データは、JEDEC 規格の high K プロファイル、JESD 51-7 に基づいています。2 信号、2 プレーン、4 層基板、2 オンスの銅を使用しています。銅パッドをサーマル ランド パターンに半田付けします。また、正しい取り付け手順が組み込まれていることも確認してください。
(2) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性 (KVU パッケージ専用)

T_J = –40°C ～ +150°C、V_{IN} = 13.5V、I_{OUT} = 0mA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、および C_{IN} = 1µF で指定 (特に記述のない限り)、標準値は T_J = 25°C。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUT}	安定化出力 (従来チップの場合)	V_{IN} = 6V ～ 28V、I_{OUT} = 5mA ～ 400mA		4.9	5.0	5.1	V
		V_{IN} = 6V ～ 40V、I_{OUT} = 5mA ～ 400mA		4.9	5.0	5.1	
	安定化出力 (新しいチップの場合)	V_{IN} = $V_{OUT(nom)}$ + 1V ～ 40V、I_{OUT} = 100µA ～ 450mA, T_J = 25°C(1)		-0.85		0.85	%
		V_{IN} = V_{OUT} + 1V～40V、I_{OUT} = 100µA～500mA、T_J = 25°C(1)		-0.85		0.85	
		V_{IN} = V_{OUT} + 1V～40V、I_{OUT} = 100µA～450mA(1)		-1.15		1.15	
		V_{IN} = V_{OUT} + 1V～40V、I_{OUT} = 100µA～500mA(1)		-1.15		1.15	
$\Delta V_{OUT(\Delta IOUT)}$	負荷レギュレーション (従来のチップの場合)	I_{OUT} = 5mA ～ 400mA			15	30	mV
	負荷レギュレーション (新しいチップの場合)	V_{IN} = V_{OUT} + 1V、I_{OUT} = 100µA～450mA				0.425	%
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション (従来のチップの場合)	V_{IN} = 8V ～ 32V、I_{OUT} = 5mA		-15	5	15	mV
	ライン レギュレーション (新しいチップの場合)	V_{IN} = V_{OUT} + 1V～40V、I_{OUT} = 100µA				0.2	%
ΔV_{OUT}	負荷過渡応答の整定時間 (新しいチップの場合)(2)	t_R = t_F = 1µs、C_{OUT} = 10µF				100	µs
ΔV_{OUT}	負荷過渡応答のオーバーシュート、アンダーシュート (新しいチップの場合) (2)	t_R = t_F = 1µs、C_{OUT} = 10µF	I_{OUT} = 150mA ～ 350mA	-2%			%V_{OUT}
			I_{OUT} = 350mA ～ 150mA			10%	
			I_{OUT} = 0mA ～ 500mA	-10%			
I_Q	静止電流 (従来チップの場合) I_Q = I_{IN} – I_{OUT}	I_{OUT} = 1mA	T_J = 25°C		100	220	µA
			T_J ≤ 85°C		100	220	
		I_{OUT} = 250mA			5	10	mA
		I_{OUT} = 400mA			12	22	
	静止電流 (新しいチップの場合)	V_{IN} = V_{OUT} + 1V～40V、I_{OUT} = 0mA、T_J = 25°C(3)			17	21	µA
		V_{IN} = V_{OUT} + 1V～40V、I_{OUT} = 0mA(3)				26	
		I_{OUT} = 500µA				35	

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (KVU パッケージ専用) (続き)

T_J = –40℃ ～ +150℃、V_{IN} = 13.5V、I_{OUT} = 0mA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω、および C_{IN} = 1µF で指定 (特に記述のない限り)、標準値は T_J = 25℃。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{DO}	ドロップアウト電圧 (従来チップの場合)	I_{OUT} = 300mA		250	500	mV
	ドロップアウト電圧 (新しいチップの場合)	I_{OUT} ≤ 1mA、V_{IN} = $V_{OUT(NOM)}$ × 0.95			46	
		I_{OUT} = 315mA、V_{IN} = $V_{OUT(NOM)}$		275	400	
		I_{OUT} = 450mA、V_{IN} = $V_{OUT(NOM)}$		360	525	
		I_{OUT} = 500mA、V_{IN} = $V_{OUT(NOM)}$		390	575	
$V_{UVLO(RISING)}$	立ち上がり入力電源 UVLO (新しいチップの場合)	V_{IN} 立ち上がり	2.6	2.7	2.82	V
$V_{UVLO(FALLING)}$	立ち下がり入力電源 UVLO (新しいチップの場合)	V_{IN} 立ち下がり	2.38	2.5	2.6	V
$V_{UVLO(HYST)}$	$V_{UVLO(IN)}$ ヒステリシス (新しいチップの場合)			230		mV
I_{CL}	出力電流制限 (従来チップの場合)	V_{IN} = V_{OUT} + 1V、V_{OUT} を $V_{OUT(NOM)}$ の 90% に短絡	450	700	950	mA
	出力電流制限 (新しいチップの場合)	V_{IN} = V_{OUT} + 1V、V_{OUT} を $V_{OUT(NOM)}$ の 90% に短絡	540		780	
PSRR	電源除去比 (従来チップの場合)	V_{IN} - V_{OUT} = 1V、周波数 = 100Hz、Vr = 0.5V_{pp}、I_{OUT} = 450mA		60		dB
	電源除去比 (新しいチップの場合)	V_{IN} - V_{OUT} = 1V、周波数 = 1kHz、I_{OUT} = 450mA		70		
T_J	接合部温度		-40		150	℃
$T_{SD(SHUTDOWN)}$	接合部シャットダウン温度 (新しいチップの場合)			175		
$T_{SD(HYST)}$	サーマル シャットダウンのヒステリシス (新しいチップの場合)			20		
$\Delta V_{OUT}/\Delta T$	温度出力電圧ドリフト (従来チップの場合)			0.5		mV/K

(1) デバイス製造テストの目的で、消費電力は 2W に制限されています。この消費電力は、通常動作中に高くなる可能性があります。接合部温度を 150℃ 未満に維持しながらデバイスが消費する電力の詳細については、セクション 8.1.4.1 を参照してください。
(2) 設計により規定されています。
(3) 可変出力の場合、これはユニティ ゲインでテストされ、抵抗電流は含まれません。

5.6 電気的特性 (KTT パッケージ専用)

自由気流での推奨動作温度範囲内、V_{IN} = 13.5V、T_J = −40℃～150℃ (特に記述のない限り) (セクション 6 を参照)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUT}	出力電圧	V_{IN} = 6V ～ 28V、I_{OUT} = 5mA ～ 400mA		4.9	5.0	5.1	V
		V_{IN} = 6V ～ 40V、I_{OUT} = 5mA ～ 200mA		4.9	5.0	5.1	
I_{CL}	出力電流制限			450	700	950	mA
I_Q	静止電流 I_Q = I_{IN} – I_{OUT} (従来のチップの場合)	I_{OUT} = 1mA	T_J = 25℃		100	220	µA
			T_J ≤ 85℃		100	220	
	静止電流 I_Q = I_{IN} – I_{OUT} (新しいチップの場合)	I_{OUT} = 1mA	T_J = 25℃		28	50	
			T_J ≤ 85℃		28	55	
	静止電流 I_Q = I_{IN} – I_{OUT}	I_{OUT} = 250mA			5	10	mA
		I_{OUT} = 400mA			12	22	mA
V_{DO}	ドロップアウト電圧(1)	I_{OUT} = 300mA、V_{DO} = V_{IN} – V_{OUT}			250	500	mV
$\Delta V_{OUT(\Delta IOUT)}$	負荷レギュレーション (従来のチップの場合)	I_{OUT} = 5mA ～ 400mA			15	30	mV
	負荷レギュレーション (新しいチップの場合)	I_{OUT} = 5mA ～ 400mA、V_{IN} = 6V			15	30	

Copyright © 2025 Texas Instruments Incorporated

自由気流での推奨動作温度範囲内、V_{IN} = 13.5V、T_J = −40℃～150℃ (特に記述のない限り) (セクション 6 を参照)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション (従来のチップの場合)	V_{IN} = 8V ～ 32V、I_{OUT} = 5mA	-15	5	15	mV
	ライン レギュレーション (新しいチップの場合)	V_{IN} = 6V ～ 40V、I_{OUT} = 5mA	-15	5	15	
PSRR	電源除去比	V_{IN} - V_{OUT} = 1V、周波数 = 100Hz、Vr = 0.5V_{pp}、I_{OUT} = 450mA		60		dB
$\Delta V_{OUT}/\Delta T$	温度出力電圧ドリフト			0.5		mV/K

(1) V_{IN} = V_{OUT} + 13.5V で与えられる公称値から、出力電圧が 100mV 低下したときに測定されました。

5.7 代表的特性

新しいチップ: T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1µF で規定 (特に記述のない限り)。

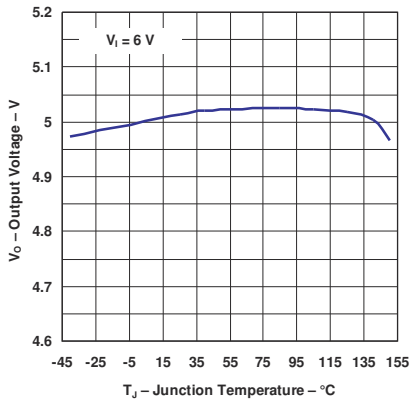


図 5-1. 出力電圧と接合部温度との関係 (従来のチップ)

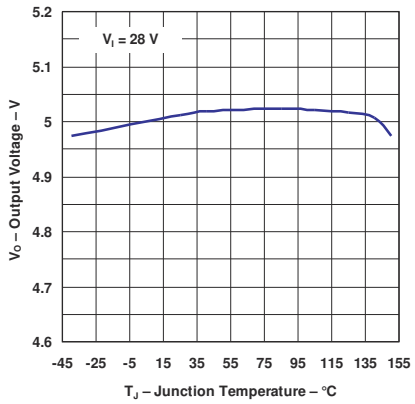


図 5-2. 出力電圧と接合部温度との関係 (従来のチップ)

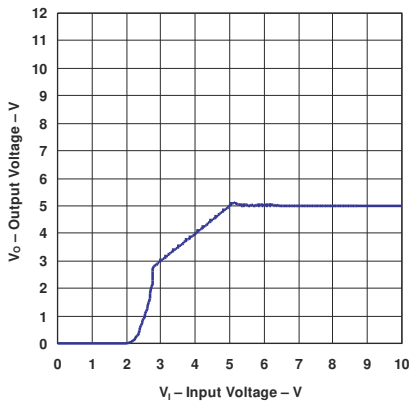


図 5-3. ドロップアウト電圧と入力電圧との関係 (従来のチップ)

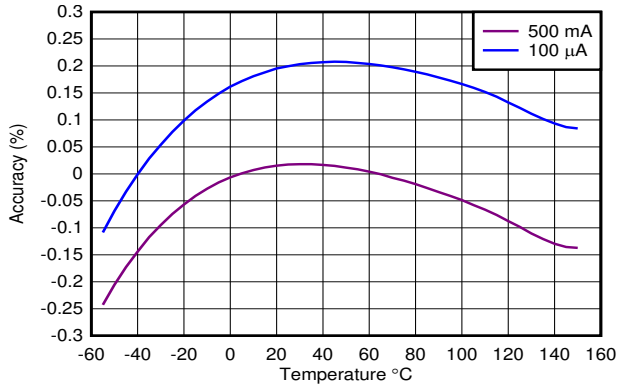
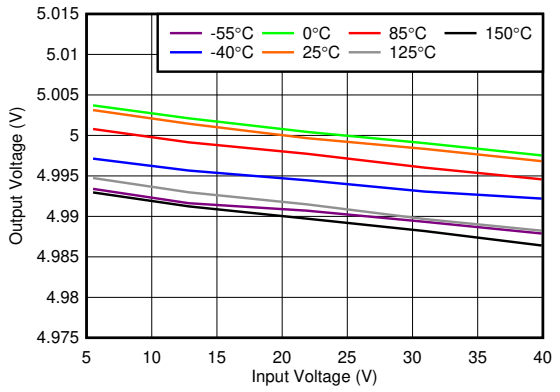


図 5-4. 精度と温度との関係 (新しいチップ)

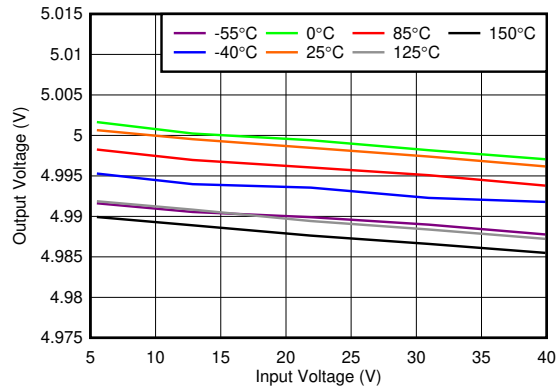
5.7 代表的特性 (続き)

新しいチップ : T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1µF で規定 (特に記述のない限り)。



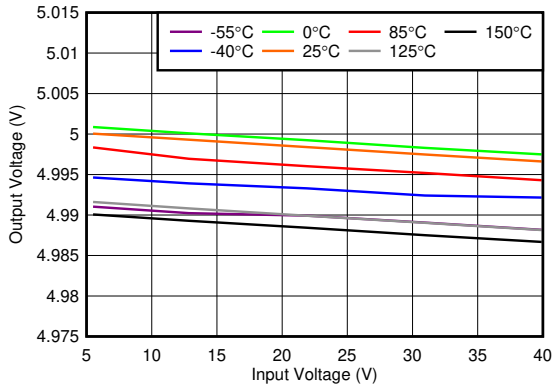
V_{OUT} = 5V、I_{OUT} = 150mA

図 5-5. ライン レギュレーションと V_{IN} との関係 (新しいチップ)



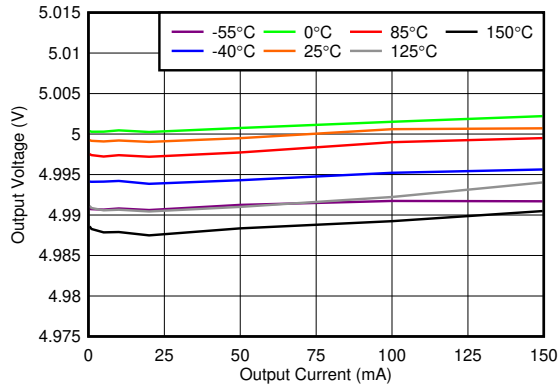
V_{OUT} = 5V、I_{OUT} = 5mA

図 5-6. ライン レギュレーションと V_{IN} との関係 (新しいチップ)



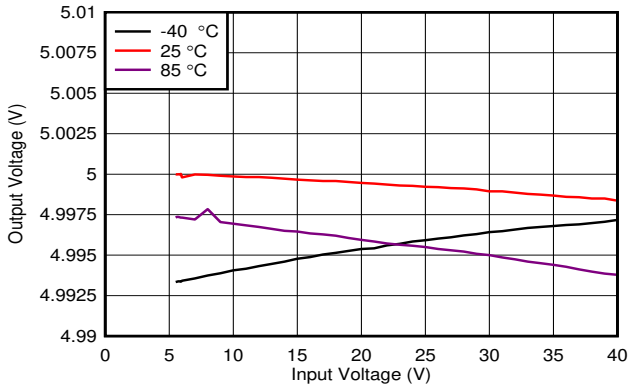
V_{OUT} = 5V、I_{OUT} = 1mA

図 5-7. ライン レギュレーションと V_{IN} との関係 (新しいチップ)



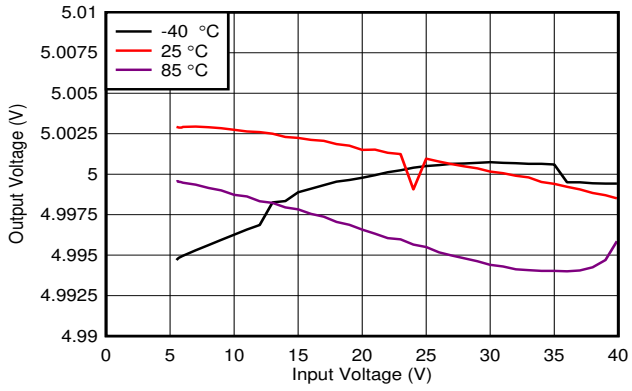
V_{OUT} = 5V

図 5-8. 負荷レギュレーションと I_{OUT} との関係 (新しいチップ)



C_{OUT} = 10µF、V_{OUT} = 5V

図 5-9. 50mA でのライン レギュレーション (新しいチップ)



C_{OUT} = 10µF、V_{OUT} = 5V

図 5-10. 100mA でのライン レギュレーション (新しいチップ)

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

新しいチップ : T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1μF で規定 (特に記述のない限り)。

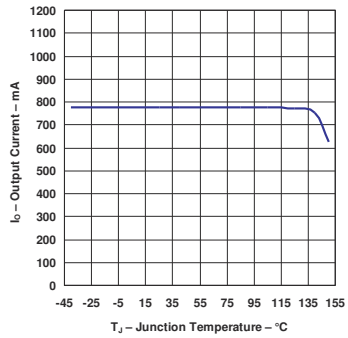


図 5-11. 出力電流と結合部温度との関係 (従来のチップ)

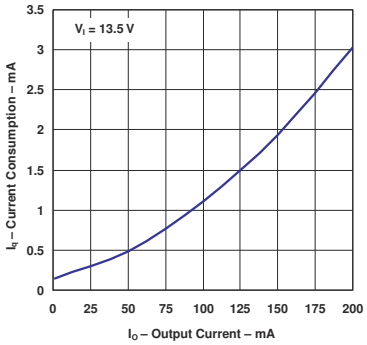


図 5-12. 消費電流と出力電流との関係 (従来のチップ)

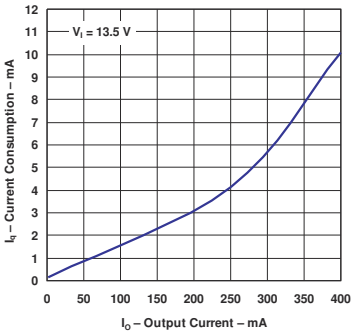


図 5-13. 消費電流と出力電流との関係 (従来のチップ)

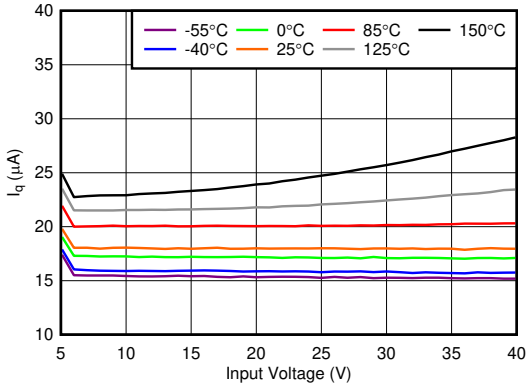
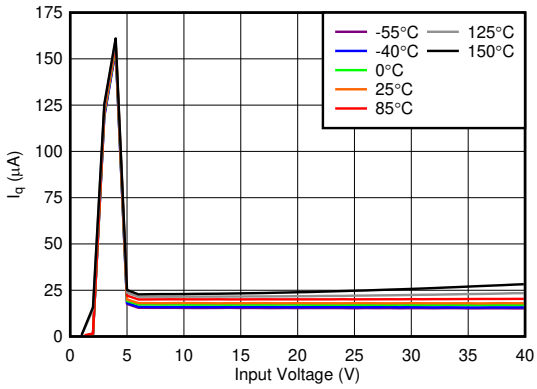


図 5-14. 静止電流 (I_Q) と V_{IN} との関係 (新しいチップ)



V_{OUT} = 5V

図 5-15. 静止電流 (I_Q) と V_{IN} との関係 (新しいチップ)

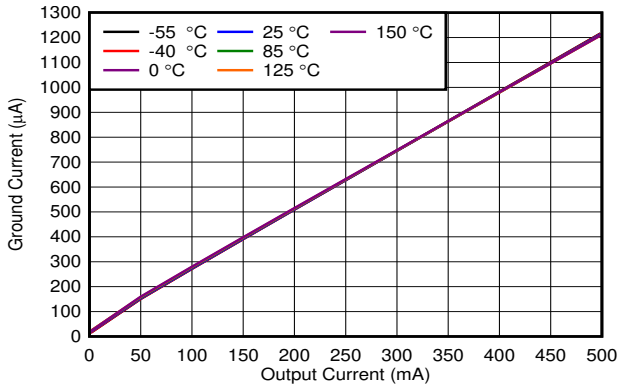


図 5-16. グランド電流 (I_{GND}) と I_{OUT} (新しいチップ) との関係

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

新しいチップ : T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1µF で規定 (特に記述のない限り)。

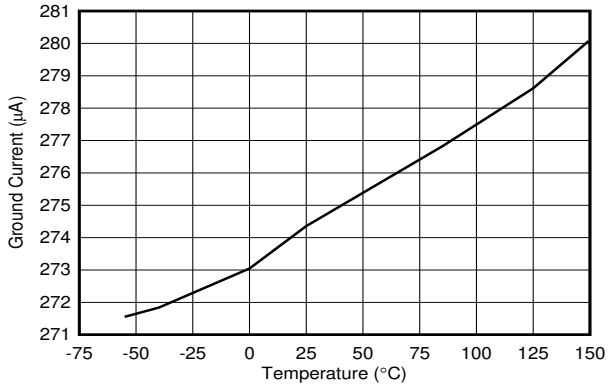


図 5-17. 100mA のグランド電流 (新しいチップ)

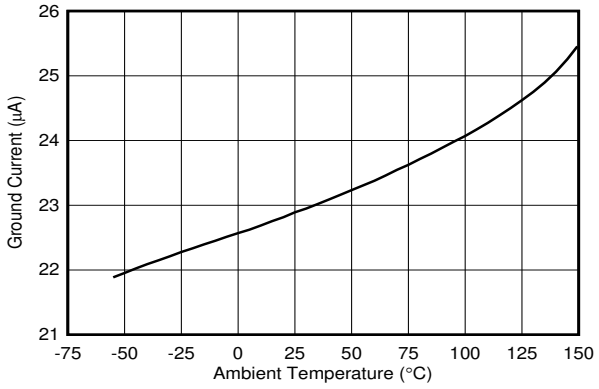


図 5-18. 500µA のグランド電流 (新しいチップ)

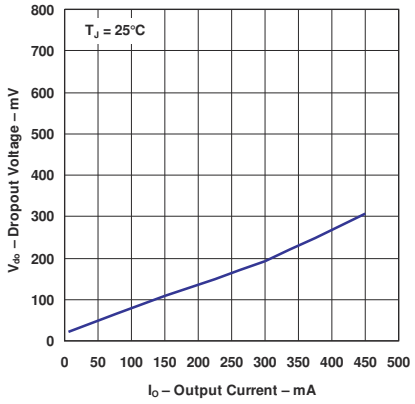
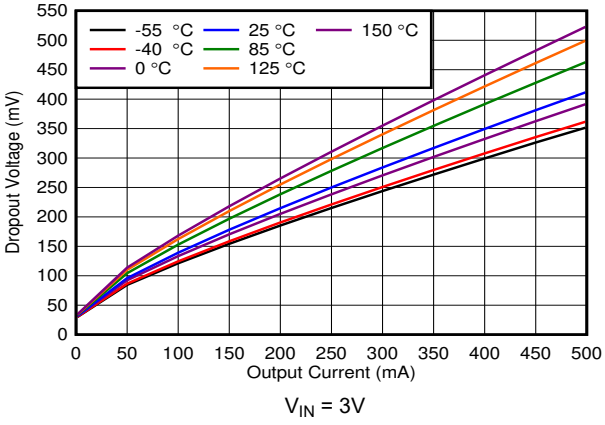


図 5-19. ドロップアウト電圧と出力電流との関係 (従来のチップ)



V_{IN} = 3V

図 5-20. ドロップアウト電圧 (V_{DO}) と I_{OUT} との関係 (新しいチップ)

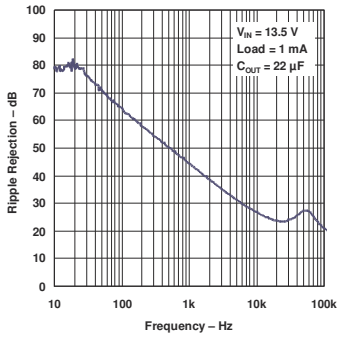


図 5-21. 電源リップル除去と周波数との関係 (従来のチップ)

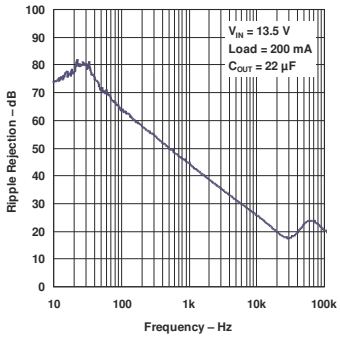


図 5-22. 電源リップル除去と周波数との関係 (従来のチップ)

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

新しいチップ：T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1μF で規定 (特に記述のない限り)。

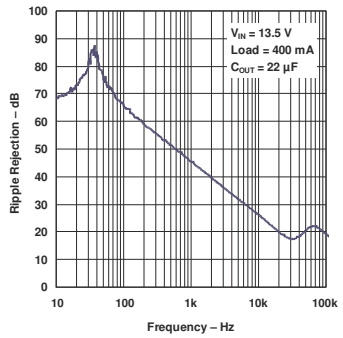
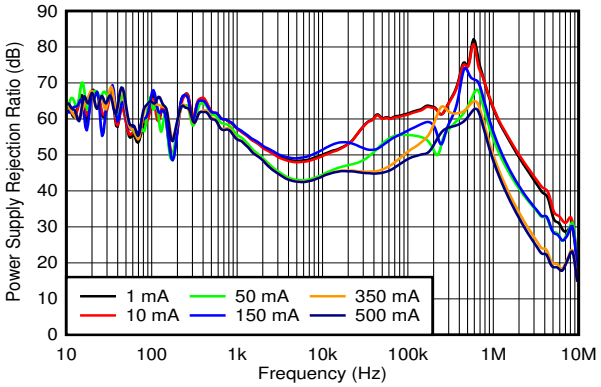
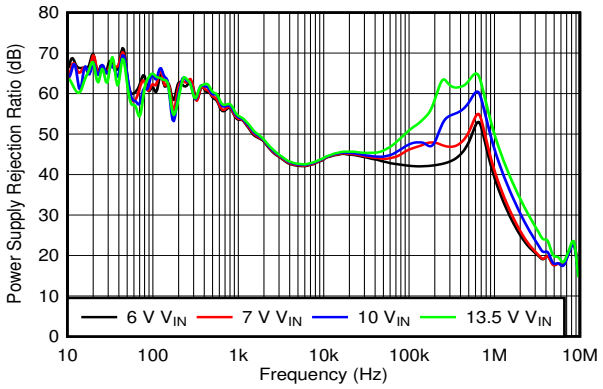


図 5-23. 電源リップル除去と周波数との関係 (従来のチップ)



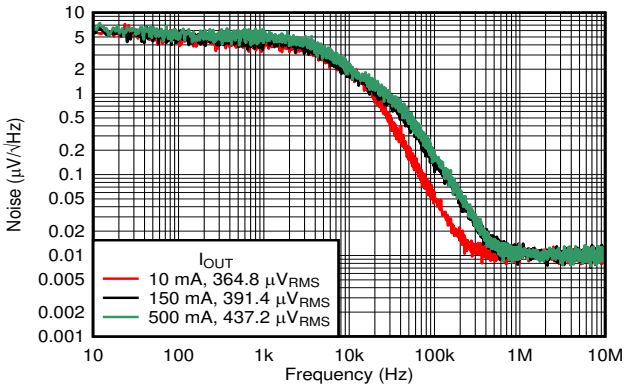
C_{OUT} = 10μF (X7R 50V)、V_{OUT} = 5V

図 5-24. 電源リップル除去と周波数と I_{OUT} との関係 (新しいチップ)



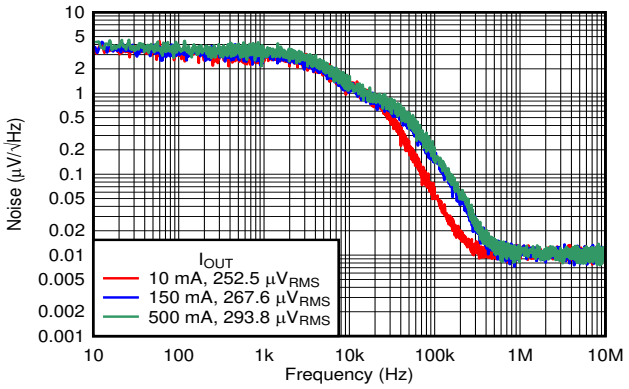
C_{OUT} = 10μF (X7R 50V)、I_{OUT} = 500mA、V_{OUT} = 5V

図 5-25. 電源リップル除去と周波数との関係、V_{IN} (新しいチップ)



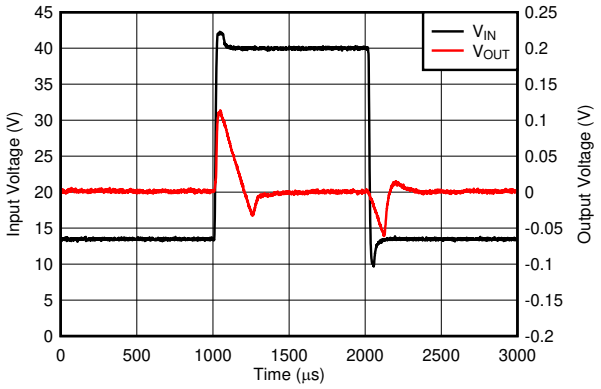
C_{OUT} = 10μF (X7R 50V)、V_{OUT} = 5V

図 5-26. ノイズと周波数との関係 (従来チップ)



C_{OUT} = 10μF (X7R 50V)、V_{OUT} = 3.3V

図 5-27. ノイズと周波数との関係 (従来チップ)

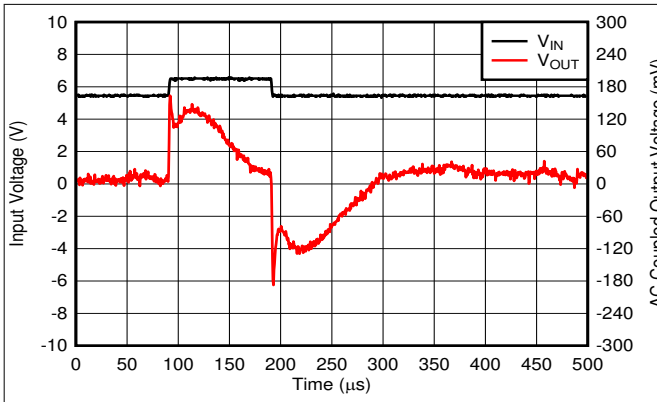


V_{OUT} = 5V、I_{OUT} = 1mA、V_{IN} = 13.5V ～ 45V、
スルー レート = 2.7V/μs

図 5-28. ライン過渡応答 (新しいチップ)

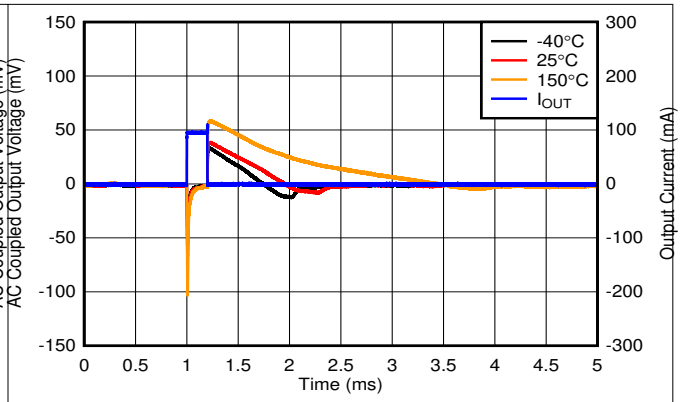
5.7 代表的特性 (続き)

新しいチップ : T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1μF で規定 (特に記述のない限り)。



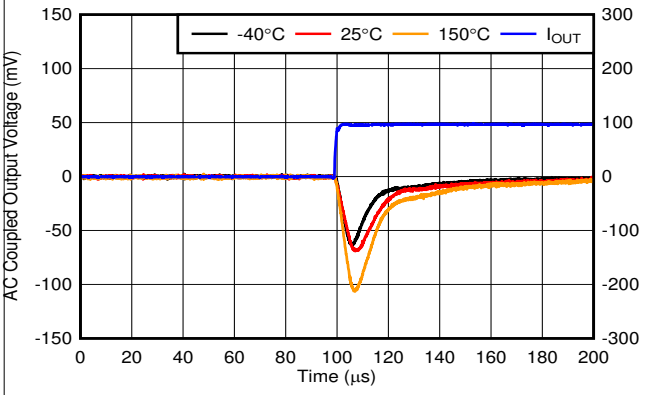
V_{OUT} = 5V、I_{OUT} = 100mA、V_{IN} = 5.5V～6.5V、立ち上がり時間 = 1μs

図 5-29. ライン過渡応答 (新しいチップ)



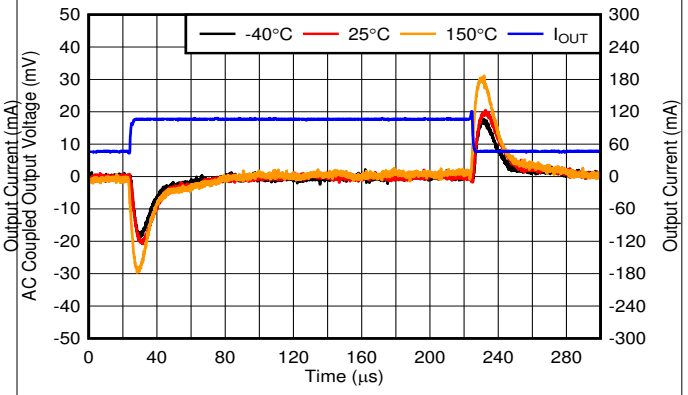
V_{OUT} = 5V、I_{OUT} = 0mA ～ 100mA、スルー レート = 1A/μs、C_{OUT} = 10μF

図 5-30. 負荷トランジェント、100mA への無負荷 (新しいチップ)



V_{OUT} = 5V、I_{OUT} = 0mA ～ 100mA、スルー レート = 1A/μs、C_{OUT} = 10μF

図 5-31. 負荷過渡、無負荷から 100mA 立ち上がりエッジへ (新しいチップ)



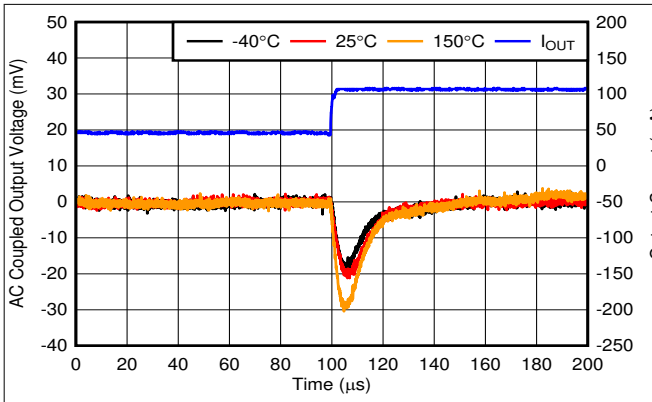
V_{OUT} = 5V、I_{OUT} = 45mA ～ 105mA、スルー レート = 0.1A/μs、C_{OUT} = 10μF

図 5-32. 負荷過渡、45mA ～ 105mA (新しいチップ)

Copyright © 2025 Texas Instruments Incorporated

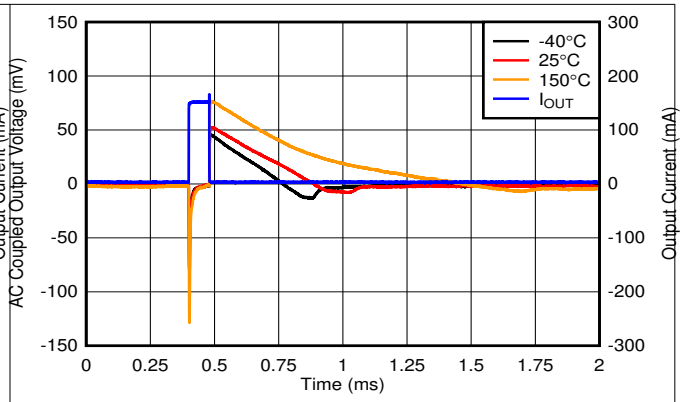
5.7 代表的特性 (続き)

新しいチップ : T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1µF で規定 (特に記述のない限り)。



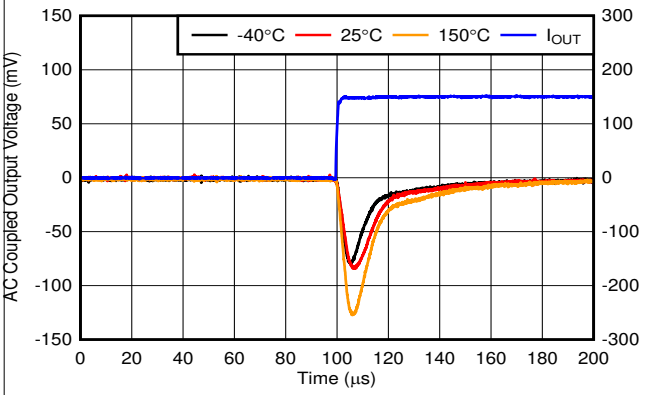
V_{OUT} = 5V、I_{OUT} = 45mA ～ 105mA、スルー レート = 0.1A/µs、C_{OUT} = 10µF

図 5-33. 負荷過渡、45mA～105mA への立ち上がりエッジ (新しいチップ)



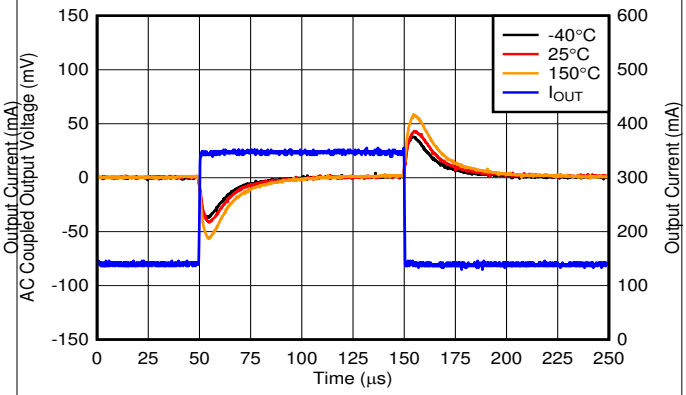
V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルー レート = 1A/µs、C_{OUT} = 10µF

図 5-34. 負荷過渡、無負荷から 150mA (新しいチップ)



V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルー レート = 1A/µs、C_{OUT} = 10µF

図 5-35. 負荷過渡、無負荷から 150mA への立ち上がりエッジ (新しいチップ)

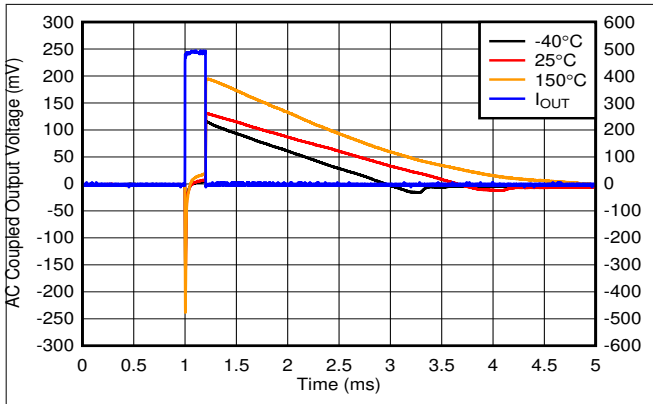


V_{OUT} = 5V、I_{OUT} = 150mA ～ 350mA、スルー レート = 0.1A/µs、C_{OUT} = 10µF

図 5-36. 負荷過渡、150mA ～ 350mA (新しいチップ)

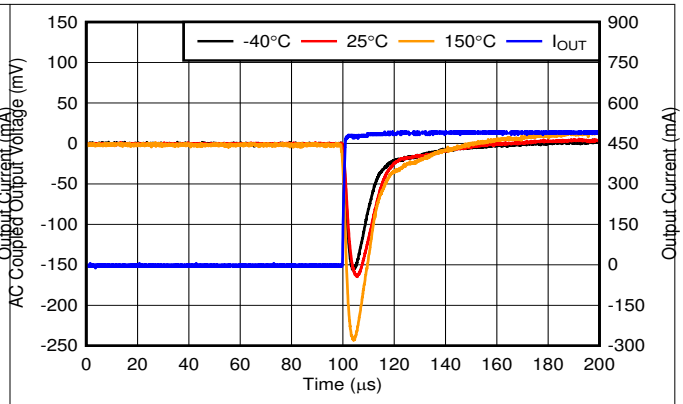
5.7 代表的特性 (続き)

新しいチップ：T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1μF で規定 (特に記述のない限り)。



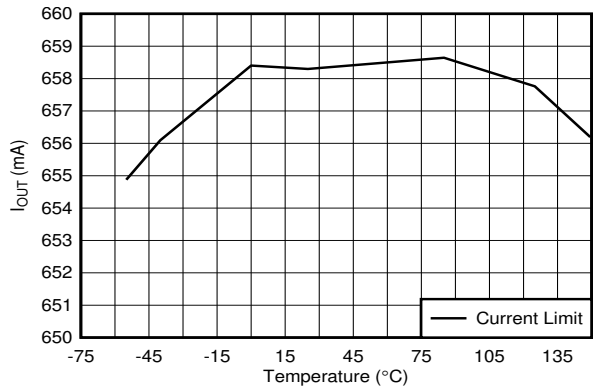
V_{OUT} = 5V、I_{OUT} = 0mA ～ 500mA、スルー レート = 1A/μs、C_{OUT} = 10μF

図 5-37. 負荷過渡、無負荷から 500mA (新しいチップ)



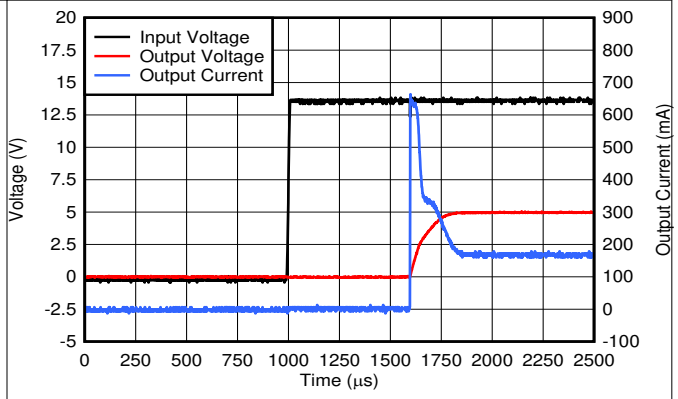
V_{OUT} = 5V、I_{OUT} = 0mA ～ 500mA、スルー レート = 1A/μs、C_{OUT} = 10μF

図 5-38. 負荷過渡、無負荷から 500mA への立ち上がりエッジ (新しいチップ)



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

図 5-39. 静止電流と温度との関係 (新しいチップ)



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

図 5-40. 起動時の突入電流プロット (新しいチップ)

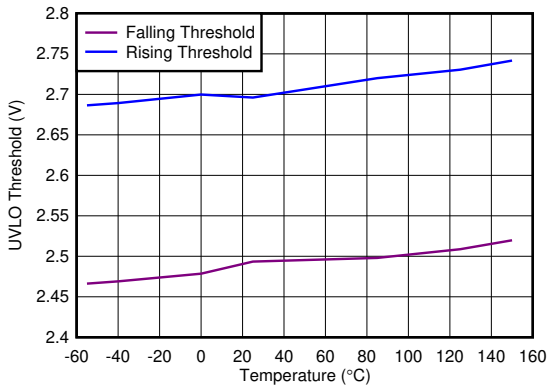


図 5-41. 低電圧誤動作防止 (UVLO) スレッショルドと温度との関係 (新しいチップ)

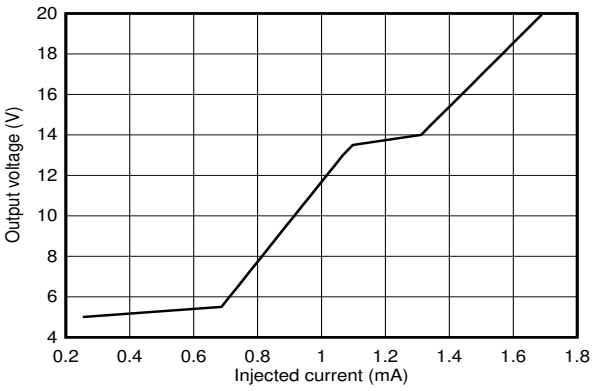


図 5-42. 出力電圧と印加電流との関係 (新しいチップ)

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

新しいチップ : T_J =–40℃ ～ 150℃、V_{IN} = 13.5V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、1mΩ < C_{OUT}、ESR < 2Ω および C_{IN} = 1μF で規定 (特に記述のない限り)。

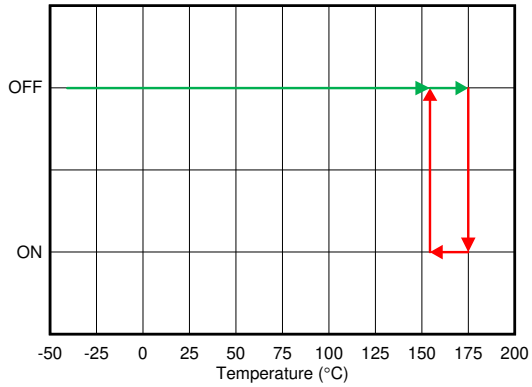


図 5-43. サーマル シャットダウン (新しいチップ)

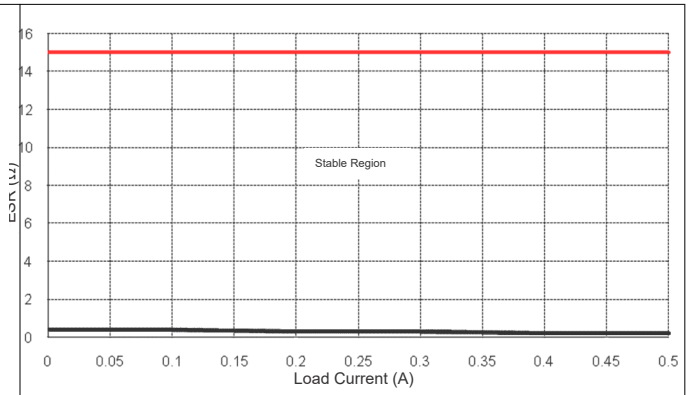


図 5-44. ESR 安定性と負荷電流との関係 (従来のチップ)

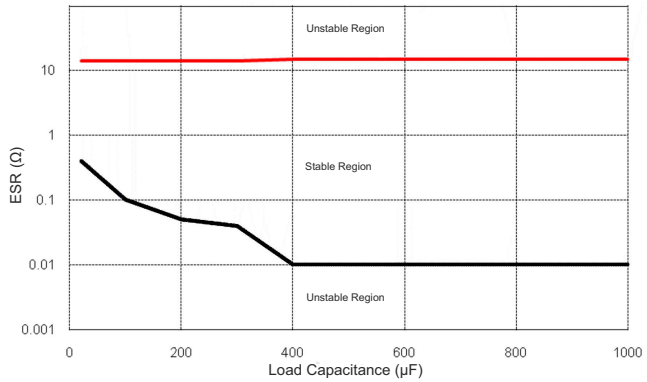


図 5-45. ESR 安定性と負荷容量との関係 (従来のチップ)

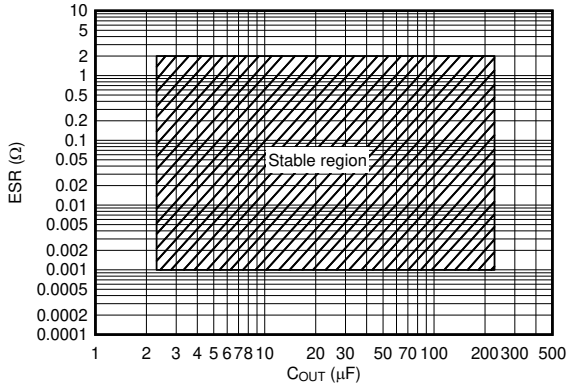


図 5-46. 安定性、ESR と C_{OUT} との関係 (新しいチップ)

6 パラメータ測定情報

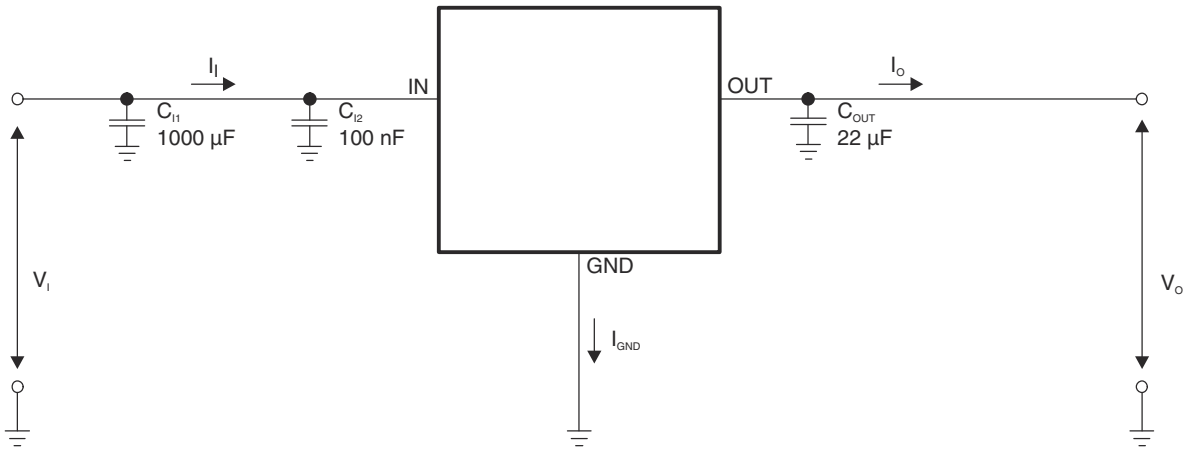


図 6-1. テスト回路

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TL720M05-Q1 は、過渡性能が向上した低ドロップアウト リニア レギュレータ (LDO) で、ラインまたは負荷条件の変化に対して迅速に応答できます。また、このデバイスは、斬新な出力オーバーシュート低減機能 (新しいチップ) も備えており、コールド クランク状況時に出力のオーバーシュートを最小限に抑えることができます。

通常動作時は、ライン、負荷、温度の全範囲にわたって誤差 ±2.0% の高い DC 精度を維持します。精度が向上することにより、敏感なアナログ負荷またはセンサに電力を供給できます。

TL720M05-Q1 は、出力における負荷短絡またはフォルト状態が発生した場合に、過温度保護および過電流保護機能を備えています。

7.2 機能ブロック図

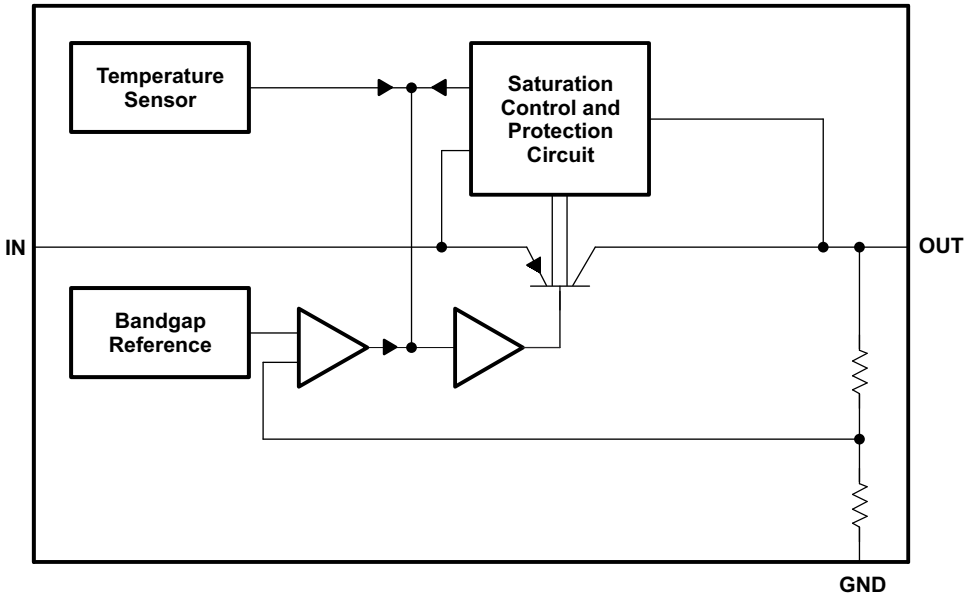


図 7-1. 機能ブロック図 (従来のチップ)

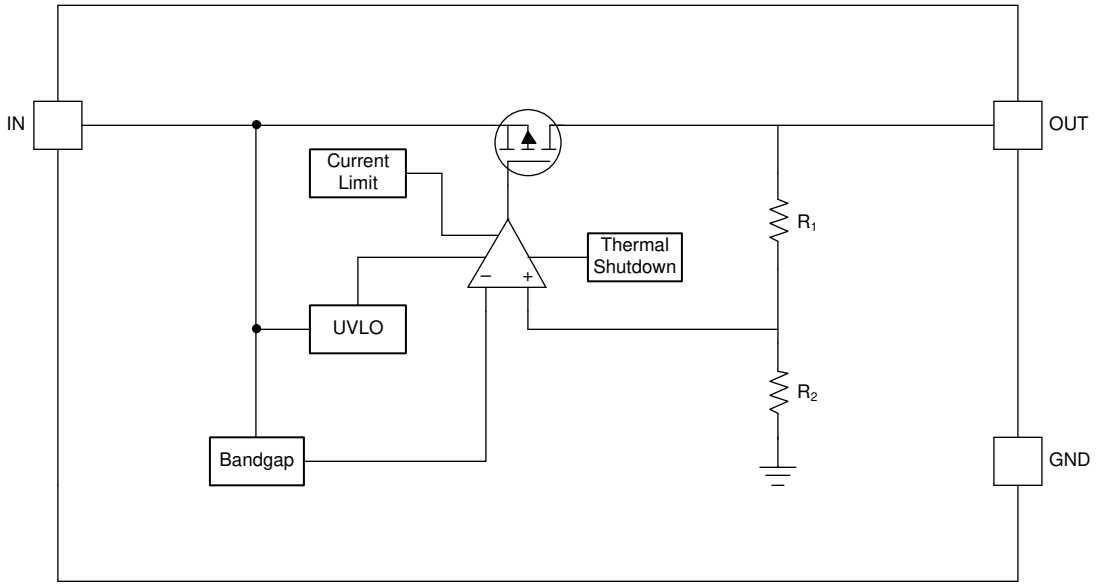


図 7-2. 機能ブロック図 (新しいチップ)

7.3 機能説明

7.3.1 低電圧誤動作防止

このデバイスは、入力電圧を監視する独立した低電圧ロックアウト (UVLO) 回路を備えており、出力電圧のオンおよびオフを制御された一定の動作で行えるようにします。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には、*電気的特性 (KVU パッケージ専用)* 表に規定されているヒステリシスがあります。

7.3.2 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いです。このため、サーマル シャットダウンに達した時点で、消費電力が低減するまで、デバイスはオンとオフを繰り返します。スタートアップ時の消費電力は、デバイス両端での大きな V_{IN} - V_{OUT} 電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*推奨動作条件*表に記載された最大値に制限します。最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

7.3.3 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。I_{CL} は *電気的特性 (KVU パッケージ専用)* および「*電気的特性*(KTT パッケージのみ)」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイ

Copyright © 2025 Texas Instruments Incorporated

スは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーションノート*を参照してください。

図 7-3 は、電流制限の図を示しています。

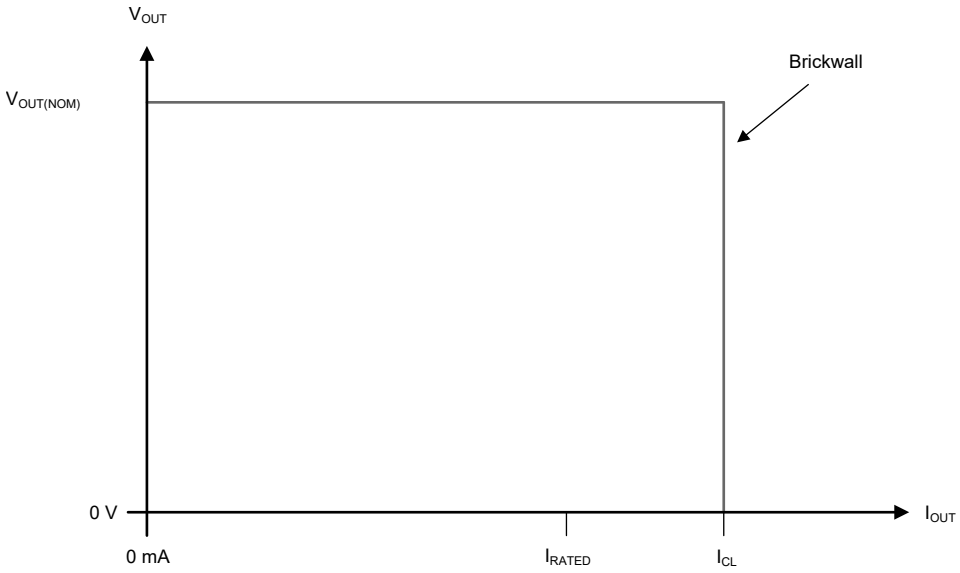


図 7-3. 電流制限

7.4 デバイスの機能モード

表 7-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、セクション 5.5 および セクション 5.6 の表を参照してください。

表 7-1. デバイスの機能モードの比較

動作モード	パラメータ		
	V_{IN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	該当なし	$T_J > T_{SD(shutdown)}$

7.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

7.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。ドロップアウトモードでは、出力電圧は入力電圧に追従します。ドロップアウトモードでは、デバイスの過渡性能が大きく低下します。ドロップアウトモードの間、パス トランジスタはオーム領域または三極管領域にあり、スイッチとして機能します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

デバイスが定常ドロップアウト状態であるとき、パス トランジスタは完全にオンに駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合を指しますが、スタートアップ中は*異なります*。ドロップアウトは、$V_{IN} < V_{OUT(NOM)} + V_{DO}$ のときに発生します。入力電圧の値が $V_{OUT(NOM)} + V_{DO}$ 以上に戻ると、出力電圧が短時間オーバーシュートする可能性があります。$V_{OUT(NOM)}$ は公称出力電圧、V_{DO} はドロップアウト電圧です。ドロップアウトからの回復時に、デバイスはパストランジスタを線形領域へ引き戻します。

7.4.3 ディセーブル

入力電圧を UVLO 立ち下がりスレッショルド未満に強制的に下げて、デバイスの出力をシャットダウンします (*電気的特性 (KVU パッケージ専用)* 表を参照)。ディセーブルになると、パス トランジスタはオフになり、内部回路がシャットダウンします。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

エンド アプリケーションに基づき、異なる値の外付け部品を使用できます。場合によっては、リセットを防止するために、高速負荷変動時により大きな出力コンデンサが必要となることがあります。負荷過渡応答を向上させるために、タイプ X5R または X7R の誘電体を使用した低 ESR のセラミック コンデンサを使用してください。

8.1.1 入力および出力コンデンサの選択

8.1.1.1 従来のチップ コンデンサの選択

入力コンデンサ (C_{IN}) によりラインの変動が補償されます。C_{IN} と直列に約 1Ω の抵抗を使用すると、入力誘導率と入力容量の発振が減衰します。出力コンデンサ (C_{OUT}) により、レギュレーション回路が安定化されます。出力は、動作温度範囲内の C_{OUT} ≥ 22µF および ESR ≤ 5Ω で安定します。

8.1.1.2 新しいチップ用出力コンデンサ

TL720M05-Q1 の新しいチップ バージョンの安定性のためには、2.2µF 以上の出力コンデンサ (1µF 以上の容量) を必要とします。0.001Ω～2Ω の等価直列抵抗 (ESR) も必要となります。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力容量は 220µF です。

8.1.1.3 新しいチップ用入力コンデンサ

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広範囲の周波数にわたってハイインピーダンスの場合は、複数の入力コンデンサを並列に使用して、全周波数帯域のインピーダンスを低減します。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

8.1.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、V_{IN} - V_{OUT} として定義されます。V_{IN} は入力電圧、V_{OUT} は出力電圧、I_{RATED} は 推奨動作条件 表に記載されている最大 I_{OUT} です。この動作ポイントで、パス トランジスタは完全にオンに駆動されます。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

8.1.3 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく、パス トランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \leq V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。

8.1.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、PCB 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲のプリント回路基板 (PCB) 領域には、熱ストレスを増大させるその他の発熱デバイスが、ほとんどまたは全く配置されていないことを確認してください。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

注

電力損失を最小限に抑え、より高い効率を得るために、システム電圧レールを正しく選択してください。電力損失を最小限にするには、出力が適正にレギュレーションされるのに必要な最小入力電圧を使用してください。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。パッド領域に、熱を追加の銅プレーンへ伝導して放熱を高めるためのメッキされたビアの配列が含まれていることを確認してください。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。消費電力と接合部温度は、ほとんどの場合、PCB とデバイスの組み合わせパッケージの $R_{\theta JA}$ と周囲温度 (T_A) によって関係付けられます。$R_{\theta JA}$ は接合部から周囲への熱抵抗です。式 3 はこの関係を計算します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、$R_{\theta JA}$ は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。*熱に関する情報* 表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔面積によって決まります。この抵抗は、パッケージの熱性能の相対的な測定値として使用されます。

8.1.4.1 放熱性能と銅の面積との関係

最もよく使用される熱抵抗パラメータ $R_{\theta JA}$ は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、$R_{\theta JA}$ は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。$R_{\theta JA}$ は セクション 5.4 表に記載されていますが、これは JEDEC 標準 (図 8-1 を参照)、PCB、および銅の拡散面積に基づいて決定された値です。$R_{\theta JA}$ は、パッケージの熱性能の相対的な測定値としてのみ使用されます。適切に設計された熱レイアウトの場合、$R_{\theta JA}$ は、$R_{\theta JCbot}$ と PCB 銅による熱抵抗の寄与を和したものとなります。$R_{\theta JCbot}$ は、パッケージの接合部からケース (底面) までの熱抵抗です。

Copyright © 2025 Texas Instruments Incorporated

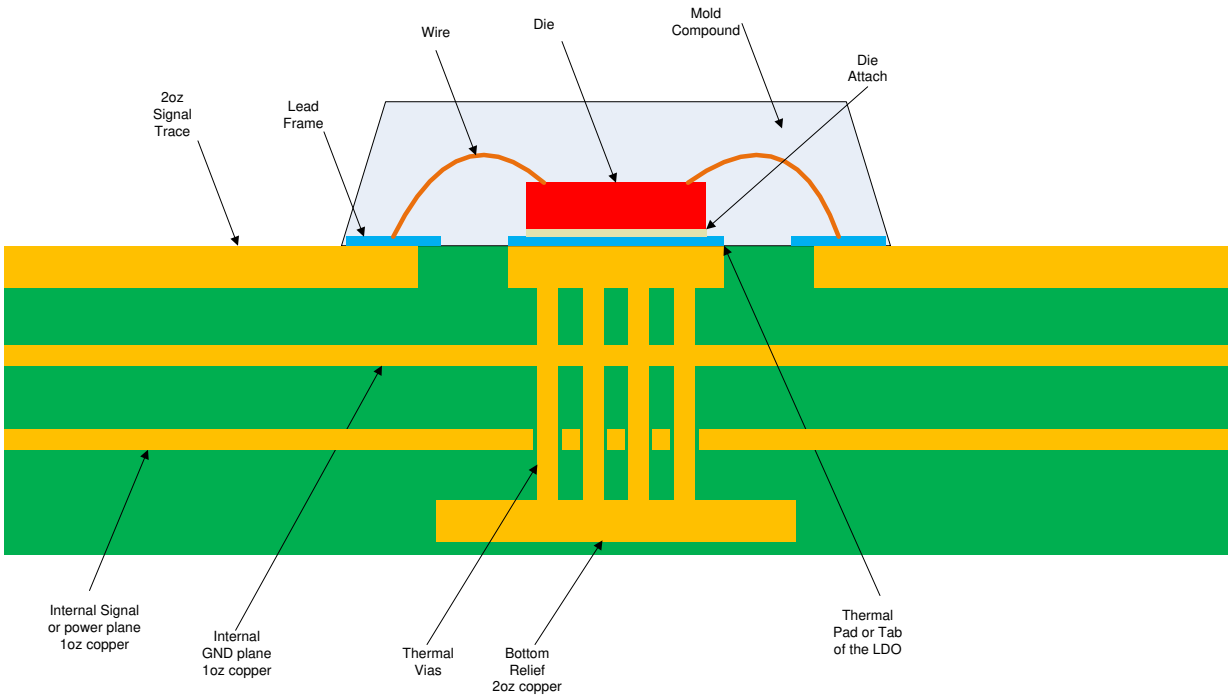


図 8-1. JEDEC 規格 2s2p PCB

図 8-2 および 図 8-3 は、銅面積および厚さに対する $R_{\theta JA}$ および ψ_{JB} の機能を示します。これらのプロットは、101.6mm × 101.6mm × 1.6mm の PCB で 2 層および 4 層を使用して生成したものです。4 層基板の場合、内側のプレーンでは 1 オンスの銅箔厚を使用します。外層は、1 オンスおよび 2 オンスの銅厚でシミュレーションしています。300µm のドリル直径と 25µm の銅めっきを持つ 3 × 4 (KVU パッケージ) のサーマル ビア配列がデバイスのサーマル パッドの下に配置されています。サーマル ビアは、最上層と最下層、また 4 層基板の場合は最初の内部 GND プレーンを接続しています。各層には、同じ面積の銅プレーンがあります。

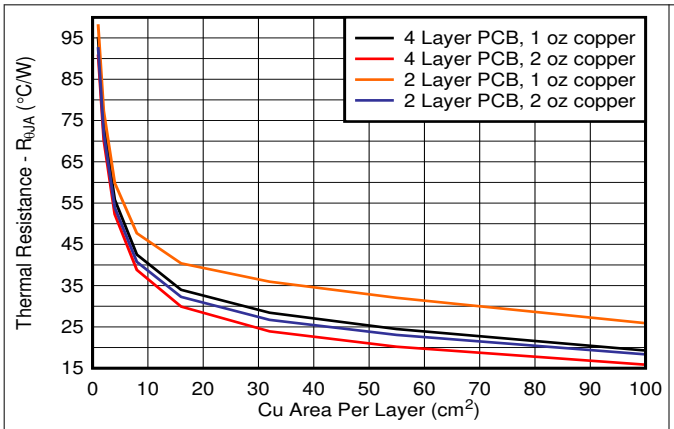


図 8-2. $R_{\theta JA}$ と銅の面積との関係 (KVU パッケージ)

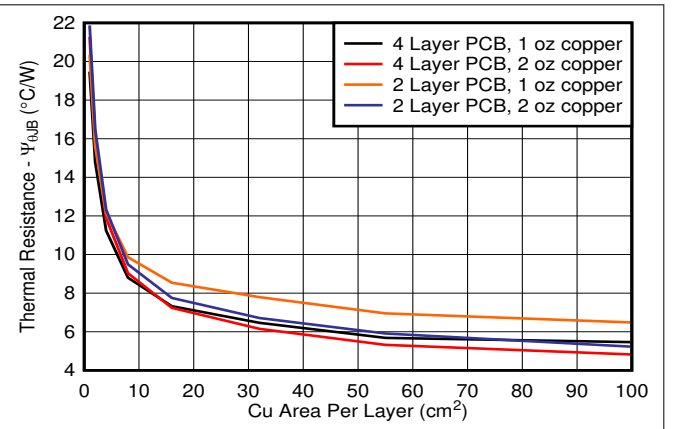


図 8-3. ψ_{JB} と銅の面積との関係 (KVU パッケージ)

8.1.4.2 消費電力と周囲温度との関係

図 8-4 は、JESD51-7 4 層 high-K 基板をベースとしています。式 4 で、許容消費電力を推定します。上層の銅箔を追加し、サーマルビアの数を増やすことで、JEDEC high-K レイアウトの熱放散を向上させます。「*熱性能に対する基板レイアウトが LDO の影響に関する実証的分析*」アプリケーション ノートを参照してください。適切な熱レイアウトを使用すると、許容される熱放散が最大 50% 向上します。

$$T_A + R_{\theta JA} \times P_D \leq 150°C \quad (4)$$

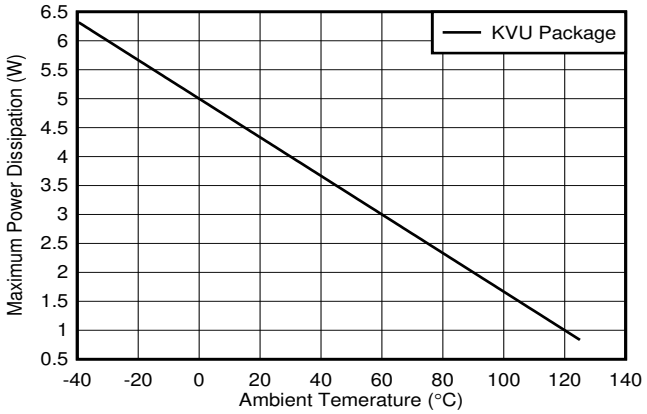


図 8-4. TL720M05-Q1 許容消費電力

8.1.5 推定接合部温度

JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「*熱に関する情報*」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (5)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (6)$$

ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、*『半導体および IC パッケージの熱指標』アプリケーション ノート*を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2 代表的なアプリケーション

図 8-5 に、TL720M05-Q1 の代表的なアプリケーション回路を示します。

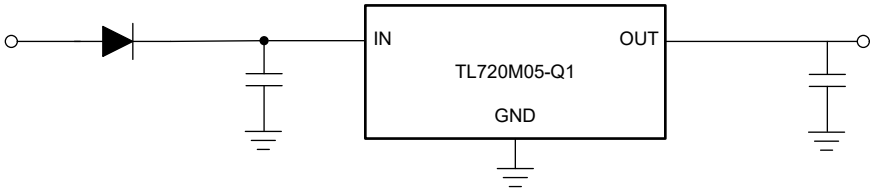


図 8-5. 代表的なアプリケーション図 (新しいチップ)

8.2.1 設計要件

この設計例では、表 8-1 の設計パラメータを使用します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	4V ～ 40V
出力電圧	5V
出力電流定格	400mA
出力コンデンサ範囲	10µF～200µF

8.2.2 詳細な設計手順

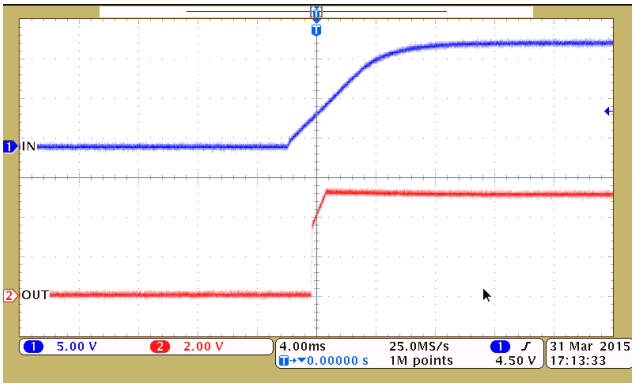
8.2.2.1 入力コンデンサ

デバイスには入力デカップリング コンデンサが必要で、その値はアプリケーションによって異なります。デカップリング コンデンサの代表的推奨値は 1µF です。電圧定格は、最大入力電圧を上回っていることを確認してください。

8.2.2.2 出力コンデンサ

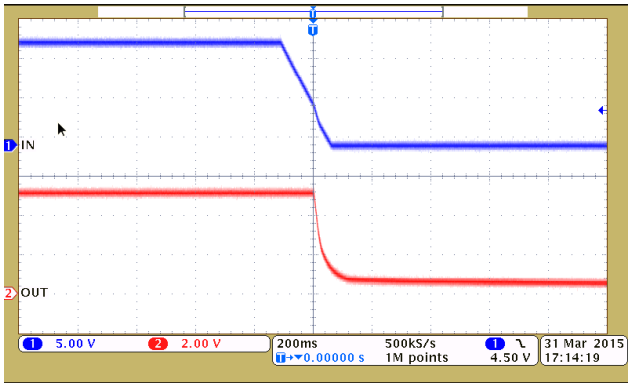
デバイス (新しいチップ) には、出力電圧の安定化のため出力コンデンサが必要です。新コンデンサの値は 2.2µF～200µF で、ESR の範囲は 1mΩ～2Ω であることを確認してください。この設計では、過渡性能を向上させるために低 ESR の 10µF セラミック コンデンサを使用してください。

8.2.3 アプリケーション曲線



チャネル 1:V_{IN}、チャンネル 2:V_{OUT}

図 8-6. 電源立ち上がり波形 (負荷 = 50mA) (従来チップ)



チャネル 1:V_{IN}、チャンネル 2:V_{OUT}

図 8-7. 電源立ち下がり波形 (負荷 = 50mA) (従来チップ)

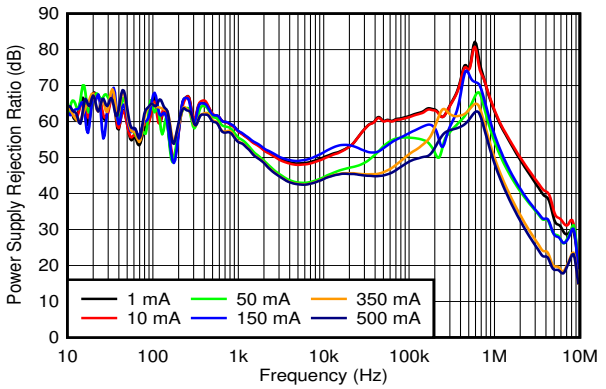
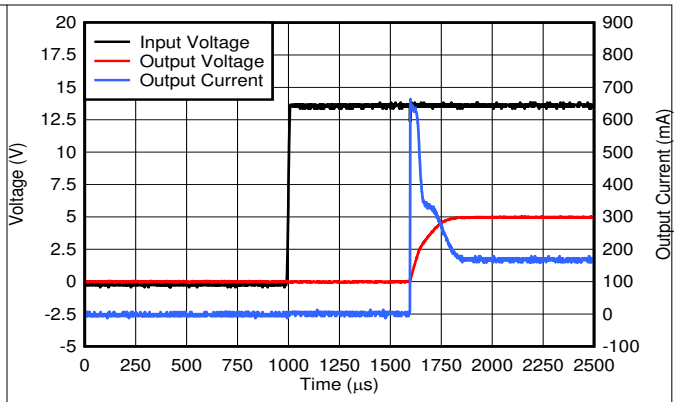


図 8-8. 電源リップル除去と周波数と I_{OUT} との関係 (新しいチップ)



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

図 8-9. 起動時の突入電流プロット (新しいチップ)

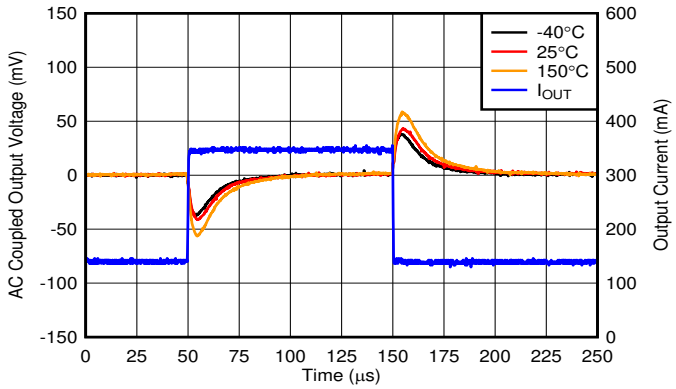


図 8-10. 負荷過渡応答 (新しいチップ)

8.3 電源に関する推奨事項

このデバイスは、4V～40V の入力電圧電源で動作するように設計されています。この入力電源が十分に安定化されていることを確認してください。入力電源は、TL720M05-Q1 から数インチ以上離して配置しないでください。この配置が避けられない場合は、入力に 22µF の電解コンデンサとセラミックバイパスコンデンサを追加してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

全体の性能を最適化するために、すべての回路部品は回路基板の同じ面に配置します。回路部品は、可能な限り各 LDO ピンの接続部の近くに配置します。グランド復帰コンデンサを入力／出力コンデンサ、および LDO のグランドピンにできるだけ近づけて接続します。接続には、部品面の広い銅箔パターンを使用してください。入力および出力コンデンサにビアと長いパターンを使用しないことが強く推奨されます。これにより、システム性能に悪影響が出ます。グランド基準プレーンを PCB に埋め込むか、またはコンポーネントの反対側 (PCB の底面側) に配置してください。基準プレーンは出力電圧精度とノイズのシールドを提供します。このプレーンは、サーマル パッドに接続することで、LDO デバイスからの熱を拡散 (または吸収) するサーマル プレーンと同様の働きもします。ほとんどの用途では、熱要件を満たすためにグランドプレーンが必要です。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

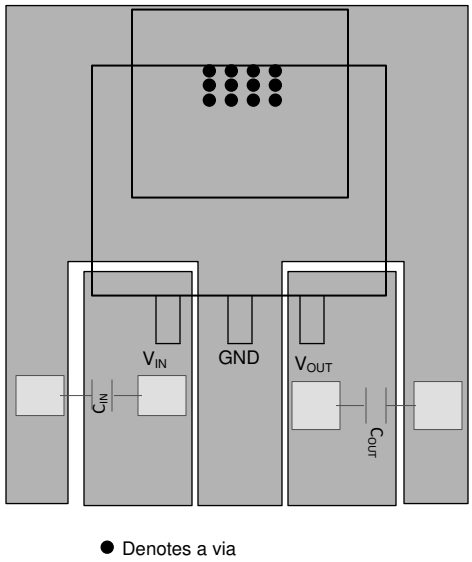


図 8-11. KVU、KTT パッケージのレイアウト例図

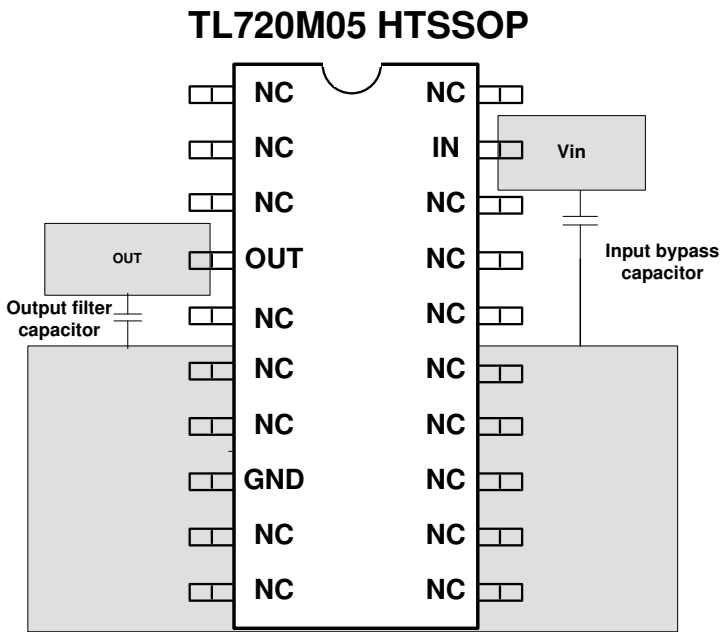


図 8-12. PWP パッケージのレイアウト例図 (従来のチップ)

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 評価基板

TLV709 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。MLTLDO2EVM 評価基板 (および関連するユーザー ガイド) は、テキサス・インスツルメンツの Web サイトにある製品フォルダで請求してください。

9.1.2 デバイスの命名規則

表 9-1. デバイスの命名規則

製品(1)	V_{OUT}
TL720M05**Q xxx**R**Q1**	**xxx** はパッケージ指定です (たとえば、KVU = TO-252、KTT = DDPAK/TO-263、PWP = HTSSOP)。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。 **Q1** は、車載グレード (AEC-Q100) デバイスであることを表すものです。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

9.1.3 開発サポート

PSpice® モデルについては、テキサス・インスツルメンツ、「*TPS7B88-Q1 PSpice トランジェントモデル (5V 出力) シミュレーションモデル*」を参照してください

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、「*熱性能に対する基板レイアウト が LDO の影響に関する実証的分析*」アプリケーション ノート
- テキサス インスツルメンツ、「*制限について*」アプリケーション ノート
- テキサス・インスツルメンツ、「*LDO ジェネレータ回路*」アプリケーション ノート
- テキサス インスツルメンツ、「*LDO PSRR 測定の概略図*」アプリケーション ノート
- テキサス インスツルメンツ、*MLTLDO2EVM-037 EVM ユーザー ガイド*
- テキサス インスツルメンツ、「*半導体および IC パッケージの熱評価基準*」アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2025 Texas Instruments Incorporated

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (May 2024) to Revision J (August 2025)	Page
• 新しいチップの出力電圧精度を削除	1
• 新しいチップの低ドロップアウト電圧を削除	1
• 軽負荷時の静止電流のデータを削除	1
• 通常動作時の DC 精度を更新：±1.15% から：ドキュメント全体を通して ±2.0%	1
• 更新前：電気的特性に：電気的特性 (KVU パッケージ専用)	5
• 電気的特性 (KTT パッケージ専用) セクションを追加	6

Changes from Revision H (November 2014) to Revision I (May 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 現在のファミリのフォーマットに合わせてドキュメント全体を変更	1
• ドキュメントに M3 デバイスを追加	1
• *「製品情報」表のパッケージ サイズ*の値を変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL720M05GQKVURQ1	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05GQKVURQ1.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05GQKVURQ1M3	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05GQKVURQ1M3.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKTTRM3Q1	Active	Production	DDPAK/ TO-263 (KTT) | 3	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	T720M05Q
TL720M05QKTTRQ1	Active	Production	DDPAK/ TO-263 (KTT) | 3	500 | SMALL T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	T720M05Q
TL720M05QKTTRQ1.A	Active	Production	DDPAK/ TO-263 (KTT) | 3	500 | SMALL T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	T720M05Q
TL720M05QKVURQ1	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKVURQ1.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKVURQ1M3	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKVURQ1M3.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QPWPRQ1	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QPWPRQ1.A	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720M05Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

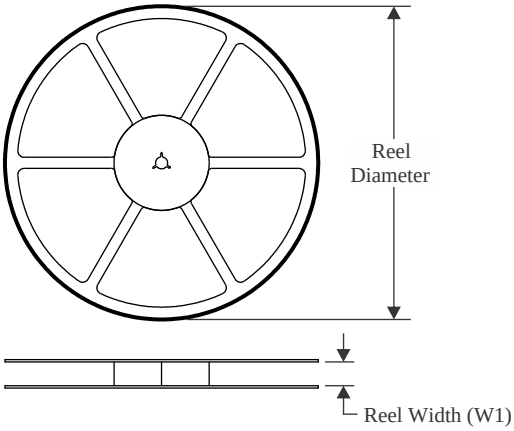
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

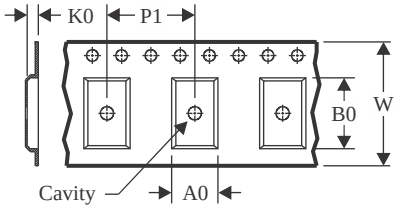
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

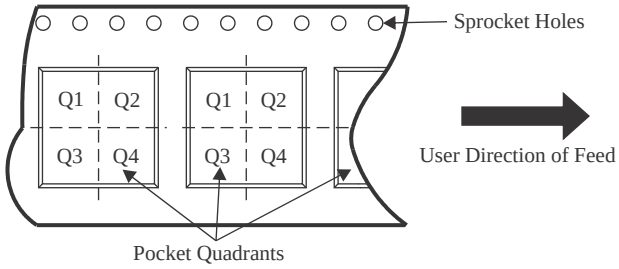


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

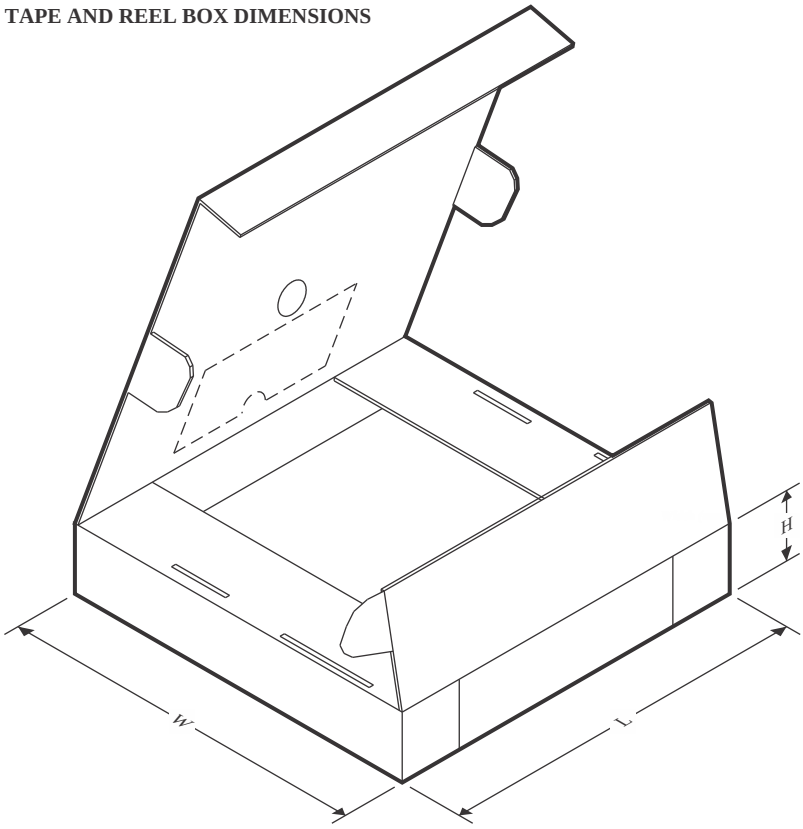
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL720M05GQKVURQ1	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05GQKVURQ1M3	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05QKTTRM3Q1	DDPAK/ TO-263	KTT	3	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TL720M05QKTTRQ1	DDPAK/ TO-263	KTT	3	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TL720M05QKVURQ1	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05QKVURQ1M3	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05QPWPRQ1	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

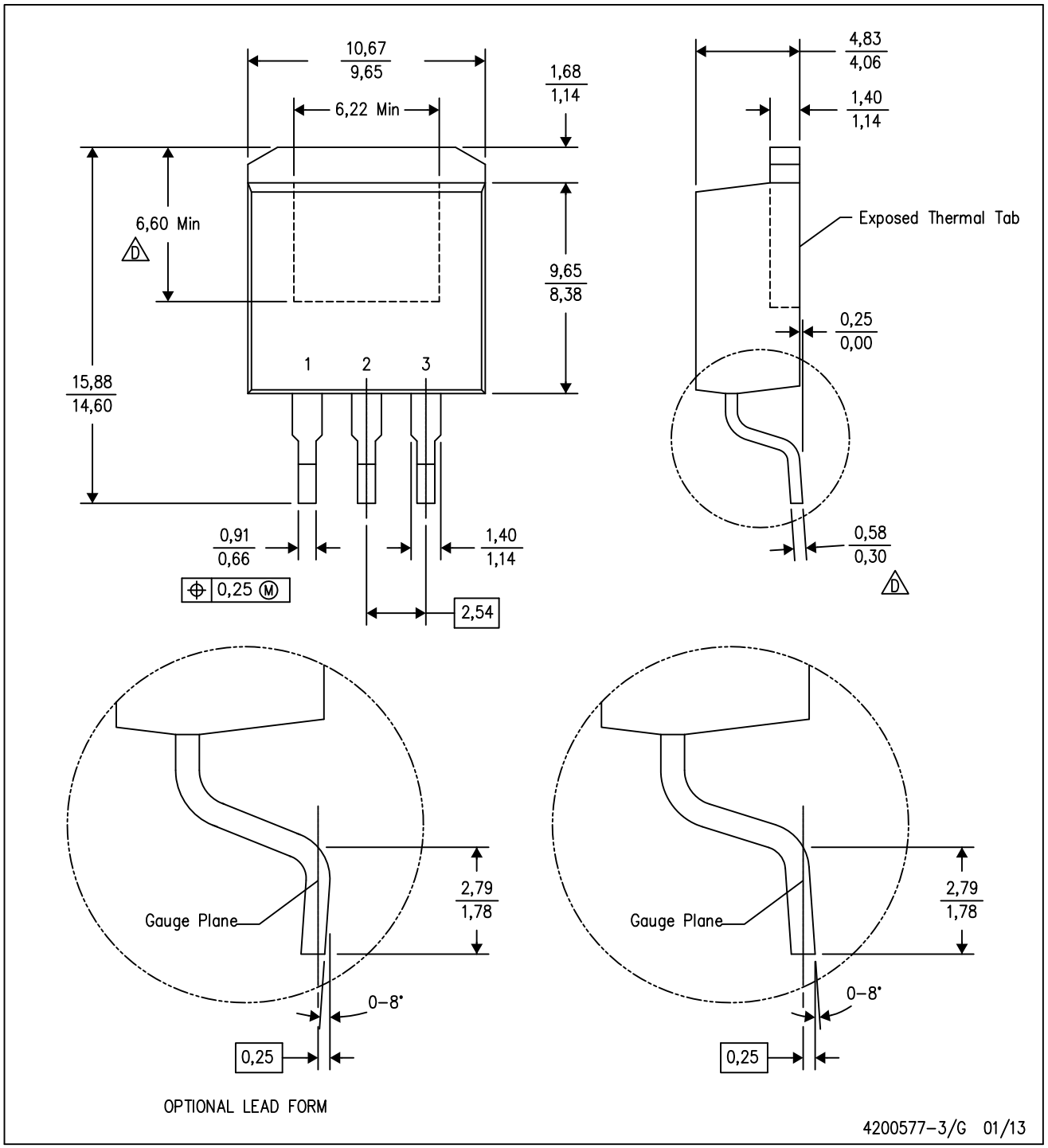
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

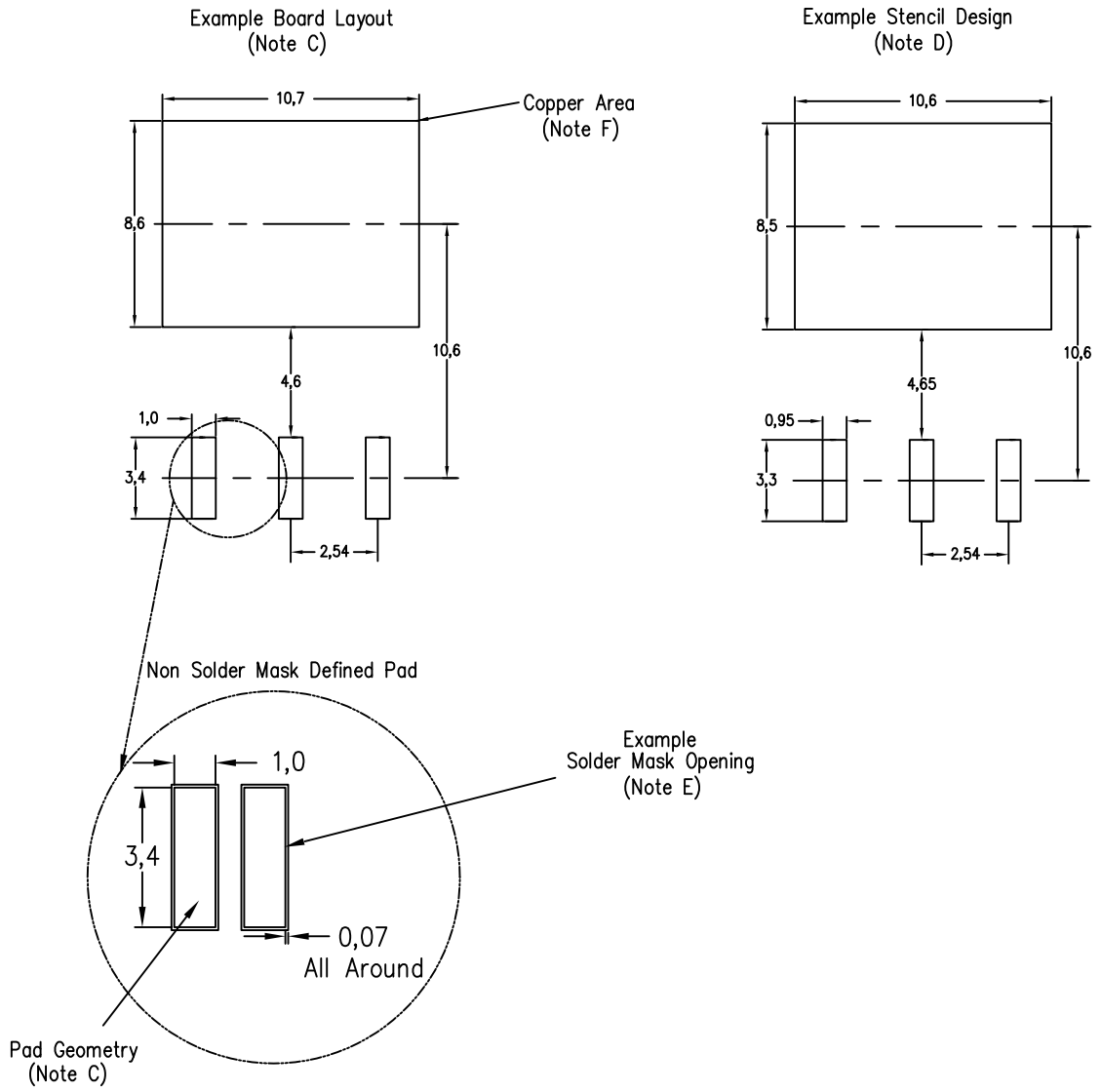
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL720M05GQKVURQ1	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05GQKVURQ1M3	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05QKTTRM3Q1	DDPAK/TO-263	KTT	3	500	340.0	340.0	38.0
TL720M05QKTTRQ1	DDPAK/TO-263	KTT	3	500	340.0	340.0	38.0
TL720M05QKVURQ1	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05QKVURQ1M3	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05QPWPRQ1	HTSSOP	PWP	20	2000	350.0	350.0	43.0

KTT (R–PSFM–G3) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash or protrusion not to exceed 0.005 (0,13) per side.
D. Falls within JEDEC TO–263 variation AA, except minimum lead thickness and minimum exposed pad length.

KTT (R–PSFM–G3) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
F. This package is designed to be soldered to a thermal pad on the board. Refer to the Product Datasheet for specific thermal information, via requirements, and recommended thermal pad size. For thermal pad sizes larger than shown a solder mask defined pad is recommended in order to maintain the solderable pad geometry while increasing copper area.

GENERIC PACKAGE VIEW

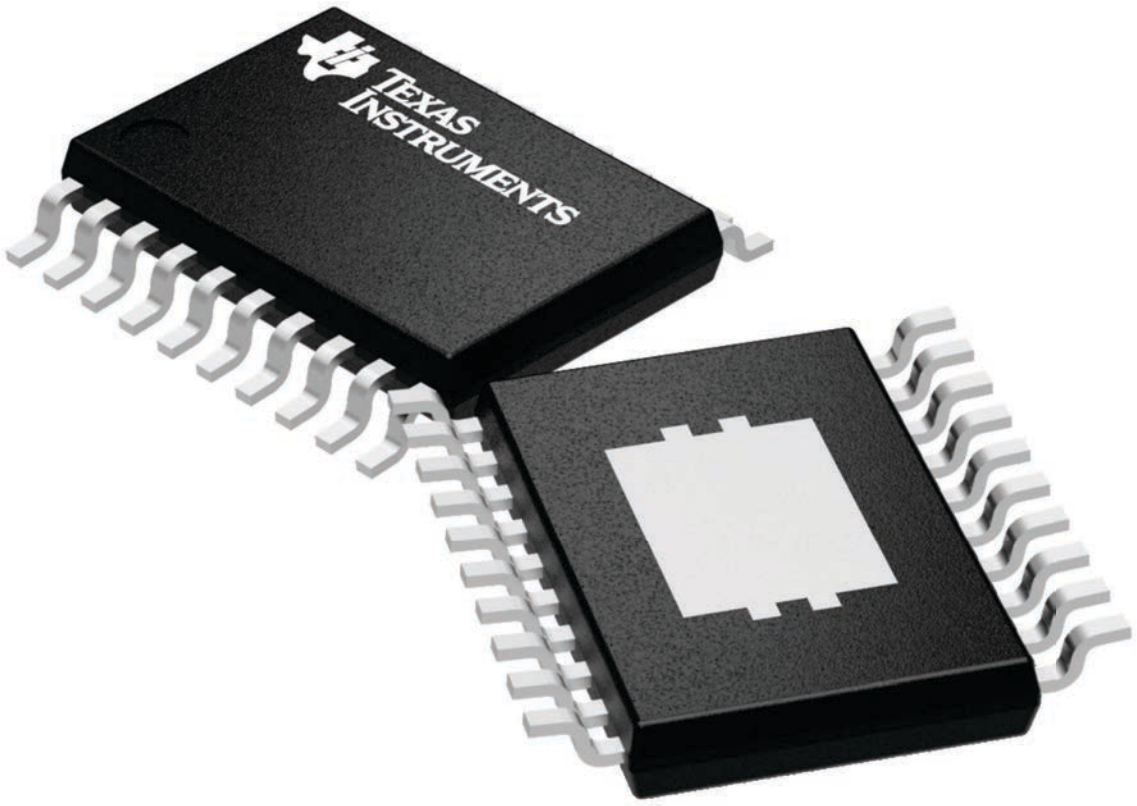
PWP 20

HTSSOP - 1.2 mm max height

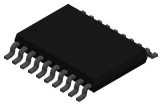
6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A

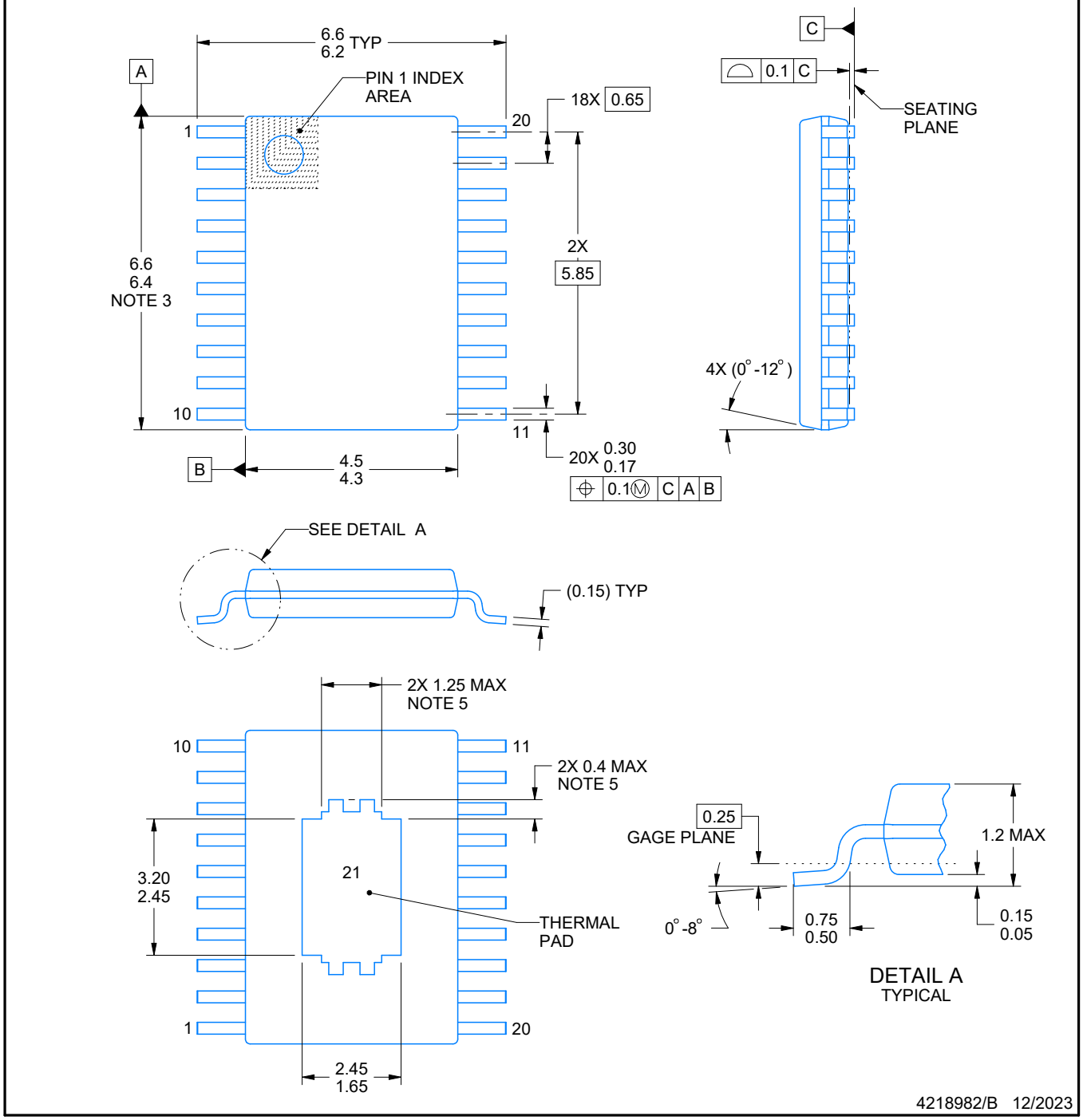


PACKAGE OUTLINE

PWP0020N

PowerPAD™ TSSOP - 1.2 mm max height

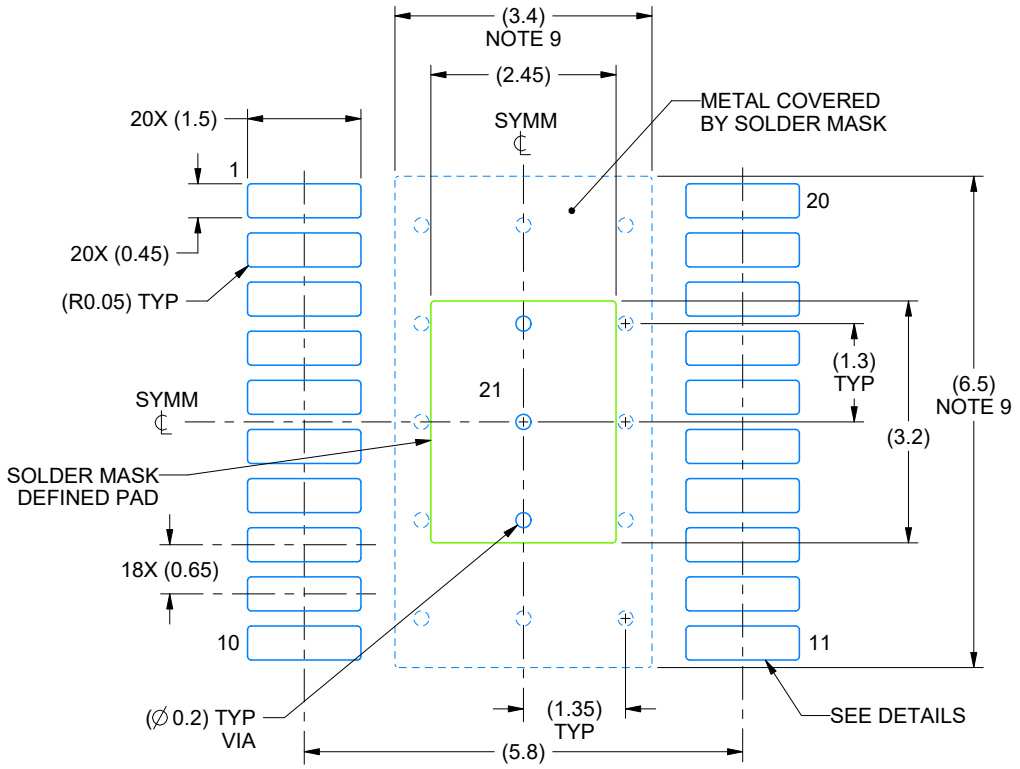
SMALL OUTLINE PACKAGE



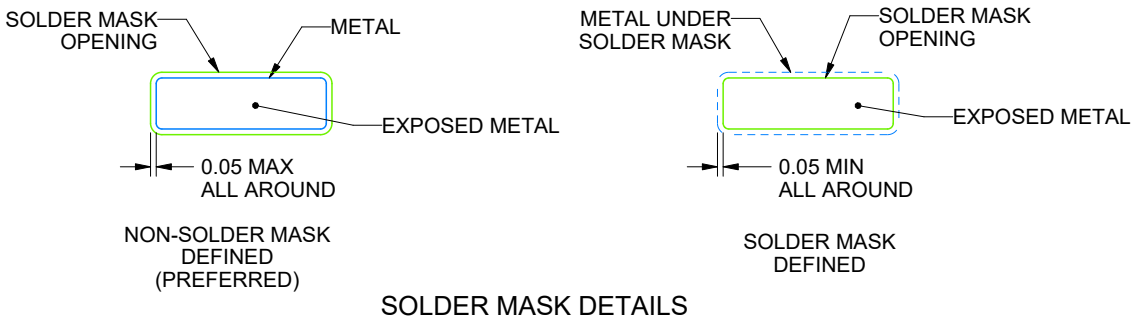
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

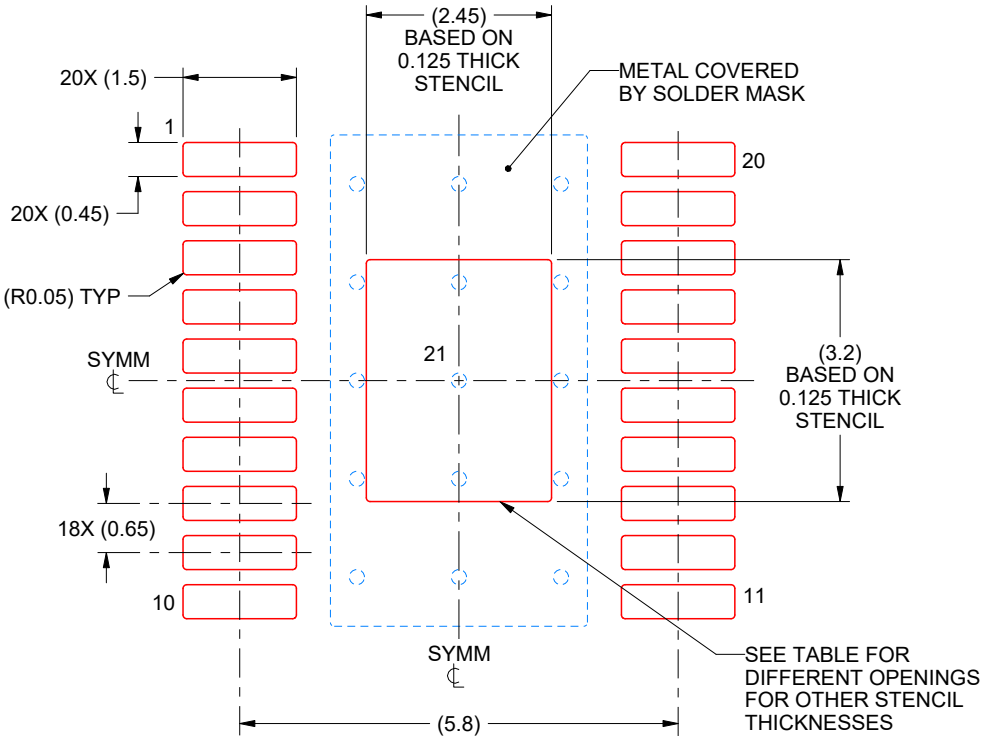


SOLDER MASK DETAILS

4218982/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.74 X 3.58
0.125	2.5 X 3.2 (SHOWN)
0.15	2.24 X 2.92
0.175	2.07 X 2.70

4218982/B 12/2023

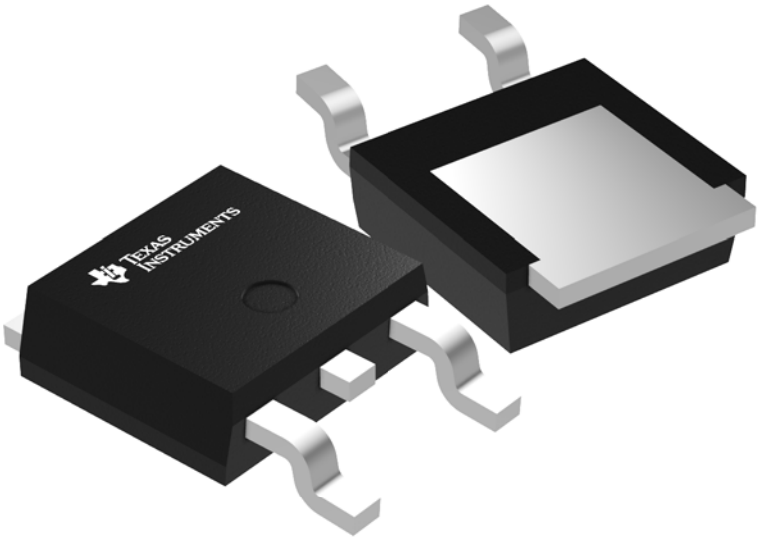
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

KVU 3

TO-252 - 2.52 mm max height

TRANSISTOR OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

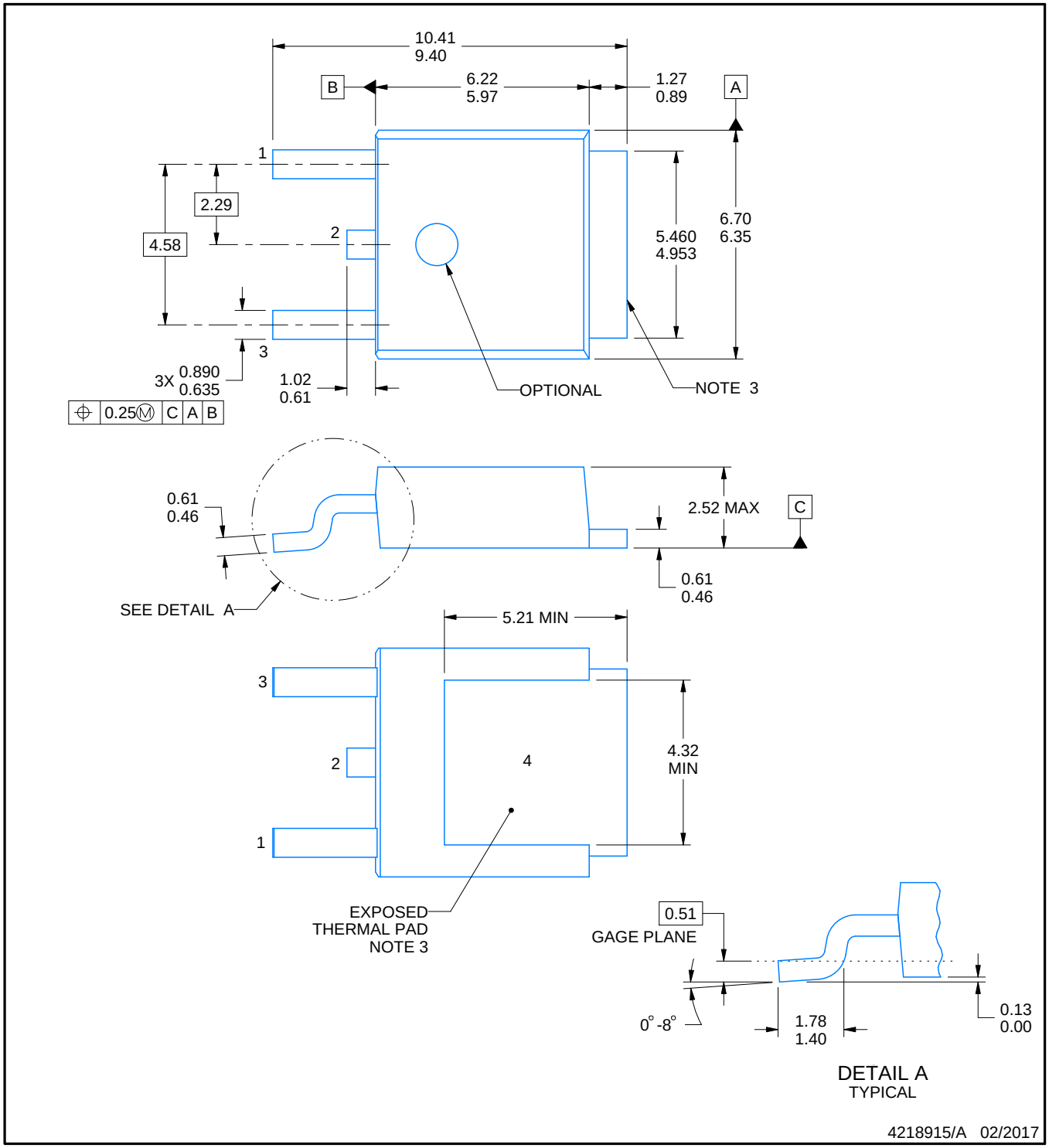


PACKAGE OUTLINE

KVU0003A

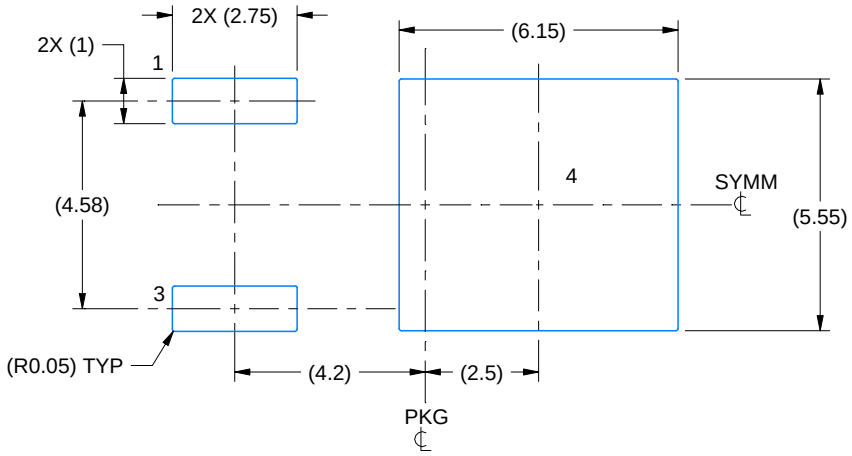
TO-252 - 2.52 mm max height

TO-252

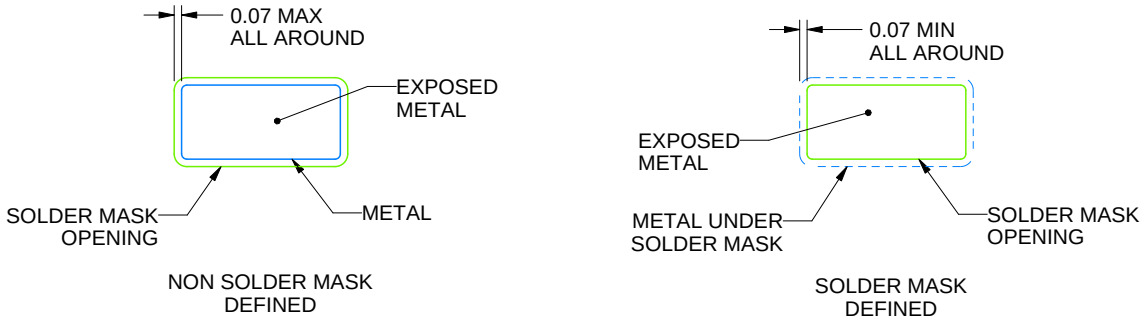


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Shape may vary per different assembly sites.
4. Reference JEDEC registration TO-252.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4218915/A 02/2017

NOTES: (continued)

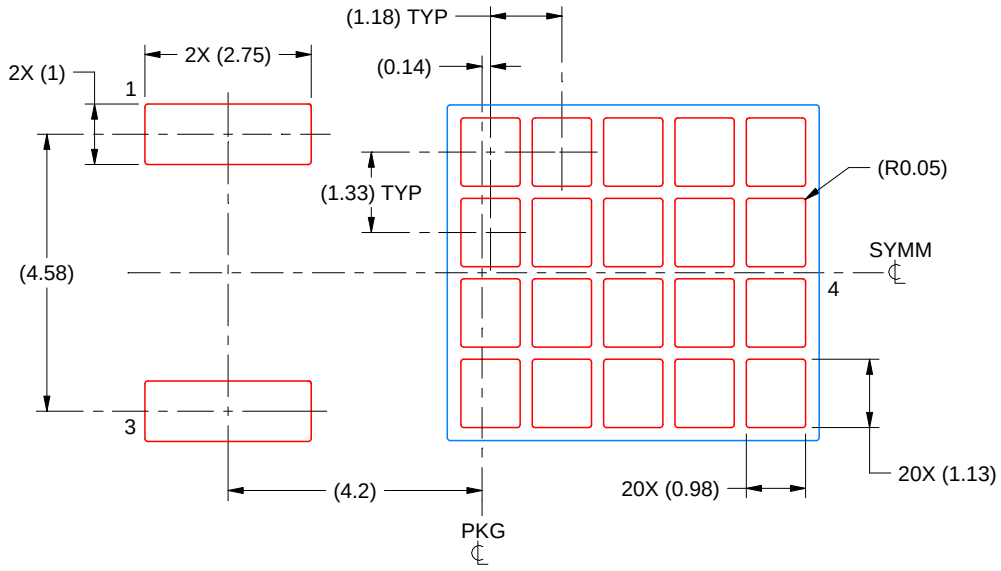
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002(www.ti.com/lit/slm002) and SLMA004 (www.ti.com/lit/slma004).
6. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

KVU0003A

TO-252 - 2.52 mm max height

TO-252



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
65% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

4218915/A 02/2017

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月