TL97x 出力レール ツー レール超低ノイズ オペアンプ

1 特長

- レール ツー レールの出力電圧スイング:
  ±2.4V、V_{CC} = ±2.5V の場合
- 超低ノイズ レベル:4nV/√Hz
- 動作範囲:2.7V ～ 12V

2 アプリケーション

- 携帯機器:
  - 音楽プレーヤ
  - タブレット
  - 携帯電話
- 計測機器とセンサ
- プロフェッショナル オーディオ回路

3 説明

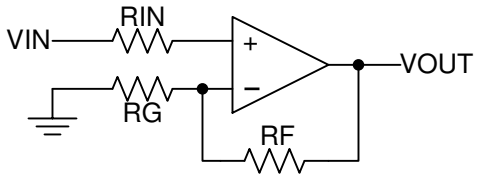
TL97x ファミリのシングル、デュアル、クワッド の各オペアンプは、最低 ±1.35V の電圧で動作し、出力レール ツー レールの信号スイングに対応しています。TL97x は、携帯機器やバッテリ駆動機器に実用的な特性を備えています。これらのデバイスは、超低ノイズおよび低歪みという特性により、オーディオ プリアンプにとって実用的です。

TL971 は省スペースの 5 ピン SOT-23 パッケージに収容されており、どこにでも配置できるため (外寸は 2.9mm × 1.6mm)、基板設計を簡素化できます。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TL971	D (SOIC、8)	4.90mm × 6.00mm
TL972	P (PDIP、8)	9.81mm × 9.43mm
	D (SOIC、8)	4.90mm × 6.00mm
	PW (TSSOP、8)	3.00mm × 6.40mm
	DGK (VSSOP、8)	3.00mm × 4.90mm
TL974	N (PDIP、14)	19.30mm × 9.40mm
	D (SOIC、14)	8.65mm × 6.00mm
	PW (TSSOP、14)	5.00mm × 6.40mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

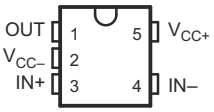
目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD レーティング、古いダイ ... 4
5.3 ESD レーティングの新しいダイ ... 4
5.4 推奨動作条件 ... 4
5.5 熱に関する情報 ... 5
5.6 電気的特性 ... 6
5.7 代表的特性 ... 7
6 詳細説明 ... 11
6.1 概要 ... 11
6.2 機能説明 ... 11
6.3 デバイスの機能モード ... 11
7 アプリケーションと実装 ... 12
7.1 代表的なアプリケーション ... 12
7.2 電源に関する推奨事項 ... 12
7.3 レイアウト ... 13
8 デバイスおよびドキュメントのサポート ... 14
8.1 サード・パーティ製品に関する免責事項 ... 14
8.2 ドキュメントの更新通知を受け取る方法 ... 14
8.3 サポート・リソース ... 14
8.4 商標 ... 14
8.5 静電気放電に関する注意事項 ... 14
8.6 用語集 ... 14
9 改訂履歴 ... 15
10 メカニカル、パッケージ、および注文情報 ... 15

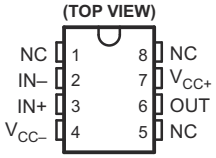
Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

TL971...DBV PACKAGE (TOP VIEW)

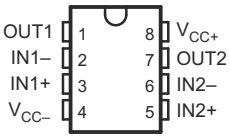


TL971...D PACKAGE (TOP VIEW)

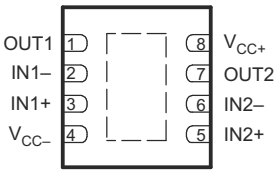


NC – No internal connection

TL972...D, DGK, P, OR PW PACKAGE (TOP VIEW)



TL972...DRG PACKAGE (TOP VIEW)



TL974...D, N, OR PW PACKAGE (TOP VIEW)

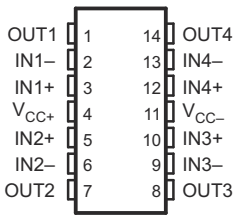


表 4-1. ピンの機能

ピン						タイプ(1)	説明
名称	TL971	TL971	TL972		TL974		
	DBV	D	D、DGK、P、PW	DRG	D、N、PW		
IN+	3	3	—	—	—	I	非反転入力
IN-	4	2	—	—	—	I	反転入力
IN1+	—	—	3	3	3	I	非反転入力
IN1–	—	—	2	2	2	I	反転入力
IN2+	—	—	5	5	5	I	非反転入力
IN2–	—	—	6	6	6	I	反転入力
IN3+	—	—	—	—	10	I	非反転入力
IN3–	—	—	—	—	9	I	反転入力
IN4+	—	—	—	—	12	I	非反転入力
IN4–	—	—	—	—	13	I	反転入力
NC	—	1 5 8	—	—	—	—	接続なし
OUT	1	6	—	—	—	O	出力
OUT1	—	—	1	1	1	O	出力
OUT2	—	—	7	7	7	O	出力
OUT3	—	—	—	—	8	O	出力
OUT4	—	—	—	—	14	O	出力
VCC+	5	7	8	8	4	—	正電源
VCC-	2	4	4	4	11	—	負電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	電源電圧範囲	2.7	15	V
V_{ID}	差動入力電圧(2)		±1V	V
V_{IN}	入力電圧範囲(3)	V_{CC-} – 0.3	V_{CC+} + 0.3	V
T_J	最大接合部温度		150	°C
T_{stg}	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動電圧は、反転入力端子を基準として測定した非反転入力端子の電圧です。
(3) 入力および出力電圧は、V_{CC} + 0.3V を超えてはいけません。

5.2 ESD レーティング、古いダイ

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 ESD レーティングの新しいダイ

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.4 推奨動作条件

		最小値	最大値	単位
V_{CC}	電源電圧	2.7	12	V
V_{ICM}	同相入力電圧	V_{CC-} + 1.15	V_{CC+} –1.15	V
T_A	自由空気での動作温度	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.5 熱に関する情報

熱評価基準(1)		TL971		TL972					TL974			単位
		D(2)	DBV(2)	D(2)	DGK(3)	DRG(3)	P(2)	PW(2)	D(2)	N(2)	PW(2)	
		8 ピン	5 ピン	8 ピン					14 ピン			
$R_{\theta JA}$	パッケージの熱インピーダンス、接合部から自由気流	97	206	97	172	44	85	149	86	80	113	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。SPRA953
(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。
(3) パッケージの熱インピーダンスは、JESD 51-5 に従って計算しています。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性

V_{CC+} = 2.5V、$V_{CC–}$ = –2.5V、フルレンジ T_A = –40℃ ～ 125℃ (特に記述のない限り)

パラメータ		テスト条件	T_A	最小値	標準値	最大値	単位
V_{IO}	入力オフセット電圧		25°C		±0.21	4	mV
			フルレンジ			6	
αV_{IO}	入力オフセット電圧ドリフト	V_{ICM} = 0V、V_O = 0V	25°C		±0.25		µV/°C
I_{IO}	入力オフセット電流	V_{ICM} = 0V、V_O = 0V	25°C		±0.01	150	nA
I_{IB}	入力バイアス電流	V_{ICM} = 0V、V_O = 0V	25°C		±0.01	750	nA
			フルレンジ			1000	
V_{ICM}	同相入力電圧		25°C	-1.35		1.35	V
CMRR	同相信号除去比	V_{ICM} = ±1.35V	25°C	60	90		dB
SVR	電源電圧除去比	V_{CC} = ±2V～±3V	25°C	60	70		dB
A_{VD}	大信号電圧ゲイン	R_L = 2kΩ	25°C	70	125		dB
V_{OH}	High レベル出力電圧	R_L = 2kΩ	25°C	2	2.4		V
V_{OL}	Low レベル出力電圧	R_L = 2kΩ	25°C		-2.4	-2	V
I_{source}	出力ソース電流		25°C	1.2	65(1)		mA
I_{sink}	出力シンク電流		25°C	50	-65(1)		mA
I_{CC}	電源電流 (アンプごと)	ユニティゲイン、無負荷	25°C		2.48	2.8	mA
			フルレンジ			3.2	
GBWP	ゲイン帯域幅積	f = 100kHz、R_L = 2kΩ、C_L = 100pF	25°C		10.6		MHz
Φm	ユニティ ゲインでの位相マージン	R_L = 2kΩ、C_L =100pF	25°C		60		°
V_n	等価入力ノイズ電圧	f = 100kHz	25°C		4.4		nV/√Hz
THD	全高調波歪	f = 1kHz、A_V = –1、R_L = 10kΩ	25°C		0.003		%

(1) 電源電圧が高い場合、TL97x が急激に中間電源またはグランドに短絡すると、急速なサーマル シャットダウンが発生します。図 5-12 および 図 5-13 に示すように急速なサーマル シャットダウンが回避された場合、ISC を超える出力電流を実現できます。

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

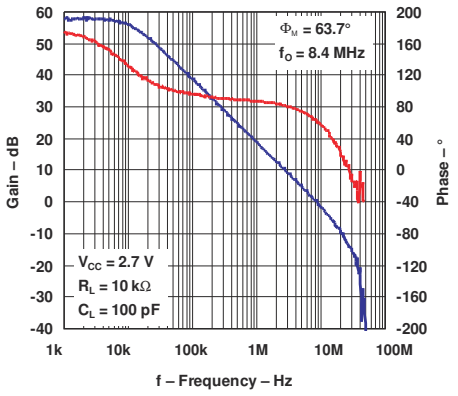


図 5-1. ゲインおよび位相と周波数との関係、古いダイ

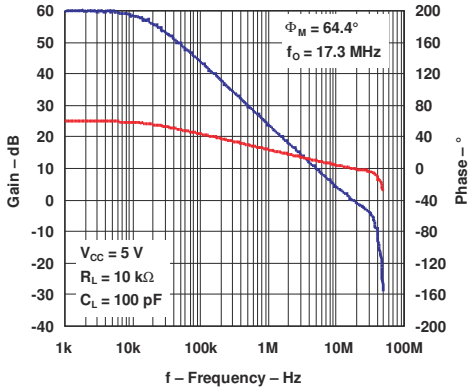


図 5-2. ゲインおよび位相と周波数との関係、古いダイ

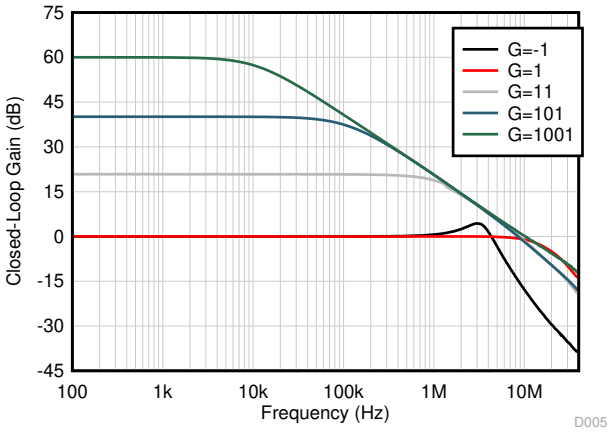


図 5-3. 閉ループ ゲインと周波数との関係、新しいダイ

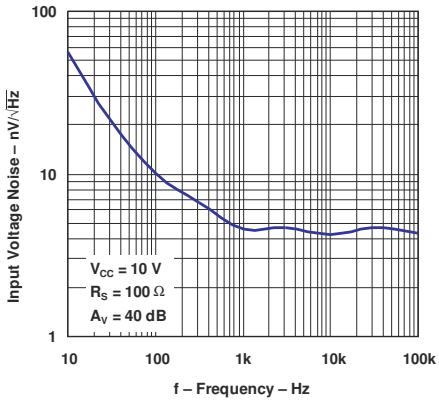


図 5-4. 入力電圧ノイズと周波数との関係、古いダイ

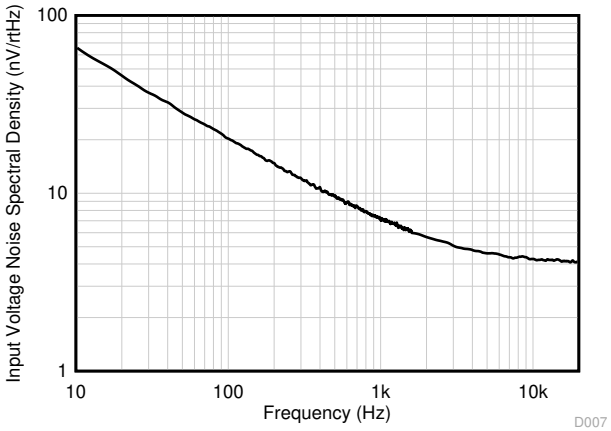


図 5-5. 入力電圧ノイズのスペクトル密度と周波数との関係、新しいダイ

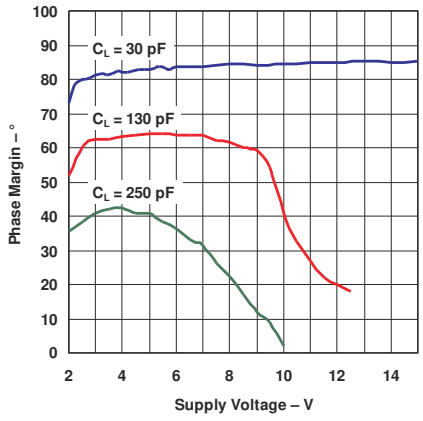


図 5-6. 位相マージンと電源電圧との関係、古いダイ

5.7 代表的特性 (続き)

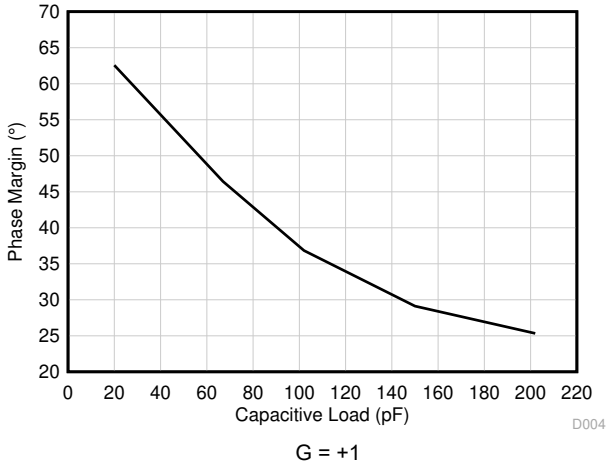


図 5-7. 位相マージンと容量性負荷との関係、新しいダイ

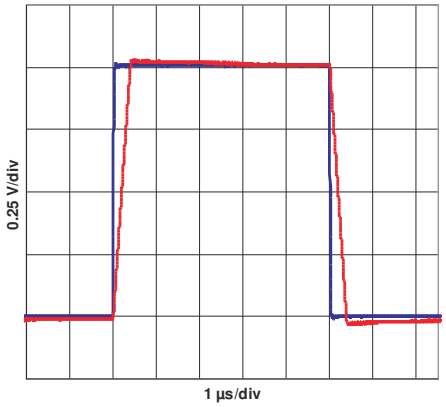


図 5-8. 入力応答、古いダイ

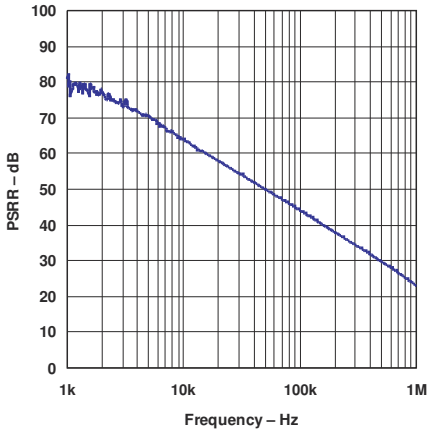


図 5-9. 電源リップル除去と周波数との関係、古いダイ

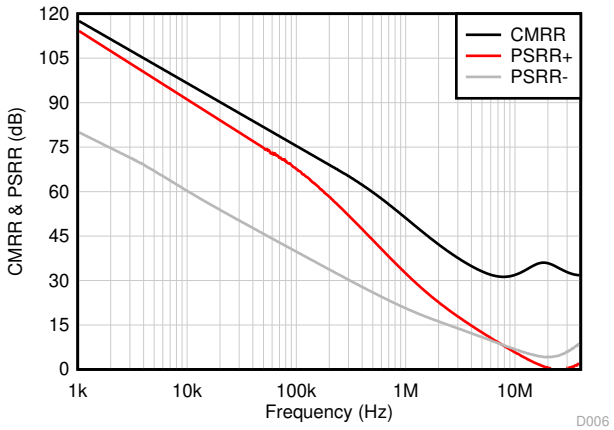


図 5-10. 同相信号除去比および PSRR と周波数との関係、新しいダイ

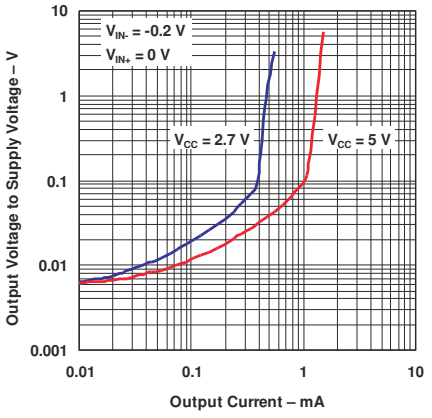


図 5-11. 出力電圧と出力電流との関係、古いダイ

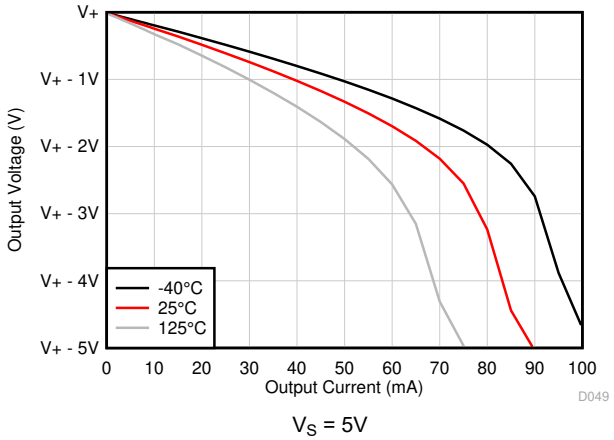
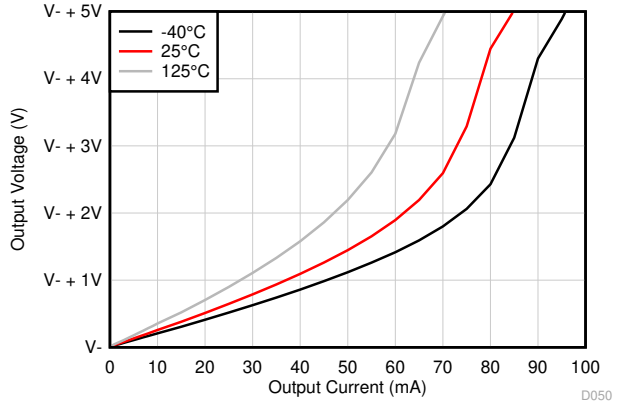


図 5-12. 出力電圧スイングと出力電流との関係 (ソース)、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)



V_S = 5V

図 5-13. 出力電圧スイングと出力電流との関係 (シンク)、新しいダイ

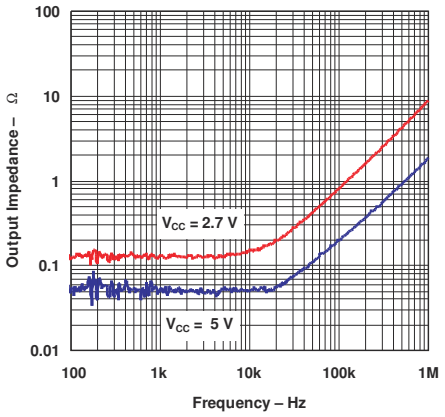


図 5-14. 出力インピーダンスと周波数との関係、古いダイ

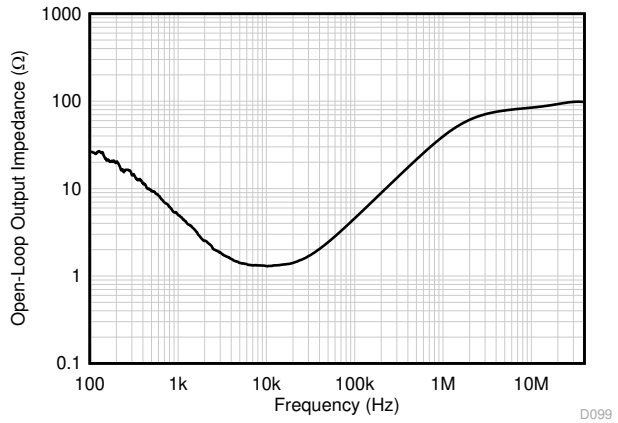


図 5-15. 開ループ出力インピーダンスと周波数の関係、新しいダイ

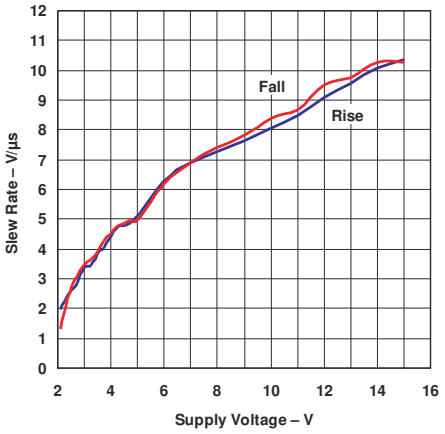


図 5-16. スルーレートと電源電圧との関係、古いダイ

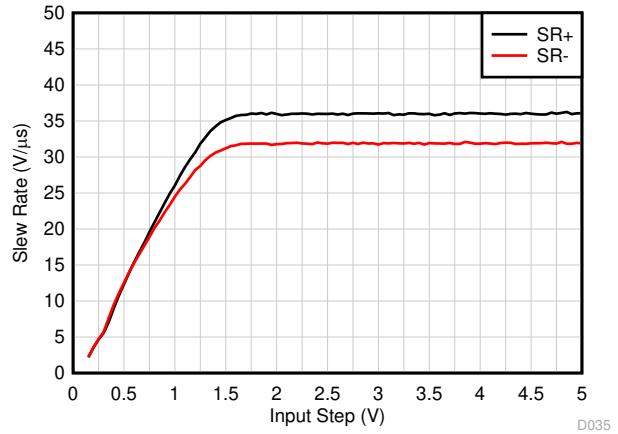
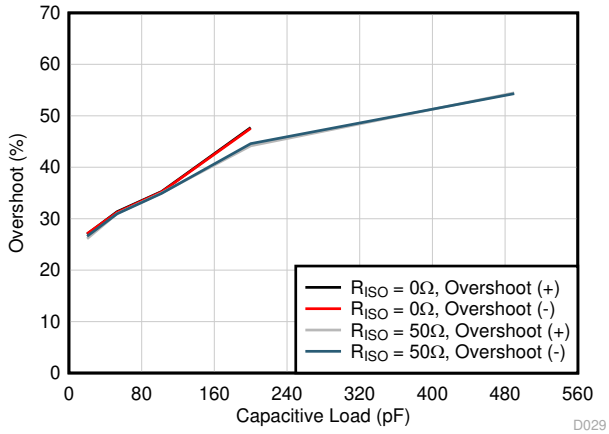


図 5-17. スルーレートと入力ステップ電圧との関係、新しいダイ

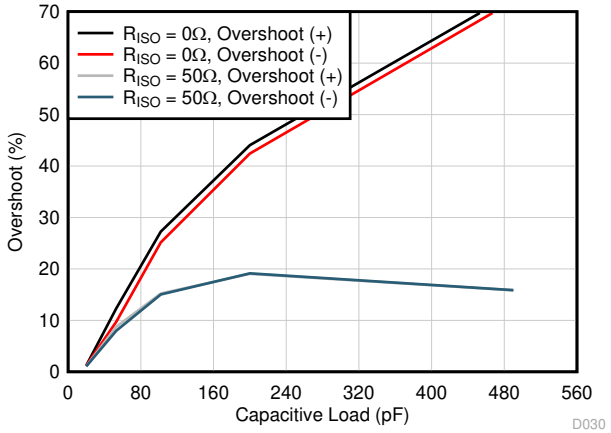


20mV$_{pp}$ 出力ステップ、G = –1

図 5-18. 小信号オーバーシュートと容量性負荷との関係、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)



20mV$_{pp}$ 出力ステップ、G = +1

図 5-19. 小信号オーバーシュートと容量性負荷との関係、新しいダイ

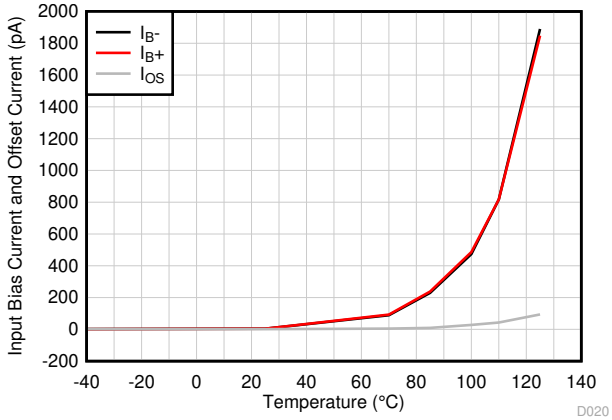


図 5-20. 入力バイアス電流およびオフセット電流と温度との関係、新しいダイ

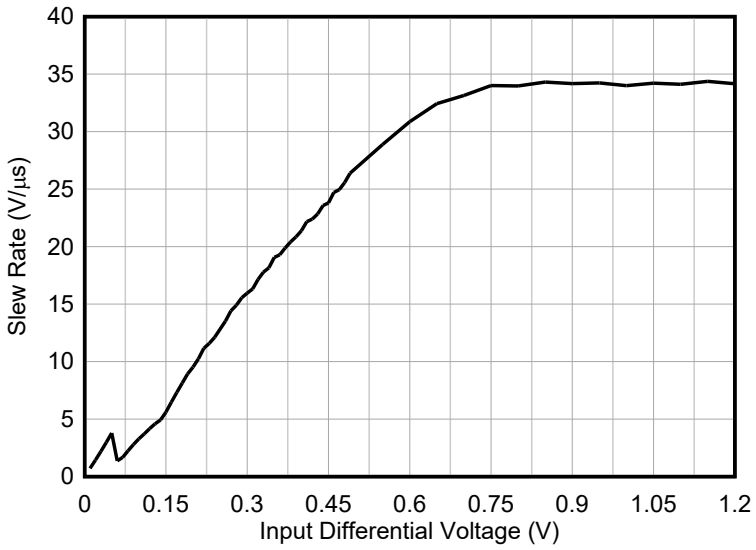


図 5-21. スルーレートと入力差動電圧との関係、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TL97x ファミリのオペアンプは、最低 ±1.35V の電圧で動作し、出力レール ツー レールの信号スイングに対応しています。TL97x は、携帯機器やバッテリ駆動機器に実用的な特性を備えています。これらのデバイスは、超低ノイズおよび低歪みという特性により、オーディオ プリアンプにとって実用的です。TL97x ファミリにはシングル、デュアル、クワッドのオペアンプ パッケージがあり、各種サイズがあります。

TL971 は省スペースの 5 ピン SOT-23 パッケージに収容されており、どこにでも配置できるため (外寸は 2.9mm × 1.6mm)、基板設計を簡素化できます。

6.2 機能説明

6.2.1 同相電圧範囲

OPA97x は 12V の真のレール ツー レール入力オペアンプで、入力同相範囲が両方の電源レールまで拡張されています。図 6-1 に示すように、相補型 N チャネルと P チャネルの差動入力ペアを並列接続することで、この広い範囲を実現しています。N チャネル ペアは、正電源レール付近の入力電圧、通常は (V+) –1V から正電源までの範囲で動作します。P チャネル ペアは、負の電源電圧から、ほぼ (V+) - 2V までの入力でアクティブになります。両方の入力ペアが動作する小さな遷移領域があり、通常は (V+) – 2V ～ (V+) – 1V の範囲です。この遷移領域は、プロセス変動に応じてやや変化することがあります。この領域内で、PSRR、CMRR、オフセット電圧、オフセット ドリフト、ノイズ、THD 性能は、この領域外で動作させる場合と比べると低下することがあります。

同相電圧範囲と PMOS/NMOS ペアの相互作用の詳細については、「相補型ペア入力段を持つオペアンプ」Analog Design Journal を参照してください。

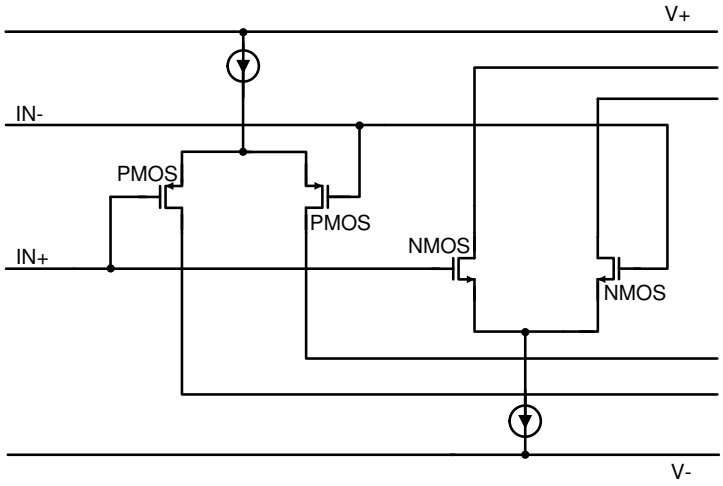


図 6-1. レール ツー レール入力段

6.2.2 動作電圧

TL97x デバイスは、2.7V ～ 12V で動作することが規定されています。また、多くの仕様は –40℃ ～ 125℃ に適用されます。

6.3 デバイスの機能モード

TL97x デバイスは、電源が接続されたときに電源投入されます。各デバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 代表的なアプリケーション

オペアンプの電圧フォロワ構成は、弱い信号で比較的大きな電流負荷を駆動するアプリケーションで使用されます。この回路は、バッファ アンプまたはユニティ ゲイン アンプとも呼ばれます。オペアンプの入力は抵抗が非常に大きいため、電圧源に流れる電流負荷は無視できるほど小さくなります。オペアンプの出力抵抗はほぼ無視できるため、アンプは出力負荷に必要なだけ多くの電流を供給できます。

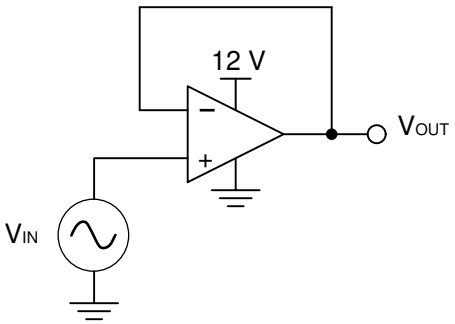


図 7-1. 電圧フォロワの回路図

7.1.1 設計要件

- 入力:正端子
- 出力範囲:0V ～ 12V
- 入力範囲:0V ～ 12V
- ユニティ ゲインの負入力への短絡

7.1.2 詳細な設計手順

7.1.2.1 出力電圧スイング

オペアンプの内部回路は、出力電圧を電源レールよりもある程度低いレベルに制限します。このアンプでは、出力電圧は ±12V 以内でなければなりません。

7.2 電源に関する推奨事項

TL97x デバイスは、2.7V ～ 12V で動作が規定されており、多くの仕様は -40℃ ～ 125℃ で適用されます。

注意

15V を超える電源電圧を印加すると、デバイスに永続的な損傷を与えるおそれがあります (「絶対最大定格」を参照してください)。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、「レイアウトのガイドライン」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3 レイアウト

7.3.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。アナログ回路にローカルな、低インピーダンスの電源を供給して結合ノイズを低減するため、バイパス コンデンサが使用されます。
  - 各電源ピンとグラウンドの間には、低 ESR の 0.1µF セラミックバイパスコンデンサを、可能な限りデバイスの近くに接続します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制するシンプルかつ効果的な方法です。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意しながら、デジタル グランドとアナログ グランドを物理的に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの入力配線を電源または出力配線から離して配置できない場合、影響を受けやすい配線をノイズの多い配線と平行にするのではなく、直角に交差させる方が良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。RF と RG を反転入力に近づけて配置すると、「レイアウト例」に示すように、寄生容量が最小化されます。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。

7.3.2 レイアウト例

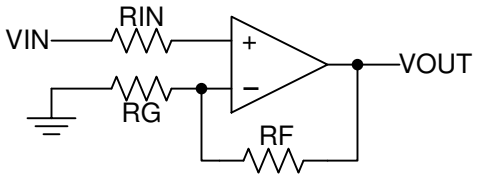


図 7-2. 非反転構成のオペアンプの回路図

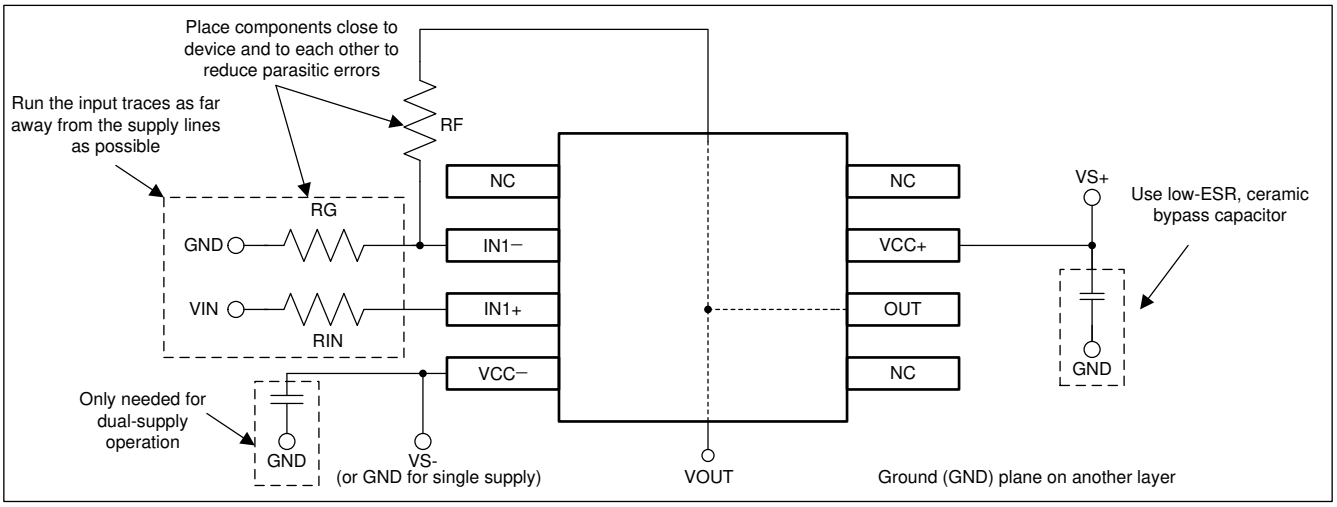


図 7-3. 非反転構成のオペアンプの基板レイアウト

8 デバイスおよびドキュメントのサポート

8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

9 改訂履歴

Changes from Revision H (January 2015) to Revision I (July 2026) **Page**

- 超低歪みと高ダイナミックの特長を削除。....1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新....1
- 「製品情報」表を更新....1
- 「概要」のテキストのパッケージ寸法を、更新された「製品情報」表と一致するように更新....1
- 「ESD レーティングの新しいダイ」セクションを追加....4
- 入力オフセット電圧の標準値を 1mV から ±0.21mV に更新....6
- 入力オフセット電圧ドリフトの標準値を 5µV/℃ から ±0.25µV/℃ に更新....6
- 入力オフセット電流の標準値を 10nA から ±0.01nA に更新....6
- 入力バイアス電流の標準値を 200nA から ±0.01nA に更新....6
- 同相信号除去比の標準値を 85dB から 90dB に更新....6
- 大信号電圧ゲインの標準値を 80dB から 125dB に更新....6
- 出力ソース電流の全範囲値を削除....6
- 出力シンク電流の全範囲値を削除....6
- ゲイン帯域幅積の最小値を削除....6
- スルーレートの仕様を削除....6
- ゲイン マージンの仕様を削除....6
- 等価入力ノイズ電圧の標準値を 4nV/√Hz から 4.4nV/√Hz に更新....6
- 出力ソース電流の標準値を 1.4mA から 65mA に更新....6
- 出力シンク電流の標準値を 80mA から -65mA に更新....6
- 新しいダイの特性に合わせて「代表的特性」を更新....7
- 「概要」セクションの更新された「製品情報」表に合わせてテキスト内のパッケージの寸法を更新....11
- 「同相電圧範囲」セクションを追加....11
- 「スルーレート」セクションを削除....11
- 「ユニティ ゲイン帯域幅」セクションを削除....11
- 「低全高調波歪み」セクションを削除....11
- 「アプリケーション情報」セクションを削除....12
- 「電源および入力電圧」セクションを削除....12

Changes from Revision G (May 2012) to Revision H (January 2015) **Page**

- 「アプリケーション」、「製品情報」、「ピンの機能」、「ESD レーティング」、「熱に関する情報」各表、および「代表的特性」、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、注文情報」各セクションを追加。....1
- 「注文情報」表を削除。....1

Changes from Revision F (December 2009) to Revision G (May 2012) **Page**

- スルーレートの最小値を変更。....6

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL971ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	Z971
TL971IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z971
TL971IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z971
TL971IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TL972ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	Z972
TL972IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	TSA
TL972IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	TSA
TL972IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z972
TL972IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z972
TL972IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z972
TL972IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z972
TL972IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TL972IP
TL972IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TL972IP
TL972IPE4	Active	Production	PDIP (P) | 8	50 | TUBE	-	Call TI	Call TI	-40 to 125	
TL972IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z972
TL972IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z972
TL974ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL974I
TL974ID.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL974I
TL974IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL974I
TL974IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL974I
TL974IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TL974IN
TL974IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TL974IN
TL974INE4	Active	Production	PDIP (N) | 14	25 | TUBE	-	Call TI	Call TI	-40 to 125	
TL974IPW	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z974
TL974IPW.A	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z974
TL974IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	Z974
TL974IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z974
TL974IPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Z974

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL971, TL972, TL974 :

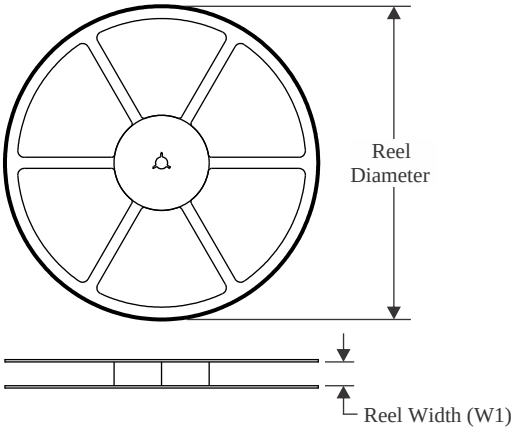
- Automotive : TL971-Q1, TL972-Q1, TL974-Q1

NOTE: Qualified Version Definitions:

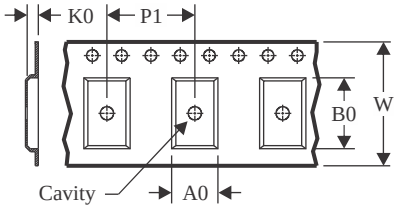
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

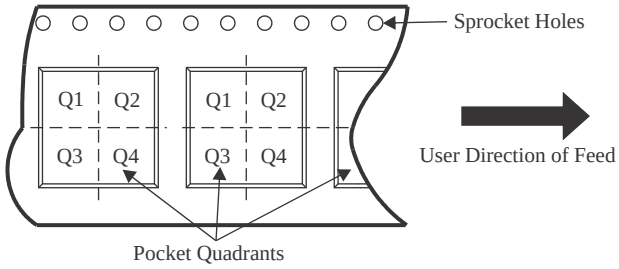


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

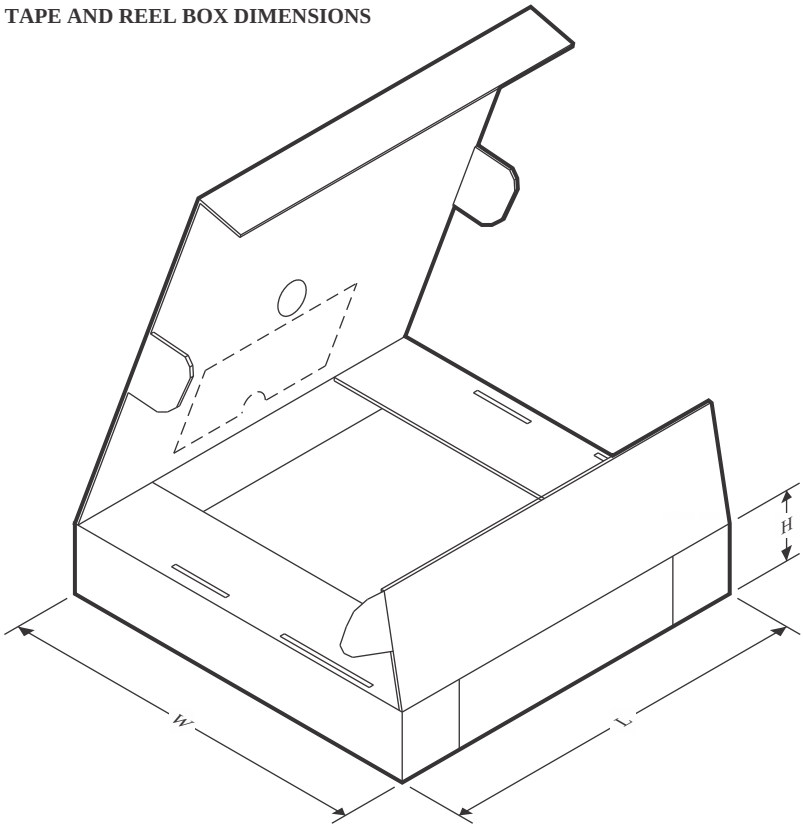
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL971IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL971IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL971IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL972IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TL972IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL972IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL972IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL972IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL974IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL974IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL974IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL974IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL974IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

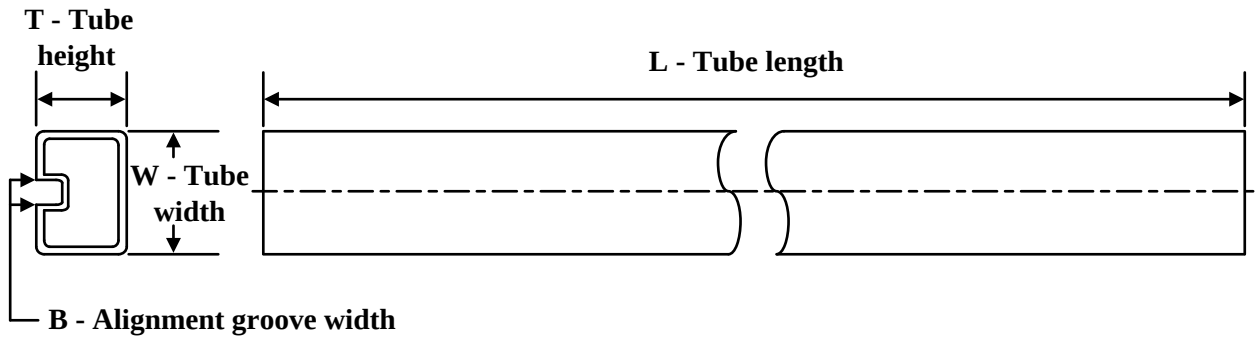
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

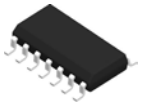
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL971IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL971IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL971IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL972IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TL972IDR	SOIC	D	8	2500	353.0	353.0	32.0
TL972IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL972IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
TL972IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TL974IDR	SOIC	D	14	2500	353.0	353.0	32.0
TL974IDR	SOIC	D	14	2500	353.0	353.0	32.0
TL974IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TL974IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
TL974IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TL972IP	P	PDIP	8	50	506	13.97	11230	4.32
TL972IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TL974ID	D	SOIC	14	50	507	8	3940	4.32
TL974ID.A	D	SOIC	14	50	507	8	3940	4.32
TL974IN	N	PDIP	14	25	506	13.97	11230	4.32
TL974IN.A	N	PDIP	14	25	506	13.97	11230	4.32
TL974IPW	PW	TSSOP	14	90	530	10.2	3600	3.5
TL974IPW.A	PW	TSSOP	14	90	530	10.2	3600	3.5

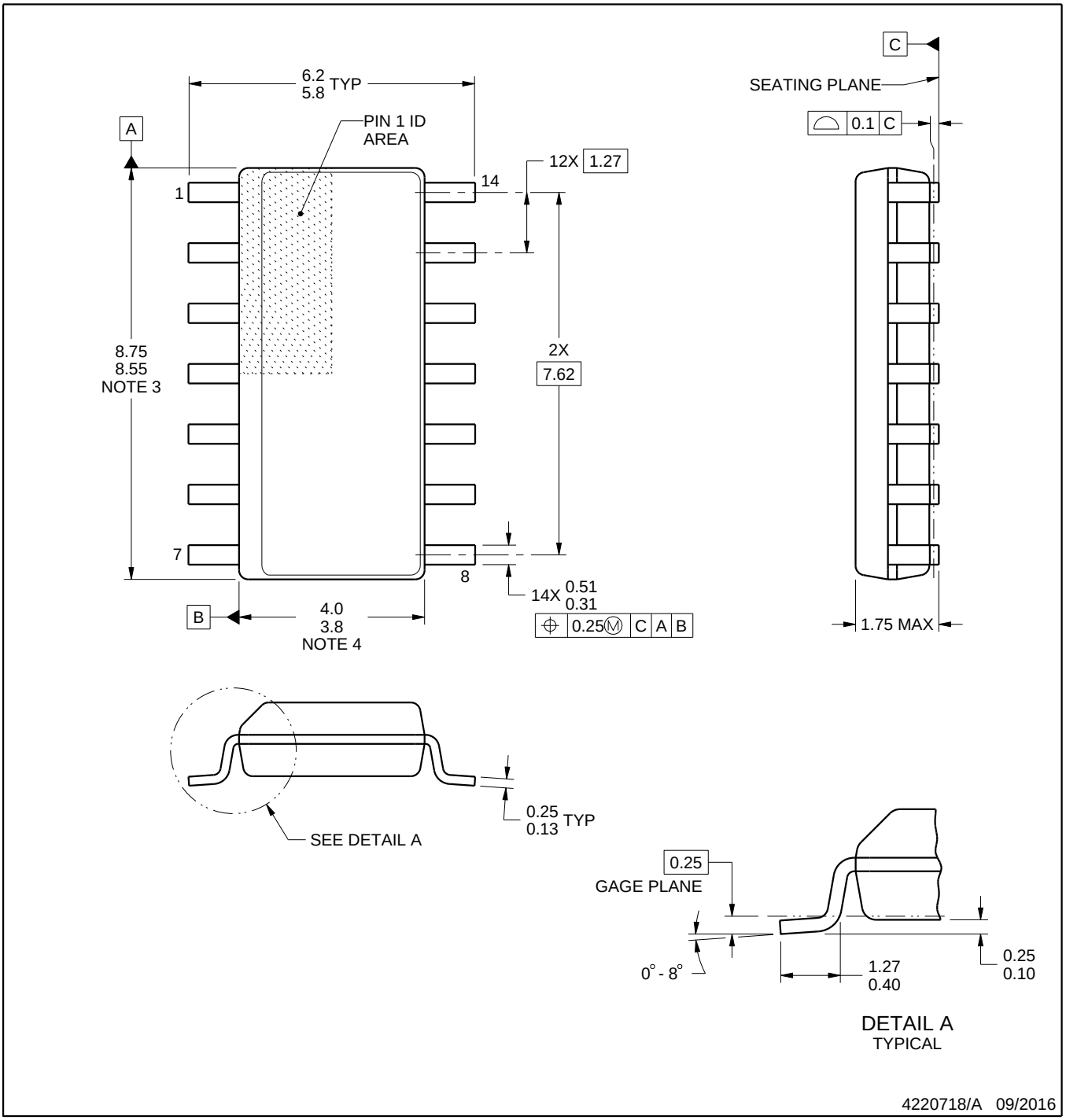


PACKAGE OUTLINE

D0014A

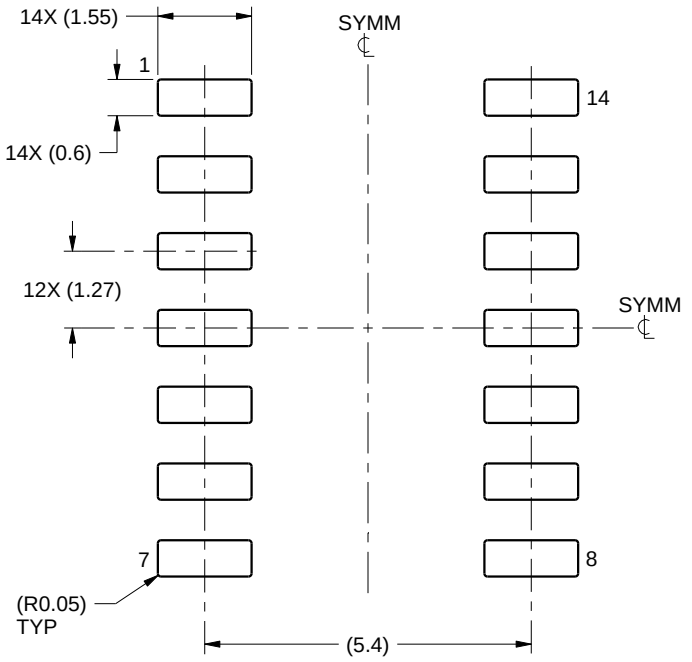
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

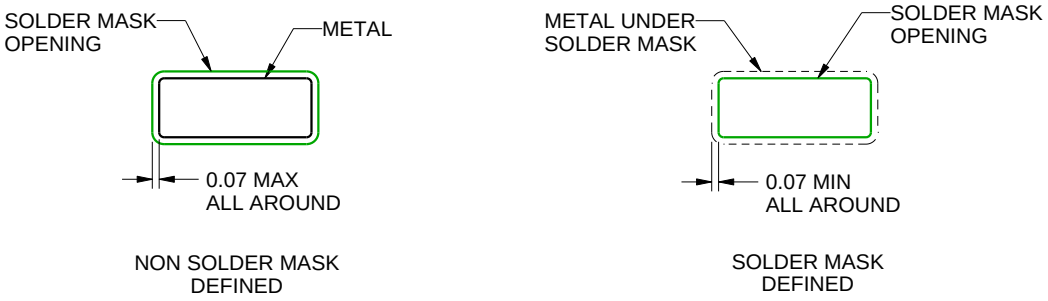


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

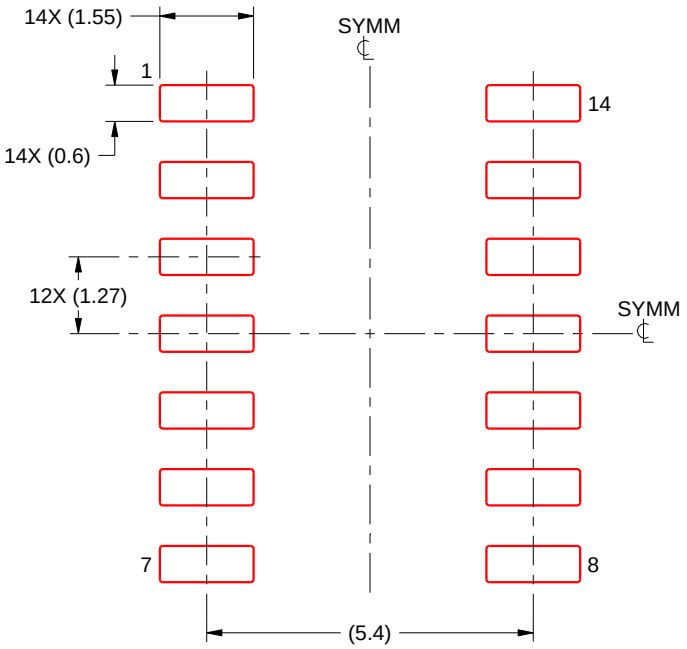
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

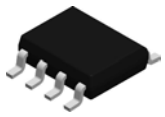


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

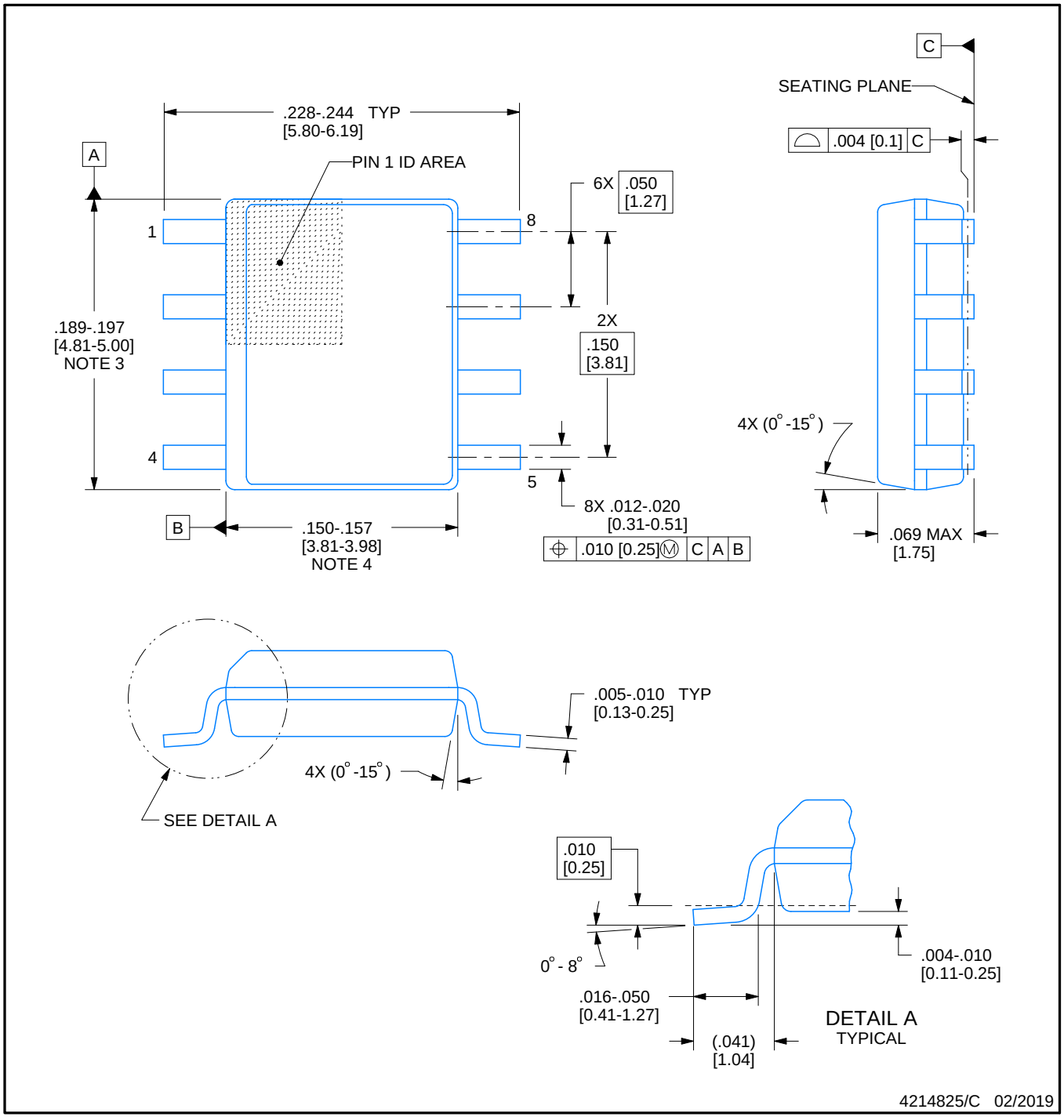


PACKAGE OUTLINE

D0008A

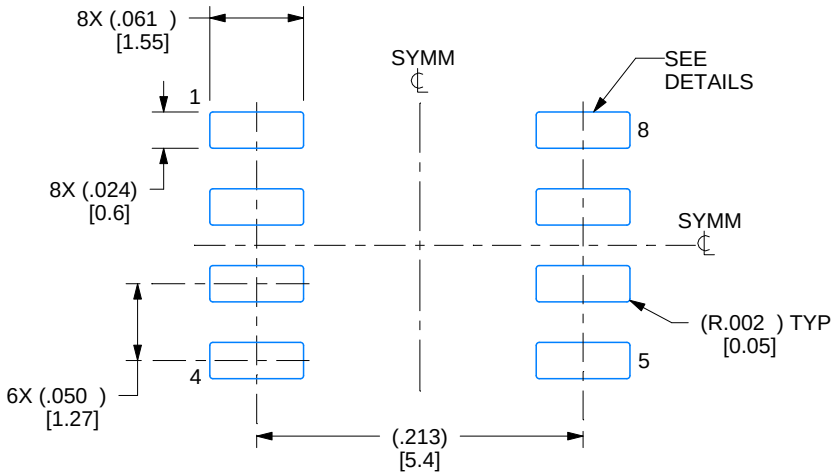
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

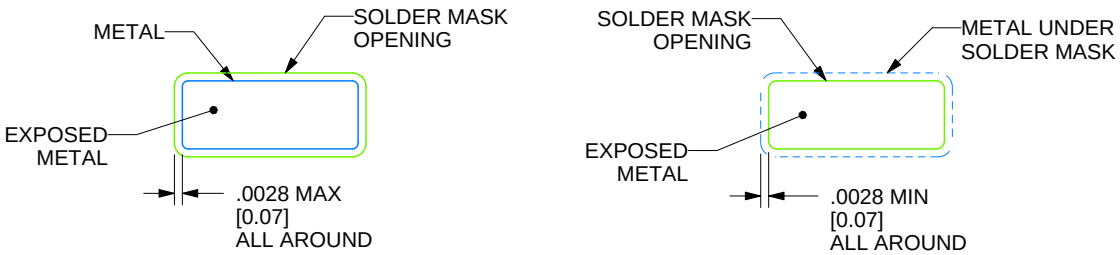


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

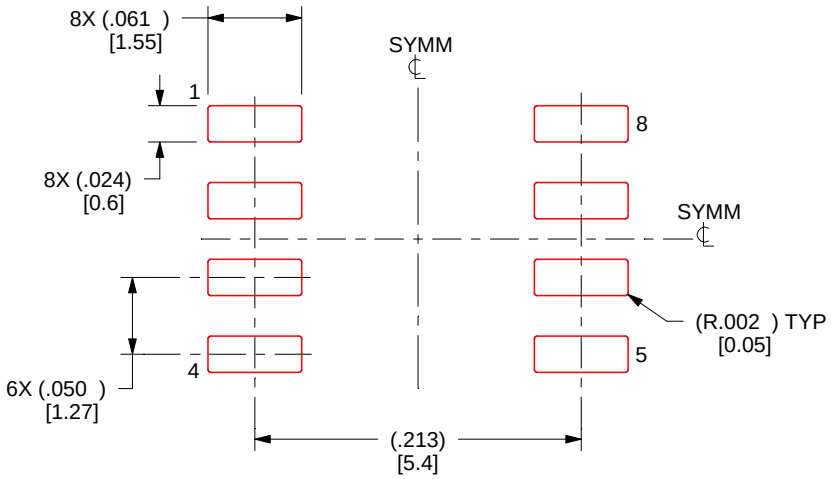
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



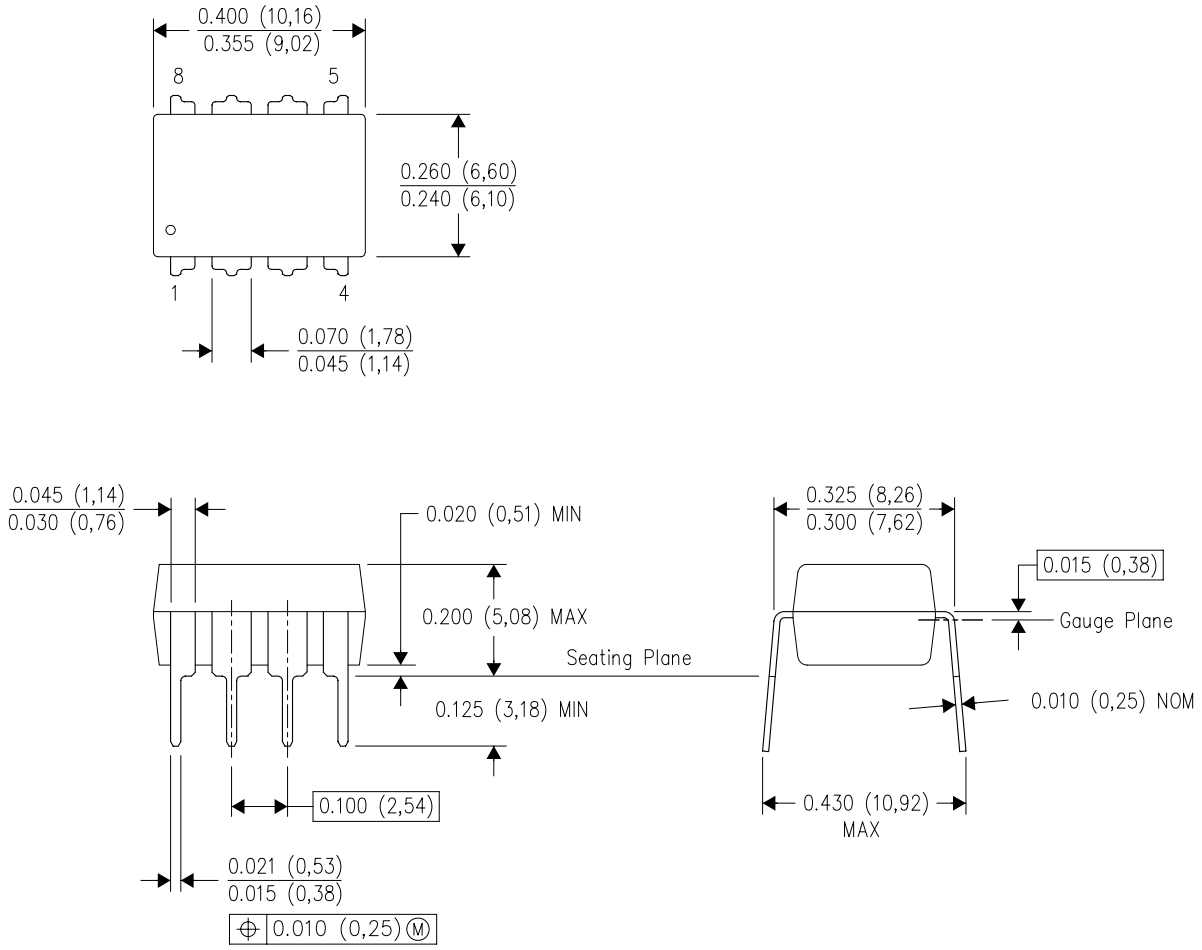
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

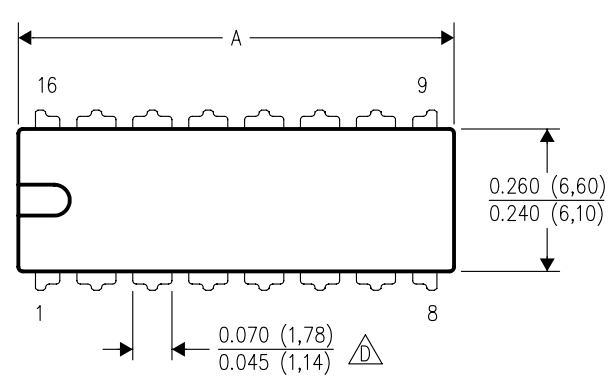


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

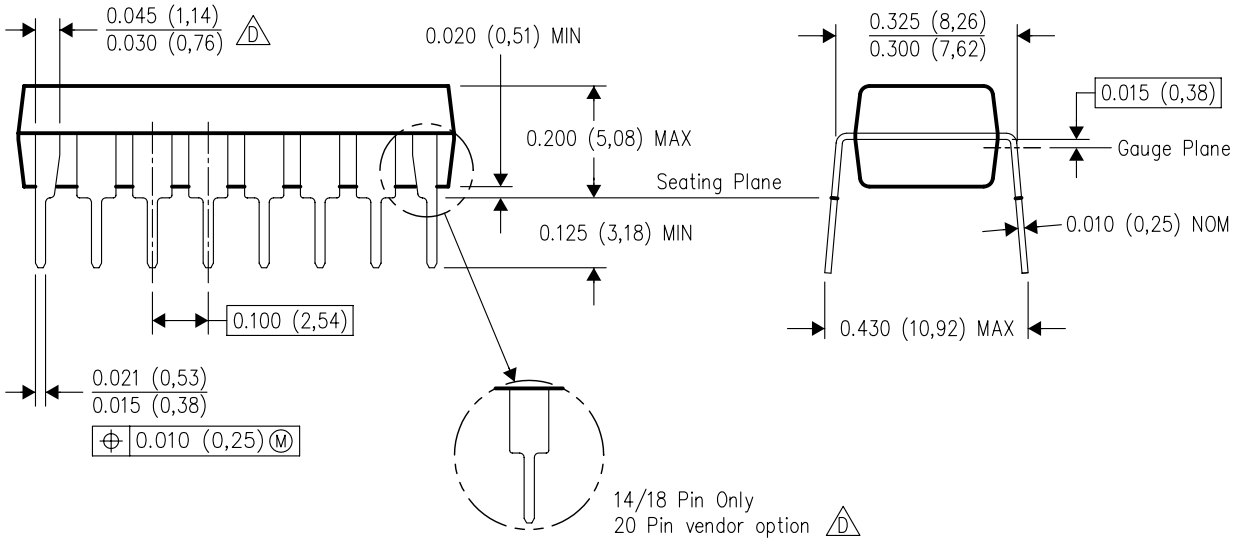
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

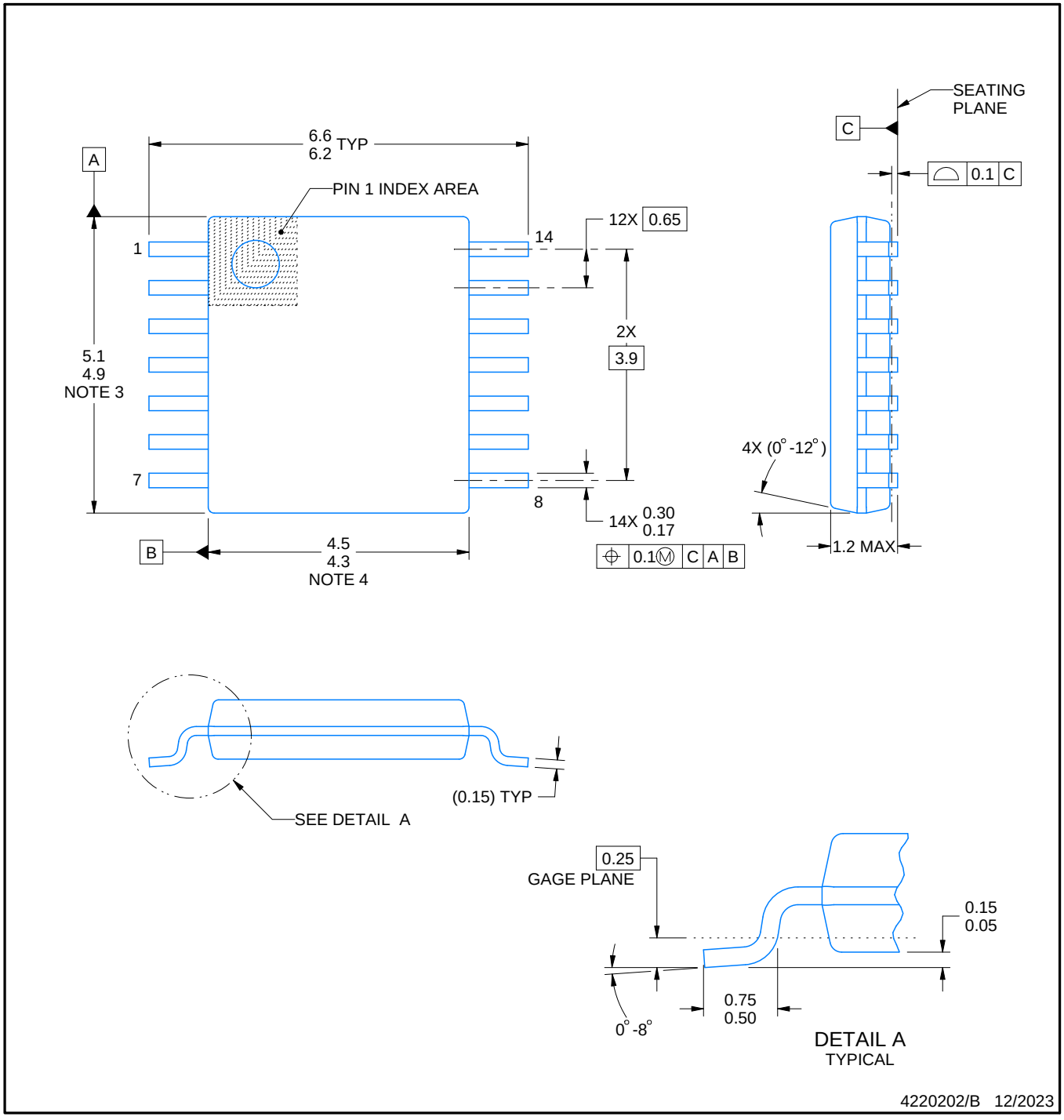
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

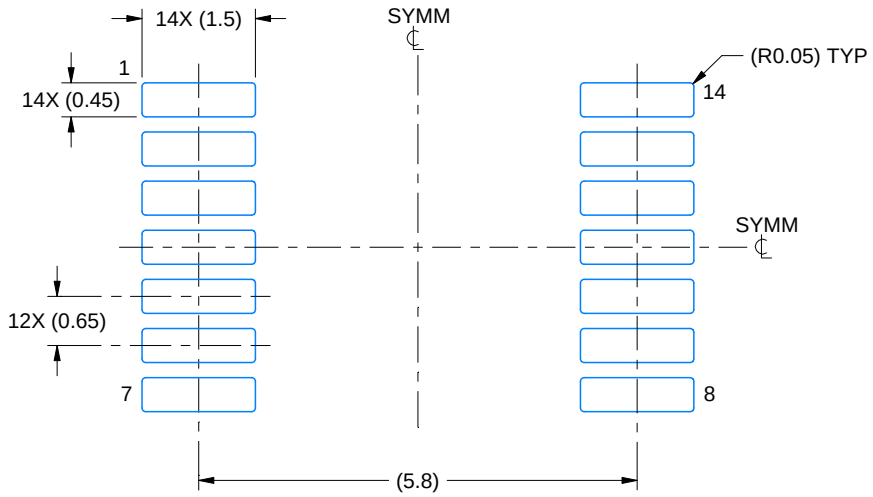
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

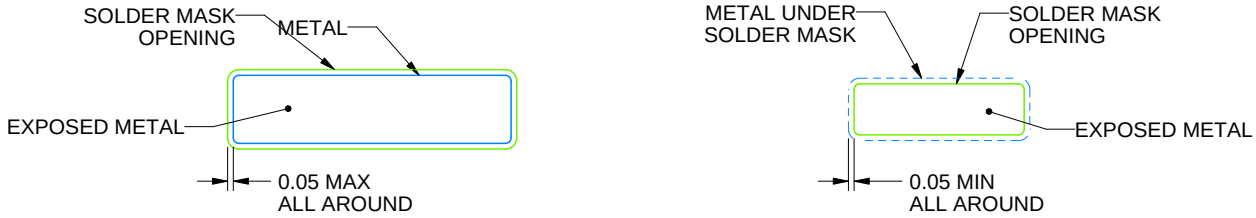


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

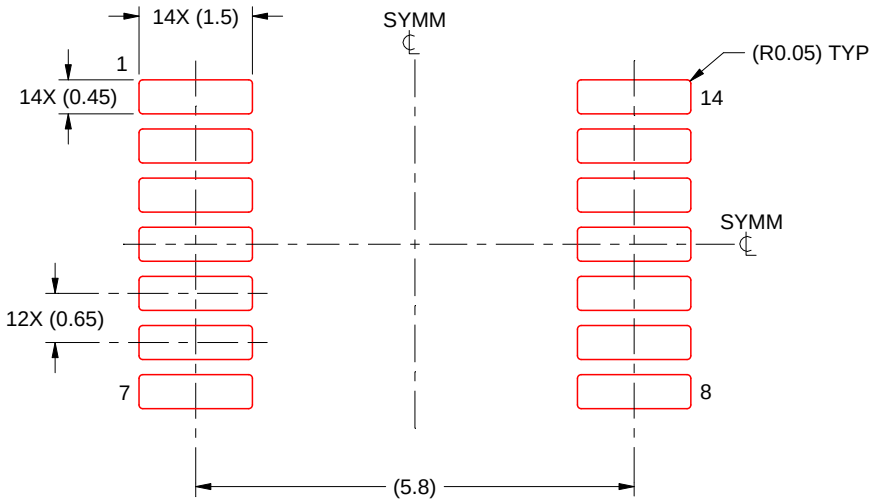


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

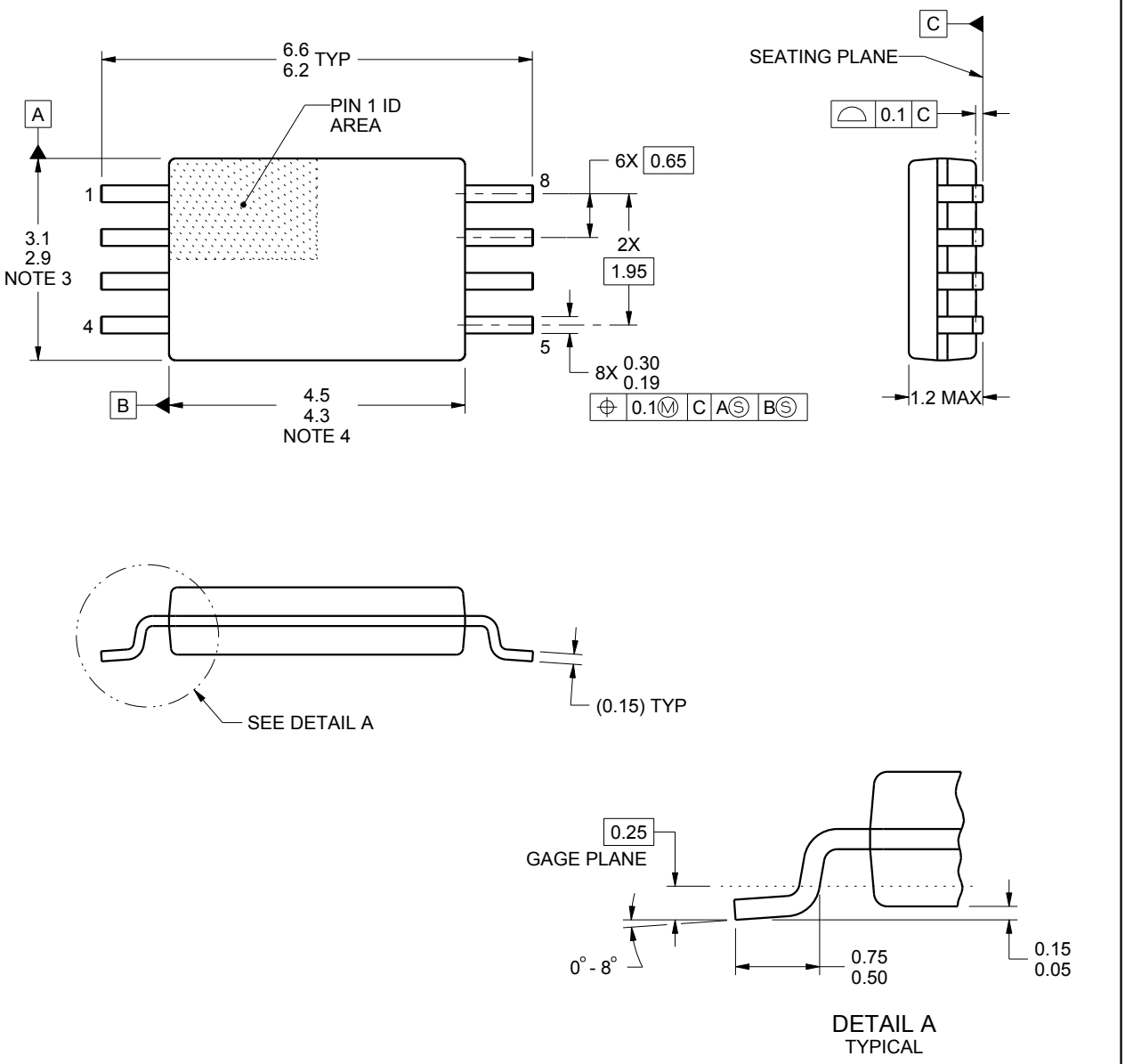
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

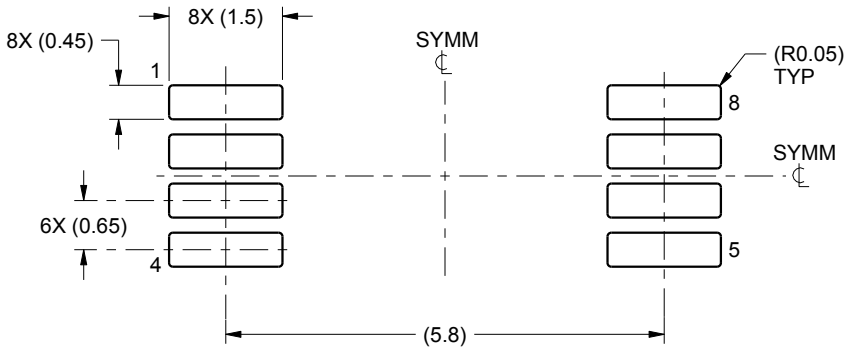
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

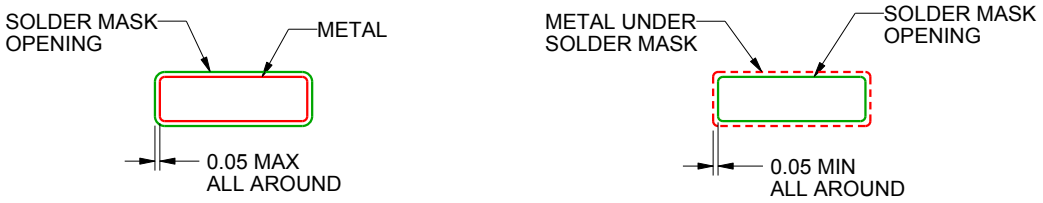


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

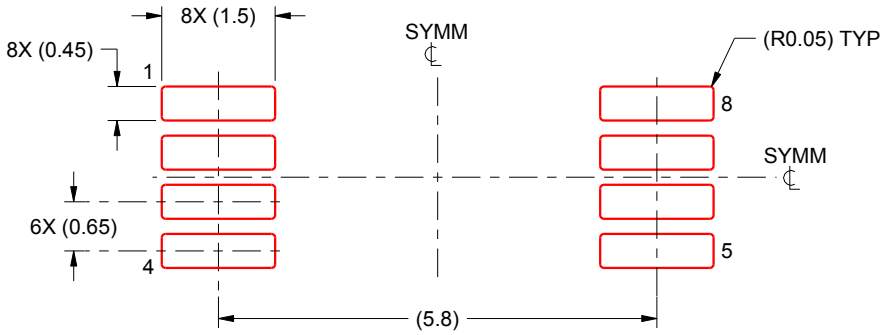


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

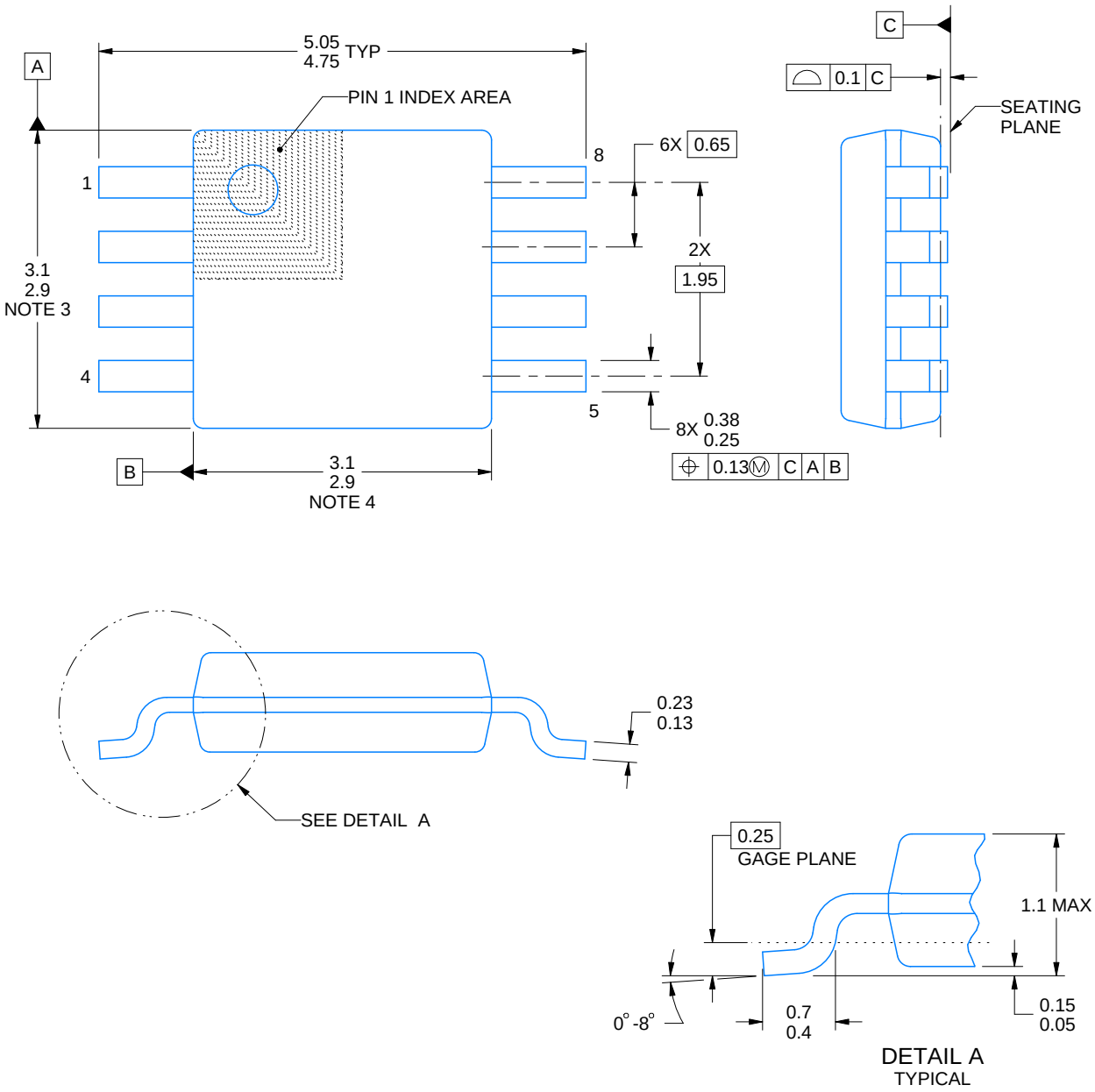
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

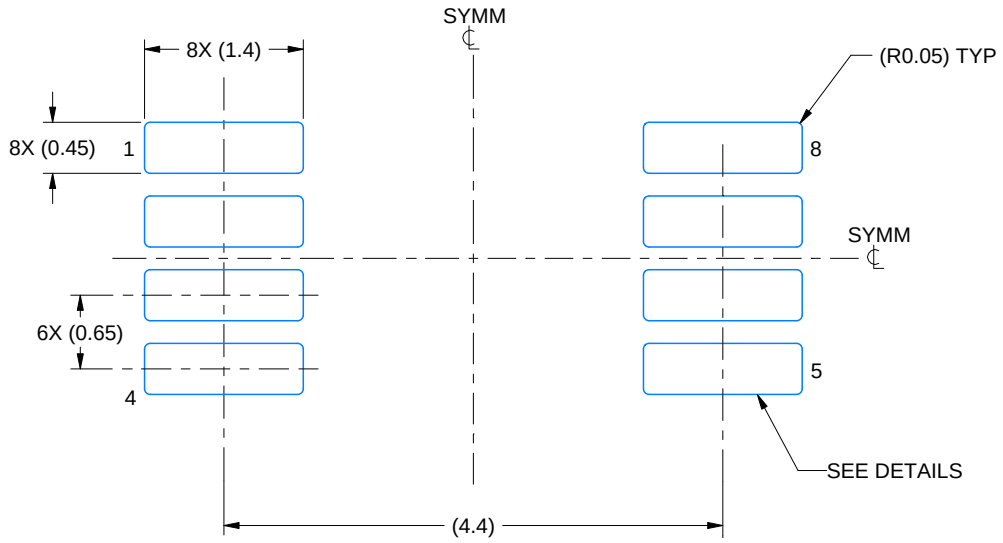
SMALL OUTLINE PACKAGE



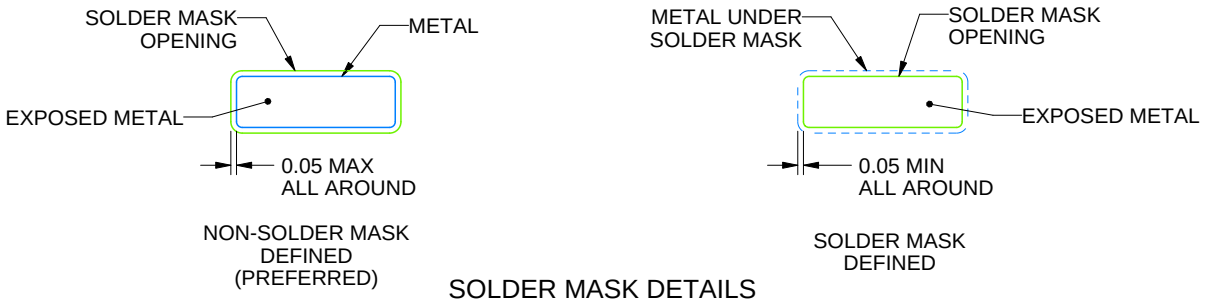
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

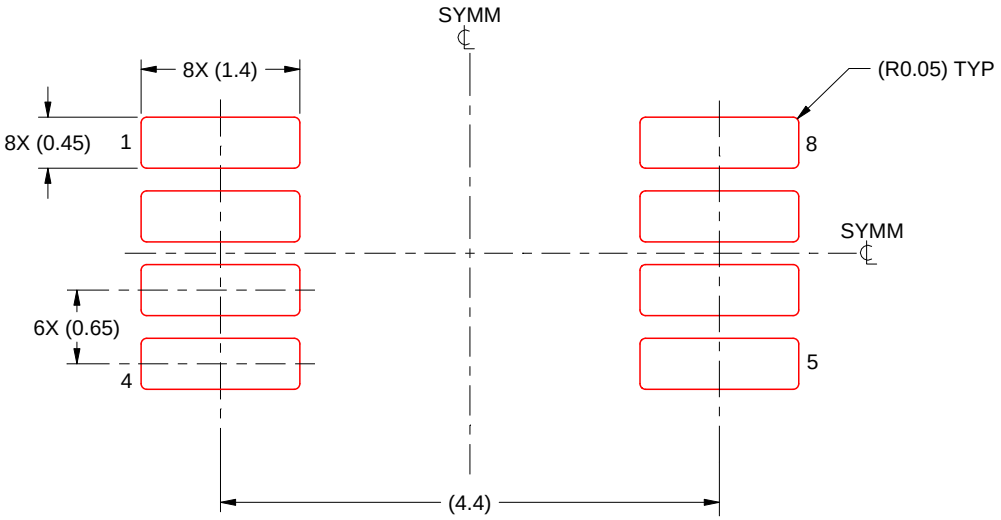


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月