TLC352 デュアル差動コンパレータ

1 特長

- シングルまたはデュアル電源動作
- 広い電源電圧範囲:2.7V ～ 18V
- 超低電源電流ドレイン:
  - 5V で 150µA (標準値)
- 内蔵 ESD 保護機能
- 高い入力インピーダンス:$10^{12}\Omega$ (標準値)
- 極めて低い入力バイアス電流:5pA (標準値)
- 超安定小さい入力オフセット電圧
- 同相入力電圧範囲にグランドを含む
- TTL、MOS、CMOS 互換出力
- LM393 とピン互換

2 説明

このデバイスは CMOS テクノロジを使用して製造されており、それぞれ単一電源で動作するように設計された 2 つの独立した電圧コンパレータで構成されています。デュアル電源での動作も可能です。この場合、2 つの電源電圧の差が 2.7V ～ 18V である場合です。各デバイスは入力インピーダンスが非常に高く (通常、$10^{12}\Omega$ 超)、高インピーダンスのソースと直接接続できます。出力は N チャネルのオープンドレイン構成であり、正ロジックのワイヤード AND 関係を形成するために接続できます。TLC352 は 2.7V 電源で動作できるため、低電圧のバッテリ アプリケーションに最適です。

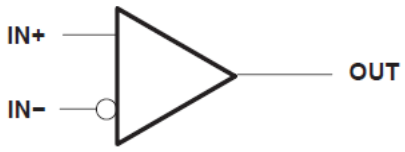
TLC352 には静電気放電 (ESD) 保護回路が内蔵されており、2000V の ESD 定格に分類されています。ただし、ESD にさらされるとデバイス パラメトリック性能が低下する可能性があるため、このデバイスを取り扱う際には注意を払う必要があります。

TLC352C は 0℃ ～ 70℃ の温度範囲で動作が規定されています。TLC352I は -40℃ ～ 85℃ の商業用温度範囲で動作が規定されています。

製品情報

T_A	25℃での V_{IO} の最大値	パッケージ(1)
		スモール アウトライン (D)
0℃ ～ 70℃	5mV	TLC352CD
-40℃ ～ 85℃	5mV	TLC352ID

(1) D パッケージは、テープまたはリールで供給されています。デバイス タイプの末尾に R を追加 (TLC352CDR など)。



シンボル (各コンパレータ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 説明.....1
3 ピン構成および機能.....3
4 仕様.....4
4.1 絶対最大定格.....4
4.2 推奨動作条件.....4
4.3 電気的特性.....5
4.4 電気的特性.....6
4.5 スイッチング特性.....6
5 代表的特性.....7
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....9
6.4 デバイスの機能モード.....9
7 デバイスおよびドキュメントのサポート.....13
7.1 ドキュメントの更新通知を受け取る方法.....13
7.2 サポート・リソース.....13
7.3 商標.....13
7.4 静電気放電に関する注意事項.....13
7.5 用語集.....13
8 改訂履歴.....13
9 メカニカル、パッケージ、および注文情報.....13

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能

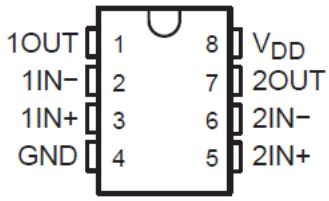


図 3-1. TLC352C、TLC352I D または P パッケージ (上面図)

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{DD}	電源電圧 (2)			18	V
V_{ID}	差動入力電圧 (3)			±V_{DD}	V
V_I	入力電圧範囲		-0.3	V_{DD}	V
V_O	出力電圧			18	V
I_I	入力電流			±5	mA
I_O	出力電流			20	mA
	出力のグランドへの短絡時間(4)		制限なし		
T_A	動作温度範囲	TLC352C	0	70	℃
		TLC352I	-40	85	
	保管温度範囲		– 65	150	℃
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間	D パッケージ		260	℃
		P パッケージ			

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
(2) 差動電圧を除くすべての電圧値は、ネットワーク グランドを基準にしています。
(3) 差動電圧は、IN- を基準とする IN+ です。
(4) 出力から V_{DD} への短絡が発生すると、過熱やデバイスの最終的な破壊につながる可能性があります。

4.2 推奨動作条件

			TLC352C		TLC352I		単位
			最小値	最大値	最小値	最大値	
V_{DD}	電源電圧		2.7	16	2.7	16	V
V_{IC}	同相入力電圧	V_{DD} = 5V	0	3.5	0	3.5	V
		V_{DD} = 10V	0	8.5	0	8.5	
T_A	自由空気での動作温度		0	70	-40	85	℃

Copyright © 2025 Texas Instruments Incorporated

4.3 電気的特性

指定された自由空気温度で、V_{DD} = 2.7V (特に記述のない限り)

パラメータ		テスト条件		T_A (1)	TLC352C			TLC352I			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	V_{IC} = V_{ICR}min		25°C		2	5		2	5	mV
				フルレンジ			6.5			7	
I_{IO}	入力オフセット電流			25°C		1			1		pA
				最大値			0.3			1	nA
I_{IB}	入力バイアス電流			25°C		5			5		pA
				最大値			0.6			2	nA
V_{ICR}	同相入力電圧範囲			フルレンジ	0 から 1.2			0 から 1.2			V
V_{OL}	Low レベル出力電圧			25°C		100	200		100	200	mV
				フルレンジ			200			200	
I_{OL}	Low レベル出力電流	V_{ID} = -0.5V	V_{OL} = 0.3 V	25°C	1	1.6		1	1.6		mA
I_{DD}	電源電流 (2 つのコンパレータ)	V_{ID} = 0.5V	無負荷	25°C		65	150		65	150	µA
				フルレンジ			200			200	

(1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。フルレンジは、TLC352C では 0℃ ～ 70℃、TLC352I では -40℃ ～ 85℃ です。

Copyright © 2025 Texas Instruments Incorporated

4.4 電気的特性

指定された自由空気温度で、V_{DD} = 5V (特に記述のない限り)

パラメータ		テスト条件		T_A (1)	TLC352C			TLC352I			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	V_{IC} = V_{ICR}min		25°C		1	5		1	5	mV
				フルレンジ			6.5			7	
I_{IO}	入力オフセット電流			25°C		1			1		pA
				最大値			0.3			1	nA
I_{IB}	入力バイアス電流			25°C		5			5		pA
				最大値			0.6			2	nA
V_{ICR}	同相入力電圧範囲			25°C	0 から V_{DD} − 1			0 から V_{DD} − 1			V
				フルレンジ	0 から V_{DD} − 1.5			0 から V_{DD} − 1.5			
I_{OH}	High レベル出力電流	V_{ID} = 1V	V_{OH} = 5V	25°C		0.1			0.1		nA
			V_{OH}= 15V	フルレンジ			1			1	µA
V_{OL}	Low レベル出力電圧	V_{ID} = 1V	I_{OL} = 4mA	25°C		150	400		150	400	mV
				フルレンジ			700			700	
I_{OL}	Low レベル出力電流	V_{ID} = − 1V	V_{OL} = 1.5 V	25°C	6	16		6	16		mA
I_{DD}	電源電流 (2 つのコンパレータ)	V_{ID} = 1V	無負荷	25°C		0.15	0.3		0.15	0.3	mA
				フルレンジ			0.4			0.4	

(1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。フルレンジは、TLC352C では 0°C ～ 70°C、TLC352I では -40°C ～ 85°C です。

4.5 スイッチング特性

V_{DD} = 5V、T_A = 25°C

パラメータ	テスト条件		TLC352C、TLC352I			単位
			最小値	標準値	最大値	
応答時間	R_L は 5.1kΩ 経由で 5V に接続 C_L = 15pF(1) (2)	10mV オーバードライブで 100mV の入力ステップ		200		ns
		100mV オーバードライブ		100		

(1) C_L にはプローブと治具の容量が含まれています
(2) 記載されている応答時間は、入力ステップの動作から、出力が 1.4V を超える瞬間までの時間です。

Copyright © 2025 Texas Instruments Incorporated

5 代表的特性

特に記述のない限り、T_A = 25°C、V_S = 12V、V_{CM} = V_S/2V、C_L = 15pF、入力オーバードライブ = 入力アンダードライブ = 100mV、R_{PU} = 10kΩ。

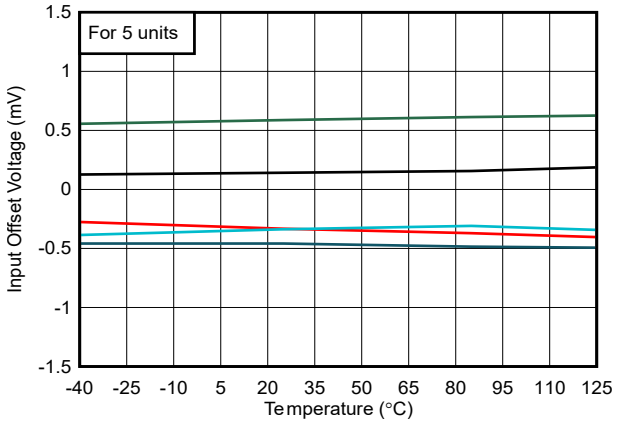


図 5-1. オフセットと温度との関係

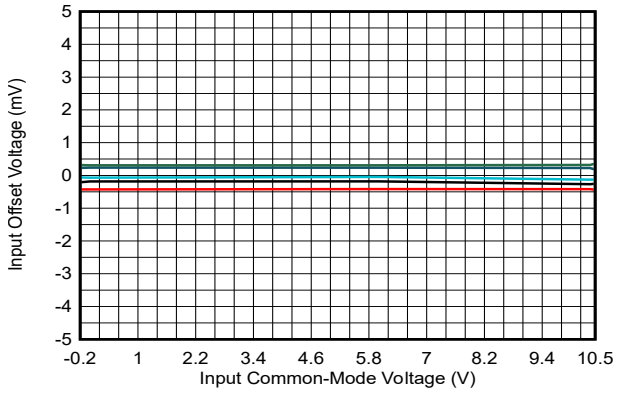


図 5-2. オフセット電圧と同相モードとの関係、12V

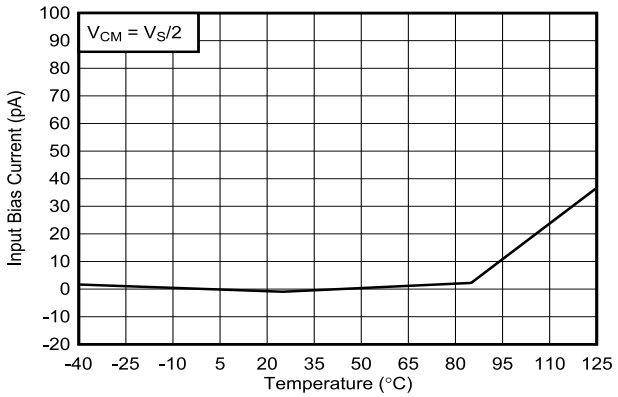


図 5-3. バイアス電流と温度との関係

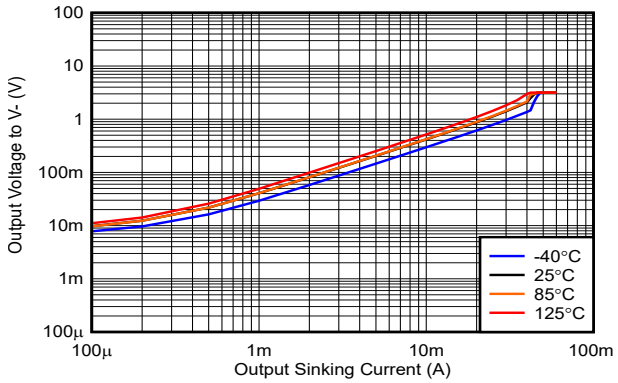


図 5-4. 出力電圧とシンク電流との関係、3.3V

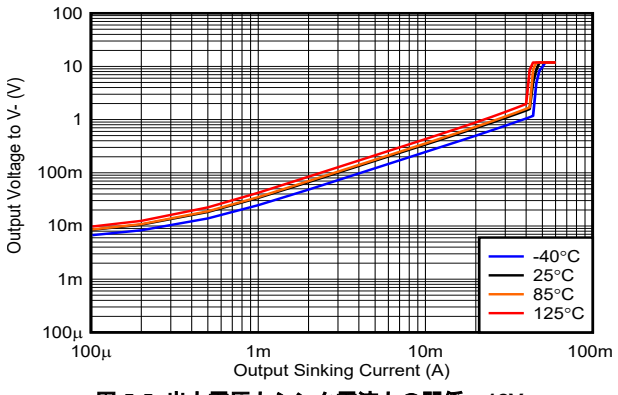


図 5-5. 出力電圧とシンク電流との関係、12V

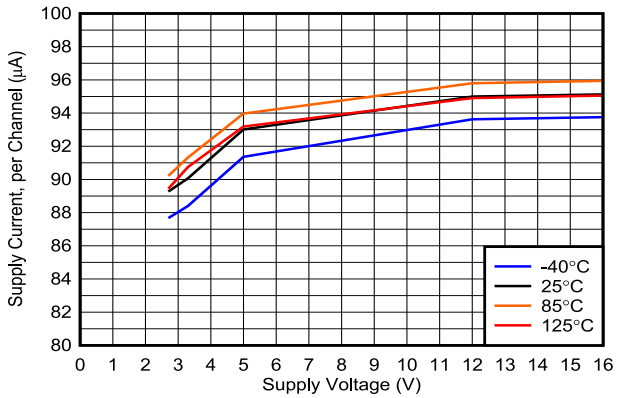


図 5-6. 電源電流と電源電圧との関係、出力 LOW、無負荷

Copyright © 2025 Texas Instruments Incorporated

5 代表的特性 (続き)

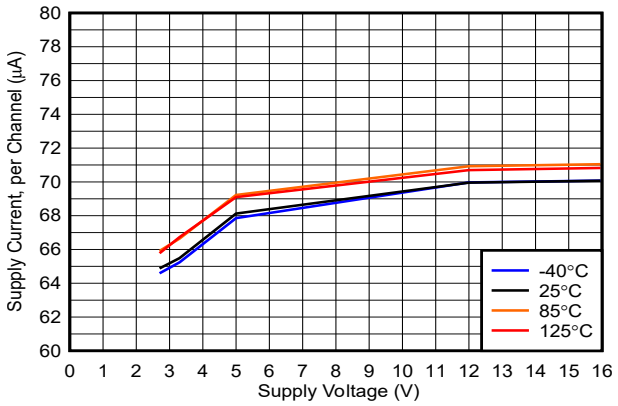


図 5-7. 電源電流と電源電圧との関係、出力 HIGH、無負荷

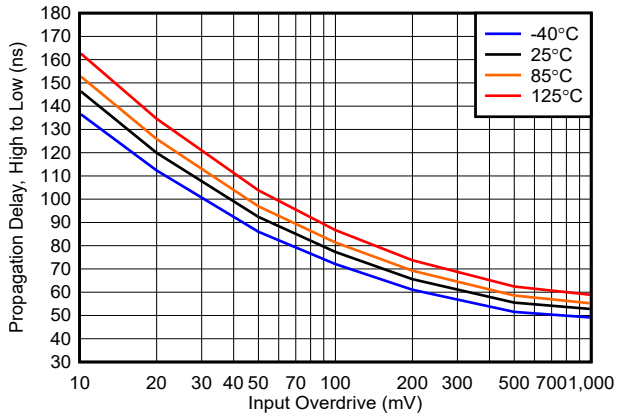


図 5-8. 伝搬遅延、 (High から Low) と入力オーバードライブとの関係、3.3V

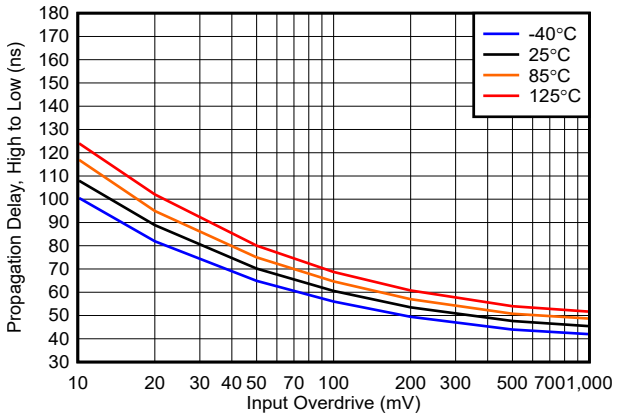


図 5-9. 伝搬遅延、 (High から Low) と入力オーバードライブとの関係、12V

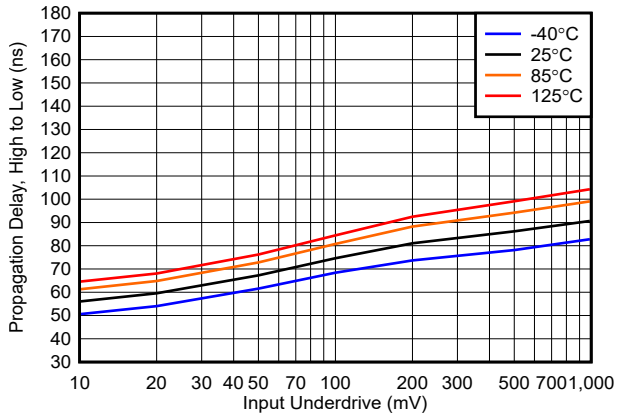


図 5-10. 伝搬遅延、(High から Low) と入力アンダードライブとの関係、3.3V

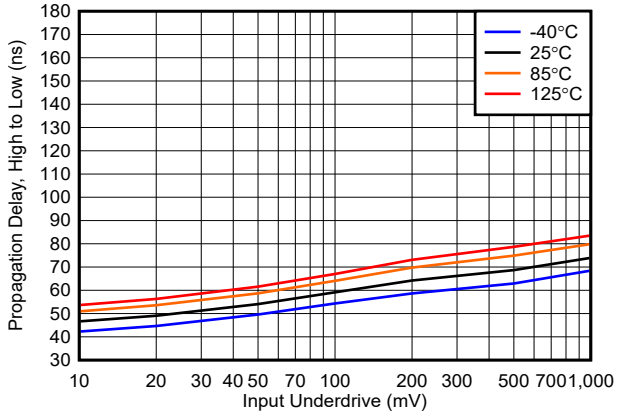


図 5-11. 伝搬遅延、(High から Low) と入力アンダードライブとの関係、12V

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TLC352 デバイスは、オープン ドレイン出力のマイクロパワー コンパレータです。TLC372 はチャネルあたりの 75µA のみの消費電力で、最低 3V で動作し、消費電力の制約が厳しいアプリケーションに最適です。

6.2 機能ブロック図

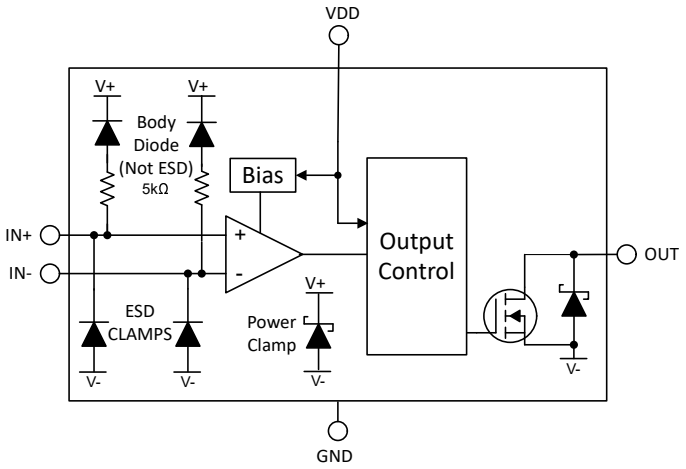


図 6-1. ブロック図

6.3 機能説明

この TLC372 コンパレータは CMOS 差動ペア入力で構成されており、入力バイアス電流を最小限に抑えながら、非常に高いゲインと高速な応答で動作できます。出力は、負の差動入力電圧で電流をシンクできるオープンド レイン出力段で構成されています。

6.4 デバイスの機能モード

6.4.1 入力

TLC3x2 の入力電圧範囲は、全温度範囲にわたって、V- より V+ から 1.5V 下までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力電圧が指定された範囲内にある場合、コンパレータ出力の位相反転は発生しません。

6.4.2 ESD 保護

TLC3x2 入出力 ESD 保護には、I/O ピンと V+ の間に従来のダイオードタイプ「上側」ESD クランプと、I/O ピンと V- の間に「下側」ESD クランプが含まれています。入力または出力は、電源レールを 300mV 以上超えないようにする必要があります。電源電圧なしで入力に信号を印加することは推奨しません。

入力が電源やバッファ付きリファレンス ラインなどの低インピーダンス電源に接続されている場合は、入力と直列に電流制限抵抗を追加して、クランプが導通しているときに電流を制限します。電流は 10mA 以下で制限する必要がありますが、電流は 1mA 以下に制限することを推奨します。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

6.4.3 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が高く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが独自の内部広帯域ノイズでトリガされ、高周波のチャタリングが発生する可能性があります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力を接地し、もう一方の入力を基準電圧に接続できます。

Copyright © 2025 Texas Instruments Incorporated

6.4.4 オープン ドレイン出力

TLC3x2 はオープン ドレイン (一般にオープン コレクタとも呼ばれる) シンク専用出力段を備えているため、コンパレータの電源電圧 (VDD) とは関係なく、出力ロジック レベルを 0V から最大 16V までの外部電圧にプルアップできます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続と論理レベルの変換が可能になります。プルアップ抵抗電流は 100µA～1mA の範囲で設定することを TI では推奨しています。プルアップ抵抗値を低くすると、立ち上がりエッジの立ち上がり時間を長くすることができますが、VOL が上昇し、消費電力が増大します。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数に左右されます。プルアップ抵抗の値が大きいと (>1MΩ)、出力 RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

出力を VDD に直接短絡すると、熱暴走が発生し、高い (> 12V) プルアップ電圧で最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用されていないオープン ドレイン出力はフローティングのままにしておくこともでき、フローティング ピンが不要な場合は GND ピンに接続することもできます。

6.4.5 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振 (ノイズの多い「チャタリング」出力) が発生する場合があります。これは、通常、入力信号がコンパレータのスイッチングしきい値を非常にゆっくりと通過するときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

図 6-2 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

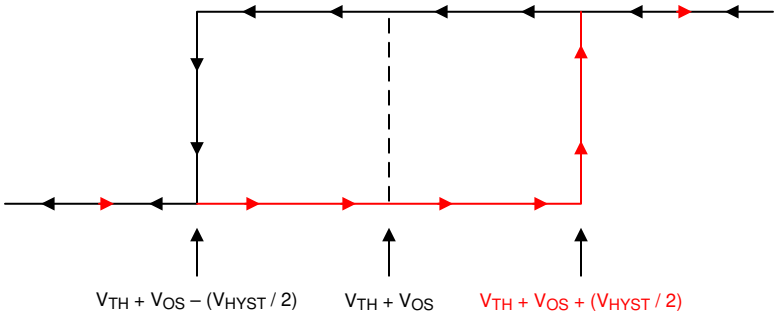


図 6-2. ヒステリシスの伝達曲線

詳細については、アプリケーション ノート SBOA219「ヒステリシス回路付き / なしのコンパレータ」を参照してください。

6.4.5.1 ヒステリシス付きの反転コンパレータ

以下に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

Copyright © 2025 Texas Instruments Incorporated

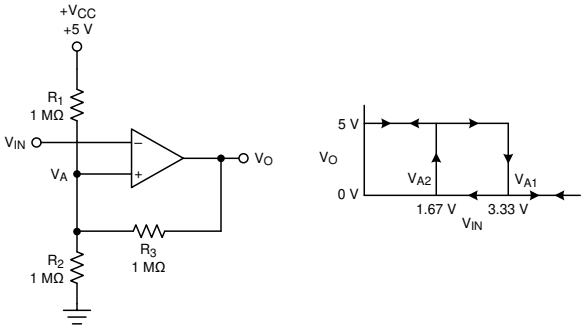


図 6-3. ヒステリシス付きの反転構成

出力が "High" と "Low" のときの等価抵抗ネットワークを以下に示します。

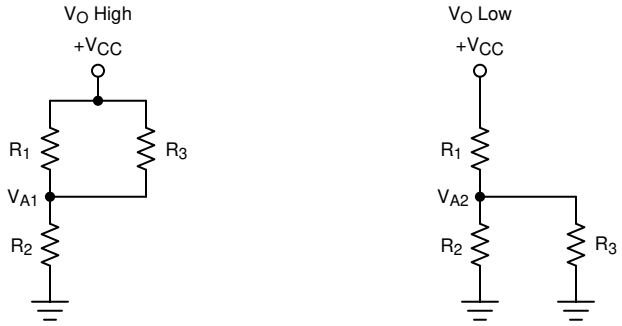


図 6-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。左上に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、右上に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

以下の式を使用して、Low から High へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

以下の式は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

6.4.5.2 ヒステリシス付きの非反転コンパレータ

ヒステリシスを有する非反転コンパレータには、図 6-5 に示すように、2 つの抵抗ネットワークと反転入力の電圧参照 (V_{REF}) が必要です。

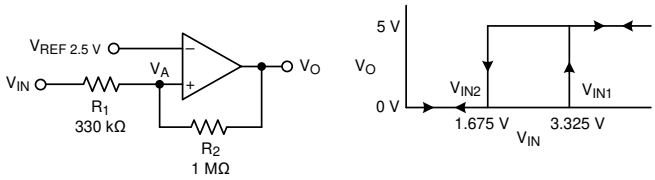


図 6-5. ヒステリシス付きの非反転構成

出力が "High" と "Low" のときの等価抵抗ネットワークを図 6-6 に示します。

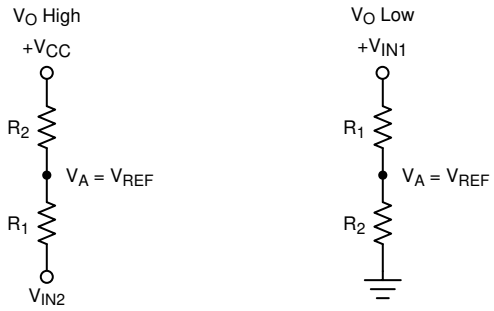


図 6-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、アプリケーション ノート SNOA997 「ヒステリシス回路付き反転コンパレータ」および SBOA313 「ヒステリシス回路付き非反転コンパレータ」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアは、デバイスの性能評価や、コードの生成およびソリューションの開発に使用されます。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2002) to Revision B (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 新しいダイの性能を反映するようにデータシート全体にわたって更新	1

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC352CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	352C
TLC352CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	352C
TLC352CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	352C
TLC352CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC352CP
TLC352CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC352CP
TLC352ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	352I
TLC352IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	352I
TLC352IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	352I
TLC352IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
TLC352IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC352IP
TLC352IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC352IP
TLC352IPW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 85	P352I
TLC352IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P352I
TLC352IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P352I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

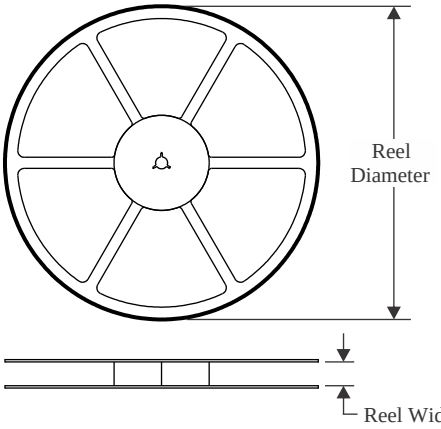
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

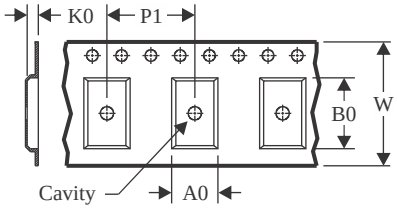
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

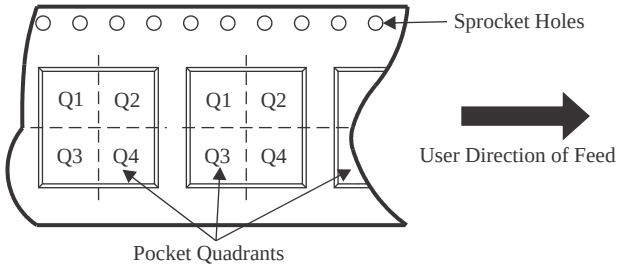


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

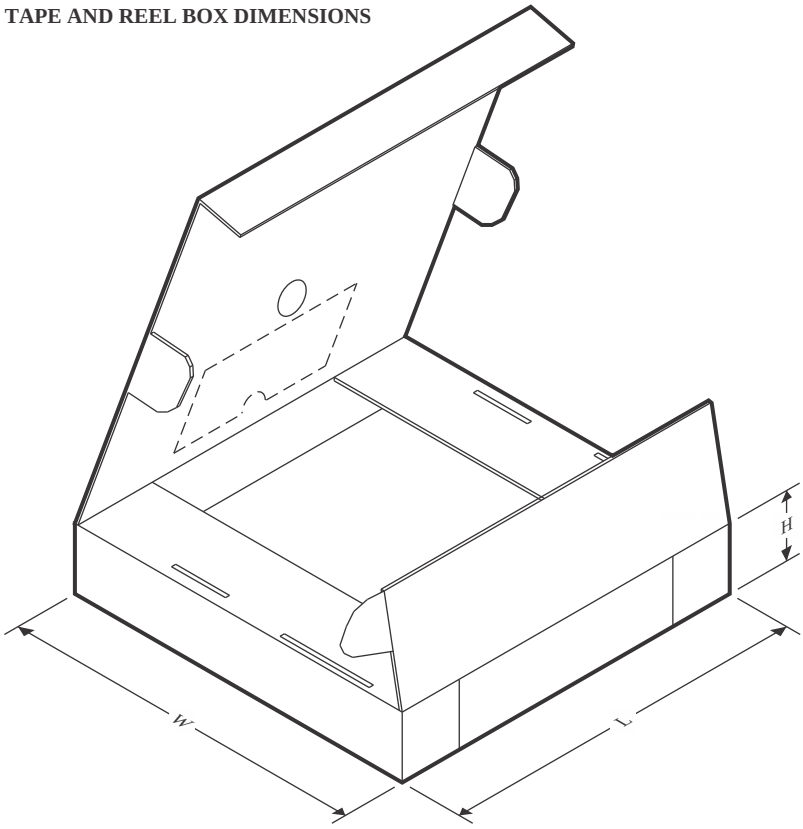
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC352CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

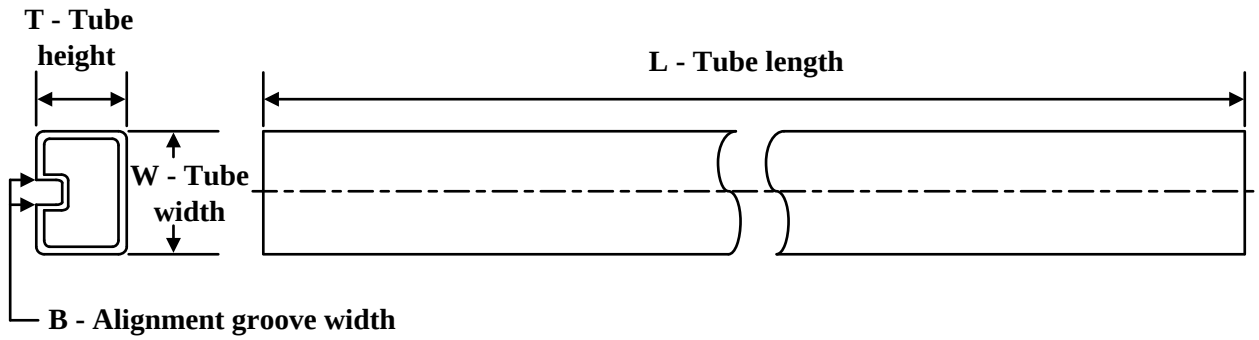
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

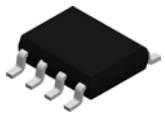
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC352CDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC352CDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC352IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC352IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC352IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLC352CP	P	PDIP	8	50	506	13.97	11230	4.32
TLC352CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC352IP	P	PDIP	8	50	506	13.97	11230	4.32
TLC352IP.A	P	PDIP	8	50	506	13.97	11230	4.32

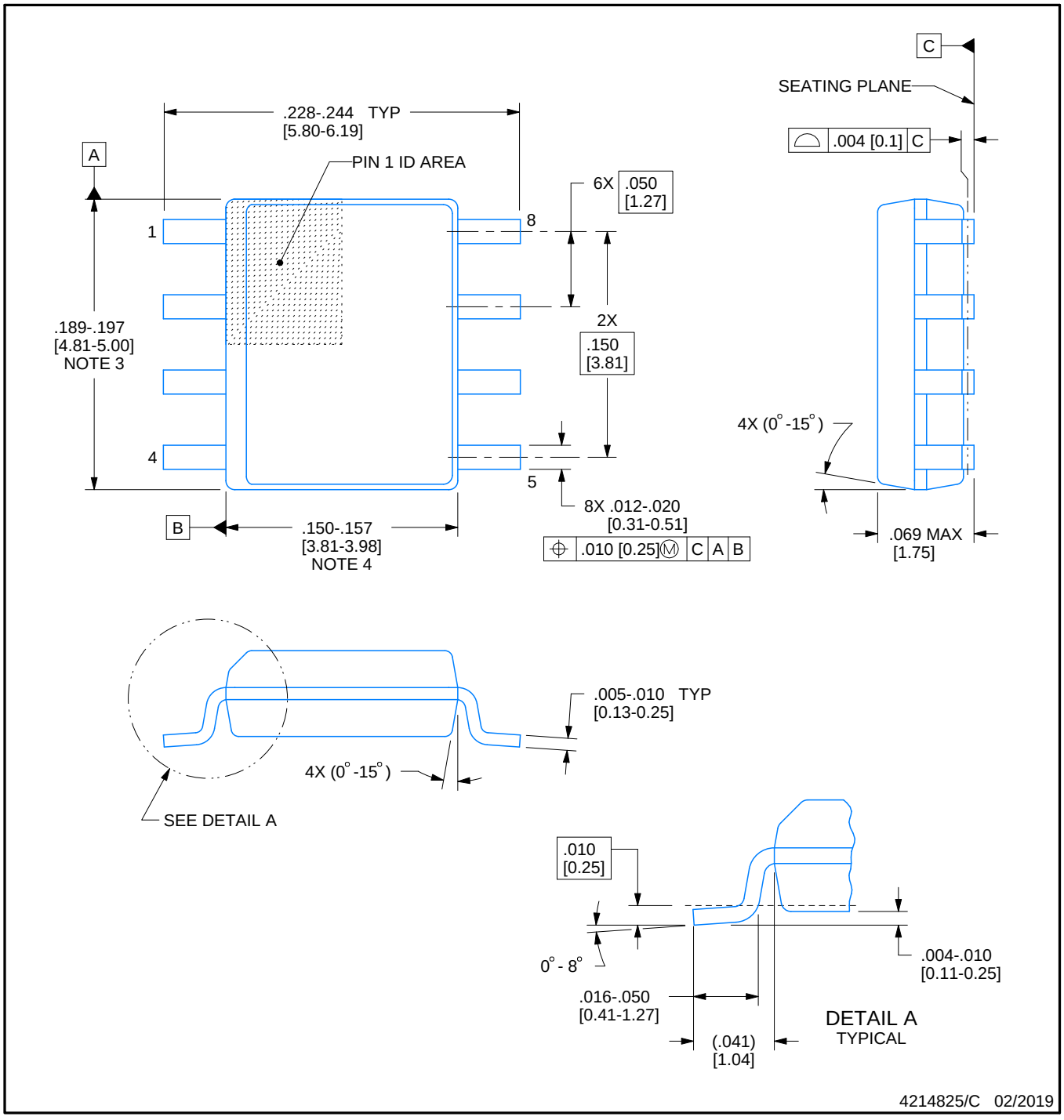


PACKAGE OUTLINE

D0008A

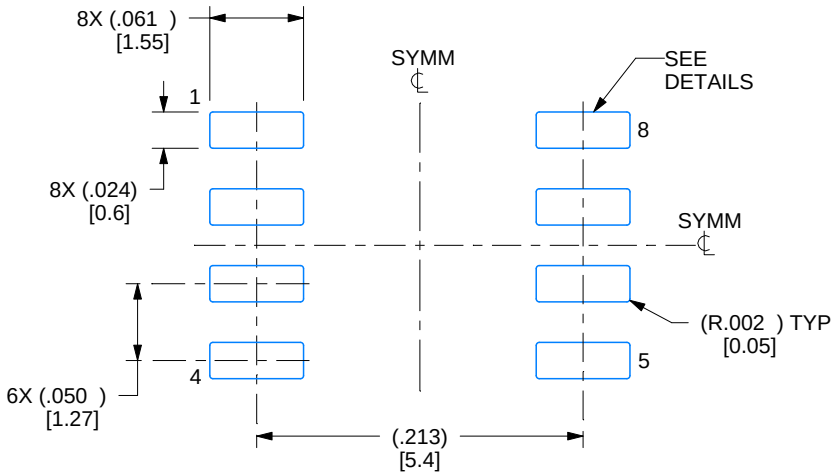
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

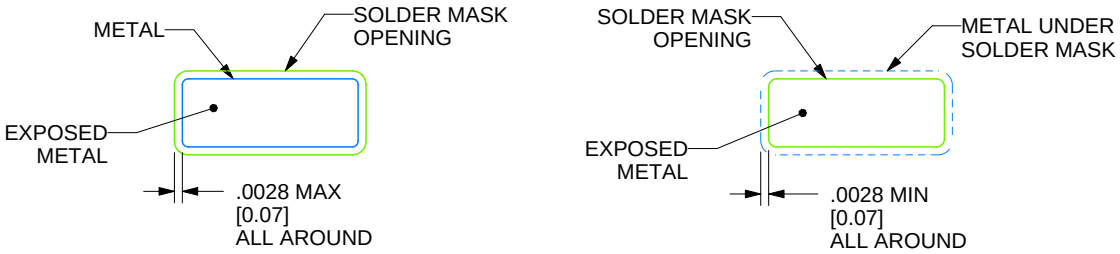


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

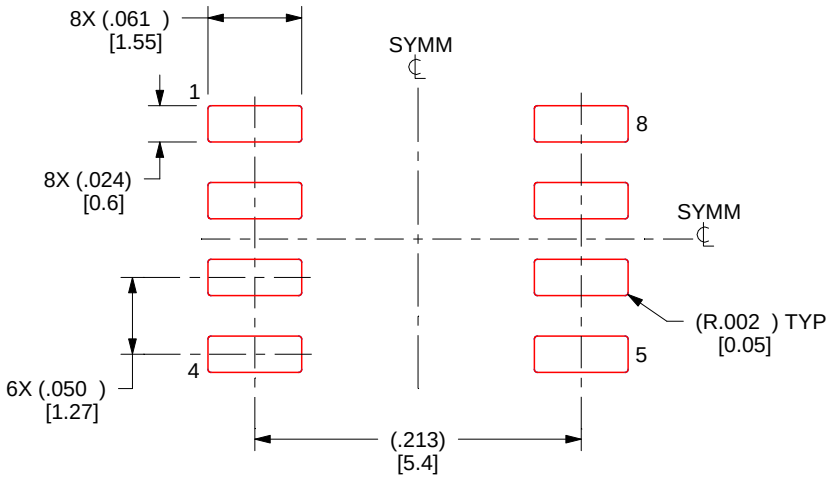
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



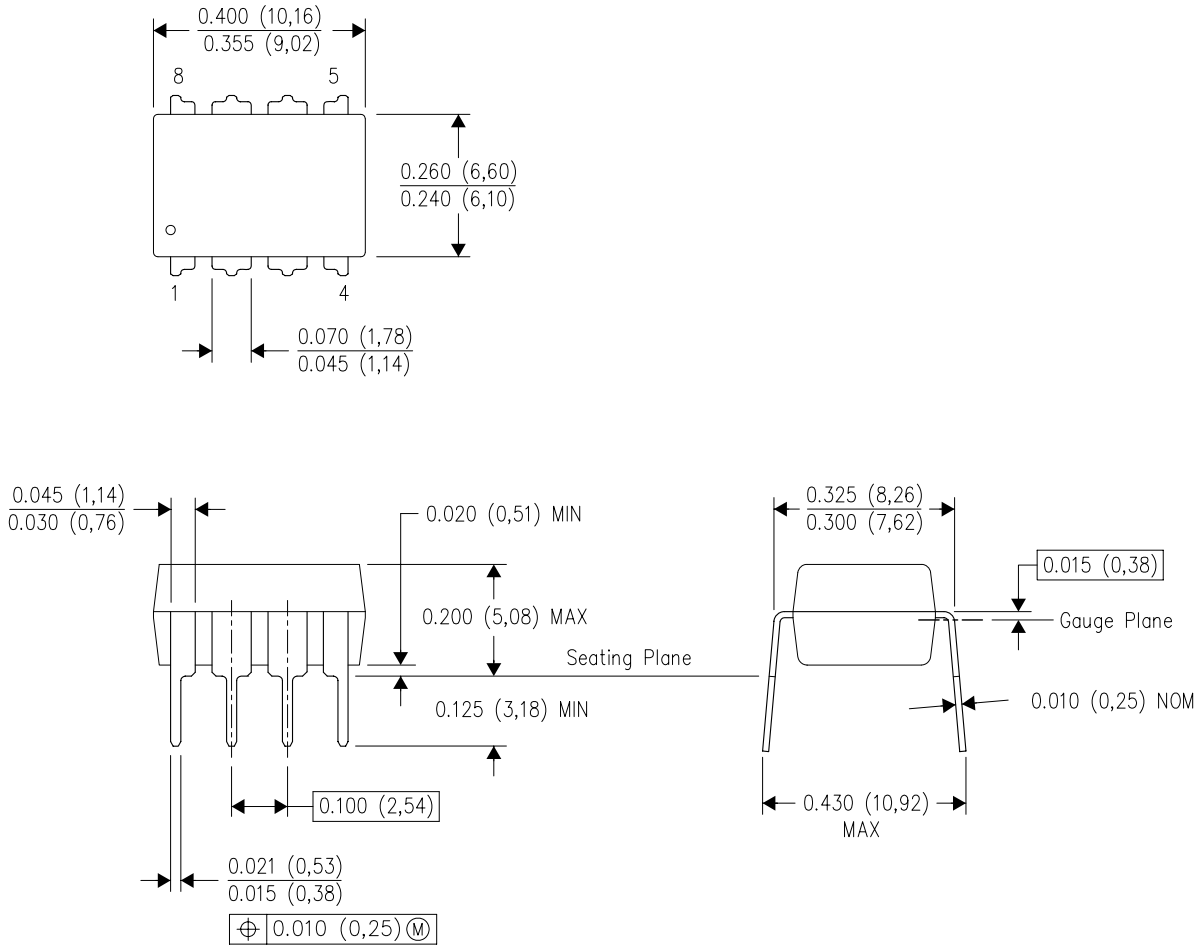
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



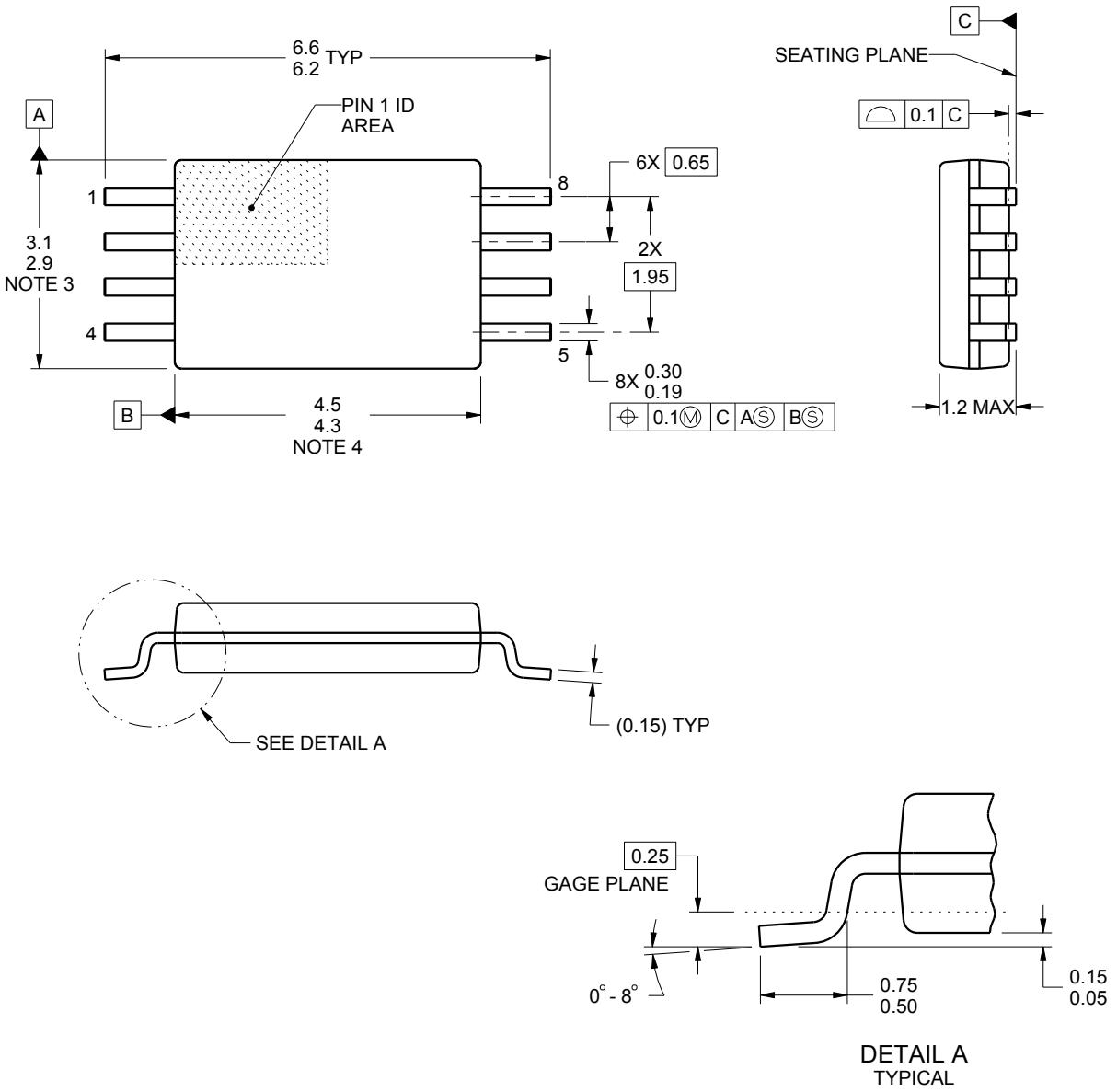
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

PW0008A

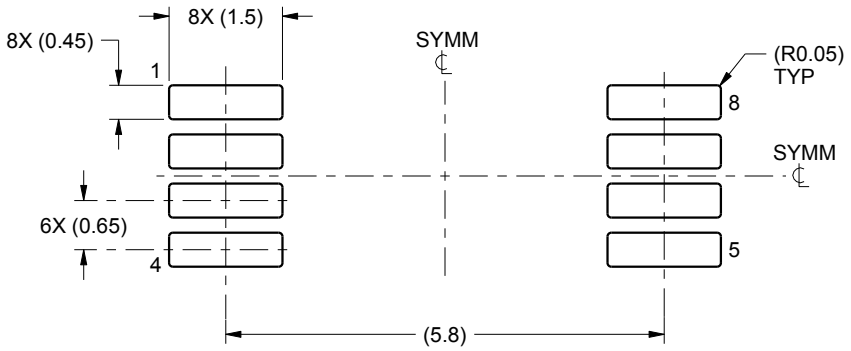
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

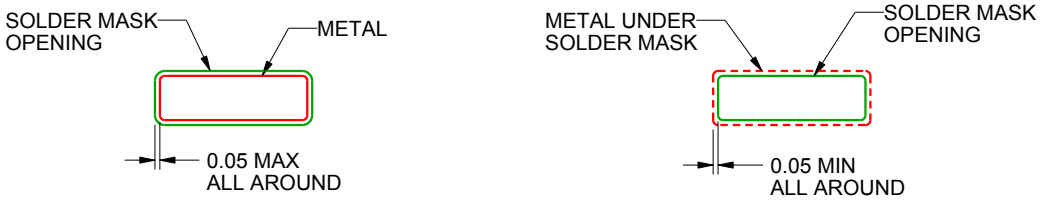


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

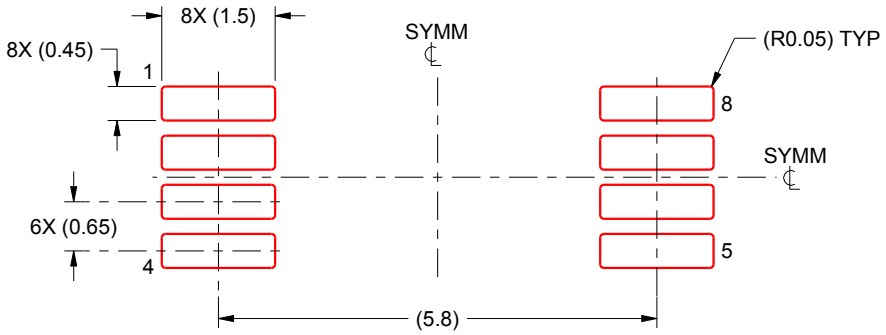


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月