TLC372 デュアル差動コンパレータ

1 特長

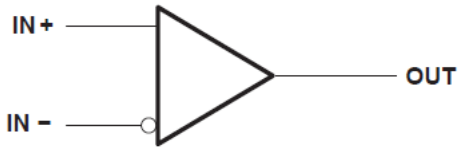
- シングルまたはデュアル電源動作
- 広い電源電圧範囲:3V ～ 16V
- Low スタンバイ消費電流:150µA (5V での標準値)
- 迅速な応答時間:TTL レベル入力ステップで標準値 200ns
- 内蔵 ESD 保護
- 高い入力インピーダンス:$10^{12}\Omega$ (標準値)
- きわめて低い入力バイアス電流:5pA (標準値)
- 超安定低入力オフセット電圧
- 同相入力電圧範囲にグランドを含む
- TTL、MOS、CMOS 互換出力
- LM393 とのピン互換

2 説明

このデバイスは、CMOS テクノロジを使用して製造されており、それぞれ単一電源で動作するように設計された 2 つの独立した電圧コンパレータで構成されています。デュアル電源での動作も可能です。この場合、2 つの電源の差が 3V～16V である必要があります。各デバイスは非常に高い入力インピーダンス (通常、$10^{12}\Omega$ 超) を備え、高インピーダンスの電源と直接接続できます。出力は N チャネルオープンドレイン構成であり、正ロジックのワイヤード AND 関係を形成するために接続できます。

TLC372 には静電放電 (ESD) 保護回路が内蔵されており、人体モデル・テストにより 1000V ESD 定格に分類されています。ただし、ESD にさらされるとデバイス パラメータ性能が低下する可能性があるため、このデバイスを取り扱う際には注意が必要です。

TLC372C は 0℃～70℃ で動作可能です。TLC372I は -40℃～85℃で動作可能です。TLC372M は -55℃～125℃の軍用温度範囲全体で動作可能です。TLC372Q は -40℃～125℃で動作可能です。



シンボル (各コンパレータ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 説明 1
3 デバイス比較表 3
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 推奨動作条件 4
5.3 電気的特性 5
5.4 スイッチング特性 5
5.5 電気的特性 6
6 代表的特性 7
7 詳細説明 9
7.1 概要 9
7.2 機能ブロック図 9
7.3 機能説明 9
7.4 デバイスの機能モード 9
8 アプリケーションと実装 13
8.1 アプリケーション情報 13
8.2 代表的なアプリケーション 14
8.3 電源に関する推奨事項 15
8.4 レイアウト 16
9 デバイスおよびドキュメントのサポート 17
9.1 ドキュメントのサポート 17
9.2 ドキュメントの更新通知を受け取る方法 17
9.3 サポート・リソース 17
9.4 商標 17
9.5 静電気放電に関する注意事項 17
9.6 用語集 17
10 改訂履歴 17
11 メカニカル、パッケージ、および注文情報 17

Copyright © 2025 Texas Instruments Incorporated

3 デバイス比較表

利用可能なオプション (1)

T_A	25℃での V_{IO} max	パッケージ デバイス					
		スモール アウトライン (D)(2)	チップ キャリア (FK)	セラミック DIP (JG)	プラスチック DIP (P)	TSSOP (PW)	セラミック フラットパック (U)
0℃～70℃	5mV	TLC372CD	—	—	TLC372CP	TLC372CPW	—
-40℃～85℃	5mV	TLC372ID	—	—	TLC372IP	—	—
-55℃～125℃	5mV	TLC372MD	TLC372MFK	TLC372MJG	TLC372MP	—	TLC372MU
-40℃～125℃	5mV	TLC372QD	—	—	TLC372QP	—	—

(1) 最新のパッケージ情報と注文情報については、このドキュメントの末尾にある「付録：パッケージ オプション」を参照するか、www.ti.com にある TI の Web サイトを参照してください。
(2) D パッケージは、テープまたはリールで供給されています。デバイス タイプの末尾に R を追加してください (TLC372CDR など)。

4 ピン構成および機能

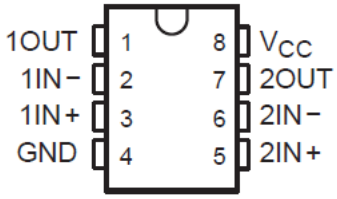
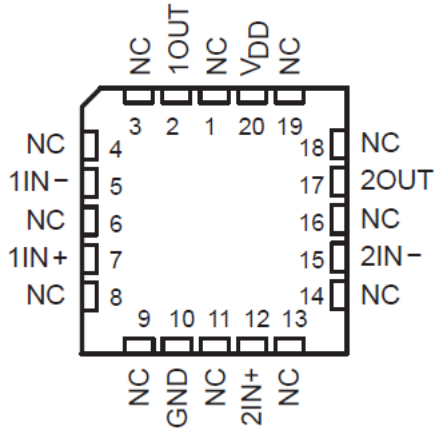


図 4-1. TLC372C、TLC372I、TLC372M、TLC372QD、P、または PW パッケージ TLC372M JG パッケージ (上面図)



A. NC - 内部接続なし。

図 4-2. TLC372M FK パッケージ (上面図)

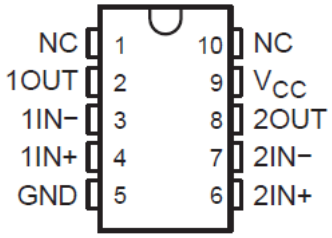


図 4-3. TLC372M U パッケージ (上面図)

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{DD}	電源電圧 (2)			18	V
V_{ID}	差動入力電圧 (3)			±18	V
V_I	入力電圧範囲		-0.3	VDD	V
V_O	出力電圧			18	V
I_I	入力電流			±5	VmA
I_O	出力電流			20	mA
	出力のグランドへの短絡時間(4)		制限なし		
θ_{JA}	パッケージの熱インピーダンス(5) (6)	D パッケージ		97.1	℃/W
		P パッケージ		84.6	
		PW パッケージ		149	
θ_{JC}	パッケージの熱インピーダンス(5) (6)	FK パッケージ		5.6	℃/W
		JG パッケージ		14.5	
		U パッケージ		14.7	
T_A	動作温度範囲	TLC372C	0	70	℃
		TLC372I	-40	85	
		TLC372M	-55	125	
		TLC372Q	-40	125	
	保管温度範囲		-65	150	℃
	60 秒間のケース温度	FK パッケージ		260	℃
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間	D パッケージ		260	℃
		P パッケージ			
		PW パッケージ			
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 60 秒間	JG パッケージ		300	℃
		U パッケージ			

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 差動電圧を除くすべての電圧値は、ネットワークアースを基準にしています。
(3) 差動電圧は、IN- を基準とする IN+ です。
(4) 出力から V_{DD} への短絡が発生すると、過熱や最終的なデバイスの破壊につながる可能性があります。
(5) 最大損失は $T_{J(max)}$、θ_{JA}、T_A の関数となります。最大許容消費電力と、許容される周囲温度との関係式は、$P_D = (T_{J(max)} – T_A)/\theta_{JA}$ です。絶対最大定格 T_J = 150℃での動作は、信頼性に影響を与える可能性があります。
(6) パッケージの熱インピーダンスは、JESD 51-7 (プラスチック) または MIL-STD-883 方法 1012 (セラミック) に従って計算しています。

5.2 推奨動作条件

			TLC372C		TLC372I		TLC372M		TLC372Q		単位
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
V_{DD}	電源電圧		3	16	3	16	4	16	4	16	V
V_{IC}	同相入力電圧	V_{DD} = 5V	0	3.5	0	3.5	0	3.5	0	3.5	V
		V_{DD} = 10V	0	8.5	0	8.5	0	8.5	0	8.5	
T_A	自由空気での動作温度		0	70	-40	85	-55	125	-40	125	℃

Copyright © 2025 Texas Instruments Incorporated

5.3 電気的特性

指定された自由空気温度で、V_{DD} = 5V (特に記述のない限り)

パラメータ		テスト条件		T_A (1)	TLC372C			TLC372I			TLC372M、TLC372Q			単位
					最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	$V_{IC} = V_{ICR}min$(2)		25°C		1	5		1	5		1	5	mV
				フルレンジ			6.5			7			10	
I_{IO}	入力オフセット電流			25°C		1			1			1		pA
				最大値			0.3			1			10	nA
I_{IB}	入力バイアス電流			25°C		5			5			5		pA
				最大値			0.6			2			20	nA
V_{ICR}	同相入力電圧範囲			25°C	0 から V_{DD} + -1			0 から V_{DD} + -1			0 から V_{DD} + -1			V
				フルレンジ	0 から V_{DD} + -1.5			0 から V_{DD} + -1.5			0 から V_{DD} + -1.5			
I_{OH}	High レベル出力電流	V_{ID} = 1V	V_{OH} = 5V	25°C		0.1			0.1			0.1		nA
			V_{OH} = 15V	フルレンジ			1			1			3	μA
V_{OL}	Low レベル出力電圧	V_{ID} = -1V	I_{OL} = 4mA	25°C		150	400		150	400		150	400	mV
				フルレンジ			700			700			700	
I_{OL}	Low レベル出力電流	V_{ID} = -1V	V_{OL} = 1.5 V	25°C	6	16		6	16		6	16		mA
I_{DD}	電源電流 (2 つのコンパレータ)	V_{ID} = 1V	無負荷	25°C		150	300		150	300		150	300	μA
				フルレンジ			400			400			400	

(1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。フルレンジは、TLC372C では 0℃～70℃、TLC372I では -40℃～85℃、TLC372M では -55℃～125℃、TLC372Q では −40°C～125°C です。

(2) 与えられたオフセット電圧制限は、出力と V_{DD} の間に 10kΩ 抵抗を使用して、出力を 4V 以上または 400mV 未満に駆動するために必要な最大値です。これらは、入力に制限値を適用し、適切な出力状態を確認することで検証できます。

5.4 スイッチング特性

V_{DD} = 5V、T_A = 25°C

パラメータ	テスト条件		最小値	標準値	最大値	単位
応答時間	R_L は 5.1kΩ 経由で 5V に接続、C_L = 15pF(1) (2)	10mV オーバードライブで 100mV の入力ステップ		200		ns
		100mV オーバードライブ		100		

(1) C_L にはプローブと治具の容量が含まれます。

(2) 記載されている応答時間は、入力ステップの動作から、出力が 1.4V を超える瞬間までの時間です。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

指定された自由空気温度で、V_{DD} = 5V、T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件(1)		TLC372Y			単位
				最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	V_{IC} = V_{ICR}min(2)			1	5	mV
I_{IO}	入力オフセット電流				1		pA
I_{IB}	入力バイアス電流				5		pA
V_{ICR}	同相入力電圧範囲			0 から V_{DD} + -1			V
I_{OH}	High レベル出力電流	V_{ID} = 1V	V_{OH} = 5V		0.1		nA
V_{OL}	Low レベル出力電圧	V_{ID} = -1V	I_{OL} = 4mA		150	400	mV
I_{OL}	低レベル出力電流	V_{ID} = -1V	V_{OL} = 1.5 V	6	16		mA
I_{DD}	電源電流 (2 つのコンパレータ)	V_{ID} = 1V	無負荷		150	300	µA

(1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。
(2) 与えられたオフセット電圧制限は、出力と V_{DD} の間に 10kΩ 抵抗を使用して、出力を 4V 以上または 400mV 未満に駆動するために必要な最大値です。これらは、入力に制限値を適用し、適切な出力状態を確認することで検証できます。

Copyright © 2025 Texas Instruments Incorporated

6 代表的特性

特に記載のない限り、T_A = 25°C で、V_S = 12V、V_{CM} = V_S/2V、C_L = 15pF、入力オーバードライブ = 入力アンダードライブ = 100mV、R_{PU} = 10kΩ。

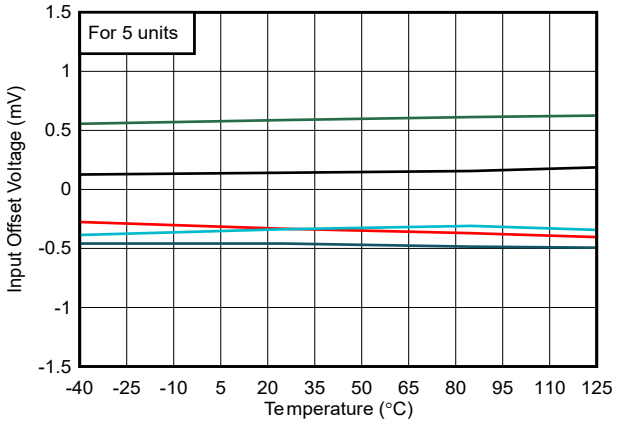


図 6-1. オフセットと温度との関係

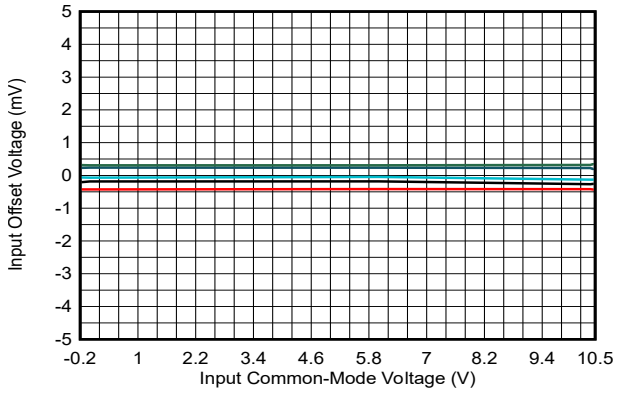


図 6-2. オフセットと同相との関係、12V

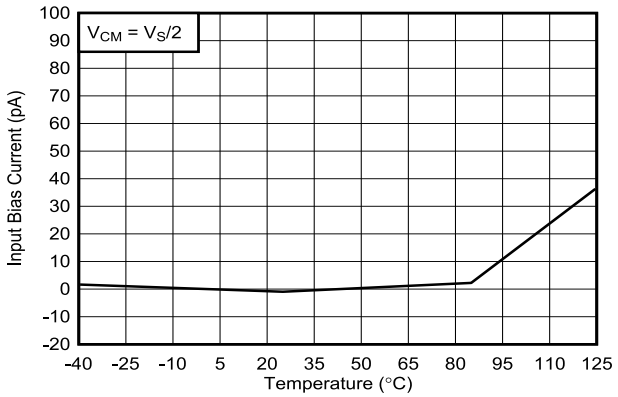


図 6-3. バイアス電流と温度との関係

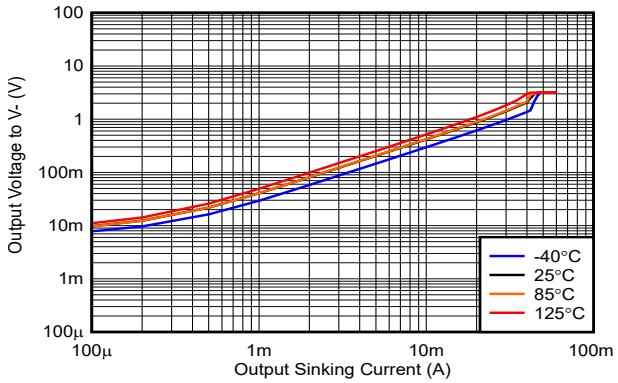


図 6-4. 出力電圧とシンク電流の関係、3.3V

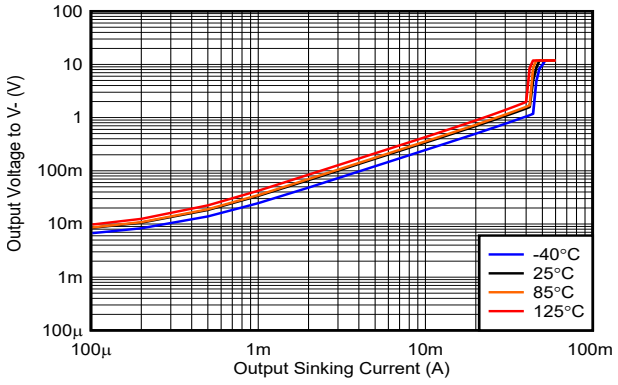


図 6-5. 出力電圧とシンク電流の関係、12V

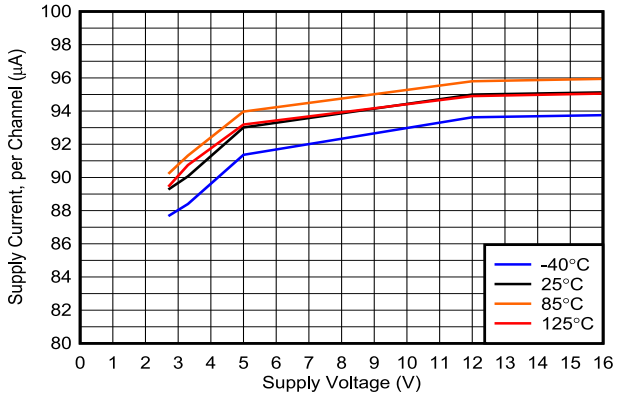


図 6-6. 電源電流と電源電圧の関係、出力 LOW、負荷なし

Copyright © 2025 Texas Instruments Incorporated

6 代表的特性 (続き)

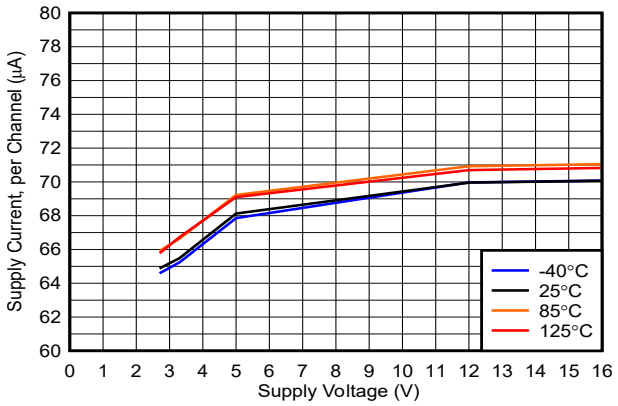


図 6-7. 電源電流と電源電圧の関係、出力 HIGH、負荷なし

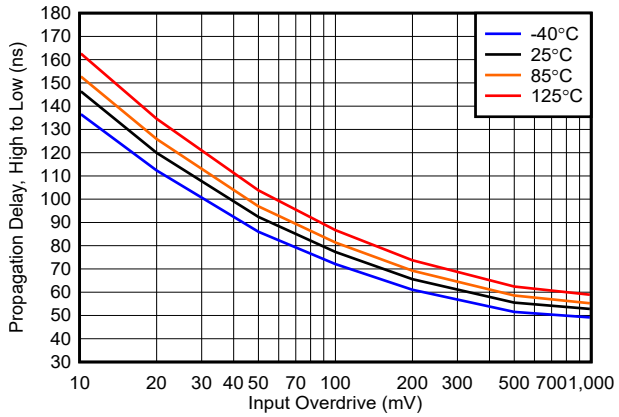


図 6-8. 伝搬遅延、(Low から High) と入力オーバードライブの関係、3.3V

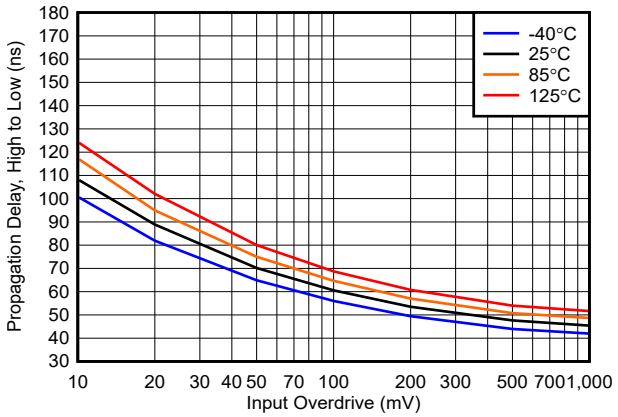


図 6-9. 伝搬遅延、(Low から High) と入力オーバードライブの関係、12V

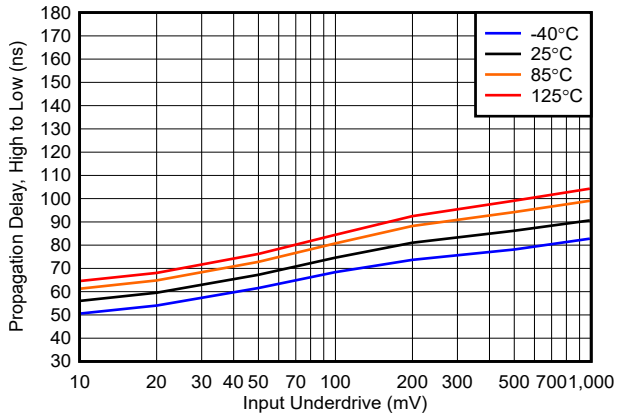


図 6-10. 伝搬遅延、(High から Low) とアンダードライブとの関係、3.3V

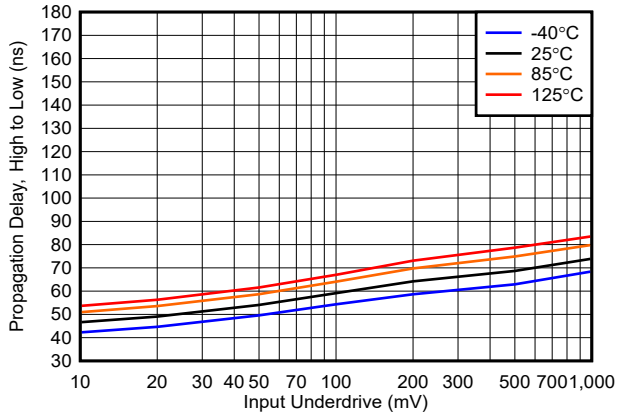


図 6-11. 伝搬遅延、(High から Low) とアンダードライブとの関係、12V

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TLC372 デバイスは、オープンドレイン出力のマイクロパワー コンパレータです。TLC372 は、チャネルあたりの 75µA のみの消費電力で、最低 3V で動作し、消費電力の制約が厳しいアプリケーションに最適です。

7.2 機能ブロック図

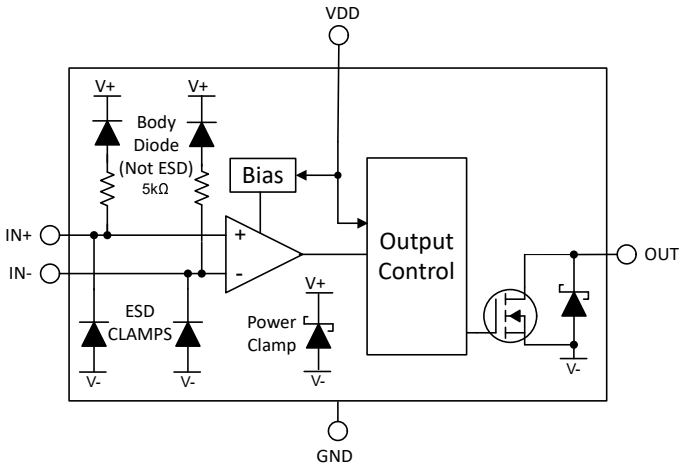


図 7-1. ブロック図

7.3 機能説明

この TLC372 コンパレータは CMOS ダーリントンペア入力で構成されており、入力バイアス電流を最小限に抑えながら、非常に高いゲインと高速な応答で動作できます。出力は、負の差動入力電圧を持つ電流をシンクできるオープン ドレイン出力段で構成されています。

7.4 デバイスの機能モード

7.4.1 入力

TLC3x2 の入力電圧範囲は、全温度範囲にわたって、V- より V+ から 1.5V 下までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力電圧が指定された範囲内にある場合、コンパレータ出力の位相反転は発生しません。

7.4.2 ESD 保護

TLC3x2 入出力 ESD 保護には、I/O ピンと V+ の間に従来のダイオードタイプ「上側」ESD クランプと、I/O ピンと V- の間に「下側」ESD クランプが含まれています。入力または出力は、電源レールを 300mV 以上超えないようにする必要があります。電源電圧なしで入力に信号を印加することは推奨しません。

入力が電源やバッファ付きリファレンス ラインなどの低インピーダンス電源に接続されている場合は、入力と直列に電流制限抵抗を追加して、クランプが導通しているときに電流を制限します。電流は 10mA 以下で制限する必要がありますが、電流は 1mA 以下に制限することを推奨します。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

7.4.3 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が高く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが独自の内部広帯域ノイズでトリガされ、高周波のチャタリングが発生する可能性があります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力を接地し、もう一方の入力を基準電圧に接続できます。

Copyright © 2025 Texas Instruments Incorporated

7.4.4 オープン ドレイン出力

TLC3x2 はオープン ドレイン (一般にオープン コレクタとも呼ばれる) シンク専用出力段を備えているため、コンパレータの電源電圧 (VDD) とは関係なく、出力ロジック レベルを 0V から最大 16V までの外部電圧にプルアップできます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続と論理レベルの変換が可能になります。プルアップ抵抗電流は 100µA～1mA の範囲で設定することを TI では推奨しています。プルアップ抵抗値を低くすると、立ち上がりエッジの立ち上がり時間を長くすることができますが、VOL が上昇し、消費電力が増大します。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数に左右されます。プルアップ抵抗の値が大きいと (>1MΩ)、出力 RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

出力を VDD に直接短絡すると、熱暴走が発生し、高い (> 12V) プルアップ電圧で最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用されていないオープン ドレイン出力はフローティングのままにしておくこともでき、フローティング ピンが不要な場合は GND ピンに接続することもできます。

7.4.5 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振 (ノイズの多い「チャタリング」出力) が発生する場合があります。これは、通常、入力信号がコンパレータのスイッチングしきい値を非常にゆっくりと通過するときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

図 7-2 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

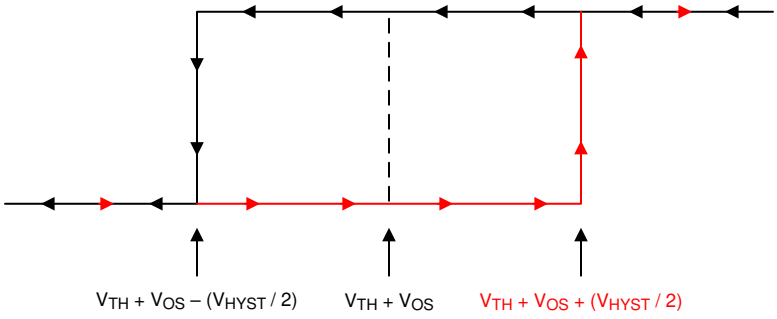


図 7-2. ヒステリシスの伝達曲線

詳細については、アプリケーション ノート SBOA219「ヒステリシス回路付き / なしのコンパレータ」を参照してください。

7.4.5.1 ヒステリシス付きの反転コンパレータ

以下に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

Copyright © 2025 Texas Instruments Incorporated

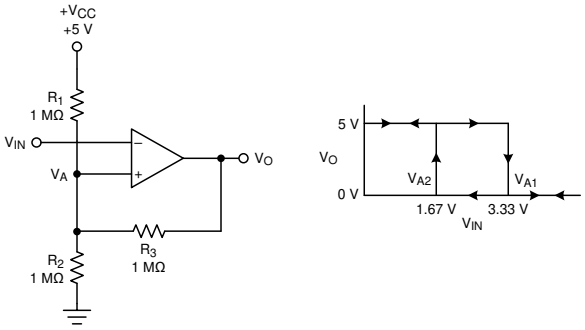


図 7-3. ヒステリシス付きの反転構成

出力が "High" と "Low" のときの等価抵抗ネットワークを以下に示します。

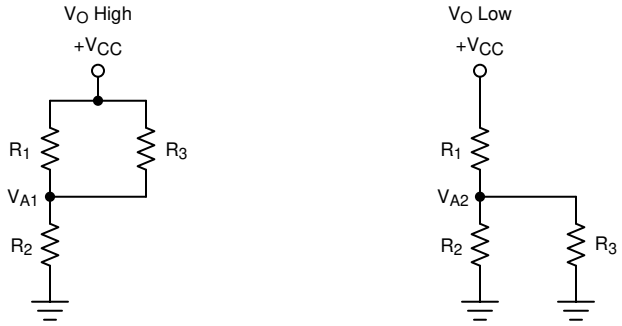


図 7-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。左上に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、右上に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

以下の式を使用して、Low から High へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

以下の式は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

7.4.5.2 ヒステリシス付きの非反転コンパレータ

ヒステリシスを有する非反転コンパレータには、図 7-5 に示すように、2 つの抵抗ネットワークと反転入力の電圧参照 (V_{REF}) が必要です。

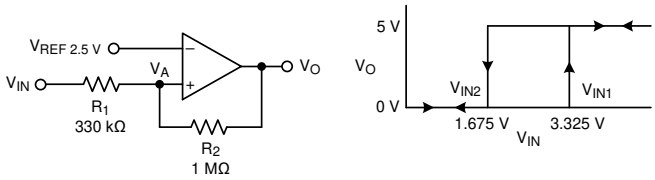


図 7-5. ヒステリシス付きの非反転構成

出力が "High" と "Low" のときの等価抵抗ネットワークを図 7-6 に示します。

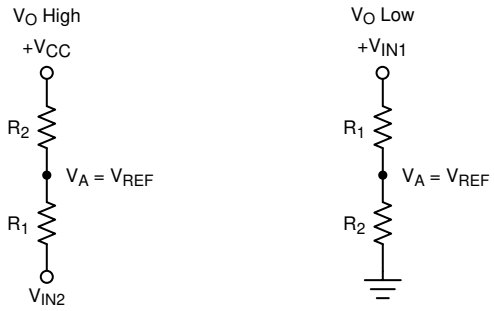


図 7-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、アプリケーション ノート SNOA997 「ヒステリシス回路付き反転コンパレータ」および SBOA313 「ヒステリシス回路付き非反転コンパレータ」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 基本的なコンパレータの定義

8.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の 図 8-1 の例で、V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) はロジック "Low" (V_{OL}) になります。V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は high-Z 状態になります。表 8-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 8-1. 出力条件

入力の条件	出力
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (チャタリング - 「ヒステリシス」を参照)
IN+ < IN-	"Low" (V_{OL})

8.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 8-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。同様に、伝搬遅延はオーバードライブ (V_{OD}) およびアンダードライブ (V_{UD}) 電圧レベルと呼ばれるものによって異なります (以下のセクションを参照)。

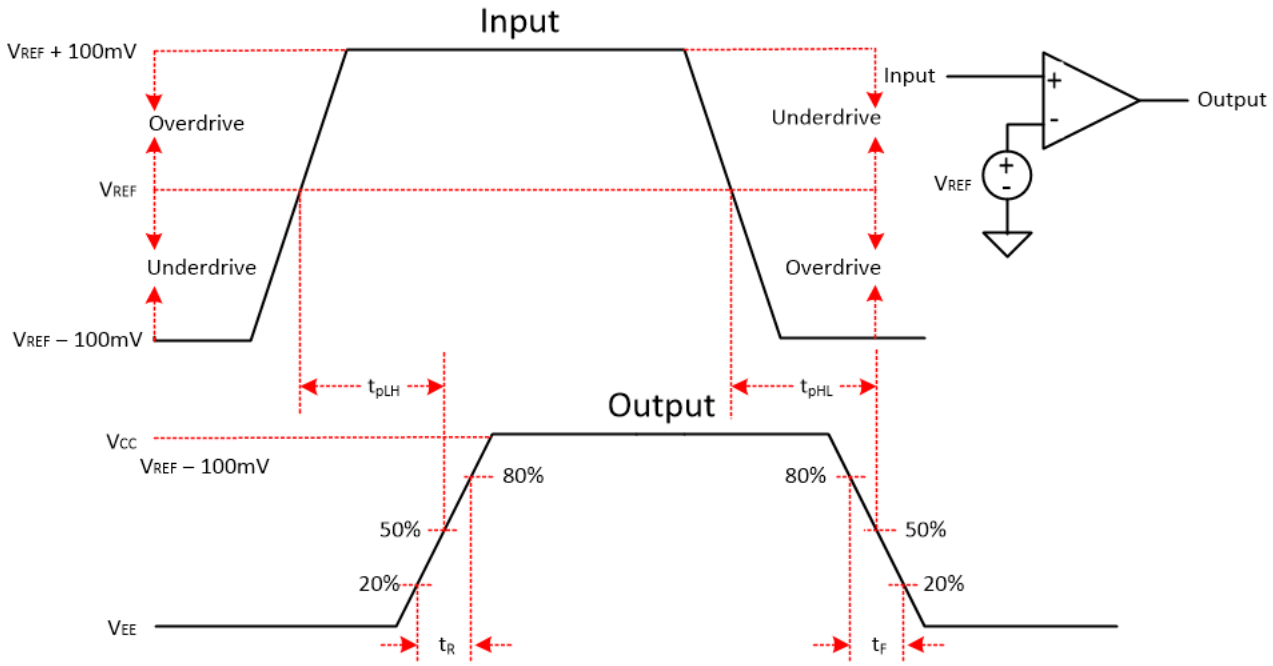


図 8-1. コンパレータのタイミング図

8.1.1.3 オーバードライブおよびアンダードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。図 8-1 の例に示したオーバードライブ電圧は 100mV です。同様に、低駆動電圧 V_{UD} は、入力が開始される REF をどれだけ下回っているかを示します。オーバードライブ電圧とアンダードライブ電圧は、伝搬遅延 (t_p) に影響を及ぼします。詳細については、「標準特性」セクションの曲線を参照してください。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。オーバードライブ電圧とは逆に、アンダードライブ電圧が大きいほど伝搬遅延が増加します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 20% から 80% のポイントまでの時間です。

8.2 代表的なアプリケーション

8.2.1 ウィンドウ コンパレータ

ウインドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。次の図は、24V PLC 電源を監視する簡単なウィンドウ コンパレータ回路を示しています。

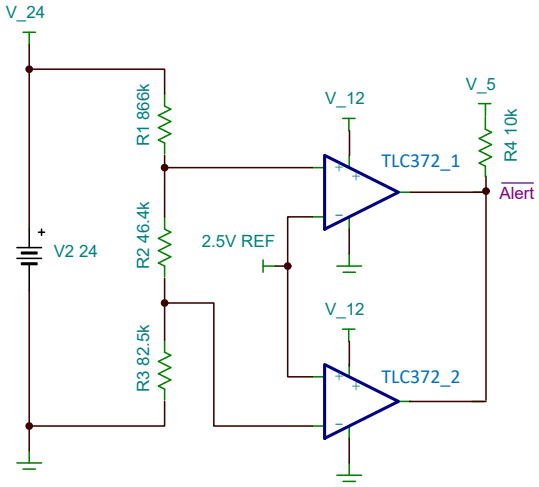


図 8-2. ウィンドウ コンパレータ

8.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 24V 電源が 19.2V を下回る場合の UV_Alert (論理低出力)
- 24V 電源が 30V を上回る場合の OV_Alert (論理低出力)
- 抵抗ストリングで消費される電流は、30µA です
- コンパレータは、5V 電源で動作します
- 2.5V の外部参照を使用します

8.2.1.2 詳細な設計手順

上図の回路に示すように回路を構成し、この場合、TLC372 からの 2.5V REF を基準電圧として使用し、抵抗ストリング R1、R2、R3 によって 24V PLC 電源の上限および下限しきい値電圧が定義されます。コンパレータが、24V 電源が最大電圧 30V を上回ったこと、または最小電圧 19.2V を下回ったことを検出すると、OV_Alert および UV_Alert ネットが論理 LOW 状態になります。

最初の手順は、30µA の消費制限を使用して、抵抗列の合計抵抗 (R1、R2、R3) を決定することです。最大動作電圧が 30V の場合、R1 + R2 + R3 の合計抵抗が 1MΩ の場合、抵抗列は 30µA を消費します。

Copyright © 2025 Texas Instruments Incorporated

2 番目のステップでは、24V 電源が 30V に達したときに下側のコンパレータが出力状態を HIGH から LOW に変更するように、R3 の値を設定します。これは、R2 と R3 の接合部電圧が 2.5V の基準電圧と等しくなるときに実現されます。30µA は、抵抗ストリングを 30V で通過するため、R3 は 2.5V/30µA から計算でき、これは約 83.3kΩ です。

3 番目のステップは、24V 電源が 19.2V に達したときに上側コンパレータが出力状態を HIGH から LOW に変化するように R2 の値を設定することです。これは、R1 と R2 の接合部電圧が 2.5V の基準電圧と等しくなるときに実現されます。19.2µA は、19.2V で抵抗ストリングを通過するため、R2 は (2.5V/19.2µA)-R3 から計算でき、これは約 46.9kΩ です。

最後に、R1 の値は 1MΩ - (R2+R3)から計算され、約 870kΩ になります。この回路では、標準の 1% の抵抗値が選択されていることに注意してください

24V PLC 電源が 19.2V 未満または 30V 超の場合、それぞれのコンパレータ出力 (OV_Alert および UV_Alert) は LOW になります。同様に、以下に示すように、24V 電源が 19.2V～30V の範囲内 (「ウィンドウ」内) にある場合、それぞれのコンパレータ出力は HIGH になります。

8.2.1.3 アプリケーション曲線

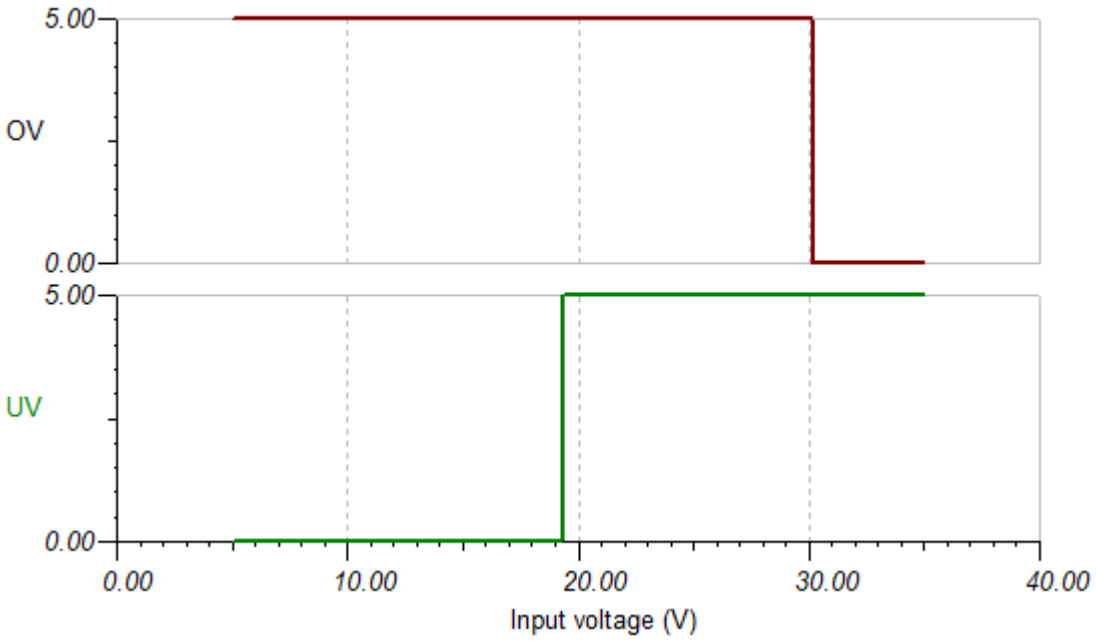


図 8-3. ウィンドウ コンパレータの結果

8.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサを配置することが重要です。V+ ピンとグランド ピンの間に低 ESR の 0.1µF セラミック バイパス コンデンサを直接接続して、*それぞれ*のデバイスの電源を直接バイパスします。出力遷移時間中に狭いピーク電流が流れます。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 (V+ および V-)、または「単一」電源 (V+ および GND) から電力を供給できます (V- ピンに GND を印加)。いずれのタイプについても、入力信号を規定の入力範囲内 (V+ と V- の間) に維持する必要があります。「分割」電源では、出力は GND ではなく V- の電位まで「Low」 (V_{OL}) に振れることに注意してください。

Copyright © 2025 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションでは、出力グリッチを最小限に抑えるために、クリーンで安定した電源が重要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは、電源ピンにできるだけ近づけて、しっかりとしたグランド プレーンに接続し、できれば V+ ピンと GND ピンの間に直接接続する必要があります。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に V+ または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (≤100 Ω) の抵抗を追加して、制御された長い非インピーダンス トレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンス トレースを使用する必要があります。

8.4.2 レイアウト例

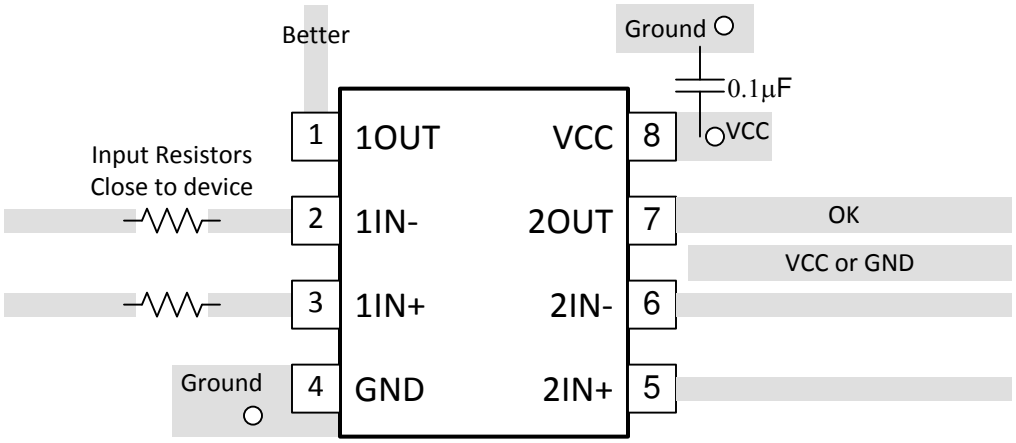


図 8-4. デュアル レイアウトの例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (July 2008) to Revision F (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 新しいダイの性能を反映するようにデータシート全体にわたって更新	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-87658012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-87658012A TLC372MFKB
5962-8765801PA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8765801PA TLC372M
5962-9554901NXD	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	Q372M
5962-9554901NXDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	Q372M
5962-9554901NXDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	Q372M
TLC372CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	372C
TLC372CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	372C
TLC372CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	372C
TLC372CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC372CP
TLC372CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC372CP
TLC372CPS	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPS.A	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	0 to 70	P372
TLC372CPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	372I
TLC372IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	372I
TLC372IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
TLC372IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC372IP
TLC372IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC372IP
TLC372MD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-55 to 125	
TLC372MDG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-	
TLC372MDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	372M
TLC372MDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	372M
TLC372MDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	372M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC372MDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	372M
TLC372MFKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-87658012A TLC372MFKB
TLC372MFKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-87658012A TLC372MFKB
TLC372MJG	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MJG
TLC372MJG.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MJG
TLC372MJGB	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8765801PA TLC372M
TLC372MJGB.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8765801PA TLC372M
TLC372MP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	TLC372MP
TLC372MP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	TLC372MP
TLC372MUB	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MUB
TLC372MUB.A	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MUB
TLC372QD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	
TLC372QDG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	
TLC372QDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	372Q
TLC372QDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	372Q
TLC372QDRG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	372Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC372, TLC372M :

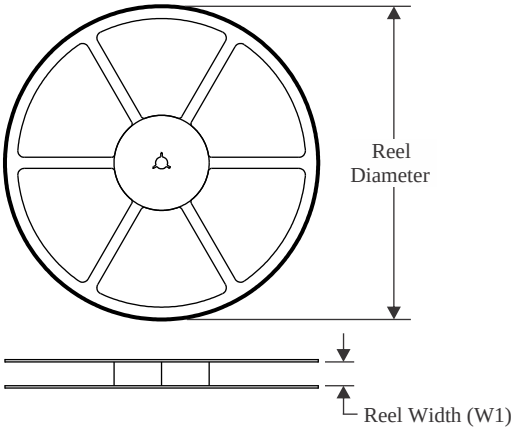
- Catalog : TLC372
- Enhanced Product : TLC372-EP, TLC372-EP
- Military : TLC372M

NOTE: Qualified Version Definitions:

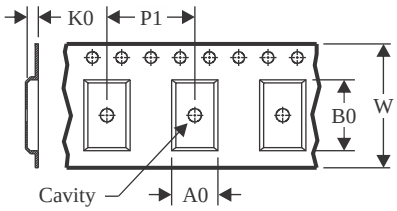
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

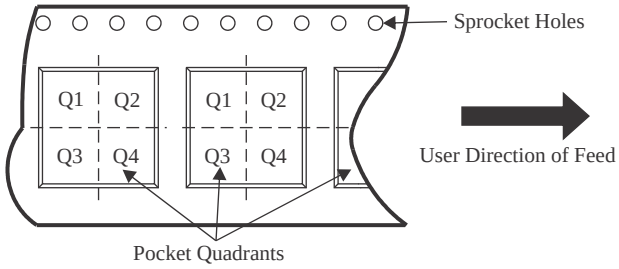


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

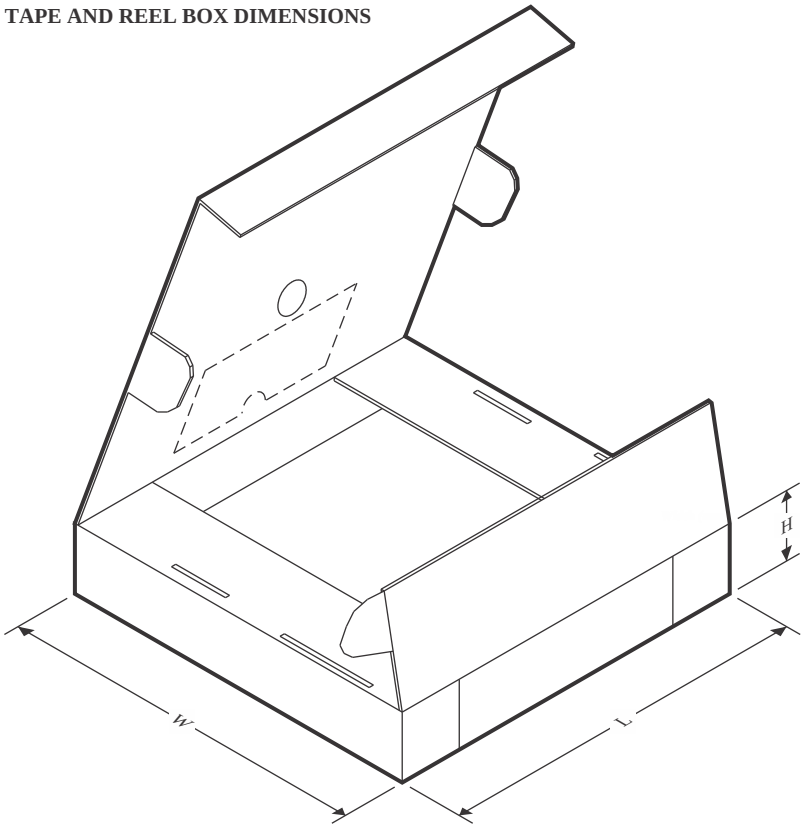
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962-9554901NXDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TLC372CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLC372IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372MDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372QDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

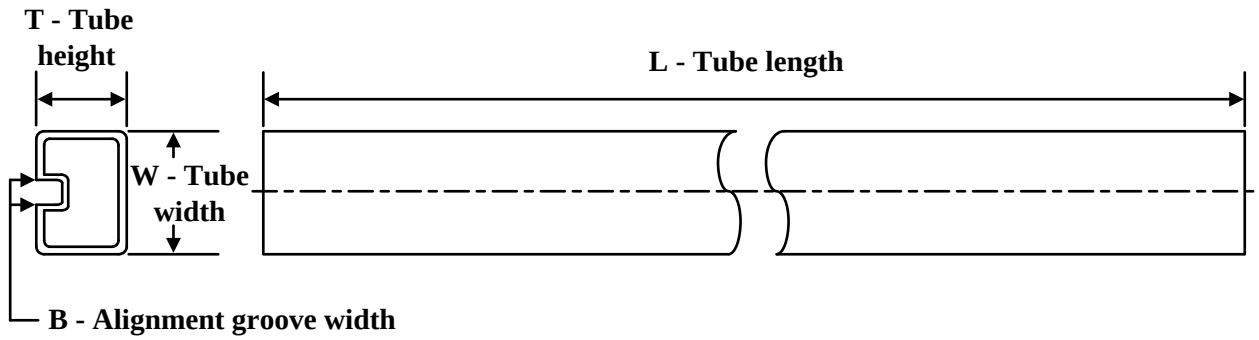
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962-9554901NXDR	SOIC	D	8	2500	350.0	350.0	43.0
TLC372CDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC372CDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC372CPSR	SO	PS	8	2000	353.0	353.0	32.0
TLC372CPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLC372IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC372IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC372MDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC372MDRG4	SOIC	D	8	2500	340.5	338.1	20.6
TLC372QDR	SOIC	D	8	2500	340.5	338.1	20.6

TUBE



*All dimensions are nominal

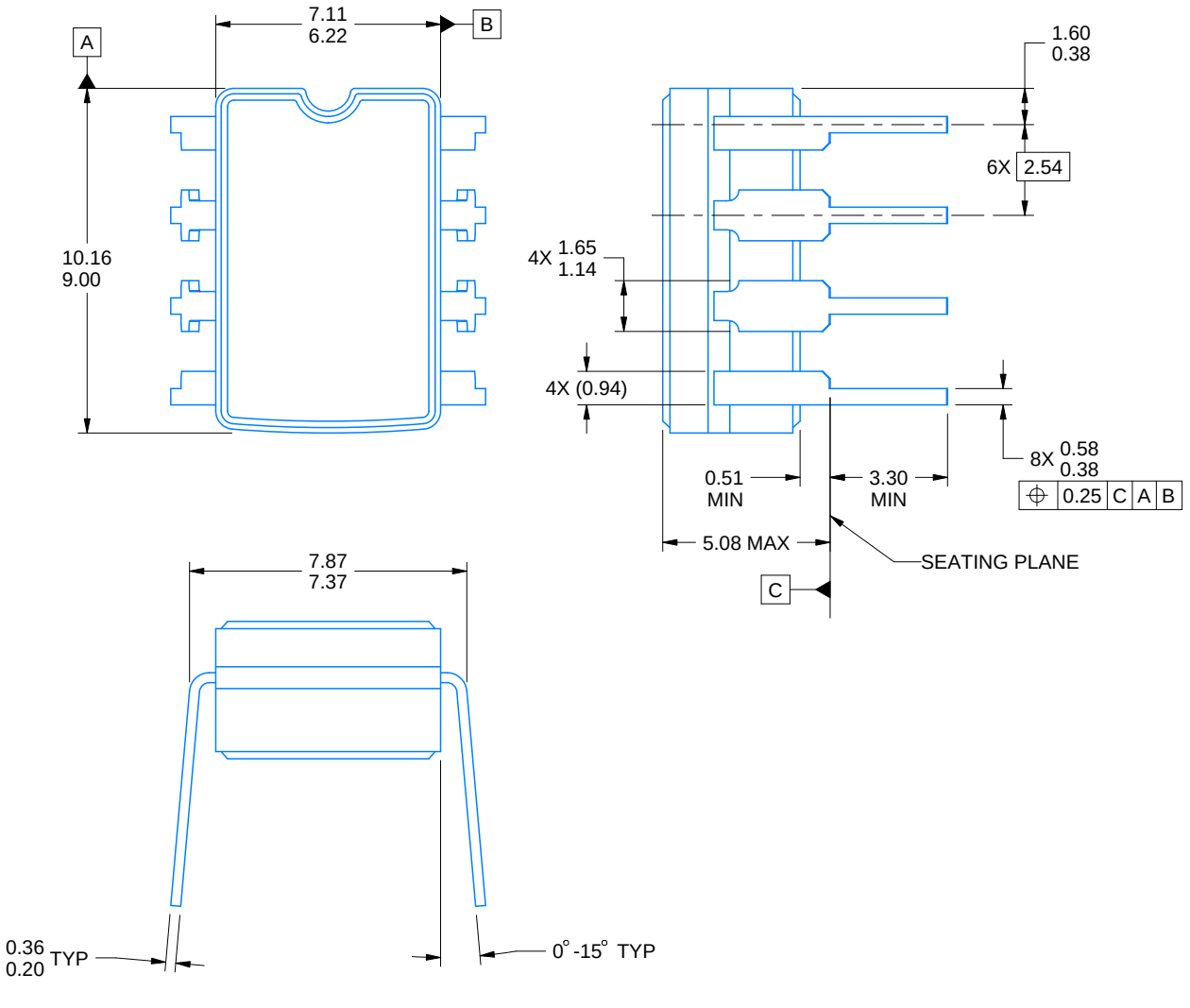
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-87658012A	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC372CP	P	PDIP	8	50	506	13.97	11230	4.32
TLC372CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC372CPS	PS	SOP	8	80	530	10.5	4000	4.1
TLC372CPS.A	PS	SOP	8	80	530	10.5	4000	4.1
TLC372IP	P	PDIP	8	50	506	13.97	11230	4.32
TLC372IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC372MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC372MFKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC372MP	P	PDIP	8	50	506	13.97	11230	4.32
TLC372MP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC372MUB	U	CFP	10	25	506.98	26.16	6220	NA
TLC372MUB.A	U	CFP	10	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

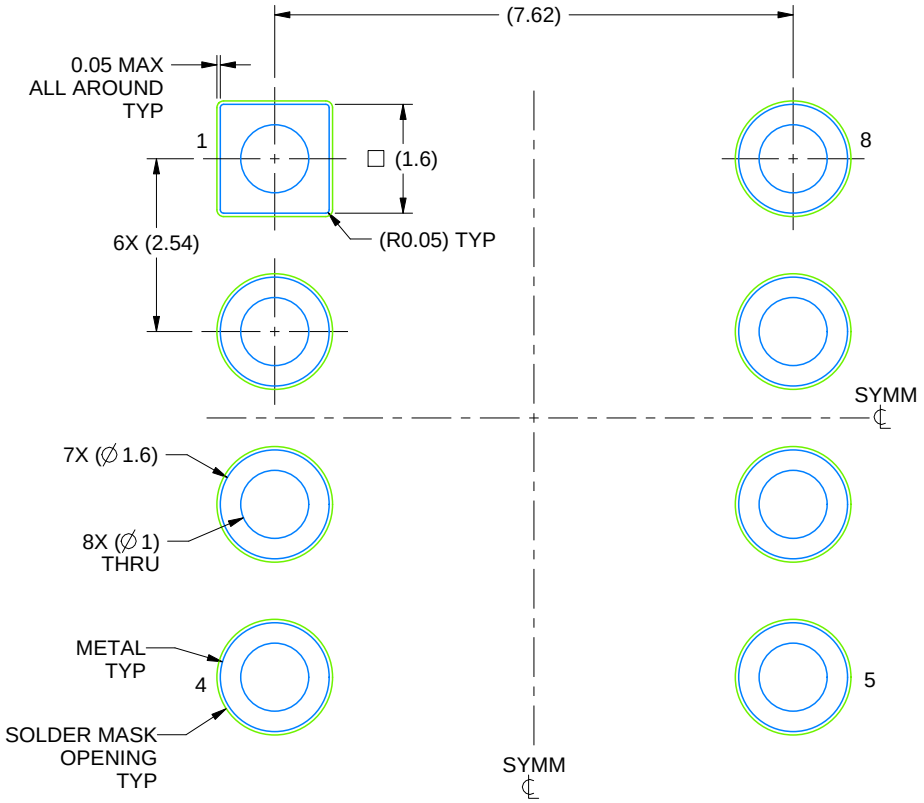
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

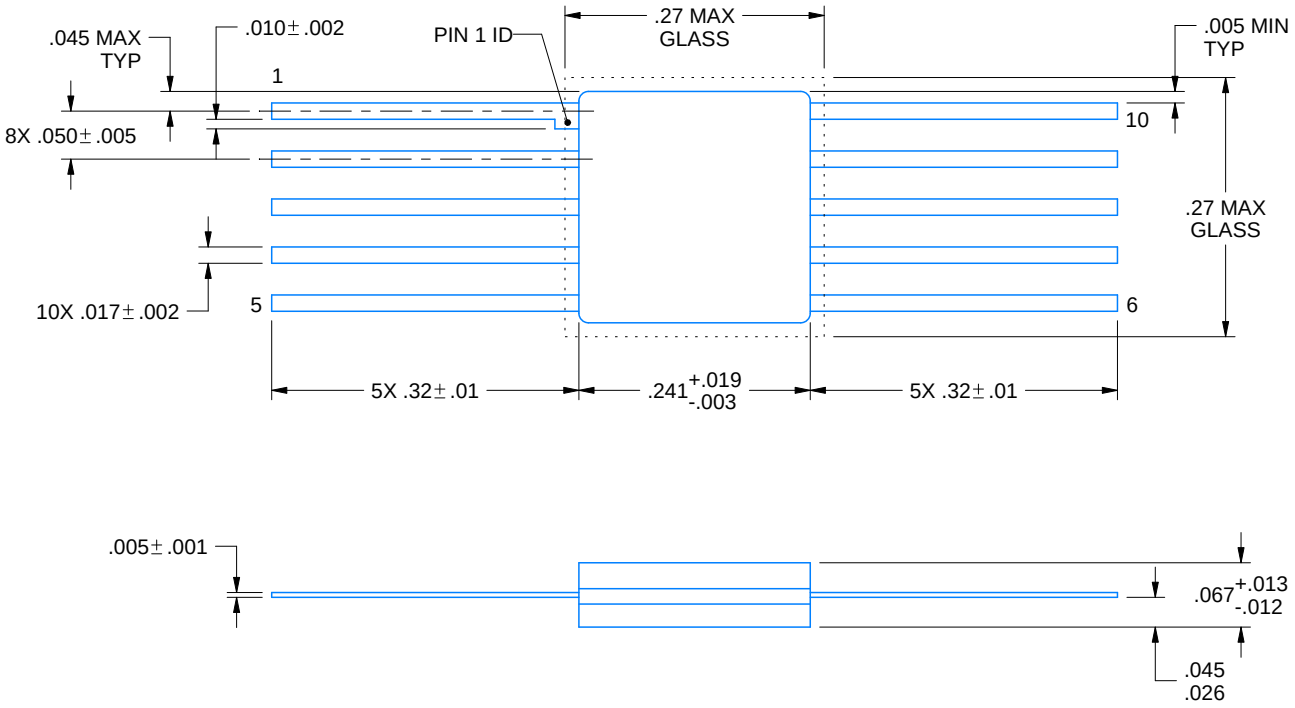
4230036/A 09/2023

U0010A

PACKAGE OUTLINE

CFP - 2.03 mm max height

CERAMIC FLATPACK



4225582/A 01/2020

NOTES:

1. All linear dimensions are in inches. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

GENERIC PACKAGE VIEW

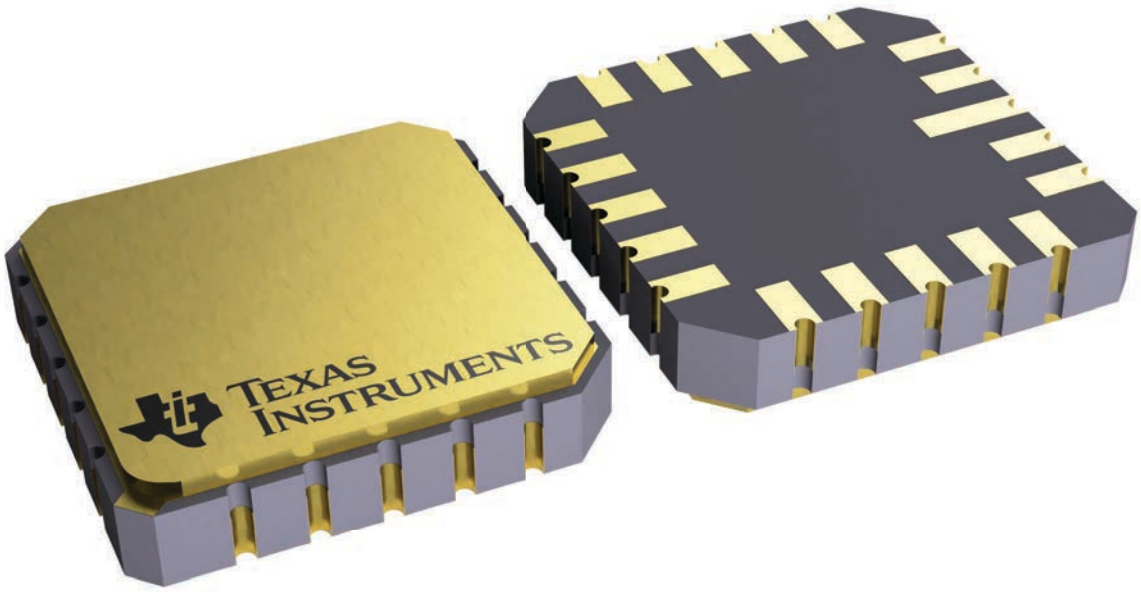
FK 20

LCCC - 2.03 mm max height

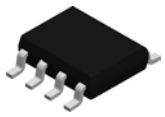
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

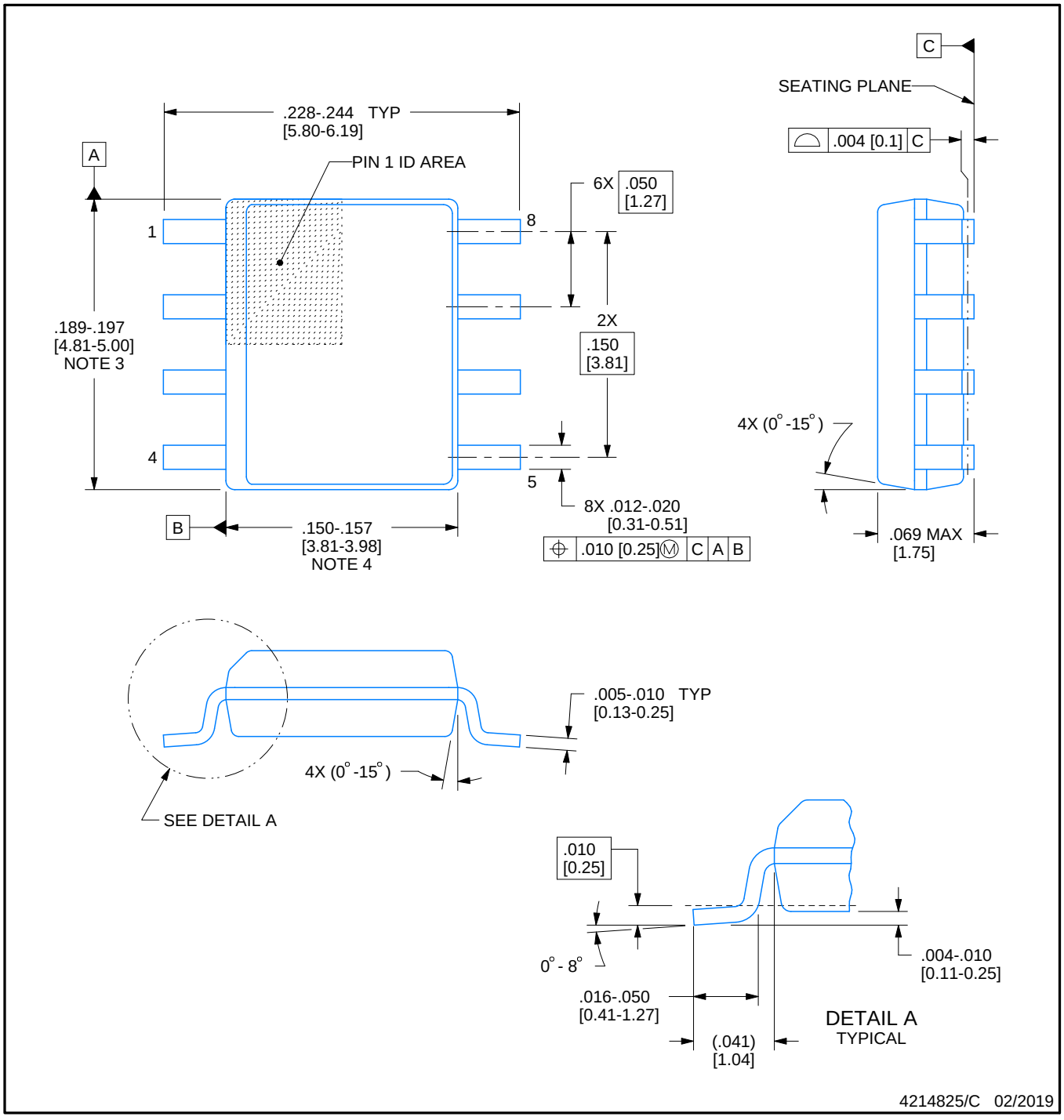


PACKAGE OUTLINE

D0008A

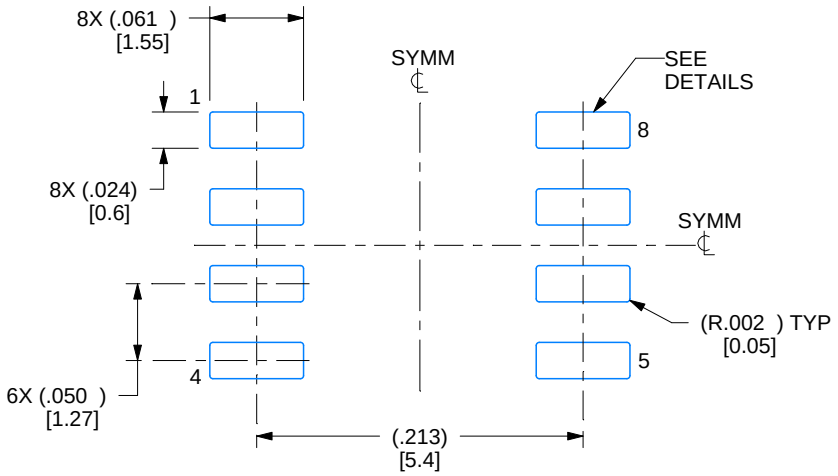
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

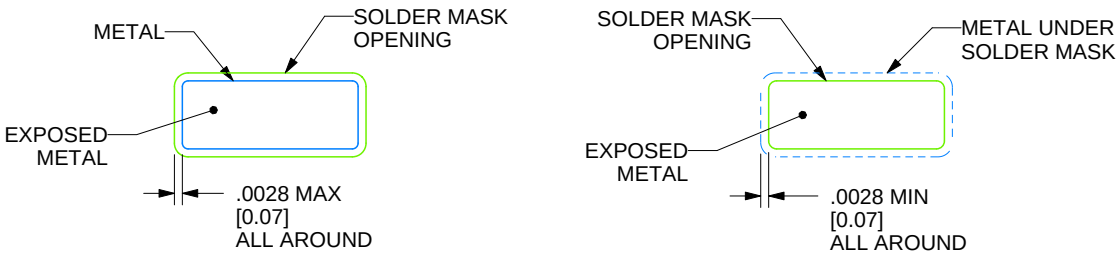


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

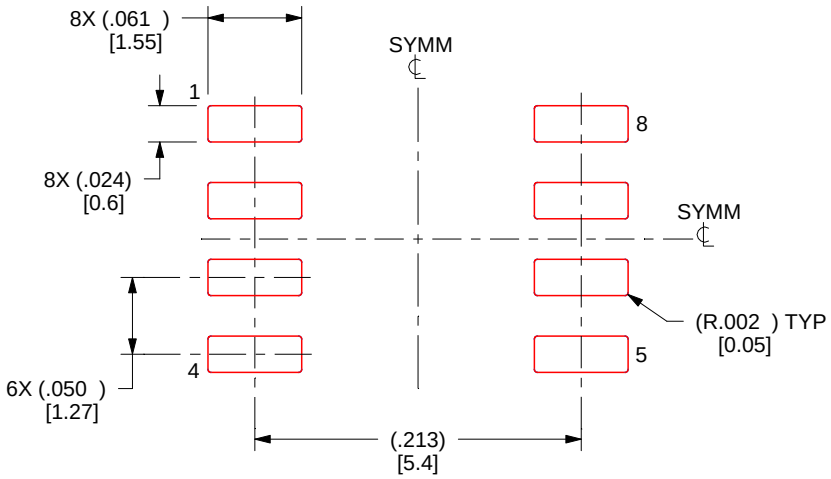
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

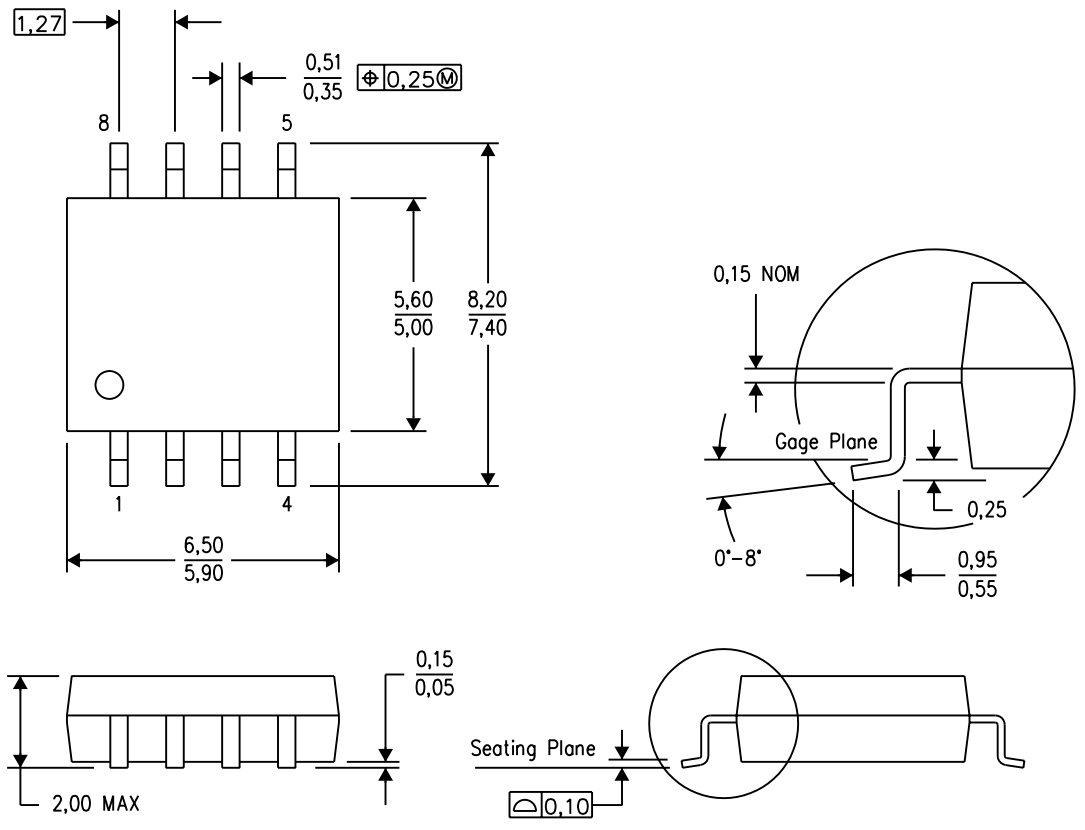
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

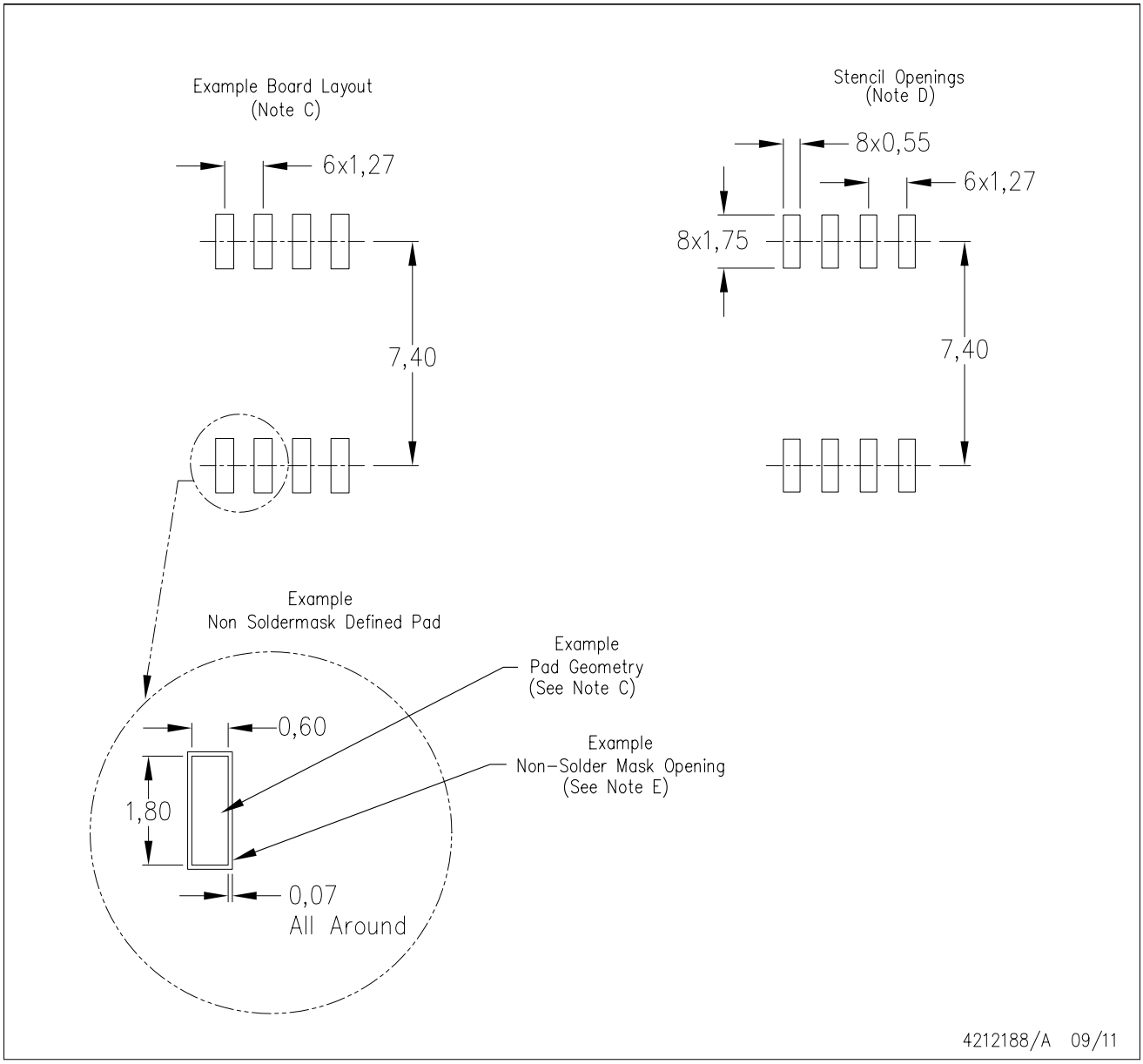
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

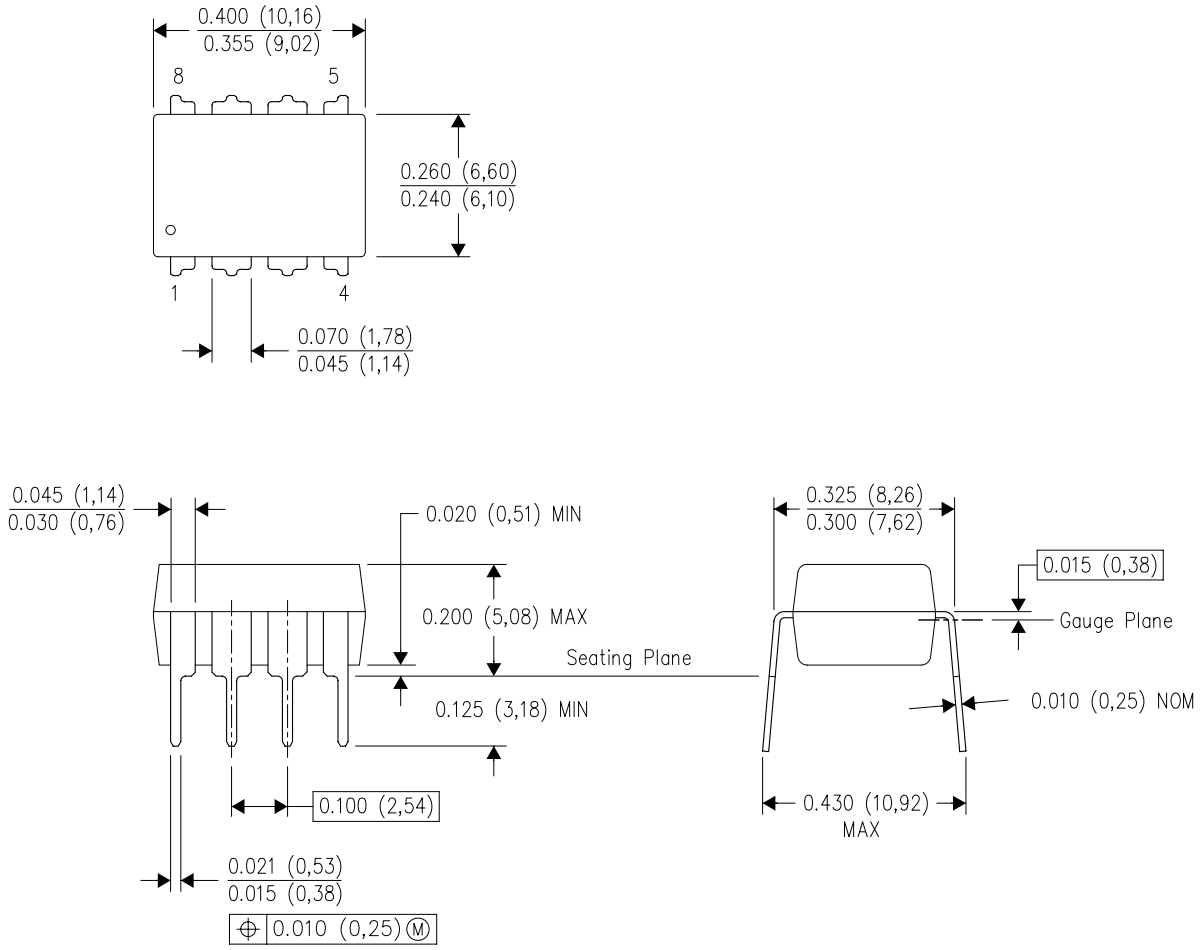
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



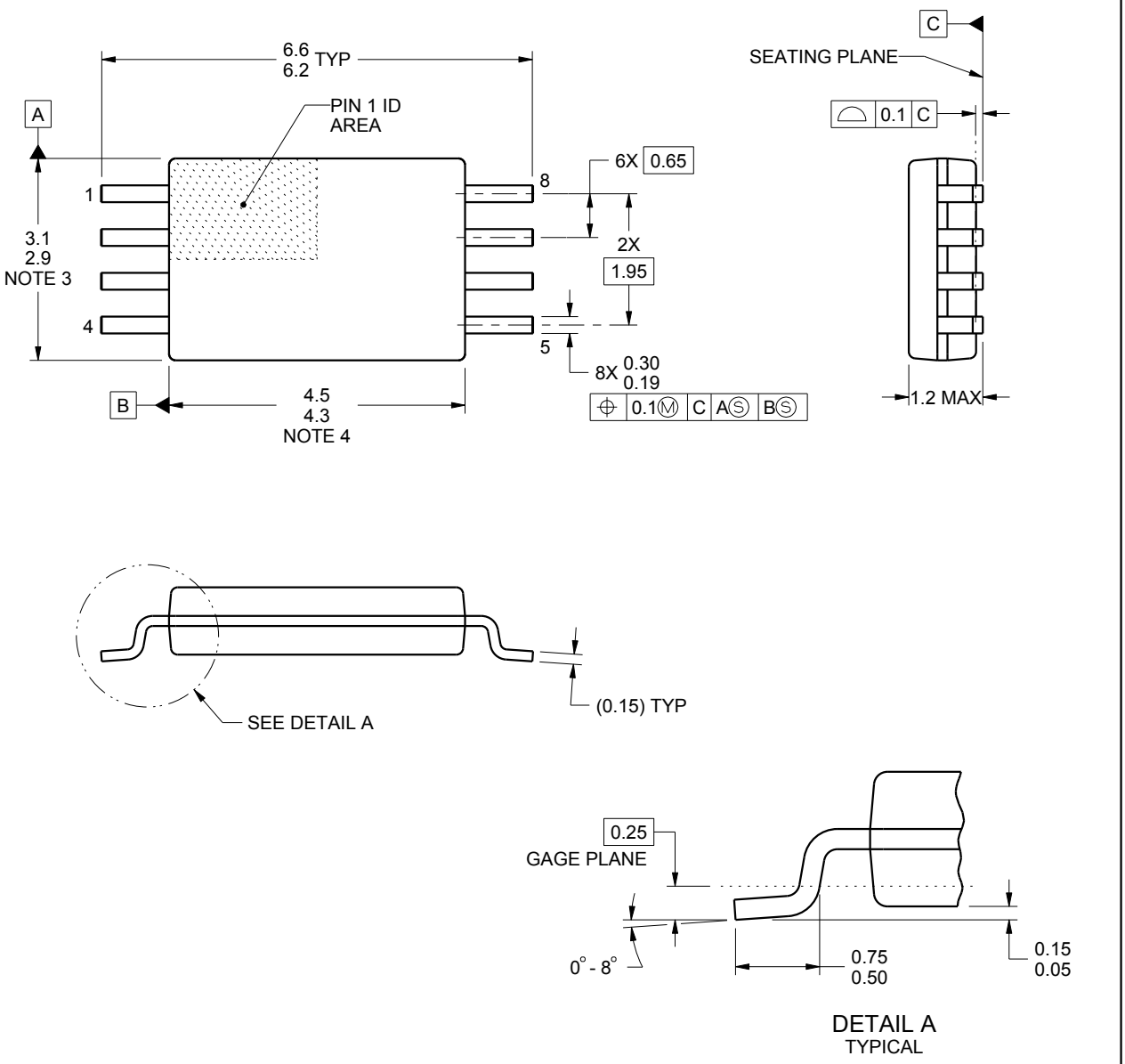
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

PW0008A

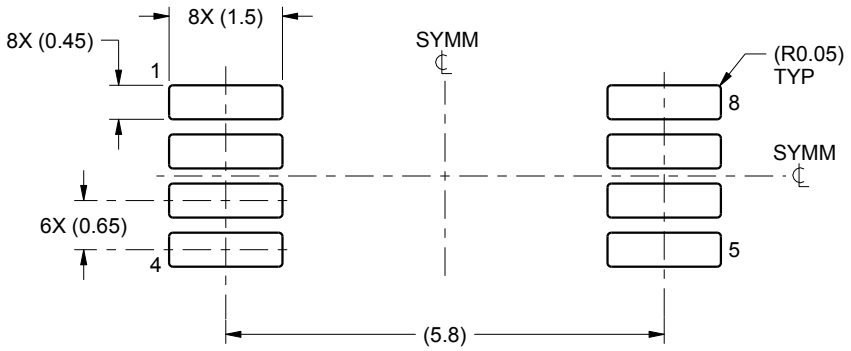
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

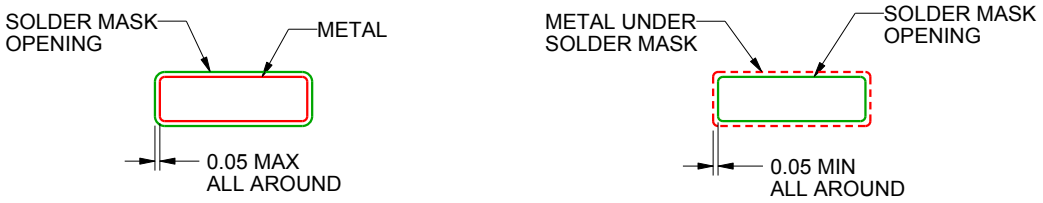


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

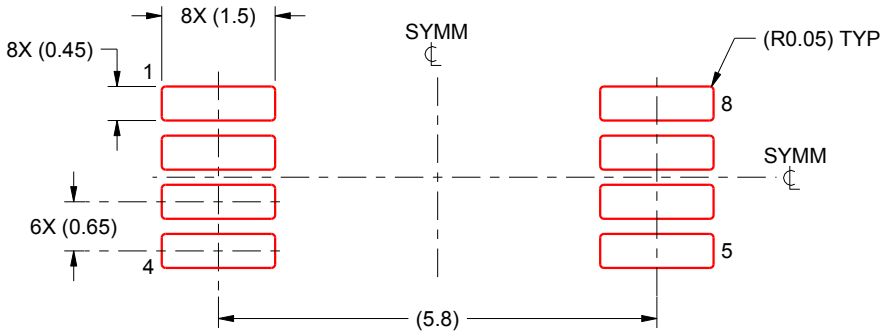


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月