# TLC555 CMOS タイマ

## 1 特長

- 超低消費電力
  - $V_{DD}$ = 5V で標準値 1mW
- 非安定モードで動作可能
- レール ツー レールにスイング可能な CMOS 出力
- 大出力電流能力
  - シンク:100mA (代表値)
  - 出典:10mA (代表値)
- 出力は CMOS、TTL、MOS と完全互換
- 電源電流が少ないため出力遷移中のスパイクが小さい
- 2V～15V の単一電源動作
- NE555 と機能的に交換可能 (同じピン配置)
- ANSI/ESDA/JEDEC JS-001 に準拠し、1000V を超える ESD 保護
- 車載対応 Q-Temp で利用可能
  - 高信頼性の車載用アプリケーション
  - 構成制御と印刷のサポート
  - 車載用規格の認定

## 2 アプリケーション

- 高精度のタイミング
- パルス生成
- シーケンシャル タイミング
- 時間遅延の生成
- パルス幅変調
- パルス位置変調
- リニア ランプ生成器

## 3 説明

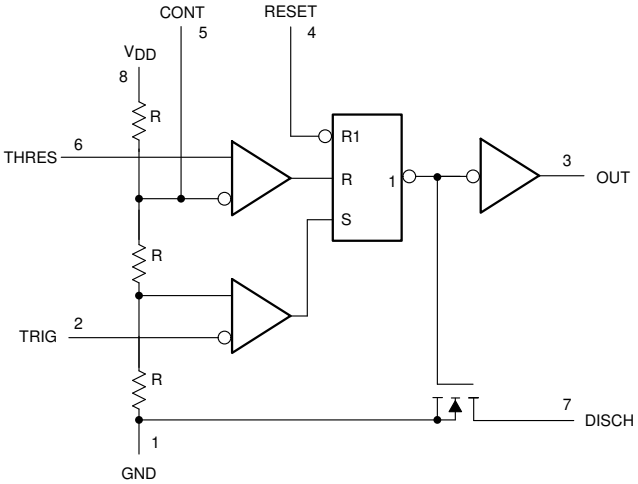
TLC555 は、CMOS モノリシック構造のタイミング回路です。このタイマは CMOS、TTL、MOS ロジックと完全互換であり、最高 2MHz の周波数で動作します。このデバイスは入力インピーダンスが高いため、NE555 または LM555 で対応しているタイミング コンデンサよりも小さな値のコンデンサに対応しています。その結果、より正確な時間遅延と発振が可能です。電源電圧の範囲全体にわたって低消費電力を実現します。

NE555 と同様、TLC555 のトリガ レベルは電源電圧の約 1/3、スレッショルド レベルは電源電圧の約 2/3 です。これらのレベルは、制御電圧端子 (CONT) を使用して変更できます。トリガ入力 (TRIG) がトリガ レベルより低くなると、フリップ フロップがセットされ、出力は HIGH になります。TRIG がトリガ レベルより高く、かつスレッショルド入力 (THRES) がスレッショルド レベルより高くなると、フリップ フロップはリセットされ、出力は LOW になります。リセット入力 (RESET) は他のすべての入力より優先され、新しいタイミング サイクルの開始に使用できます。RESET を Low にすると、フリップ フロップはリセットされ、出力は Low になります。出力が LOW のとき常に、放電端子 (DISCH) と GND との間に低インピーダンスの経路が形成されます。誤トリガを防止するため、未使用の入力はすべて、適切なロジック レベルに接続する必要があります。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) |
|---|---|---|
| TLC555C | SOIC (8) | 4.9mm × 6.0mm |
| | PDIP (8) | 9.81mm × 9.43mm |
| | SOP (8) | 6.2mm × 7.8mm |
| | TSSOP (14) | 5.0mm × 6.4mm |
| TLC555I | SOIC (8) | 4.9mm × 6.0mm |
| | PDIP (8) | 9.81mm × 9.43mm |
| TLC555M | LCCC (20) | 8.89mm × 8.89mm |
| | CDIP (8) | 9.6mm × 9.0mm |
| TLC555Q | SOIC (8) | 4.9mm × 6.0mm |

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。




**概略回路図**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 説明**.....1
**4 ピン構成および機能**.....3
**5 仕様**.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性:TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V.....7
5.6 電気的特性:$V_{DD}$ = 5V.....8
5.7 電気的特性:$V_{DD}$ = 15V.....10
5.8 タイミング特性.....11
5.9 代表的特性.....12
**6 詳細説明**.....14
6.1 概要.....14
6.2 機能ブロック図.....14
6.3 機能説明.....14
6.4 デバイスの機能モード.....19
**7 アプリケーションと実装**.....20
7.1 アプリケーション情報.....20
7.2 代表的なアプリケーション.....20
7.3 電源に関する推奨事項.....27
7.4 レイアウト.....27
**8 デバイスおよびドキュメントのサポート**.....28
8.1 ドキュメントの更新通知を受け取る方法.....28
8.2 サポート・リソース.....28
8.3 商標.....28
8.4 静電気放電に関する注意事項.....28
8.5 用語集.....28
**9 改訂履歴**.....29
**10 メカニカル、パッケージ、および注文情報**.....31


Copyright © 2026 Texas Instruments Incorporated

# 4 ピン構成および機能

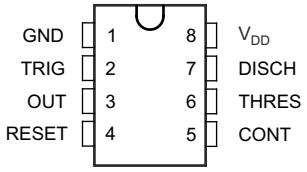



**図 4-1. D、P、PS、JG パッケージ、8 ピン SOIC、PDIP、SOP、CDIP (上面図)**

**表 4-1. ピンの機能：D、P、PS、JG パッケージ**

| ピン | | タイプ | 説明 |
|---|---|---|---|
| 名称 | 番号 | | |
| CONT | 5 | 入力 | コンパレータのスレッショルドを制御。出力 2/3 $V_{DD}$ により、バイパス コンデンサ接続が可能になります。 |
| DISCH | 7 | 出力 | オープン コレクタ出力から放電タイミング コンデンサ。 |
| GND | 1 | — | グランド。 |
| NC | — | — | 内部接続なし |
| OUT | 3 | 出力 | 大電流タイマ出力信号。 |
| リセット | 4 | 入力 | アクティブ Low のリセット入力により、出力と放電を Low に強制。 |
| THRES | 6 | 入力 | タイミング入力の終了。THRES > CONT は出力と放電を Low に設定します。 |
| TRIG | 2 | 入力 | タイミング入力の開始。TRIG < 1/2 CONT により出力が High に設定され、放電がオープンになります。 |
| $V_{DD}$ | 8 | — | 電源電圧。 |

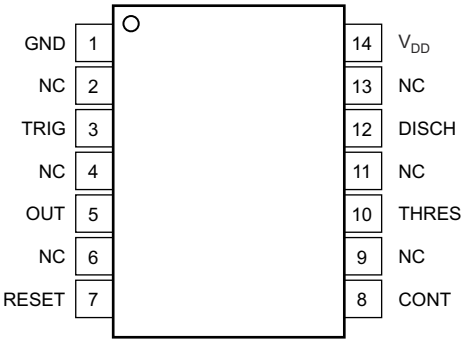



**図 4-2. PW パッケージ、14 ピン TSSOP (上面図)**

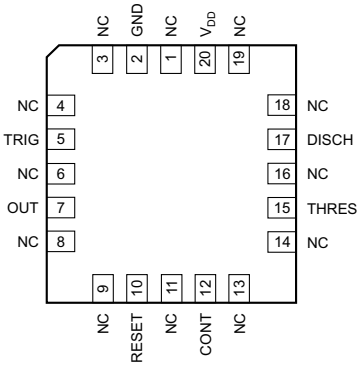



**図 4-3. FK パッケージ、20 ピン LCCC (上面図)**

**表 4-2. ピンの機能：PW および FK**

| ピン | | | タイプ | 説明 |
|---|---|---|---|---|
| 名称 | 番号 | | | |
| | PW (TSSOP) | FK (LCCC) | | |
| CONT | 8 | 12 | 入力 | コンパレータのスレッショルドを制御。出力 2/3 $V_{DD}$ により、バイパス コンデンサ接続が可能になります。 |
| DISCH | 12 | 17 | 出力 | オープン コレクタ出力から放電タイミング コンデンサ。 |
| GND | 1 | 2 | — | グランド。 |
| NC | 2、4、6、9、11、13 | 1、3、4、6、8、9、11、13、14、16、18、19 | — | 内部接続なし |
| OUT | 5 | 7 | 出力 | 大電流タイマ出力信号。 |
| リセット | 7 | 10 | 入力 | アクティブ Low のリセット入力により、出力と放電を Low に強制。 |

Copyright © 2026 Texas Instruments Incorporated

**表 4-2. ピンの機能：PW および FK (続き)**

| ピン | | | タイプ | 説明 |
|---|---|---|---|---|
| 名称 | 番号 | | | |
| | PW (TSSOP) | FK (LCCC) | | |
| THRES | 10 | 15 | 入力 | タイミング入力の終了。THRES > CONT は出力と放電を Low に設定します。 |
| TRIG | 3 | 5 | 入力 | タイミング入力の開始。TRIG < 1/2 CONT により出力が High に設定され、放電がオープンになります。 |
| $V_{DD}$ | 14 | 20 | — | 電源電圧。 |


Copyright © 2026 Texas Instruments Incorporated

# 5 仕様

## 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

| | | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| | 電圧 | 電源電圧、$V_{DD}$ (2) | -0.3 | 18 | V |
| | | 入力 (任意の入力) | -0.3 | $V_{DD}$ | |
| | | 放電 | -0.3 | 18 | |
| | 電流 | シンク (放電または出力) | | 150 | mA |
| | | ソース、出力、$I_O$ | | 15 | |
| $T_A$ | 動作温度 | 接尾辞 C | 0 | 70 | °C |
| | | 接尾辞 I | -40 | 85 | |
| | | 接尾辞 Q | -40 | 125 | |
| | | 接尾辞 M | -55 | 125 | |
| | 60 秒間のケース温度 | FK パッケージ | -65 | 150 | °C |
| $T_{stg}$ | 保存温度 | | -65 | 150 | °C |

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。*「絶対最大定格」*は、これらの条件において、または*「推奨動作条件」*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」*の範囲内であっても*「推奨動作条件」*の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、ネットワークの GND を基準としたものです。

## 5.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電(3) | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1) | ±1000 | V |
| | | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2) | ±1000 | |

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(3) デバイスを静電気放電から保護するためのアプリケーション上の指針については、セクション 7.2.5 を参照してください。

## 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| $V_{DD}$ | 電源電圧 | TLC555C | 2 | 15 | V |
| | | TLC555I | 3 | 15 | |
| | | TLC555M | 5 | 15 | |
| | | TLC555Q | 5 | 15 | |
| $T_A$ | 外気温度での動作時 | TLC555C | 0 | 70 | °C |
| | | TLC555I | -40 | 85 | |
| | | TLC555M | -55 | 125 | |
| | | TLC555Q | -40 | 125 | |

Copyright © 2026 Texas Instruments Incorporated

## 5.4 熱に関する情報

| 熱評価基準(1) | | TLC555 | | | | | | 単位 |
|---|---|---|---|---|---|---|---|---|
| | | D (SOIC) | FK (LCCC) | JG (CDIP) | P (PDIP) | PS (SOP) | PW (TSSOP) | |
| | | 8 ピン | 20 ピン | 8 ピン | 8 ピン | 8 ピン | 14 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 138.9 | 該当なし | 120 | 93.1 | 120 | 135 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 78.8 | 37 | 81 | 82.5 | 72 | 61 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 87.9 | 36 | 110 | 69.6 | 69 | 77 | °C/W |
| $\psi_{JT}$ | 接合部から上面への特性パラメータ | 23.2 | 該当なし | 45 | 52.0 | 32 | 12 | °C/W |
| $\psi_{JB}$ | 接合部から基板への特性パラメータ | 86.9 | 該当なし | 103 | 69.2 | 68 | 77 | °C/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 該当なし | 4.3 | 31 | 該当なし | 該当なし | 該当なし | °C/W |

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。


Copyright © 2026 Texas Instruments Incorporated

## 5.5 電気的特性：TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件(1) | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $V_{IT}$ | スレッショルド電圧 | 25°C | TLC555C | 0.95 | 1.33 | 1.65 | V |
| | | | TLC555I | 1.6 | | 2.4 | |
| | | フルレンジ | TLC555C | 0.85 | | 1.75 | |
| | | | TLC555I | 1.5 | | 2.5 | |
| $I_{IT}$ | スレッショルド電流 | 25°C | TLC555C | | 10 | | pA |
| | | | TLC555I | | 10 | | |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| $V_{I(TRIG)}$ | トリガ電圧 | 25°C | TLC555C | 0.4 | 0.67 | 0.95 | V |
| | | | TLC555I | 0.71 | 1 | 1.29 | |
| | | フルレンジ | TLC555C | 0.3 | | 1.05 | |
| | | | TLC555I | 0.61 | | 1.39 | |
| $I_{I(TRIG)}$ | トリガ電流 | 25°C | TLC555C | | 10 | | pA |
| | | | TLC555I | | 10 | | |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| $V_{I(RESET)}$ | リセット電圧 | 25°C | TLC555C | 0.4 | 1.1 | 1.5 | V |
| | | | TLC555I | 0.4 | 1.1 | 1.5 | |
| | | フルレンジ | TLC555C | 0.3 | | 2 | |
| | | | TLC555I | 0.3 | | 1.8 | |
| | 電源電圧のパーセンテージとしての制御電圧 (開路) | 最大値 | TLC555C | | 66.7% | | |
| | | | TLC555I | | 66.7% | | |
| | 放電スイッチ、オン状態電圧 | $I_{OL}$ = 1mA、25°C | TLC555C | | 0.03 | 0.2 | V |
| | | | TLC555I | | 0.03 | 0.2 | |
| | | $I_{OL}$ = 1mA、フル レンジ | TLC555C | | | 0.25 | |
| | | | TLC555I | | | 0.375 | |
| | 放電スイッチ、オフ状態電流 | 25°C | TLC555C | | 0.33 | | nA |
| | | | TLC555I | | 0.33 | | |
| | | 最大値 | TLC555C | | 11 | | |
| | | | TLC555I | | 30 | | |
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = –300µA、25°C | TLC555C | 1.5 | 1.9 | | V |
| | | | TLC555I | 2.5 | 2.85 | | |
| | | $I_{OH}$ = -300µA、フル レンジ | TLC555C | 1.5 | | | |
| | | | TLC555I | 2.5 | | | |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 1mA、25°C | TLC555C | | 0.07 | 0.3 | V |
| | | | TLC555I | | 0.07 | 0.3 | |
| | | $I_{OL}$ = 1mA、フル レンジ | TLC555C | | | 0.35 | |
| | | | TLC555I | | | 0.4 | |
| $I_{DD}$ | 電源電流 (2) | 25°C | TLC555C | | | 250 | µA |
| | | | TLC555I | | | 250 | |
| | | フルレンジ | TLC555C | | | 400 | |
| | | | TLC555I | | | 500 | |
| $C_{PD}$ | 電力散逸容量 (3) (4) | 25°C | TLC555C | | 80 | | pF |
| | | | TLC555I | | 90 | | |

(1) フル レンジは、TLC555C が 0℃～70℃、TLC555I が –40℃～+85℃ です。条件が最大値として示されている場合は、*セクション 5.3* に規定されている該当する値を使用します。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。

Copyright © 2026 Texas Instruments Incorporated

(3) $C_{PD}$ を使用して、動的な消費電力を決定します。
(4) $P_D = V_{DD}{}^2 f_o (C_{PD} + C_L)$。ここで、$f_o$ は出力周波数、$C_L$ = 出力負荷コンデンサ容量、$V_{DD}$ = 電源電圧を示します。

## 5.6 電気的特性：$V_{DD}$ = 5V

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件(1) | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $V_{IT}$ | スレッショルド電圧 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 2.8 | 3.3 | 3.8 | V |
| | | フルレンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 2.7 | | 3.9 | |
| $I_{IT}$ | スレッショルド電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 10 | | pA |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| | | | TLC555M、TLC555Q | | 5000 | | |
| $V_{I(TRIG)}$ | トリガ電圧 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 1.36 | 1.66 | 1.96 | V |
| | | フルレンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 1.26 | | 2.06 | |
| $I_{I(TRIG)}$ | トリガ電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 10 | | pA |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| | | | TLC555M、TLC555Q | | 5000 | | |
| $C_I$ | トリガおよびしきい値のコンデンサ容量 (各ピン) | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 2.1 | | pF |
| $V_{I(RESET)}$ | リセット電圧 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 0.4 | 1.1 | 1.5 | V |
| | | フルレンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 0.3 | | 1.8 | |
| $I_{I(RESET)}$ | リセット電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 10 | | pA |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| | | | TLC555M、TLC555Q | | 5000 | | |
| | 電源電圧のパーセンテージとしての制御電圧 (開路) | 最大値 | TLC555C、TLC555I、TLC555M、TLC555Q | | 66.7% | | |
| | 放電スイッチ、オン状態電圧 | $I_{OL}$ = 10mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.06 | 0.5 | V |
| | | $I_{OL}$ = 10mA、フル レンジ | TLC555C、TLC555I、TLC555M、TLC555Q | | | 0.6 | |
| | 放電スイッチ、オフ状態電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.3 | | nA |
| | | 最大値 | TLC555C | | 11 | | |
| | | | TLC555I | | 30 | | |
| | | | TLC555M、TLC555Q | | 275 | | |
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = –1mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 4.1 | 4.8 | | V |
| | | $I_{OH}$ = -1mA、フル レンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 4.1 | | | |


Copyright © 2026 Texas Instruments Incorporated

## 5.6 電気的特性：$V_{DD}$ = 5V (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件(1) | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 8mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.21 | 0.4 | V |
| | | $I_{OL}$ = 8mA、フル レンジ | TLC555C | | | 0.5 | |
| | | | TLC555I | | | 0.5 | |
| | | | TLC555M、TLC555Q | | | 0.6 | |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 5mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.13 | 0.3 | V |
| | | $I_{OL}$ = 5mA、フル レンジ | TLC555C | | | 0.4 | |
| | | | TLC555I | | | 0.4 | |
| | | | TLC555M、TLC555Q | | | 0.45 | |
| | | $I_{OL}$ = 3.2mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.08 | 0.3 | |
| | | $I_{OL}$ = 3.2mA、フル レンジ | TLC555C | | | 0.35 | |
| | | | TLC555I | | | 0.35 | |
| | | | TLC555M、TLC555Q | | | 0.4 | |
| $I_{DD}$ | 電源電流 (2) | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 180 | 350 | μA |
| | | フルレンジ | TLC555C | | | 500 | |
| | | | TLC555I | | | 600 | |
| | | | TLC555M、TLC555Q | | | 700 | |
| $C_{PD}$ | 電力散逸容量 (3) (4) | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 115 | | pF |

(1) フル レンジは、TLC555C が 0°C～70°C、TLC555I が –40°C～85°C、TLC555Q が –40°C～125°C、TLC555M が –55°C～125°C です。条件が最大値として示されている場合は、*セクション 5.3* 表で指定された該当する値を使用します。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。
(3) $C_{PD}$ を使用して、動的な消費電力を決定します。
(4) $P_D = V_{DD}^2 f_o (C_{PD} + C_L)$。ここで、$f_o$ は出力周波数、$C_L$ = 出力負荷コンデンサ容量、$V_{DD}$ = 電源電圧を示します。

Copyright © 2026 Texas Instruments Incorporated

## 5.7 電気的特性：$V_{DD}$ = 15V

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件(1) | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $V_{IT}$ | スレッショルド電圧 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 9.45 | 10 | 10.55 | V |
| | | フルレンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 9.35 | | 10.65 | |
| $I_{IT}$ | スレッショルド電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 10 | | pA |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| | | | TLC555M、TLC555Q | | 5000 | | |
| $V_{I(TRIG)}$ | トリガ電圧 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 4.65 | 5 | 5.35 | V |
| | | フルレンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 4.55 | | 5.45 | |
| $I_{I(TRIG)}$ | トリガ電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 10 | | pA |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| | | | TLC555M、TLC555Q | | 5000 | | |
| $C_I$ | トリガおよびしきい値のコンデンサ容量 (各ピン) | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 1.8 | | pF |
| $V_{I(RESET)}$ | リセット電圧 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 0.4 | 1.1 | 1.5 | V |
| | | フルレンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 0.3 | | 1.8 | |
| $I_{I(RESET)}$ | リセット電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 10 | | pA |
| | | 最大値 | TLC555C | | 75 | | |
| | | | TLC555I | | 150 | | |
| | | | TLC555M、TLC555Q | | 5000 | | |
| | 電源電圧のパーセンテージとしての制御電圧 (開路) | 最大値 | TLC555C、TLC555I、TLC555M、TLC555Q | | 66.7% | | |
| | 放電スイッチ、オン状態電圧 | $I_{OL}$ = 100mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.77 | 1.7 | V |
| | | $I_{OL}$ = 100mA、フル レンジ | TLC555C、TLC555I、TLC555M、TLC555Q | | | 1.8 | |
| | 放電スイッチ、オフ状態電流 | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.75 | | nA |
| | | 最大値 | TLC555C | | 13 | | |
| | | | TLC555I | | 30 | | |
| | | | TLC555M、TLC555Q | | 280 | | |


Copyright © 2026 Texas Instruments Incorporated

## 5.7 電気的特性：$V_{DD}$ = 15V (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件(1) | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = –10mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 12.5 | 14.2 | | V |
| | | $I_{OH}$ = -10mA、フル レンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 12.5 | | | |
| | | $I_{OH}$ = –5mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 13.5 | 14.6 | | |
| | | $I_{OH}$ = -5mA、フル レンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 13.5 | | | |
| | | $I_{OH}$ = –1mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | 14.2 | 14.9 | | |
| | | $I_{OH}$ = -1mA、フル レンジ | TLC555C、TLC555I、TLC555M、TLC555Q | 14.2 | | | |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 100mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 1.28 | 3.2 | V |
| | | $I_{OL}$ = 100mA、フル レンジ | TLC555C | | | 3.6 | |
| | | | TLC555I | | | 3.7 | |
| | | | TLC555M、TLC555Q | | | 3.8 | |
| | | $I_{OL}$ = 50mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.63 | 1 | |
| | | $I_{OL}$ = 50mA、フル レンジ | TLC555C | | | 1.3 | |
| | | | TLC555I | | | 1.4 | |
| | | | TLC555M、TLC555Q | | | 1.5 | |
| | | $I_{OL}$ = 10mA、25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 0.12 | 0.3 | |
| | | $I_{OL}$ = 10mA、フル レンジ | TLC555C | | | 0.4 | |
| | | | TLC555I | | | 0.4 | |
| | | | TLC555M、TLC555Q | | | 0.45 | |
| $I_{DD}$ | 電源電流 (2) | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 235 | 600 | μA |
| | | フルレンジ | TLC555C | | | 800 | |
| | | | TLC555I | | | 900 | |
| | | | TLC555M、TLC555Q | | | 1000 | |
| $C_{PD}$ | 電力散逸容量 (3) (4) | 25°C | TLC555C、TLC555I、TLC555M、TLC555Q | | 140 | | pF |

(1) フル レンジは、TLC555C が 0°C～70°C、TLC555I が –40°C～85°C、TLC555Q が –40°C～125°C、TLC555M が –55°C～125°C です。条件が最大値として示されている場合は、*セクション 5.3* 表で指定された該当する値を使用します。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。
(3) $C_{PD}$ を使用して、動的な消費電力を決定します。
(4) $P_D = V_{DD}^2 f_o (C_{PD} + C_L)$。ここで、$f_o$ は出力周波数、$C_L$ = 出力負荷コンデンサ容量、$V_{DD}$ = 電源電圧を示します。

## 5.8 タイミング特性

$V_{DD}$ = 5V、$T_A$ = 25°C (特に記述のない限り)。特性値は、設計、特性評価、またはその両方によって規定されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| | タイミング間隔の電源電圧感度 | $V_{DD}$ = 5V～15V、$C_T$ = 0.1μF<br>$R_A = R_B$ = 1kΩ～100kΩ(1) | | 0.1 | 0.5 | %/V |
| $t_r$ | 出力パルスの立ち上がり時間 | $R_L$ = 10MΩ、$C_L$ = 10pF | | 20 | 75 | ns |
| $t_f$ | 出力パルスの立ち下がり時間 | $R_L$ = 10MΩ、$C_L$ = 10pF | | 15 | 60 | ns |
| $f_{max}$ | 非安定モードでの最大周波数 | $R_A$ = 470Ω、$C_T$ = 200pF $R_B$ = 200Ω (1) | 1.2 | 2.1 | | MHz |

(1) $R_A$、$R_B$、$C_T$ は 図 6-5 で定義されています。

Copyright © 2026 Texas Instruments Incorporated

## 5.9 代表的特性

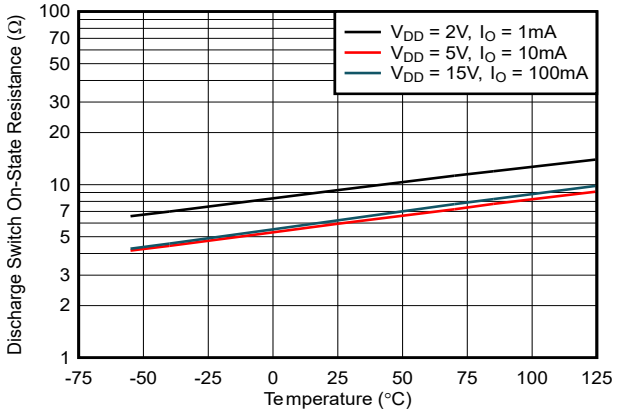



**図 5-1. 放電スイッチのオン状態抵抗と自由空気温度との関係**

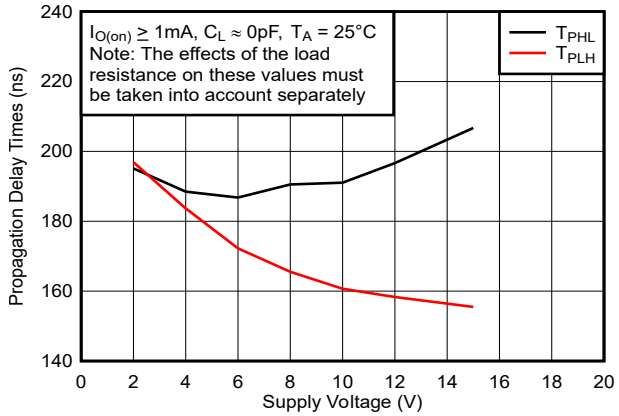



**図 5-2. トリガおよびスレッショルドが短絡してから出力を放電するまでの伝搬遅延時間と電源電圧との関係**

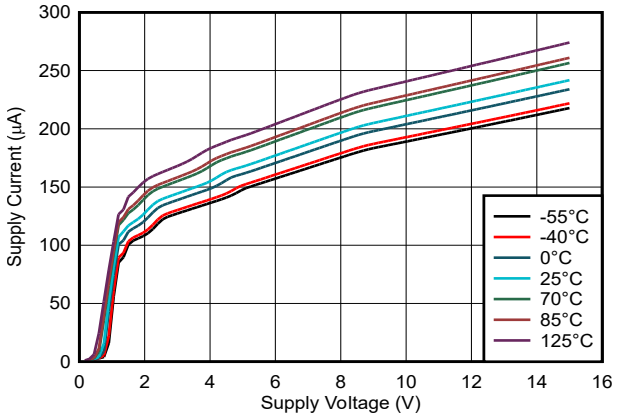



**図 5-3. 電源電流と電源電圧との関係**

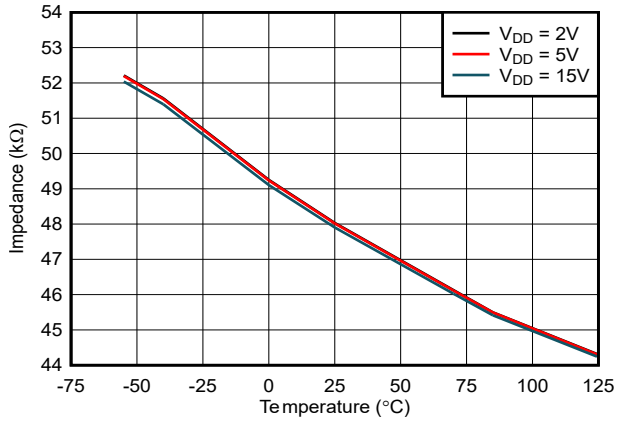



**図 5-4. 制御インピーダンスと温度との関係**

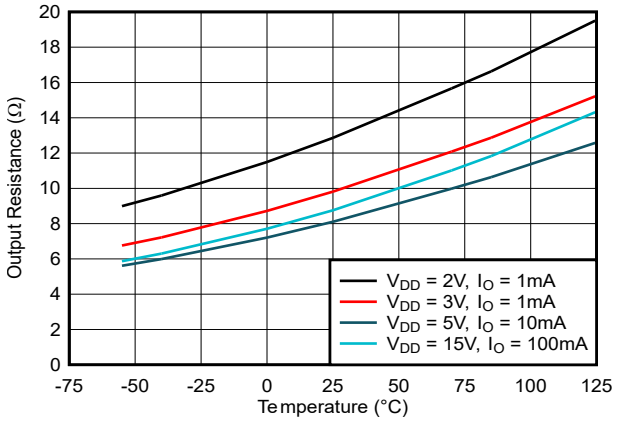



**図 5-5. 出力低抵抗と温度との関係**

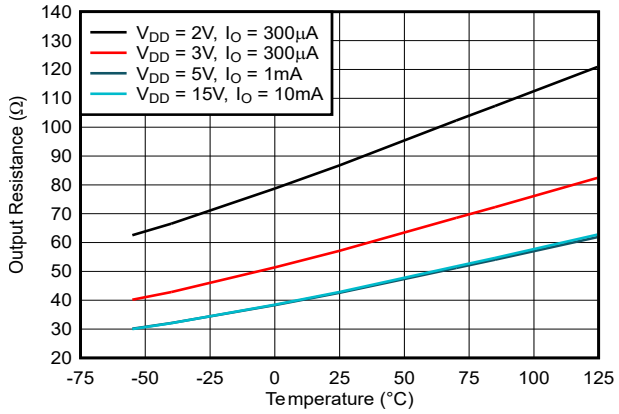



**図 5-6. 出力高抵抗と温度との関係**


Copyright © 2026 Texas Instruments Incorporated

## 5.9 代表的特性 (続き)

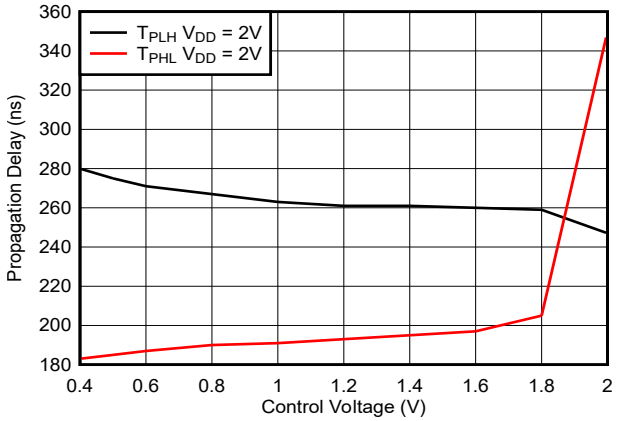



図 5-7. 伝搬遅延と制御電圧との関係

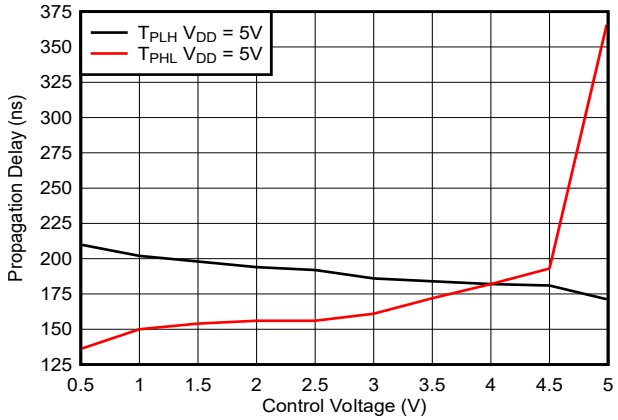
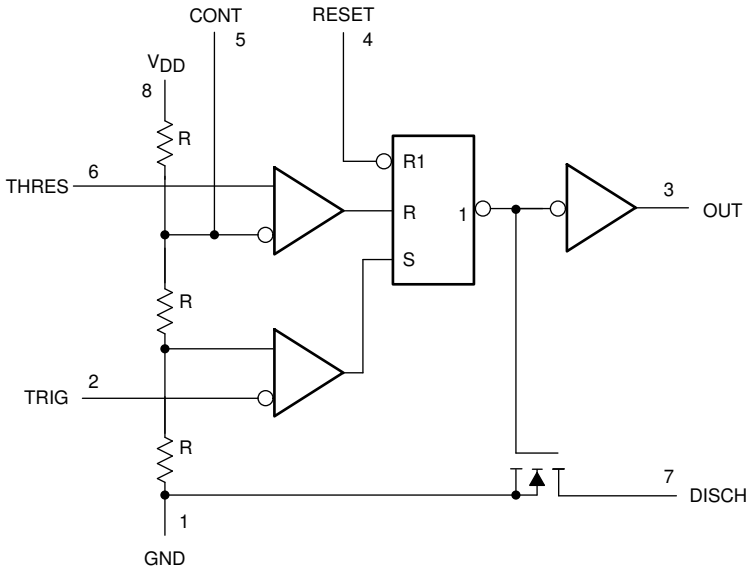



図 5-8. 伝搬遅延と制御電圧との関係

# 6 詳細説明

## 6.1 概要

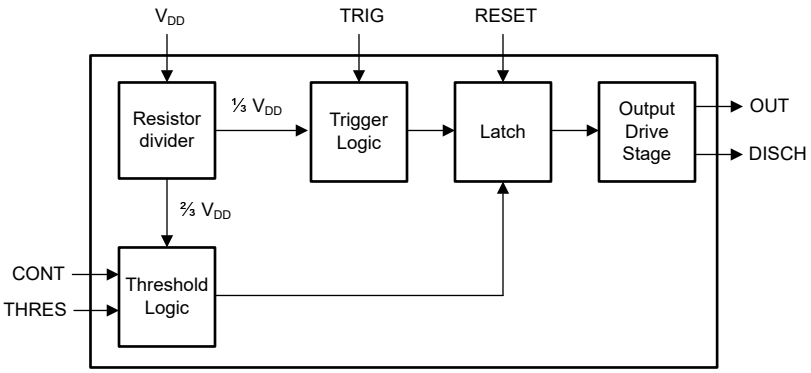
TLC555 は、最大 2.1MHz までの汎用タイミング用途に使用される高精度タイミング デバイスです。すべての入力はエッジ トリガではなく、レベル センシティブ入力です。




ピン番号は、PW および FK を除くすべてのパッケージに共通です。RESET は TRIG をオーバーライドし、それにより THRES をオーバーライドします (CONT ピンが 2/3 $V_{DD}$ のとき)。
R 抵抗の抵抗値は、電源電圧 $V_{DD}$ および温度によって変動します。これらの抵抗は、$V_{DD}$ および温度の変化に対して相互の一致性が非常に高く、温度に対して安定した制御電圧比を実現します。

**図 6-1. 概略回路図**

## 6.2 機能ブロック図




## 6.3 機能説明

### *6.3.1 モノステーブル動作*

モノステーブル動作で、これらのタイマのいずれかを接続する方法を 図 6-2 に示します。出力が Low の場合、負方向のパルスをトリガ (TRIG) に印加すると、内部ラッチが設定されます。出力が High になると、放電ピン (DISCH) がオープンドレインになります。C コンデンサは、コンデンサの両端の電圧がスレッショルド (THRES) 入力のスレッショルド電圧に達するまで、$R_A$ 経由で充電されます。TRIG が High レベルに戻った場合、スレッショルド コンパレータの出力が内部ラッチをリセットします。出力が Low になると、放電ピンが Low になり、C コンデンサが迅速に放電されます。


Copyright © 2026 Texas Instruments Incorporated

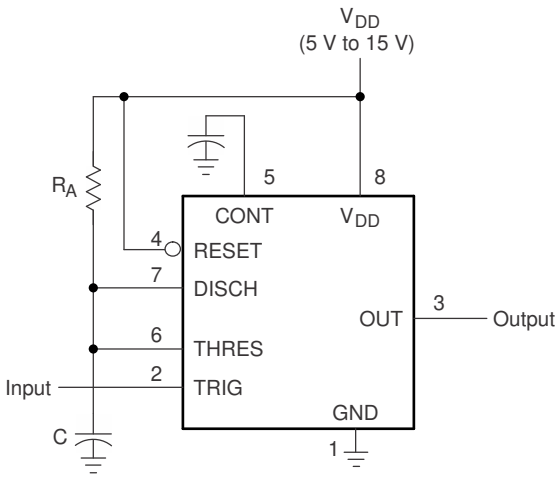


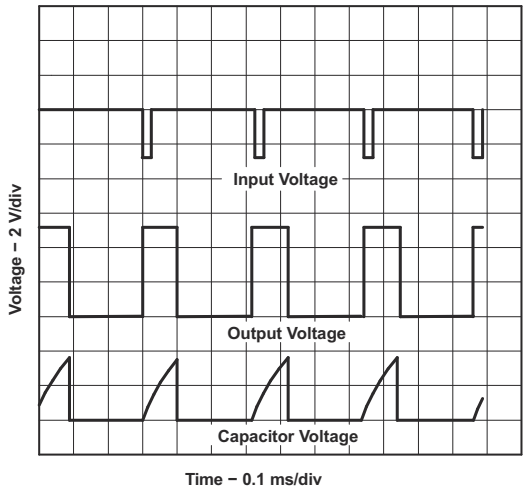

**図 6-2. モノステーブル動作回路**

TRIG 電圧がトリガ スレッショルドを下回ると、モノステーブル動作が開始します。開始すると、タイミング インターバルの終了前に少なくとも にわたって TRIG が 1µs 以上 High である場合にのみ、シーケンスは終了します。トリガがグランドに接続されたとき、コンパレータの保存時間は 1µs にまで延ばすことができ、これにより 1µs に対する最小モノステーブル パルス幅が制限されます。出力パルス幅は、約 $t_w = 1.1 \times R_A C$ です。図 6-4 は、$R_A$ および C のさまざまな値に対する時定数のプロットです。スレッショルド レベルと充電レートは、いずれも電源電圧 ($V_{DD}$) に正比例します。そのため、時間間隔中に電源電圧が一定である限り、タイミング間隔は電源電圧に依存しません。

タイミング インターバルの間に、RESET と TRIG に同時に負方向のトリガ パルスを印加すると、コンデンサ C が放電し、サイクルが再開され、リセット パルスの正のエッジから始まります。リセットパルスが Low である間、出力は Low に保持されます。誤トリガを防止するため、RESET を Low レベルにアサートしない場合は、RESET を $V_{DD}$ に接続する必要があります。リセット機能が必要で、ピンが外部ロジックまたはマイクロコントローラによって駆動される場合は、リセットピンがフローティングにならないように、$V_{DD}$ にプルアップ抵抗 (10kΩ など) を使用してください。リセット機能が必要ない場合は、リセットピンを直接 $V_{DD}$ ピンに短絡します。

モノステーブル アプリケーションでは、CONT に印加される電圧によってトリガ入力のトリップ ポイントを設定します。抵抗分周器によって生成された電源電圧の 10%～80% の範囲の入力電圧で、かつ 500µA 以上のバイアス電流を確保することで、良好な結果が得られます。

Copyright © 2026 Texas Instruments Incorporated




$R_A$ = 9.1kΩ　　$C_L$ = 0.01µF　　図 6-2 を参照

**図 6-3. 代表的なモノステーブル波形**

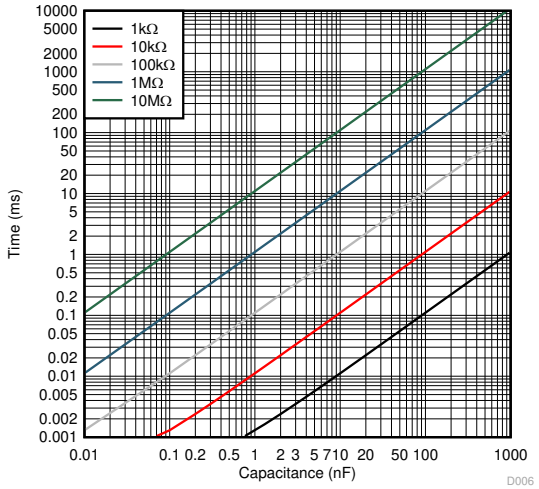
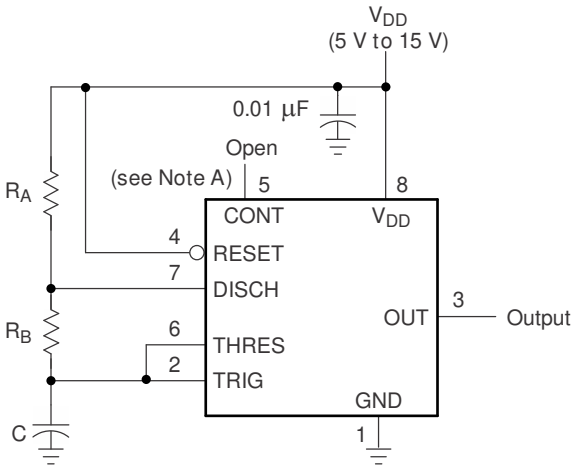



**図 6-4. 出力パルス幅と容量との関係**

### *6.3.2 非安定動作*

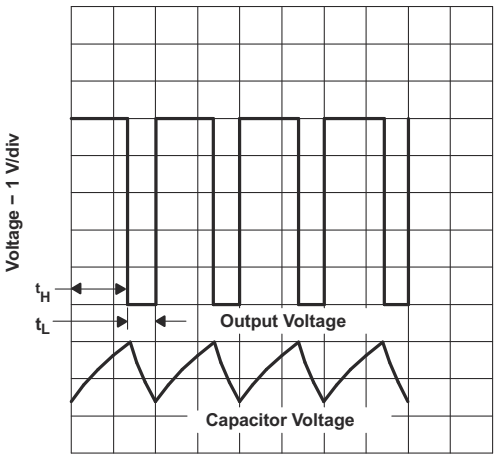
図 6-5 に示すように、2 番目の抵抗 ($R_B$) を 図 6-2 の回路に追加し、トリガ入力をスレッショルド入力に接続すると、タイマがセルフ トリガしてマルチバイブレータとして動作します。C コンデンサは $R_A$ および $R_B$ 経由で充電され、$R_B$ 経由でのみ放電されます。したがって、デューティ サイクルは $R_A$ と $R_B$ の値によって制御されます。

この非安定接続により、C コンデンサはスレッショルド電圧レベル
(≈ 0.67 × $V_{CC}$) とトリガ電圧レベル (≈ 0.33 × $V_{CC}$) の間で充電および放電されます。モノステーブル回路と同様に、充電時間と放電時間 (すなわち、周波数とデューティ サイクル) は電源電圧に依存しません。




CONT 電圧をコンデンサでグランドにデカップリングすることで、動作を向上できます。アプリケーションに応じて再評価してください。

**図 6-5. 非安定動作回路**




$R_A$ = 5kΩ　　$R_B$ = 3kΩ　　C = 0.15µF

図 6-5 を参照

**図 6-6. 代表的な非安定波形**

図 6-6 に、非安定動作中に生成される代表的な波形を示します。100kHz 未満の周波数における出力 High レベル期間 $t_H$ および Low レベル期間 $t_L$ は、以下の式で算出できます。


Copyright © 2026 Texas Instruments Incorporated

$$t_H = 0.693(R_A + R_B)C \quad (1)$$

$$t_L = 0.693(R_B)C \quad (2)$$

その他の有用な関係は次のとおりです。

$$\text{period} = t_H + t_L = 0.693(R_A + 2R_B)C \quad (3)$$

$$\text{frequency} \approx \frac{1.44}{(R_A + 2R_B)C} \quad (4)$$

$$\text{Output driver duty cycle} = \frac{t_L}{t_H + t_L} = \frac{R_B}{R_A + 2R_B} \quad (5)$$

$$\text{Output waveform duty cycle} = \frac{t_H}{t_H + t_L} = 1 - \frac{R_B}{R_A + 2R_B} \quad (6)$$

$$\text{Low-to-high ratio} = \frac{t_L}{t_H} = \frac{R_B}{R_A + R_B} \quad (7)$$

式 1 から 式 7 は、TRIG および THRES 入力から DISCH 出力までの伝搬遅延時間は考慮していません。これらの遅延時間は周期に直接加算され、コンデンサが過充電されるため、計算値と実際の値に周波数に応じて増加する差が生じます。さらに、放電中の内部オン抵抗 $r_{on}$ が $R_B$ に加算され、$R_B$ が非常に小さいときの計算でタイミング誤差が発生するもう一つの要因となります。以下の式は、測定値と非常に近い値を導きます。式 8 の式は、伝搬遅延と放電オン抵抗が式に追加されているため、より高い周波数 (100kHz 超) で使用したときの実際の Low および High 時間を表しています。$C_T$ の値には、公称または意図的なタイミング容量だけでなく、PCB 上の寄生容量も含まれます。CONT のデカップリング容量もデューティ サイクルに影響を及ぼし、コンデンサのリーク抵抗に依存する誤差が寄与します。詳細については、『低デューティ サイクル タイマ回路の設計』の記事を参照してください。

$$t_{c(H)} = C_T (R_A + R_B) \ln\left[3 - \exp\left(\frac{-t_{PLH}}{C_T(R_B + r_{on})}\right)\right] + t_{PHL}$$

$$t_{c(L)} = C_T (R_B + r_{on}) \ln\left[3 - \exp\left(\frac{-t_{PHL}}{C_T(R_A + R_B)}\right)\right] + t_{PLH} \quad (8)$$

これらの式と前述の式は、時定数に数または関数の対数を乗算する点で類似しています。対数項の極限値は、低周波数での ln(2)、超高周波数での ln(3) の間になければなりません。デューティ サイクルが 50% に近い場合は、対数項の適切な定数を適切な結果で置き換えることができます。出力波形のデューティ サイクルが 50% 未満では、$t_{c(H)} / t_{c(L)} < 1$ が必要であり、場合によっては $R_A \le r_{on}$ が必要です。これらの条件を得るのは難しい場合があります。図 6-8 に、$C_T$ と $R_A + 2 \times R_B$ のさまざまな組み合わせに関連する公称フリーランニング周波数を示します。

Copyright © 2026 Texas Instruments Incorporated

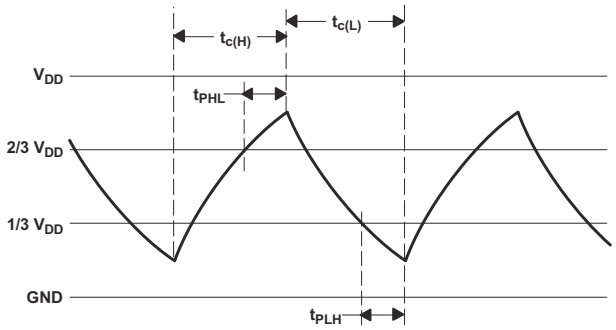



**図 6-7. トリガ電圧とスレッショルド電圧の波形**

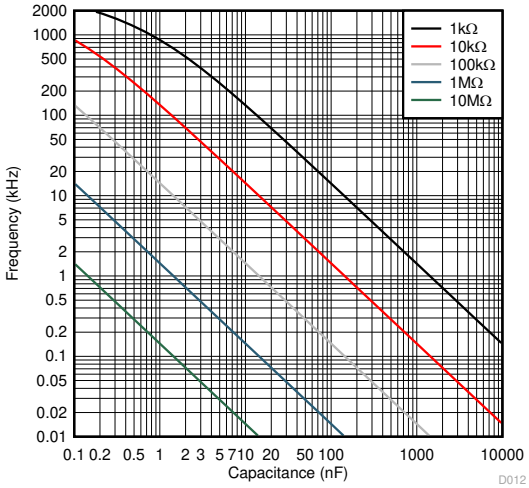
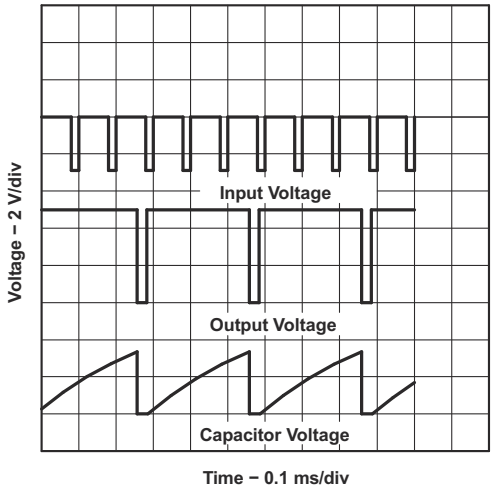



**図 6-8. 公称フリーランニング周波数とタイミング コンデンサ容量との関係**
**抵抗値 = $R_A$ + 2 × $R_B$**


Copyright © 2026 Texas Instruments Incorporated

### 6.3.3 周波数分周器

タイミング サイクルの長さを調整することで、図 6-2 に示す基本回路は周波数分周器として動作させることができます。図 6-9 は、タイミング サイクル中は再トリガが発生しないという特性を利用した 3 分周回路を示しています。




$V_{CC}$ = 5V　　$R_A$ = 1250Ω　　C = 0.2µF

図 6-2 を参照

**図 6-9. 3 分周回路波形**

## 6.4 デバイスの機能モード

表 6-1 はデバイスの真理値表を示します。有効なリセット電圧条件を得るには、外付けプルアップ抵抗を $V_{DD}$ に接続するか (リセット機能を使用する場合)、リセットピンを直接 $V_{DD}$ に短絡します (RESET 機能を使用しない場合)。

**表 6-1. 機能表**

| リセット電圧(1) | トリガ電圧 (1) | スレッショルド電圧(1) | 出力 | 放電スイッチ |
|---|---|---|---|---|
| 最小値未満 | 影響なし | 影響なし | L | オン |
| > 最大値 | 最小値未満 | 影響なし(2) | H | オフ |
| > 最大値 | > 最大値 | > 最大値 | L | オン |
| > 最大値 | > 最大値 | 最小値未満 | 既に確かめたとおり | |

(1)　最小値または最大値として示されている条件については、「*セクション 5.6*」で指定されている適切な値を使用します。
(2)　CONT ピンがオープンまたは 2/3 $V_{DD}$。

Copyright © 2026 Texas Instruments Incorporated

# 7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 7.1 アプリケーション情報

TLC555 タイマ デバイスは抵抗とコンデンサの充電遅延を使用して、時間遅延または動作周波数をプログラム可能です。*セクション 7.2* では、設計手順について簡単に説明します。リセット モードでは、出力と放電が強制的に Low になり、消費電流をわずかに低減できます。

## 7.2 代表的なアプリケーション

### *7.2.1 ミッシング パルス検出器*

図 7-1 に示す回路は、パルス列において連続するパルス間の欠落、または異常に長いパルス間隔を検出するために使用できます。モノステーブル回路のタイミング間隔は、入力パルス列のパルス間隔がタイミング間隔より短い限り、連続的に再トリガされます。パルス間隔が長い、パルスの欠落、またはパルス列が終了すると、タイミング間隔を完了でき、その結果 図 7-2 に示すような出力パルスが生成されます。

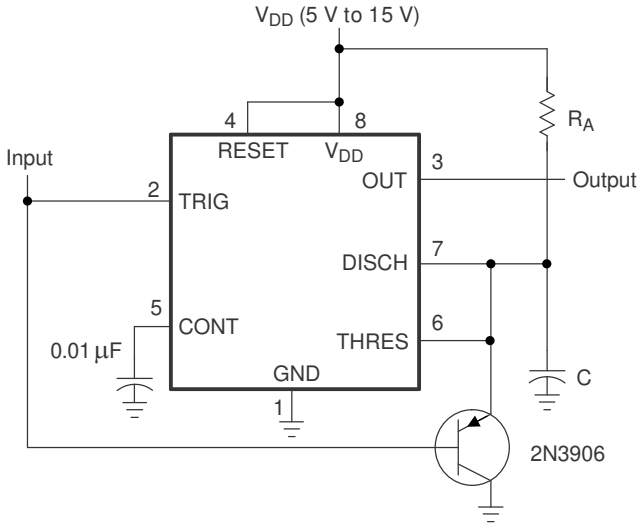



**図 7-1. ミッシング パルス検出器回路**

#### 7.2.1.1 設計要件

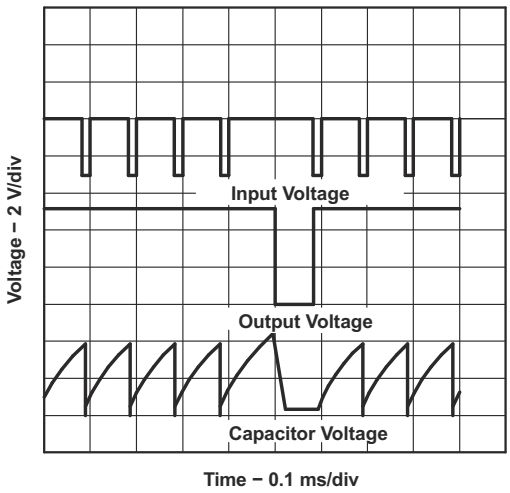
入力フォルト (パルス消失) は入力 High である必要があります。入力が Low レベルに張り付いた状態は、タイミング コンデンサ (C) が放電されたままとなるため、検出できません。

#### 7.2.1.2 詳細な設計手順

$R_A$ × C が [最大通常入力 High 時間] より大きくなるように、$R_A$ および C を選択します。


Copyright © 2026 Texas Instruments Incorporated

#### 7.2.1.3 アプリケーション曲線



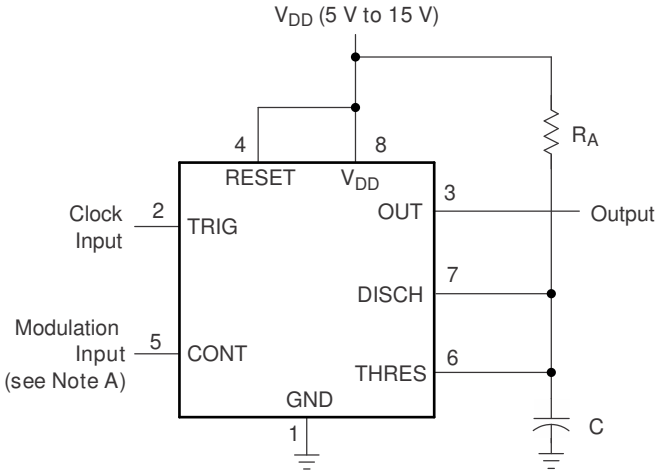

$V_{DD}$ = 5V　　$R_A$ = 1kΩ　　C = 0.1µF

図 7-1 を参照

**図 7-2. ミッシング パルス検出器のタイミング波形**

### 7.2.2 *パルス幅変調*

タイマ動作を変更するには、外部電圧 (または電流) を CONT に印可し、内部スレッショルドとトリガ電圧を変調します。図 7-3 に、パルス幅変調の回路を示します。連続入力パルス トレインによってモノステーブル回路がトリガされ、制御信号によってスレッショルド電圧が変調されます。図 7-4 に、結果として得られるデューティ サイクルと制御電圧の伝達関数との関係を示します。10% のデューティ サイクルで動作させようとすると、出力パルスが一貫しない可能性があります。100% に近いデューティ サイクルを試みると、2、3、4 の周波数分周になります。




A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

**図 7-3. パルス幅変調回路**

Copyright © 2026 Texas Instruments Incorporated

#### 7.2.2.1 設計要件

クロック入力の $V_{OL}$ および $V_{OH}$ レベルは、それぞれ 1/3 $V_{DD}$ を下回る値と上回る値にする必要があります。クロック入力 $V_{OL}$ 時間は最小出力 High 時間よりも短い必要があります。したがって、High (正) デューティ サイクル クロックが推奨されます。推奨される最小変調電圧は 1V です。CONT 電圧が低いと、スレッショルド コンパレータの伝搬遅延と保存時間が大幅に増加する可能性があります。このアプリケーションは、非線形の伝達関数を許容する必要があります。コンデンサの電荷は、負の指数曲線の RC をベースとしているため、変調入力とパルス幅との関係は線形ではありません。

#### 7.2.2.2 詳細な設計手順

$R_A \times C$ がクロック入力周期と同じかそれ以下になるよう、$R_A$ と C を選択します。図 7-4 に、制御電圧と出力デューティ サイクルの非線形関係を示します。デューティ サイクルは、RC 時定数に対する制御電圧およびクロック周期の関数です。

#### 7.2.2.3 アプリケーション曲線

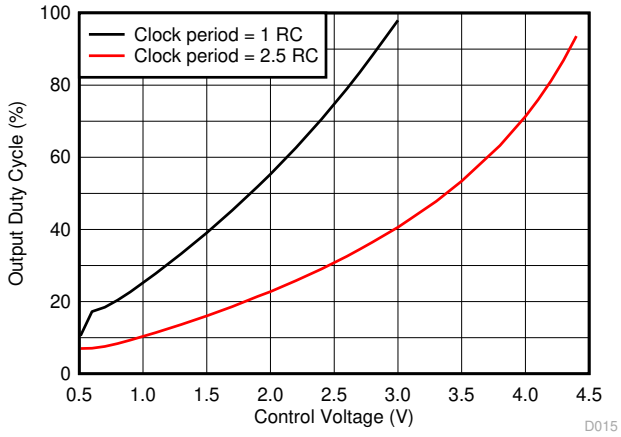
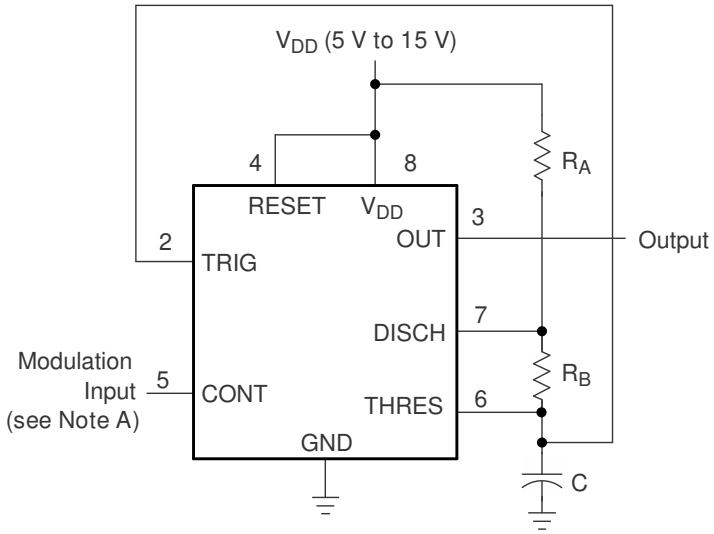



**図 7-4. パルス幅変調と制御電圧との関係**
**クロック デューティ サイクル 98%、$V_{DD}$ = 5V**

### *7.2.3 パルス位置変調*

図 7-5 に示すように、これらのタイマはいずれもパルス位置変調器として使用できます。このアプリケーションでは、スレッショルド電圧を変調することで、フリーランニング発振器の時間遅延を変調します。図 7-6 および 図 7-7 は、出力周波数およびデューティ サイクルと制御電圧との関係を示します。


Copyright © 2026 Texas Instruments Incorporated




A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

$R_A$ = 3kΩ　　$R_B$ = 309kΩ　　C = 1nF

**図 7-5. パルス位置変調回路**

#### 7.2.3.1 設計要件

DC 結合変調入力と AC 結合変調入力のどちらも、タイミング コンデンサの電圧上限スレッショルドと電圧下限スレッショルドを変更します。周波数とデューティ サイクルはどちらも変調電圧によって変化します。制御電圧が 1V 未満の場合、定常出力パルス ストリームではなく出力グリッチが発生する可能性があります。

#### 7.2.3.2 詳細な設計手順

$V_{DD}$ の 2/3 に設定された制御電圧の公称出力周波数とデューティ サイクルは、*セクション 6.3.2* セクションの式を使用して決定できます。

#### 7.2.3.3 アプリケーション曲線

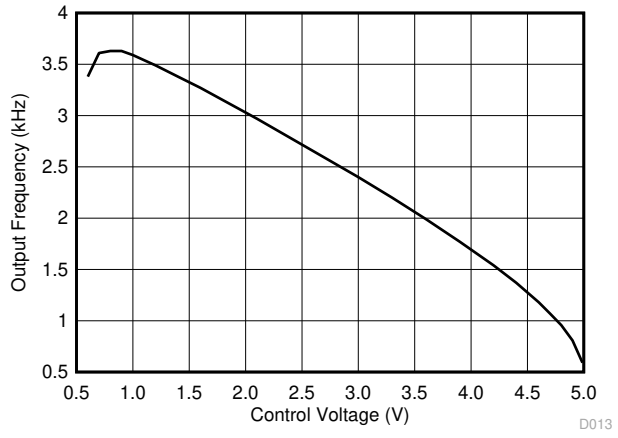



**図 7-6. パルス位置変調周波数と制御電圧との関係、$V_{DD}$ = 5V**

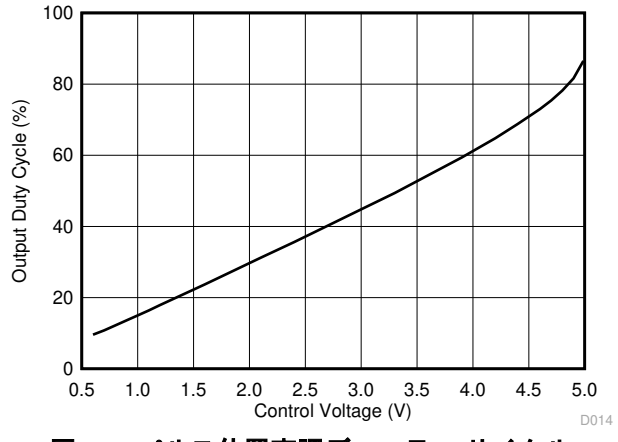
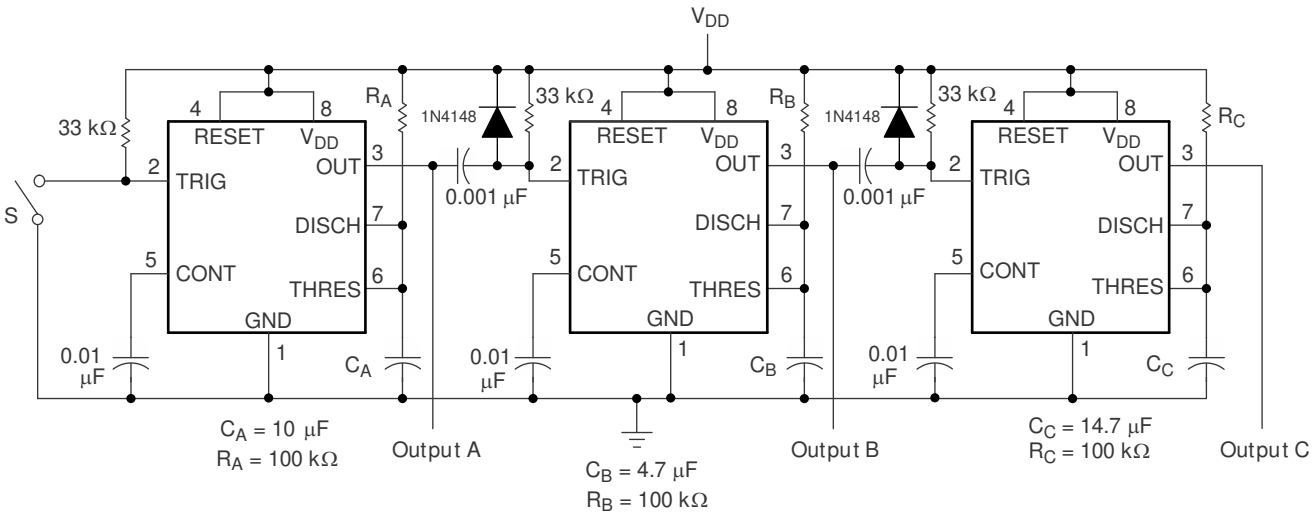



**図 7-7. パルス位置変調デューティ サイクルと制御電圧との関係、$V_{DD}$ = 5V**

### 7.2.4 シーケンシャル タイマ

コンピュータなどの多くのアプリケーションでは、起動時に条件を初期化するための信号が必要です。試験装置などの他のアプリケーションでは、試験信号を順番に起動する必要があります。これらのタイミング回路は、このようなシーケンシャル制御を実現するために接続することができます。これらのタイマは、非安定回路または単安定回路接続のさまざまな組み合わせで使用でき、また変調ありまたは変調なしで使用できるため、非常に柔軟な波形制御が可能です。図 7-8 に、多くのシステムで使用可能なアプリケーションを含むシーケンサ回路を示し、図 7-9 に、その出力波形を示します。




S は t = 0 において瞬間的に閉じます。

**図 7-8. シーケンシャル タイマ回路**

#### 7.2.4.1 設計要件

シーケンシャル タイマ アプリケーションは、複数の単一安定タイマをチェーン接続します。接続用の部品は、33kΩ の抵抗および 0.001µF のコンデンサです。出力の High から Low へのエッジは、10µs スタート パルスを次の単安定出力に渡します。前回の出力が Low レベルから High レベルへ遷移したエッジにおいて、トリガ入力に過電圧が印加されるのを防ぐため、ダイオードが必要です。

#### 7.2.4.2 詳細な設計手順

タイミング抵抗およびコンデンサは、式 $t_w = 1.1 \times R \times C$ を用いて選ぶことができます。

#### 7.2.4.3 アプリケーション曲線

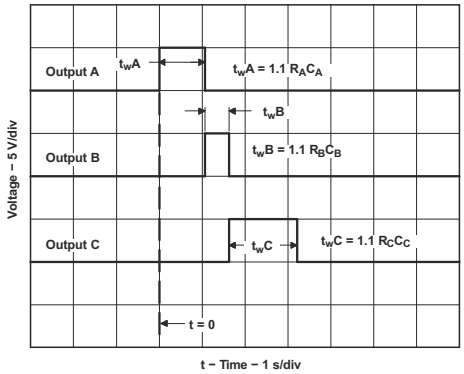



図 7-8 を参照


Copyright © 2026 Texas Instruments Incorporated

**図 7-9. シーケンシャル タイマの波形**

### 7.2.5 ESD 耐性向上のための設計

TLC555 に内蔵された HBM および CDM 保護により、ESD 管理環境下での安全な実装が可能です。TLC555 の各ピンが ESD に曝露されるアプリケーションでは、追加の保護を強く推奨します。以下に示す評価ボードの回路図では、バイパス コンデンサ、電流制限抵抗、および電圧クランプ用 TVS ダイオードを用い、ESD によって影響を受けやすいピン (Reset、Trig、Output) に対して追加の保護を提供しています。

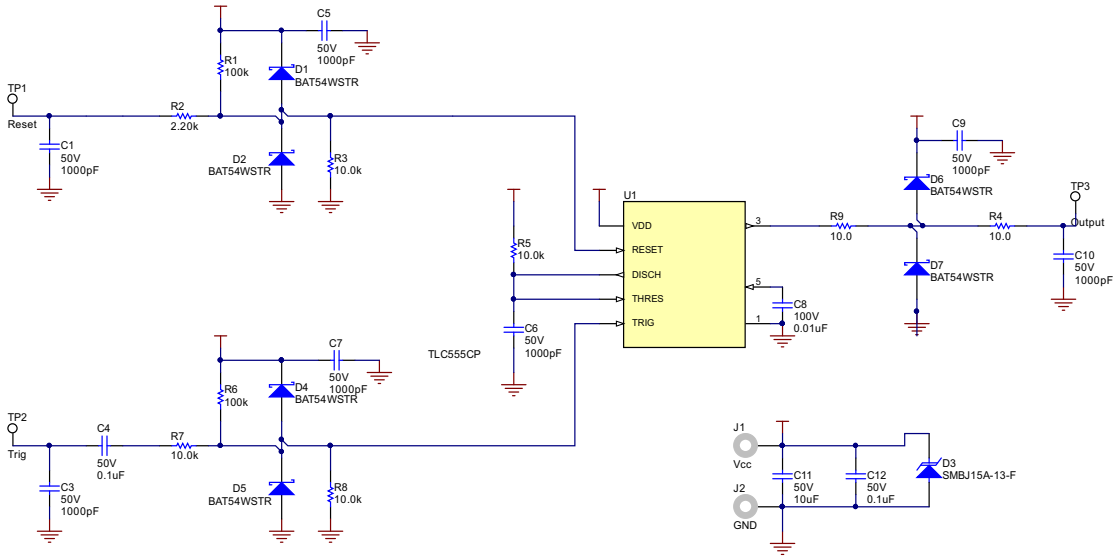



**図 7-10. ESD 試験用回路図**

以下の表は、異なる電源電圧および実装された外付け部品の構成ごとに記録された ESD 保護レベルを示しています。15V の単一電源構成において、受動部品のみで TLC555 を保護することは、高い電圧によってデバイス内部に許容できないレベルの電流が流れる可能性があるため、推奨されません。

**表 7-1. ESD テスト結果**

| 電源電圧 | 受動部品のみを実装<br>D1～D7 は未実装(1) | すべての部品を実装(1) |
|---|---|---|
| 5V | 8kV | 12kV |
| 15V | 非推奨 | 12kV |

(1) サンプル結果です。結果は、実装された部品構成、基板レイアウト、および使用したサンプルによって変動する場合があります。


Copyright © 2026 Texas Instruments Incorporated

## 7.3 電源に関する推奨事項

TLC555 は、対応する最も低い周囲温度に応じて 2V、3V、または 5V 以上の電源電圧を必要とし、電源電圧の上限は 15V 以下です。関連回路を保護し、安定した出力パルスを得るためには、適切な電源バイパスが必要です。最小限の推奨構成は、0.1µF のセラミック コンデンサと 1µF の電解コンデンサを並列に接続することです。バイパス コンデンサは、TLC555 にできる限り近づけて配置し、パターン長を最短にします。

## 7.4 レイアウト

### *7.4.1 レイアウトのガイドライン*

TLC555 の配線には、標準 PCB ルールが適用されます。0.1µF のセラミック コンデンサと 1µF の電解コンデンサを並列に接続した電源バイパスは、TLC555 のできるだけ近傍に配置する必要があります。遅延時間に使用するコンデンサは、DISCHARGE ピンのできるだけ近くに配置します。基板の下面にグランド プレーンを設けることで、ノイズ耐性および信号の完全性を向上させることができます。

図 7-11 は、各種アプリケーションの基本的なレイアウトを示しています。

- C1—時間遅延計算に基づく
- C2—制御電圧ピンの 0.01µF バイパス コンデンサ
- C3—0.1µF バイパス セラミック コンデンサ
- C4—1µF 電解バイパス コンデンサ
- R1—時間遅延計算に基づく

### *7.4.2 レイアウト例*

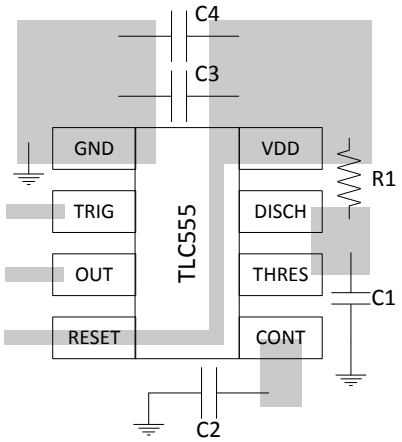



**図 7-11. レイアウト例**

# 8 デバイスおよびドキュメントのサポート

## 8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。


Copyright © 2026 Texas Instruments Incorporated

# 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

**Changes from Revision J (November 2023) to Revision K (January 2026)** **Page**

- データ シートから LinCMOS™ 用語を削除 ... 1
- 「*ESD 定格*」表からマシン モデル (MM) 仕様を削除します。 ... 5
- *電気的特性において、25℃ 時の TLC555C の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.33nA に変更 TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V* ... 7
- *電気的特性において、25℃ 時の TLC555I の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.33nA に変更 TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V* ... 7
- *電気的特性において、温度範囲全体にわたる TLC555C の放電スイッチ オフ状態電流の代表値を 0.5nA から 11nA に変更 TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V* ... 7
- *電気的特性において、温度範囲全体にわたる TLC555I の放電スイッチ オフ状態電流の代表値を 120nA から 30nA に変更 TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V* ... 7
- *電気的特性から、リセット電流 ($I_{RESET}$) の代表値仕様 (試験条件:$V_{RESET}$ = 0V) を削除:$V_{DD}$ = 5V* ... 8
- *電気的特性において、試験条件が $V_{RESET}$ = $V_{DD}$ の リセット電流の代表値仕様を削除 $V_{DD}$ = 5V* ... 8
- *電気的特性において、25℃ 時の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.3nA に変更:$V_{DD}$ = 5V* ... 8
- *電気的特性において、TLC555C の最大温度範囲における放電スイッチ オフ状態電流の代表値を 0.5nA から 11nA に変更:$V_{DD}$ = 5V* ... 8
- *電気的特性において、TLC555I の最大温度範囲における放電スイッチ オフ状態電流の代表値を 120nA から 30nA に変更:$V_{DD}$ = 5V* ... 8
- *電気的特性において、TLC555M および TLC555Q の最大温度範囲における放電スイッチ オフ状態電流の代表値を 120nA から 275nA に変更 $V_{DD}$ = 5V* ... 8
- *電気的特性において、25℃ 時の放電スイッチ オン状態電圧の代表値を 0.14V から 0.06V に変更:$V_{DD}$ = 5V* ... 8
- *電気的特性から、リセット電流 ($I_{RESET}$) の代表値仕様 (試験条件:$V_{RESET}$ = 0V) を削除:$V_{DD}$ = 15V* ... 10
- *電気的特性において、試験条件が $V_{RESET}$ = $V_{DD}$ の リセット電流の代表値仕様を削除 $V_{DD}$ = 15V* ... 10
- *電気的特性において、25℃ 時の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.75nA に変更:$V_{DD}$ = 15V* ... 10
- *電気的特性において、TLC555C の最大温度範囲における放電スイッチ オフ状態電流の代表値を 0.5nA から 13nA に変更:$V_{DD}$ = 15V* ... 10
- *電気的特性において、TLC555I の最大温度範囲における放電スイッチ オフ状態電流の代表値を 120nA から 30nA に変更:$V_{DD}$ = 15V* ... 10
- *電気的特性において、TLC555M および TLC555Q の最大温度範囲における放電スイッチ オフ状態電流の代表値を 120nA から 280nA に変更 $V_{DD}$ = 15V* ... 10
- *電気的特性において、25℃ 時の電源電流の代表値を 360µA から 235µA に変更:$V_{DD}$ = 15V* ... 10
- 「*代表的特性*」セクション内のすべてのグラフを更新 ... 12

**Changes from Revision I (July 2019) to Revision J (November 2023)** **Page**

- 「特長」の MIL-STD-883C、手法 3015.2 に従い ESD 保護仕様を 2000V から、ANSI/ESDA/JEDEC JS-001 に従い 1000V に変更 ... 1
- 「概要」セクションで「製品情報」表を「パッケージ情報」に変更し、「本体サイズ (公称)」を「パッケージ サイズ」に変更 1
- 「*ESD 定格*」表と、HBM、CDM および MM の仕様を追加します。 ... 5
- 「*熱に関する情報*」表において、SOIC および PDIP パッケージの熱抵抗および特性評価パラメータの値を変更しました。 ... 6
- *以下の電気的特性で、リセット電流 ($I_{RESET}$) のテスト条件を $V_{RESET}$ = $V_{DD}$ に変更:$V_{DD}$ = 5V および $V_{DD}$ = 15V* .. 8
- *電気的特性で、テスト条件 $V_{RESET}$ = 0V に新しいリセット電流 ($I_{RESET}$) の標準仕様を追加 $V_{DD}$ = 5V および $V_{DD}$ = 15V* ... 8
- *電気的特性において、電源電流 ($I_{DD}$) の代表値を 170µA から 180µA に変更 $V_{DD}$ = 5V* ... 8

Copyright © 2026 Texas Instruments Incorporated

- *「動作特性」*セクションのタイトルを*「タイミング特性」*に変更し、値が設計または特性によって決定されることを明確化 11
- *「タイミング特性」*のタイミング間隔仕様の初期誤差を削除 11
- 図 5-4*「電源電流と電源電圧との関係 (ユニット 2)」*を追加 12
- 図 5-3*「電源電流と電源電圧との関係」*について、タイトルに「ユニット 1」を追加し、0℃ および 70℃ の曲線を削除 12
- 機能ブロック図を簡素化した回路図に変更し、「概要」に移動 14
- *機能ブロック図*を更新 14
- *「モノステーブル動作」*において、RESET ピンのプルアップ抵抗および CONT ピンの電圧範囲に関する指針を追加 14
- 「非安定動作」に、公称動作周波数と寄生成分の明確化を追加 16
- *非安定動作*において、非推奨となった TLC555 設計計算ツールへのリンクを削除 16
- 「デバイスの機能モード」で、図 17 「等価回路図」を削除し、リセット ピンに関するガイダンスを追加 19

**Changes from Revision H (August 2016) to Revision I (July 2019)** **Page**

- *絶対最大定格*において、入力電圧の最小値を追加 5
- *絶対最大定格*において、DISCHARGE ピンを追加 5
- *「推奨動作条件」*において、品番に基づき最小電源電圧を変更 5
- *電気的特性において、消費電力に関するコンデンサ容量の代表値を追加:TLC555C の場合、$V_{DD}$ = 2V、TLC555I の場合、$V_{DD}$ = 3V* 7
- *電気的特性において、トリガおよびしきい値に関するコンデンサ容量の代表値を追加:$V_{DD}$ = 5V* 8
- *電気的特性において、$V_{OH}$ のテスト条件電流を –1mA に変更:$V_{DD}$ = 5V* 8
- *電気的特性において、消費電力に関するコンデンサ容量の代表値を追加:$V_{DD}$ = 5V* 8
- *電気的特性において、トリガおよびしきい値に関するコンデンサ容量の代表値を追加:$V_{DD}$ = 15V* 10
- *電気的特性において、消費電力に関するコンデンサ容量の代表値を追加:$V_{DD}$ = 15V* 10
- *「仕様」*セクションに*「動作特性」*を追加 11
- *「代表的特性」*セクションに「電源電流と電源電圧との関係」のグラフを追加 12
- *「代表的特性」*セクションに「制御インピーダンスと温度との関係」のグラフを追加 12
- *「代表的特性」*セクションに「出力低抵抗と温度との関係」のグラフを追加 12
- *「代表的特性」*セクションに「出力高抵抗と温度との関係」のグラフを追加 12
- *「代表的特性」*セクションに「伝搬遅延と制御電圧との関係 ($V_{DD}$ = 2V)」のグラフを追加 12
- *「代表的特性」*セクションに「伝搬遅延と制御電圧との関係 ($V_{DD}$ = 5V)」のグラフを追加 12
- *「モノステーブル動作」*において、トリガのハイ レベル保持時間を 1µs に変更 14
- *「モノステーブル動作」*において、最小モノステーブル パルス幅を 1µs に変更 14
- *「モノステーブル動作」*において、「出力パルス幅と容量との関係」グラフのスケール下限を 0.001ms に変更 14
- *「非安定動作」*セクションに、追加の発振周波数計算式を追加 16
- *「非安定動作」*セクションにおいて、「フリーランニング周波数とタイミング コンデンサ容量との関係」グラフのスケール上限を 2MHz まで拡張 16
- *デバイスの動作モード*における表 6-1*「機能表」*に、CONT ピンに関する表注記を追加 19
- *「パルス幅変調」*セクションにおいて、アプリケーション曲線のグラフを変更 22
- *「パルス位置変調」*セクションにおいて、アプリケーション曲線のグラフを変更 23
- *「シーケンシャル タイマ」*セクションのシーケンシャル タイマ回路に、クランプ ダイオードを追加 24
- *「アプリケーション情報」*セクションに*「ESD 耐性向上のための設計」*セクションを追加 26

**Changes from Revision G (November 2008) to Revision H (August 2016)** **Page**

- 「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1


Copyright © 2026 Texas Instruments Incorporated

• JEDEC 規格に合わせて*「熱に関する情報」*表の値を変更。 ..... 6
• *「消費電力定格」*表を削除 ..... 6

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| 5962-89503012A | Active | Production | LCCC (FK) \| 20 | 55 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | 5962-89503012A TLC555MFKB |
| 5962-8950301PA | Active | Production | CDIP (JG) \| 8 | 50 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | 8950301PA TLC555M |
| TLC555CD | Obsolete | Production | SOIC (D) \| 8 | - | - | Call TI | Call TI | 0 to 70 | TL555C |
| TLC555CDR | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | TL555C |
| TLC555CDR.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | TL555C |
| TLC555CP | Active | Production | PDIP (P) \| 8 | 50 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | 0 to 70 | TLC555CP |
| TLC555CP.A | Active | Production | PDIP (P) \| 8 | 50 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | 0 to 70 | TLC555CP |
| TLC555CPS | Active | Production | SO (PS) \| 8 | 80 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPS.A | Active | Production | SO (PS) \| 8 | 80 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPSR | Active | Production | SO (PS) \| 8 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPSR.A | Active | Production | SO (PS) \| 8 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPW | Active | Production | TSSOP (PW) \| 14 | 90 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPW.A | Active | Production | TSSOP (PW) \| 14 | 90 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPWR | Active | Production | TSSOP (PW) \| 14 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555CPWR.A | Active | Production | TSSOP (PW) \| 14 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | 0 to 70 | P555 |
| TLC555ID | Obsolete | Production | SOIC (D) \| 8 | - | - | Call TI | Call TI | -40 to 85 | TL555I |
| TLC555IDR | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | TL555I |
| TLC555IDR.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | TL555I |
| TLC555IP | Active | Production | PDIP (P) \| 8 | 50 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -40 to 85 | TLC555IP |
| TLC555IP.A | Active | Production | PDIP (P) \| 8 | 50 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -40 to 85 | TLC555IP |
| TLC555MFKB | Active | Production | LCCC (FK) \| 20 | 55 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | 5962-89503012A TLC555MFKB |
| TLC555MFKB.A | Active | Production | LCCC (FK) \| 20 | 55 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | 5962-89503012A TLC555MFKB |
| TLC555MJG | Active | Production | CDIP (JG) \| 8 | 50 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | TLC555MJG |
| TLC555MJG.A | Active | Production | CDIP (JG) \| 8 | 50 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | TLC555MJG |

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| TLC555MJGB | Active | Production | CDIP (JG) \| 8 | 50 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | 8950301PA TLC555M |
| TLC555MJGB.A | Active | Production | CDIP (JG) \| 8 | 50 \| TUBE | No | SNPB | N/A for Pkg Type | -55 to 125 | 8950301PA TLC555M |
| TLC555QDR | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | TL555Q |
| TLC555QDR.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | TL555Q |
| TLC555QDRG4 | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | - | TL555Q |
| TLC555QDRG4.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | TL555Q |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TLC555, TLC555M :**

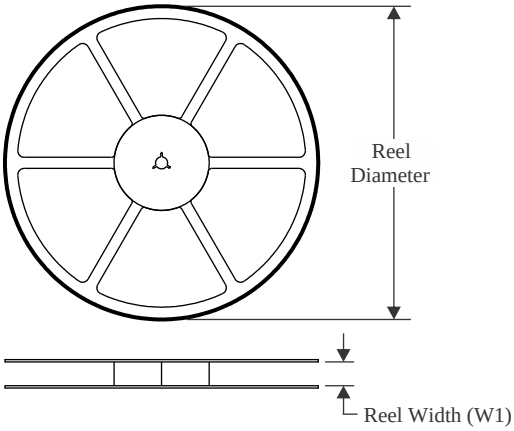
- Catalog : TLC555
- Automotive : TLC555-Q1, TLC555-Q1
- Military : TLC555M

NOTE: Qualified Version Definitions:

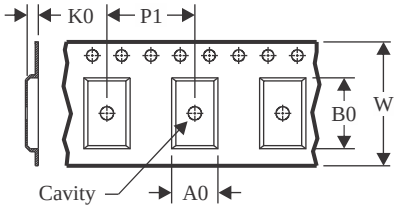
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

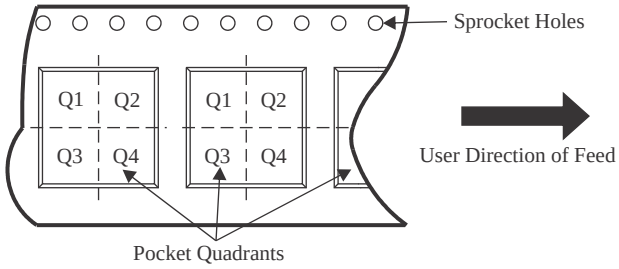



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

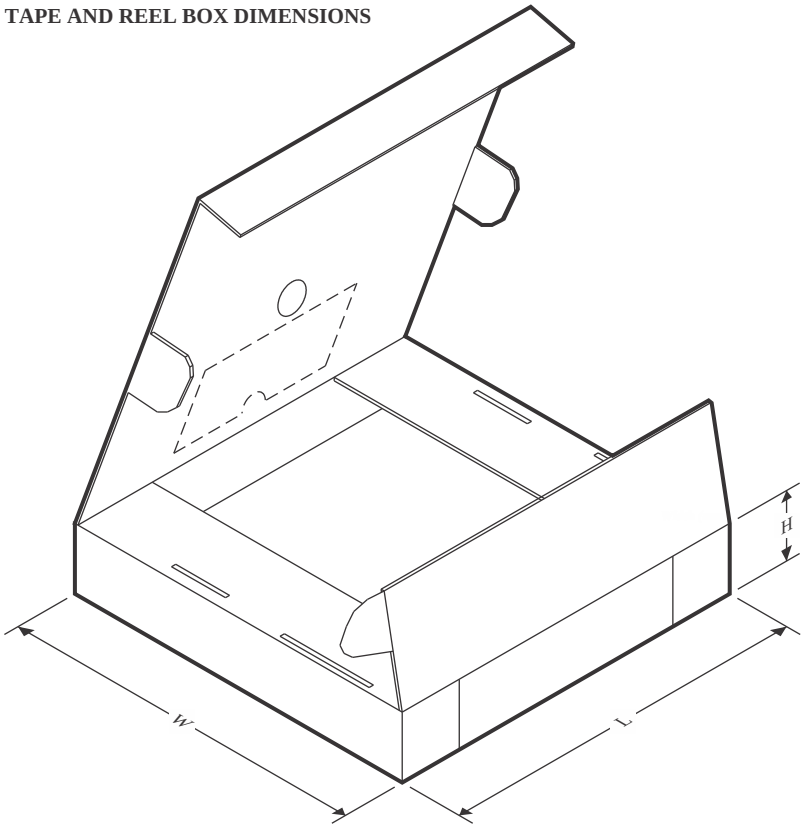
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TLC555CDR | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| TLC555CDR | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| TLC555CPSR | SO | PS | 8 | 2000 | 330.0 | 16.4 | 8.35 | 6.6 | 2.4 | 12.0 | 16.0 | Q1 |
| TLC555CPWR | TSSOP | PW | 14 | 2000 | 330.0 | 12.4 | 6.9 | 5.6 | 1.6 | 8.0 | 12.0 | Q1 |
| TLC555IDR | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| TLC555IDR | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| TLC555QDR | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| TLC555QDRG4 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| TLC555QDRG4 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |

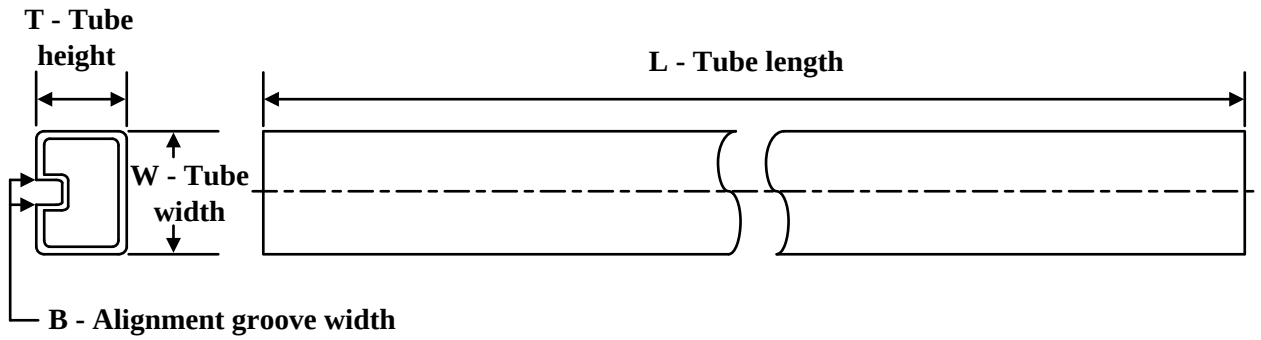
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| TLC555CDR | SOIC | D | 8 | 2500 | 356.0 | 356.0 | 35.0 |
| TLC555CDR | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| TLC555CPSR | SO | PS | 8 | 2000 | 353.0 | 353.0 | 32.0 |
| TLC555CPWR | TSSOP | PW | 14 | 2000 | 353.0 | 353.0 | 32.0 |
| TLC555IDR | SOIC | D | 8 | 2500 | 356.0 | 356.0 | 35.0 |
| TLC555IDR | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| TLC555QDR | SOIC | D | 8 | 2500 | 356.0 | 356.0 | 35.0 |
| TLC555QDRG4 | SOIC | D | 8 | 2500 | 356.0 | 356.0 | 35.0 |
| TLC555QDRG4 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |

## TUBE




*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (µm) | B (mm) |
|---|---|---|---|---|---|---|---|---|
| 5962-89503012A | FK | LCCC | 20 | 55 | 506.98 | 12.06 | 2030 | NA |
| TLC555CP | P | PDIP | 8 | 50 | 506 | 13.97 | 11230 | 4.32 |
| TLC555CP.A | P | PDIP | 8 | 50 | 506 | 13.97 | 11230 | 4.32 |
| TLC555CPS | PS | SOP | 8 | 80 | 530 | 10.5 | 4000 | 4.1 |
| TLC555CPS.A | PS | SOP | 8 | 80 | 530 | 10.5 | 4000 | 4.1 |
| TLC555CPW | PW | TSSOP | 14 | 90 | 530 | 10.2 | 3600 | 3.5 |
| TLC555CPW.A | PW | TSSOP | 14 | 90 | 530 | 10.2 | 3600 | 3.5 |
| TLC555IP | P | PDIP | 8 | 50 | 506 | 13.97 | 11230 | 4.32 |
| TLC555IP.A | P | PDIP | 8 | 50 | 506 | 13.97 | 11230 | 4.32 |
| TLC555MFKB | FK | LCCC | 20 | 55 | 506.98 | 12.06 | 2030 | NA |
| TLC555MFKB.A | FK | LCCC | 20 | 55 | 506.98 | 12.06 | 2030 | NA |

# GENERIC PACKAGE VIEW

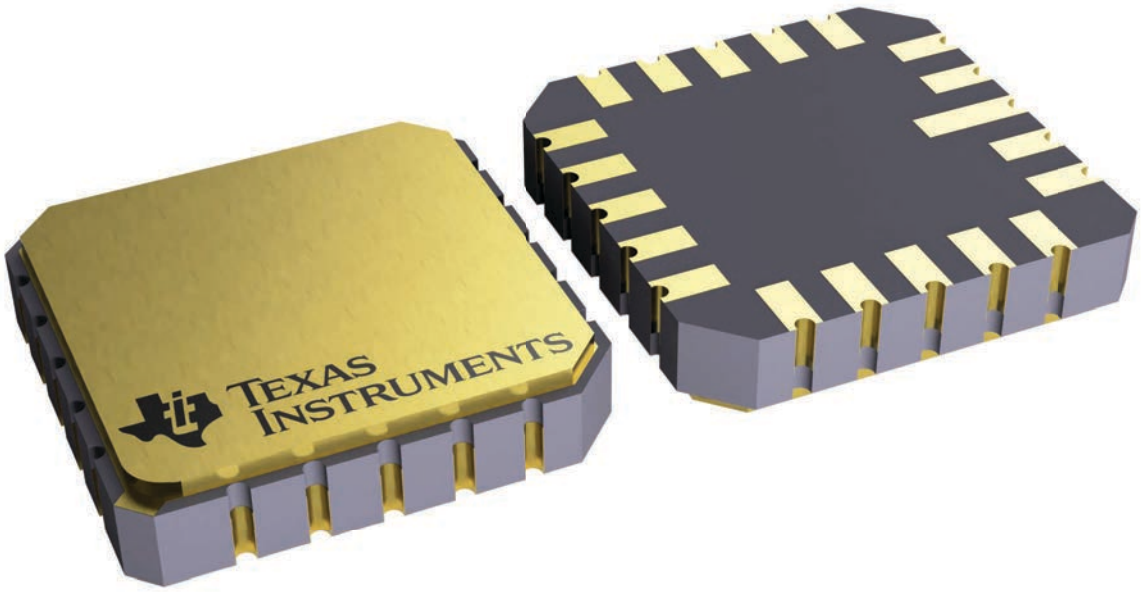
## FK 20

## LCCC - 2.03 mm max height

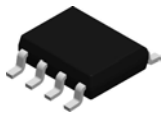
**8.89 x 8.89, 1.27 mm pitch**

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.




4229370VA\

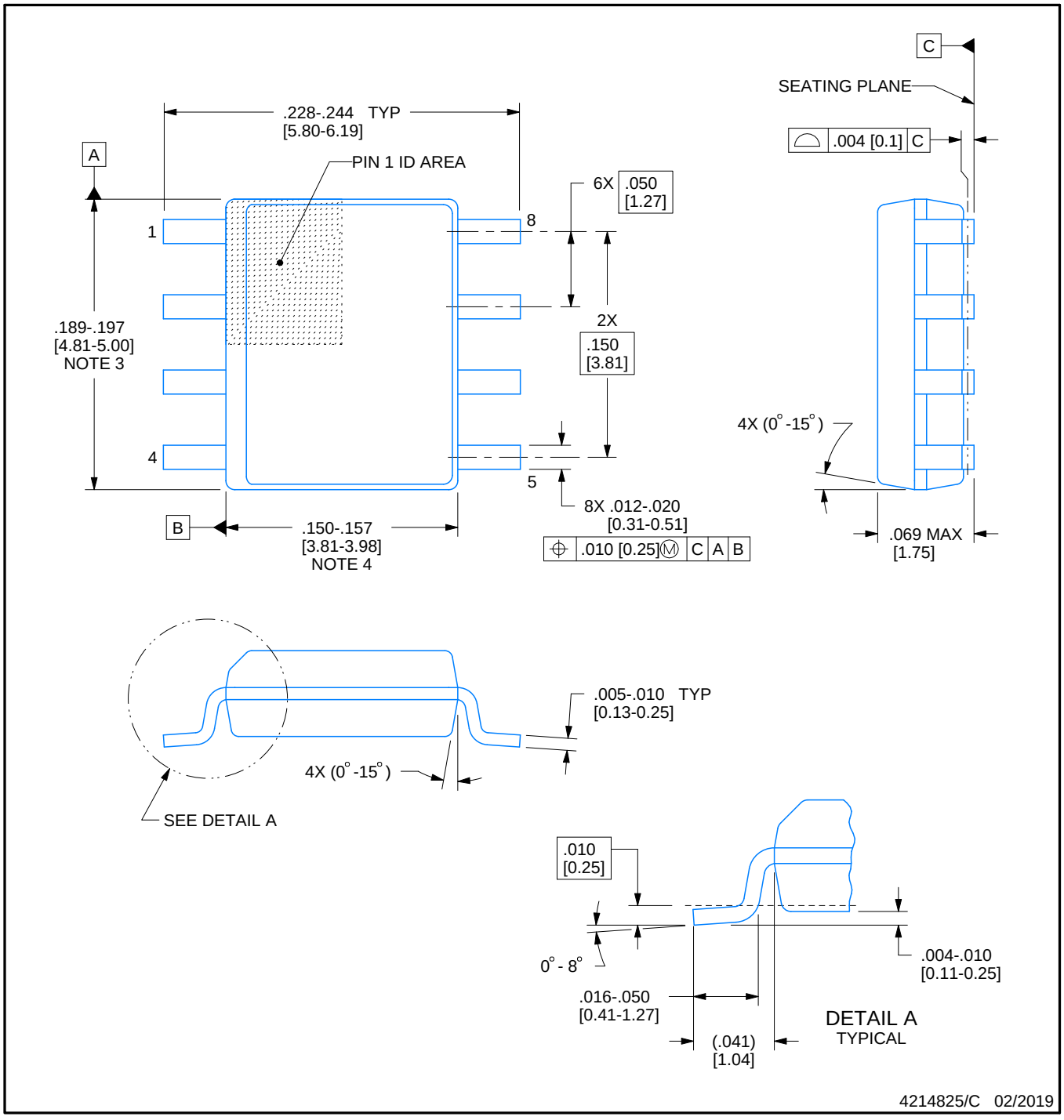


# PACKAGE OUTLINE

## D0008A

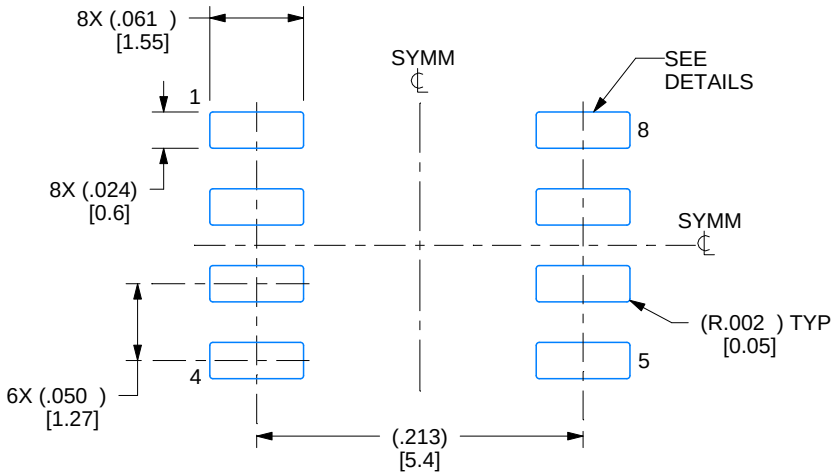
## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

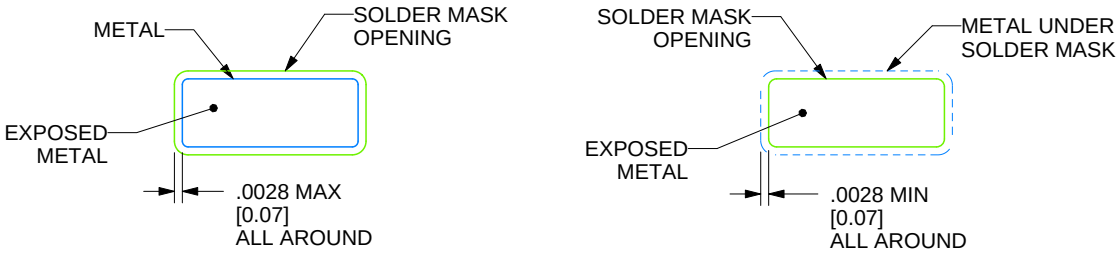



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X




SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

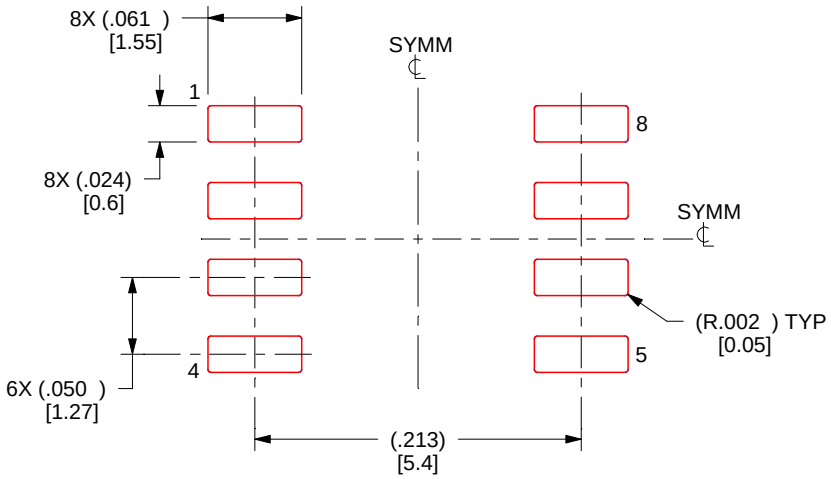
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

## D0008A

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT




SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

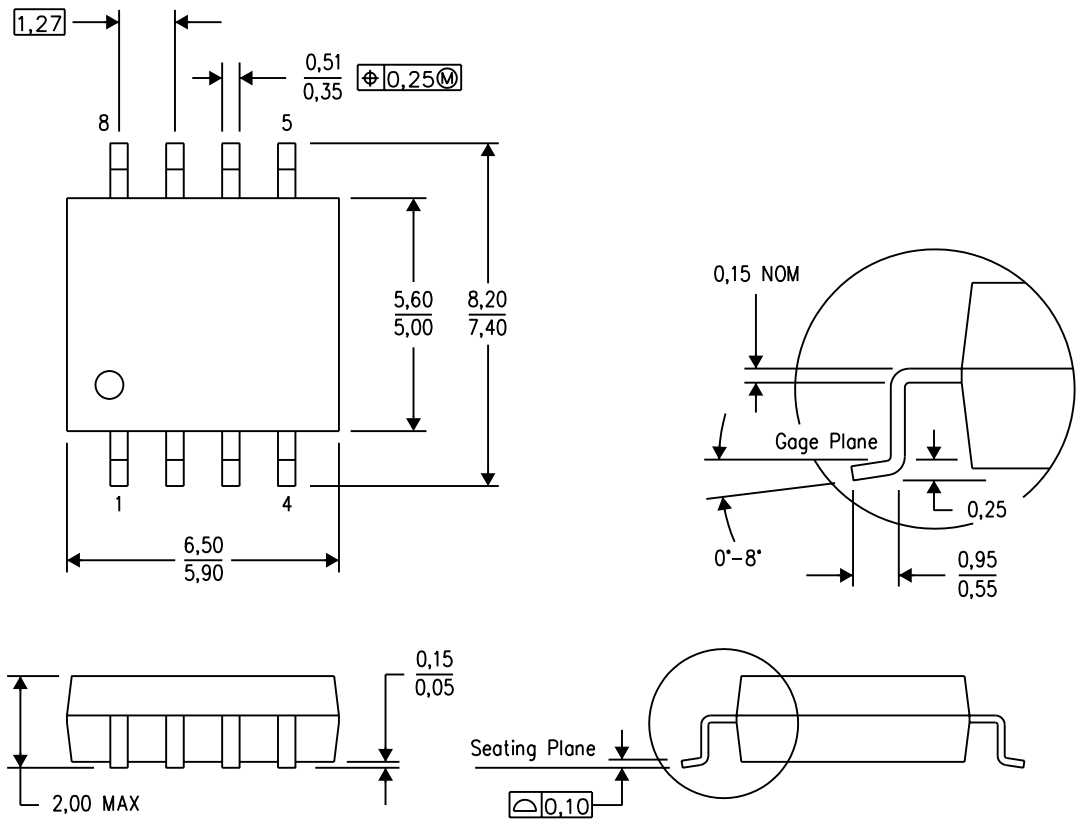
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## MECHANICAL DATA

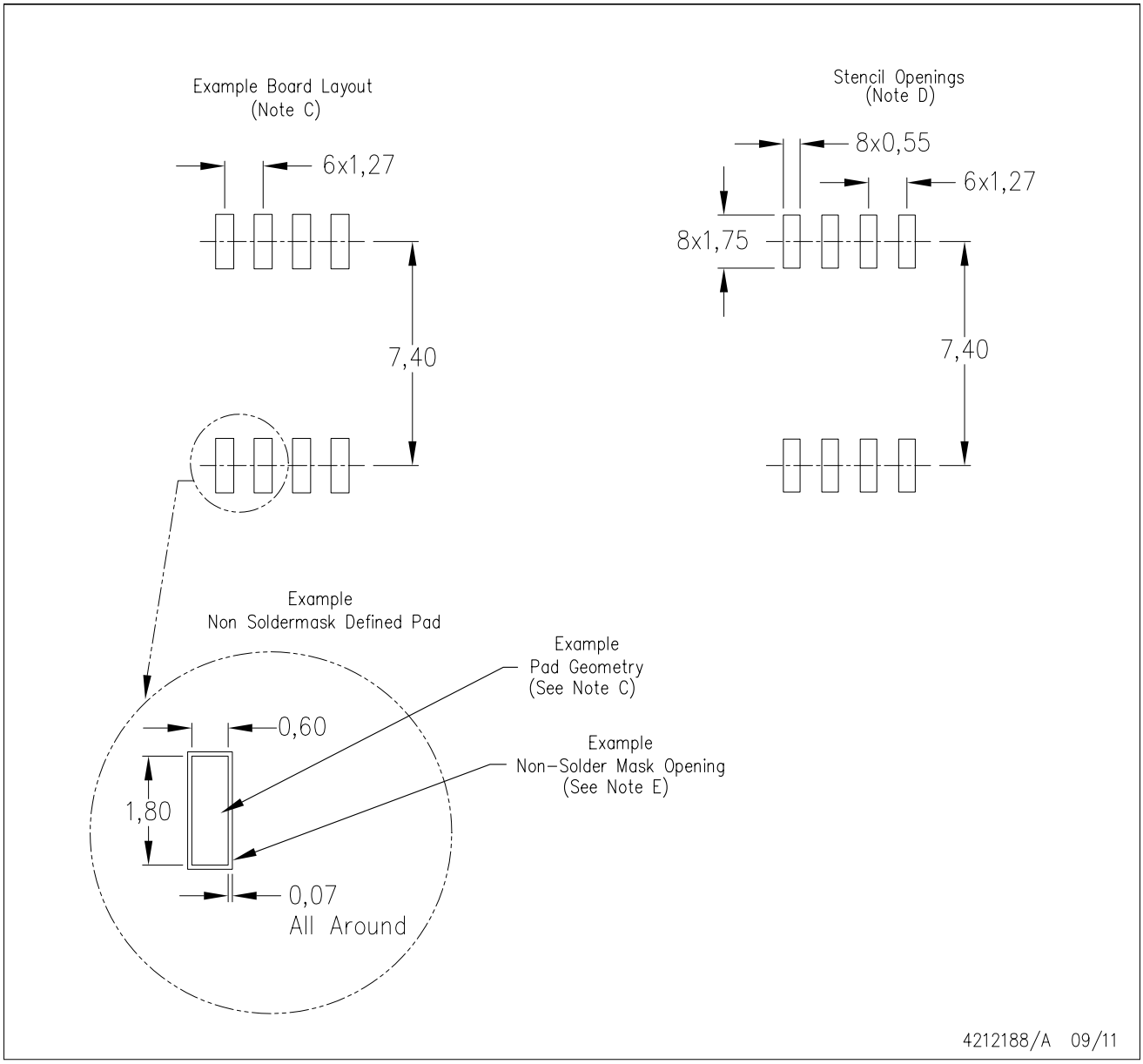
**PS (R-PDSO-G8)** **PLASTIC SMALL-OUTLINE PACKAGE**




4040063/C 03/03

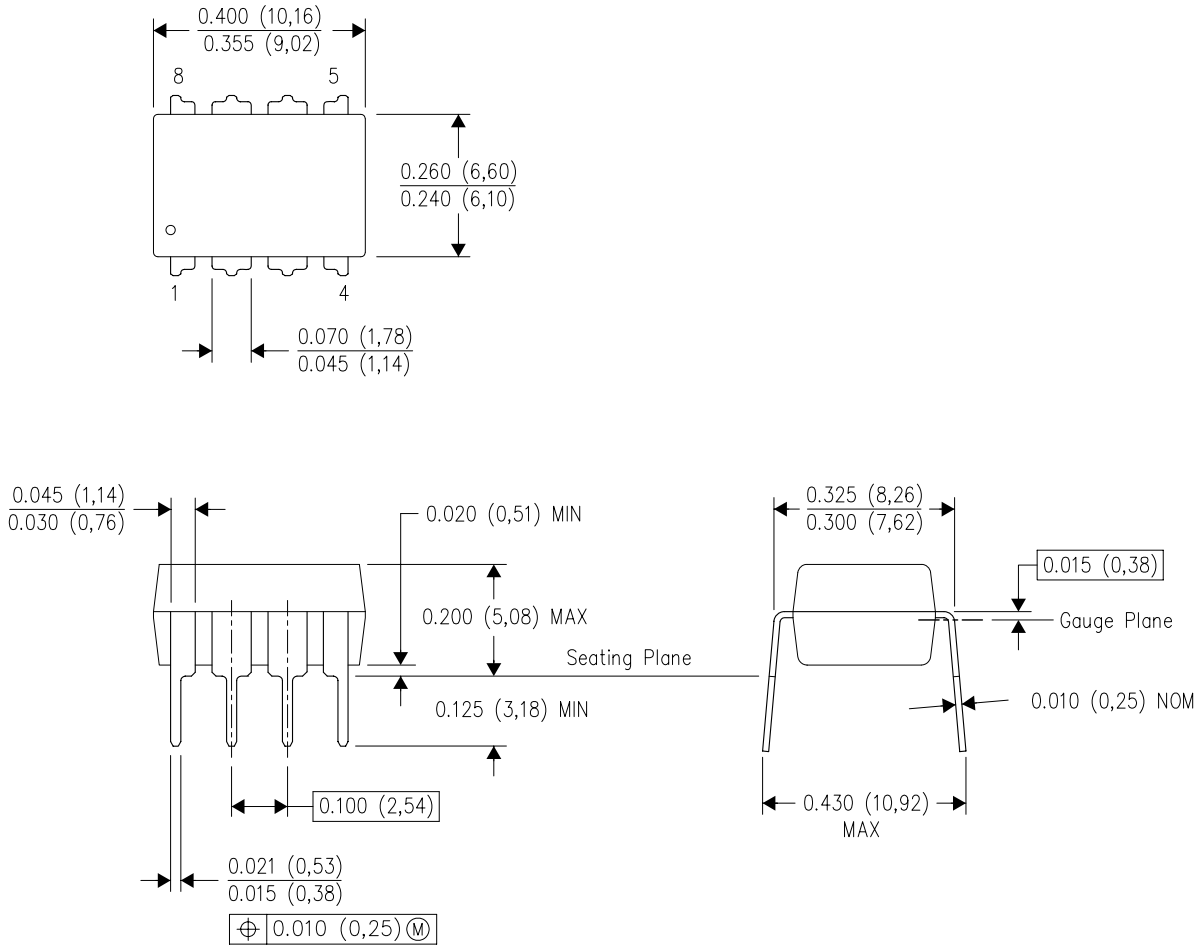
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE




NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



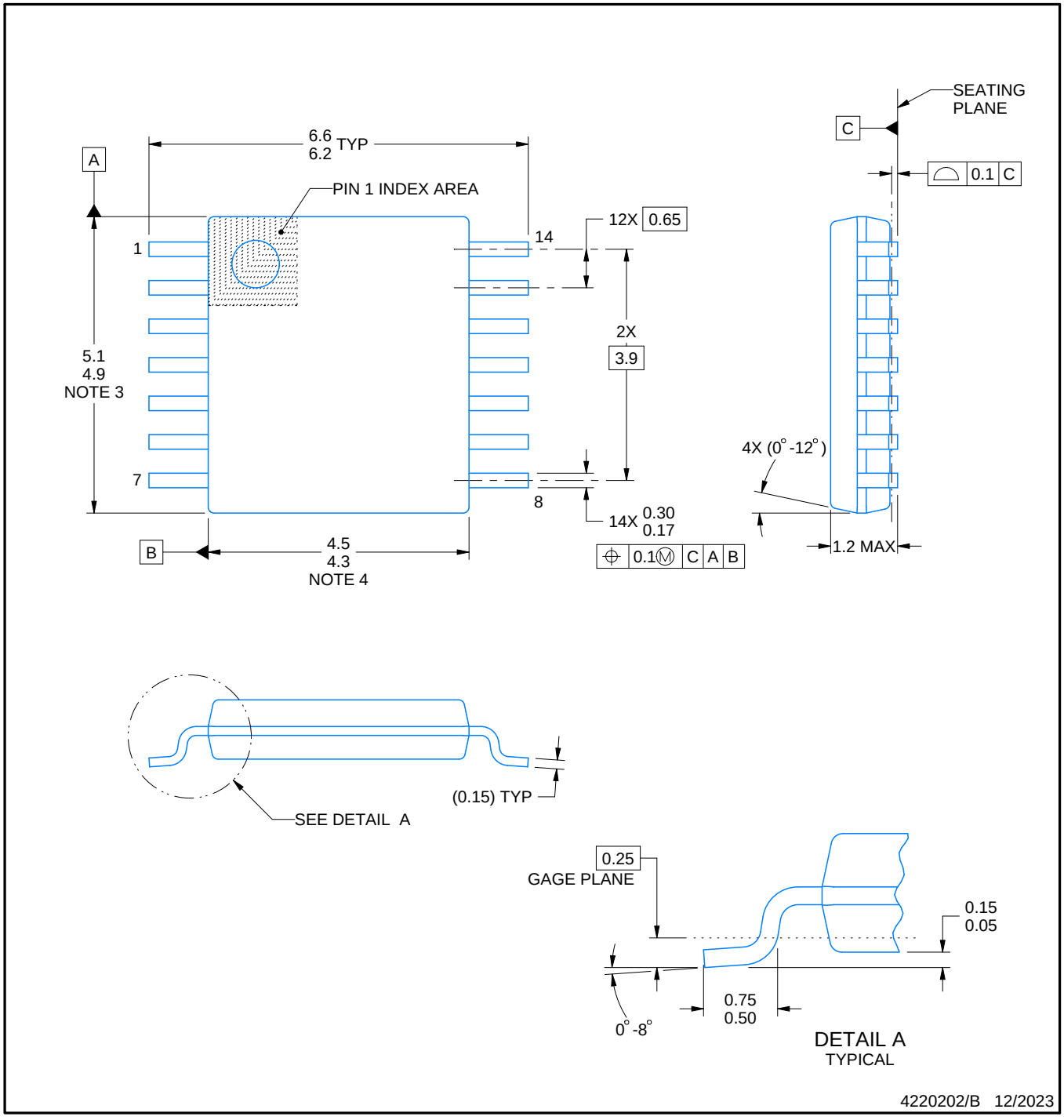

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

# PACKAGE OUTLINE

## PW0014A

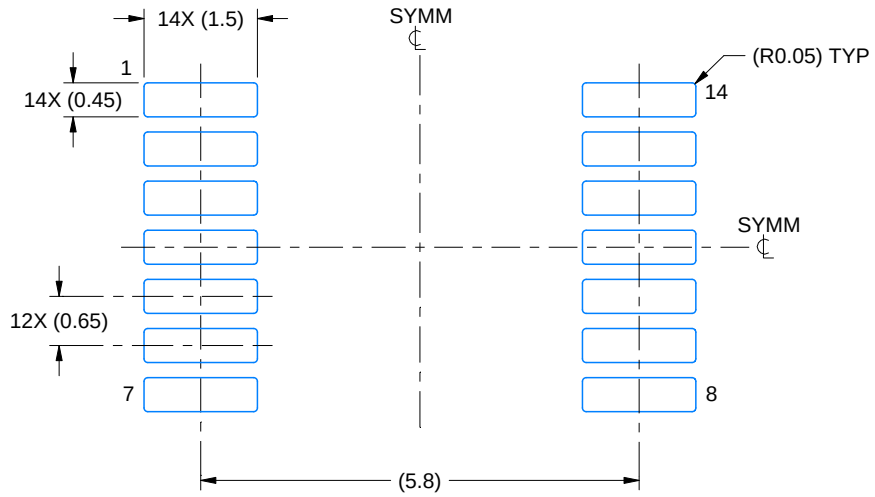
## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

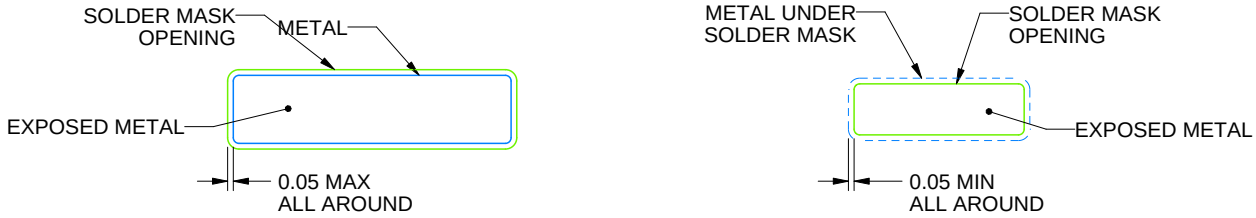



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

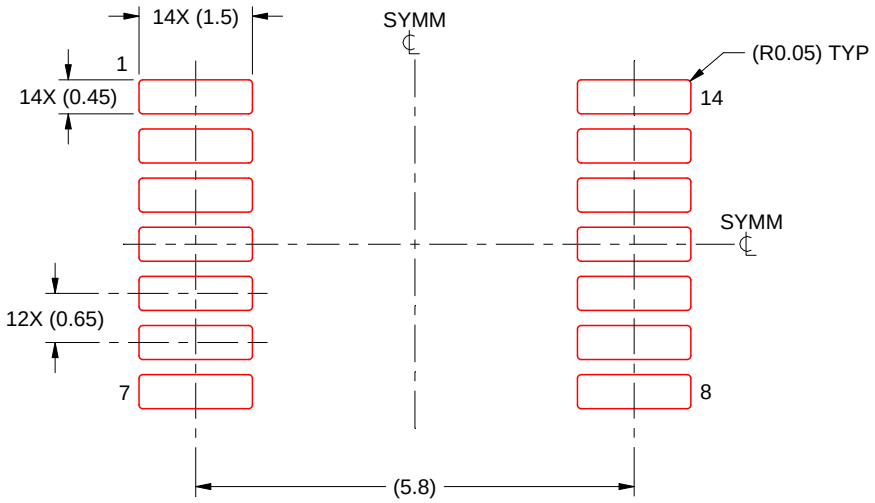



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

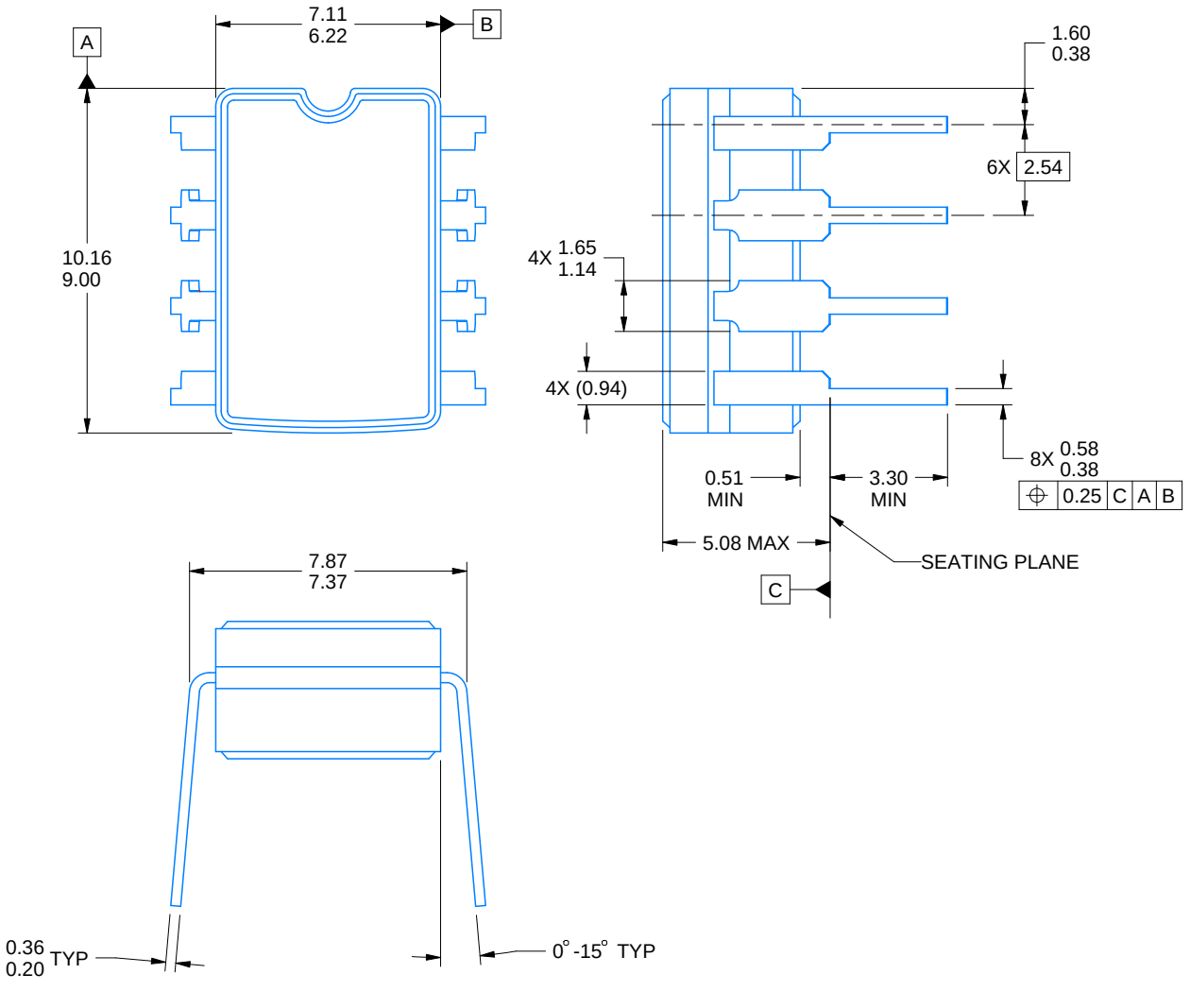
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# PACKAGE OUTLINE

## JG0008A

## CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE




4230036/A 09/2023

NOTES:

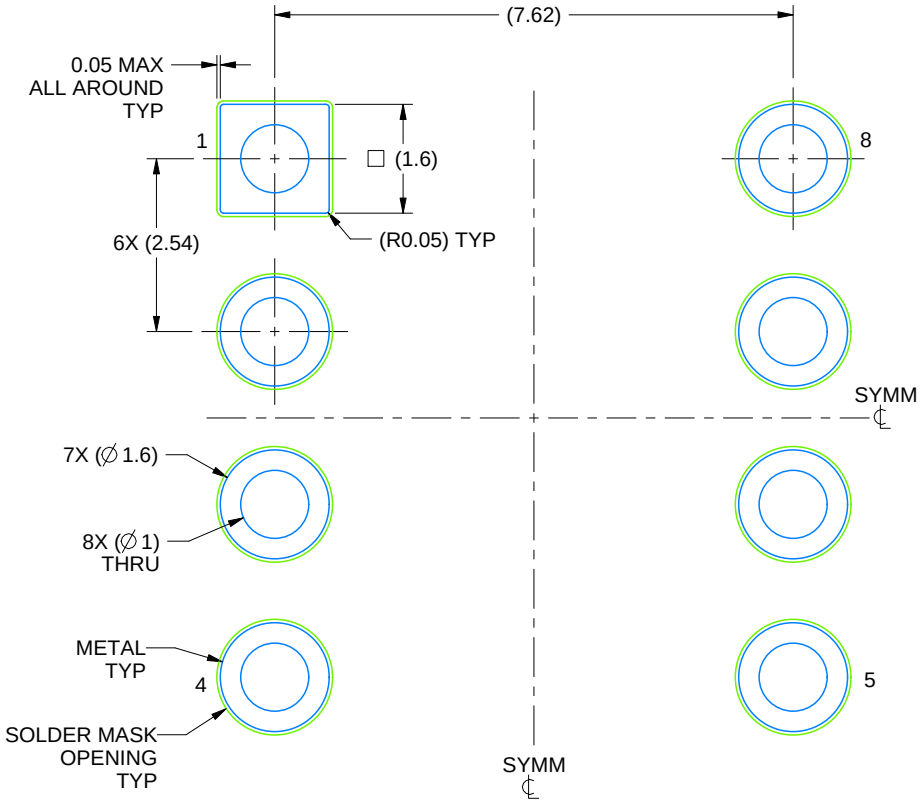
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

# EXAMPLE BOARD LAYOUT

## JG0008A

## CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE




LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月