TLC556x デュアル CMOS タイマ

1 特長

- 超低消費電力
  - V_{DD} = 5V で標準値 2mW
- 安定モードで動作可能
- レール ツー レールにスイング可能な CMOS 出力
- 高い出力電流能力
  - シンク:100mA (代表値)
  - 出典:10mA (代表値)
- 出力は CMOS、TTL、MOS と完全互換
- 電源電流が少ないため出力遷移中のスパイクが小さい
- 2V～15V の単一電源動作
- NE556 と機能的に交換可能 (同じピン配置)

2 アプリケーション

- 高精度のタイミング
- パルス生成
- シーケンシャル タイミング
- 時間遅延の生成
- パルス幅変調
- パルス位置変調
- リニア ランプ生成器

3 説明

TLC556 シリーズは、CMOS モノリシック構造のタイミング回路です。このタイマは CMOS、TTL、MOS ロジックと完全互換であり、最高 2MHz の周波数で動作します。このデバイスは入力インピーダンスが高いため、NE556 でサポートされているものよりも値が小さいタイミング コンデンサをサポートして対応しています。その結果、より正確な時間遅延と発振が可能です。電源電圧の範囲全体にわたって低消費電力を実現します。

NE556 と同様、TLC556 のトリガ レベルは電源電圧の約 1/3、スレッショルド レベルは電源電圧の約 2/3 です。これらの電圧レベルは、制御電圧ピン (CONT) を使用して変更できます。トリガ入力 (TRIG) がトリガ レベルより低くなると、フリップ フロップがセットされ、出力は High になります。TRIG がトリガ レベルより高く、かつスレッショルド入力 (THRES) がスレッショルド レベルより高くなると、フリップフロップはリセットされ、出力は Low になります。リセット入力 (RESET) は他のいかなる入力よりも優先され、新しいタイミング サイクルの開始に使用されます。RESET を Low にすると、フリップ フロップはリセットされ、出力は Low になります。出力が LOW のときは常に、放電ピン (DISCH) と グランド ピン (GND) との間に低インピーダンスの経路が形成されます。誤トリガを防止するため、未使用の入力はすべて、適切なロジック レベルに接続します。

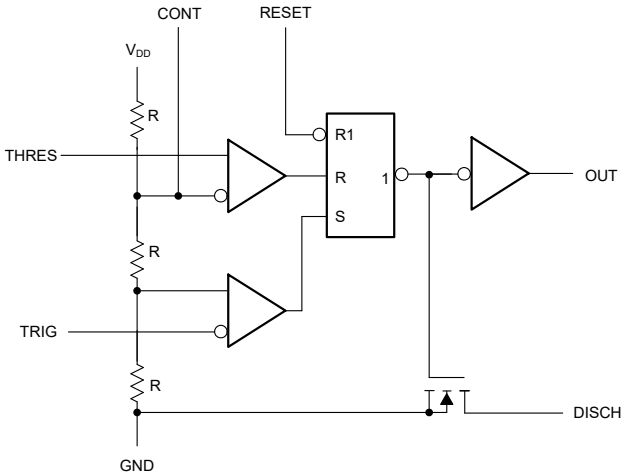
CMOS 出力はシンク 100mA 以上、ソース 10mA 以上の能力がありますが、TLC556 は出力遷移中の電源電流スパイクが大幅に低減しています。この特徴により、NE556 で要求される必要な大容量デカップリング コンデンサの必要性が最小限に抑えられます。

TLC556C は 0℃～70℃での動作が規定されています。TLC556I は -40℃～+85℃での動作が規定されています。TLC556M は軍事用温度範囲の全体である -55℃～+125℃での動作が規定されています。

製品情報

部品番号	定格	パッケージ (1)
TLC556C	カタログ	D (SOIC、14)
		N (PDIP、14)
TLC556I	産業用	D (SOIC、14)
		N (PDIP、14)
TLC556M	軍用	D (SOIC、14)
		FK (LCCC、20)
		J (CDIP、14)
		N (PDIP、14)

(1) 詳細については、セクション 10 を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性:TLC556C の場合、V_{DD} = 2V、TLC556I の場合、V_{DD} = 3V.....6
5.6 電気的特性:V_{DD} = 5V.....7
5.7 電気的特性:V_{DD} = 15V.....8
5.8 スイッチング特性.....9
5.9 代表的特性:TLC556C と TLC556I.....11
5.10 代表的特性:TLC556M.....12
6 詳細説明.....13
6.1 概要.....13
6.2 機能ブロック図 (各タイマ).....13
6.3 機能説明.....14
6.4 デバイスの機能モード.....16
7 アプリケーションと実装.....17
7.1 使用上の注意.....17
7.2 代表的なアプリケーション.....17
8 デバイスおよびドキュメントのサポート.....20
8.1 ドキュメントの更新通知を受け取る方法.....20
8.2 サポート・リソース.....20
8.3 商標.....20
8.4 静電気放電に関する注意事項.....20
8.5 用語集.....20
9 改訂履歴.....20
10 メカニカル、パッケージ、および注文情報.....22

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

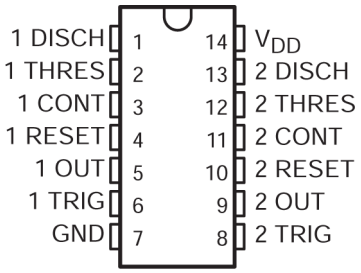


図 4-1. D、J、N パッケージ (上面図)

表 4-1. ピンの機能：D、J、N パッケージ

ピン		タイプ	説明
名称	番号		
CONT	3、11	入力	コンパレータのスレッショルドを制御。出力 2/3 V_{DD} により、バイパス コンデンサ接続が可能になります。
DISCH	1、13	出力	オープン コレクタ出力から放電タイミング コンデンサ。
GND	7	—	グランド。
OUT	5、9	出力	大電流タイマ出力信号。
リセット	4、10	入力	アクティブ Low のリセット入力により、出力と放電を Low に強制。
THRES	2、12	入力	タイミング入力の終了。THRES > CONT は出力と放電を Low に設定します。
TRIG	6、8	入力	タイミング入力の開始。TRIG < 1/2 CONT により出力が High に設定され、放電がオープンになります。
V_{DD}	14	—	電源電圧。

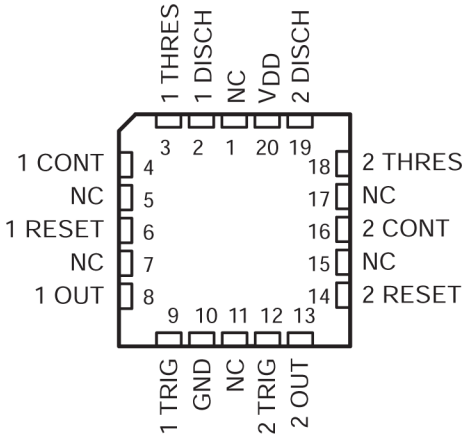


図 4-2. FK パッケージ (上面図)

表 4-2. ピンの機能：FK パッケージ

ピン		タイプ	説明
名称	番号		
CONT	4、16	入力	コンパレータのスレッショルドを制御。出力 2/3 V_{DD} により、バイパス コンデンサ接続が可能になります。
DISCH	2、19	出力	オープン コレクタ出力から放電タイミング コンデンサ。
GND	10	—	グランド。
NC	1、5、7、11、15、17	—	内部接続なし
OUT	8、13	出力	大電流タイマ出力信号。
リセット	6、14	入力	アクティブ Low のリセット入力により、出力と放電を Low に強制。
THRES	3、18	入力	タイミング入力の終了。THRES > CONT は出力と放電を Low に設定します。
TRIG	9、12	入力	タイミング入力の開始。TRIG < 1/2 CONT により出力が High に設定され、放電がオープンになります。
V_{DD}	20	—	電源電圧。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
	電圧	電源電圧、V_{DD} (2)	-0.3	18	V
		入力 (任意の入力)	-0.3	V_{DD}	
	電流	シンク (放電または出力)		150	mA
		ソース、出力		15	
T_A	外気温度での動作時	接尾辞 C	0	70	°C
		接尾辞 I	-40	85	
		接尾辞 M	-55	125	
	60 秒間のケース温度	FK パッケージ		260	°C
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点	J パッケージ、60 秒		300	°C
		D または N パッケージ、10 秒		260	
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドを基準としたものです。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電 (3)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(3) デバイスを静電気放電から保護するためのアプリケーション上の指針については、セクション 7.1.1 を参照してください。

5.3 推奨動作条件

			最小値	最大値	単位
V_{DD}	電源電圧		2	15	V
T_A	外気温度での動作時	TLC556C	0	70	°C
		TLC556I	-40	85	
		TLC556M	-55	125	

5.4 熱に関する情報

熱評価基準(1)		TLC556				単位
		D (SOIC)	FK (LCCC)	J (CDIP)	N (PDIP)	
		14 ピン	20 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	94.1	63.8	80.6	75.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	54.3	39.1	33.5	54.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	52.2	38.5	68.2	50.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	14.1	33.3	26.9	31.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	51.6	38.3	63.2	49.4	°C/W

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準[1]		TLC556				単位
		D (SOIC)	FK (LCCC)	J (CDIP)	N (PDIP)	
		14 ピン	20 ピン	14 ピン	14 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	4.7	15.2	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性：TLC556C の場合、V_{DD} = 2V、TLC556I の場合、V_{DD} = 3V

指定された自由気流温度で、TLC556C では V_{DD} = 2V、TLC556I では V_{DD} = 3V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IT}	入力スレッショルド電圧	25°C	TLC556C	0.95	1.33	1.65	V
			TLC556I	1.6	2	2.4	
		フルレンジ(1)	TLC556C	0.85		1.75	
			TLC556I	1.5		2.5	
	スレッショルド電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
$V_{(トリガ)}$	トリガ電圧	25°C	TLC556C	0.4	0.67	0.95	V
			TLC556I	0.71	1	1.29	
		フルレンジ(1)	TLC556C	0.3		1.05	
			TLC556I	0.61		1.39	
$I_{(トリガ)}$	トリガ電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
$V_{(リセット)}$	リセット電圧	25°C		0.4	1.1	1.5	V
		フルレンジ(1)		0.3		1.8	
$I_{(リセット)}$	リセット電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
	電源電圧のパーセンテージとしての制御電圧 (開路)	フルレンジ(1)			66.7%		
	放電スイッチ オン状態電圧	I_{OL} = 1mA、25°C	TLC556C		0.04	0.2	V
			TLC556I		0.03	0.2	
		I_{OL} = 1mA、フル レンジ(1)	TLC556C			0.25	
			TLC556I			0.375	
	放電スイッチ、オフ状態電流	25°C			0.33		nA
		フルレンジ(1)	TLC556C		11		
			TLC556I		30		
V_{OH}	High レベル出力電圧	I_{OH} = –300µA、25°C		1.5	1.9		V
		I_{OH} = –300µA、フル レンジ(1)	TLC556C	1.5			
			TLC556I	2.5			
V_{OL}	Low レベル出力電圧	I_{OL} = 1mA、25°C			0.07	0.3	V
		I_{OL} = 1mA、フル レンジ(1)	TLC556C			0.35	
			TLC556I			0.4	
I_{DD}	電源電流 (2)	25°C			275	500	mA
		フルレンジ(1)	TLC556C			800	
			TLC556I			1000	

(1) フルレンジは、TLC556C では 0℃ ～ 70℃、TLC556I では -40℃ ～ +85℃ です。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：V_{DD} = 5V

指定された自由空気温度で、および V_{DD} = 5V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IT}	入力スレッショルド電圧	25°C		2.8	3.3	3.8	V
		フルレンジ		2.7		3.9	
	スレッショルド電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
			TLC556M		5000		
$V_{(トリガ)}$	トリガ電圧	25°C		1.36	1.66	1.96	V
		フルレンジ		1.26		2.06	
$I_{(トリガ)}$	トリガ電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
			TLC556M		5000		
$V_{(リセット)}$	リセット電圧	25°C		0.4	1.1	1.5	V
		フルレンジ		0.3		1.8	
$I_{(リセット)}$	リセット電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
			TLC556M		5000		
	電源電圧のパーセンテージとしての制御電圧 (開路)	フルレンジ(1)			66.7%		
	放電スイッチ オン状態電圧	I_{OL} = 10mA、25°C	TLC556C、TLC556I		0.06	0.5	V
			TLC556M		0.15	0.5	
		I_{OL} = 10mA、フル レンジ(1)	TLC556C、TLC556I			0.6	
			TLC556M		0.6		
	放電スイッチ、オフ状態電流	25°C	TLC556C、TLC556I		0.3		nA
			TLC556M		0.1		
		フルレンジ(1)	TLC556C		11		
			TLC556I		30		
			TLC556M		120		
V_{OH}	High レベル出力電圧	I_{OH} = -1mA	25°C	4.1	4.8		V
			フルレンジ(1)	4.1			

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：V_{DD} = 5V (続き)

指定された自由空気温度で、および V_{DD} = 5V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OL}	Low レベル出力電圧	I_{OL} = 8mA、25°C			0.21	0.4	V
		I_{OL} = 8mA、フル レンジ(1)	TLC556C、TLC556I			0.5	
			TLC556M			0.6	
		I_{OL} = 5mA、25°C			0.13	0.3	
		I_{OL} = 5mA、フル レンジ(1)	TLC556C、TLC556I			0.4	
			TLC556M			0.45	
		I_{OL} = 3.2mA、25°C			0.08	0.3	
		I_{OL} = 3.2mA、フル レンジ(1)	TLC556C、TLC556I			0.35	
			TLC556M			0.4	
I_{DD}	電源電流 (2)	25°C			360	700	μA
		フルレンジ(1)	TLC556C			1000	
			TLC556I			1200	
			TLC556M			1400	

(1) フルレンジは、TLC556C では 0℃～70℃、TLC556I では -40℃～+85℃、TLC556M では -55℃～+125℃です。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。

5.7 電気的特性：V_{DD} = 15V

指定された自由空気温度で、および V_{DD} = 15V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IT}	入力スレッショルド電圧	25°C		9.45	10	10.55	V
		フルレンジ(1)		9.35		10.65	
	スレッショルド電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
			TLC556M		5000		
$V_{(トリガ)}$	トリガ電圧	25°C		4.65	5	5.35	V
		フルレンジ(1)		4.55		5.45	
$I_{(トリガ)}$	トリガ電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
			TLC556M		5000		
$V_{(リセット)}$	リセット電圧	25°C		0.4	1.1	1.5	V
		フルレンジ(1)		0.3		1.8	
$I_{(リセット)}$	リセット電流	25°C			10		pA
		フルレンジ(1)	TLC556C		75		
			TLC556I		150		
			TLC556M		5000		
	電源電圧のパーセンテージとしての制御電圧 (開路)	フルレンジ(1)			66.7%		

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性：V_{DD} = 15V (続き)

指定された自由空気温度で、および V_{DD} = 15V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
	放電スイッチ オン状態電圧	I_{OL} = 100mA	25°C		0.8	1.7	V
			フルレンジ(1)			1.8	
	放電スイッチ オフ状態電流	25°C	TLC556C、TLC556I		0.75		nA
			TLC556M		0.1		
		フルレンジ(1)	TLC556C		13		
			TLC556I		30		
			TLC556M		120		
V_{OH}	High レベル出力電圧	I_{OH} = -10mA	25°C	12.5	14.2		V
			フルレンジ(1)	12.5			
		I_{OH} = -5mA	25°C	13.5	14.6		
			フルレンジ(1)	13.5			
		I_{OH} = -1mA	25°C	14.2	14.9		
			フルレンジ(1)	14.2			
V_{OL}	Low レベル出力電圧	I_{OL} = 100mA、25°C			1.28	3.2	V
		I_{OL} = 100mA、フル レンジ(1)	TLC556C			3.6	
			TLC556I			3.7	
			TLC556M			3.8	
		I_{OL} = 50mA、25°C			0.63	1	
		I_{OL} = 50mA、フル レンジ(1)	TLC556C			1.3	
			TLC556I			1.4	
			TLC556M			1.5	
		I_{OL} = 10mA、25°C			0.12	0.3	
		I_{OL} = 10mA、フル レンジ(1)	TLC556C、TLC556I			0.4	
			TLC556M			0.45	
I_{DD}	電源電流 (2)	25°C	TLC556C、TLC556I		0.47	1.2	mA
			TLC556M		0.72	1.2	
		フルレンジ(1)	TLC556C			1.6	
			TLC556I			1.8	
			TLC556M			2	

(1) フルレンジは、TLC556C では 0°C～70°C、TLC556I では -40°C～+85°C、TLC556M では -55°C～+125°Cです。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。

5.8 スイッチング特性

(特に記述がない限り、V_{DD} = 5V および T_A = 25°C でのデータ)。特性値は設計と特性評価の一方または両方で規定されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	タイミング間隔の電源電圧感度	V_{DD} = 5V ～ 15V、R_A = R_B = 1kΩ ～ 100kΩ、C_T = 0.1μF(1)		0.1	0.5	%/V
t_r	出力パルスの立ち上がり時間	R_L = 10MΩ、C_L = 10pF		20	75	ns
t_f	出力パルスの立ち下がり時間	R_L = 10MΩ、C_L = 10pF		15	60	ns

Copyright © 2026 Texas Instruments Incorporated

(特に記述がない限り、V_{DD} = 5V および T_A = 25°C でのデータ)。特性値は設計と特性評価の一方または両方で規定されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{max}	非安定モードでの最大周波数	R_A = 470Ω、C_T = 200pF R_B = 200Ω(1)	1.2	2.1		MHz

(1) R_A、R_B、C_T は 図 6-2 で定義されています。

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性：TLC556C と TLC556I

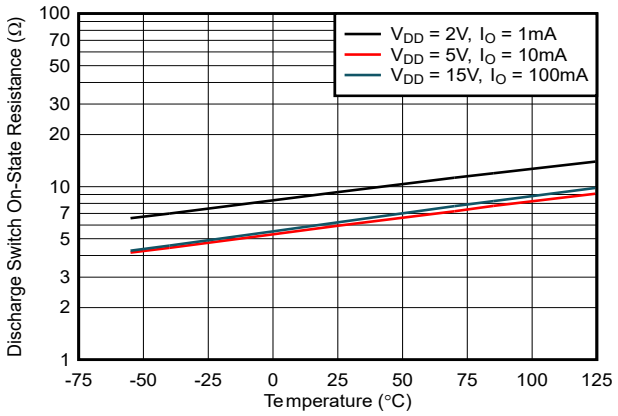


図 5-1. 放電スイッチのオン状態抵抗と自由空気温度との関係

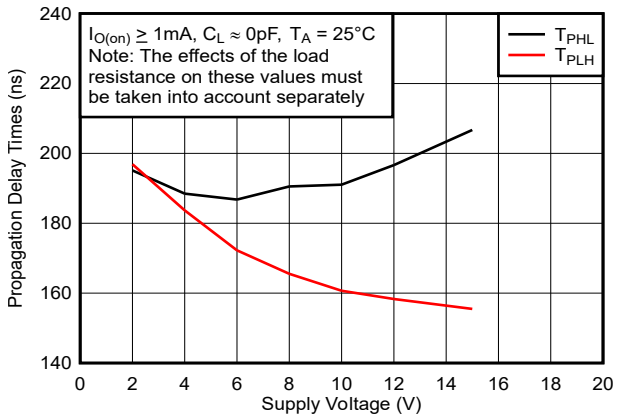


図 5-2. トリガおよびスレッショルドが短絡してから出力を放電するまでの伝搬遅延時間と電源電圧との関係

5.10 代表的特性：TLC556M

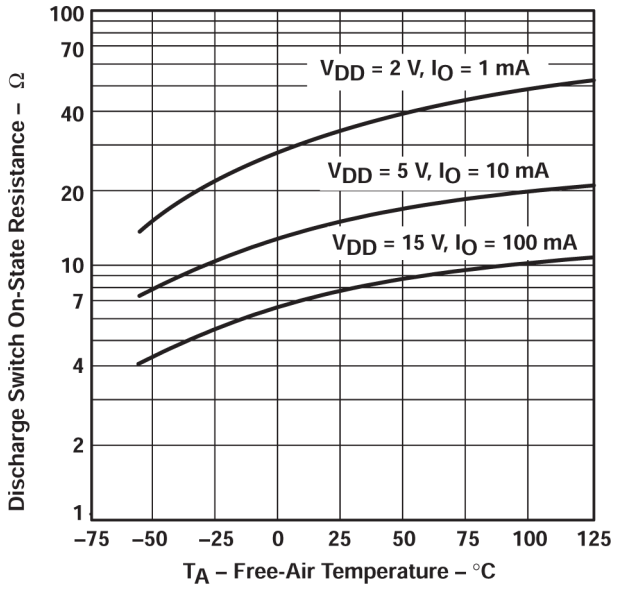
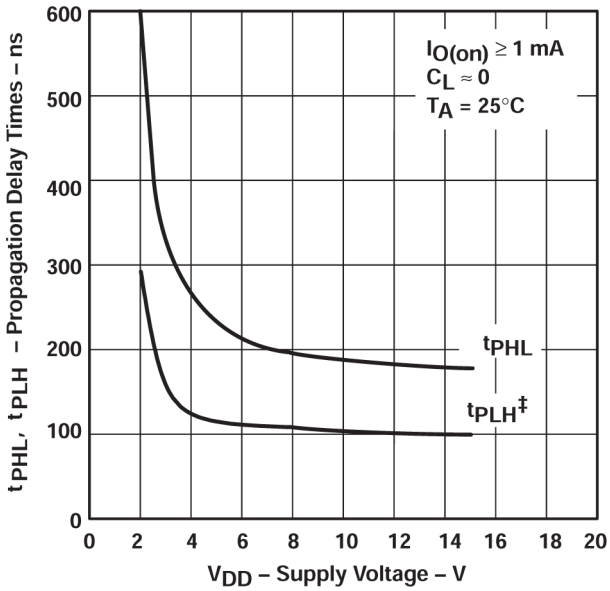


図 5-3. 放電スイッチのオン状態抵抗と自由空気温度との関係



これらの値に対する負荷抵抗の影響は、個別に考慮してください。

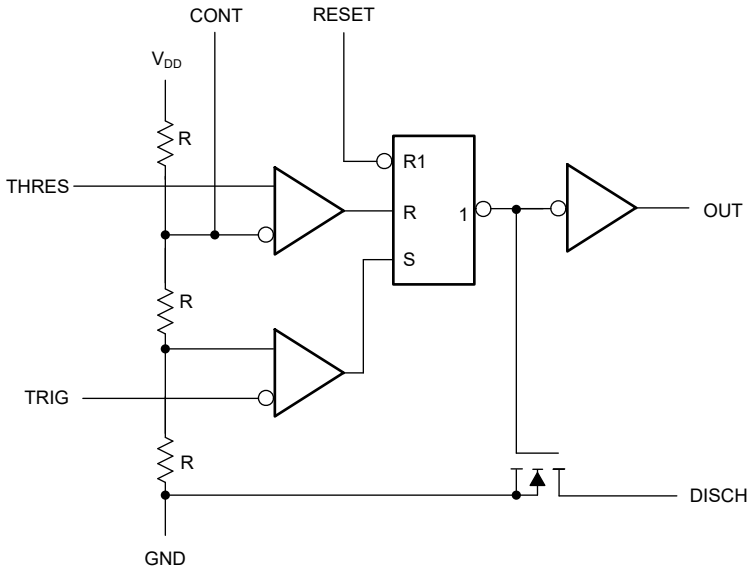
図 5-4. トリガおよびスレッショルドが短絡してから出力を放電するまでの伝搬遅延時間と電源電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

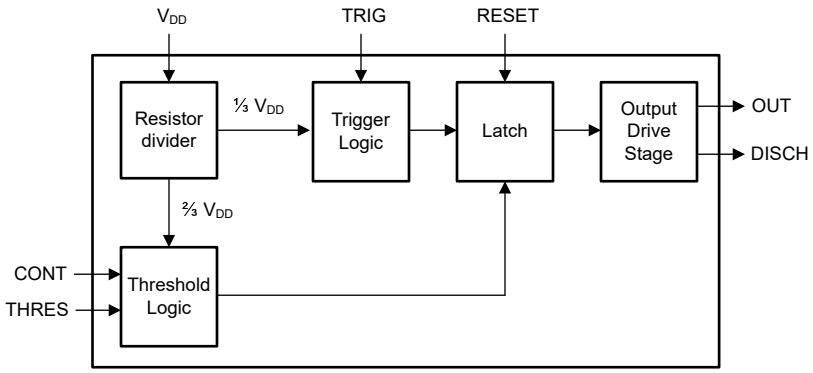
6.1 概要

TLC556 は、最大 2.1MHz までの汎用タイミング用途に使用される高精度タイミング デバイスです。すべての入力はエッジ トリガではなく、レベル センシティブ入力です。RESET は TRIG をオーバーライドし、それにより THRES をオーバーライドします (CONT ピンが 2/3 V_{DD} のとき)。R 抵抗の抵抗値は、電源電圧 V_{DD} および温度によって変動します。これらの抵抗は、V_{DD} および温度の変化に対して相互の一致性が非常に高く、温度に対して安定した制御電圧比を実現します。



概略回路図

6.2 機能ブロック図 (各タイマ)



6.3 機能説明

6.3.1 モノステーブル動作

モノステーブル動作で、いずれかのタイマを接続する方法を 図 6-1 に示します。出力が Low の場合、負方向のパルスをトリガ (TRIG) に印加すると、内部ラッチが設定されます。出力が High になると、放電ピン (DISCH) がオープン ドレインになります。C_T コンデンサは、コンデンサの両端の電圧がスレッショルド (THRES) 入力のスレッショルド電圧に達するまで、R_A 経由で充電されます。TRIG が High レベルに戻った場合、スレッショルド コンパレータの出力が内部ラッチをリセットします。出力が Low になると、放電ピンが Low になり、C_T コンデンサが迅速に放電されます。

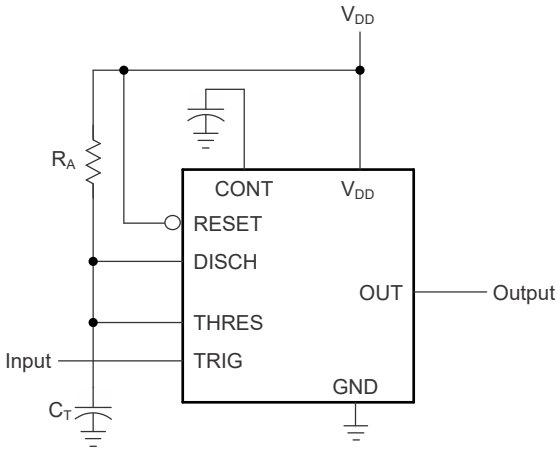


図 6-1. モノステーブル動作回路

TRIG 電圧がトリガ スレッショルドを下回ると、モノステーブル動作が開始します。開始すると、タイミング インターバルの終了前に少なくとも にわたって TRIG が 1µs 以上 High である場合にのみ、シーケンスは終了します。トリガがグランドに接続されたとき、コンパレータの保存時間は 1µs にまで延ばすことができ、これにより 1µs に対する最小モノステーブル パルス幅が制限されます。出力パルス幅は、約 $t_w = 1.1 \times R_A C_T$ です。スレッショルド レベルと充電速度は、どちらも電源電圧 V_{DD} に正比例します。そのため、時間間隔中に電源電圧が一定である限り、タイミング間隔は電源電圧に依存しません。

タイミング インターバルの間に、RESET と TRIG に同時に負方向のトリガ パルスを印加すると、C_T コンデンサが放電し、サイクルが再開され、リセット パルスの正のエッジから始まります。リセットパルスが Low である間、出力は Low に保持されます。誤トリガを防ぐため、RESET が Low にアサートされていない場合は、RESET を V_{DD} に接続します。リセット機能が必要で、ピンが外部ロジックまたはマイクロコントローラによって駆動される場合は、リセット ピンがフローティングにならないように、V_{DD} にプルアップ抵抗 (10kΩ など) を使用してください。リセット機能が必要ない場合は、リセットピンを直接 V_{DD} ピンに短絡します。

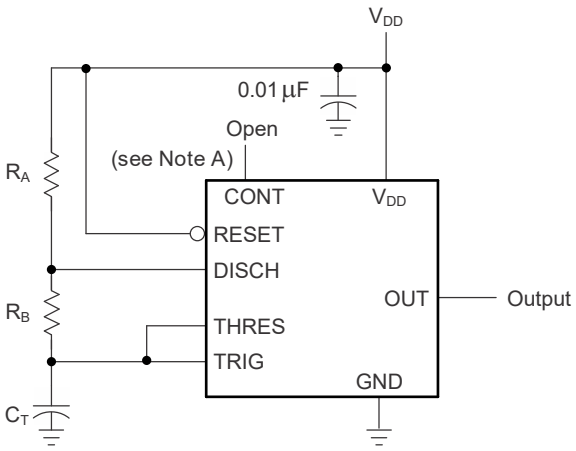
モノステーブル アプリケーションでは、CONT に印加される電圧によってトリガ入力のトリップ ポイントを設定します。抵抗分周器によって生成された電源電圧の 10%～80% の範囲の入力電圧で、かつ 500µA 以上のバイアス電流を確保することで、良好な結果が得られます。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 非安定動作

図 6-2 に示すように、2 番目の抵抗 (R_B) を 図 6-1 の回路に追加し、トリガ入力をスレッショルド入力に接続すると、タイマがセルフ トリガしてマルチバイブレータとして動作します。C_T コンデンサは R_A および R_B 経由で充電され、R_B 経由でのみ放電されます。したがって、デューティ サイクルは R_A と R_B の値によって制御されます。

この非安定接続により、C_T コンデンサはスレッショルド電圧レベル (≅ 0.67 × V_{DD}) とトリガ電圧レベル (≅ 0.33 × V_{DD}) の間で充電および放電されます。モノステーブル回路と同様に、充電時間と放電時間 (すなわち、周波数とデューティ サイクル) は電源電圧に依存しません。



A. CONT 電圧をコンデンサでグランドにデカップリングすることで、動作を向上できます。アプリケーションに応じて再評価してください。

図 6-2. 非安定動作回路

$$t_H \cong 0.693 \times (R_A + R_B) \times C_T \quad (1)$$

$$t_L \cong 0.693 \times R_B \times C_T \quad (2)$$

周期、周波数、ドライバ基準および波形基準のデューティ サイクルに関して、その他の有用な関係を以下に示します。

$$T = t_H + t_L \cong 0.693 \times (R_A + 2R_B) \times C_T \quad (3)$$

$$f = \frac{1}{T} \cong \frac{1.44}{(R_A + 2R_B) \times C_T} \quad (4)$$

$$\text{Output driver duty cycle} = \frac{t_L}{T} \cong \frac{R_B}{R_A + 2R_B} \quad (5)$$

$$\text{Output waveform duty cycle} = \frac{t_H}{T} \cong 1 - \frac{R_B}{R_A + 2R_B} = \frac{R_A + R_B}{R_A + 2R_B} \quad (6)$$

Copyright © 2026 Texas Instruments Incorporated

これらの式は、TRIG および THRES 入力から DISCH 出力までの伝搬遅延時間は考慮していません。これらの遅延時間は周期に直接加算され、コンデンサが過充電されるため、計算値と実際の値に周波数に応じて増加する差が生じます。さらに、放電中の内部オン抵抗 r_{on} が R_B に加算され、R_B が非常に小さいときの計算でタイミング誤差が発生するもう一つの要因となります。以下の式は、測定値と非常に近い値を導きます。式 7 および 式 8 は、伝搬遅延と放電オン抵抗が式に追加されているため、より高い周波数 (100kHz 超) で使用したときの実際の Low および High 時間を表しています。C_T の値には、公称または意図的なタイミング容量だけでなく、PCB 上の寄生容量も含まれます。CONT のデカップリング容量もデューティ サイクルに影響を及ぼし、コンデンサのリーク抵抗に依存する誤差が寄与します。詳細については、『低デューティ サイクル タイマ回路の設計』の記事を参照してください。

$$t_{c(H)} = C_T \times (R_A + R_B) \times \ln\left(3 - e\left(\frac{-t_{PD\ rising}}{C_T \times (R_B + r_{on})}\right)\right) + t_{PD\ falling} \quad (7)$$

$$t_{c(L)} = C_T \times (R_B + r_{on}) \times \ln\left(3 - e\left(\frac{-t_{PD\ falling}}{C_T \times (R_A + R_B)}\right)\right) + t_{PD\ rising} \quad (8)$$

これらの式と前述の式は、時定数に数または関数の対数を乗算する点で類似しています。対数項の極限値は、低周波数での ln(2)、超高周波数での ln(3) の間になければなりません。デューティ サイクルが 50% に近い場合は、対数項の適切な定数を適切な結果で置き換えることができます。出力波形のデューティ サイクルが 50% 未満では、$t_{c(H)}$ / $t_{c(L)}$ < 1 が必要であり、場合によっては $R_A \leq r_{on}$ が必要です。これらの条件を得るのは難しい場合があります。

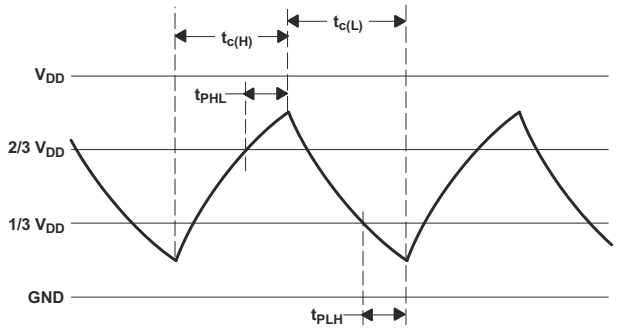


図 6-3. トリガ電圧とスレッショルド電圧の波形

6.4 デバイスの機能モード

表 6-1 はデバイスの真理値表を示します。有効なリセット電圧条件を得るには、外付けプルアップ抵抗を V_{DD} に接続するか (リセット機能を使用する場合)、リセットピンを直接 V_{DD} に短絡します (RESET 機能を使用しない場合)。

表 6-1. 機能表

リセット電圧(1)	トリガ電圧 (1)	スレッショルド電圧(1)	出力	放電スイッチ
最小値未満	影響なし	影響なし	L	オン
> 最大値	最小値未満	影響なし(2)	H	オフ
> 最大値	> 最大値	> 最大値	L	オン
> 最大値	> 最大値	最小値未満	既に確かめたとおり	

(1) 最小値または最大値として示されている条件については、セクション 5.5 で指定されている適切な値を使用します。
(2) CONT ピンがオープンまたは 2/3 V_{DD}。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TLC556 タイマ デバイスは抵抗とコンデンサの充電遅延を使用して、時間遅延または動作周波数をプログラム可能です。*セクション 7.2* では、設計手順について簡単に説明します。リセット モードでは、出力と放電が強制的に Low になり、消費電流をわずかに低減できます。

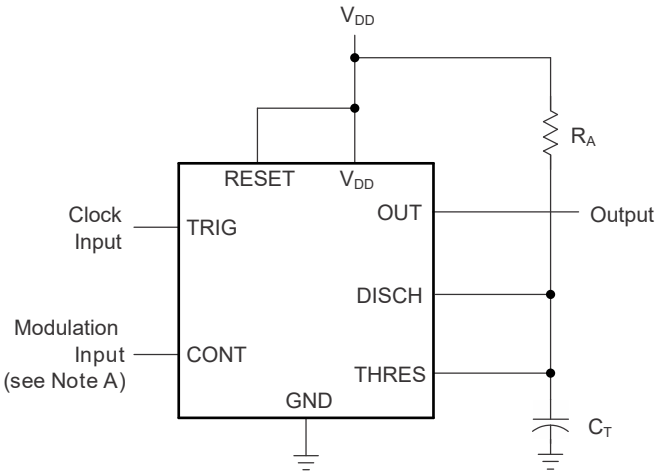
7.1.1 ESD 耐性向上のための設計

TLC556 に内蔵された HBM および CDM 保護により、ESD 管理環境下での安全な実装が可能です。TLC556 の各ピンが ESD に曝露されるアプリケーションでは、追加の保護を強く推奨します。必要に応じて、バイパス コンデンサ、電流制限抵抗、および電圧クランプ用 TVS ダイオードを用い、ESD によって影響を受けやすいピン (RESET、TRIG、OUPUT) に対して追加の保護を提供しています。

7.2 代表的なアプリケーション

7.2.1 パルス幅変調

タイマ動作を変更するには、外部電圧 (または電流) を CONT に印可し、内部スレッショルドとトリガ電圧を変調します。図 7-1 に、パルス幅変調の回路を示します。連続入力パルス トレインによってモノステーブル回路がトリガされ、制御信号によってスレッショルド電圧が変調されます。図 7-2 に、結果として得られるデューティ サイクルと制御電圧の伝達関数との関係を示します。10% のデューティ サイクルで動作させようとすると、出力パルスが一貫しない可能性があります。100% に近いデューティ サイクルを試みると、2、3、4 の周波数分周になります。



A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

図 7-1. パルス幅変調回路

7.2.1.1 設計要件

クロック入力の V_{OL} および V_{OH} レベルは、それぞれ 1/3 V_{DD} を下回る値と上回る値にする必要があります。クロック入力 V_{OL} 時間は最小出力 High 時間よりも短い必要があります。したがって、High (正) デューティ サイクル クロックが推奨されます。推奨される最小変調電圧は 1V です。CONT 電圧が低いと、スレッショルド コンパレータの伝搬遅延と保存時間

が大幅に増加する可能性があります。このアプリケーションは、非線形の伝達関数を許容する必要があります。コンデンサの電荷は、負の指数曲線の RC をベースとしているため、変調入力とパルス幅との関係は線形ではありません。

7.2.1.2 詳細な設計手順

$R_A \times C_T$ がクロック入力周期と同じかそれ以下になるよう、R_A と C_T を選択します。図 7-2 に、制御電圧と出力デューティ サイクルの非線形関係を示します。デューティ サイクルは、RC 時定数に対する制御電圧およびクロック周期の関数です。

7.2.1.3 アプリケーション曲線

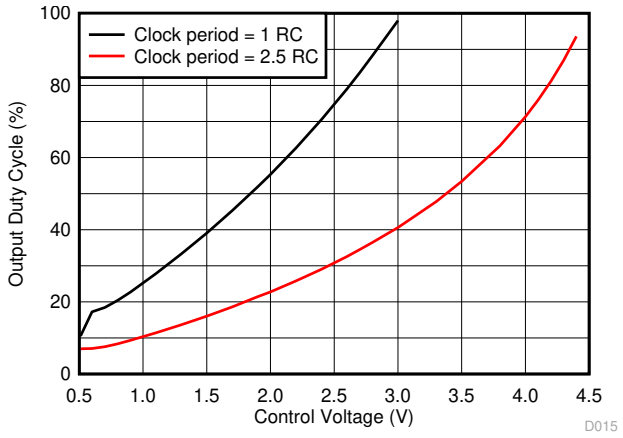
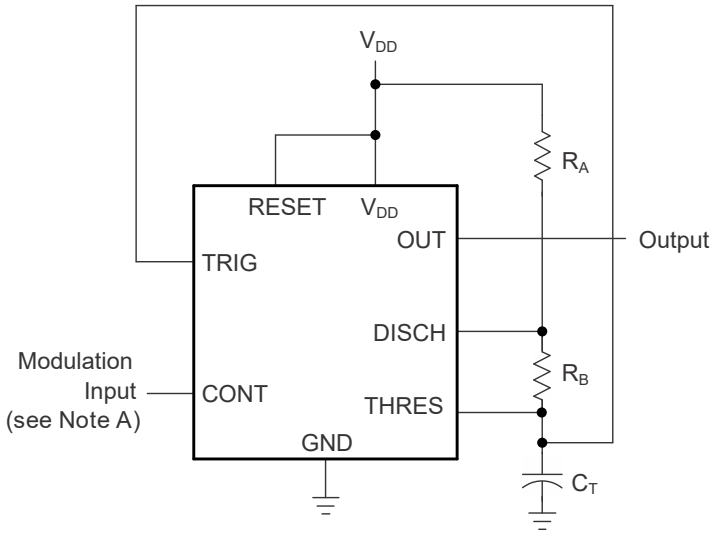


図 7-2. パルス幅変調と制御電圧との関係
クロック デューティ サイクル 98%、V_{DD} = 5V

7.2.2 パルス位置変調

図 7-3 に示すように、これらのタイマはいずれもパルス位置変調器として使用できます。このアプリケーションでは、スレッショルド電圧を変調することで、フリーランニング発振器の時間遅延を変調します。図 7-4 および 図 7-5 は、出力周波数およびデューティ サイクルと制御電圧との関係を示します。



A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

図 7-3. パルス位置変調回路

Copyright © 2026 Texas Instruments Incorporated

7.2.2.1 設計要件

DC 結合変調入力と AC 結合変調入力のどちらも、タイミング コンデンサの電圧上限スレッショルドと電圧下限スレッショルドを変更します。周波数とデューティ サイクルはどちらも変調電圧によって変化します。制御電圧が 1V 未満の場合、定常出力パルス ストリームではなく出力グリッチが発生する可能性があります。表 7-1 に、設計要件の例を示します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
R_A	3kΩ
R_B	309 Ω
C_T	1nF

7.2.2.2 詳細な設計手順

V_{DD} の 2/3 に設定された制御電圧の公称出力周波数とデューティ サイクルは、*セクション 6.3.2* の式を使用して決定できます。

7.2.2.3 アプリケーション曲線

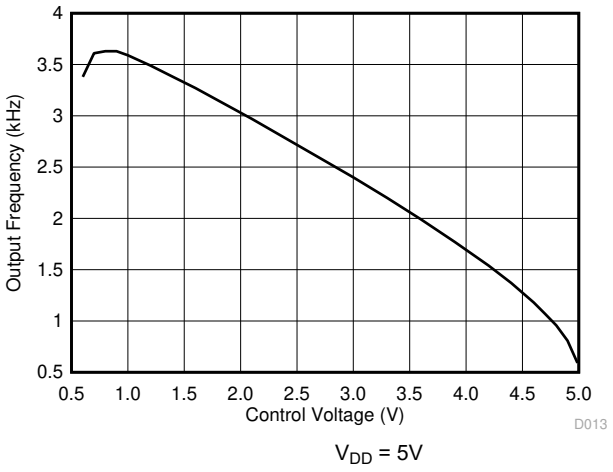


図 7-4. パルス位置変調周波数と制御電圧との関係

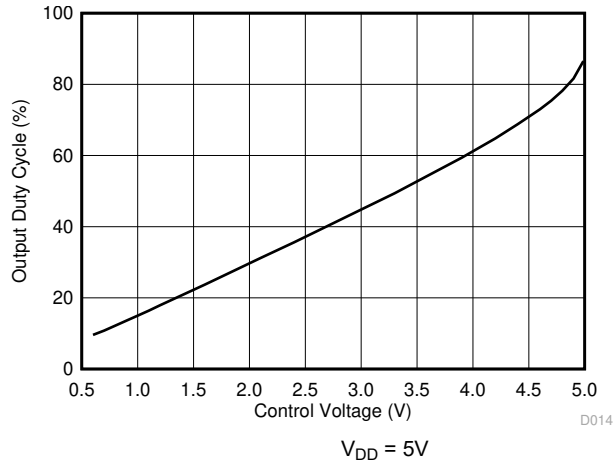


図 7-5. パルス位置変調デューティ サイクルと制御電圧との関係

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (December 2024) to Revision D (March 2026)	Page
• データ シートから LinCMOS™ 用語を削除	0
• TLC55M デバイスの仕様は、リビジョン D では変更されていません。	1
• 「電気的特性」で、リセット電流 (I_{RESET}) からテスト条件 V_{RESET} = V_{DD} を削除：TLC556C の場合 V_{DD} = 2V、TLC556I の場合 V_{DD} = 3V、電気的特性：V_{DD} = 5V および電気的特性：*V_{DD} = 15V*	6
• 「電気的特性」で、25℃ 時の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.33nA に変更：*TLC556C の場合、V_{DD} = 2V、TLC556I の場合、V_{DD} = 3V*	6
• 「電気的特性」で、温度範囲全体にわたる TLC556C の放電スイッチ オフ状態電流の代表値を 0.5nA から 11nA に変更：*TLC556C の場合、V_{DD} = 2V、TLC556I の場合、V_{DD} = 3V*	6
• 「電気的特性」で、温度範囲全体にわたる TLC556I の放電スイッチ オフ状態電流の代表値を 120nA から 30nA に変更：*TLC556C の場合、V_{DD} = 2V、TLC556I の場合、V_{DD} = 3V*	6
• *電気的特性から、リセット電流 (I_{RESET}) の代表値仕様 (試験条件：V_{RESET} = 0V) を削除：V_{DD} = 5V および VDD = 15V*	7
• 「電気的特性」で、TLC556C および TLC556I の 25℃ 時の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.3nA に変更：*V_{DD} = 5V*	7

Copyright © 2026 Texas Instruments Incorporated

- *電気的特性において、TLC556C の最大温度範囲における放電スイッチ オフ状態電流の代表値を 0.5nA から 11nA に変更:V_{DD} = 5V* 7
- *電気的特性において、TLC556I の最大温度範囲における放電スイッチ オフ状態電流の代表値を 2nA から 30nA に変更:V_{DD} = 5V* 7
- 「電気的特性」で、TLC556C および TLC556I の 25°C 時の放電スイッチ オン状態電圧の代表値を 0.15V から 0.06V に変更:*V_{DD} = 5V* 7
- 「電気的特性」で、TLC556C および TLC556I の 25°C 時の放電スイッチ オフ状態電流の代表値を 0.1nA から 0.75nA に変更:*VDD = 15V* 8
- 「電気的特性」で、TLC556C の最大温度範囲における放電スイッチ オフ状態電流の代表値を 0.5nA から 13nA に変更:*VDD = 15V* 8
- 「電気的特性」で、TLC556I の最大温度範囲における放電スイッチ オフ状態電流の 30nA の代表値を追加:*VDD = 15V* 8
- 「電気的特性」で、TLC556C および TLC556I の 25°C 時の電源電流の代表値を 0.72mA から 0.47mA に変更:*VDD = 15V* 8
- 「代表的特性」セクションを追加、TLC556C および TLC556I の代表的特性曲線を更新 11

Changes from Revision B (September 1997) to Revision C (December 2024) **Page**

- 「アプリケーション」セクションを追加 1
- 「概要」に「パッケージ情報」表と「概略回路図」を追加 1
- 「概要」の MIL-STD-883C 手法 3015 で、ESD 定格についての段落を削除 1
- 「ピン機能」の表を、「ピン構成および機能」に追加 3
- 「TLC556Y のチップの情報」セクションを削除 3
- 「絶対最大定格」から連続合計消費電力の仕様を削除し、表を明確にするために再構成 4
- *「ESD 定格」*表と、HBM と CDM の仕様を追加 4
- *「消費電力定格」*表を*「熱に関する情報」*に変更し、パッケージごとの熱仕様を更新 4
- 「電気的特性」で、リセット電流 (I_{RESET}) のテスト条件を V_{RESET} = V_{DD} に変更:TLC556C の場合 V_{DD} = 2V、TLC556I の場合 V_{DD} = 3V、電気的特性:V_{DD} = 5V および電気的特性:*V_{DD} = 15V* 6
- 「電気的特性」で、電源電流 (I_{DD}) の代表値を 130µA から 275µA に変更:*TLC556C の場合、V_{DD} = 2V、TLC556I の場合、V_{DD} = 3V* 6
- 「電気的特性」で、テスト条件 V_{RESET} = 0V に新しいリセット電流 (I_{RESET}) の標準仕様を追加:*V_{DD} = 5V および V_{DD} = 15V* 7
- 「電気的特性」で、電源電流 (I_{DD}) の代表値を 340µA から 360µA に変更:*V_{DD} = 5V* 7
- 「動作特性」セクションのタイトルを「スイッチング特性」に変更し、値が設計または特性によって決定されることを明確化 9
- 「タイミング特性」のタイミング間隔仕様の初期誤差を削除 9
- 「アプリケーション情報」セクションを更新し、「非安定動作」に名前を変更 15
- 「非安定動作」で、出力ドライバのデューティ サイクルと出力波形のデューティ サイクルの式を更新 15
- 「アプリケーションと実装」セクション追加、パルス幅変調およびパルス位置変調アプリケーションを追加 17
- 「アプリケーション情報」に「ESD 耐性向上のための設計」セクションを追加 17

Copyright © 2026 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-89503022A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-89503022A TLC556MFKB
5962-8950302CA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8950302CA TLC556MJB
TLC556CD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLC556C
TLC556CD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLC556C
TLC556CDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	TLC556C
TLC556CDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556C
TLC556CN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	TLC556CN
TLC556CN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	TLC556CN
TLC556ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	TLC556I
TLC556ID.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556I
TLC556IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC556I
TLC556IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC556I
TLC556IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	TLC556IN
TLC556IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	TLC556IN
TLC556MD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556M
TLC556MD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556M
TLC556MDG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	TLC556M
TLC556MDG4.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556M
TLC556MDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556M
TLC556MDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	TLC556M
TLC556MFKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-89503022A TLC556MFKB
TLC556MFKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-89503022A TLC556MFKB
TLC556MJ	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC556MJ
TLC556MJ.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC556MJ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC556MJB	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8950302CA TLC556MJB
TLC556MJB.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8950302CA TLC556MJB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC556, TLC556M :

- Catalog : TLC556

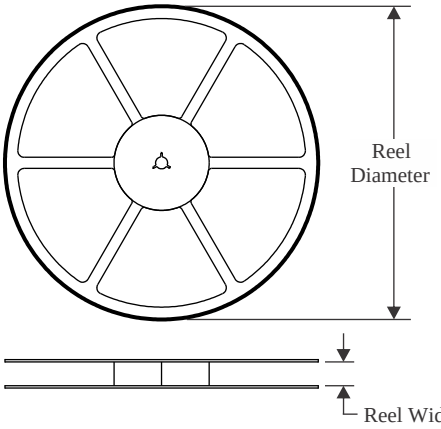
- Military : TLC556M

NOTE: Qualified Version Definitions:

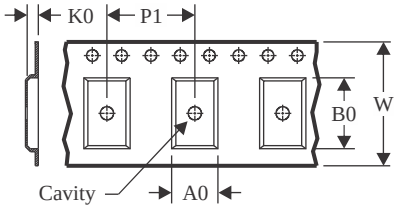
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

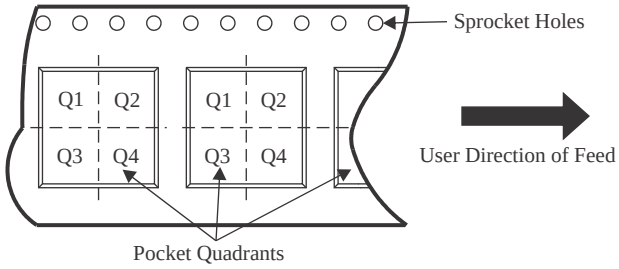


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

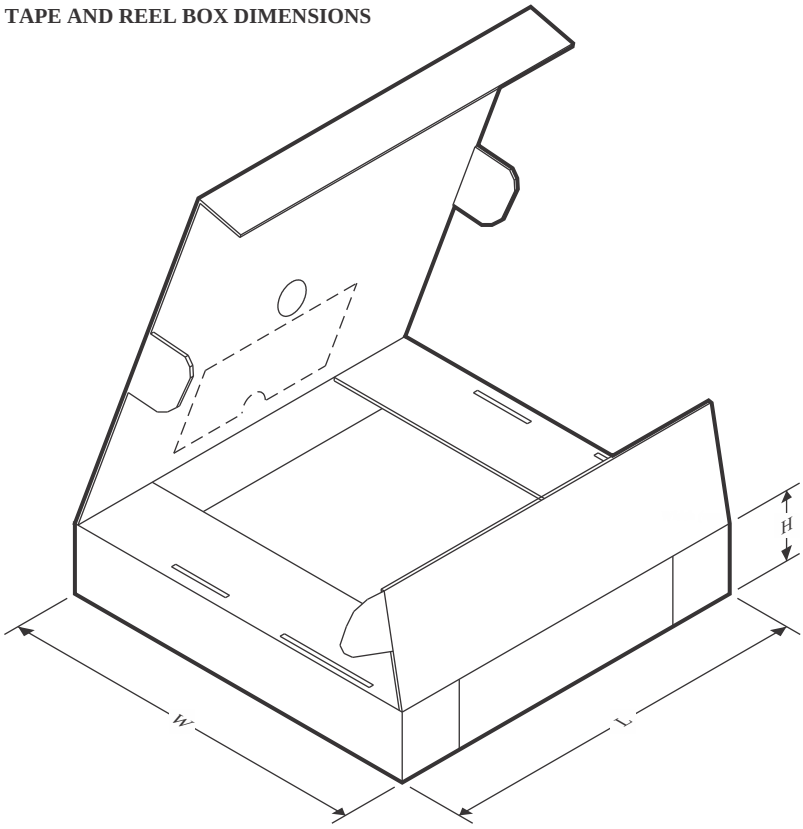
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC556CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC556CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC556IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

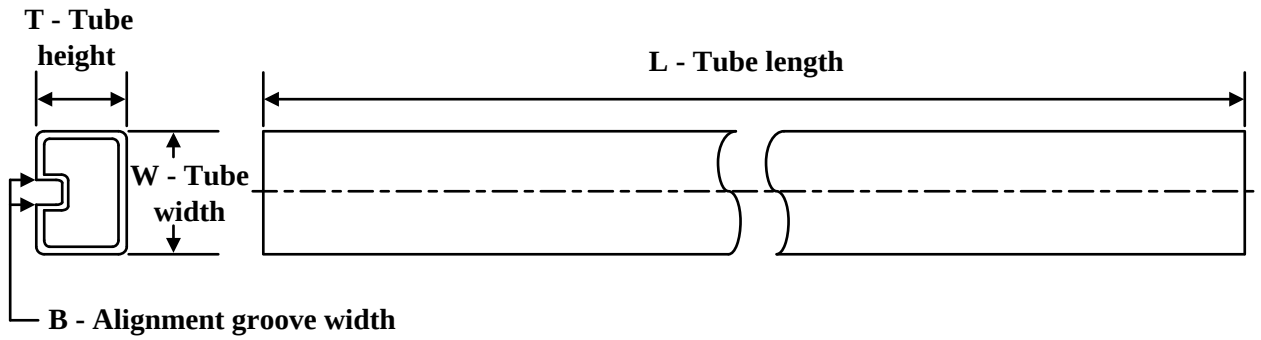
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

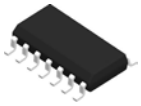
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC556CDR	SOIC	D	14	2500	353.0	353.0	32.0
TLC556CDR	SOIC	D	14	2500	353.0	353.0	32.0
TLC556IDR	SOIC	D	14	2500	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-89503022A	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC556CD	D	SOIC	14	50	507	8	3940	4.32
TLC556CD	D	SOIC	14	50	505.46	6.76	3810	4
TLC556CD.A	D	SOIC	14	50	507	8	3940	4.32
TLC556CD.A	D	SOIC	14	50	505.46	6.76	3810	4
TLC556CN	N	PDIP	14	25	506	13.97	11230	4.32
TLC556CN.A	N	PDIP	14	25	506	13.97	11230	4.32
TLC556ID	D	SOIC	14	50	505.46	6.76	3810	4
TLC556ID.A	D	SOIC	14	50	505.46	6.76	3810	4
TLC556IN	N	PDIP	14	25	506	13.97	11230	4.32
TLC556IN.A	N	PDIP	14	25	506	13.97	11230	4.32
TLC556MD	D	SOIC	14	50	505.46	6.76	3810	4
TLC556MD.A	D	SOIC	14	50	505.46	6.76	3810	4
TLC556MDG4	D	SOIC	14	50	505.46	6.76	3810	4
TLC556MDG4.A	D	SOIC	14	50	505.46	6.76	3810	4
TLC556MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC556MFKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA

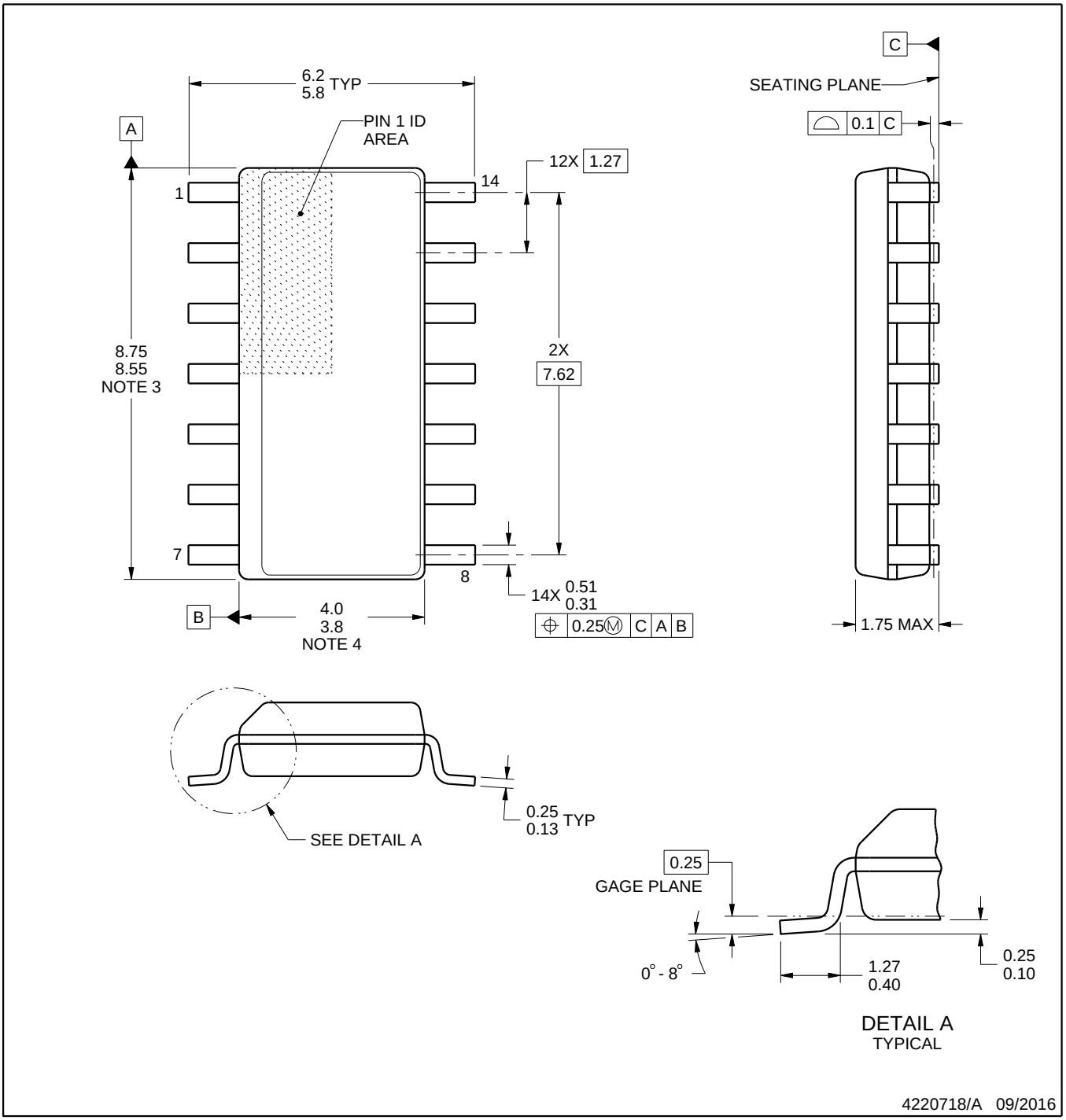


PACKAGE OUTLINE

D0014A

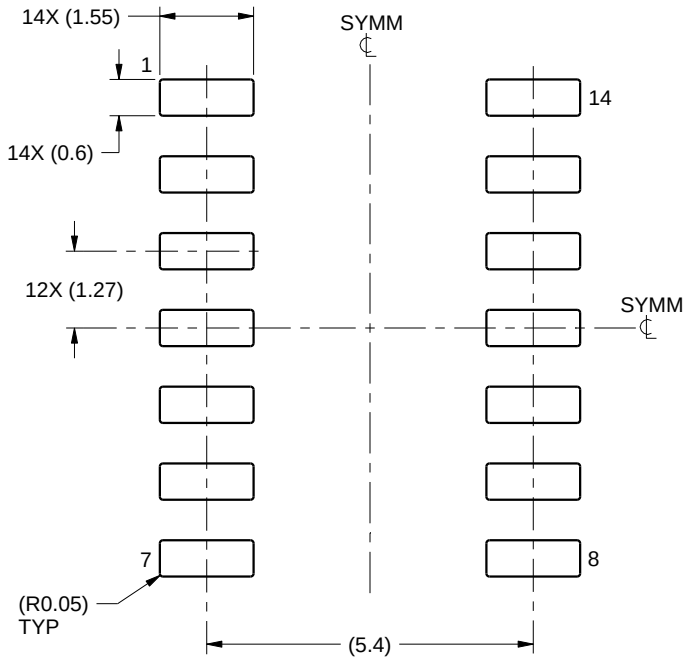
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

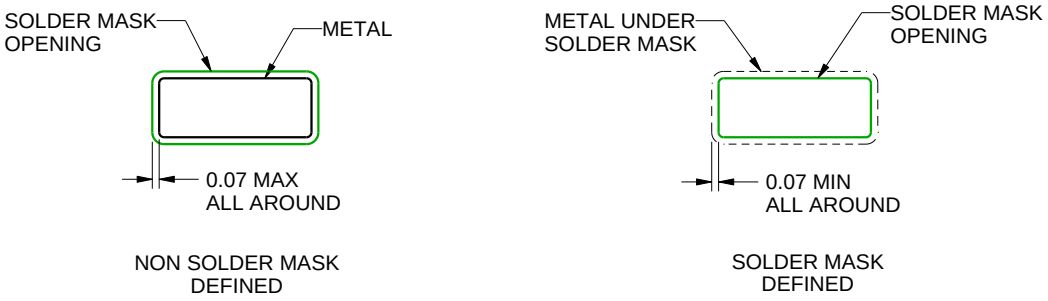


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

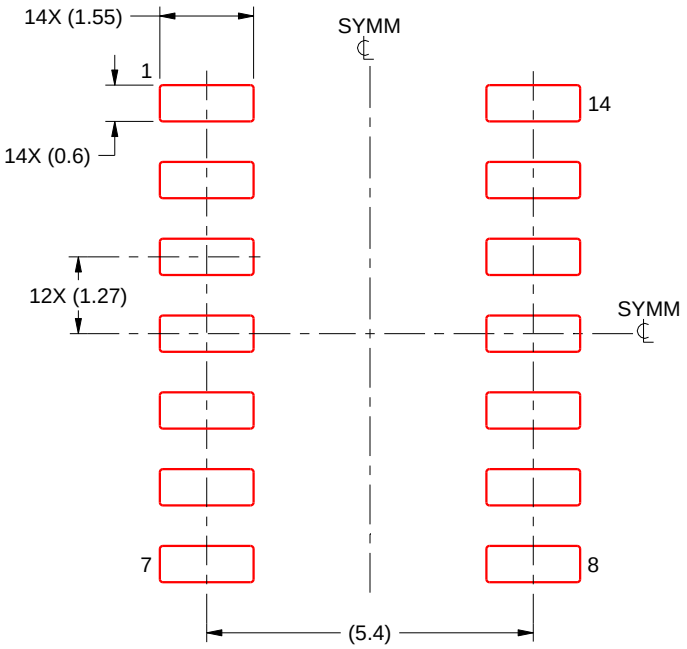
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

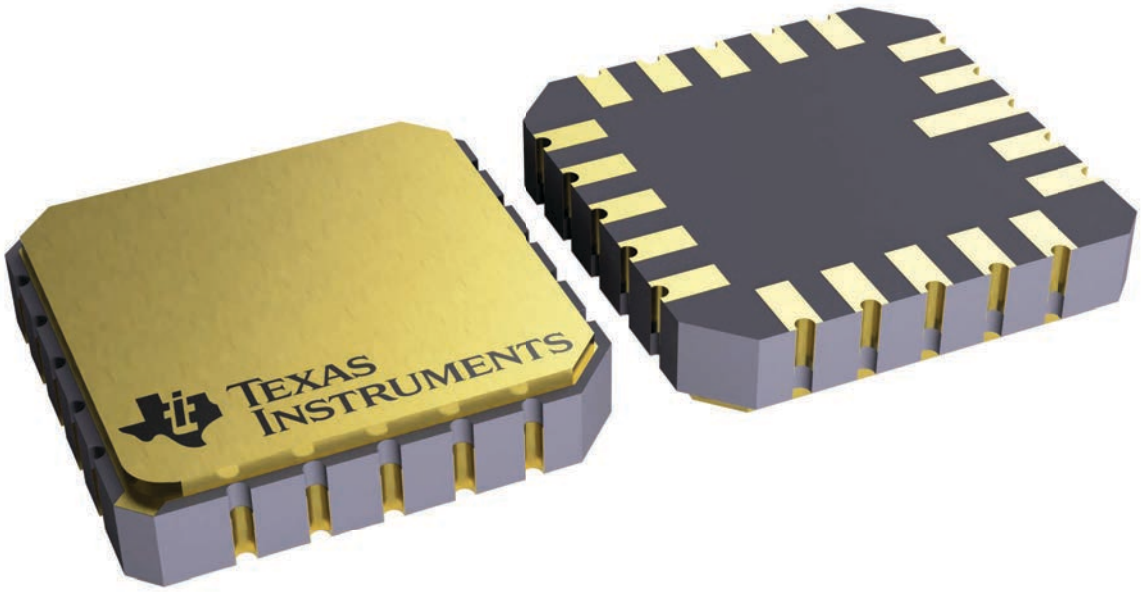
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

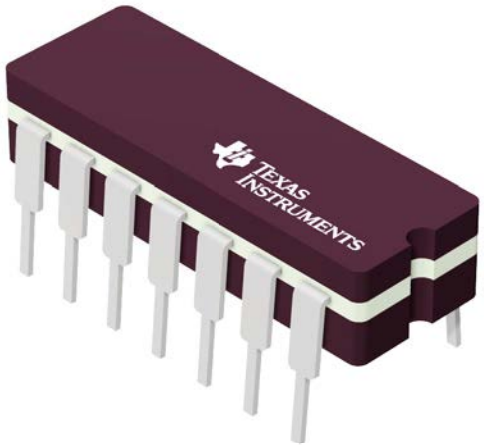


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

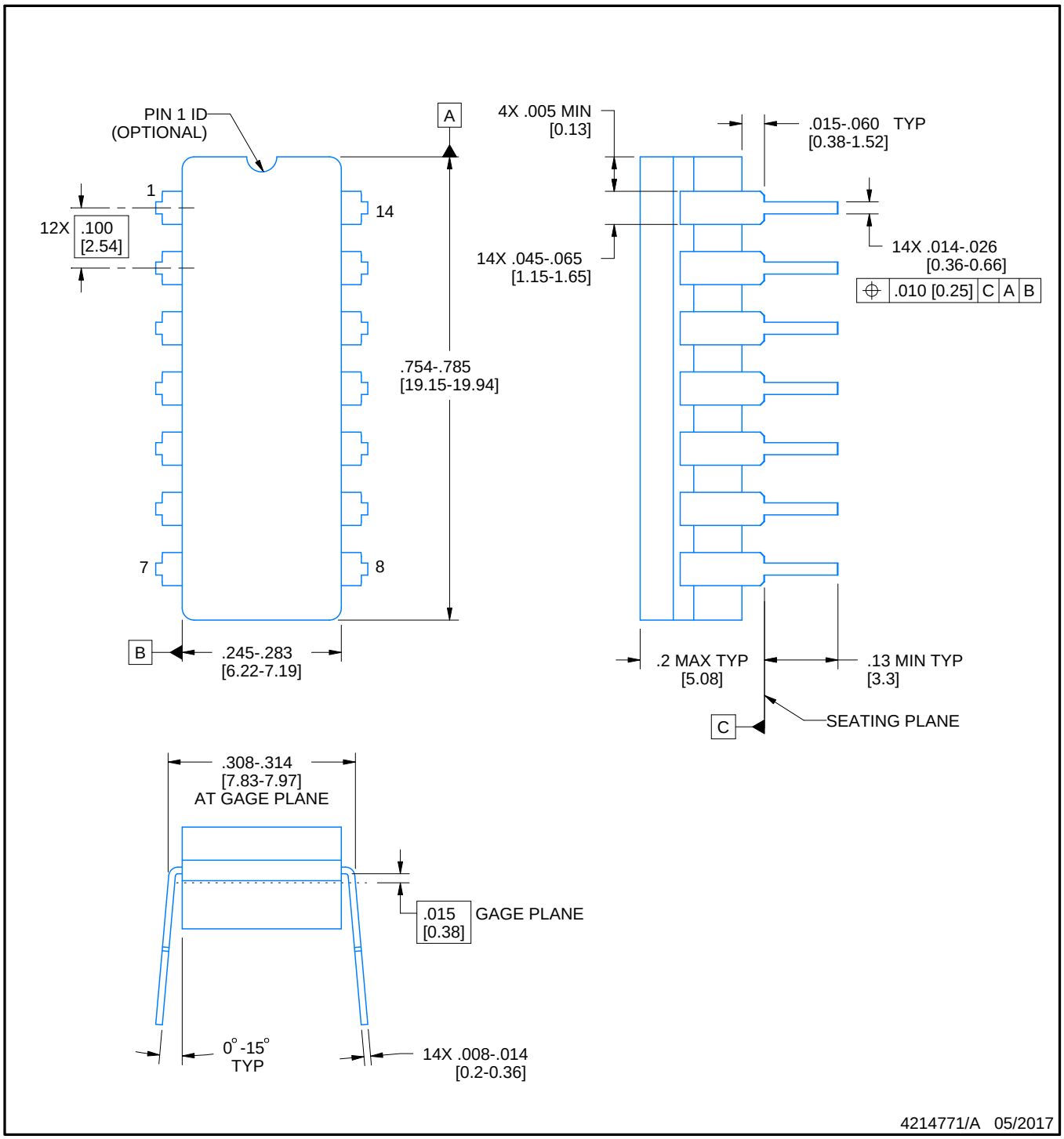


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

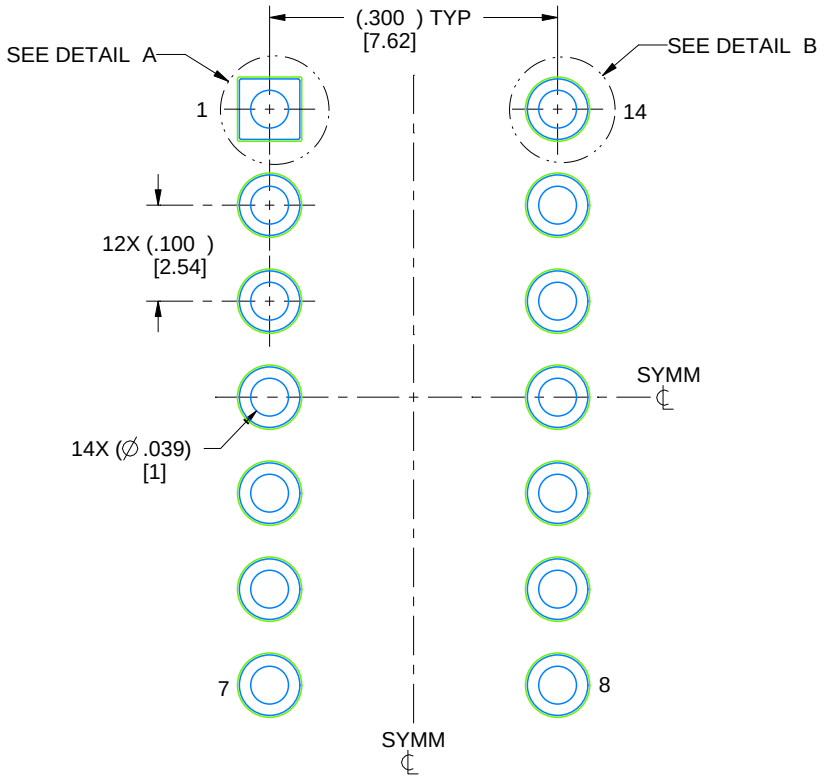
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

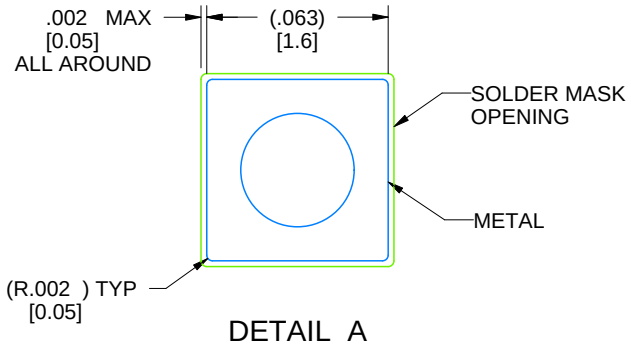
J0014A

CDIP - 5.08 mm max height

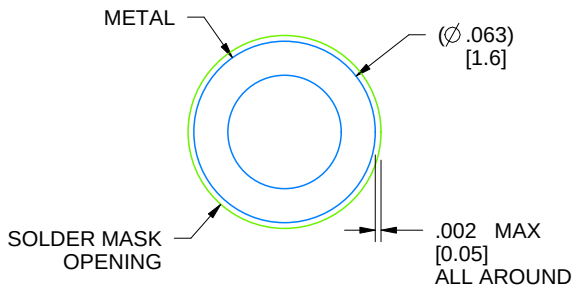
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



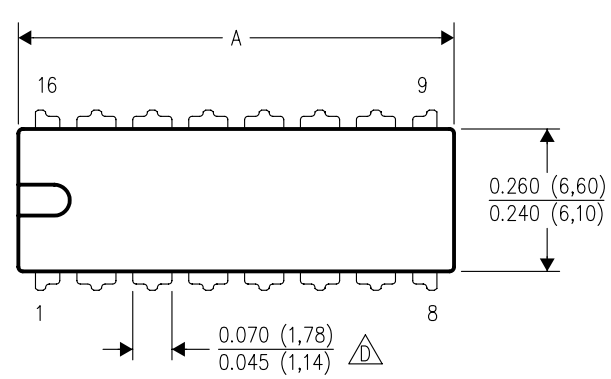
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

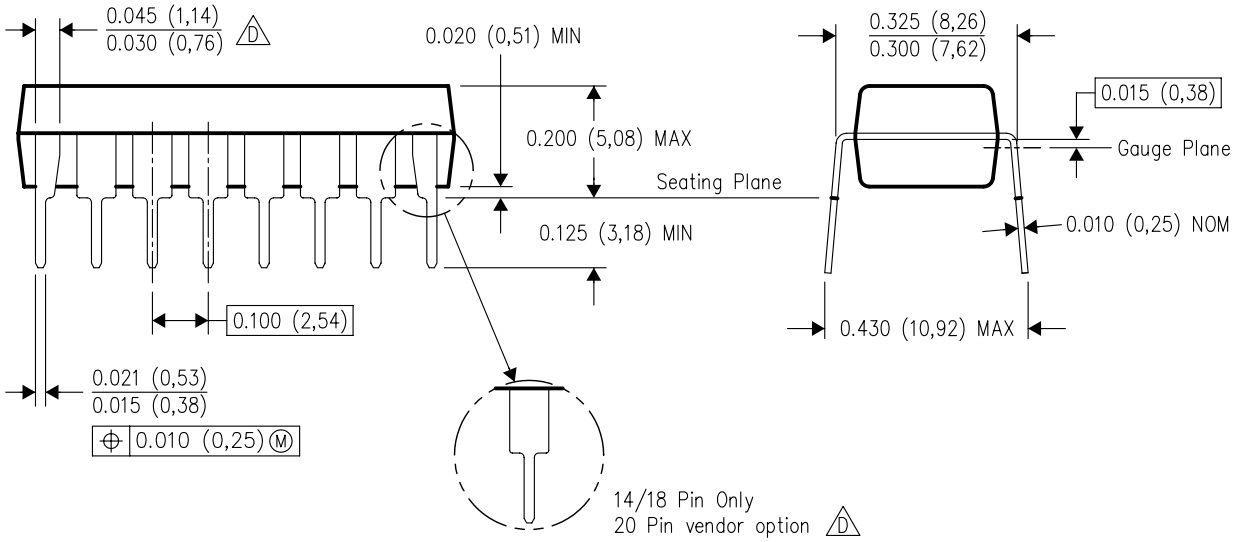
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月