TLV1812-EP および TLV1822-EP エンハンスド製品、プッシュプルおよびオープン ドレイン出力を持つ 40V レール ツー レール入力コンパレータ

1 特長

- VID：V62/24628-01XE (TLV1812-EP)
- VID：V62/24628-02XE (TLV1822-EP)
- 防衛および航空宇宙アプリケーションをサポート
  - 管理されたベースライン
  - 単一の製造施設
  - 単一のアセンブリ / テスト施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ
- 拡張温度範囲：-55℃ ～ +125℃
- 幅広い電源電圧範囲：2.4V ～ 40V
- レール ツー レール入力
- 既知のスタートアップに対するパワーオン リセット (POR)
- 低い入力オフセット電圧：500µV
- 伝搬遅延時間：420ns (代表値)
- 低い静止電流：チャネルあたり 5µA
- 低い入力バイアス電流：150fA
- プッシュプル出力オプション (TLV1812-EP)
- オープン ドレイン出力オプション (TLV1822-EP)

2 アプリケーション

- Airborne BMS
- Airborne Radar
- 航空機のコックピット ディスプレイ

3 説明

TLV1812-EP および TLV1822-EP は 40V デュアル チャネル コンパレータで、複数の出力オプションがあります。このファミリは、プッシュプルまたはオープン ドレイン出力オプションを持つレール ツー レール入力を提供します。これらのデバイスは速度と消費電力の組み合わせが非常に優れており、伝搬遅延は 420ns、電源電圧範囲は 2.4V ～40V で、チャネルあたりの静止時電流はわずか 5µA です。

すべてのデバイスに、パワーオン リセット (POR) 機能が搭載されています。これにより、出力が入力に応答する前、最小電源電圧に達するまでの間、出力が既知の状態であることが保証されるため、システムの電源オンおよび電源オフ時に誤った出力が発生することを防止できます。

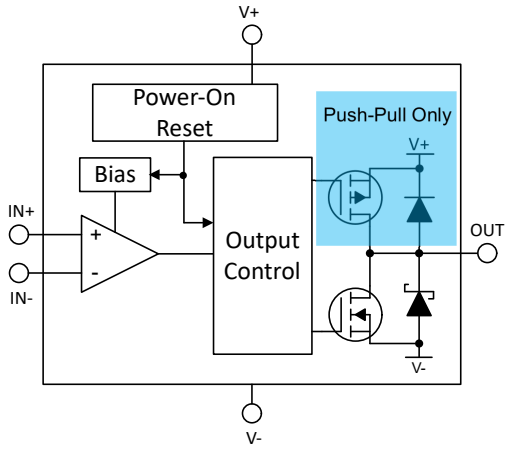
TLV1812-EP デバイスは、LED の制御、または MOSFET ゲートなどの容量性負荷の駆動を行うときに数ミリアンペアの電流をシンクおよびソースできるプッシュプル出力段を備えています。TLV1822-EP デバイスは、コンパレータの電源電圧に関係なく最大 40V までプルアップできるオープン ドレイン出力段を備えています。

これらのコンパレータは、SOT23-8 パッケージで供給され、拡張温度範囲 –55℃～+125℃で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TLV1812-EP TLV1822-EP	DDF (SOT-23、8)	2.9mm × 2.8mm

(1) 供給されているすべてのパッケージについては、セクション 10 を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



TLV18x2-EP のブロック図

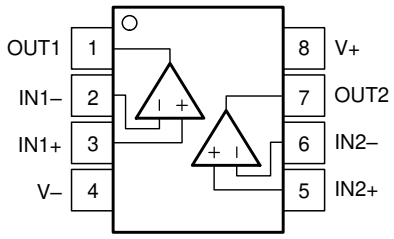
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
ピン構成および機能.....3
4 仕様.....4
4.1 絶対最大定格.....4
4.2 ESD 定格.....4
4.3 推奨動作条件.....4
4.4 熱に関する情報.....5
4.5 電気的特性.....6
4.6 スイッチング特性.....7
5 代表的特性.....8
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....11
6.3 機能説明.....12
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....15
7.1 アプリケーション情報.....15
7.2 代表的なアプリケーション.....19
7.3 電源に関する推奨事項.....26
7.4 レイアウト.....27
8 デバイスおよびドキュメントのサポート.....28
8.1 ドキュメントのサポート.....28
8.2 ドキュメントの更新通知を受け取る方法.....28
8.3 サポート・リソース.....28
8.4 商標.....28
8.5 静電気放電に関する注意事項.....28
8.6 用語集.....28
9 改訂履歴.....28
10 メカニカル、パッケージ、および注文情報.....29

Copyright © 2025 Texas Instruments Incorporated

ピン構成および機能



DDF パッケージ
8 ピン SOT23-8
上面図

表 4-1. ピンの機能：TLV1812-EP、TLV1822-EP

ピン		I/O	説明
名称	番号		
OUT1	1	O	コンパレータ 1 の出力ピン
IN1–	2	I	コンパレータ 1 の反転入力ピン
IN1+	3	I	コンパレータ 1 の非反転入力ピン
V-	4	—	負 (低) 電源
IN2+	5	I	コンパレータ 2 の非反転入力ピン
IN2–	6	I	コンパレータ 2 の反転入力ピン
OUT2	7	O	コンパレータ 2 の出力ピン
V+	8	—	正電源

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

	最小値	最大値	単位
電源電圧: V_S = (V+) - (V-)	-0.3	42	V
(V–) から入力ピン (IN+、IN-)(2)	-0.3	(V+) + 0.3	V
入力ピンへの電流 (IN+、IN-)	-10	10	mA
(V–) から出力 (OUT) 電圧 (オープンドレイン)(3)	-0.3	42	V
(V-) からの出力 (OUT) 電圧 (プッシュプル)	-0.3	(V+) + 0.3	V
出力 (OUT) 電流(4) (5) (6)	-10	10	mA
接合部温度、T_J		150	℃
保管温度、T_{stg}	-65	150	℃

(1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力端子は (V-) に対してダイオード クランプされています。電源レールを超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
(3) オープンドレインの出力 (OUT) は、-0.3V～42V の範囲内である限り、V+ および入力 (IN+、IN-) を超えることができます。
(4) 出力は、どちらの出力オプションにおいても (V−) に対してダイオード クランプされており、プッシュプル出力オプションの場合は (V+) に対してもダイオード クランプされています。オープンドレイン バージョンには、V+ へのクランプはありません。詳細については、「*アプリケーション情報*」セクションの「*出力*および *ESD 保護*」セクションを参照してください。
(5) 出力のシンク電流およびソース電流は、絶対最大定格の出力電圧範囲内で動作している場合、内部的に 35mA 未満に制限されています。ここで指定されている絶対最大出力電流の制限値は、両方の出力オプションにおいて電源電圧 (V−) を下回った場合、またはプッシュプル出力オプションにおいて (V+) を上回った場合に、クランプ構造を流れる最大電流を意味します。
(6) (V–) または (V+) への短絡。高電源電圧下での連続的な出力ショートは、過度な発熱を引き起こし、許容される最大接合部温度を超えることで、最終的にデバイスの破損につながる可能性があります。

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
電源電圧: V_S = (V+) - (V-)		2.4	40	V
(V-) から入力電圧範囲		-0.2	(V+) + 0.2	V
(V-) から出力電圧範囲	オープンドレイン	-0.2	40	V
(V-) から出力電圧範囲	プッシュプル	-0.2	(V+) + 0.2	V
周囲温度、T_A	周囲温度、T_A	-55	125	℃

Copyright © 2025 Texas Instruments Incorporated

4.4 熱に関する情報

熱評価基準(1)		TLV18x2-EP DDF (SOT-23) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	170.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	90.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	88.1	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	87.6	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.5 電気的特性

V_S (合計電源電圧) = (V+) – (V–) = 12V、V_{CM} = (V_S /2、T_A = 25℃ 時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧		-3	±0.5	3	mV
V_{OS}	入力オフセット電圧	T_A = –55℃～+125℃	-4		4	mV
dV_{IO}/dT	入力オフセット電圧ドリフト	T_A = –55℃～+125℃		±1.2		µV/℃
CMRR	同相除去比	V_S = (V–)～ (V+)、レール ツー レール		90		dB
PSRR	電源除去比	V_S = 2.4V～40V、V_{CM} = (V–)		100		dB
電源						
I_Q	静止電流 (コンパレータ 1 個あたり)、無負荷	出力 Low、T_A = 25°C		6	7.5	µA
		無負荷、出力 Low、 T_A = -55℃～+125℃			8.5	µA
		出力 High、T_A = 25°C		7	9	µA
		無負荷、出力 High、 T_A = –55°C～+125°C			10	µA
V_{POR}	パワーオン リセット電圧			1.7		V
入力バイアス電流						
I_B	入力バイアス電流			150		fA
I_B	入力バイアス電流	T_A = –55℃～+125℃	-1.2		1.2	nA
I_{OS}	入力オフセット電流			10		fA
入力容量						
C_{ID}	入力容量、差動			2		pF
C_{IC}	入力容量、同相			8		pF
入力同相範囲						
$V_{CM-Range}$	同相電圧範囲	V_S = 2.4V～40V T_A = –55°C～+125°C	(V-) - 0.2		(V+) + 0.2	V
出力						
V_{OL}	(V-) からの電圧スイング	I_{SINK} = 4mA T_A = –55°C～+125°C			250	mV
V_{OH}	(V+) からの電圧スイング (プッシュプルのみ)	I_{SOURCE} = 4mA T_A = –55°C～+125°C			250	mV
I_{LKG}	オープン ドレイン出力リーク電流	V_{ID} = +0.1V、V_{PULLUP} = (V+) T_A = –55°C～+125°C		0.1	20	nA
I_{OL}	短絡電流	シンク	15	30		mA
I_{OH}	短絡電流	ソース (プッシュプルのみ)	15	30		mA

Copyright © 2025 Texas Instruments Incorporated

4.6 スイッチング特性

V_S (合計電源電圧) = (V+) – (V-) = 12V、V_{CM} = V_S / 2、T_A = 25℃ 時 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	V_{OD} = 10mV、C_L = 50pF		900		ns
T_{PD-HL}	伝搬遅延時間、High から Low	V_{OD} = 100mV、C_L = 50pF		450		ns
T_{PD-LH}	伝搬遅延時間、Low から High、プッシュプル出力	V_{OD} = 10mV、C_L = 50pF		900		ns
T_{PD-LH}	伝搬遅延時間、Low から High、プッシュプル出力	V_{OD} = 100mV、C_L = 50pF		420		ns
T_{RISE}	出力立ち上がり時間、20% ～ 80%、プッシュプル出力	C_L = 50pF		15		ns
T_{FALL}	出力立ち下がり時間、80% ～ 20%	C_L = 50pF		15		ns
F_{TOGGLE}	トグル周波数	V_{ID} = 100mV、C_L = 50pF		500		kHz
パワーオン時間						
P_{ON}	パワーオン時間			200		µs

5 代表的特性

T_A = 25℃、V_S = 12V、R_{PULLUP} = 2.5k、C_L = 20pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

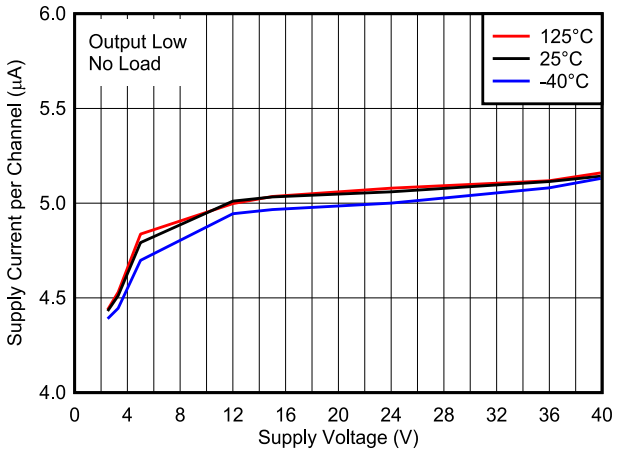


図 5-1. チャネルごとの電源電流と電源電圧の関係 (出力 "Low")

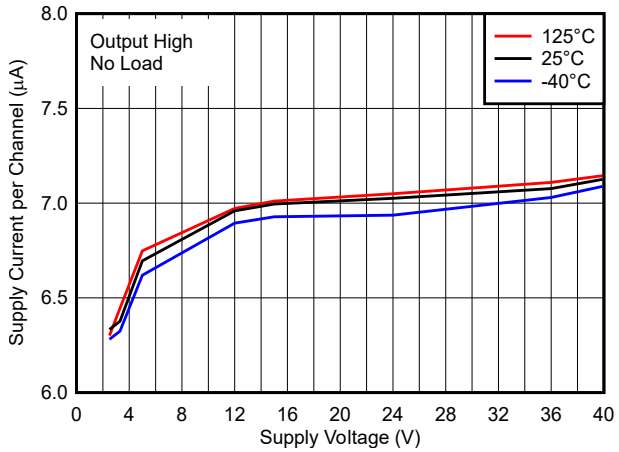


図 5-2. チャネルごとの電源電流と電源電圧の関係 (出力 "High")

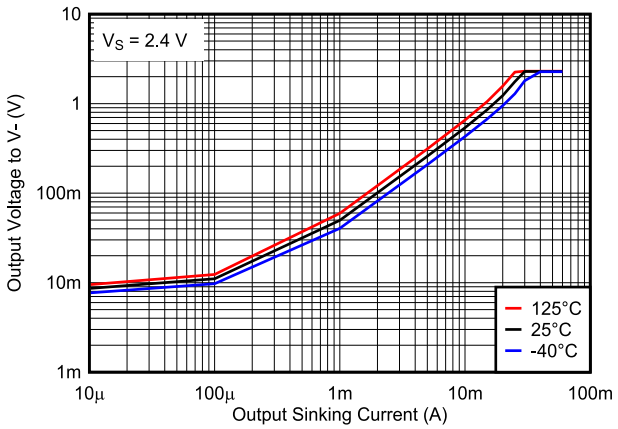


図 5-3. 出力電圧と出力シンク電流の関係、2.4V

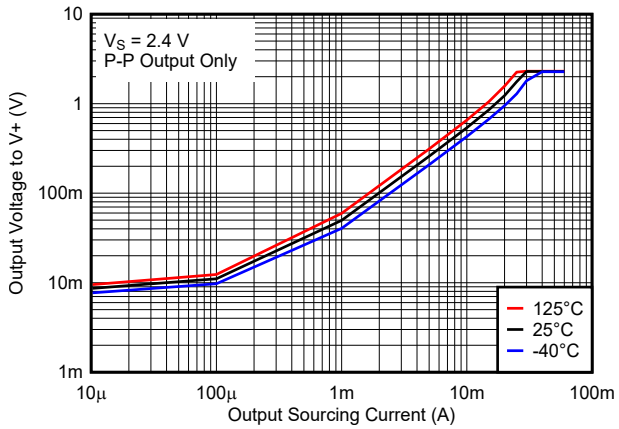


図 5-4. 出力電圧と出力ソース電流の関係、2.4V

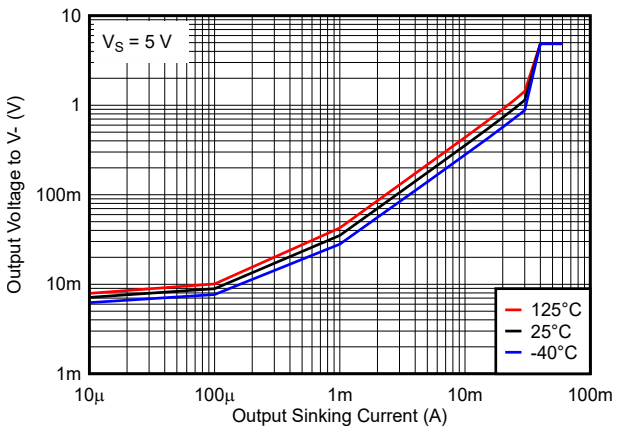


図 5-5. 出力電圧と出力シンク電流の関係、5V

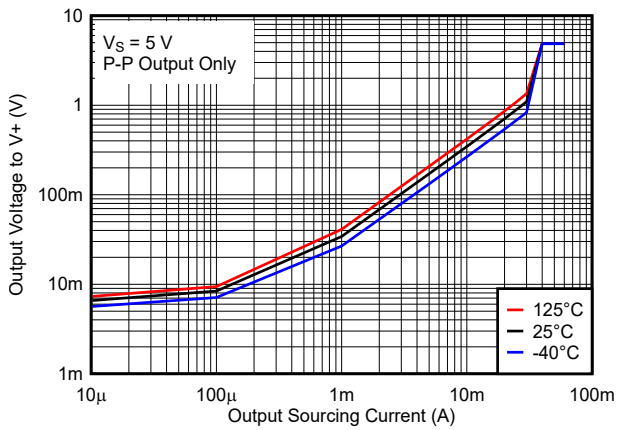


図 5-6. 出力電圧と出力ソース電流の関係、5V

Copyright © 2025 Texas Instruments Incorporated

5 代表的特性 (続き)

T_A = 25℃、V_S = 12V、R_{PULLUP} = 2.5k、C_L = 20pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

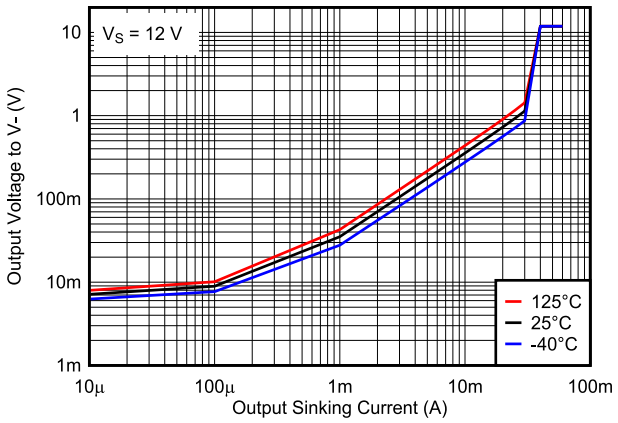


図 5-7. 出力電圧と出力シンク電流の関係、12V

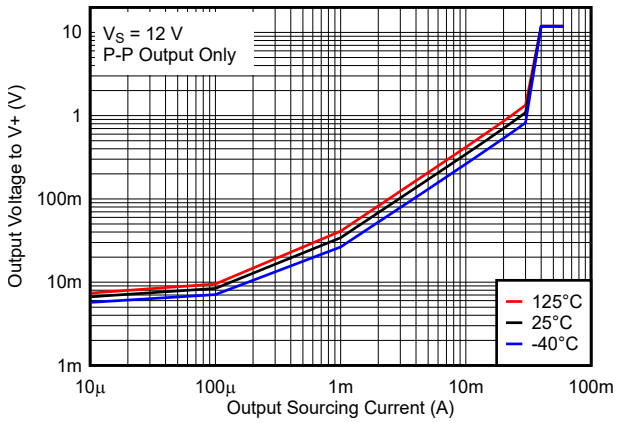


図 5-8. 出力電圧と出力ソース電流の関係、12V

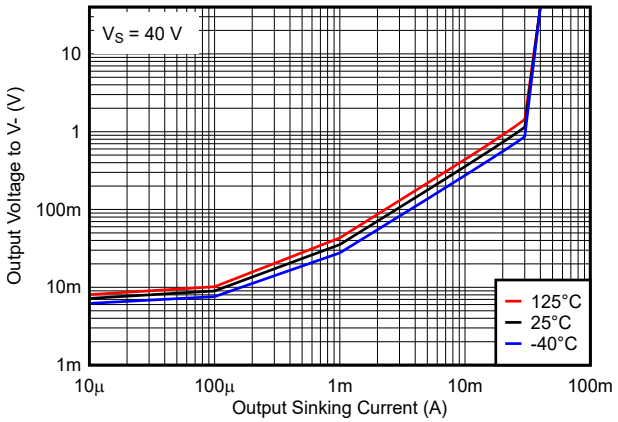


図 5-9. 出力電圧と出力シンク電流の関係、40V

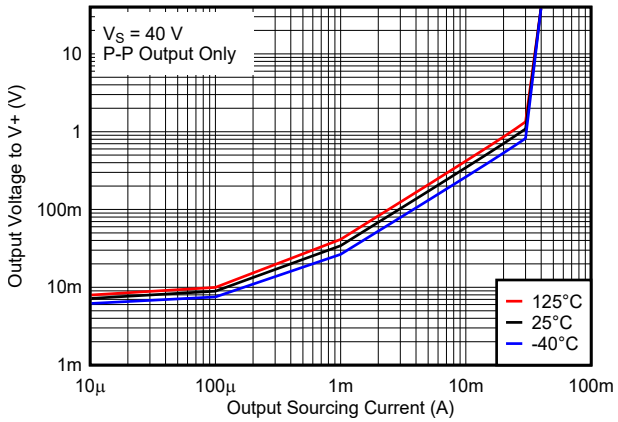


図 5-10. 出力電圧と出力ソース電流の関係、40V

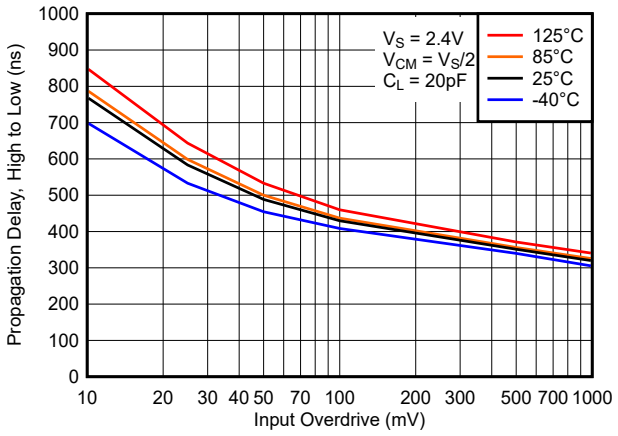


図 5-11. 伝搬遅延、"High" から "Low"、2.4V

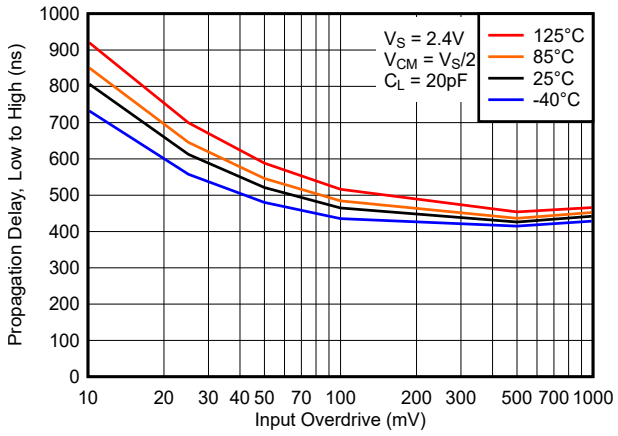


図 5-12. 伝搬遅延、"Low" から "High"、2.4V

Copyright © 2025 Texas Instruments Incorporated

5 代表的特性 (続き)

T_A = 25℃、V_S = 12V、R_{PULLUP} = 2.5k、C_L = 20pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

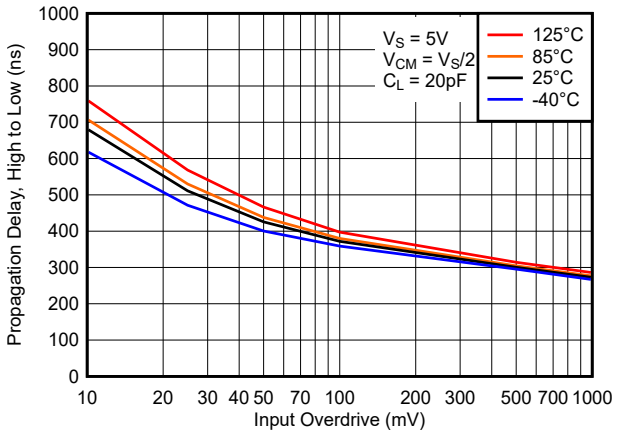


図 5-13. 伝搬遅延、"High" から "Low"、5V

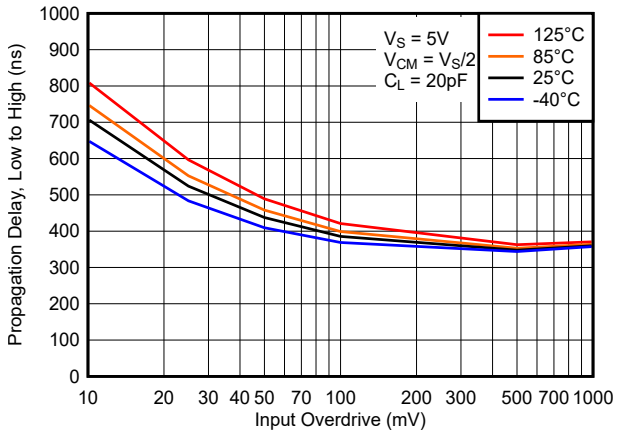


図 5-14. 伝搬遅延、"Low" から "High"、5V

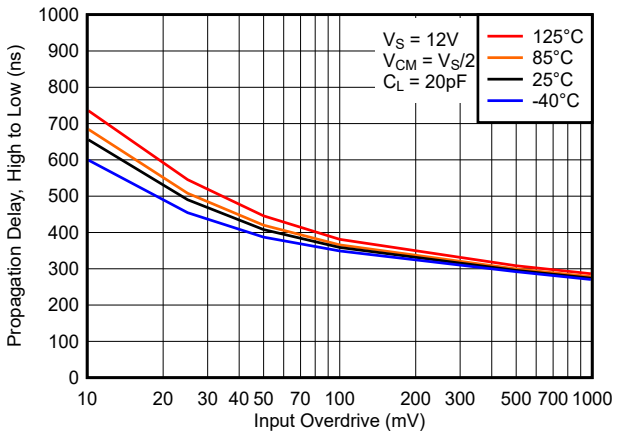


図 5-15. 伝搬遅延、"High" から "Low"、12V

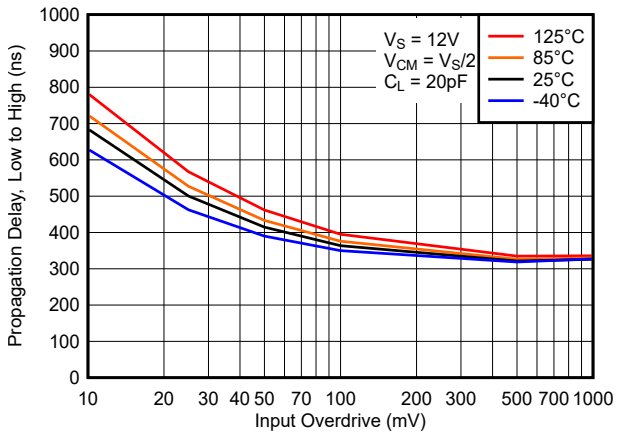


図 5-16. 伝搬遅延、"Low" から "High"、12V

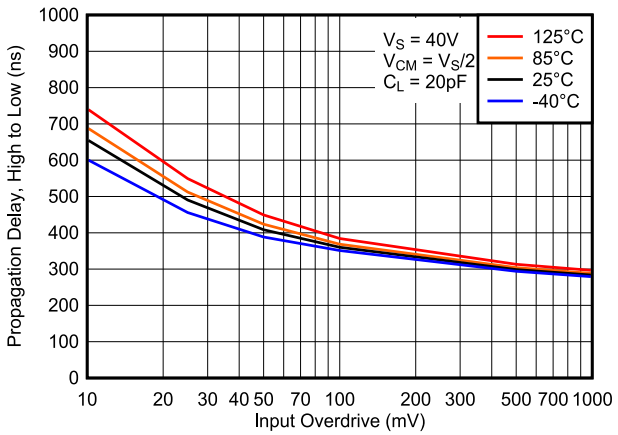


図 5-17. 伝搬遅延、"High" から "Low"、40V

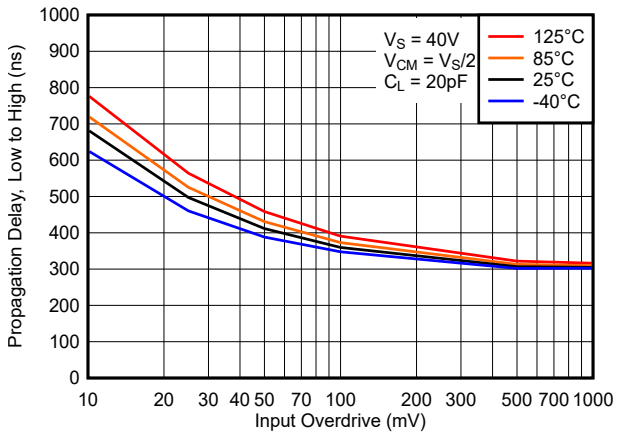


図 5-18. 伝搬遅延、"Low" から "High"、40V

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TLV181x-EP および TLV182x-EP デバイスは、プッシュプルおよびオープンドレイン出力オプションを備えたマイクロパワー コンパレータです。チャンネルあたりわずか 5µA の消費電流で –55°C まで動作可能な TLV181x-EP および TLV182x-EP は、低消費電力が求められるシステムや電源監視用途に最適です。内部のパワーオン リセット回路により、電源投入時および電源遮断時に出力が既知の状態に設定されます。

6.2 機能ブロック図

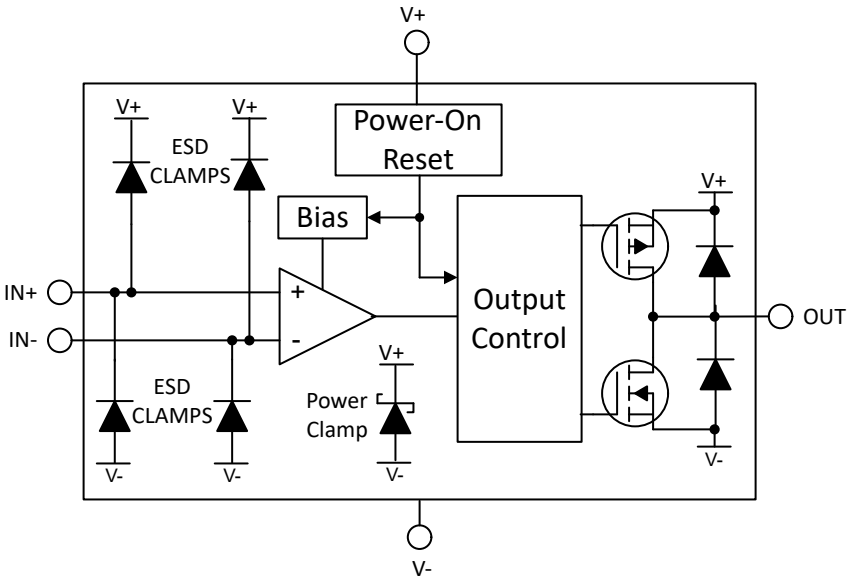


図 6-1. TLV1812-EP のブロック図

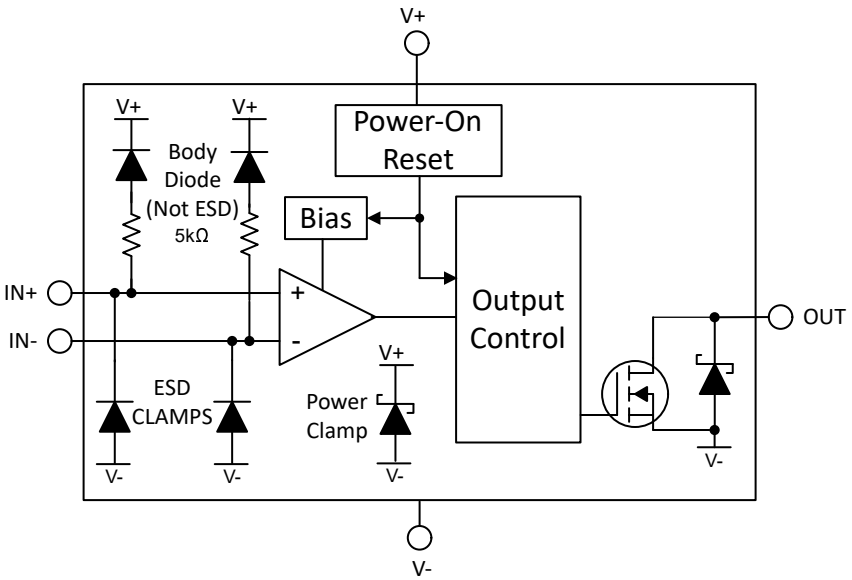


図 6-2. TLV1822-EP のブロック図

6.3 機能説明

TLV18x2-EP ファミリのオプション

TLV18x2-EP ファミリは、40V 動作、5µA のマイクロパワー電源電流、420ns の伝搬遅延、およびパワーオン リセット (POR) 機能を備えています。

TLV1812-EP は**プッシュプル** (シンク-ソース) 出力を備えています。

TLV1822-EP は**オープンドレイン** (シンクのみ) 出力を備えており、コンパレータの電源電圧に関係なく、最大 40V の任意の電圧にプルアップできます。

6.4 デバイスの機能モード

6.4.1 入力

6.4.1.1 TLV18x2-EP レールツーレール入力

TLV18x2-EP の入力電圧範囲は、V- より 200mV 低い電圧から V+ より 200mV 高い電圧までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力電圧が指定された範囲内にある場合、コンパレータ出力の位相反転は発生しません。

TLV1812-EP (プッシュプル) では、入力端子に V+ 電源ラインに対する ESD クランプが設けられているため、入力電圧は電源電圧を 200mV 以上超えてはなりません。電源電圧が供給されていない状態で、レール ツー レール入力端子に信号を印加しないでください。

TLV1822-EP (オープンドレイン) では、入力端子に V+ 電源ラインに対して弱いクランプが設けられています。電源電圧が供給されていない状態で、レール ツー レール入力端子に信号を印加しないでください。

6.4.1.2 ESD 保護

TLV1822-EP のオープン ドレイン出力では、出力端子と V− の間にスナップバック型の ESD クランプが設けられており、これにより出力を V+ より高い最大 40V までプルアップできるようになっています。V− と入力端子の間には「下側」の ESD クランプがあります。また入力端子と V+ の間には、5kΩ の等価抵抗を持つ寄生的な「上側」の ESD ソフトクランプ ダイオードも存在します (図 5-2 に示すとおり)。これらのクランプは従来の ESD セルではないため、この上側のダイオードおよび抵抗に流れる電流は 1mA 以下に制限する必要があります。動作中に入力電圧が V+ を超える可能性がある場合は、外付けのダイオード クランプを使用することが推奨されます。

TLV1812-EP のプッシュプル出力の ESD 保護には、出力と V+ 間に従来型のダイオードタイプの「上側」ESD クランプが、出力と V− 間には「下側」ESD クランプがそれぞれ備えられています。出力は、電源レールを 200mV 以上超えないようにする必要があります。

電源やバッファ付きリファレンス ラインなど、低インピーダンスのソースに入力を接続する場合は、クランプが導通したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを推奨します。電流は 10mA 以下で制限する必要がありますが、電流は 1mA 以下に制限することを推奨します。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

6.4.1.3 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が高く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが独自の内部広帯域ノイズでトリガされ、高周波のチャタリングが発生する可能性があります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力をグランドに接続し、もう一方の入力を基準電圧に、または (過渡電圧を防ぐため入力が直接 V+ ピンに接続されている限り) V+ に接続します。

Copyright © 2025 Texas Instruments Incorporated

6.4.2 出力

6.4.2.1 TLV1812-EP プッシュプル出力

TLV1812-EP にはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。このため、LED や MOSFET ゲートなどの負荷を駆動することができ、外付けプルアップ抵抗で電力を浪費する必要もありません。プッシュプル出力は、絶対に他の出力に接続しないでください。

出力を反対側の電源レール (出力が Low のときに V+、または出力が High のときに V-) に直接短絡させると、高い (12V 超) 電源電圧下ではサーマル ランナウェイが発生し、最終的にデバイスが破損するおそれがあります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用しないプッシュプル出力はフローティングのままにします。電源、グランド、または他の出力に接続してはなりません。

6.4.2.2 TLV1822-EP オープン ドレイン出力

TLV1822-EP はオープン ドレイン (一般にオープン コレクタとも呼ばれる) シンク専用出力段を備えているため、コンパレータの電源電圧 (V+) とは関係なく、出力ロジック レベルを 0V から最大 40V までの外部電圧にプルアップできます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続と論理レベルの変換が可能になります。プルアップ抵抗電流は 100µA～1mA の範囲で設定することを TI では推奨しています。より低い値のプルアップ抵抗を使用すると、立ち上がりエッジの立ち上がり時間を短くするのに役立ちますが、その分、V_{OL} が高くなり、消費電力も増加します。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数に左右されます。プルアップ抵抗の値が大きいと (>1MΩ)、出力 RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

出力を V+ に直接短絡すると、熱暴走が発生し、高い (> 12V) プルアップ電圧で最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用されていないオープン ドレイン出力はフローティングのままにしておくこともでき、フローティング ピンが不要な場合は V- ピンに接続することもできます。

6.4.3 パワーオン リセット (POR)

TLV18x2-EP ファミリには内部パワーオン リセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源電圧 (V+) が立ち上がりまたは立ち下がり中の場合、パワーオン リセット (POR) 回路は、電源電圧が最小動作電圧である 2.4V を超えた後に最大 200µs 間アクティブになり、または電源電圧が 2.4V を下回ると直ちにアクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

TLV1812-EP のプッシュプル出力デバイスでは、パワーオンリセット (POR) 期間 (t_{on}) の間、出力は Low に保持されます。

TLV1822-EP オープン ドレイン出力の場合、POR 回路は POR 期間 (t_{on}) 中出力を High、または High インピーダンス (Hi-Z) に維持します。

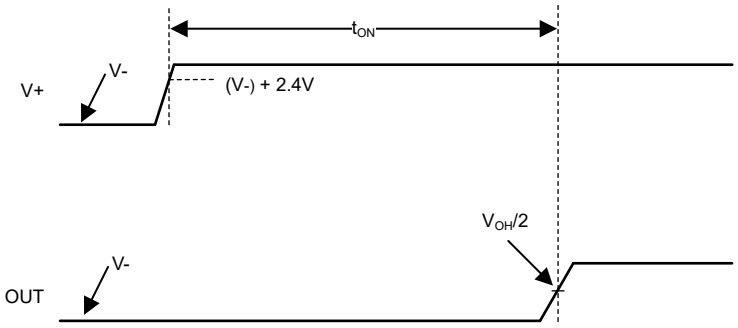


図 6-3. パワーオン リセットのタイミング図

注：POR 期間中、出力電圧はプルアップ電圧とともに上昇します。

Copyright © 2025 Texas Instruments Incorporated

6.4.4 ヒステリシス

TLV18x2-EP ファミリには内部ヒステリシスがありません。実効帯域幅が広く、入力オフセット電圧が低いため、絶対差動電圧がゼロに近いときにコンパレータが内部広帯域ノイズでトリガされ、出力が「チャタリング」する場合があります。これは正常な動作であり、想定内です。動きが低速な信号が予想される場合は、外部ヒステリシスを追加することを推奨します。次のセクションの セクション 7.1.2 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 基本的なコンパレータの定義

7.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の図 7-1 の例で、V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) は論理 "Low" (V_{OL}) になります。V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 7-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 7-1. 出力条件

入力の条件	出力
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (チャタリング - 「*ヒステリシス*」を参照)
IN+ < IN-	"Low" (V_{OL})

7.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 7-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。同様に、伝搬遅延はオーバードライブ (VOD) およびアンダードライブ (VUD) 電圧レベルと呼ばれるものによって異なります (以下のセクションを参照)。

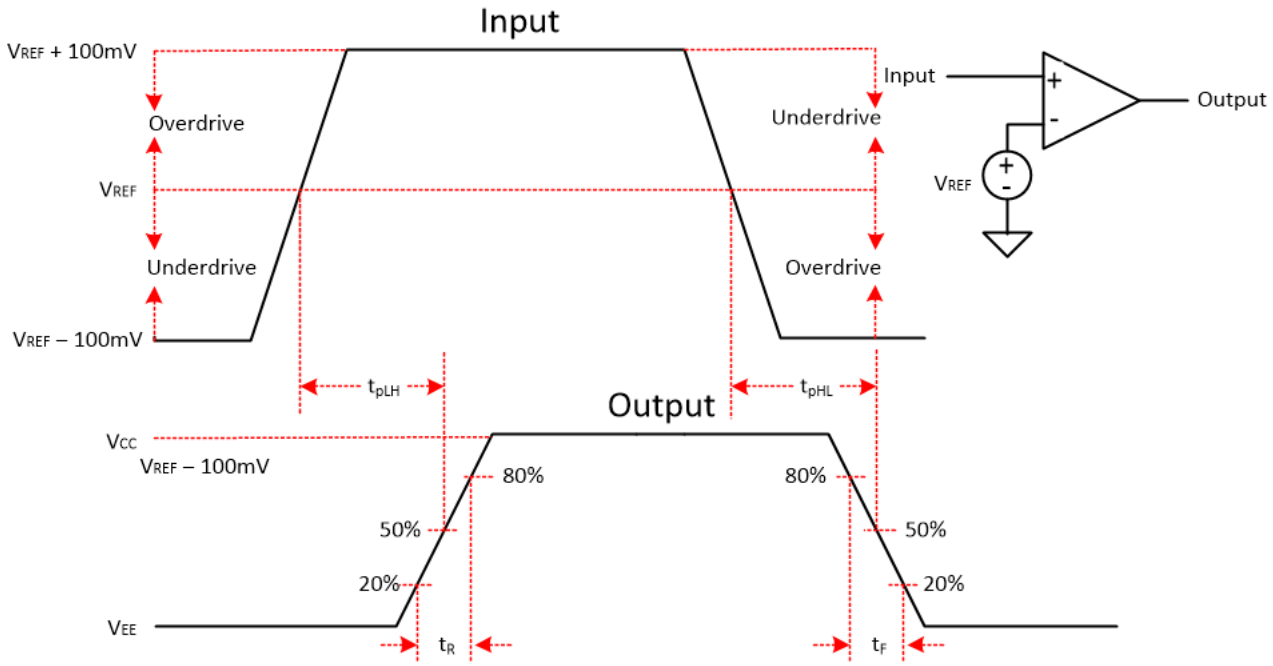


図 7-1. コンパレータのタイミング図

7.1.1.3 オーバードライブおよびアンダードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。図 7-1 の例に示したオーバードライブ電圧は 100mV です。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。オーバードライブ電圧とは逆に、アンダードライブ電圧が大きくなると、tp は長くなります。これは、コンパレータの入力にレール ツー レールの入力スイングが存在するアプリケーションでは、特に重要です。伝搬遅延スキューが発生する可能性があります (tpLH と tpHL の差)。低消費電力のコンパレータであるため、伝搬遅延のばらつきが重要な要素となる用途には、本コンパレータ ファミリの使用は推奨されません。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

7.1.2 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振 (ノイズの多い「チャタリング」出力) が発生する場合があります。これは、通常、入力信号がコンパレータのスイッチングしきい値を非常にゆっくりと通過するときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

図 7-2 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

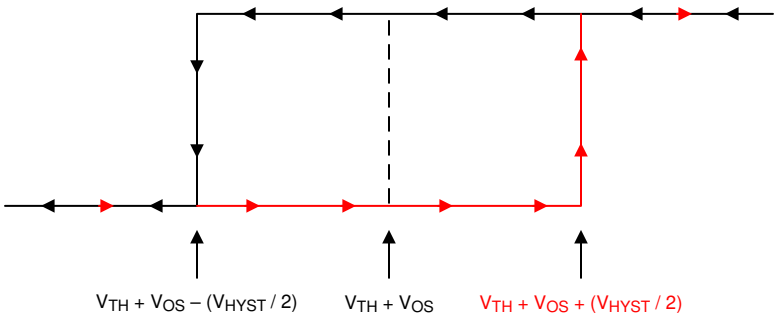


図 7-2. ヒステリシスの伝達曲線

詳細については、*『ヒステリシスあり・なしコンパレータ回路』アプリケーション ノート*を参照してください。

7.1.2.1 ヒステリシス付きの反転コンパレータ

図 7-3 に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

Copyright © 2025 Texas Instruments Incorporated

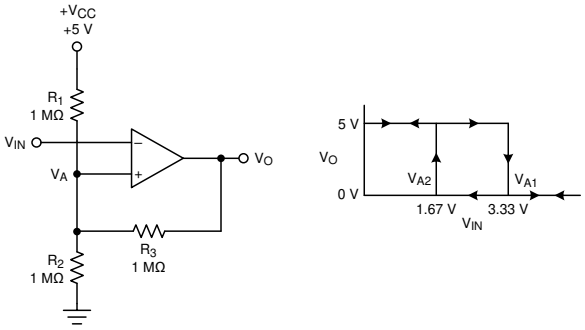


図 7-3. ヒステリシス付き反転構成の TLV1812-EP

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 7-3 に示します。

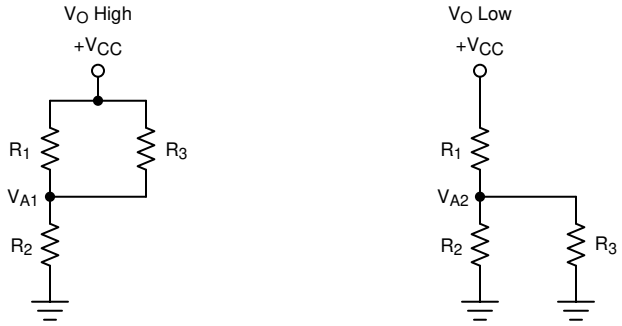


図 7-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。図 7-4 に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式 1 は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \quad (1)$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、式 2 に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

式 2 を使用して、"Low" から "High" へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \quad (2)$$

式 3 は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \quad (3)$$

7.1.2.2 ヒステリシス付きの非反転コンパレータ

図 7-5 に示すように、ヒステリシス付きの非反転コンパ レータには、反転入力側に 2 つの抵抗ネットワークと 1 つのリファレンス電圧 (V_{REF}) が必要です。

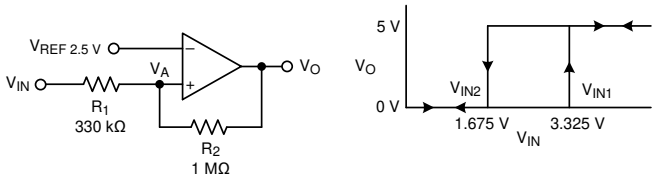


図 7-5. ヒステリシス付き非反転構成の TLV1812-EP

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 7-6 に示します。

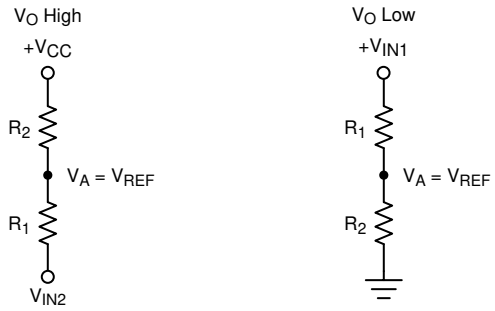


図 7-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、*『インバーティング コンパレータ ヒステリシス回路』アプリケーション ノート*および*『ノンインバーティング コンパレータ ヒステリシス回路』アプリケーション ノート*を参照してください。

7.1.2.3 オープン ドレイン出力を使用した反転 / 非反転ヒステリシス

TLV1822-EP のようなオープン ドレイン出力デバイスを使用することも可能ですが、出力プルアップ抵抗も計算に含める必要があります。プルアップ抵抗は、出力が High のとき、帰還抵抗に対して直列に接続されます。そのため、帰還抵抗は実際には $R2 + R_{PULLUP}$ と見なされます。テキサス・インスツルメンツでは、プルアップ抵抗は帰還抵抗値の 10 分の 1 以下にすることを推奨します。

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 ウィンドウ コンパレータ

ウインドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。図 7-7 に、簡単なウィンドウ コンパレータ回路を示します。出力を互いに直接接続する場合、ウィンドウ コンパレータにはオープン ドレイン出力 (TLV1822-EP) を使用する必要があります。

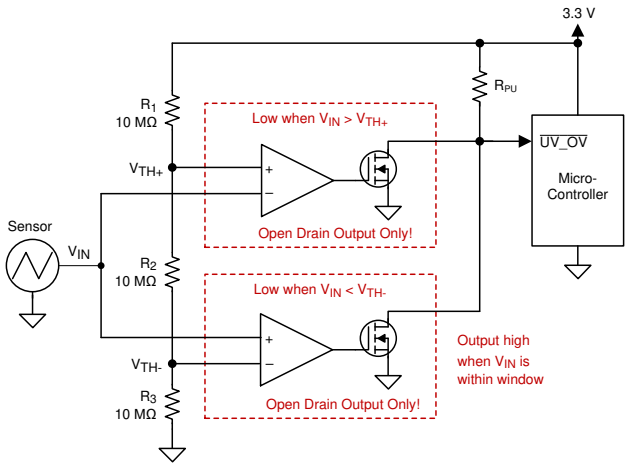


図 7-7. ウィンドウ コンパレータ

7.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 入力信号が 1.1V を下回る場合のアラート (論理 "Low" 出力)
- 入力信号が 2.2V を超える場合のアラート (論理 "Low" 出力)
- アラート信号はアクティブ "Low"
- 3.3V 電源で動作

7.2.1.2 詳細な設計手順

図 7-7 に示されているように、回路を構成します。V_{CC} を 3.3V 電源に接続し、V_{EE} をグランドに接続します。R1、R2、R3 をそれぞれ 10MΩ 抵抗にします。これらの 3 つの抵抗を使用して、ウィンドウ コンパレータの正と負のスレッショルド (V_{TH+} と $V_{TH–}$) を作成します。

各抵抗が等しい場合、V_{TH+} は 2.2V、V_{TH-} は 1.1V です。消費電力を最小限に抑えるため、10MΩ などの大きな抵抗値を使用します。抵抗値を再計算して、目的のトリップ ポイント値を得ることができます。

センサの出力電圧は、2 つのコンパレータの反転入力と非反転入力に印加されます。2 つのオープン ドレイン出力コンパレータを使用すると、2 つのコンパレータ出力を OR 接続できます。

センサが 1.1V 未満または 2.2V 超の場合、それぞれのコンパレータ出力は Low になります。図 7-8 に示されているように、センサが 1.1V ～ 2.2V の範囲内 (「ウィンドウ」内) の場合、それぞれのコンパレータ出力は High になります。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線

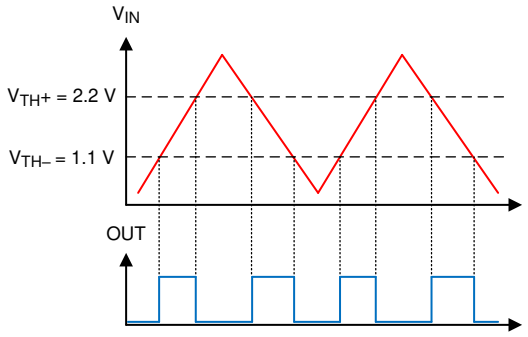


図 7-8. ウィンドウ コンパレータの結果

詳細については、*『ウィンドウ コンパレータ回路』アプリケーション ノート*を参照してください。

7.2.2 方形波発振器

方形波発振器は、低コストのタイミング リファレンスまたはシステム監視クロック ソースとして使用できます。最良の対称性を得るには、プッシュプル出力デバイス (TLV1812-EP) の使用をお勧めします。

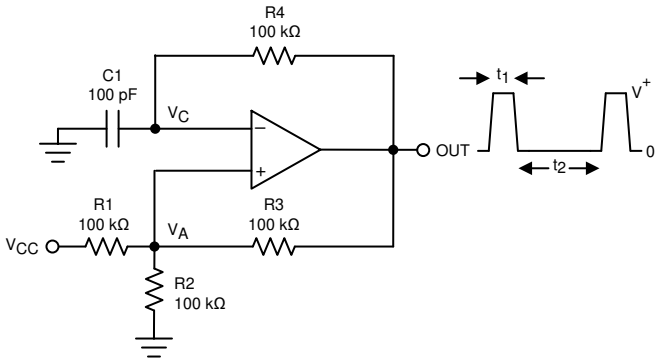


図 7-9. 方形波発振器

7.2.2.1 設計要件

方形波の周期は、コンデンサ C_1 および抵抗 R_4 の RC 時定数によって決定されます。最大周波数は、デバイスの伝搬遅延と出力の容量性負荷によって制限されます。入力バイアス電流が小さいため、特定の発振器周波数を得るために小さい値のコンデンサと大きい値の抵抗を組み合わせることができ、BOM (部品表) コストと基板面積を削減できます。TI は、出力への負荷を最小限に抑えるため、R4 を数キロオーム以上にすることを推奨しています。

7.2.2.2 詳細な設計手順

発振周波数は、抵抗とコンデンサの値によって決定されます。次の計算は、手順の詳細を示しています。

Copyright © 2025 Texas Instruments Incorporated

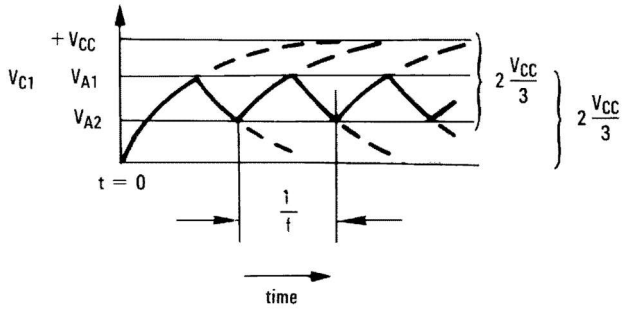


図 7-10. 方形波発振器のタイミング スレッショルド

まず、図 図 7-9 の出力は "High" と見なされます。これは、反転された入力 V_C が非反転入力 (V_A) よりも低いことを示しています。これにより、C_1 は R_4 を介して充電され、電圧 V_C は非反転入力と等しくなるまで増加します。このポイントでの V_A の値は、式 7 で計算されます。

$$V_{A1} = \frac{V_{CC} \times R_2}{R_2 + R_1 \| R_3} \tag{7}$$

$R_1 = R_2 = R_3$ の場合、$V_{A1} = 2V_{CC}/3$

この時点でコンパレータの出力はトリップし、出力が負のレールまでプルダウンされます。このポイントでの V_A の値は、式 8 で計算されます。

$$V_{A2} = \frac{V_{CC}(R_2 \| R_3)}{R_1 + R_2 \| R_3} \tag{8}$$

$R_1 = R_2 = R_3$ の場合、$V_{A2} = V_{CC}/3$

ここで、C_1 は R_4 を介して放電され、電圧 V_{CC} は V_{A2} に達するまで低下します。この時点で、出力は開始状態に戻ります。発振周期は、C_1 の電圧が $2V_{CC}/3$ から $V_{CC}/3$ まで低下した後、$2V_{CC}/3$ に戻るまでの時間に等しくなります。この値は各トリップについて $R_4C_1 \times \ln 2$ で与えられます。したがって、合計時間は $2\ R_4C_1 \times \ln 2$ として計算されます。

発振周波数は、式 9 で計算されます。

$$f = 1/(2\ R4 \times C1 \times \ln 2) \tag{9}$$

7.2.2.3 アプリケーション曲線

図 7-11 に、次の部品値を使用した、発振器のシミュレーション結果を示します。

- $R_1 = R_2 = R_3 = R_4 = 100k\Omega$
- $C_1 = 100pF$、$C_L = 20pF$
- V+ = 5V、V– = GND
- V_A から GND への C_{stray} (図では省略) = 10pF

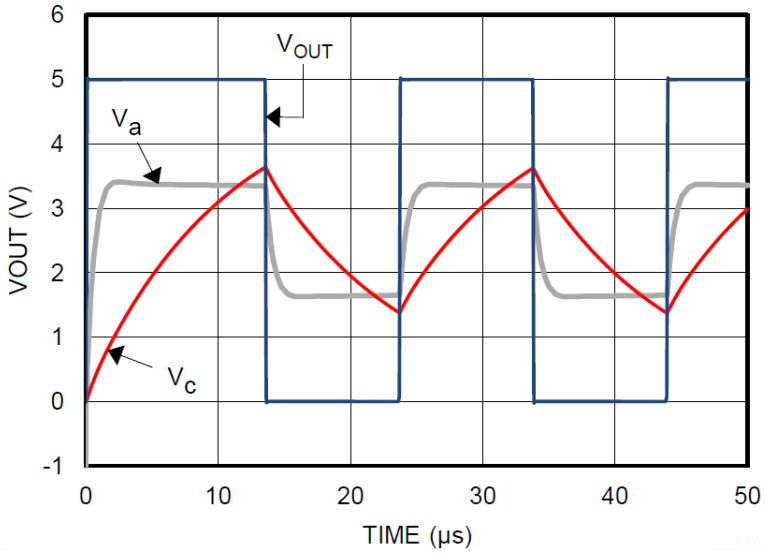


図 7-11. 方形波発振器の出力波形

7.2.3 可変パルス幅ジェネレータ

図 7-12 は、パルス幅の調整が可能な方形波発振器の一種です (図 7-9 を参照)。

R_4 と R_5 は、出力の状態に応じて、コンデンサ C の充電パスと放電パスを提供します。

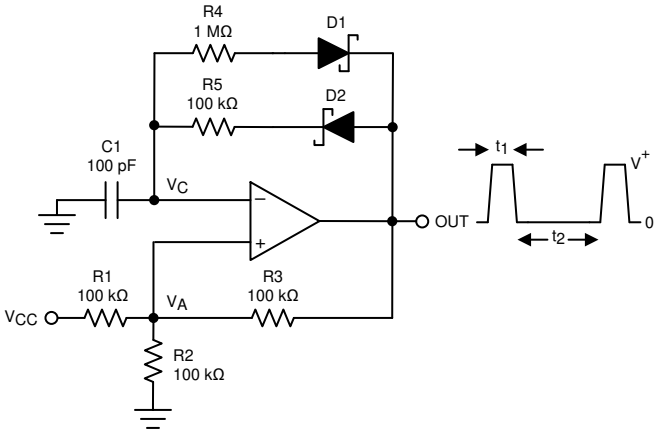


図 7-12. 可変パルス幅ジェネレータ

出力が High のとき、充電パスは R_5 および D_2 によって設定されます。同様に、出力が Low のとき、コンデンサの放電パスは R_4 および D_1 によって設定されます。

パルス幅 t_1 は、R_5 と C の RC 時定数によって決定されます。したがって、パルス間の時間 t_2 は R_4 を変化させることで変更でき、パルス幅は R_5 によって変更できます。出力の周波数は、R_4 と R_5 の両方を変化させることで変更できます。低電圧時には、計算の中で出力 High および Low 電圧を変更することにより、ダイオードの順方向電圧降下 (0.8V、ショットキーの場合は 0.15V) の影響を考慮に入れる必要があります。

7.2.4 時間遅延ジェネレータ

図 7-13 に示す回路は、基準時間からの所定の時間間隔で出力信号を提供し、入力が 0V に戻った時点で自動的に出力を Low にリセットします。これは、電源の制御されたスタートアップをトリガする「パワー オン」信号をシーケンシングするのに便利です。

Copyright © 2025 Texas Instruments Incorporated

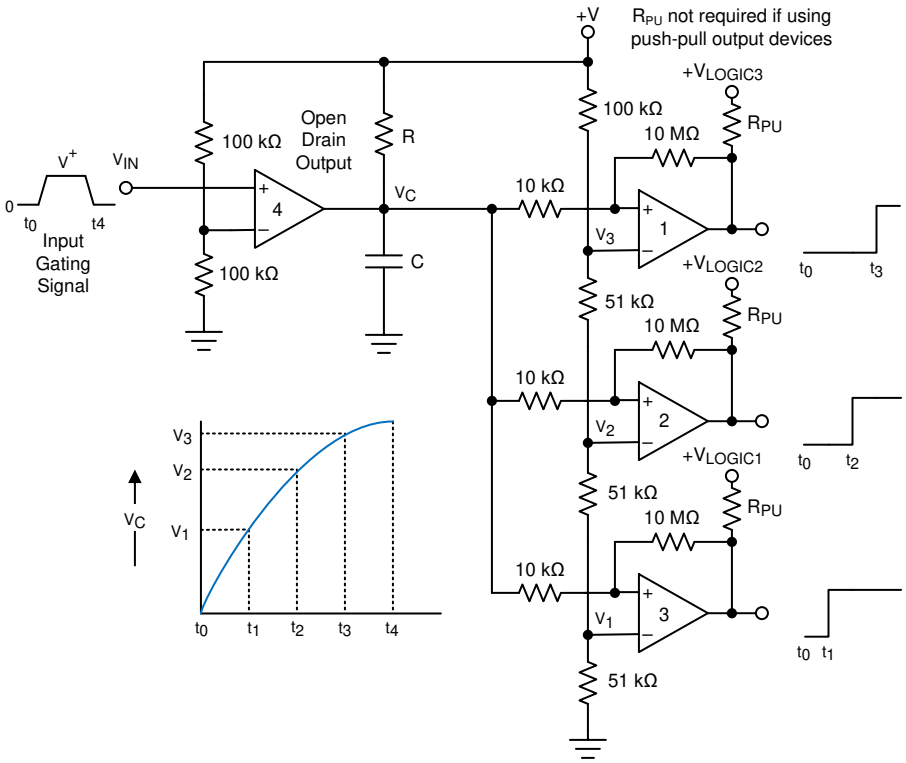


図 7-13. 時間遅延ジェネレータ

V_{IN} = 0 の場合を考えます。コンパレータ 4 の出力はグランドにも接続されており、コンデンサを「短絡」させてコンデンサを 0V に保持します。これは、コンパレータ 1、2、3 の出力も 0V であることを意味します。入力信号が印加されると、オープン ドレイン コンパレータ 4 の出力が ハイ インピーダンスになり、C は R を介して指数関数的に充電されます。これをグラフに示します。コンパレータ 1、2、3 の出力電圧は、V_C が基準電圧 V_1、V_2、V_3 を超えて上昇すると、順番に "High" 状態に切り替わります。10kΩ および 10MΩ の抵抗によって小さなヒステリシスが設定され、遅延時間が長くなる RC 時定数を選択した場合でも高速スイッチングが保証されます。R = 100kΩ、C = 0.01µF～1µF を出発点として調整することを推奨します。

V_{IN} が 0V に低下すると、コンパレータの出力が Low になり、コンデンサが直ちに放電されるため、すべての出力が直ちに Low になります。

コンパレータ 4 はオープン ドレイン型出力 (TLV1822-EP) でなければなりませんが、コンパレータ 1 ～ 3 はシステム要件に応じてオープン ドレイン出力またはプッシュプル出力にできます。プッシュプル出力デバイスには、R_{PU} は必要ありません。

7.2.5 ロジック レベル シフタ

TLV1822-EP の出力は、出力トランジスタの非コミット ドレインです。多数のオープン ドレイン出力を互いに接続し、必要に応じて出力の OR 接続機能を実現できます。

Copyright © 2025 Texas Instruments Incorporated

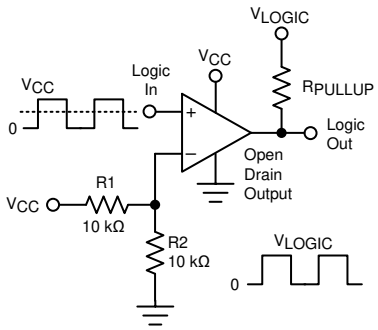


図 7-14. ユニバーサル ロジック レベル シフタ

2 つの 10kΩ 抵抗は、入力ロジック供給レベルの半分に入力をバイアスして、入力ロジックレベルの中間点にスレッショルドを設定します。1 つの共有出力プルアップ抵抗のみが必要であり、0V～5.5V の任意のプルアップ電圧に接続できます。プルアップ電圧は、駆動されるロジック入力の High レベルと一致している必要があります。

7.2.6 ワンショット マルチバイブレータ

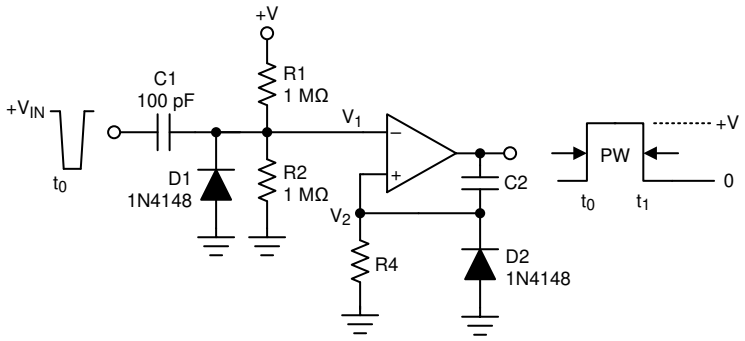


図 7-15. ワンショット マルチバイブレータ

モノステーブル マルチバイブレータは、1 つの安定状態を持ち、その状態を無期限に維持することができます。モノステーブル マルチバイブレータは、外部からのトリガによって別の準安定状態に遷移させることができます。したがって、モノステーブル マルチバイブレータを使用して、必要な幅のパルスを生成することができます。

必要なパルス幅は、C_2 と R_4 の値を調整して設定します。R_1 と R_2 の分圧抵抗を使用して、入力トリガ パルスの大きさを決定できます。$V_1 < V_2$ になったとき、出力の状態が変化します。ダイオード D_2 は、パルスの終了時にリセットされるコンデンサ C_2 の急速放電パスを提供します。また、このダイオードは、非反転入力がグランドより低い電圧に駆動されることを防止します。

7.2.7 双安定マルチバイブレータ

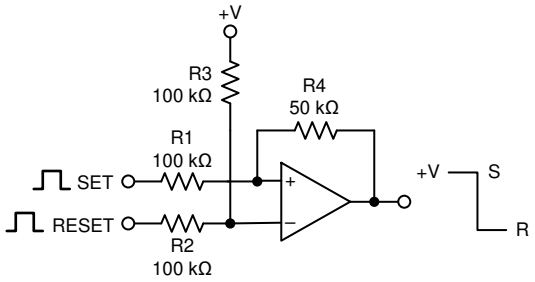


図 7-16. 双安定マルチバイブレータ

Copyright © 2025 Texas Instruments Incorporated

双安定マルチバイブレータには、2 つの安定状態があります。基準電圧は、R_2 と R_3 の分圧器によって設定されます。SET 端子に印加されるパルスによって、コンパレータの出力が High に設定されます。R_1 および R4 の抵抗分圧器によって、非反転入力の電圧がリファレンス電圧より高く設定されます。RESET に印加されたパルスにより、出力が Low に切り替わります。

7.2.8 ゼロ交差検出器

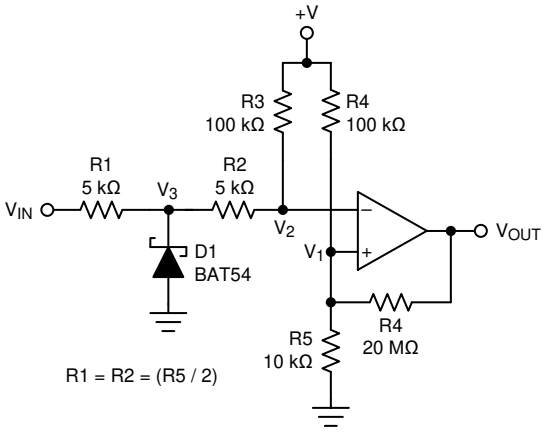


図 7-17. ゼロ交差検出器

R_4 および R_5 の分圧器により、非反転入力に基準電圧 V_1 が設定されます。R_1 と R_2 の直列抵抗を R_5 と等しくすると、コンパレータは V_{IN} = 0 のときにスイッチングします。ダイオード D_1 により、V_3 はグランドに近い電圧にクランプされます。R_2 および R_3 の分圧器により、V_2 がグランドより低くなるのを防止します。出力電圧の高速な遷移を実現するために、少量のヒステリシスが設定されています。

7.2.9 パルス スライサ

パルス スライサはゼロ交差検出器のバリエーションで、ベースライン レベルが変動する入力信号上でのゼロ交差の検出に使用されます。この回路は、対称型の波形で最良の性能を発揮します。R_1 と C_1 の RC ネットワークにより、平均基準電圧 V_{REF} が設定されます。この電圧は V_{IN} 信号の平均振幅に追従します。非反転入力は、R2 を介して V_{REF} に直接接続されます。R2 と R3 を使用してヒステリシスを設定すると、遷移をスプリアス トグルが発生しない状態に維持できます。時定数の値は、長期間の対称性と振幅の変化に対する応答時間の間のトレードオフとなります。

データは、適切な平均ベースラインを維持するために NRZ (Non-Return to Zero) 形式でエンコードすることが推奨されます。非対称入力では、V_{REF} 平均電圧の変化を原因とするタイミング歪みが発生する場合があります。

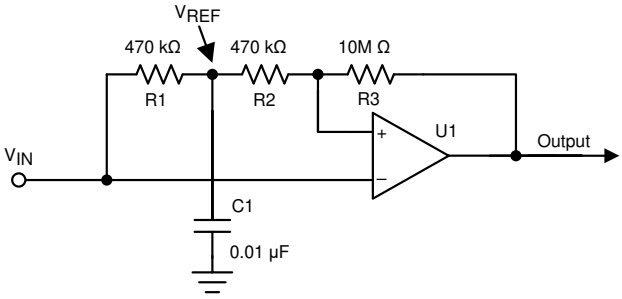


図 7-18. パルス スライサ

この設計については、以下の設計要件に従ってください。

- 有効なトリップ スレッショルドを維持するには、RC 定数の値 (R_2 および C_1) が目標データ レートをサポートする必要があります。
- R_2 と R_{43} を使用して設定されたヒステリシスにより、スプリアス出力信号のトグルを防止できます。

TLV1822-EP も使用できますが、その場合は出力にプルアップ抵抗を追加する必要があります (わかりやすいように図では省略)。

図 7-19 は、ベースラインが変動する、ボー レート 9600 のデータ信号の結果を示しています。

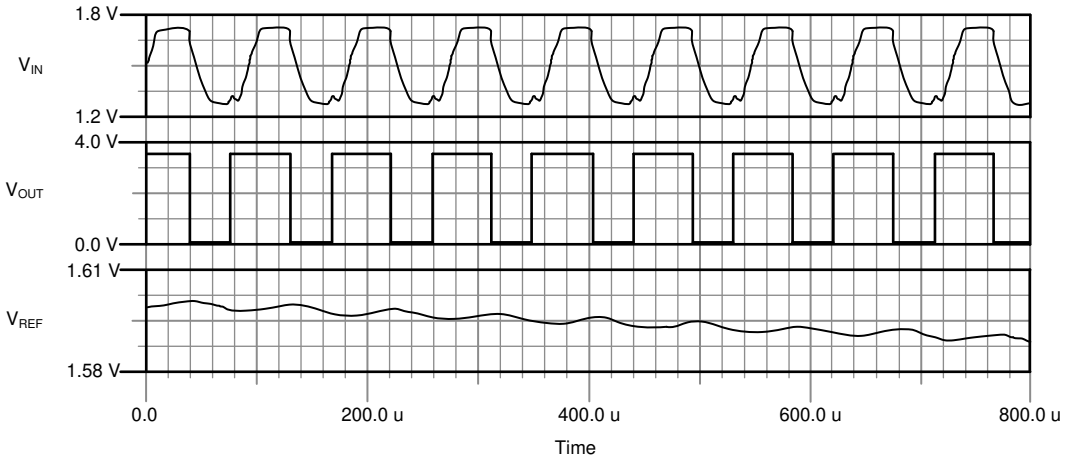


図 7-19. パルス スライサの波形

7.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサが重要です。V_{CC} ピンとグランド ピンの間に低 ESR の 0.1µF セラミック バイパス コンデンサを直接接続し、それぞれのデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 (V+ および V-)、または「単一」電源 (V+ および GND) から電力を供給できます (V- ピンに GND を印加)。いずれのタイプについても、入力信号を規定の入力範囲内 (V+ と V- の間) に維持する必要があります。「分割」電源では、出力は GND ではなく V- の電位まで「Low」(V_{OL}) に振れることに注意してください。

Copyright © 2025 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、ノイズやグリッチを最小限に抑えた安定した電源が必要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは電源ピンにできる限り近づけて配置し、必要に応じてベタのグランド プレーンに接続します。また、できれば V_{CC} ピンと GND ピンの間に直接接続します。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。結合を低減するために、出力トレースと入力トレースを並行して配線しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンストレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用することができます。

7.4.2 レイアウト例

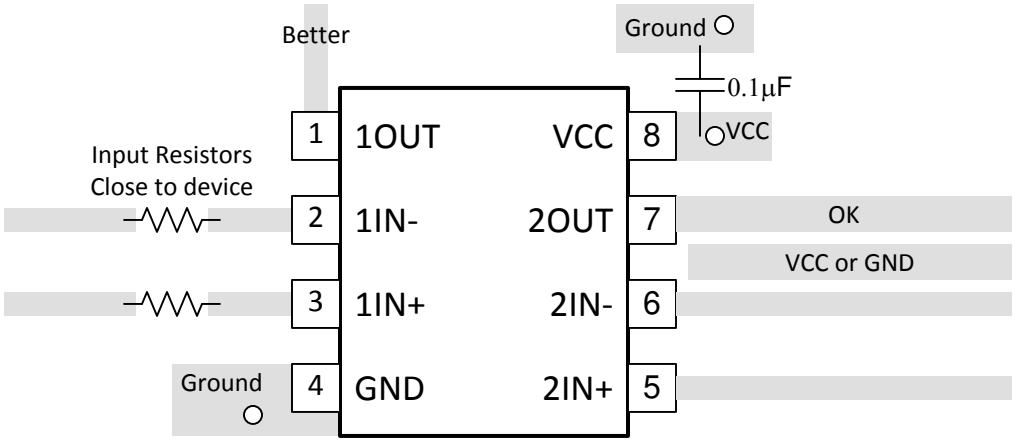


図 7-20. デュアル レイアウトの例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『アナログ エンジニア向け回路クックブック：増幅器』*イーブック
- テキサス・インスツルメンツ、*『精密設計、ヒステリシス付きコンパレータ』*設計ガイド
- テキサス・インスツルメンツ、*『ウィンドウ コンパレータ回路』*アプリケーション ノート
- テキサス・インスツルメンツ、*『リファレンス設計、ウィンドウ コンパレータ リファレンス設計』*設計ガイド
- テキサス・インスツルメンツ、*『ヒステリシス回路付きコンパレータとヒステリシス回路なしコンパレータ』*アプリケーション ノート
- テキサス・インスツルメンツ、*『ヒステリシス回路付き反転コンパレータ』*アプリケーション ノート
- テキサス・インスツルメンツ、*『ヒステリシス付き非反転コンパレータ回路』*アプリケーション ノート
- テキサス・インスツルメンツ、*『コンパレータ回路によるゼロ クロス検出』*アプリケーション ノート
- テキサス・インスツルメンツ、*『PWM ジェネレータ回路』*アプリケーション ノート
- テキサス・インスツルメンツ、*『産業用ドライブ アプリケーションでのロータリー エンコーダの性能を改善するためのコンパレータの実装方法』*アプリケーション ノート
- テキサス・インスツルメンツ、*『独立した機能を持つ 4 つのコンパレータ』*アプリケーション ノート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (May 2024) to Revision A (July 2025) **Page**

- *機能項目*に VID および管理されたベースラインに関する情報を追加しました。 1
- TLV1812-EP/22 デュアル SOIC リリースのプレビューを削除..... 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1812MDDFREP	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T12EP
TLV1822MDDFREP	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T22EP
V62/24628-01XE	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T12EP
V62/24628-02XE	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TLV1822MDDFREP	T22EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV1812-EP, TLV1822-EP :

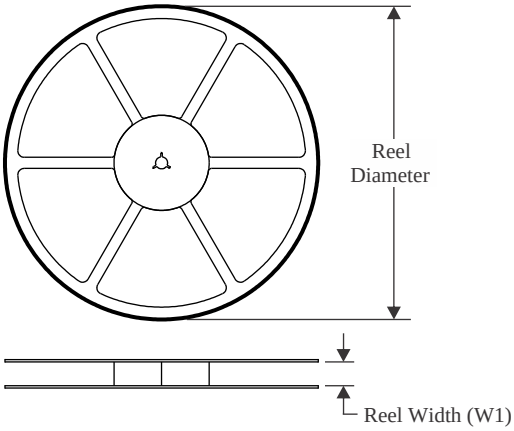
- Catalog : TLV1812, TLV1822
- Automotive : TLV1812-Q1, TLV1822-Q1

NOTE: Qualified Version Definitions:

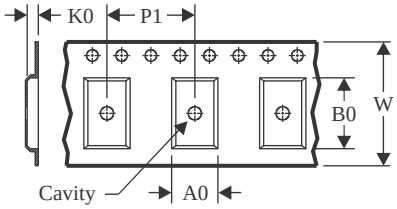
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

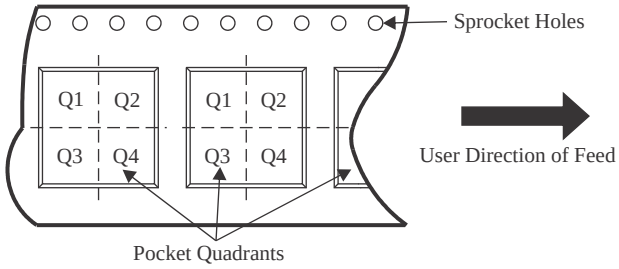


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

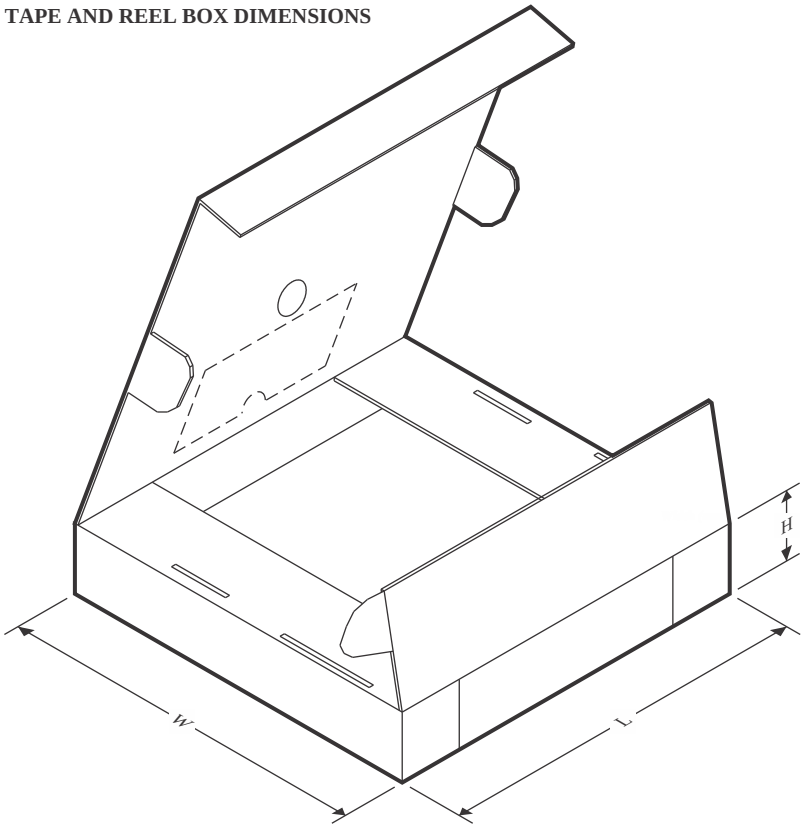
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1812MDDFREP	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1822MDDFREP	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

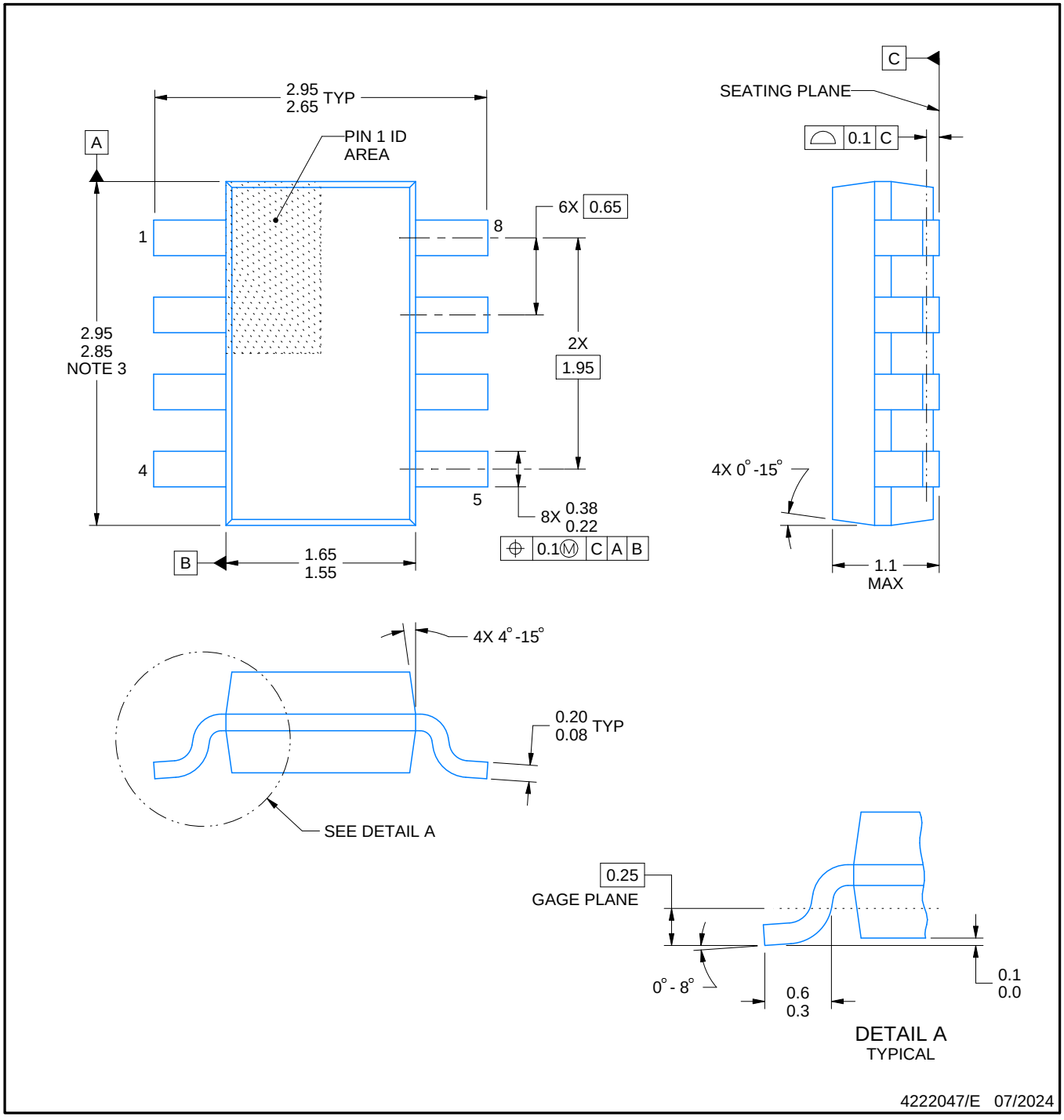
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1812MDDFREP	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV1822MDDFREP	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DDF0008A

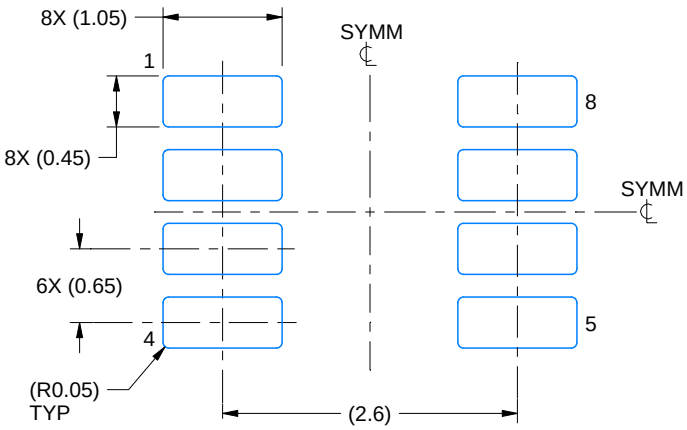
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

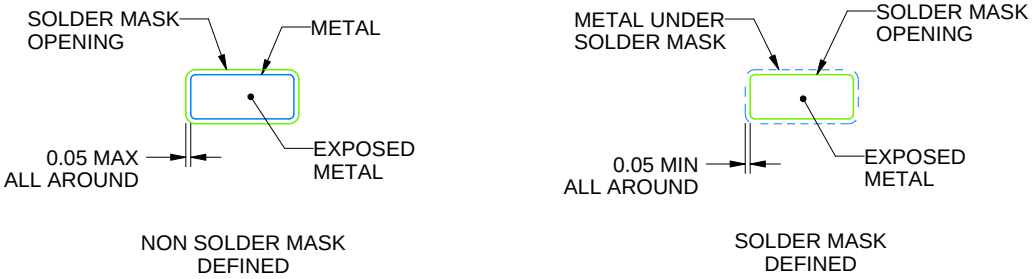


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

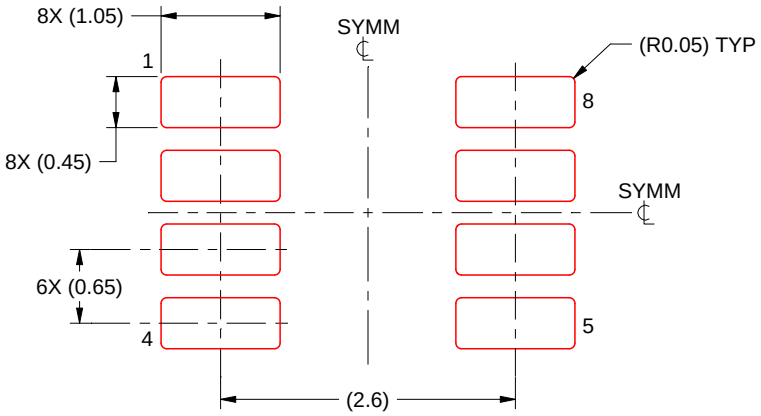
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月