

TLV243x および TLV243xA レール ツー レール出力、広入力電圧オペアンプ

1 特長

- 出力スイングに両方の電源レールを含む
- 拡張同相入力電圧範囲:
 - 5V 単一電源で 0V ~ 4.5V (最小値)
- 位相反転なし:
- 低ノイズ: 標準値 $18\text{nV}/\sqrt{\text{Hz}}$ ($f = 1\text{kHz}$)
- $T_A = 25^\circ\text{C}$ での低い入力オフセット電圧 $950\mu\text{V}$ (TLV243xA)
- 低い入力バイアス電流: 標準値 1pA
- 超低電源電流: $125\mu\text{A}/\text{チャンネル}$ (最大値)
- 600Ω 出力ドライブ
- 車載用バージョンを利用可能: [TLV243x-Q1](#)

2 説明

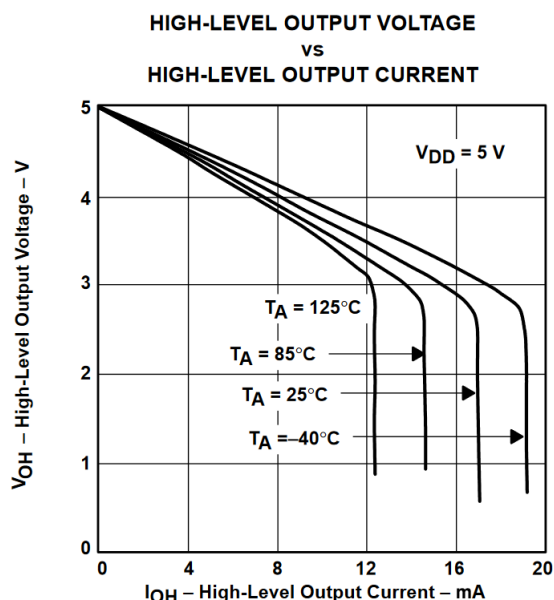
TLV243x と TLV243xA は、テキサス インストルメンツ製の低電圧オペアンプです。各デバイスの同相入力電圧範囲は、標準的な CMOS アンプよりも拡張されているため、幅広い用途への優れた選択肢となります。また、同相入力電圧が電源レールに駆動されている場合、これらのデバイスは位相反転しません。こうした特性により、レール ツー レール

の入力性能について割増金を支払うことなく、ほとんどの設計要件を満たすことができます。また、レール ツー レール出力性能も備えており、単一電源または分割電源用途でのダイナミックレンジが拡大します。これらのデバイスは、3V および 5V 電源で完全に特性評価されており、低電圧動作に最適となっています。TLV243x および TLV243xA は、チャンネルごとに必要な消費電流がわずか $100\mu\text{A}$ (標準値) であるため、バッテリー駆動用途への優れた選択肢となっています。また TLV243x は、従来のレール ツー レール オペアンプと比べて出力駆動能力が向上しており、テレコム アプリケーション向けの 600Ω 負荷を駆動できます。

製品情報

部品番号 (1)	チャンネル数	パッケージ
TLV2432, TLV2432A	デュアル	D (SOIC, 8)
		PW (TSSOP, 8)
TLV2434, TLV2434A	クワッド	D (SOIC, 14)
		PW (TSSOP, 14)

(1) 詳細については、[セクション 8](#) を参照してください。



目次

1 特長.....	1	4.11 動作特性、 $V_{DD} = 5V$ 、接尾辞 Q.....	11
2 説明.....	1	4.12 代表的特性.....	12
3 ピン構成および機能.....	2	5 詳細説明.....	21
4 仕様.....	3	5.1 概要.....	21
4.1 絶対最大定格.....	3	5.2 機能ブロック図.....	21
4.2 損失定格.....	3	6 デバイスおよびドキュメントのサポート.....	22
4.3 推奨動作条件.....	3	6.1 ドキュメントの更新通知を受け取る方法.....	22
4.4 電気的特性、 $V_{DD} = 3V$ 、接尾辞 I および C.....	4	6.2 サポート・リソース.....	22
4.5 動作特性、 $V_{DD} = 3V$ 、接尾辞 I および C.....	5	6.3 商標.....	22
4.6 電気的特性、 $V_{DD} = 3V$ 、接尾辞 Q.....	6	6.4 静電気放電に関する注意事項.....	22
4.7 動作特性、 $V_{DD} = 3V$ 、接尾辞 Q.....	7	6.5 用語集.....	22
4.8 電気的特性、 $V_{DD} = 5V$ 、接尾辞 I および C.....	8	7 改訂履歴.....	22
4.9 動作特性、 $V_{DD} = 5V$ 、接尾辞 C および I.....	9	8 メカニカル、パッケージ、および注文情報.....	23
4.10 電気的特性、 $V_{DD} = 5V$ 、接尾辞 Q.....	10		

3 ピン構成および機能

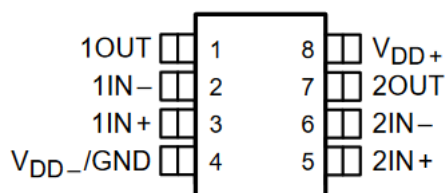


図 3-1. TLV2432x : D パッケージ、8 ピン SOIC
(上面図)

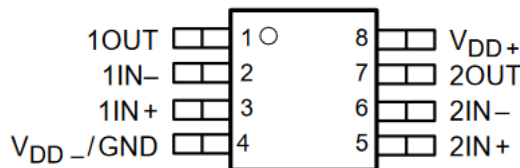


図 3-2. TLV2432x : PW パッケージ、8 ピン TSSOP
(上面図)

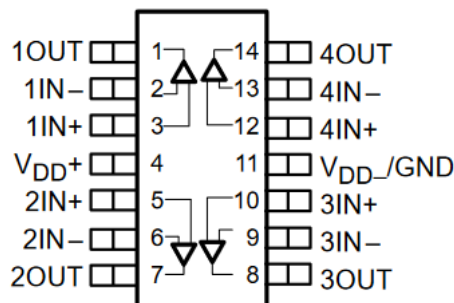


図 3-3. TLV2434x : D パッケージ、14 ピン SOIC および PW パッケージ、14 ピン TSSOP (上面図)

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		値	単位
V _{DD}	電源電圧 ⁽²⁾	12	V
V _{ID}	差動入力電圧 ⁽³⁾	V _{DD±}	V
V _I	入力電圧範囲、(任意の入力)	-0.3 ~ V _{DD}	V
I _I	入力電流	±5	mA
I _O	出力電流	±50	mA
	V _{DD+} への総電流	±50	mA
	V _{DD-} からの合計電流	±50	mA
	T _A = 25°C ⁽⁴⁾ (またはそれ以下)での短絡電流の時間	制限なし	
	連続総許容損失	セクション 4.2 を参照	
T _A	自由空気での動作温度	接尾辞 C	0 ~ 70
		接尾辞 I (デュアル)	-40 ~ +85
		接尾辞 I (クワッド)	-40 ~ +125
		接尾辞 Q	-40 ~ +125
T _{stg}	保存温度	-65 ~ +150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動電圧を除くすべての電圧値は、V_{CC+} と V_{CC-} の中点を基準にしています。
- (3) 差動電圧は、IN- を基準とする IN+ です。入力が V_{CC-} - 0.3V を下回ると、過剰な電流が流れます。
- (4) 出力は、どちらの電源にも短絡できます。温度、電源電圧、またはその両方が最大消費電力定格を超えないように制限します。

4.2 損失定格

パッケージ	T _A ≤ 25°C 電力定格	デレーティング係数 T _A = 25°C 以上	T _A = 70°C 電力定格	T _A = 85°C 電力定格	T _A = 125°C 電力定格
D (8)	725mW	5.8 mW/°C	464mW	377mW	145mW
D (14)	1022mW	7.6 mW/°C	900mW	777mW	450mW
FK	1375mW	11.0 mW/°C	880mW	715mW	275mW
JG	1050mW	8.4 mW/°C	672mW	546mW	210mW
PW (8)	525mW	4.2 mW/°C	336mW	273mW	105mW
PW (14)	720mW	5.6 mW/°C	634mW	547mW	317mW
U	675mW	5.4 mW/°C	432mW	350mW	135mW

4.3 推奨動作条件

		接尾辞 C		接尾辞 I (デュアル)		接尾辞 I (クワッド)		接尾辞 Q		単位
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
V _{DD}	電源電圧	2.7	10	2.7	10	2.7	10	2.7	10	V
V _I	入力電圧	V _{DD-}	V _{DD+} - 0.8	V _{DD-}	V _{DD+} - 0.8	V _{DD-}	V _{DD+} - 0.8	V _{DD-}	V _{DD+} - 0.8	V
V _{IC}	同相入力電圧	V _{DD-}	V _{DD+} - 1.3	V _{DD-}	V _{DD+} - 1.3	V _{DD-}	V _{DD+} - 1.3	V _{DD-}	V _{DD+} - 1.3	V
T _A	自由空気での動作温度	0	70	-40	85	-40	125	-40	125	°C

4.4 電気的特性、 $V_{DD} = 3V$ 、接尾辞 I および C

指定された自由空気温度で、 $V_{DD} = 3V$ (特に記述のない限り)

パラメータ		テスト条件		T _A ⁽¹⁾	TLV243xC、TLV243xI、 TLV243xAC、TLV243xAI			単位
					最小値	標準値	最大値	
V _{IO}	入力オフセット電圧	V _{IC} = 0V、 V _O = 0V、 R _S = 50Ω、 V _{DD±} = ±1.5V	TLV243xC、 TLV243xI TLV243xAC、 TLV243xAI	25°C	300 2000		μV	
				フルレンジ	2500			
				25°C	300 950			
				フルレンジ	1500			
α _{VIO}	入力オフセット電圧の温度係数	VO = 0V、 VIC = 0V、 V _{DD±} = ±1.5V、 R _S = 50Ω		25°C ～ 70°C	2		μV/°C	
	入力オフセット電圧の長期ドリフト ⁽²⁾			25°C	0.003		μV/MO	
I _{IO}	入力オフセット電流			25°C	0.5 60		pA	
I _{IB}	入力バイアス電流			フルレンジ	150			
				25°C	1 60		pA	
フルレンジ	150							
V _{ICR}	同相入力電圧範囲	V _{IO} ≤ 5mV、 R _S = 50Ω		25°C	0～2.5	-0.25～ 2.75	V	
				フルレンジ	0～2.2		V	
V _{OH}	High レベル出力電圧	I _{OH} = -100μA		25°C	2.98		V	
		I _{OH} = -3mA	25°C	2.5				
			フルレンジ	2.25				
V _{OL}	Low レベル出力電圧	V _{IC} = 1.5V、I _{OL} = 100μA		25°C	0.02		V	
		V _{IC} = 1.5V、I _{OL} = 3mA	25°C	0.83				
			フルレンジ	1				
A _{VD}	大信号差動電圧増幅	V _{IC} = 2.5V、 V _O = 1V ～ 2V	R _L = 2kΩ ⁽³⁾ R _L = 1MΩ ⁽³⁾	25°C	1.5	2.5	V/mV	
				フルレンジ	1			
				フルレンジ	750			
r _{i(d)}	差動入力抵抗			25°C	1000		GΩ	
r _{i(c)}	同相入力抵抗			25°C	1000		GΩ	
c _{i(c)}	同相入力キャパシタンス			25°C	8		pF	
z _o	閉ループ出力インピーダンス			25°C	130		Ω	
CMRR	同相除去比	V _{IC} = 0V ～ 2.5V、 V _O = 1.5V、R _S = 50Ω		25°C	63	83	dB	
				フルレンジ	63			
k _{SVR}	電源除去比 (ΔV _{DD±} /ΔV _{IO})	V _{DD} = 2.7V ～ 8V、 V _{IC} = V _{DD} /2、無負荷		25°C	80	95	dB	
				フルレンジ	80			
I _{DD}	電源電流 (チャネルあたり)	V _O = 1.5V、無負荷		25°C	115	150	μA	
				フルレンジ	175			

- (1) 接尾辞 C のフルレンジは 0°C から 70°C です。デュアル接尾辞 I のフルレンジは -40°C から +85°C です。クワッド接尾辞 I のフルレンジは -40°C から +125°C です。
- (2) 標準値は、アレニウス式を用いて、活性化エネルギーを 0.96eV と仮定して $T_A = 25^{\circ}C$ と外挿された $T_A = 150^{\circ}C$ での 500 時間の動作寿命テストを通して観測された入力オフセット電圧のシフトに基づいています。
- (3) 2.5V を基準。

4.5 動作特性、 $V_{DD} = 3V$ 、接尾辞 I および C

指定された自由空気温度で、 $V_{DD} = 3V$ (特に記述のない限り)

パラメータ		テスト条件		T_A ⁽¹⁾	TLV243xC、TLV243xI、 TLV243xAC、TLV243xAI			単位
					最小値	標準値	最大値	
SR	ユニティ ゲインでのスルーレート	$V_O = 1V \sim 2V$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C	0.15	0.25		V/ μs
				フルレンジ	0.1			
V_n	等価入力ノイズ電圧	$f = 10Hz$		25°C		120		nV/ $\sqrt{Hz}$
		$f = 1kHz$		25°C		22		
$V_{N(PP)}$	ピークツーピークの等価入力ノイズ電圧	$f = 0.1Hz \sim 1Hz$		25°C		2.7		μV
		$f = 0.1Hz \sim 10Hz$		25°C		4		
I_n	等価入力ノイズ電流			25°C		0.6		fA/ $\sqrt{Hz}$
THD + N	全高調波歪みおよびノイズ	$V_O = 0.5V \sim 2.5V$ 、 $f = 1kHz$ 、 $R_L = 2k\Omega$ ⁽²⁾	$A_V = 1$	25°C		0.065%		
			$A_V = 10$	25°C		0.5%		
	ゲイン帯域幅積	$f = 10kHz$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		0.5		MHz
B_{OM}	最大出力 — スイング帯域幅	$V_{O(PP)} = 1V$ 、 $A_V = 1$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		220		kHz
t_s	セトリングタイム	$A_V = -1$ 、ステップ = 0.5V $\sim$ 2.5V、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾	0.1% まで	25°C		6.4		μs
			0.01% まで	25°C		14.1		
ϕ_m	ユニティ ゲインでの位相マージン	$R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		62°		
	ゲイン マージン	$R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		11		dB

(1) 接尾辞 C のフルレンジは 0°C から 70°C です。デュアル接尾辞 I のフルレンジは -40°C から 85°C です。クワッド接尾辞 I のフルレンジは -40°C から 125°C です。

(2) 2.5V を基準。

4.6 電気的特性、 $V_{DD} = 3V$ 、接尾辞 Q

指定された自由空気温度で、 $V_{DD} = 3V$ (特に記述のない限り)

パラメータ		テスト条件		T _A	TLV243xQ、 TLV243xAQ			単位
					最小値	標準値	最大値	
V _{IO}	入力オフセット電圧	V _{IC} = 0V、 V _O = 0V、 R _S = 50Ω、 V _{DD±} = ±1.5V	TLV243xQ	25°C	300		2000	μV
				-40°C ~ +125°C	2500			
			TLV243xAQ	25°C	300		950	
				-40°C ~ +125°C	2000			
α _{VIO}	入力オフセット電圧の温度係数	V _O = 0V、 V _{IC} = 0V、 V _{DD±} = ±1.5V、 R _S = 50Ω		25°C ~ 70°C	2		μV/°C	
	入力オフセット電圧の長期ドリフト ⁽¹⁾			25°C	0.003		μV/MO	
I _{IO}	入力オフセット電流			25°C	0.5		60	pA
				-40°C ~ +125°C	150			
I _{IB}	入力バイアス電流			25°C	1		60	pA
				-40°C ~ +125°C	300			
V _{ICR}	同相入力電圧範囲	V _{IO} ≤ 5mV、 R _S = 50Ω		25°C	0 ~ 2.5	-0.25 ~ 2.75	V	
				-40°C ~ +125°C	0 ~ 2.2		V	
V _{OH}	High レベル出力電圧	I _{OH} = -100μA	25°C	2.98		V		
		I _{OH} = -3mA	25°C	2.5				
			-40°C ~ +125°C	2.25				
V _{OL}	Low レベル出力電圧	V _{IC} = 1.5V、I _{OL} = 100μA	25°C	0.02		V		
		V _{IC} = 1.5V、I _{OL} = 3A	25°C	0.83				
			-40°C ~ +125°C	1				
A _{VD}	大信号差動電圧増幅	V _{IC} = 2.5V、 V _O = 1V ~ 2V	R _L = 2kΩ ⁽²⁾	25°C	1.5	2.5	V/mV	
				-40°C ~ +125°C	0.5			
			R _L = 1MΩ ⁽²⁾	-40°C ~ +125°C	750			
r _{i(d)}	差動入力抵抗			25°C	1000		G _Ω	
r _{i(c)}	同相入力抵抗			25°C	1000		G _Ω	
c _{i(c)}	同相入力キャパシタンス			25°C	8		pF	
z _o	閉ループ出力インピーダンス			25°C	130		Ω	
CMRR	同相除去比	V _{IC} = 0V ~ 2.5V、 V _O = 1.5V、 R _S = 50Ω		25°C	63	83	dB	
				-40°C ~ +125°C	63			
k _{SVR}	電源除去比 (ΔV _{DD±} /ΔV _{IO})	V _{DD} = 2.7V ~ 8V、 V _{IC} = V _{DD} /2、無負荷		25°C	80	95	dB	
				-40°C ~ +125°C	80			
I _{DD}	電源電流 (チャネルあたり)	V _O = 1.5V、無負荷		25°C	115	150	μA	
				-40°C ~ +125°C	175			

(1) 標準値は、アレニウス式を用いて、活性化エネルギーを 0.96eV と仮定して $T_A = 25^{\circ}C$ と外挿された $T_A = 150^{\circ}C$ での 500 時間の動作寿命テストを通して観測された入力オフセット電圧のシフトに基づいています。

(2) 2.5V を基準。

4.7 動作特性、 $V_{DD} = 3V$ 、接尾辞 Q

指定された自由空気温度で、 $V_{DD} = 3V$ (特に記述のない限り)

パラメータ		テスト条件		T_A	TLV243xQ、 TLV243xAQ			単位
					最小値	標準値	最大値	
SR	ユニティ ゲインでのスルー レート	$V_O = 1V \sim 2V$, $R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$		25°C	0.15	0.25		V/ μs
				–40°C ~ +125°C	0.1			
V_n	等価入力ノイズ電圧	$f = 10Hz$		25°C		120		nV/ $\sqrt{Hz}$
		$f = 1kHz$		25°C		22		
$V_{N(PP)}$	ピークツーピークの等価入 力ノイズ電圧	$f = 0.1Hz \sim 1Hz$		25°C		2.7		μV
		$f = 0.1Hz \sim 10Hz$		25°C		4		
I_n	等価入力ノイズ電流			25°C		0.6		fA/ $\sqrt{Hz}$
THD + N	全高調波歪みおよびノイズ	$V_O = 0.5V \sim 2.5V$, $f = 1kHz$, $R_L = 2k\Omega^{(2)}$	$A_V = 1$	25°C		0.065%		
			$A_V = 10$	25°C		0.5%		
	ゲイン帯域幅積	$f = 10 kHz$, $R_L = 2k\Omega^{(2)}$, $C_L = 100pF^{(2)}$		25°C		0.5		MHz
B_{OM}	最大出力 — スイング帯域 幅	$V_{O(PP)} = 1V$, $A_V = 1$, $R_L = 2k\Omega^{(2)}$, $C_L = 100pF^{(2)}$		25°C		220		kHz
t_s	セトリング タイム	$A_V = -1$, ステップ = 0.5V ~ 2.5V, $R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$	0.1% まで	25°C		6.4		μs
			0.01% まで	25°C		14.1		
ϕ_m	ユニティ ゲインでの位相マ ージン	$R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$		25°C		62°		
	ゲイン マージン	$R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$		25°C		11		dB

(1) 2.5V を基準。

4.8 電気的特性、 $V_{DD} = 5V$ 、接尾辞 I および C

指定された自由空気温度で、 $V_{DD} = 5V$ (特に記述のない限り)

パラメータ		テスト条件		T_A ⁽¹⁾	TLV243xC, TLV243xI, TLV243xAC, TLV243xAI			単位
					最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	$V_{IC} = 0V$ 、 $V_O = 0V$ 、 $R_S = 50\Omega$ 、 $V_{DD\pm} = \pm 2.5V$	TLV243xC、 TLV243xI	25°C		300	2000	μV
				フルレンジ			2500	
			TLV243xAC、 TLV243xAI	25°C		300	950	
				フルレンジ			1500	
α_{VIO}	入力オフセット電圧の温度係数	$V_O = 0V$ 、 $V_{IC} = 0V_{DD\pm} = \pm 2.5V$ 、 $R_S = 50\Omega$		25°C ~ 70°C		2		$\mu V/^\circ C$
	入力オフセット電圧の長期ドリフト ⁽²⁾			25°C		0.003		$\mu V/MO$
I_{IO}	入力オフセット電流			25°C		0.5	60	pA
				フルレンジ			150	
I_{IB}	入力バイアス電流			25°C		1	60	pA
				フルレンジ			150	
V_{ICR}	同相入力電圧範囲	$ V_{IO} \leq 5mV$ 、 $R_S = 50\Omega$		25°C	0 ~ 4.5	-0.25 ~ 4.75		V
				フルレンジ	0 ~ 4.2			V
V_{OH}	High レベル出力電圧	$I_{OH} = -100\mu A$		25°C		4.97		V
		$I_{OH} = -5mA$		25°C	4	4.35		
				フルレンジ	4			
V_{OL}	Low レベル出力電圧	$V_{IC} = 2.5V$ 、 $I_{OL} = 100\mu A$		25°C		0.01		V
		$V_{IC} = 2.5V$ 、 $I_{OL} = 5mA$		25°C		0.8		
				フルレンジ			1.25	
A_{VD}	大信号差動電圧増幅	$V_{IC} = 2.5V$ 、 $V_O = 1V \sim 4V$	$R_L = 2k\Omega$ ⁽³⁾	25°C	2.5	3.8		V/mV
				フルレンジ	1.5			
			$R_L = 1M\Omega$ ⁽³⁾	フルレンジ			950	
$r_{i(d)}$	差動入力抵抗			25°C		1000		G_Ω
$r_{i(c)}$	同相入力抵抗			25°C		1000		G_Ω
$c_{i(e)}$	同相入力キャパシタンス	$f = 10kHz$		25°C		8		pF
Z_o	閉ループ出力インピーダンス	$f = 100kHz$ 、 $A_V = 10$		25°C		130		Ω
CMRR	同相除去比	$V_{IC} = 0V \sim 4.5V$ 、 $V_O = 2.5V$ 、 $R_S = 50\Omega$		25°C	63	90		dB
				フルレンジ	63			
k_{SVR}	電源除去比 ($\Delta V_{DD\pm}/\Delta V_{IO}$)	$V_{DD} = 4.4V \sim 8V$ 、 $V_{IC} = V_{DD}/2$ 、無負荷		25°C	80	95		dB
				フルレンジ	80			
I_{DD}	電源電流 (チャンネルあたり)	$V_O = 2.5V$ 、無負荷		25°C		115	150	μA
				フルレンジ			175	

- (1) 接尾辞 C のフルレンジは 0°C から 70°C です。デュアル接尾辞 I のフルレンジは -40°C から +85°C です。クワッド接尾辞 I のフルレンジは -40°C から +125°C です。
- (2) 標準値は、アレニウス式を用いて、活性化エネルギーを 0.96eV と仮定して $T_A = 25^\circ C$ と外挿された $T_A = 150^\circ C$ での 500 時間の動作寿命テストを通して観測された入力オフセット電圧のシフトに基づいています。
- (3) 2.5V を基準。

4.9 動作特性、 $V_{DD} = 5V$ 、接尾辞 C および I

指定された自由空気温度で、 $V_{DD} = 5V$ (特に記述のない限り)

パラメータ		テスト条件		T_A ⁽¹⁾	TLV243xC、TLV243xI、 TLV243xAC、TLV243xAI			単位
					最小値	標準値	最大値	
SR	ユニティ ゲインでのスルーレート	$V_O = 1.5V \sim 3V$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C	0.15	0.25		V/ μs
				フルレンジ	0.1			
V_n	等価入力ノイズ電圧	$f = 10Hz$		25°C		100		nV/ $\sqrt{Hz}$
		$f = 1kHz$		25°C		18		
$V_{N(PP)}$	ピークツーピークの等価入力ノイズ電圧	$f = 0.1Hz \sim 1Hz$		25°C		1.9		μV
		$f = 0.1Hz \sim 10Hz$		25°C		2.8		
I_n	等価入力ノイズ電流			25°C		0.6		fA/ $\sqrt{Hz}$
THD + N	全高調波歪みおよびノイズ	$V_O = 0.5V \sim 3.5V$ 、 $f = 1kHz$ 、 $R_L = 2k\Omega$ ⁽²⁾	$A_V = 1$	25°C		0.045%		
			$A_V = 10$	25°C		0.4%		
	ゲイン帯域幅積	$f = 10kHz$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		0.55		MHz
B_{OM}	最大出力 — スイング帯域幅	$V_{O(PP)} = 2V$ 、 $A_V = 1$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		100		kHz
t_s	セトリングタイム	$A_V = -1$ 、ステップ = $0.5V \sim 3.5V$ 、 $R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾	0.1% まで	25°C		6.4		μs
			0.01% まで	25°C		13.1		
ϕ_m	ユニティ ゲインでの位相マージン	$R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		66°		
	ゲイン マージン	$R_L = 2k\Omega$ ⁽²⁾ 、 $C_L = 100pF$ ⁽²⁾		25°C		11		dB

(1) 接尾辞 C のフルレンジは 0°C から 70°C です。デュアル接尾辞 I のフルレンジは -40°C から +85°C です。クワッド接尾辞 I のフルレンジは -40°C から +125°C です。

(2) 2.5V を基準。

4.10 電気的特性、 $V_{DD} = 5V$ 、接尾辞 Q

指定された自由空気温度で、 $V_{DD} = 5V$ (特に記述のない限り)

パラメータ		テスト条件		T _A	TLV243xQ、 TLV243xAQ			単位
					最小値	標準値	最大値	
V _{IO}	入力オフセット電圧	V _{IC} = 0V、 V _O = 0V、 R _S = 50Ω、 V _{DD±} = ±2.5V	TLV2453xQ	25°C	300	2000	μV	
				−40°C ∼ +125°C		2500		
			TLV2453xAQ	25°C	300	950		
				−40°C ∼ +125°C		2000		
α _{VIO}	入力オフセット電圧の温度係数	V _O = 0V、 V _{IC} = 0V、 V _{DD±} = ±2.5V、 R _S = 50Ω		25°C ∼ 70°C	2		μV/°C	
	入力オフセット電圧の長期ドリフト ⁽¹⁾			25°C	0.003		μV/MO	
I _{IO}	入力オフセット電流			25°C	0.5	60	pA	
I _{IB}	入力バイアス電流			−40°C ∼ +125°C		150		
		25°C	1	60	pA			
V _{ICR}	同相入力電圧範囲	V _{IO} ≤ 5mV、 R _S = 50Ω		25°C		0 ∼ 4.5	−0.25 ∼ 4.75	V
				−40°C ∼ +125°C	0 ∼ 4.2		V	
V _{OH}	High レベル出力電圧	I _{OH} = -100μA		25°C	4.97		V	
		I _{OH} = -5mA		25°C	4	4.35		
				−40°C ∼ +125°C	4			
V _{OL}	Low レベル出力電圧	V _{IC} = 2.5V、I _{OL} = 100μA		25°C	0.01		V	
		V _{IC} = 2.5V、I _{OL} = 5mA		25°C	0.8			
				−40°C ∼ +125°C		1.25		
A _{VD}	大信号差動電圧増幅	V _{IC} = 2.5V、 V _O = 1V ∼ 4V	R _L = 2kΩ ⁽²⁾	25°C	2.5	3.8	V/mV	
				−40°C ∼ +125°C	1.5			
			R _L = 1MΩ ⁽²⁾	−40°C ∼ +125°C	950			
r _{i(d)}	差動入力抵抗			25°C	1000		G _Ω	
r _{i(c)}	同相入力抵抗			25°C	1000		G _Ω	
c _{i(c)}	同相入力キャパシタンス	f = 10kHz		25°C	8		pF	
z _o	閉ループ出力インピーダンス	f = 100kHz、A _V = 10		25°C	130		Ω	
CMRR	同相除去比	V _{IC} = 0 ∼ 4.5V、 V _O = 2.5V、R _S = 50Ω		25°C	63	90	dB	
				−40°C ∼ +125°C	63			
k _{SVR}	電源除去比 (ΔV _{DD±} /ΔV _{IO})	V _{DD} = 4.4V ∼ 8V、 V _{IC} = V _{DD} /2、無負荷		25°C	80	95	dB	
				−40°C ∼ +125°C	80			
I _{DD}	電源電流 (チャネルあたり)	V _O = 2.5V、無負荷		25°C	115	150	μA	
				−40°C ∼ +125°C		175		

(1) 標準値は、アレニウス式を用いて、活性化エネルギーを 0.96eV と仮定して $T_A = 25^{\circ}C$ と外挿された $T_A = 150^{\circ}C$ での 500 時間の動作寿命テストを通して観測された入力オフセット電圧のシフトに基づいています。

(2) 2.5V を基準。

4.11 動作特性、 $V_{DD} = 5V$ 、接尾辞 Q

指定された自由空気温度で、 $V_{DD} = 5V$ (特に記述のない限り)

パラメータ		テスト条件		T_A	TLV243xQ、 TLV243xAQ			単位
					最小値	標準値	最大値	
SR	ユニティ ゲインでのスルー レート	$V_O = 1.5V \sim 3V$ 、 $R_L = 2k\Omega^{(1)}$ 、 $C_L = 100pF^{(1)}$		25°C	0.15	0.25		V/ μs
				–40°C ~ +125°C	0.1			
V_n	等価入力ノイズ電圧	$f = 10Hz$		25°C		100		nV/ $\sqrt{Hz}$
		$f = 1kHz$		25°C		18		
$V_{N(PP)}$	ピークツーピークの等価入 力ノイズ電圧	$f = 0.1Hz \sim 1Hz$		25°C		1.9		μV
		$f = 0.1Hz \sim 10Hz$		25°C		2.8		
I_n	等価入力ノイズ電流			25°C		0.6		fA/ $\sqrt{Hz}$
THD + N	全高調波歪みおよびノイズ	$V_O = 0.5V \sim 3.5V$ 、 $f = 1kHz$, $R_L = 2k\Omega^{(1)}$	$A_V = 1$	25°C		0.045%		
			$A_V = 10$	25°C		0.4%		
	ゲイン帯域幅積	$f = 10 kHz$, $R_L = 2k\Omega^{(1)}$ 、 $C_L = 100pF^{(1)}$		25°C		0.55		MHz
B_{OM}	最大出力 — スイング帯域 幅	$V_{O(PP)} = 2V$, $A_V = 1$ 、 $R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$		25°C		100		kHz
t_s	セトリング タイム	$A_V = -1$, ステップ = 0.5V ~ 3.5V、 $R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$	0.1% まで	25°C		6.4		μs
			0.01% まで	25°C		13.1		
ϕ_m	ユニティ ゲインでの位相マ ージン	$R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$		25°C		66°		
	ゲイン マージン	$R_L = 2k\Omega^{(1)}$, $C_L = 100pF^{(1)}$		25°C		11		dB

(1) 2.5V を基準。

4.12 代表的特性

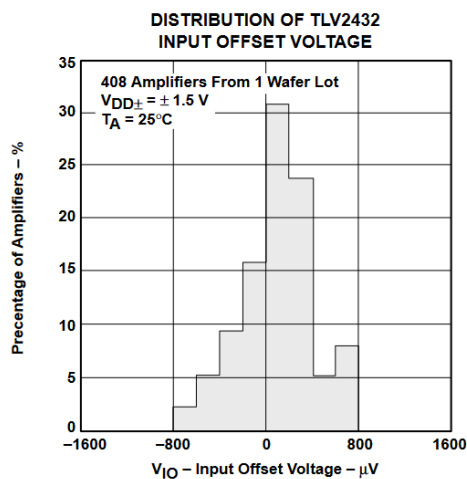


図 4-1.

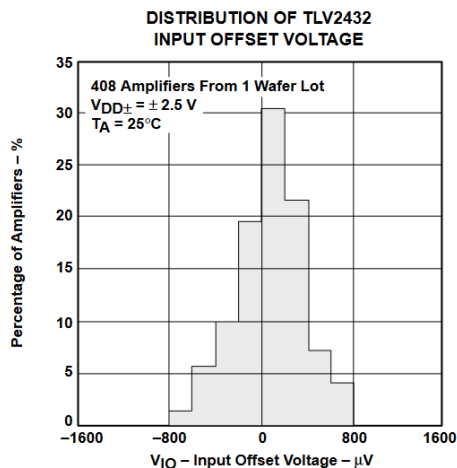


図 4-2.

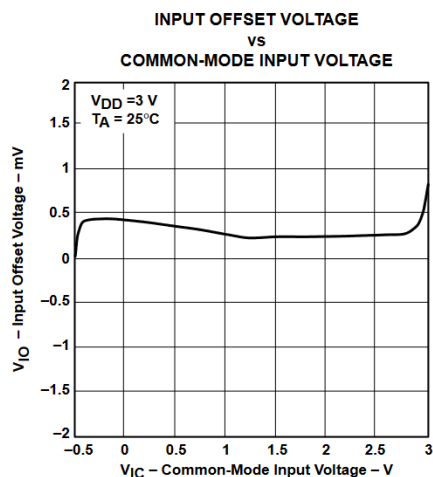


図 4-3.

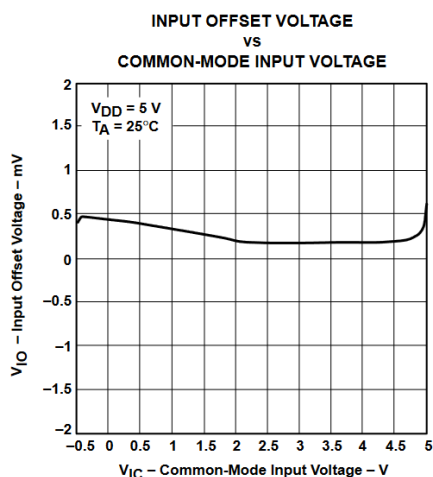


図 4-4.

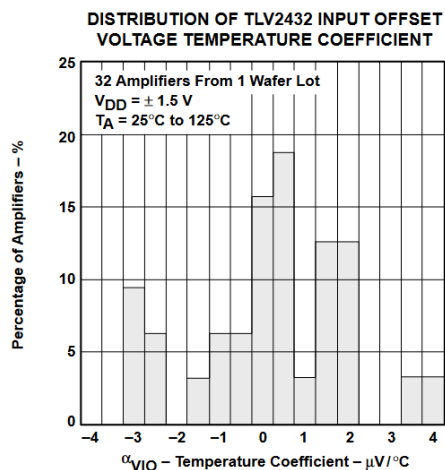


図 4-5.

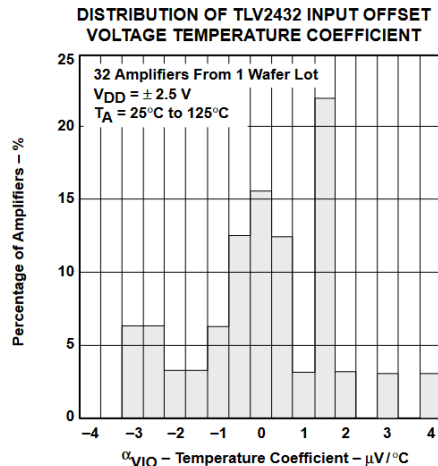


図 4-6.

4.12 代表的特性 (続き)

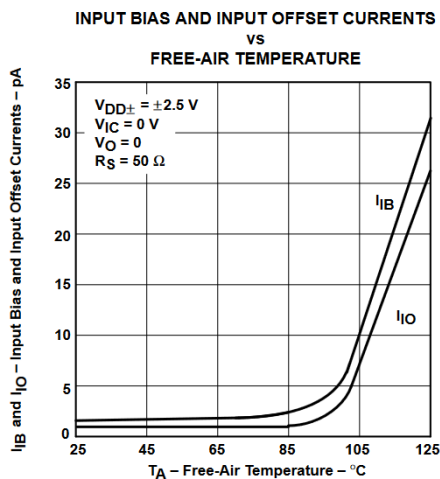


図 4-7.

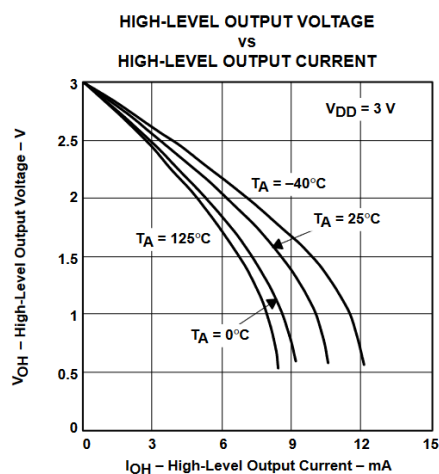


図 4-8.

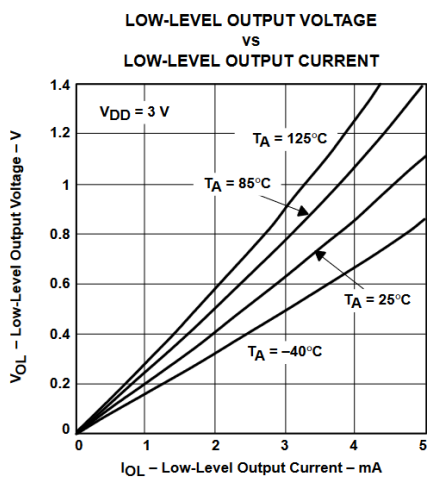


図 4-9.

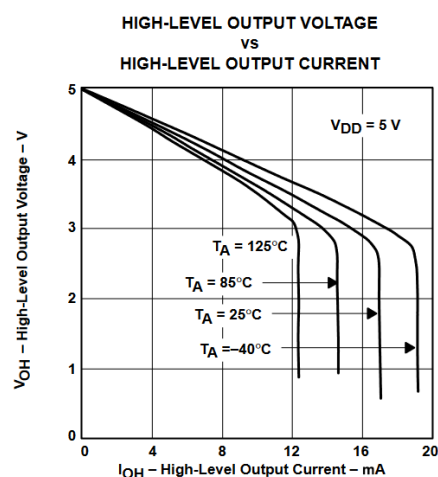


図 4-10.

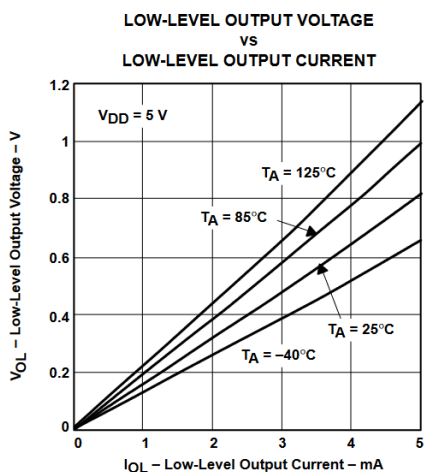


図 4-11.

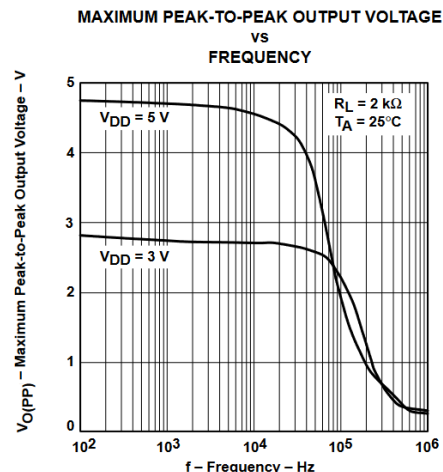


図 4-12.

4.12 代表的特性 (続き)

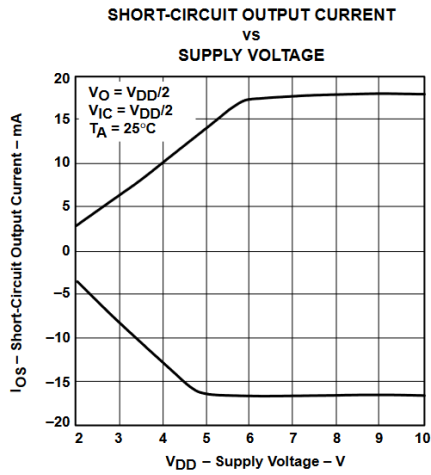


図 4-13.

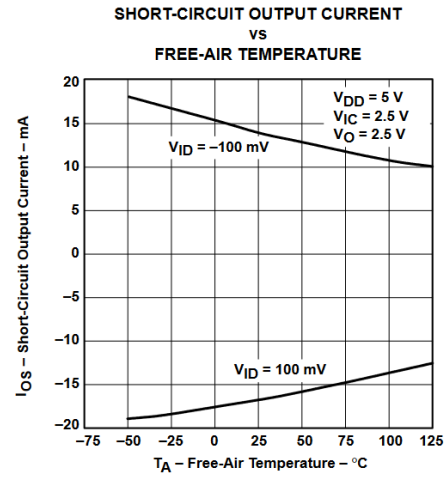


図 4-14.

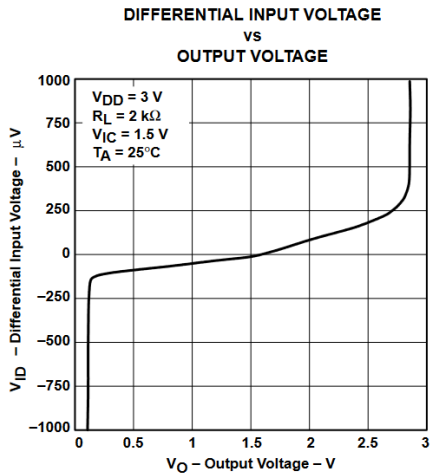


図 4-15.

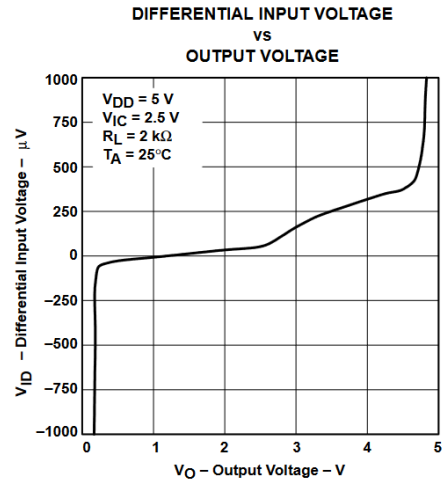


図 4-16.

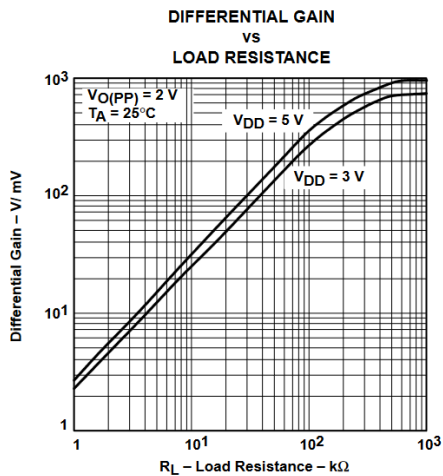


図 4-17.

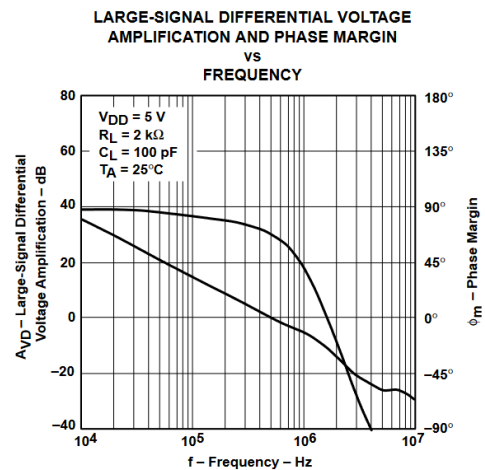


図 4-18.

4.12 代表的特性 (続き)

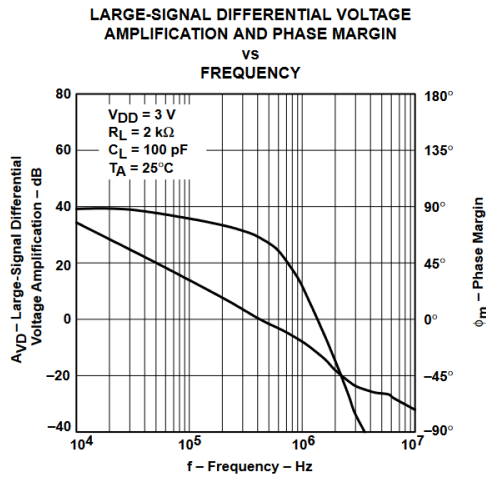


図 4-19.

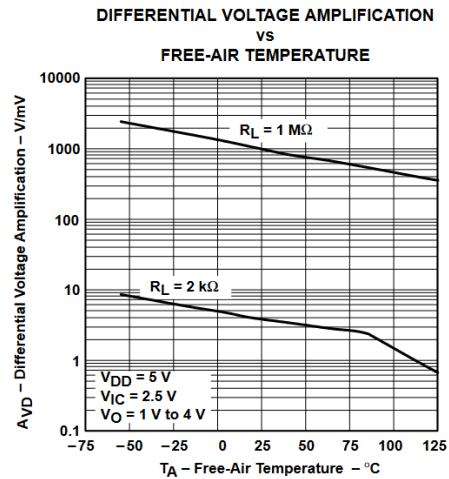


図 4-20.

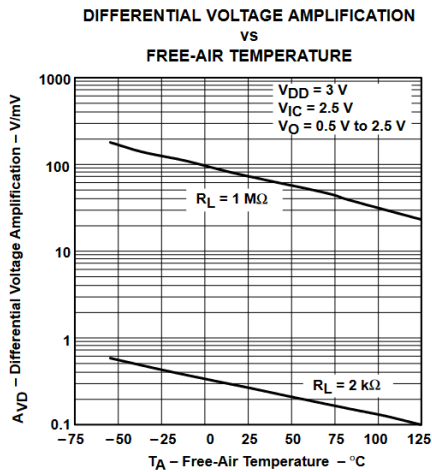


図 4-21.

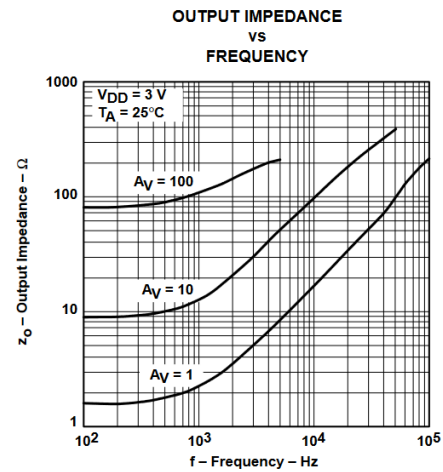


図 4-22.

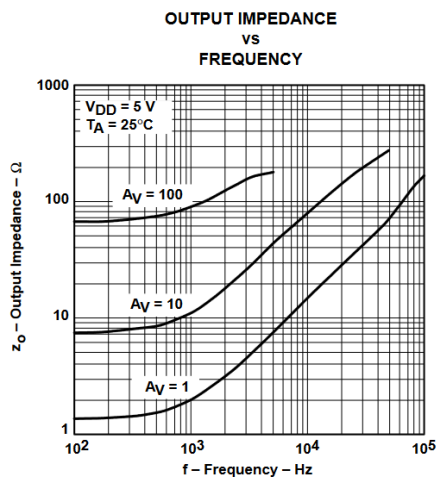


図 4-23.

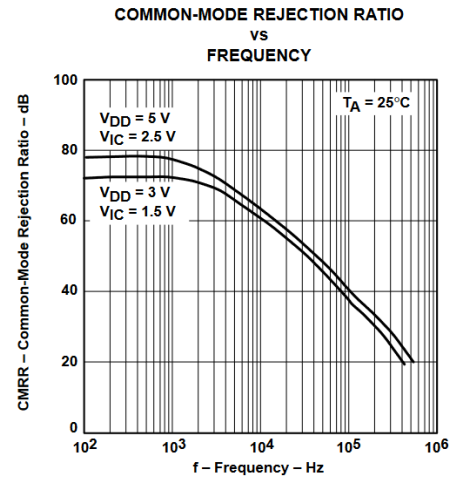


図 4-24.

4.12 代表的特性 (続き)

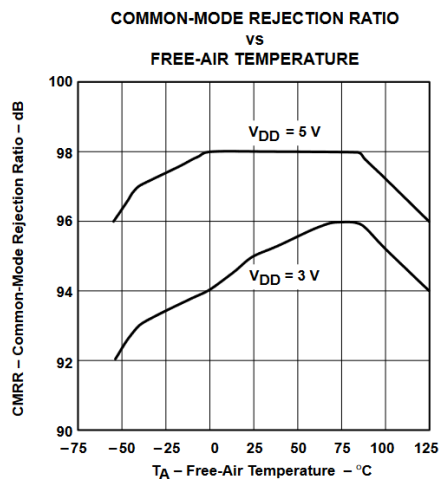


図 4-25.

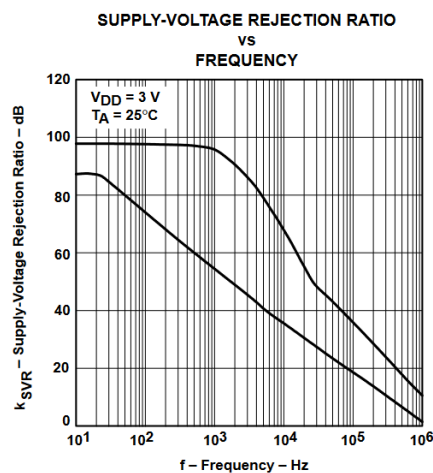


図 4-26.

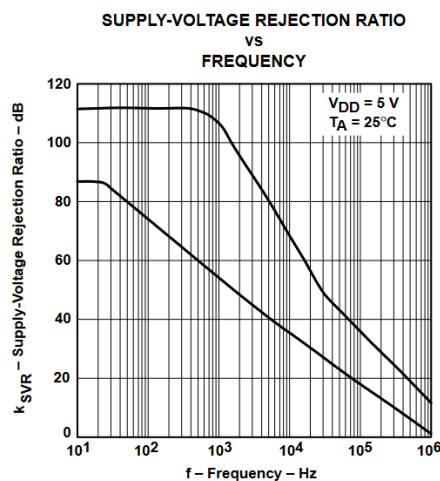


図 4-27.

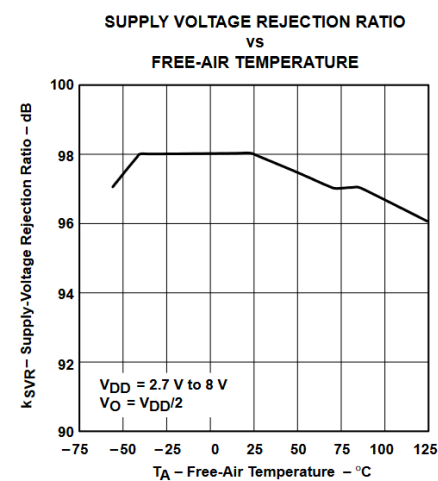


図 4-28.

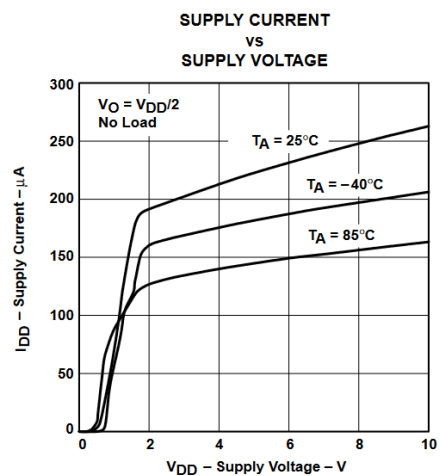


図 4-29.

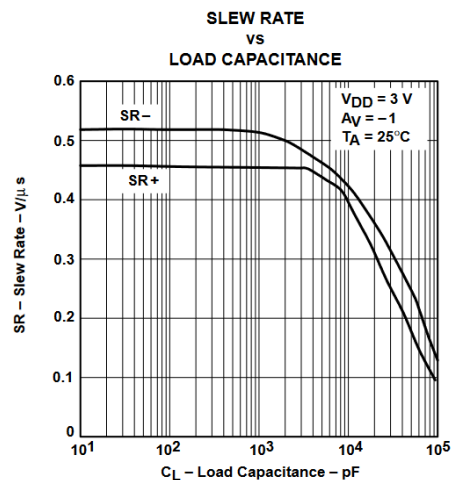


図 4-30.

4.12 代表的特性 (続き)

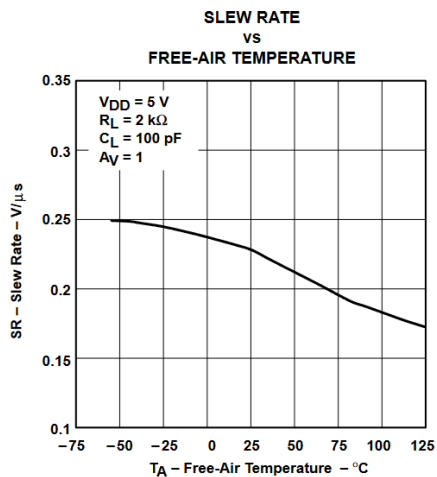


図 4-31.

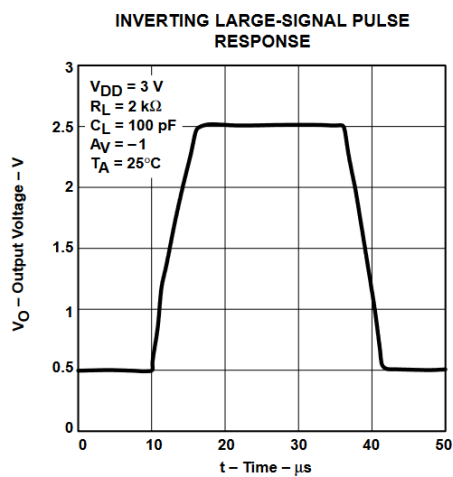


図 4-32.

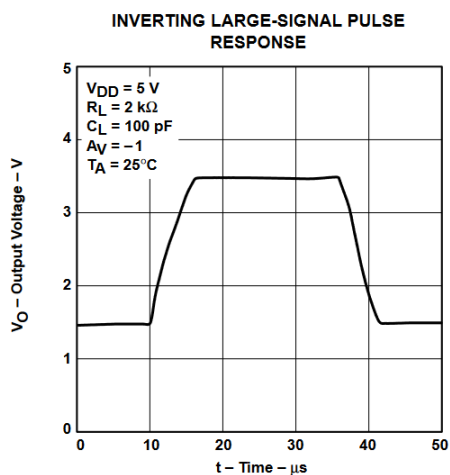


図 4-33.

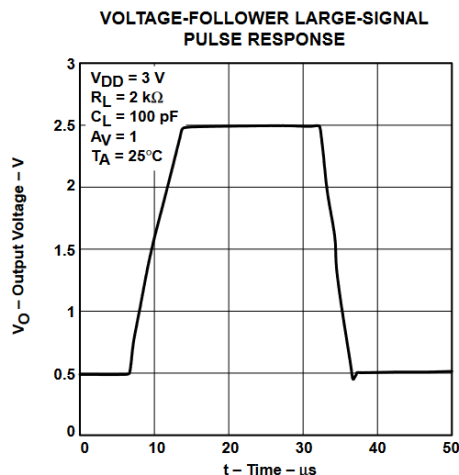


図 4-34.

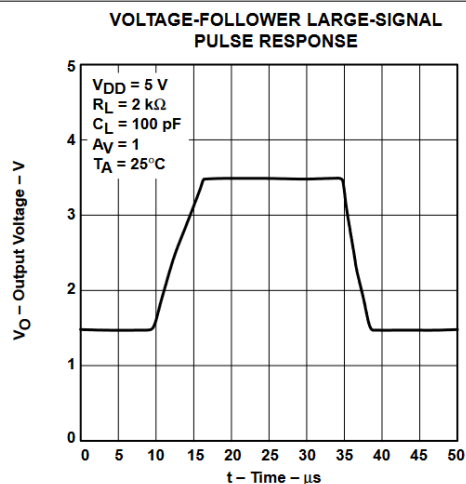


図 4-35.

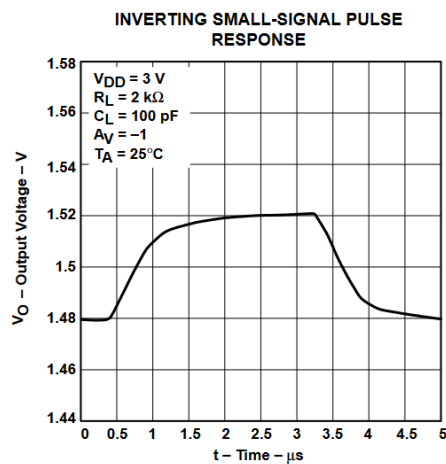


図 4-36.

4.12 代表的特性 (続き)

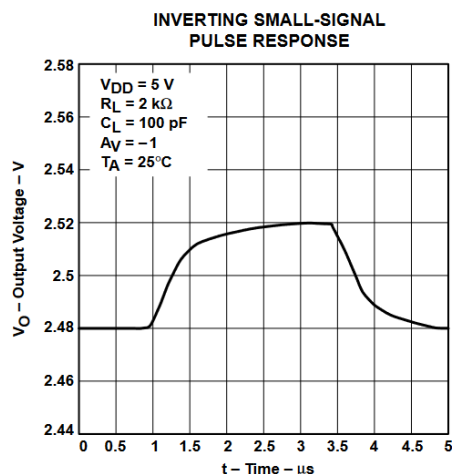


図 4-37.

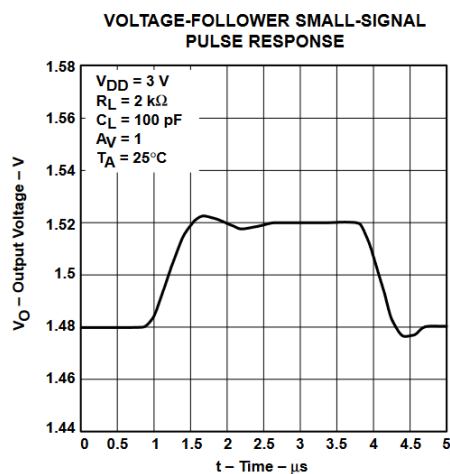


図 4-38.

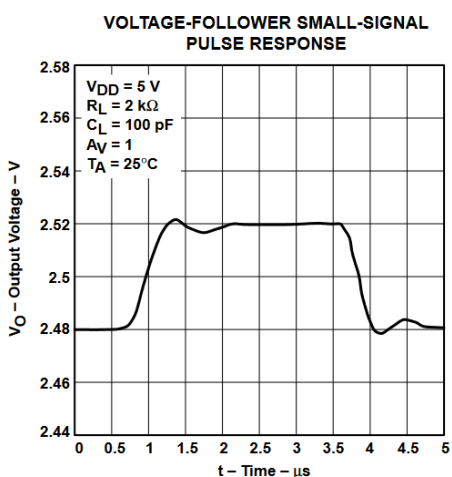


図 4-39.

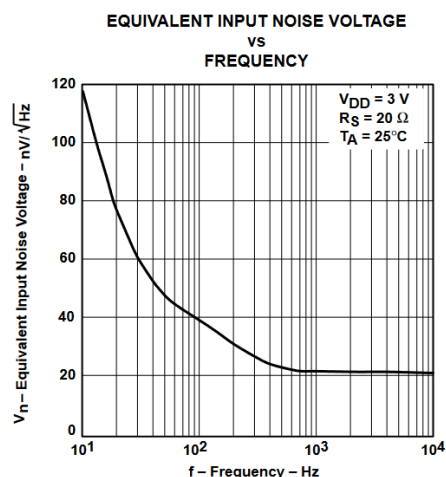


図 4-40.

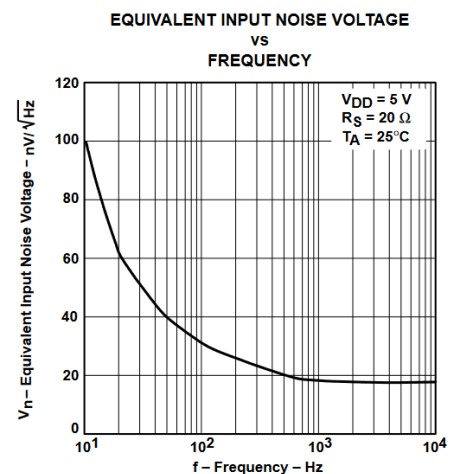


図 4-41.

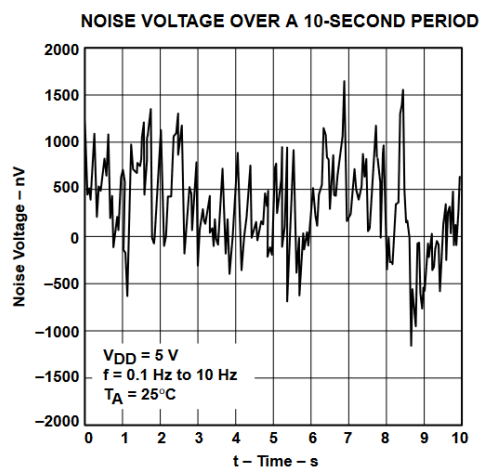


図 4-42.

4.12 代表的特性 (続き)

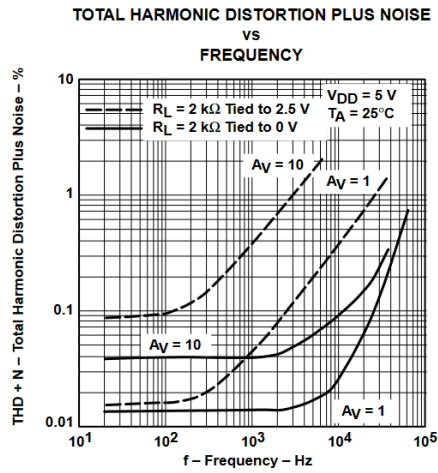


図 4-43.

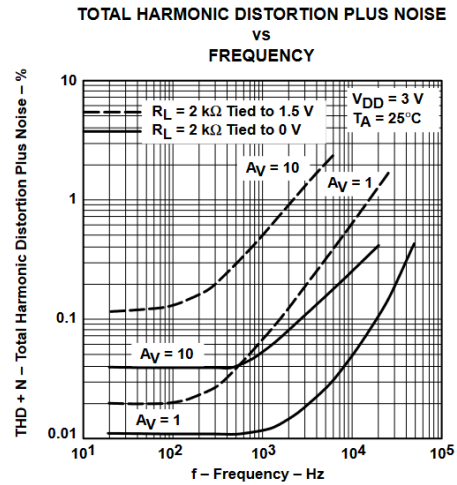


図 4-44.

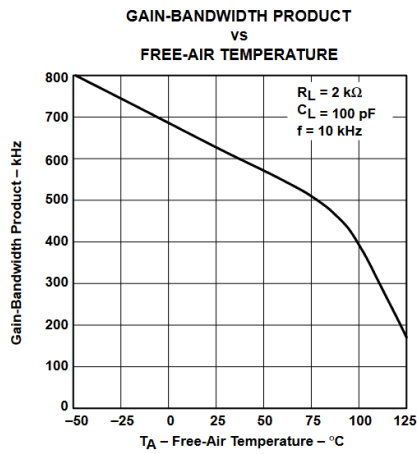


Figure 46

図 4-45.

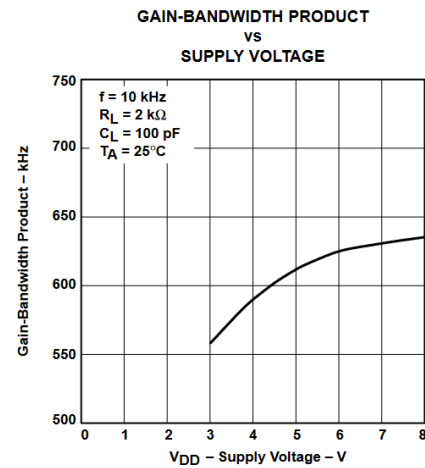


図 4-46.

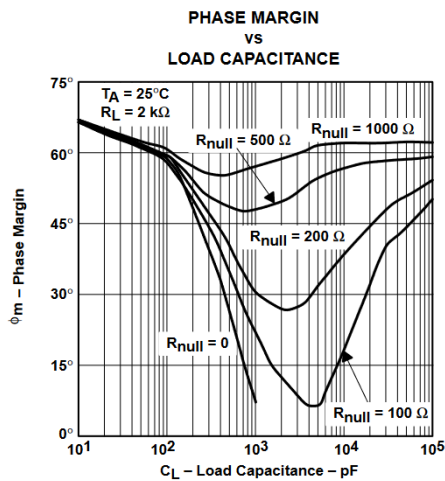


図 4-47.

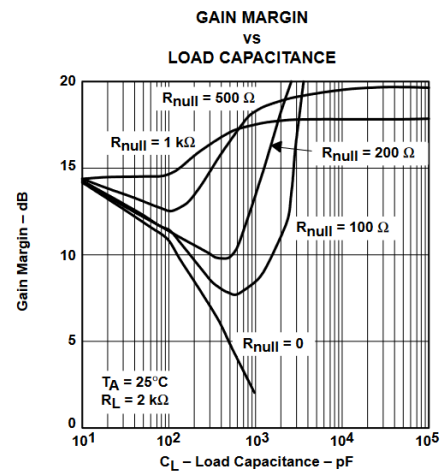


図 4-48.

4.12 代表的特性 (続き)

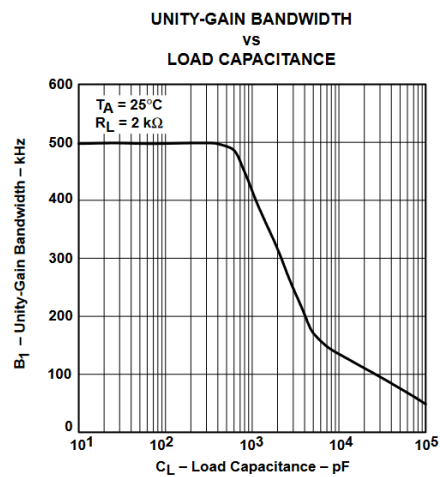


図 4-49.

5 詳細説明

5.1 概要

TLV243x および TLV243xA ファミリの他の製品は、大電力の [TLV244x](#) とマイクロパワーの [TLV2422](#) です。

TLV243x は、高い入力インピーダンスと低ノイズを特徴としており、圧電性トランスデューサなどの高インピーダンスソースの小信号調整に最適です。これらのデバイスは、マイクロ電力消費レベルと低電圧動作であるため、ポータブル監視およびリモートセンシング用途に最適です。さらに、単一または分割電源でレールツーレール出力が可能のため、このファミリは A/D コンバータ (ADC) と接続するための優れた選択肢です。高精度用途向けには、最大入力オフセット電圧 $950\mu\text{V}$ の TLV243xA をご用意しています。

設計でシングルオペアンプが必要な場合は、[TLV2211](#)、[TLV2221](#)、および [TLV2231](#) を参照してください。このレールツーレール出力オペアンプファミリは、SOT-23 パッケージで供給されます。サイズが小さく、低消費電力で、高密度のバッテリ動作装置に向けた優れた選択肢となっています。

5.2 機能ブロック図

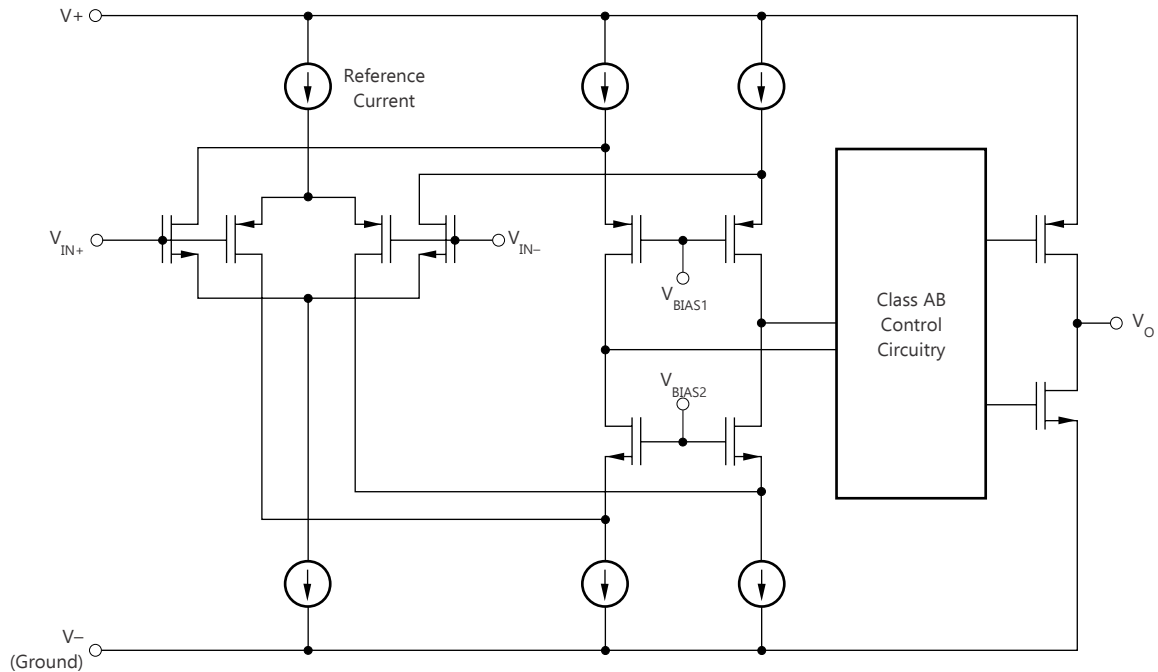


図 5-1. 等価回路図 (各アンプ)

6 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (Nov 1999) to Revision G (July 2025)	Page
• データシートから旧式の FK、JG、および U パッケージを削除.....	1
• データシートから旧式の M 接尾辞デバイスを削除.....	1
• 特長を更新して「マクロモデル内蔵」を削除し、車載用データシートへのリンクを追加.....	1
• 等価回路図を削除.....	2
• すべての電気的特性で、すべての温度の CMRR の最小値を 70dB から 63dB に変更.....	4
• T _A = 25°C での I _{DD} の標準値を 98μA から 115μA に、最大値を 125μA から 150μA に変更.....	4
• T _A = フルレンジでの I _{DD} の最大値を 125μA から 175μA に変更.....	4
• T _A = 25°C での I _{DD} の標準値を 195μA から 115μA に、最大値を 250μA から 150μA に変更.....	6
• T _A = フルレンジでの I _{DD} を 260μA から 175μA に変更.....	6
• T _A = 25°C での I _{DD} の標準値を 100μA から 115μA に、最大値を 125μA から 150μA に変更.....	8
• T _A = フルレンジでの I _{DD} を 125μA から 175μA に変更.....	8
• T _A = 25°C での I _{DD} の標準値を 200μA から 115μA に、最大値を 250μA から 150μA に変更.....	10
• T _A = フルレンジでの I _{DD} を 270μA から 175μA に変更.....	10
• 機能ブロック図を更新.....	21

• アプリケーション情報および マクロモデル情報セクションを削除.....	21
---------------------------------------	----

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

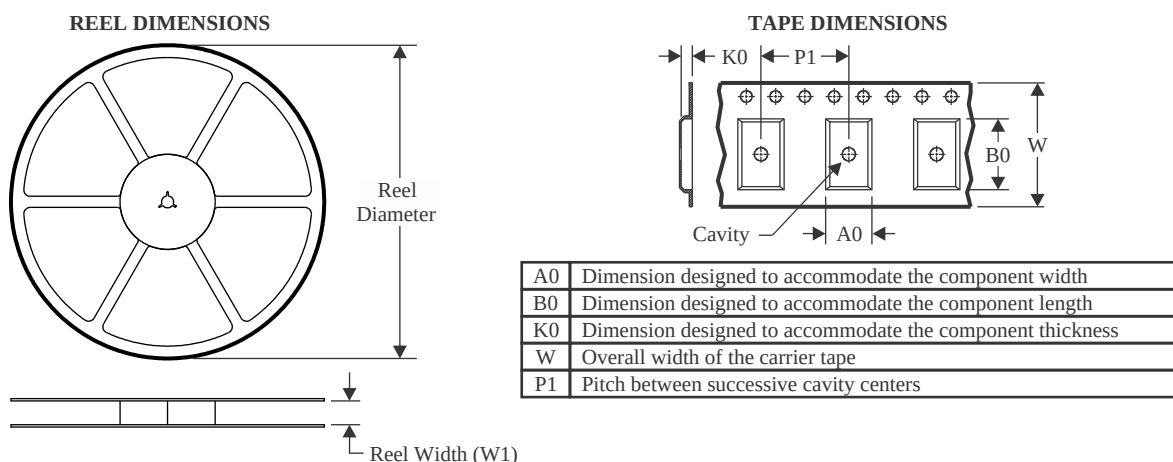
上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

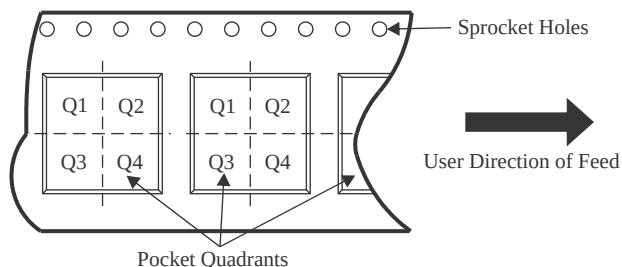
お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

TAPE AND REEL INFORMATION



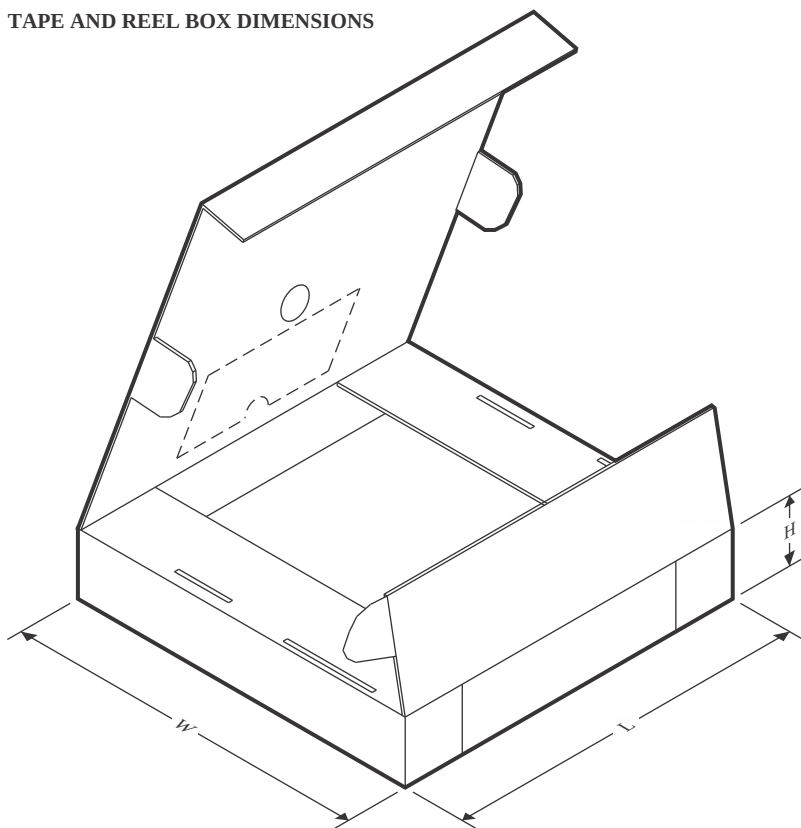
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

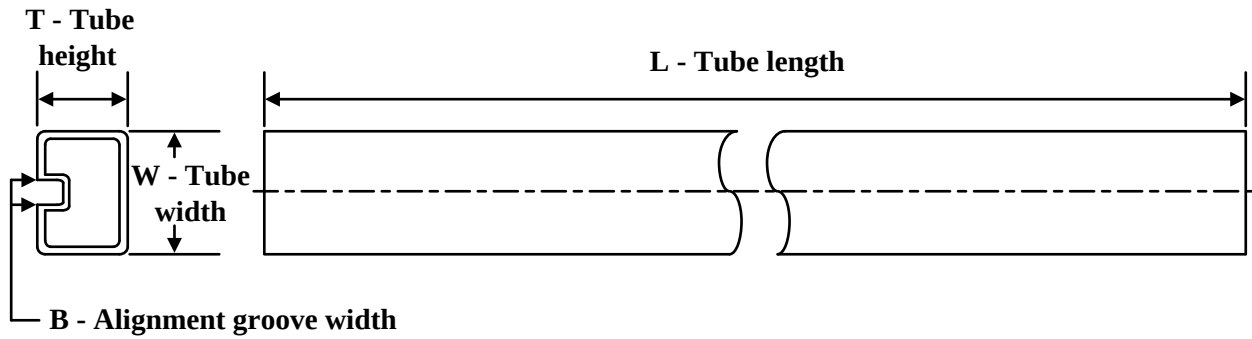
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2432AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV2432AIPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2432AQDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV2432CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV2432IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV2434AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV2434AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV2434CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV2434IDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV2434IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



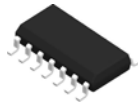
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2432AIDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV2432AIPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2432AQDRG4	SOIC	D	8	2500	353.0	353.0	32.0
TLV2432CDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV2432IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLV2434AIDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV2434AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434CDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV2434CPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434CPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV2434IDRG4	SOIC	D	14	2500	353.0	353.0	32.0
TLV2434IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

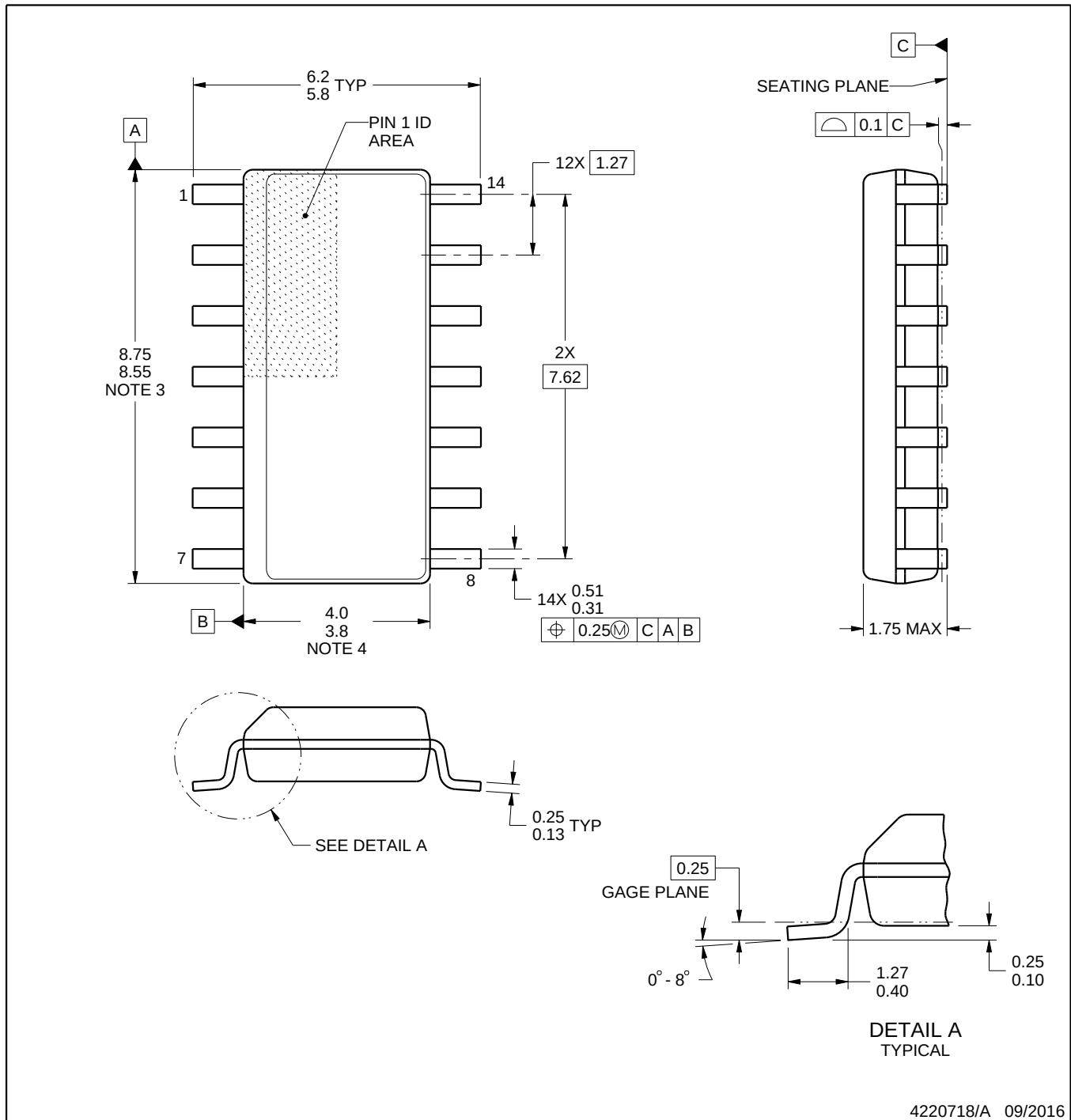
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLV2432AQD	D	SOIC	8	75	507	8	3940	4.32
TLV2432AQD.A	D	SOIC	8	75	507	8	3940	4.32
TLV2432AQDG4	D	SOIC	8	75	507	8	3940	4.32
TLV2432AQDG4.A	D	SOIC	8	75	507	8	3940	4.32
TLV2432QD	D	SOIC	8	75	507	8	3940	4.32
TLV2432QD.A	D	SOIC	8	75	507	8	3940	4.32

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

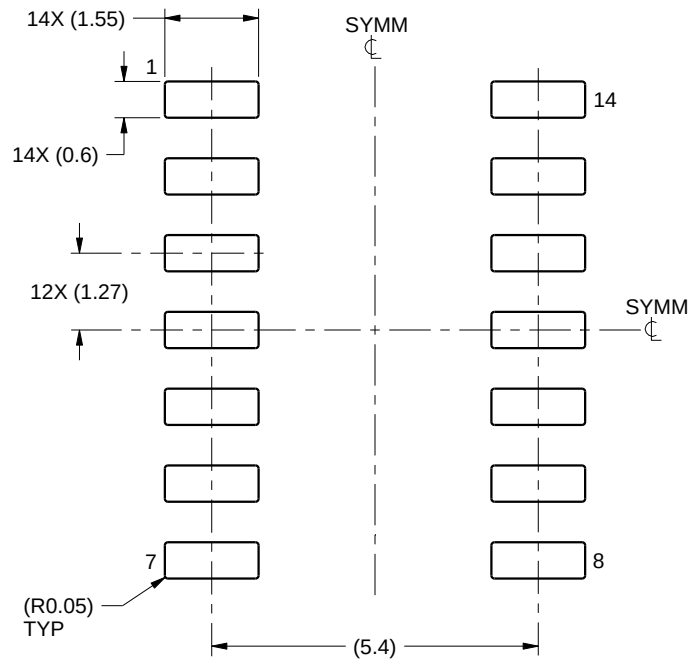
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

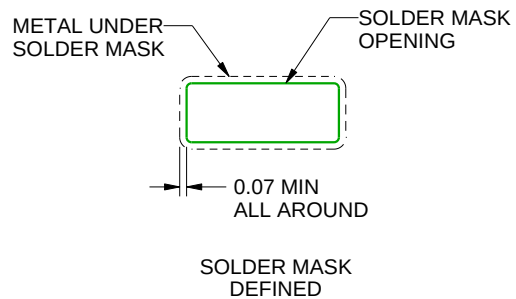
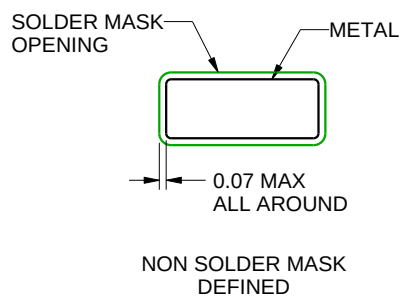
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

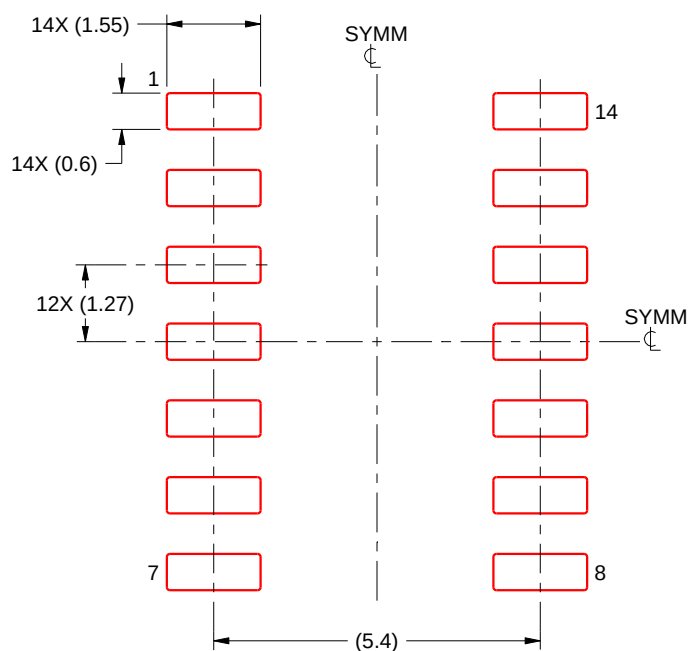
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

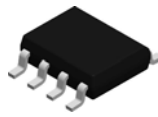


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

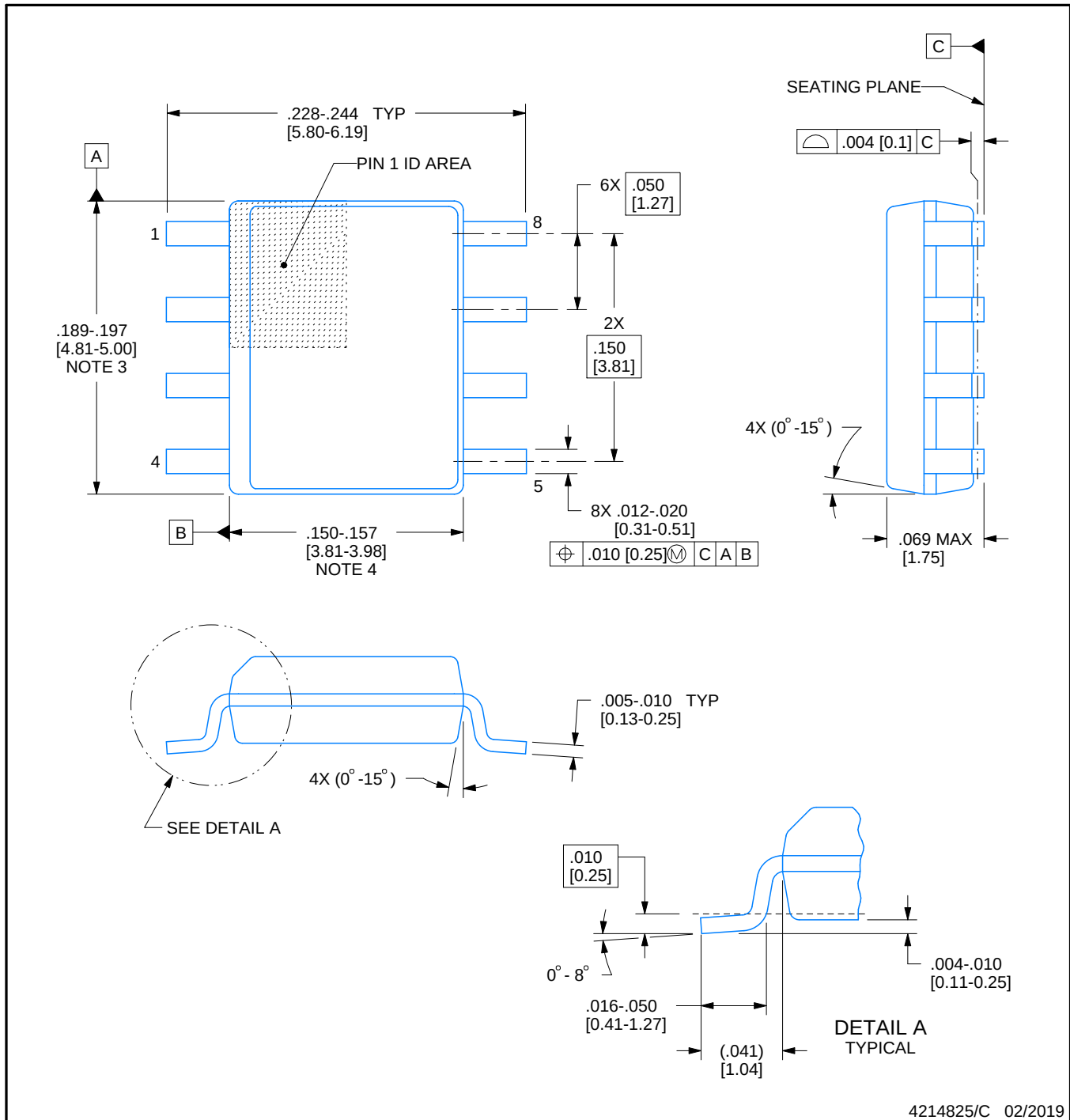


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

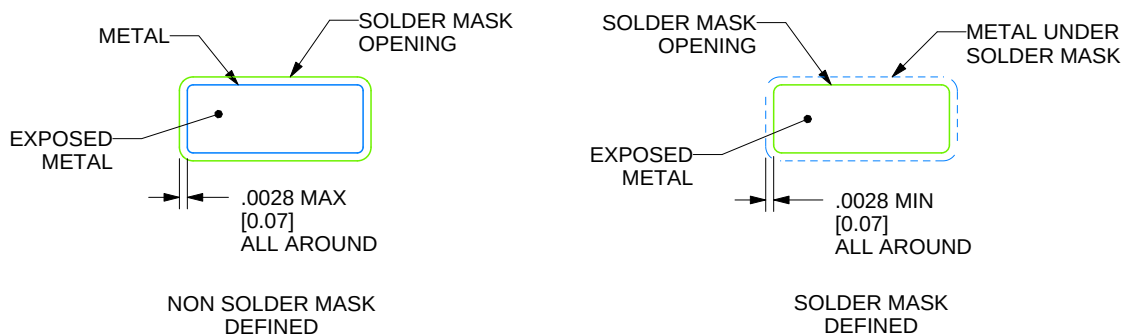
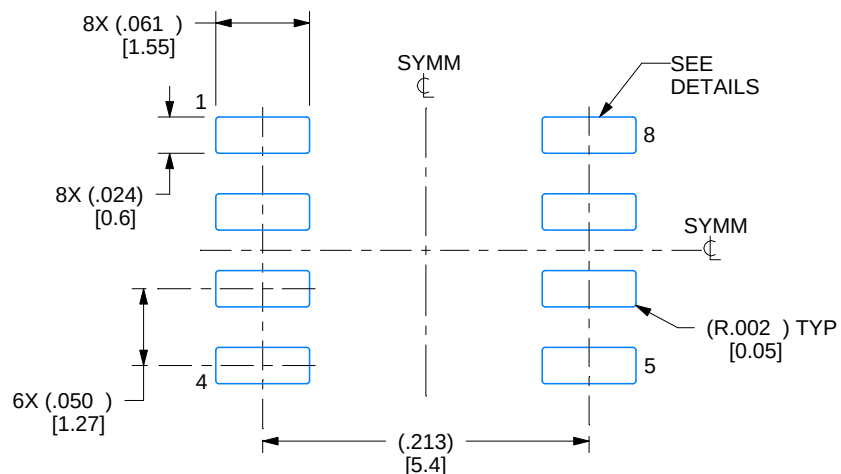
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

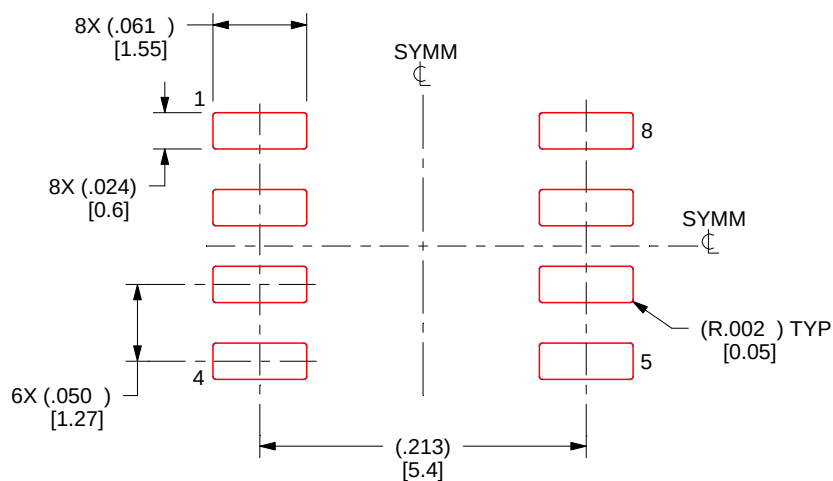
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

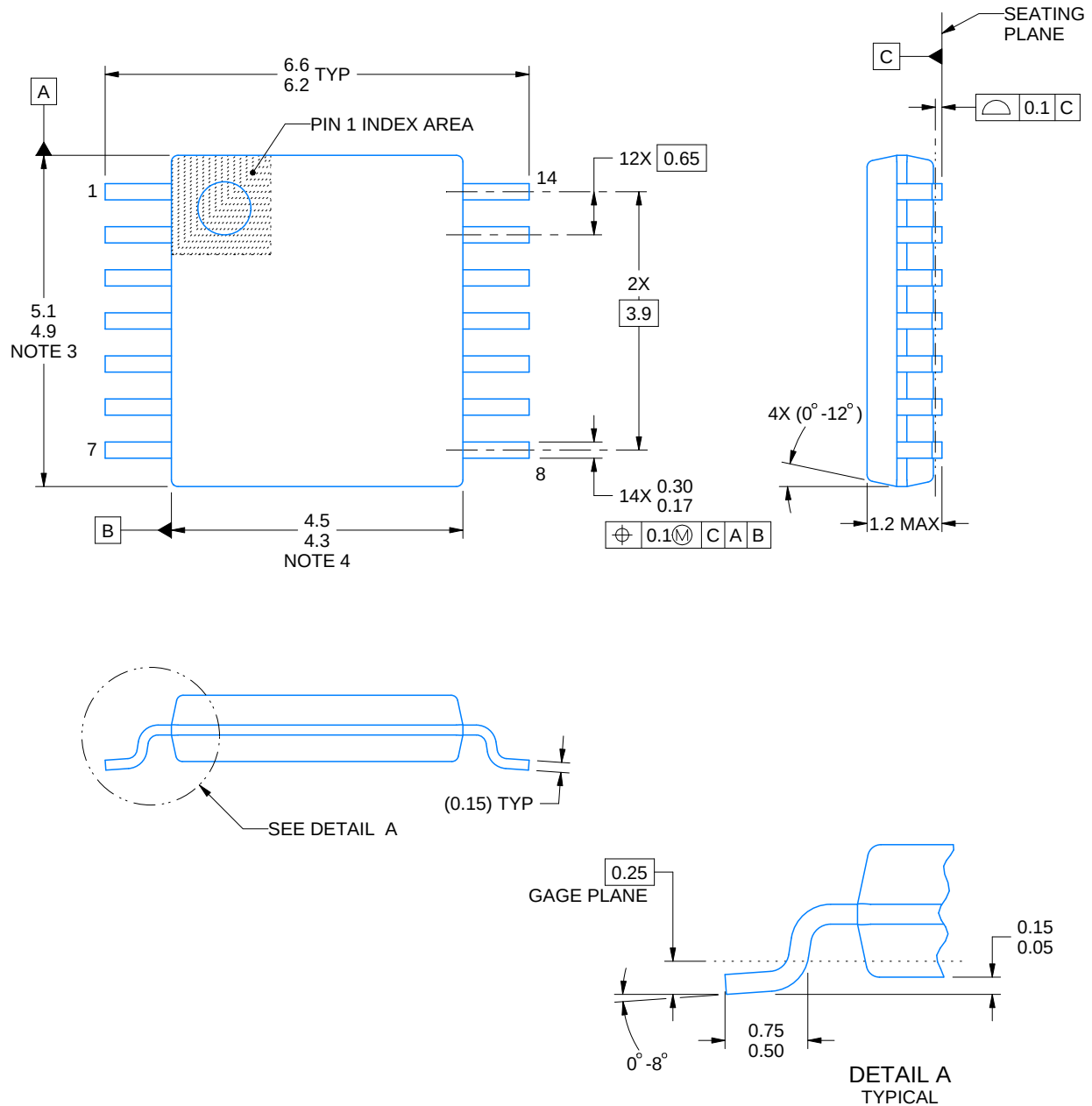
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

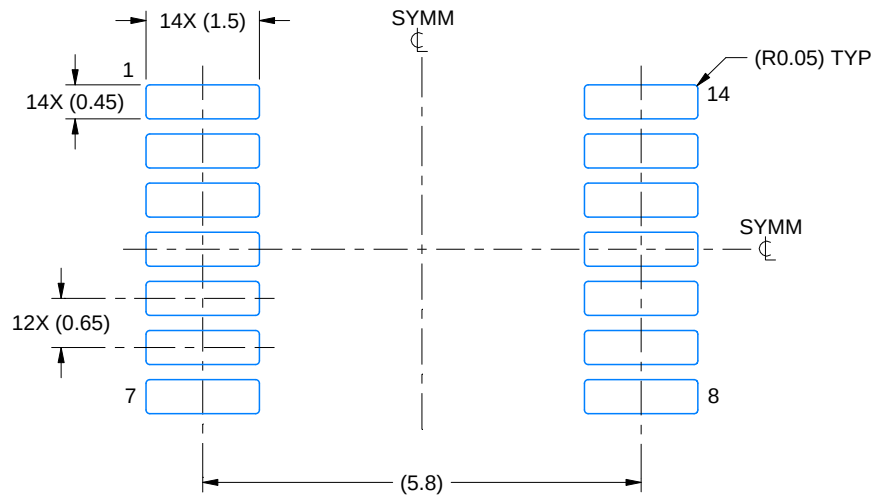
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

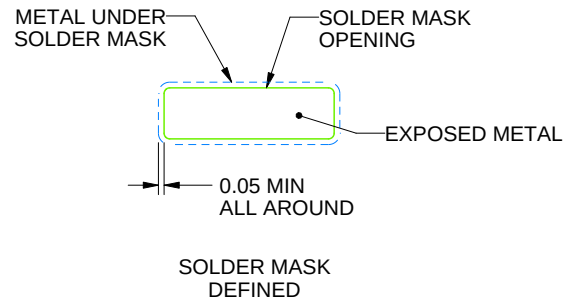
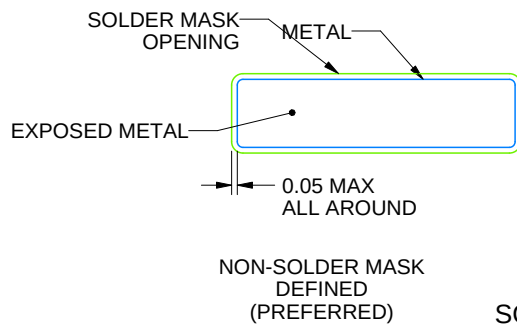
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

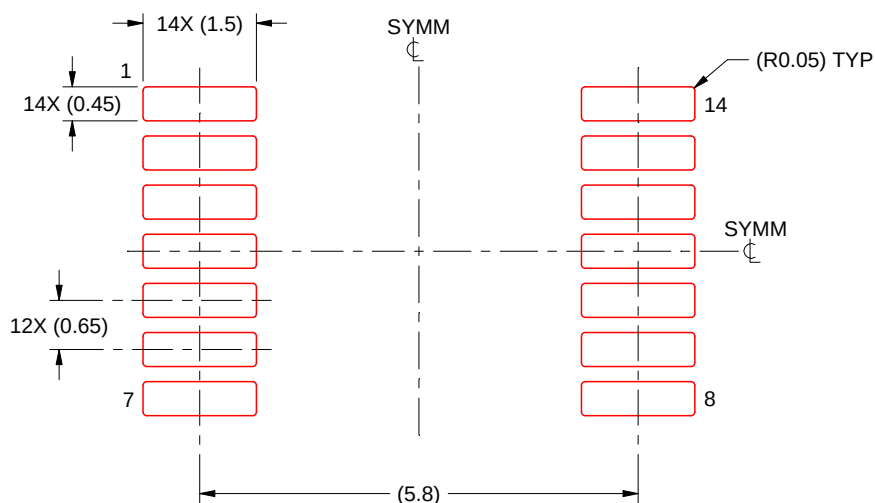
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

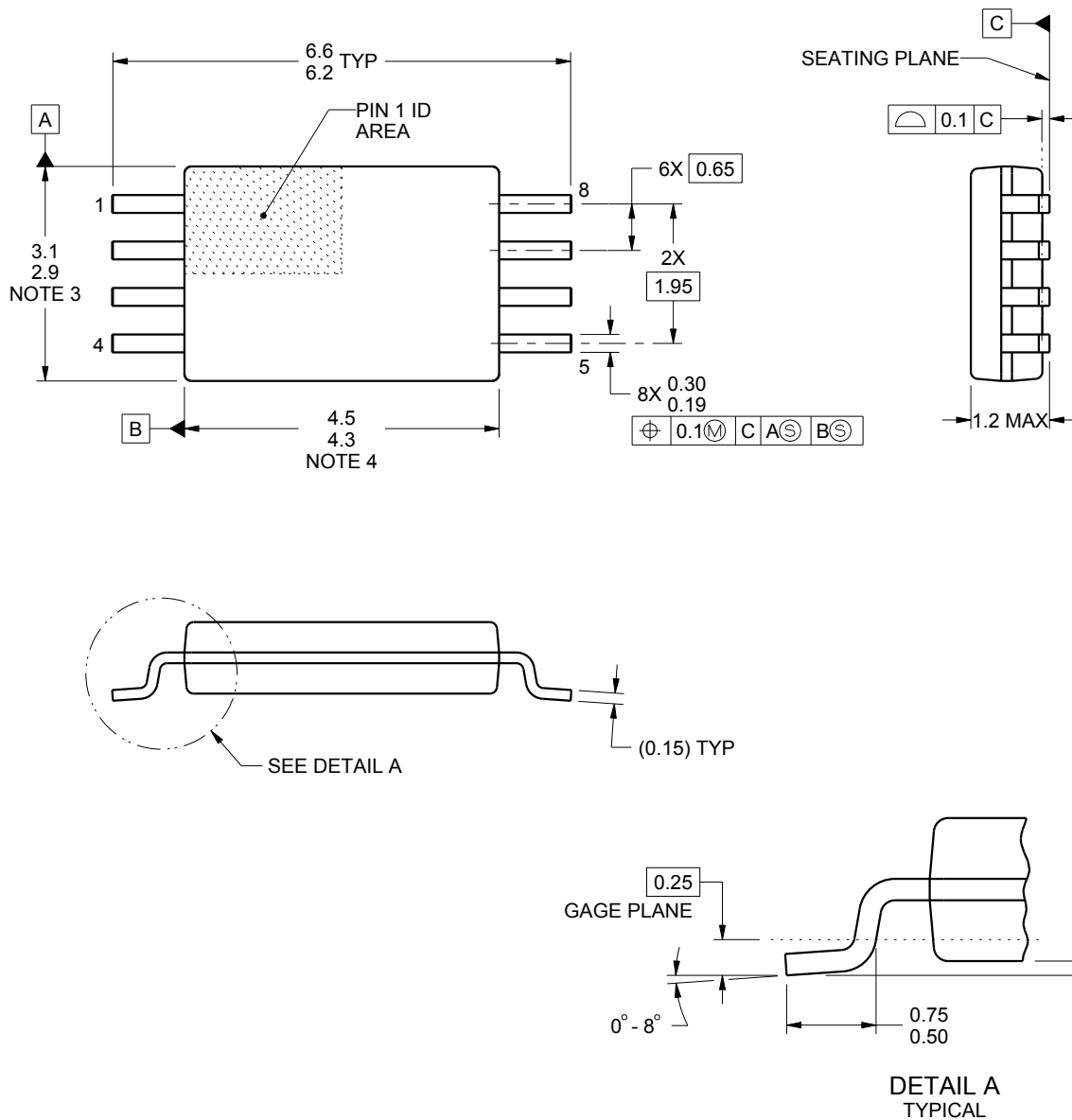
PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

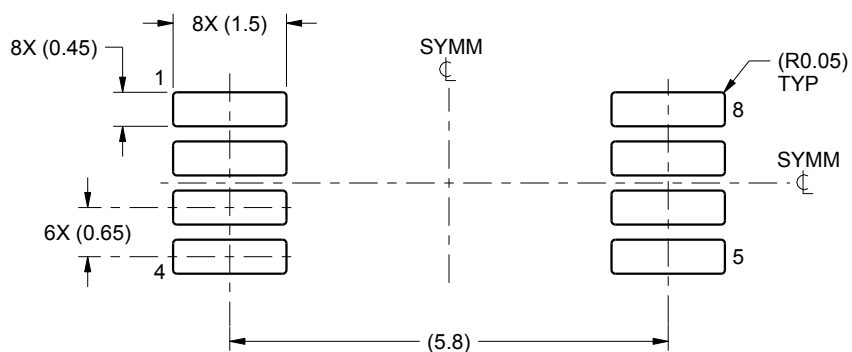
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

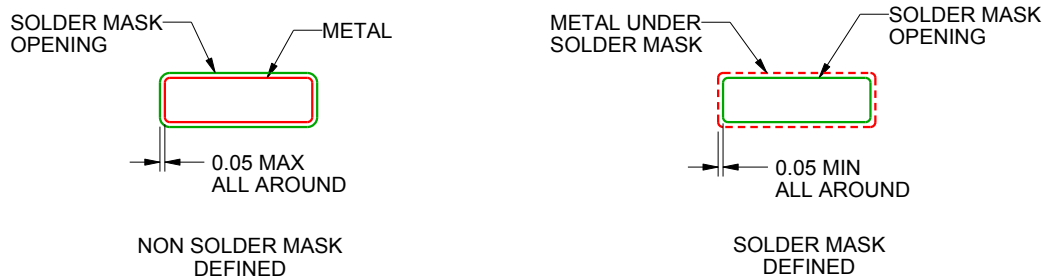
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

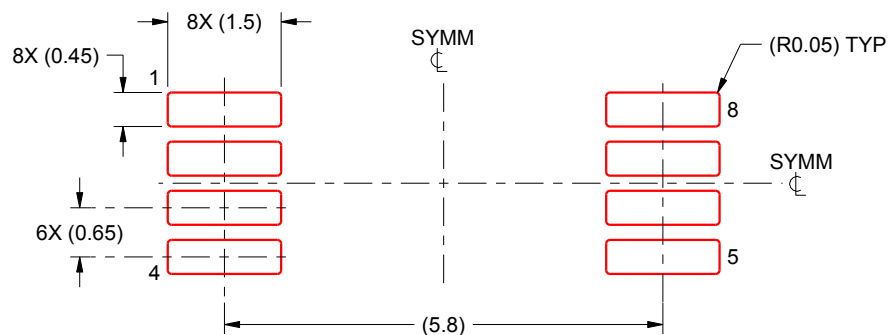
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月