TLVx825 3.5MHz、1.8V ～ 5.5V、高精度、ゼロドリフト オペアンプ

1 特長

- 非常に小さいオフセット ドリフト:±0.02µV/°C
- フラットな低周波数ノイズ:0.3µV$_{PP}$ (0.1 ～ 10Hz)
- 非常に小さいオフセット:±4µV
- レール ツー レール入出力
- 超高 A$_{OL}$、CMRR、PSRR:> 120dB
- 広い入力同相範囲:レールを 100mV 上回る電圧範囲
- 低い入力バイアス電流:±100pA
- 低い熱ノイズ フロア:15nV/√Hz
- 広いゲイン帯域幅:3.5MHz
- 高い C$_L$ 駆動:1nF (持続的な発振なし)
- 低い静止電流:500µA/チャネル
- 広い電源電圧範囲:1.8V ～ 5.5V
- 広い温度範囲:–40°C ～ +125°C

2 アプリケーション

- シグナル センサ コンディショニング
  - 計量器
  - 圧力トランスミッタ
  - 温度トランスミッタ
  - 流量トランスミッタ
  - 商用 DC/DC
  - 電気メーター
  - マイクロおよびソーラー インバータ

3 説明

TLVx825 および、シングル、デュアル、クワッド チャネルのオペアンプ ファミリは、低オフセット、温度範囲全体にわたる低オフセット ドリフト、時間経過にわたる優れたオフセット安定性、フラット ノイズフロアなどの高精度性能を実現します。このレベルの性能は、センサからの高精度電圧センシングと、より小さなシャント抵抗を使用した高精度電流検出を重視する各種システムにとって不可欠です。

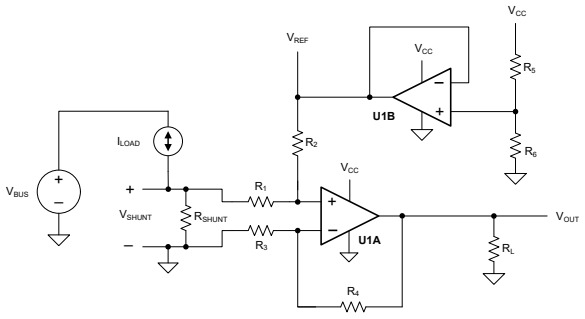
TLVx825 はゼロドリフト アーキテクチャを採用し、4µV の入力換算オフセット電圧、0.02µV/°C のオフセット ドリフト、標準の 0.1 ～ 10Hz の範囲で 320nV$_{PP}$ の低周波数ノイズを実現しています。これらの仕様の組み合わせにより、高ゲイン アプリケーションで優れた精度が得られるため、システム レベルのキャリブレーションの必要性が大幅に低減されます。

さらに、TLVx825 は 500µA の静止電流により、3.5MHz の帯域幅と 15nV/√Hz の広帯域ノイズを達成できます。この能力は、高分解能で中速度の A/D コンバータ (ADC) を使用するアプリケーションで、システム電力を最小限に抑えながら、より高い直線性と信号対雑音比を実現するために不可欠です。

製品情報

部品番号	チャネル数	パッケージ (1)	パッケージ サイズ (2)
TLV825	シングル	DBV (SOT-23、5)	2.9mm × 2.8mm
		DCK (SOT-SC70、5)	2mm × 2.1mm
		DRL (SOT-5X3、5)(3)	1.6mm × 1.6mm
TLV2825	デュアル	D (SOIC、8)	4.9mm × 6mm
		DGK (VSSOP、8)	3mm × 4.9mm
		DDF (SOT-23-THN、8) (3)	2.9mm × 2.8mm
		DSG (WSON、8)(3)	2mm × 2mm
TLV4825	クワッド	PW (TSSOP、14)	5mm × 6.4mm
		D (SOIC、14)	8.65mm × 6mm
		DYY (SOT-23-THN、14) (3)	3mm × 3mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) プレビュー情報 (事前情報ではありません)。



双方向電流検出アプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 シングル チャネルの熱に関する情報.....7
5.5 デュアル チャネルの熱に関する情報.....7
5.6 クワッド チャネルの熱に関する情報.....7
5.7 電気的特性.....8
5.8 代表的特性.....10
6 詳細説明.....19
6.1 概要.....19
6.2 機能ブロック図.....19
6.3 機能説明.....19
6.4 デバイスの機能モード.....24
7 アプリケーションと実装.....25
7.1 使用上の注意.....25
7.2 代表的なアプリケーション.....27
7.3 電源に関する推奨事項.....28
7.4 レイアウト.....28
8 デバイスおよびドキュメントのサポート.....30
8.1 デバイス サポート.....30
8.2 ドキュメントのサポート.....30
8.3 ドキュメントの更新通知を受け取る方法.....30
8.4 サポート・リソース.....31
8.5 商標.....31
8.6 静電気放電に関する注意事項.....31
8.7 用語集.....31
9 改訂履歴.....31
10 メカニカル、パッケージ、および注文情報.....31

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

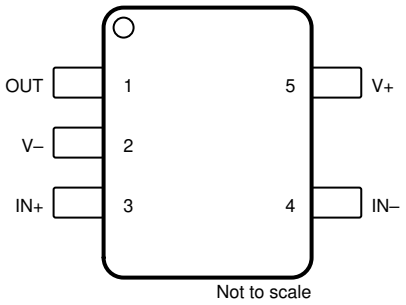


図 4-1. TLV825 DBV パッケージ、5 ピン SOT-23 (上面図)

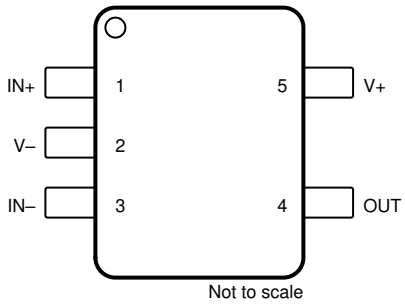


図 4-2. TLV825 DCK および DRL パッケージ、5 ピン SOT-SC70 および SOT-5X3 (上面図)

表 4-1. ピン機能：TLV825

ピン			タイプ[1]	説明
名称	SOT-23	SOT-SC70、SOT-5X3		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
V-	2	2	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	5	5	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

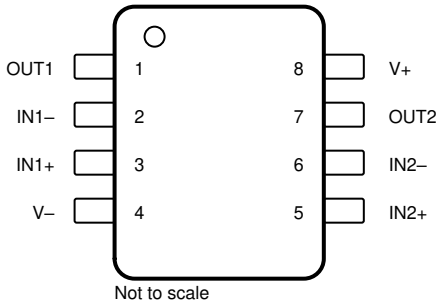
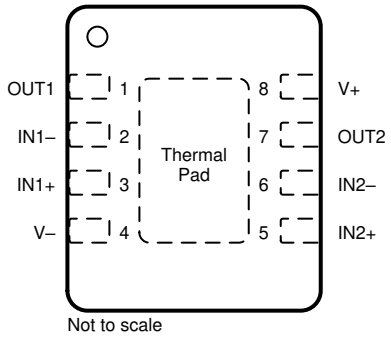


図 4-3. TLV2825 D、DGK、DDF パッケージ 8 ピン SOIC、VSSOP、および SOT-23-THIN (上面図)



露出サーマル パッドを V- に接続。

図 4-4. TLV2825 DSG パッケージ、8 ピン WSON (露出サーマル パッド付き) (上面図)

表 4-2. ピン機能：TLV2825

ピン		タイプ[1]	説明
名称	SOIC、VSSOP、SOT-23-THIN、WSON		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	8	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

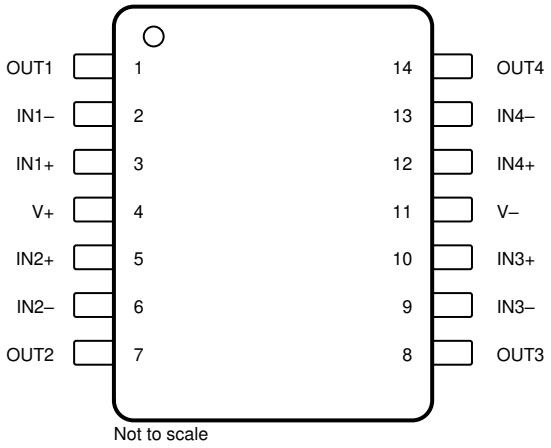


図 4-5. TLV4825 D、PW および DYY パッケージ、14 ピン SOIC、TSSOP、SOT-23-THIN (上面図)

表 4-3. ピン機能：TLV4825

ピン		タイプ(1)	説明
名称	SOIC、TSSOP、SOT-23-THIN		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
IN3–	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4–	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V-	11	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	4	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)	単電源	0	6	V
	両電源	±0	±3	
信号入力ピン	同相(3)	(V–) – 0.5	(V+) + 0.5	V
	差動(3)		(V+) - (V-) + 0.2	
	電流(3)		±10	mA
出力短絡 (2)		連続		
動作温度、T_A		-55	150	°C
接合部温度、T_J		-55	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。
(3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超えることが想定される場合は、電流を 10mA 以下に制限する必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	単電源	1.8		5.5	V
		両電源	±0.9		±2.75	
T_A	規定温度		-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 シングル チャネルの熱に関する情報

熱評価基準 (1)		TLV825		単位
		DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	183.4	196.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	110.7	104.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.2	44.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	29.5	18.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	49.1	44.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 デュアル チャネルの熱に関する情報

熱評価基準(1)		TLV2825		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	146.6	167.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	85.0	75.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	90.7	98.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	33.7	14.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	90.1	97.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
SPRA953

5.6 クワッド チャネルの熱に関する情報

熱評価基準(1)		TLV4285		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	97.0	120.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53.6	55.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	52.2	75.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	20.6	13.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	51.9	74.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
SPRA953

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性

T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_S = 1.8V～5.5V、V_{CM} = V_S/2、V_{OUT} = V_S/2、製造最終テストにより確定された最小および最大仕様 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	T_A = 25℃(1)			±4	±15	μV
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃ ～ +125℃(1)			±0.02		μV/℃
PSRR	電源除去比			110	130		dB
		T_A = –40℃ ～ +125℃(1)		105			dB
	チャネル セパレーション	f = 0Hz			5		μV/V
					106		dB
入力バイアス電流							
I_B	入力バイアス電流				±50	±200	pA
		T_A = –40℃ ～ +125℃(1)				±400	
I_{OS}	入力オフセット電流				±100	±400	pA
		T_A = –40℃ ～ +125℃(1)				±800	
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz～10Hz			320		nV_{PP}
					48		nV_{RMS}
e_N	入力電圧ノイズ密度	f = 1Hz			15		$nV/\sqrt{Hz}$
		f = 10Hz			15		
		f = 100Hz			15		
		f = 1kHz			15		
i_N	入力電流ノイズ	f = 1kHz			60		$fA/\sqrt{Hz}$
入力電圧							
V_{CM}	同相電圧範囲	T_A = –40℃ ～ +125℃(1)		(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V_S = 5.5V、(V–) - 0.1V < V_{CM} < (V+) + 0.1V		112	130		dB
			T_A = –40℃ ～ +125℃(1)	110			
		V_S = 1.8V、(V–) - 0.1V < V_{CM} < (V+) +0.1V		105	120		
			T_A = –40℃ ～ +125℃(1)	104			
入力容量							
Z_{ID}	差動				100 || 6		MΩ || pF
Z_{ICM}	同相				60 || 3.5		GΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 5.5V、(V–) + 0.1V < V_{OUT} < (V+) – 0.1V		114	124		dB
			T_A = –40℃ ～ +125℃(1)	113			
		V_S = 5.5V、(V–) + 0.15V < V_{OUT} < (V+) – 0.15V、R_L = 2kΩ		114	120		
			T_A = –40℃ ～ +125℃(1)	113			
A_{OL}	開ループ電圧ゲイン	V_S = 1.8V、(V–) + 0.1V < V_{OUT} < (V+) – 0.1V		104	114		dB
			T_A = –40℃ ～ +125℃(1)	100			

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性 (続き)

T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_S = 1.8V～5.5V、V_{CM} = V_S/2、V_{OUT} = V_S/2、製造最終テストにより確定された最小および最大仕様 (特に記述のない限り)

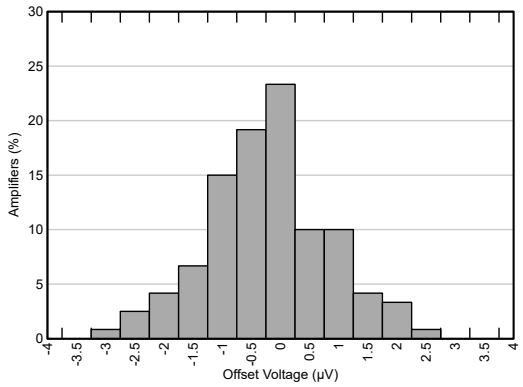
パラメータ		テスト条件		最小値	標準値	最大値	単位
周波数応答							
GBW	ゲイン帯域幅積				3.5		MHz
SR	スルーレート	V_S = 5.5V、G = +1			1.8		V/µs
t_S	セトリング タイム	0.1% まで、1V ステップ、G = +1			5		µs
t_{OR}	過負荷回復時間	V_{IN} × G > V_S			1.2		µs
f_{CHOP}	チョッピング クロック周波数(1)				200		kHz
THD+N	全高調波歪み + ノイズ	V_{OUT} = 1V_{RMS}、G = +1、f = 1kHz	RL = 10kΩ		0.0007		%
			R_L = 2kΩ		0.0015		
出力							
	電圧出力スイング (レールから)	R_L = 無負荷			2.5	5	mV
			T_A = –40℃ ～ +125℃(1)			8	
		R_L = 10kΩ			7	10	
			T_A = –40℃ ～ +125℃(1)			15	
		R_L = 2kΩ(1)			25	30	
			T_A = –40℃ ～ +125℃(1)			45	
I_{SC}	短絡電流	V_S = 5.5V			±60		mA
		V_S = 1.8V			±10		
	位相マージン	G = +1、R_L = 10kΩ			75		°
C_{LOAD}	容量性負荷駆動能力				代表的な特性曲線を参照		
R_O	オープン ループ出力インピーダンス	f = 1MHz			180		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0mA			500	615	µA
		I_O = 0mA	T_A = –40℃ ～ 125℃(1)			625	
		I_O = 0mA、TLV825 のみ			530	650	
		I_O = 0mA、TLV825 のみ	T_A = –40℃ ～ 125℃(1)			670	
	ターンオン時間	V_S = 5.5V での V_S のランプ レート > 0.05V/µs、1% にセトリング			25		µs

(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

Copyright © 2026 Texas Instruments Incorporated

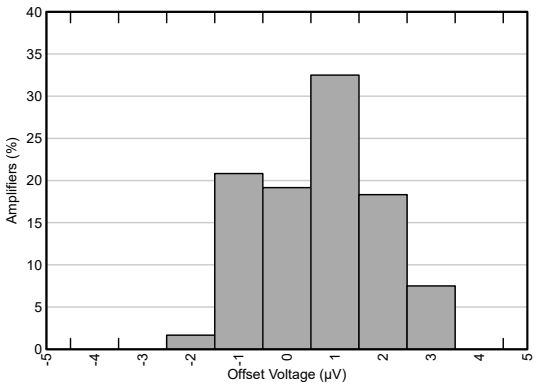
5.8 代表的特性

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)



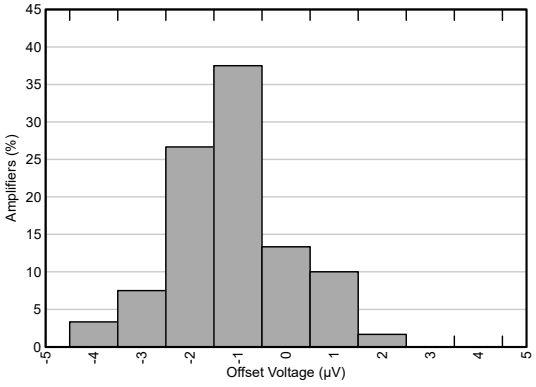
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25℃
N = 120　　平均 = 0.03µV　　シグマ = 1.02µV

図 5-1. オフセット電圧の分布



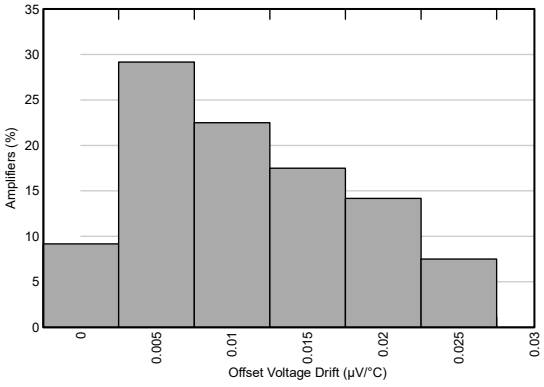
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 125℃
N = 120　　平均 = 1.17µV　　シグマ = 1.22µV

図 5-2. オフセット電圧の分布



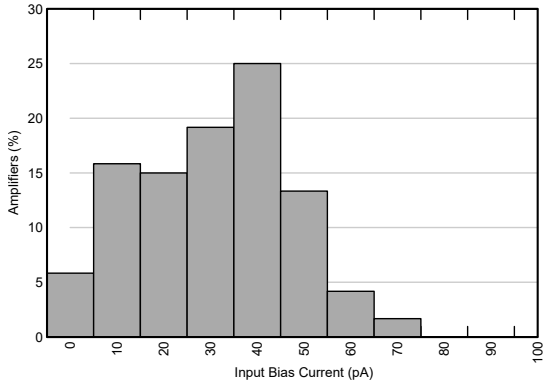
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = -40℃
N = 120　　平均 = –0.64µV　　シグマ = 1.2µV

図 5-3. オフセット電圧の分布



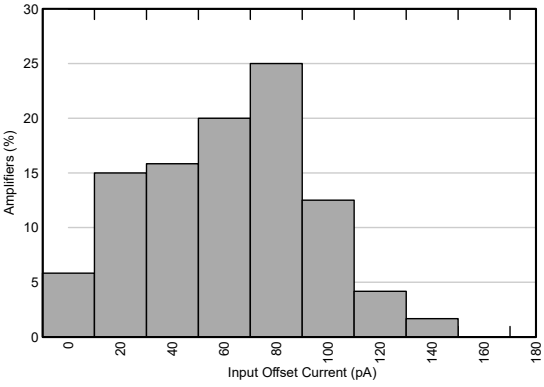
V_S = 5.5V　　V_{CM} = V_S/2　　N = 120
平均 = 0.013µV/℃　　シグマ = 0.007µV/℃

図 5-4. オフセット電圧ドリフト



V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25℃
N = 120　　平均 = 35.9pA　　シグマ = 16.1pA

図 5-5. 入力バイアス電流の分布



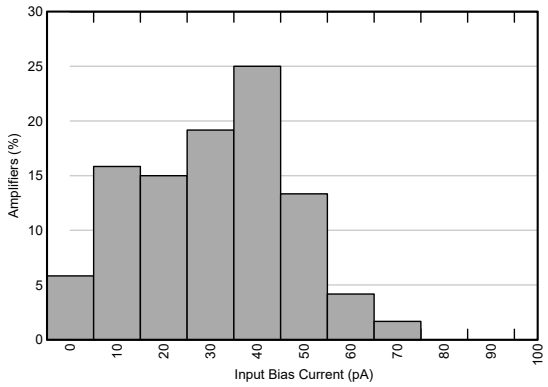
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25℃
N = 120　　平均 = 71.7pA　　シグマ = 32.1pA

図 5-6. 入力オフセット電流の分布

Copyright © 2026 Texas Instruments Incorporated

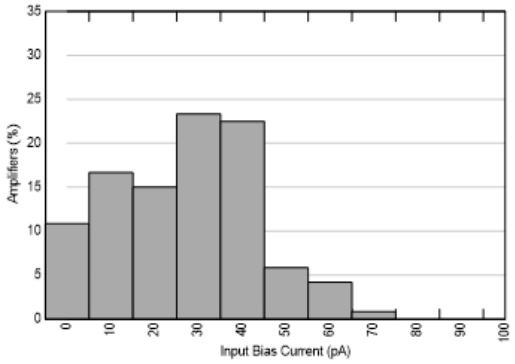
5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)



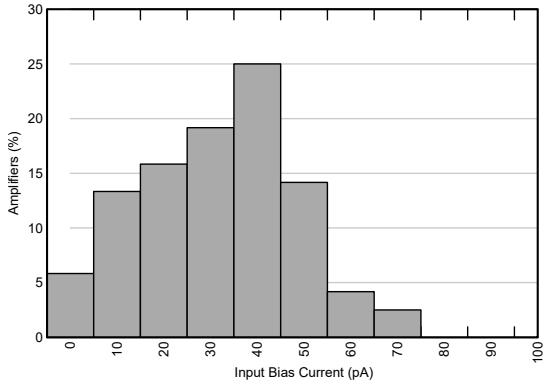
V_S = 5.5V　V_{CM} = V_S/2　T_A = 125°C
N = 120　平均 = 35.9pA　シグマ = 16.1pA

図 5-7. 入力バイアス電流の分布



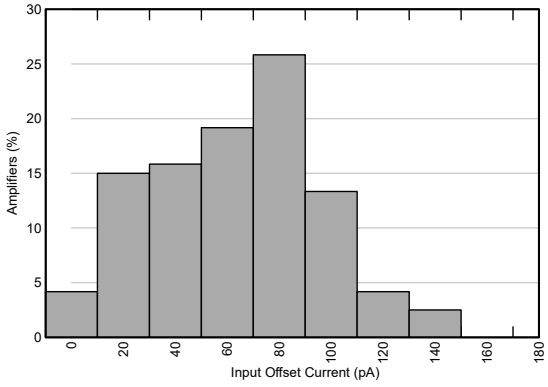
V_S = 5.5V　V_{CM} = V_S/2　T_A = 125°C
N = 120　平均 = 31.5pA　シグマ = 15.7pA

図 5-8. 入力オフセット電流の分布



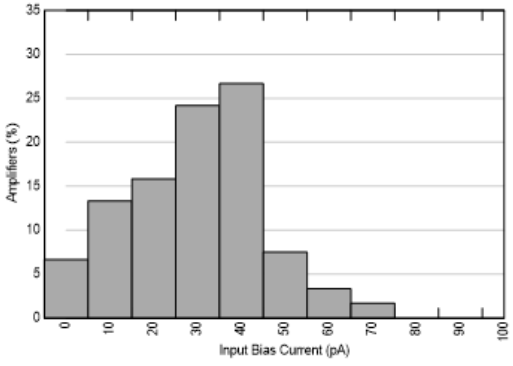
V_S = 1.8V　V_{CM} = V_S/2　T_A = 25°C
N = 120　平均 = 36.7pA　シグマ = 16.3pA

図 5-9. 入力バイアス電流の分布



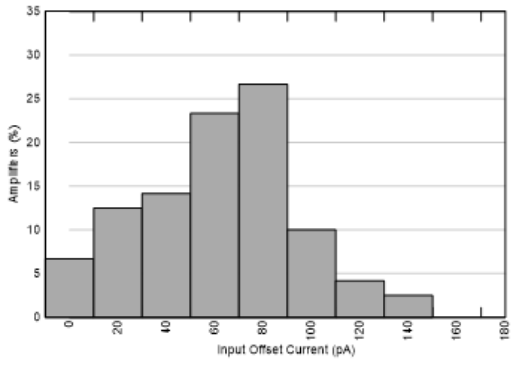
V_S = 1.8V　V_{CM} = V_S/2　T_A = 25°C
N = 120　平均 = 73.1pA　シグマ = 32.4pA

図 5-10. 入力オフセット電流の分布



V_S = 1.8V　V_{CM} = V_S/2　T_A = 125°C
N = 120　平均 = 34.1pA　シグマ = 16.2pA

図 5-11. 入力バイアス電流の分布



V_S = 1.8V　V_{CM} = V_S/2　T_A = 125°C
N = 120　平均 = 72pA　シグマ = 32.4pA

図 5-12. 入力オフセット電流の分布

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)

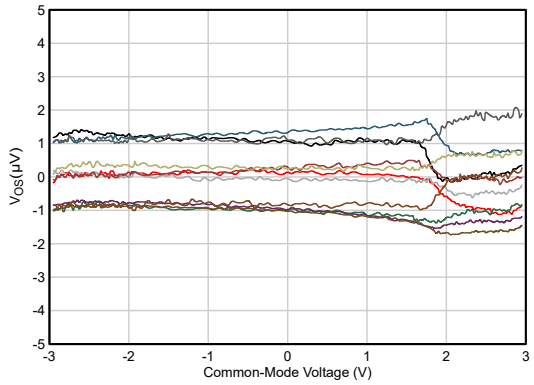


図 5-13. オフセット電圧と同相電圧との関係

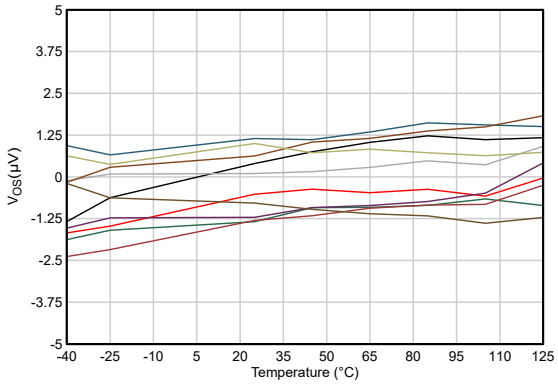


図 5-14. オフセット電圧と温度との関係

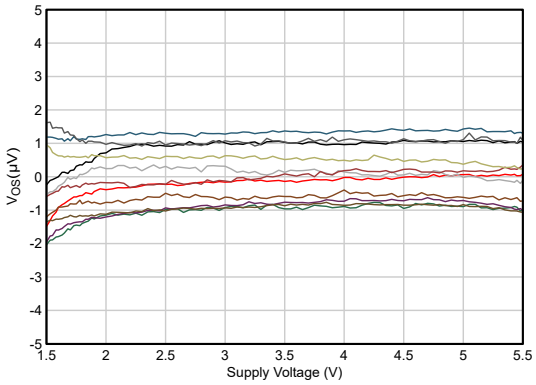


図 5-15. オフセット電圧と電源電圧との関係

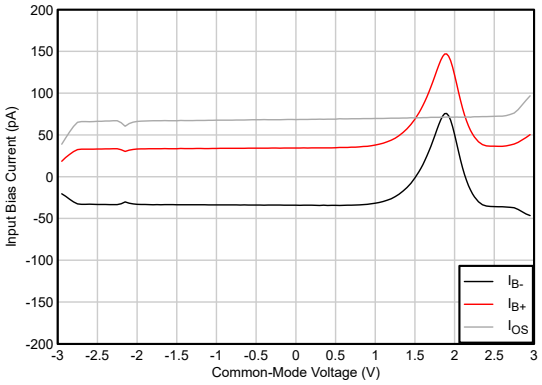


図 5-16. 入力バイアス電流と同相電圧との関係

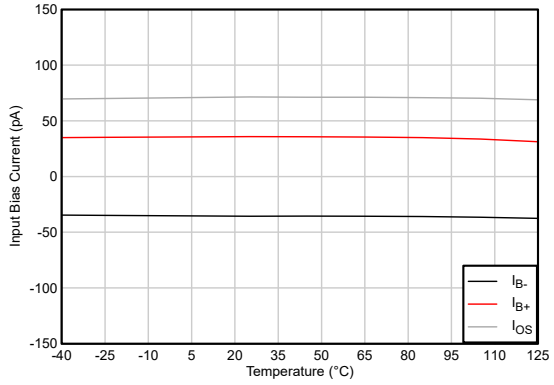


図 5-17. 入力バイアス電流およびオフセット電流と温度との関係

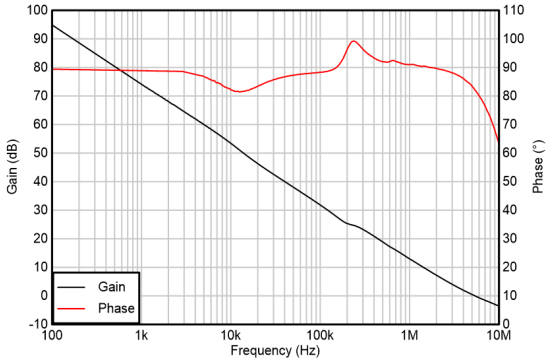


図 5-18. 開ループ ゲインおよび位相と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)

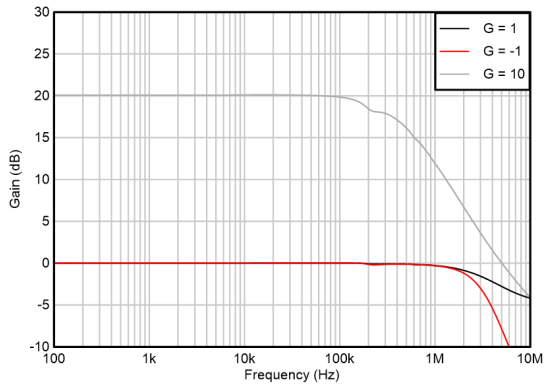


図 5-19. 閉ループ ゲインと周波数との関係

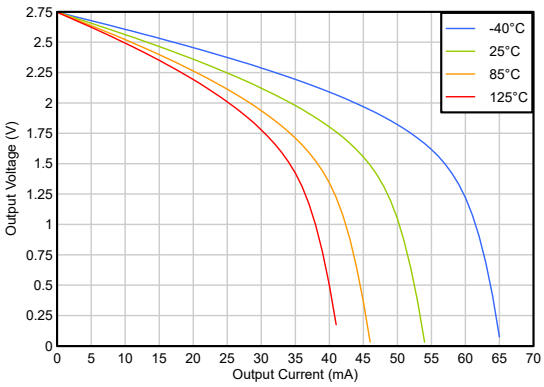


図 5-20. 出力電圧スイングと出力電流との関係 (ソース)

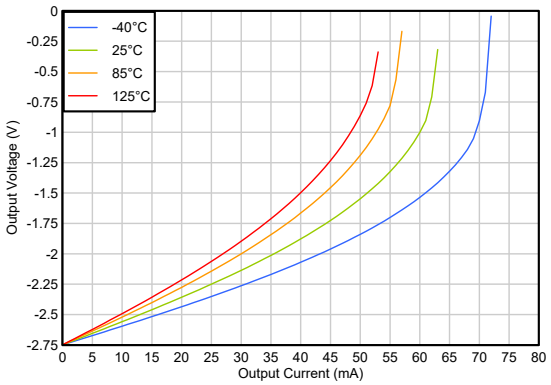
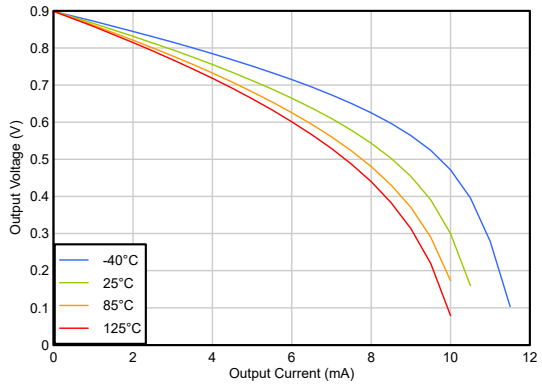
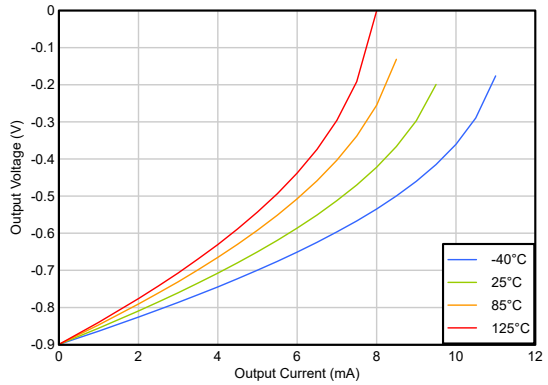


図 5-21. 出力電圧スイングと出力電流との関係 (シンク)



V_S = 1.8V

図 5-22. 出力電圧スイングと出力電流との関係 (ソース)



V_S = 1.8V

図 5-23. 出力電圧スイングと出力電流との関係 (シンク)

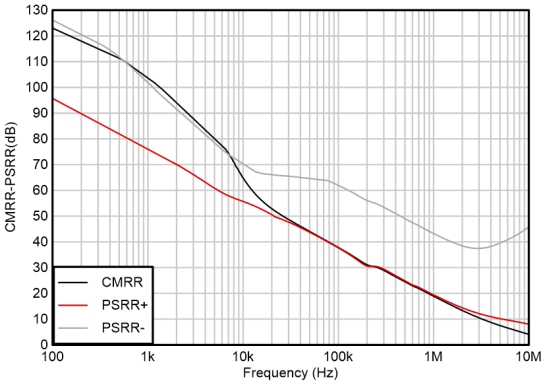


図 5-24. CMRR および PSRR と周波数との関係

5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)

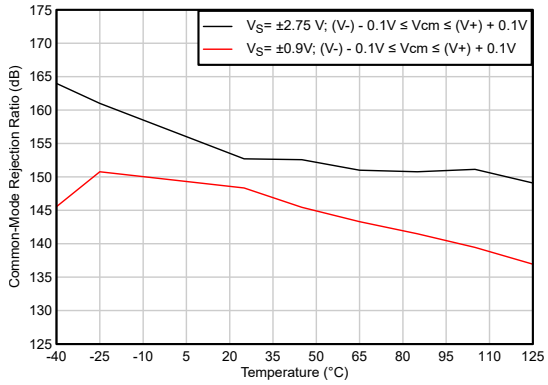


図 5-25. CMRR と温度との関係

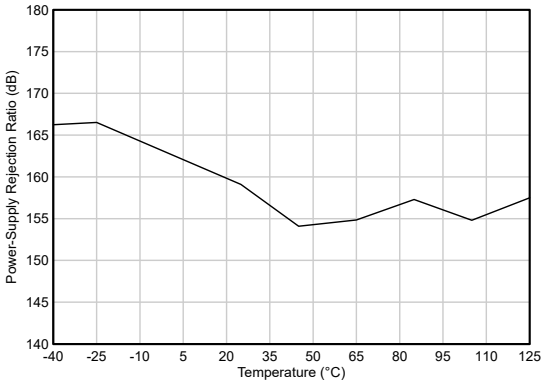


図 5-26. PSRR と温度との関係

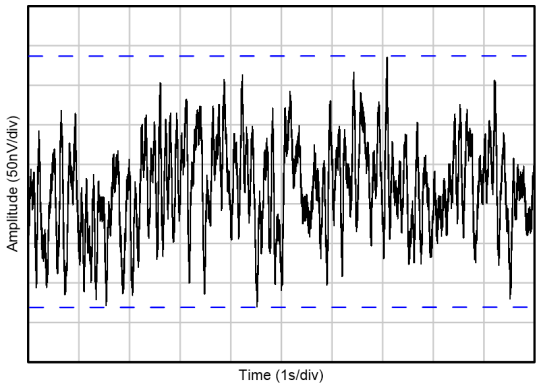


図 5-27. 0.1Hz～10Hz の電圧ノイズ

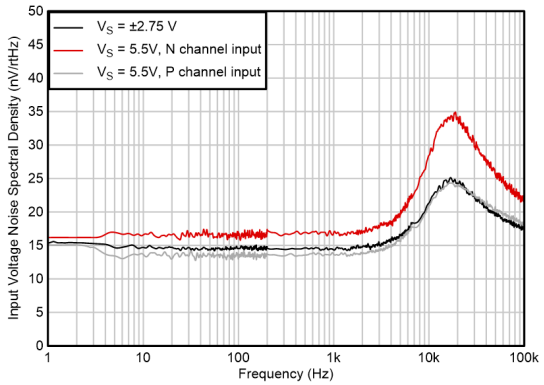


図 5-28. 入力電圧ノイズ スペクトル密度と周波数との関係

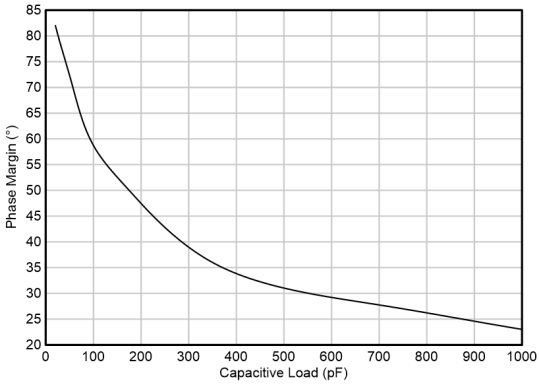
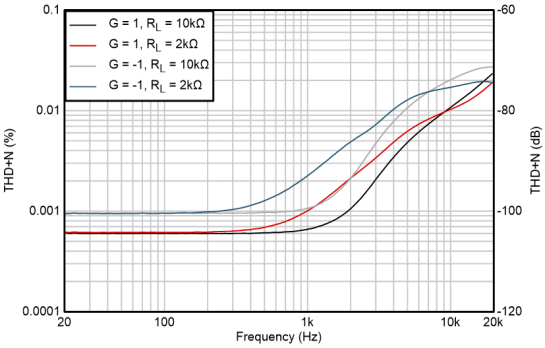


図 5-29. 位相マージンと容量性負荷との関係



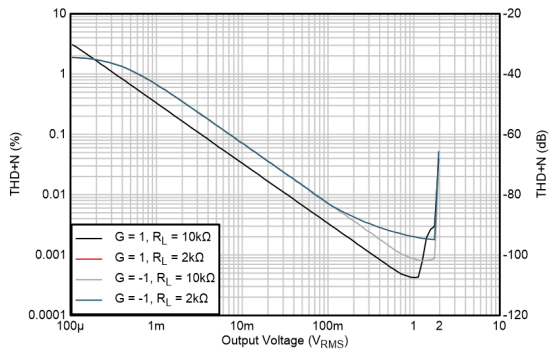
V_{OUT} = 1V_{RMS}

図 5-30. THD+N と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)



f = 1kHz

図 5-31. THD+N と出力振幅との関係

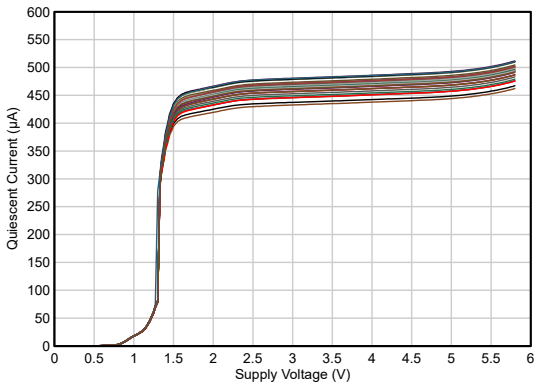


図 5-32. 静止電流と電源電圧との関係

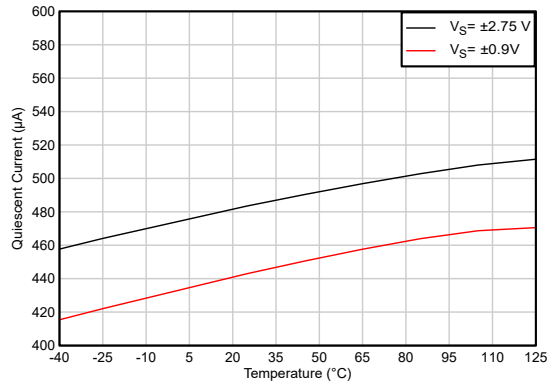


図 5-33. 静止電流と温度との関係

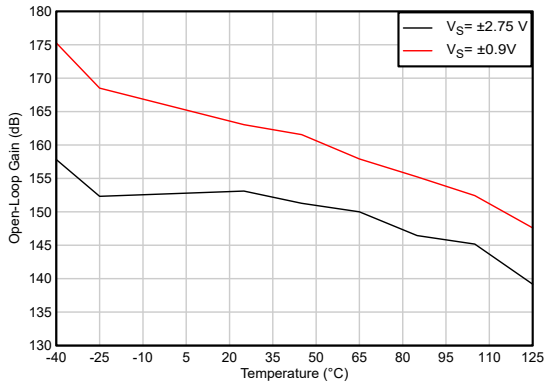


図 5-34. 開ループ ゲインと温度との関係

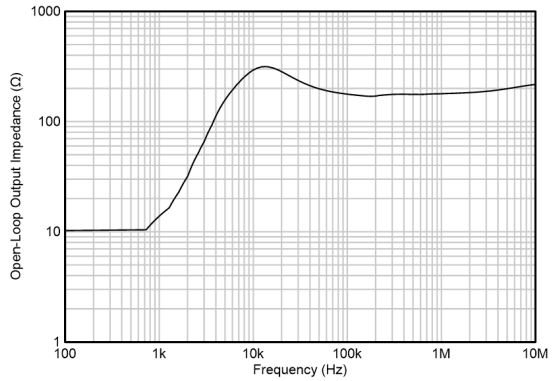
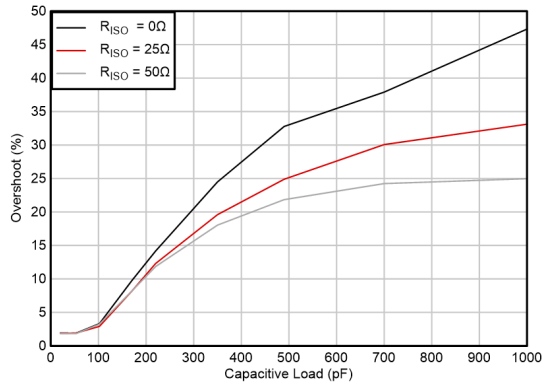


図 5-35. 開ループ出力インピーダンスと周波数との関係

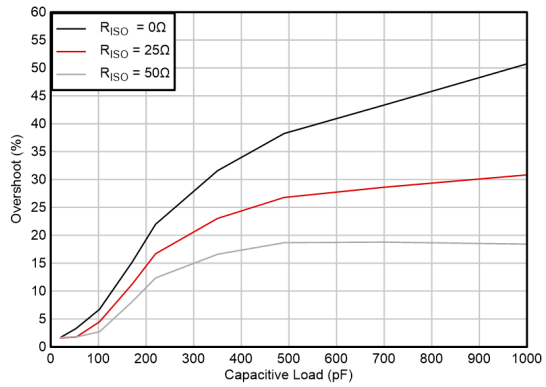


ゲイン = -1、10mV ステップ

図 5-36. 小信号オーバーシュートと容量性負荷との関係

5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)



ゲイン = 1、10mV ステップ

図 5-37. 小信号オーバーシュートと容量性負荷との関係

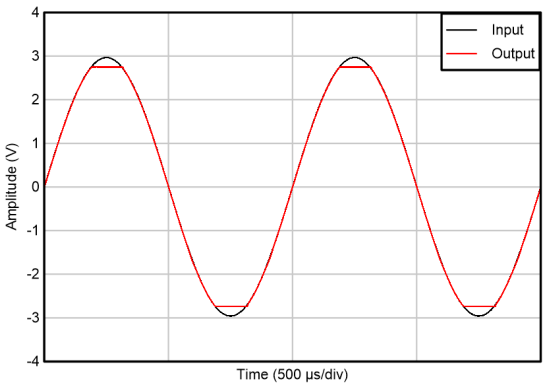


図 5-38. 位相反転が発生しない

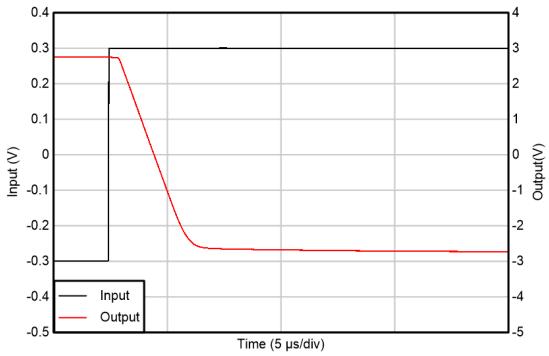


図 5-39. 正の過負荷からの回復

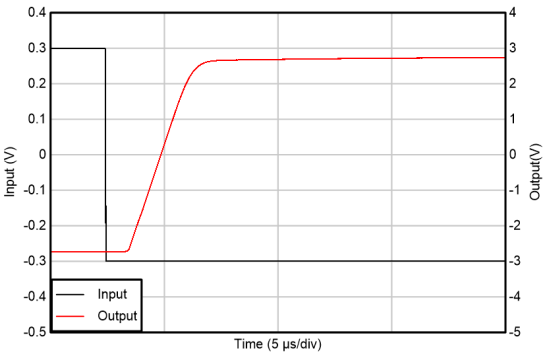
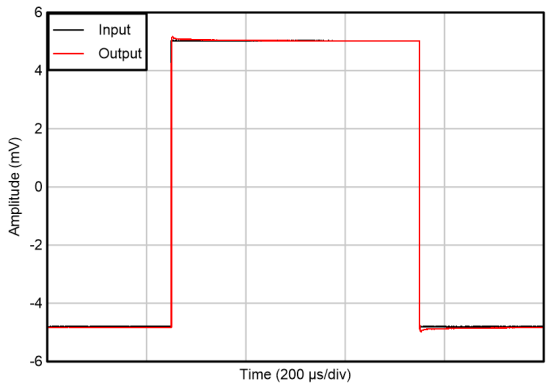
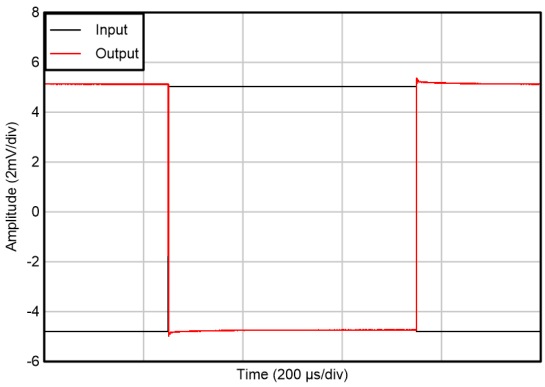


図 5-40. 負の過負荷からの回復



ゲイン = 1、10mV ステップ

図 5-41. 小信号ステップ応答



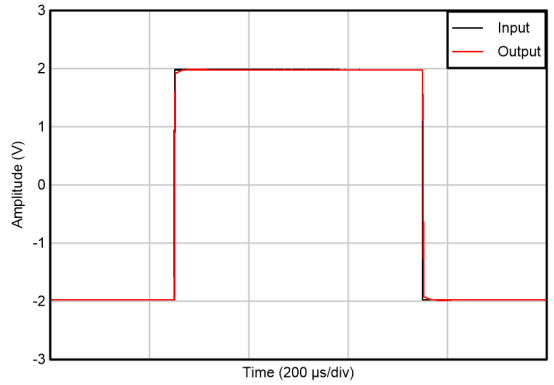
ゲイン = -1、10mV ステップ

図 5-42. 小信号ステップ応答

Copyright © 2026 Texas Instruments Incorporated

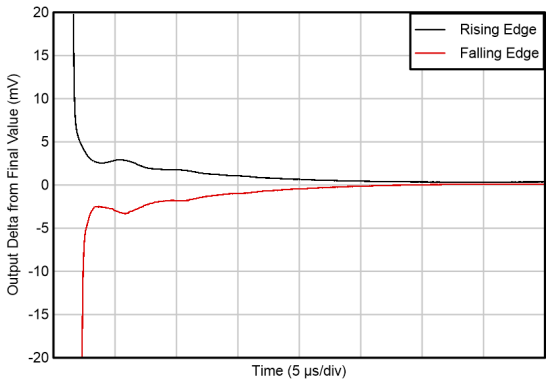
5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)



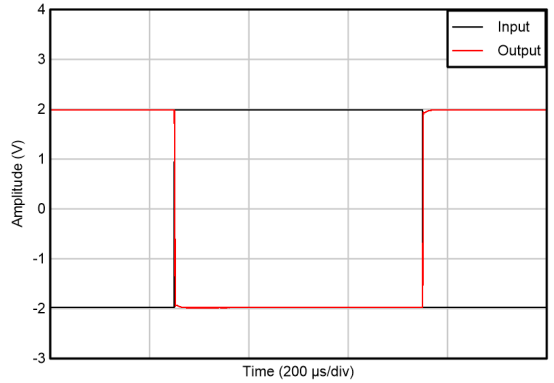
ゲイン = 1、4V ステップ

図 5-43. 大信号ステップ応答



ゲイン = 1、4V ステップ

図 5-44. 出力セトリングを最終値に設定



ゲイン = -1、4V ステップ

図 5-45. 大信号ステップ応答

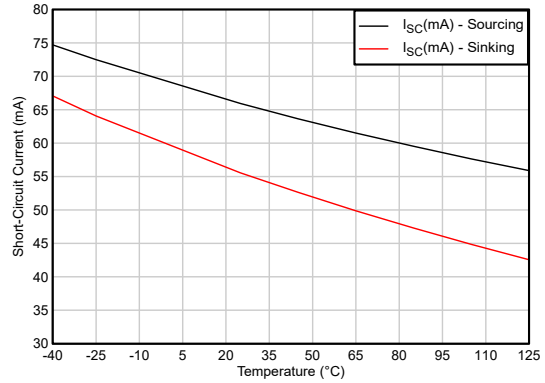


図 5-46. 短絡電流と温度との関係

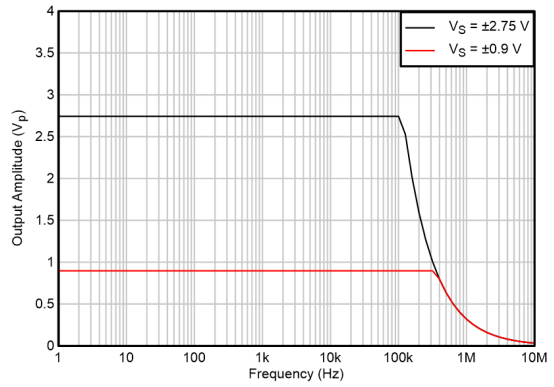


図 5-47. 最大出力電圧と周波数との関係

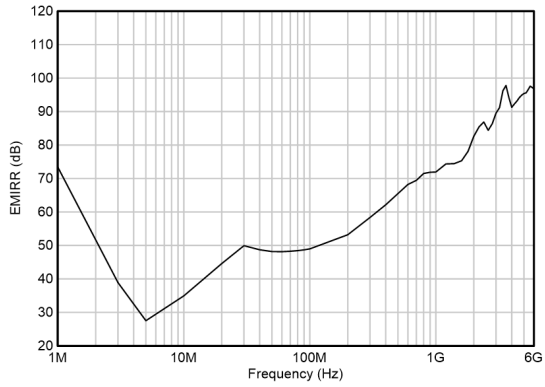


図 5-48. EMIRR と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = ±2.75V、V_{CM} = V_S / 2、R_L = 10kΩ (特に記述のない限り)

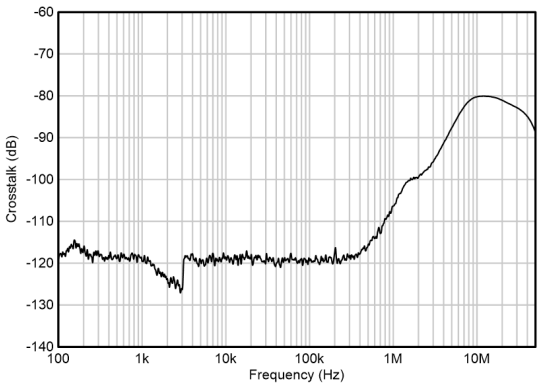


図 5-49. チャネル セパレーション

Copyright © 2026 Texas Instruments Incorporated

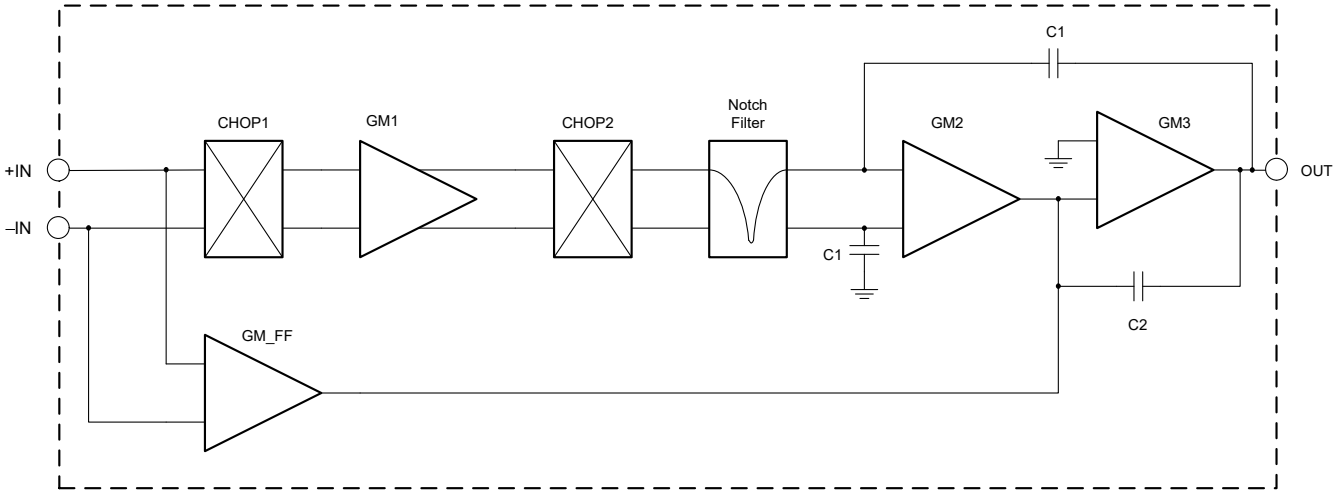
6 詳細説明

6.1 概要

TLVx825 は、TI のゼロドリフト動作オペアンプ ファミリの製品です。ゼロドリフト アーキテクチャにより、低オフセット、全温度範囲での低オフセットのドリフト、時間経過による優れたオフセット安定性、フラットなノイズフロアなど、高精度の性能を実現します。TLVx825 は、4µV の入力換算オフセット電圧、–40°C ～ +125°C の動作温度範囲全体にわたって 0.02µV/°C のオフセット ドリフト、および標準 0.1 ～ 10Hz の範囲でわずか 320nV$_{PP}$ の低周波数ノイズを実現します。さらに、このデバイスは、CMRR、PSRR、A_{OL} が高く、優れた線形性能を実現します。これらの仕様の組み合わせにより、高ゲイン アプリケーションで優れた精度が得られるため、システム レベルのキャリブレーションの必要性が大幅に低減されます。

TLVx825 オペアンプは、高精度のオフセットとドリフト、優れた全体的な AC 性能を兼ね備えているため、多くの高精度電圧センシングおよび電流センシングのアプリケーションに最適です。このデバイスは 1.8V ～ 5.5V で動作し、500µA の静止電流で動作しながらも 300pF の堅牢な容量性負荷駆動を実現し、ユニティ ゲインで 30% のオーバーシュートを達成します。また、このデバイスは 3.5MHz の帯域幅、15nV/√Hz の広帯域ノイズという優れた AC 性能、および 200kHz 未満のチョッパ周波数で動作する場合に優れた歪み性能を備えています。

6.2 機能ブロック図



6.3 機能説明

TLVx825 オペアンプは、独自の定期的な自動キャリブレーション技術を使用して、非常に低い入力オフセット電圧を実現するとともに、時間の経過および温度変化に伴う入力オフセット電圧ドリフトを非常に低く抑えます。このデバイスは、さまざまなアプリケーションにおいて高い精度を維持するために役立つ、いくつかの統合機能を備えています。これらの機能には、堅牢な容量性負荷安定性、位相反転保護、強力な EMI 除去機能が含まれます。

TLVx825 の規定性能を維持するためのいくつかの設計手法および検討事項については、『チョッパ アンプの精度の最適化』テクニカル ホワイト ペーパーと『オペアンプのオフセット電圧とバイアス電流の制限』テクニカル ホワイト ペーパーに詳しく記載されています。

6.3.1 動作電圧

TLVx825 シリーズのオペアンプは、すべて 1.8V ～ 5.5V に規定されています。また、多くの仕様は –40°C から 125°C まで適用されます。動作電圧または温度によって大きく変化するパラメータについては、「*代表的特性*」セクションに示します。TI は、各電源ピンとグランドの間に低 ESR のセラミック バイパス コンデンサ (C_{BYP}) を追加することを強く推奨します。単一電源での動作には、1 つの C_{BYP} のみで十分です。C_{BYP} がデバイスのできるだけ近くに配置され、電源トレースが C_{BYP} を経由してルーティングされてから、アンプ電源端子に到達するようにしてください。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 入力同相範囲

TLVx825 は、1.8V ～ 5.5V (±0.9V ～ ±2.75V) で動作することが規定されています。TLVx825 はレール ツー レール入力オペアンプに分類されています。これは、入力同相電圧 (V_{CM}) 範囲が幅広く、どちらの電源レールよりも 100mV 拡張されているためです。この範囲により、単一電源動作や高精度のローサイド / ハイサイド電流センシング アプリケーションに最適です。このデバイスは、1.8V および 5.5V の両方の電源レールについて、同相範囲全体にわたって 120dB (標準値) 以上の CMRR を実現しています。

6.3.3 出力範囲

TLVx825 は堅牢な出力駆動能力を実現します。共通ソース トランジスタを使用した出力段を使用して、完全なレール ツー レールの出力スイングを実現できます。本デバイスは、室温および 5.5V において出力短絡電流の標準値が ±60mA となるよう設計されているため、抵抗性および電流負荷の駆動に最適です。2kΩ までの抵抗性負荷と 5.5V の電源では、両方の電源レールに対して最大 30mV 以内で出力がスイングします。それにより、ADC ドライバ アプリケーションで ADC の入力範囲のほぼ全体を使用できます。

6.3.4 容量性負荷および安定度

TLVx825 は、容量性負荷の駆動が必要なアプリケーションで使用するように設計されています。すべてのオペアンプと同様に、デバイスが不安定になる特定の状況があり得ます。アンプが動作時に安定するかどうかを判断するには、そのオペアンプの回路構成、レイアウト、ゲイン、出力負荷などの要因を考慮します。

容量性負荷を駆動するユニティ ゲイン (1V/V) バッファ構成のオペアンプは、より高いノイズ ゲインで動作するアンプよりも不安定になる傾向があります。容量性負荷は、オペアンプの出力抵抗と相まって、位相マージンを劣化させる極を帰還ループ内に形成します。容量性負荷が大きくなると、位相マージンの劣化が大きくなります。ユニティ ゲイン構成で動作している場合、TLVx825 は 100pF の容量性負荷で 60° の位相マージンを実現します。デバイスは最大約 350pF の純粋な容量性負荷で安定した状態を維持し、標準値 35° の許容位相マージンを確保しており、1nF まで持続的な発振はありません。一部の大容量コンデンサ (1µF よりも大きい値の CL) の等価直列抵抗 (ESR) は、アンプが安定した状態を維持するように帰還ループの位相特性を変えるのに十分な場合があります。アンプの閉ループ ゲインを大きくすると、アンプはさらに大きな容量を駆動できます。より高い電圧ゲインでのアンプのオーバーシュート応答を測定すると、この能力の向上は明らかです。

ユニティ ゲイン構成で動作するアンプの容量性負荷駆動能力を向上する 1 つの手法は、図 6-1 に示すように、出力と直列に小さな抵抗 (標準的には 10Ω～50Ω) を挿入することです。この抵抗は、大きな容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。通常、このアクションは C_{load} を ADC サンプリング コンデンサの充電バケットとして機能する ADC ドライバ アプリケーションで使用される回路構成です。

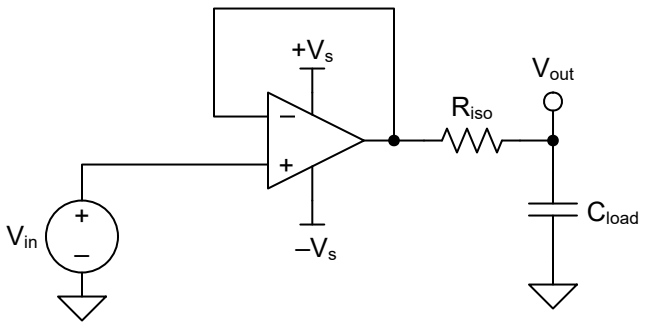


図 6-1. 容量性負荷駆動の向上

Copyright © 2026 Texas Instruments Incorporated

6.3.5 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力段は飽和領域に入ります。いずれかの出力が飽和領域に入った後、出力段はリニア動作状態に戻るために追加の時間 (過負荷復帰時間) を必要とします。出力段が線形状態に戻ると、アンプは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLVx825 ファミリの過負荷復帰時間は、標準値で約 1.5µs になるように設定されています。

6.3.6 位相反転保護

TLVx825 には、内部位相反転保護が含まれています。一部のオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路とユニティ ゲインで、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。TLVx825 入力は、過剰な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。図 6-2 にこの特性を示します。

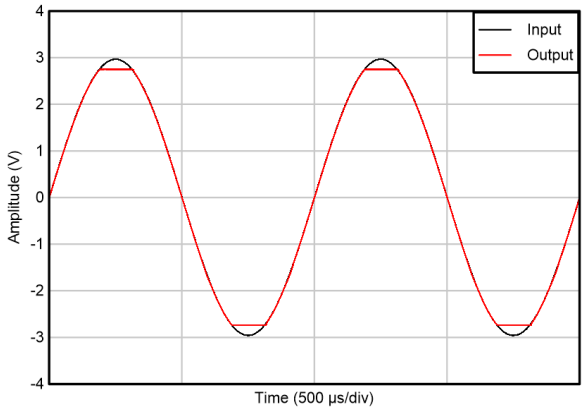


図 6-2. 位相反転が発生しない

6.3.7 チョッピングによる過渡現象

TLVx825 などのゼロドリフト アンプは、入力でスイッチング アーキテクチャを使用して、アンプ固有のオフセットとドリフトを補正します。入力の内蔵スイッチからのチャージ インジェクションがあると、アンプの入力バイアス電流に短い過渡現象が発生する可能性があります。パルスの持続時間が非常に短いため、このパルスは増幅されません。ただし、フィードバック回路を経由して、パルスがアンプの出力に結合される可能性があります。アンプ出力における入力過渡現象の影響を最小限に抑えるには、低い値のフィードバック抵抗と入力抵抗を使用します。過渡現象による追加ノイズを最小限に抑えるには、RC ネットワークなどのローパス フィルタを使用します。TLVx825 のチョッピング周波数は標準で 200kHz です。

6.3.8 EMI 除去

TLVx825 は、内蔵の電磁干渉 (EMI) フィルタを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI 干渉の影響を低減します。EMI 耐性は回路設計手法により改善可能で、TLVx825 はこのような設計の改善を活用しています。

帯域幅外のスペクトル成分を持つ信号に対しては、それを補正するためのアンプのループ ゲインが不十分なため、いずれかのオペアンプに対して高周波信号が伝導または放射されると、悪影響が発生する可能性があります。入力、電源、または出力で伝導または放射による EMI があると、予期しない DC オフセット、過渡電圧、その他の未知の動作が発生する可能性があります。ノイズの多い無線信号、デジタル クロック、インターフェイスから、敏感なアナログ ノードを適切にシールドし、分離するように注意してください。

テキサス インスツルメンツは、10MHz ～ 6GHz の幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化しています。TLVx825 でこのテストを行った結果を、図 6-3 に示します。実際のアプリケーションで一般的に発生する特定の周波数における TLVx825 の EMIRR IN+ 値を 表 6-1 に示します。表示されている特定の周波数を

中心にして、またはその付近で動作できるアプリケーションを、表 6-1 に示します。テキサス インスツルメンツ、『オペアンプの EMI 除去率 (OPA333 および OPA333-Q1 を使用した例)』アプリケーション ノート。

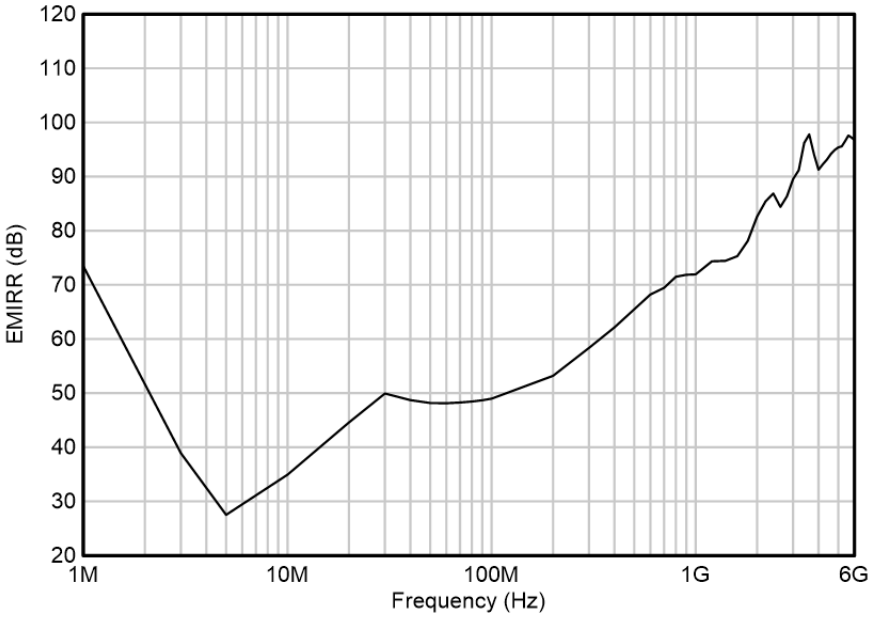


図 6-3. EMIRR テスト

表 6-1. 特定周波数における TLVx825 の EMIRR IN+

FREQUENCY	アプリケーションおよび割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	63dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	72dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	75.5dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	86dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	97dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	95.5dB

電磁干渉 (EMI) 除去比 (EMIRR) は、オペアンプの EMI 耐性を表します。多くのオペアンプに共通する悪影響は、RF 信号の整流によるオフセット電圧の変化です。EMI によって発生するこのオフセットの変化を除去するのにより効率的なオペアンプは、EMIRR が高いものであり、これはデシベルの値で定量化されます。EMIRR の測定はさまざまな方法で実行できますが、このセクションでは EMIRR +IN について説明します。これは、特に、RF 信号がオペアンプの非反転入力ピンに印加されたときの EMIRR 性能を示すものです。一般に、以下の 3 つの理由により、EMIRR については非反転入力のみがテストされます。

- オペアンプの入力ピンは、EMI の影響を最も受けやすいことが知られており、通常は電源ピンまたは出力ピンよりも強く RF 信号を整流します。
- 非反転および反転オペアンプ入力は、対称的な物理レイアウトを採用しており、EMIRR 性能がほぼ一致しています。
- 非反転入力端子を PCB 上で絶縁できるため、非反転ピンでの EMIRR 測定は、他のピンよりも簡単です。この絶縁により、RF 信号を非反転入力端子に直接印加でき、他の部品との複雑な相互作用や PCB 配線の接続は発生しません。

帯域幅外のスペクトル成分を持つ信号に対しては、それを補正するためのアンプのループ ゲインが不十分なため、いずれかのオペアンプに対して高周波信号が伝導または放射されると、悪影響が発生する可能性があります。入力、電源、ま

Copyright © 2026 Texas Instruments Incorporated

たは出力で伝導または放射による EMI があると、予期しない DC オフセット、過渡電圧、その他の未知の動作が発生する可能性があります。ノイズの多い無線信号、デジタル クロック、インターフェイスから、敏感なアナログ ノードを適切にシールドし、分離するように注意してください。

6.3.9 電気的オーバーストレス

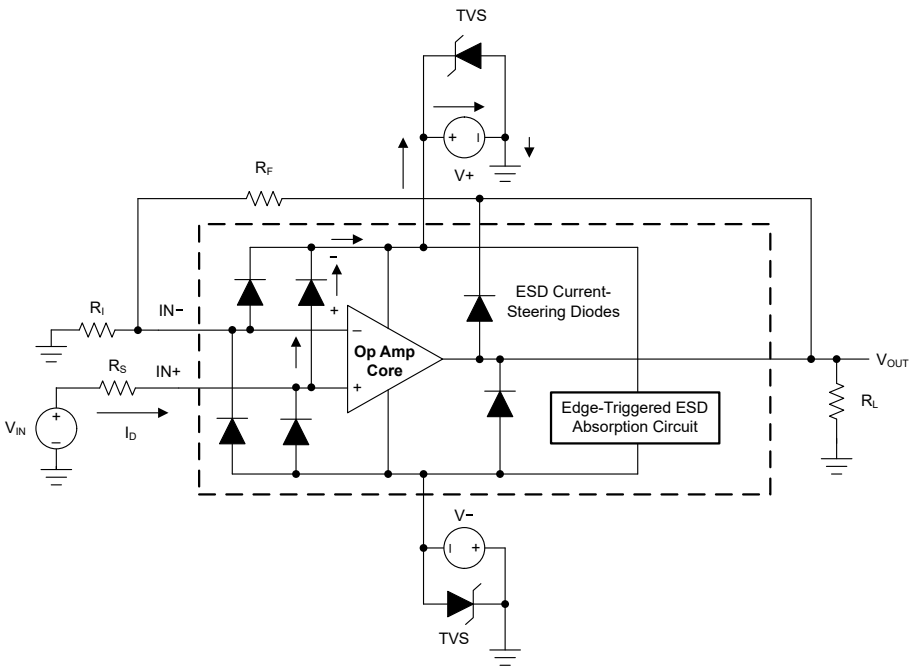
設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部に静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前にも組み立て中にも、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。TLVx825 に含まれる ESD 回路の図を、図 6-4 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の吸収デバイスにも接続されます。この保護回路は、回路が通常動作している間は非アクティブになるように設計されています。

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通って放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

2 つ以上のアンプ デバイス ピンの間に ESD 電圧が発生すると、電流は 1 つまたは複数のステアリング ダイオードを流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスのトリガまたはスレッショルド電圧は、TLVx825 の通常動作電圧より高く、デバイスのブレークダウン電圧レベルよりも低くなっています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

図 6-4 は、オペアンプを回路に接続したとき、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しないことを示しています。ただし、印加された電圧が特定のピンの動作電圧範囲を超える状況が発生する可能性があります。この状況が発生した場合、一部の内部 ESD 保護回路のバイアスがオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。



V_{IN} = (V+) + 500mV

TVS:V+ < $V_{TVSBR\ (min)}$ < 6V。ここで、$V_{TVSBR\ (min)}$ は、TVS のブレークダウン電圧の最小規定値です。

R_S の推奨値は、過電圧状態でのおおよそ 5kΩ です。

図 6-4. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

図 6-4 に、入力電圧 (V_{IN}) が正電源電圧 (V+) を 500mV 以上上回る具体的な例を示します。この回路で発生する現象の多くは、電源の特性によって異なります。V+ が電流をシンクできる場合、上側の入力ステアリング ダイオードの 1 つが導通し、電流を $+V_S$ へ導きます。V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

よくある質問として、「電源 V+ または V– が 0V のときに入力信号を加えるとどうなるか」というものもあります。ここでも、電源が 0V または入力信号の振幅より低いレベルにあるときの電源特性によって状況が変わります。見かけ上、電源のインピーダンスが高い場合、オペアンプの電源電流は、入力ソースから電流ステアリング ダイオードを経由して供給できます。このような状態はアンプにとって通常のバイアス条件ではなく、特性の劣化や異常な動作につながる可能性があります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部過渡電圧サプレッサ (TVS) ダイオードを電源ピンに追加します (図 6-4 も参照)。このブレークダウン電圧は、通常動作中にダイオードがオンにならないように選択する必要があります。ただし、電源ピンが安全な動作電源電圧レベルを超えそうになった場合には TVS ダイオードが導通する程度に、ブレークダウン電圧を低くする必要があります。

6.4 デバイスの機能モード

TLVx825 には単一機能モードがあり、電源電圧が 1.8V (±0.9V) 以上で動作します。TLVx825 の推奨電源電圧は 1.8V ～ 5.5V (±0.9V ～ ±2.75V) です。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TLVx825 オペアンプは、高精度のオフセットとドリフト、優れた全体的性能を兼ね備えているため、多くの高精度アプリケーションに最適です。オフセット ドリフトの精度は、わずか 0.02µV/℃ で、温度範囲全体にわたって安定性が得られます。さらに、これらのデバイスは、優れた CMRR、PSRR、および A_{OL} dc 性能と、優れた低ノイズ動作を組み合わせています。すべてのアンプと同様に、ノイズの多い、または高インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。通常は、0.1µF のコンデンサが適しています。

7.1.1 ノイズの基本的な計算

低ノイズ回路設計では、すべてのノイズ源を慎重に分析する必要があります。多くの場合、外部ノイズ源が支配的な要素になることがあるため、ソース抵抗がオペアンプのノイズ性能全体に与える影響を考慮します。回路全体のノイズは、すべてのノイズ要素の二乗和平方根に等しくなります。

ソース インピーダンスの抵抗の部分では、抵抗の平方根に比例する熱ノイズが発生します。ソース インピーダンスは一般に固定されているため、ノイズ全体への寄与を最小限に抑えるオペアンプおよび帰還抵抗を選定します。

図 7-1 は、ゲインが存在する非反転型オペアンプ回路構成を示しています。図 7-2 は、ゲインが存在する反転型オペアンプ回路構成を示しています。ゲインが存在する回路構成では、帰還ネットワーク抵抗もノイズの原因となります。一般に、オペアンプの電流ノイズは帰還抵抗に反応して、追加のノイズを発生させます。ただし、TLVx825 の電流ノイズは低いため、電流ノイズの寄与は無視できます。

一般的には、帰還抵抗の値を選択して、これらのノイズ発生源を無視できる程度まで下げることができます。低インピーダンスの帰還抵抗は、アンプの出力に負荷をかけます。両方の構成について、合計ノイズの計算式を示します。

ノイズ計算に関する追加リソースについては、*TI Precision Labs* を参照してください。

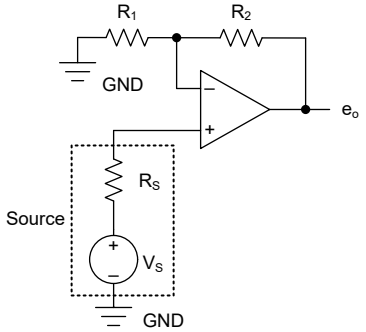


図 7-1. 非反転型ゲイン構成のノイズの計算

$$E_o = e_o\sqrt{BW_N}\ [V_{RMS}] \quad (1)$$

$$e_o = \left(1 + \frac{R_2}{R_1}\right)\sqrt{e_S^2 + e_N^2 + \left(e_{R_1||R_2}\right)^2 + \left(i_N R_S\right)^2 + \left(i_N \frac{R_1 R_2}{R_1 + R_2}\right)^2}\left[\frac{V}{\sqrt{Hz}}\right] \quad (2)$$

$$e_S = \sqrt{4k_B T(K) R_S}\left[\frac{V}{\sqrt{Hz}}\right] \quad (3)$$

$$e_{R_1||R_2} = \sqrt{4k_B T(K)\left(\frac{R_1 R_2}{R_1 + R_2}\right)}\left[\frac{V}{\sqrt{Hz}}\right] \quad (4)$$

$$k_B = 1.38065 \times 10^{-23}\left[\frac{J}{K}\right] \quad (5)$$

$$T(K) = 2.37.15 + T(°C)\ [K] \quad (6)$$

ここで、

- e_n はアンプの電圧ノイズ スペクトル密度。TLVx825 の場合、e_n = 15nV/√Hz (1kHz 時)。
- e_o は合計ノイズ密度です。
- e_S は R_S の熱ノイズです。
- $e_{R_1 \,||\, R_2}$ は、R_1 || R_2 の熱ノイズです。
- k_B はボルツマン定数です。
- T(K) は温度 (ケルビン) です。

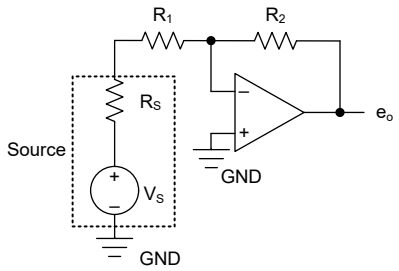


図 7-2. 反転型ゲイン構成のノイズの計算

$$E_o = e_o\sqrt{BW_N}\ [V_{RMS}] \quad (7)$$

$$e_o = \left(1 + \frac{R_2}{R_S + R_1}\right)\sqrt{{e_N}^2 + \left(e_{R_1 + R_S||R_2}\right)^2 + \left(i_N\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)^2}\left[\frac{V}{\sqrt{Hz}}\right] \quad (8)$$

$$e_{R_1 + R_S||R_2} = \sqrt{4k_B T(K)\left(\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)}\left[\frac{V}{\sqrt{Hz}}\right] \quad (9)$$

$$k_B = 1.38065 \times 10^{-23}\left[\frac{J}{K}\right] \quad (10)$$

$$T(K) = 2.37.15 + T(°C)\ [K] \quad (11)$$

ここで、

- e_n はアンプの電圧ノイズ スペクトル密度。TLVx825 の場合、e_n = 15nV/√Hz (1kHz 時)
- e_o は合計ノイズ密度です。
- e_S は R_S の熱ノイズです。
- $e_{(R_1 + R_S) \,||\, R_2}$ は (R_1 + R_S) || R_2 の熱ノイズです。
- k_B はボルツマン定数です。
- T(K) は温度 (ケルビン) です。

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 ローサイド電流センシング アプリケーションの TLVx825

図 7-3 に、ローサイド電流センシング アプリケーション用に構成された TLVx825 を示します。

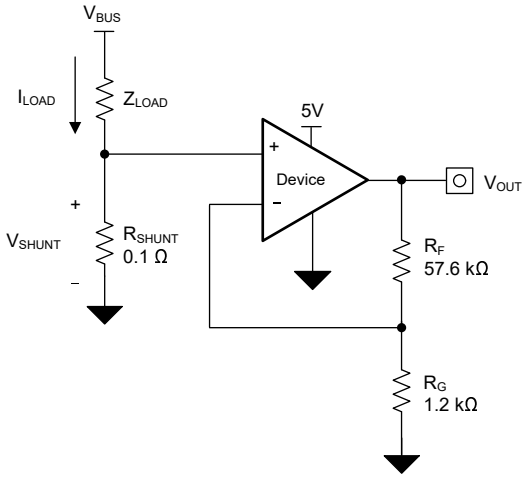


図 7-3. ローサイド電流センシング アプリケーションの TLVx825

7.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A ～ 1A
- 最大出力電圧:4.9V
- 最大シャント電圧:100mV

7.2.1.2 詳細な設計手順

図 7-3 の回路の伝達関数は、式 12 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (12)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 13 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (13)$$

式 13 を使用して計算すると、R_{SHUNT} は 100mΩ となります。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は TLVx825 によって増幅され、約 0V ～ 4.9V の出力電圧を生成します。TLVx825 が必要な出力電圧を生成するために必要なゲインは、式 14 を使用して計算されます。

$$Gain = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \quad (14)$$

式 14 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗 R_F と R_G で設定します。TLV825 デバイスのゲインを 49V/V に設定するための抵抗 R_F および R_G のサイズは式 15 で計算します。

$$Gain = 1 + \frac{R_F}{R_G} \quad (15)$$

Copyright © 2026 Texas Instruments Incorporated

R_F に 57.6kΩ、R_G に 1.2kΩ を選択すると、組み合わせで 49V/V に等しくなります。図 7-3 に示す回路で測定された伝達関数を、図 7-4 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定しようとするインピーダンス レベルによって決定されます。インピーダンス レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。インピーダンスの選択はシステムごとに異なるので、システムのパラメータに合わせて最適なインピーダンスを選択する必要があります。

7.2.1.3 アプリケーション曲線

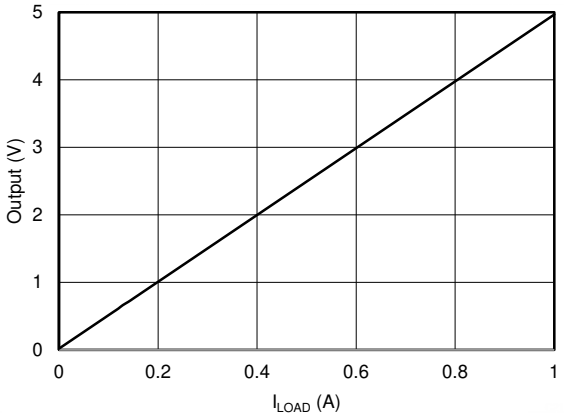


図 7-4. ローサイド、電流センス、伝達関数

7.3 電源に関する推奨事項

TLVx825 は、1.8V ～ 5.5V (±0.9V ～ ±2.75V) で動作することが規定されています。TLVx825 は、シングル電源とデュアル電源の両方で動作します。TLVx825 は、対称電源を必要とせず、オペアンプは動作に最低 1.8V の電圧のみを必要とします。

> **注意**
> 6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。*「絶対最大定格」*表を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

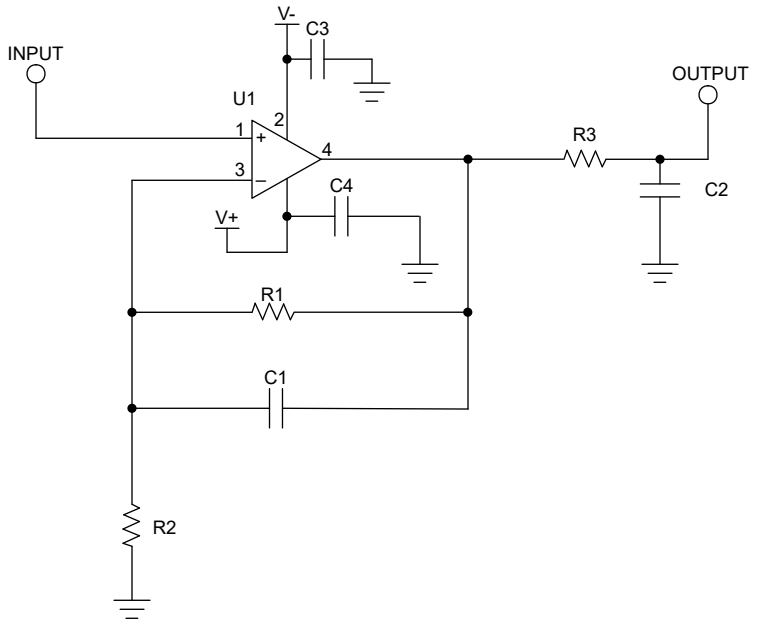
最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を通じてアナログ回路に伝播し、オペアンプの電源ピンにまで達する可能性があります。バイパスコンデンサは、結合ノイズを低減するために使用され、低インピーダンスの経路を介してグランドへ逃がす役割を果たします。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続すれば十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。

Copyright © 2026 Texas Instruments Incorporated

- 外付け部品は、可能な限りデバイスに近く配置します (「レイアウト例」を参照)。R_1 と R_2 を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力パターンは、できる限り短くしてください。入力配線は回路の最も敏感な部分であることに注意します。
- 重要なパターンの周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にあるパターンからのリーク電流を大幅に低減できます。
- TI では、最高の性能を得るために、基板組み立ての後で PCB をクリーニングすることを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。TI では、PCB を水で洗浄した後で、PCB アセンブリをベーキングして、クリーニング中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

7.4.2 レイアウト例



C3 と C4 は C_{BYP} コンデンサです

図 7-5. 非反転構成の回路図のレイアウト例

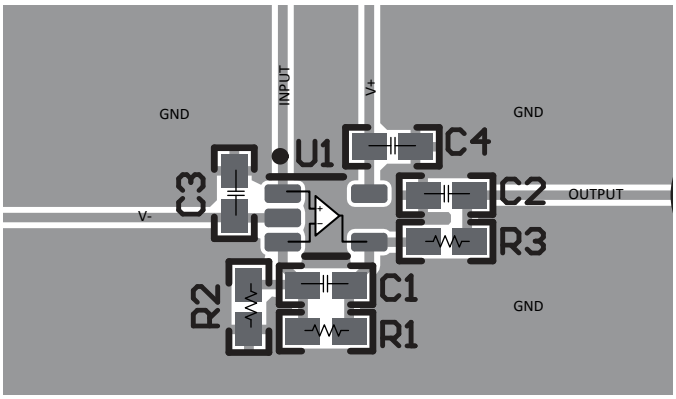


図 7-6. 非反転構成のオペアンプ基板のレイアウト - SOT-SC70 (DCK) パッケージ

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.2 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『 ゼロドリフト アンプ：特長と利点』アプリケーション ブリーフ
- テキサス インスツルメンツ、『PCB はオペアンプ設計のコンポーネント』Analog Design Journal
- テキサス インスツルメンツ、『オペアンプのゲイン安定性、第 3 部：AC ゲイン誤差の分析』Analog Design Journal
- テキサス インスツルメンツ、『オペアンプのゲイン安定性、第 2 部：DC ゲイン誤差の分析』Analog Design Journal
- テキサス インスツルメンツ、『完全差動アクティブ フィルタにおける無限ゲイン、MFB フィルタ トポロジの使用』Analog Design Journal
- テキサス インスツルメンツ、『オペアンプの性能分析』アプリケーション ノート
- テキサス インスツルメンツ、*『オペアンプの単一電源動作』アプリケーション ノート*
- テキサス インスツルメンツ、*『鉛フリー仕上げ部品の保管寿命評価』アプリケーション ノート*
- テキサス インスツルメンツ、*『フィードバック プロットによるオペアンプ AC 性能の定義』アプリケーション ノート*
- テキサス インスツルメンツ、『オペアンプの EMI 除去率 (OPA333 および OPA333-Q1 を使用した例)』アプリケーション ノート
- テキサス インスツルメンツ、『測温抵抗体のアナログ線形化』Analog Design Journal
- テキサス・インスツルメンツ、*『TI 高精度設計 TIPD102 ハイサイド電圧-電流 (V-I) コンバータ』*リファレンス ガイド
- テキサス インスツルメンツ、『チョッパ アンプの精度の最適化』テクニカル ホワイト ペーパー
- テキサス インスツルメンツ、『オペアンプのオフセット電圧とバイアス電流の制限』テクニカル ホワイト ペーパー

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (September 2026) to Revision C (November 2026)	Page
• TLV825 DBV および DCK パッケージを「プレビュー」から「量産データ」に変更	1

Changes from Revision A (June 2026) to Revision B (September 2026)	Page
• TLV2825 D および DGK パッケージを「プレビュー」から「量産データ」に変更	1

Changes from Revision * (May 2026) to Revision A (June 2026)	Page
• TLV4825 D および PW パッケージを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2825DGKR	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45VS
TLV2825DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45QT
TLV4825DR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45WTLV4825
TLV4825PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45US825
TLV825DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4CKF

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV4825 :

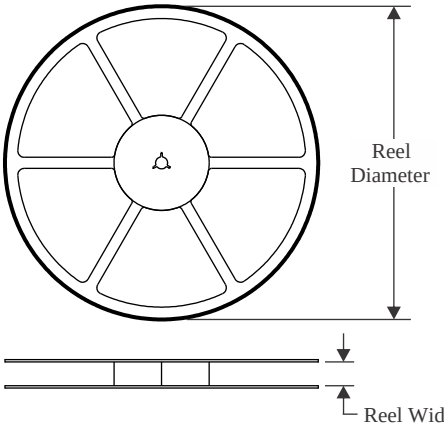
- Automotive : TLV4825-Q1

NOTE: Qualified Version Definitions:

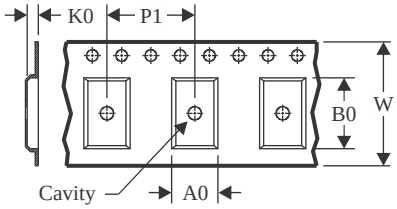
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

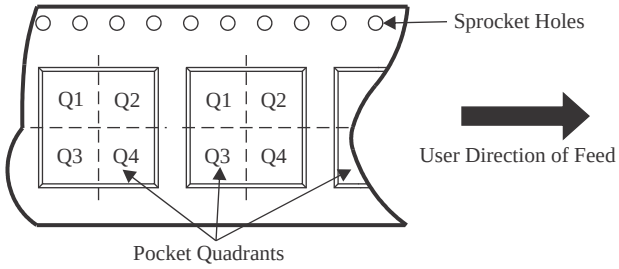


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

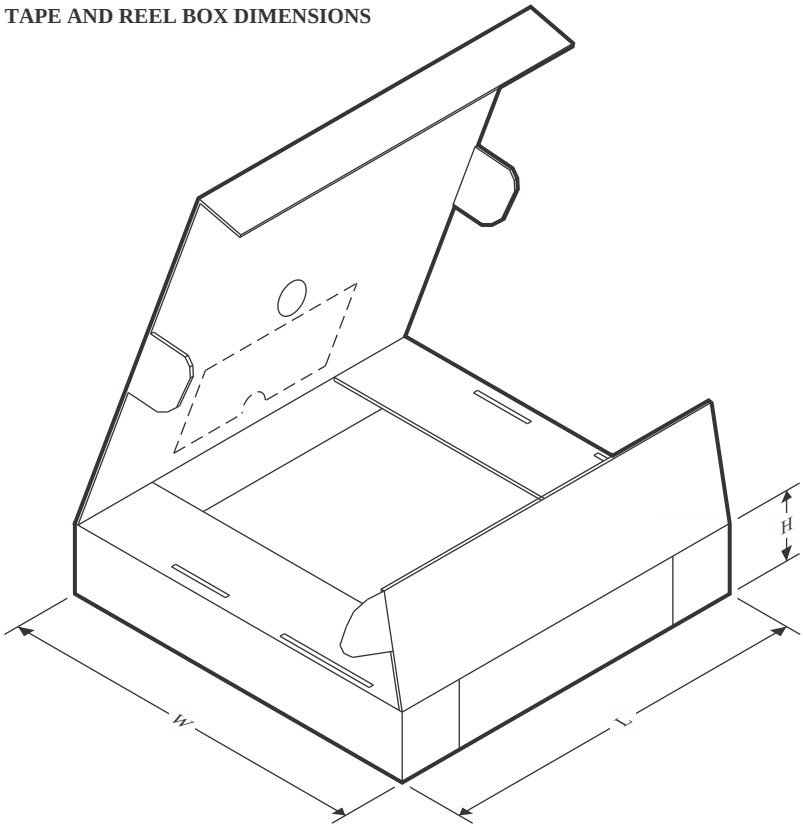
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2825DGKR	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV2825DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV4825DR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV4825PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV825DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

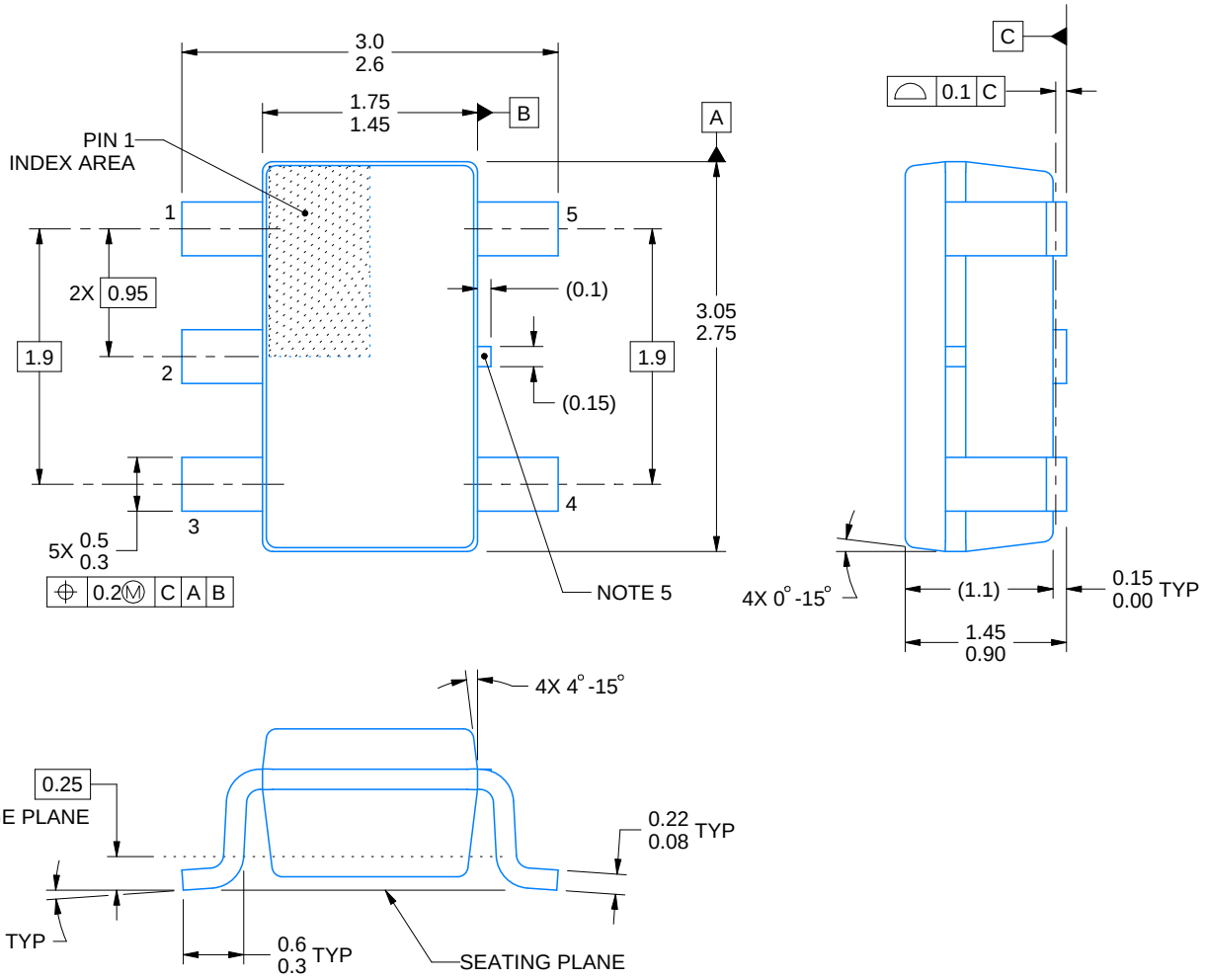
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2825DGKR	VSSOP	DGK	8	3500	353.0	353.0	32.0
TLV2825DR	SOIC	D	8	3000	353.0	353.0	32.0
TLV4825DR	SOIC	D	14	3000	340.5	336.1	32.0
TLV4825PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV825DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

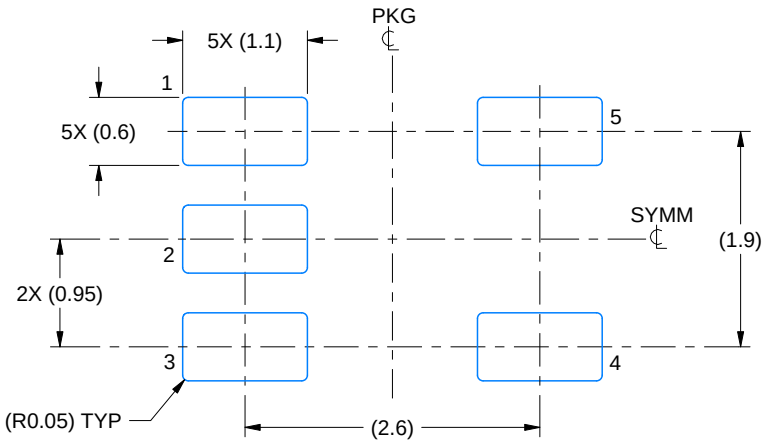
SMALL OUTLINE TRANSISTOR



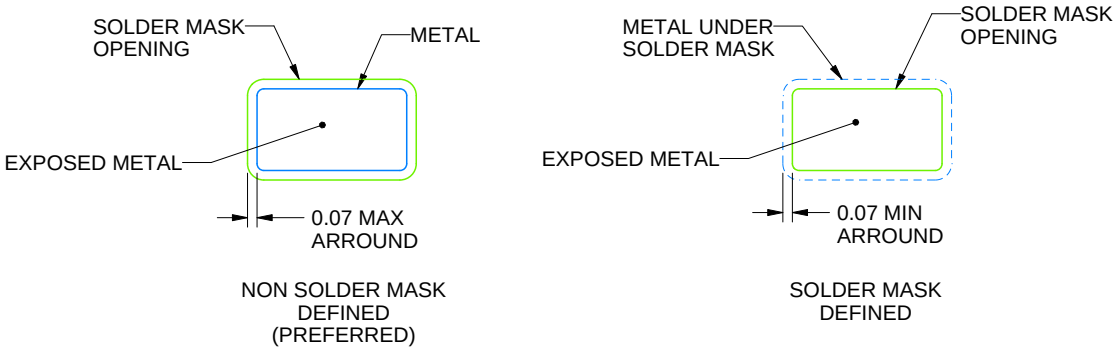
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

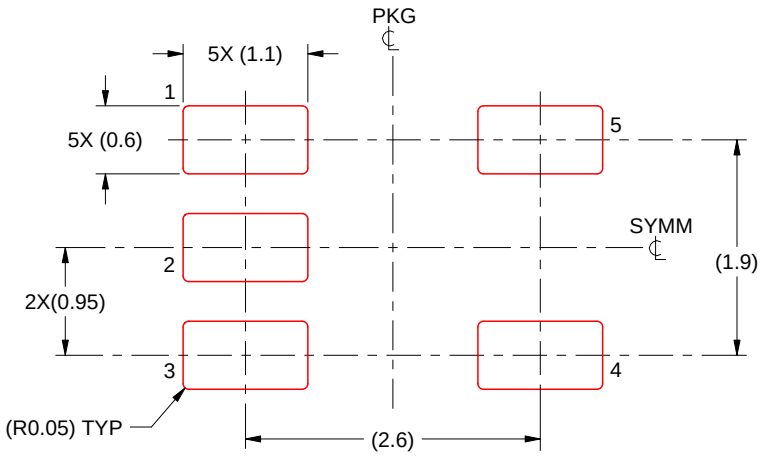


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

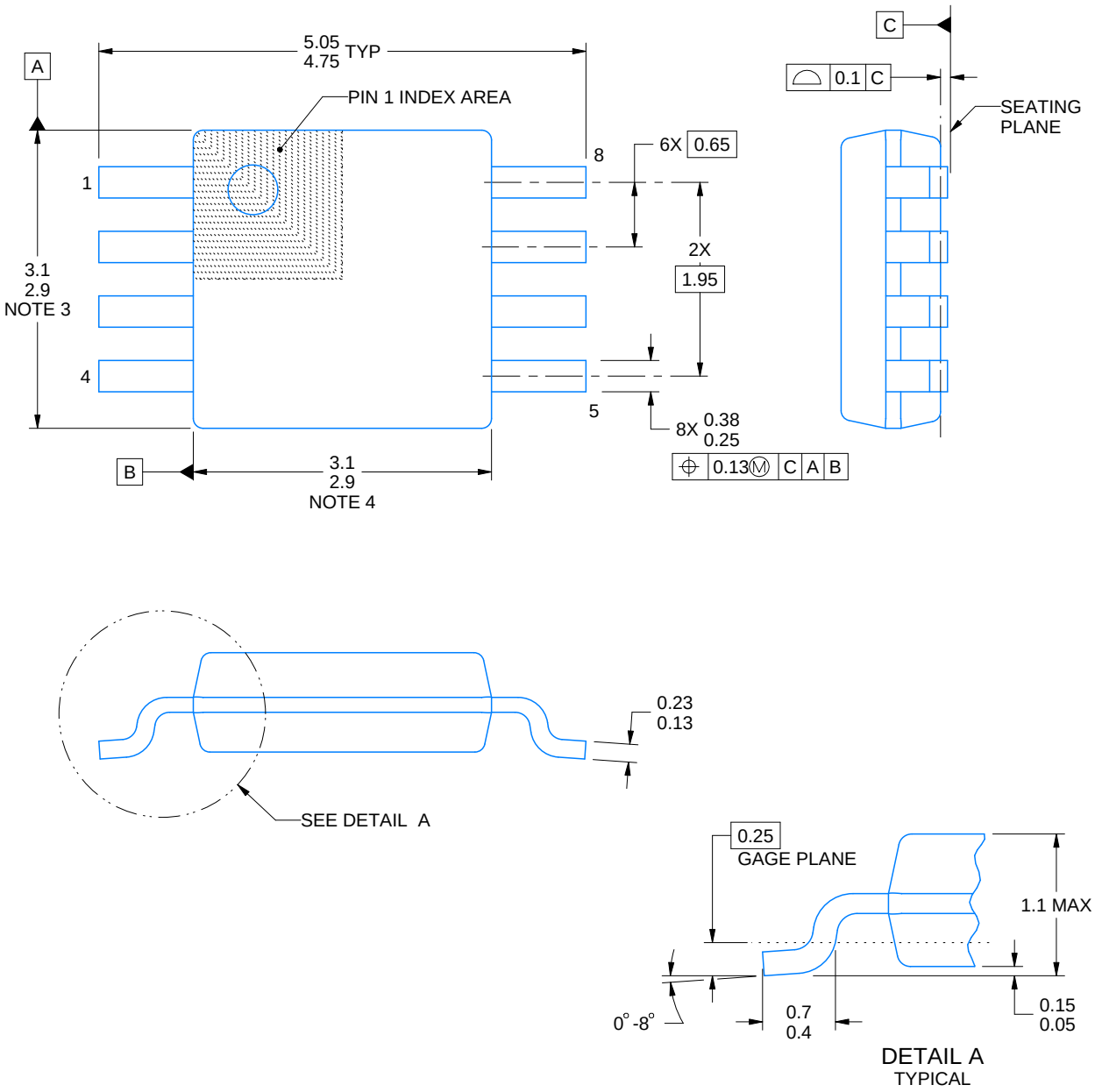
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

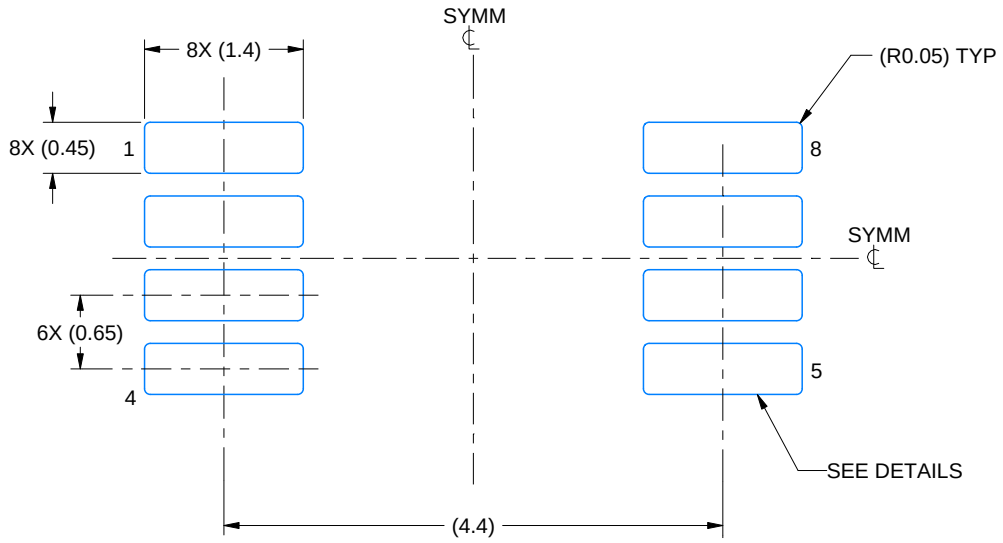
SMALL OUTLINE PACKAGE



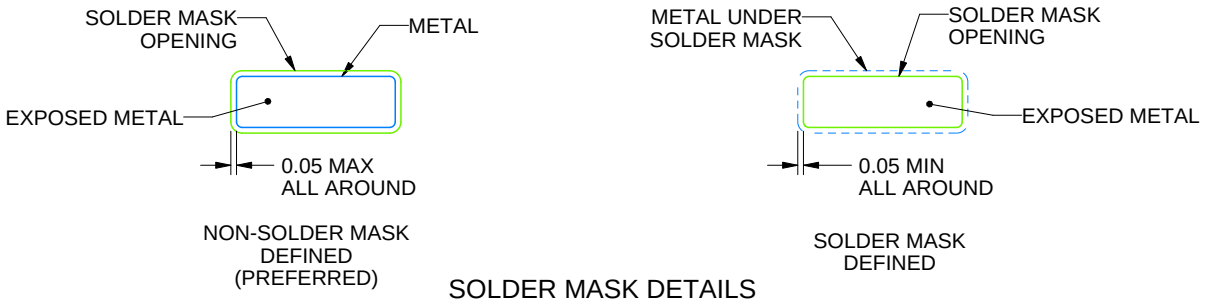
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

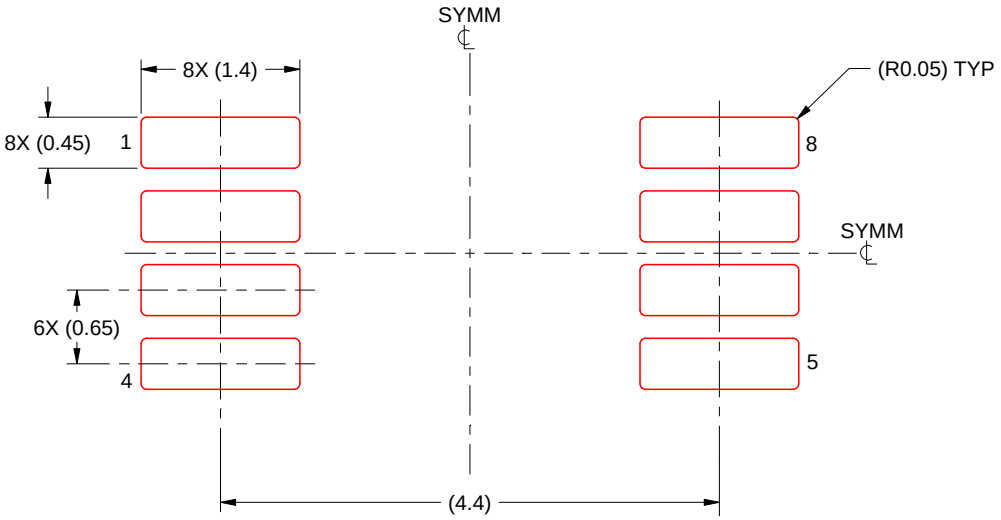


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

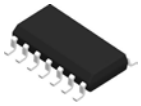


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

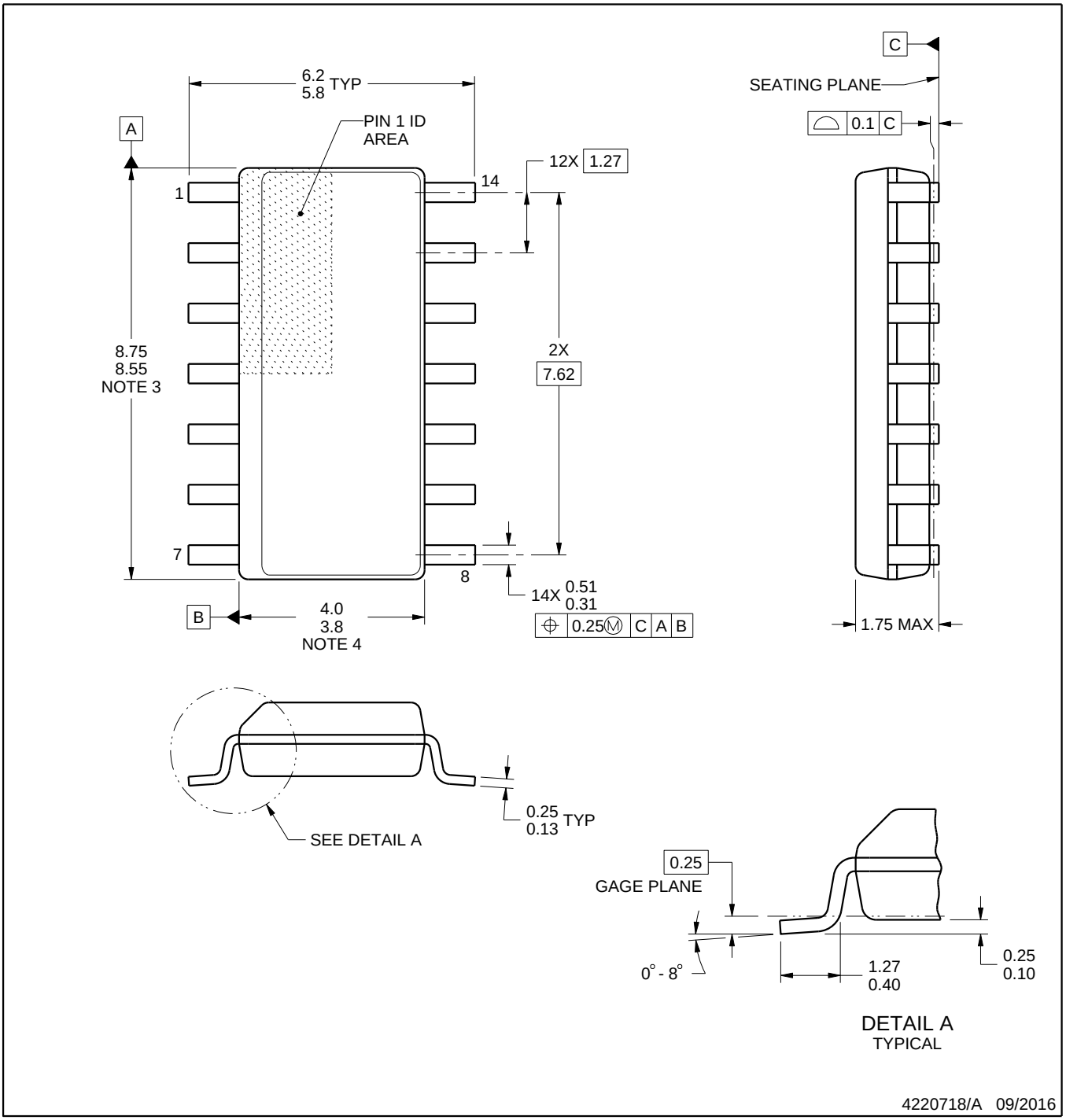


PACKAGE OUTLINE

D0014A

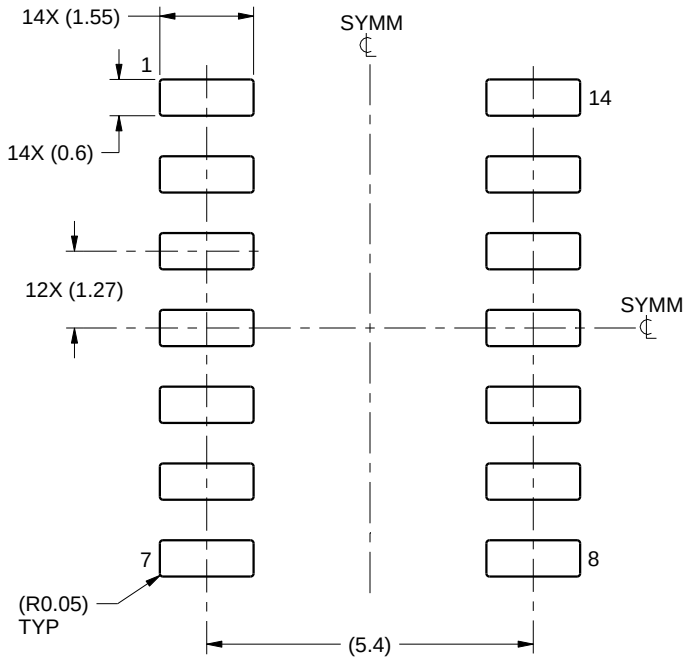
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

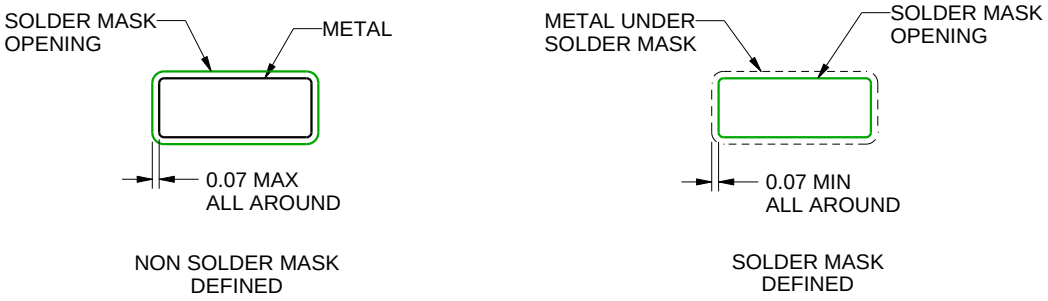


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

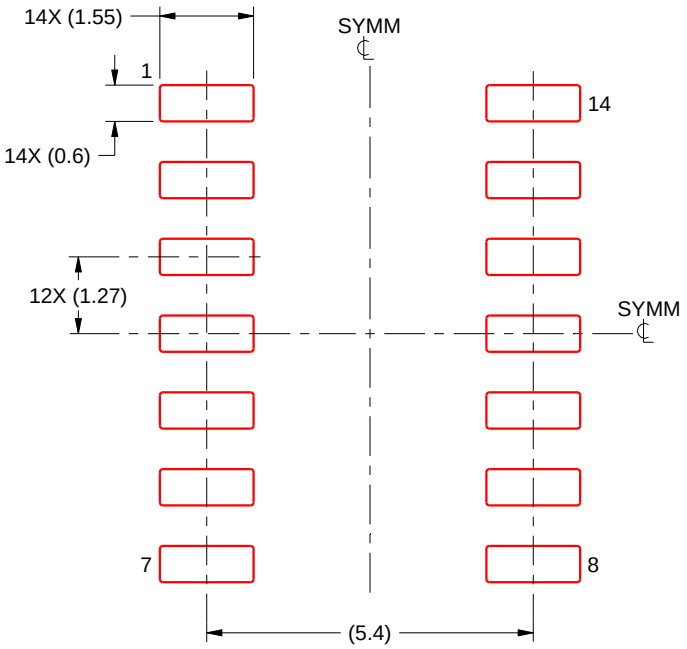
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

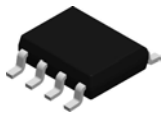


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

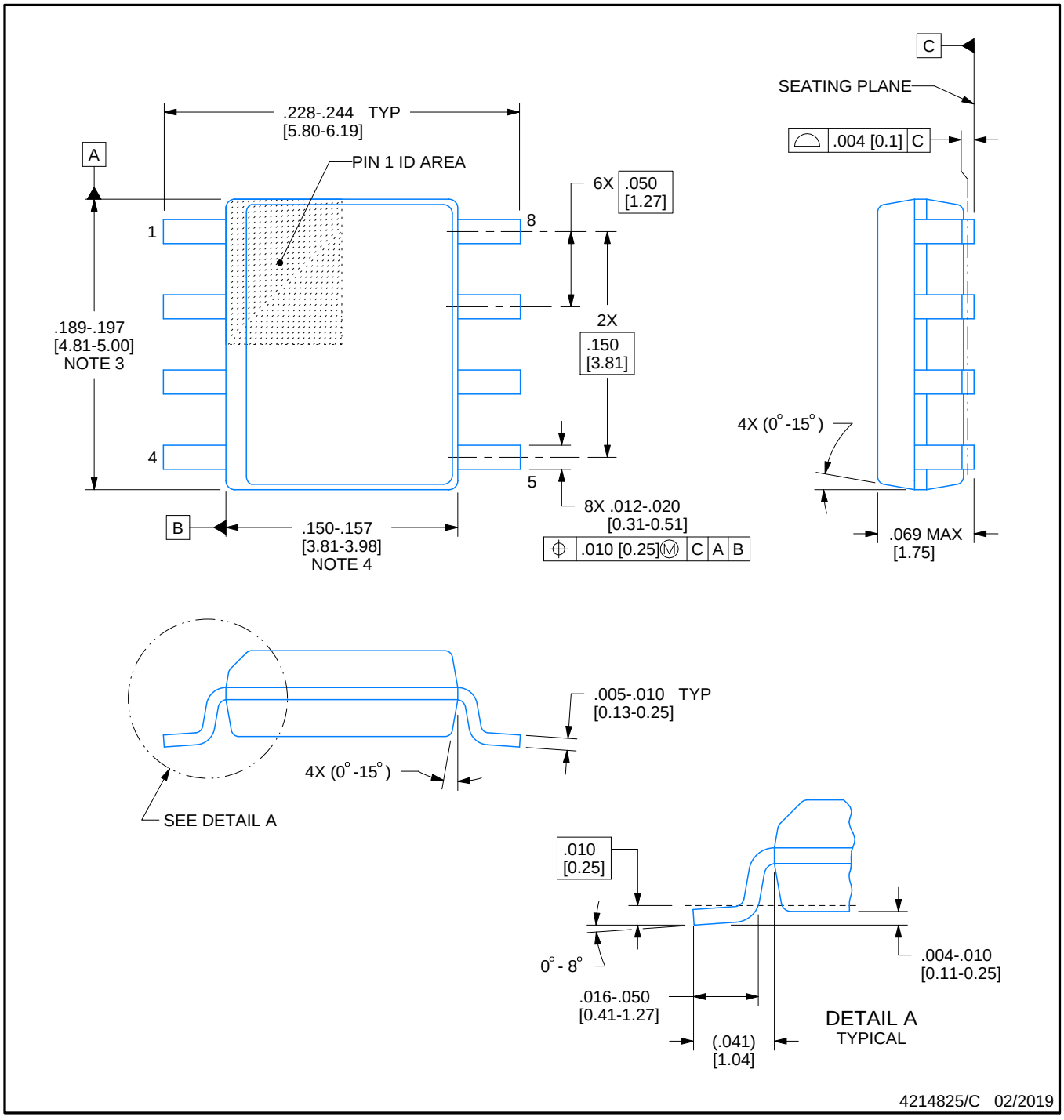


PACKAGE OUTLINE

D0008A

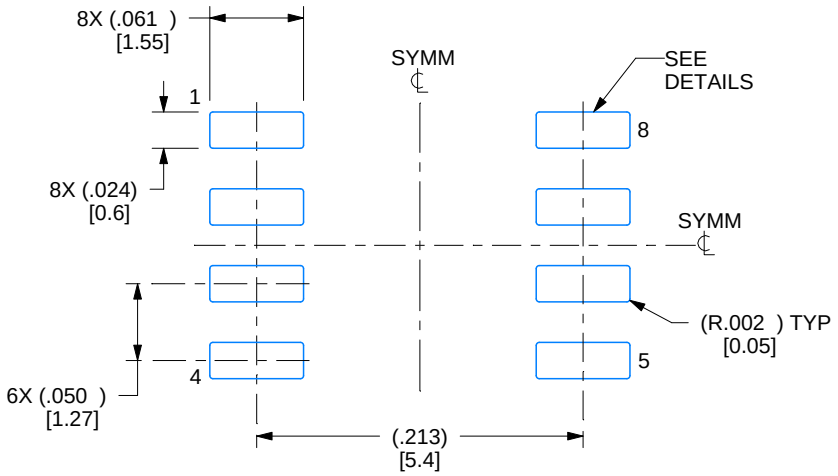
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

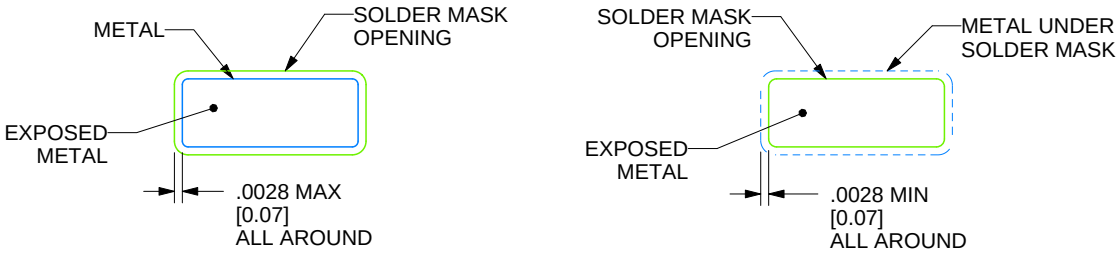


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

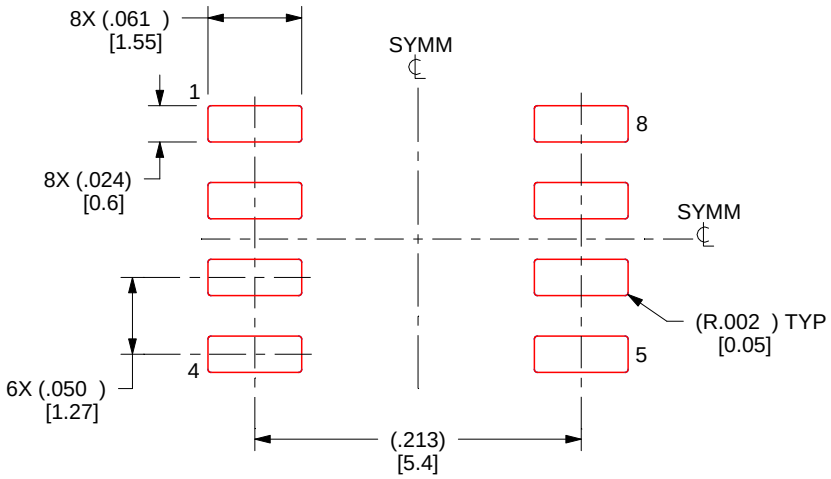
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

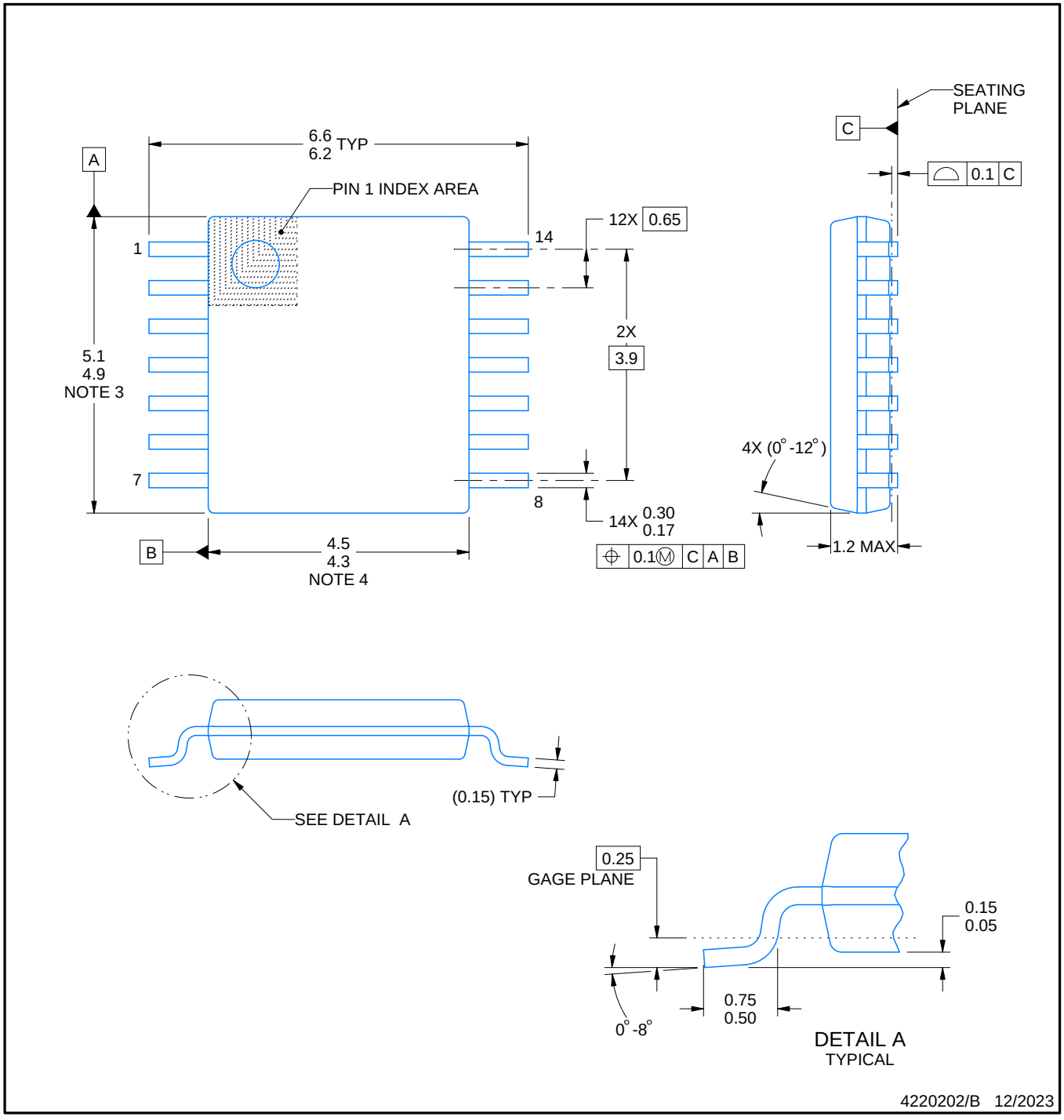
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

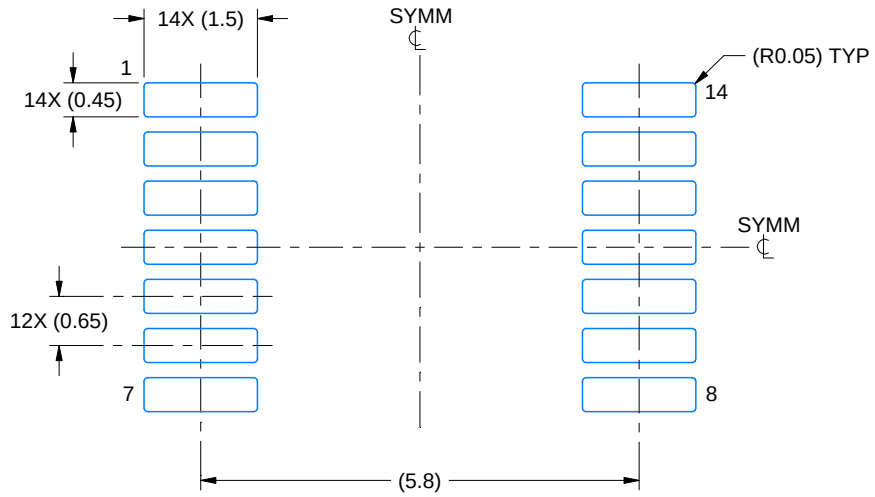
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

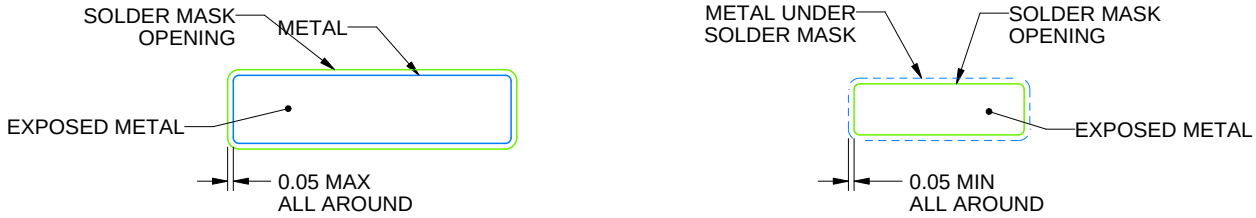


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

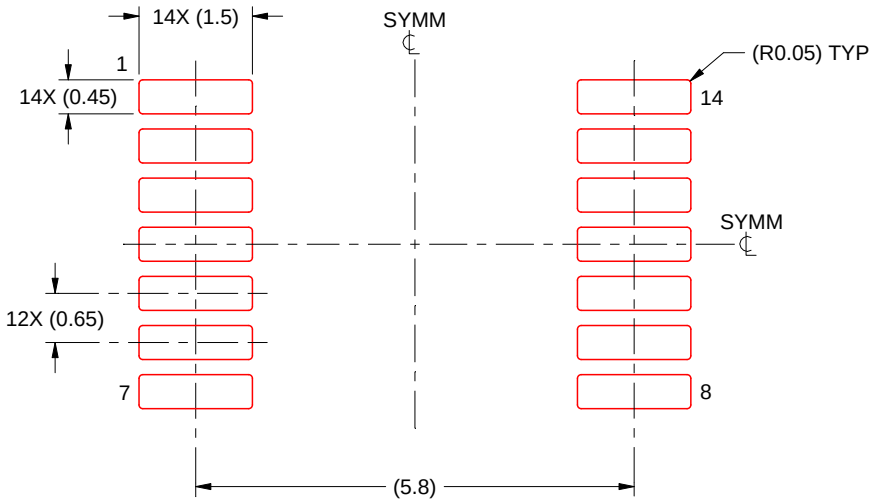


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月