TLV320x 40ns、microPOWER、プッシュプル出力コンパレータ

1 特長

- 小さい伝搬遅延時間:40ns
- 低い静止電流:
  40µA (1 チャネルあたり)
- 各レールから 200mV 拡張された入力同相範囲
- 低い入力オフセット電圧:1mV
- プッシュプル出力
- 電源電圧範囲:2.7V～5.5V
- 産業用温度範囲:
  -40℃～125℃
- 小型パッケージ:
  5 ピン SC70、5 ピン SOT-23、8 ピン SOIC、8 ピン VSSOP

2 アプリケーション

- 検査機器
- 試験 / 測定機器
- 高速サンプリング システム
- テレコム
- ポータブル通信

3 概要

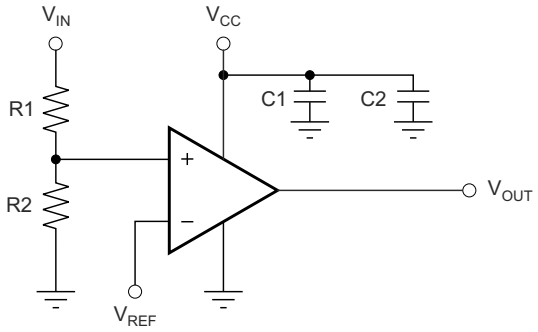
TLV3201 と TLV3202 はシングルおよびデュアル チャネルのコンパレータで、高速 (40ns) と低消費電力 (40µA) の両方を非常に小さいパッケージで実現し、レール ツーレール入力、低オフセット電圧 (1mV)、大きな出力駆動電流などの特長があります。応答時間が重要であるさまざまなアプリケーションに容易に実装できます。

TLV320x ファミリはシングル (TLV3201) およびデュアル (TLV3202) チャネルのバージョンで利用でき、いずれもプッシュプル出力が付属します。TLV3201 は、5 ピン SOT-23 および 5 ピン SC70 パッケージで供給されます。TLV3202 は、8 ピン SOIC および 8 ピン VSSOP パッケージで供給されます。すべてのデバイスは、-40°C～125°C の拡張工業用温度範囲で仕様が規定されています。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)(2)
TLV3201	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
TLV3202	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm × 3.91mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



Copyright © 2016, Texas Instruments Incorporated

スレッショルド検出器

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 デバイス比較表.....3
5 ピン構成および機能.....3
ピンの機能：TLV3201.....3
ピンの機能：TLV3202.....3
6 仕様.....4
6.1 絶対最大定格.....4
6.2 ESD 定格.....4
6.3 推奨動作条件.....4
6.4 熱に関する情報.....4
6.5 電気的特性：V_{CC} = 5V.....5
6.6 スイッチング特性：V_{CC} = 5V.....5
6.7 電気的特性：V_{CC} = 2.7V.....6
6.8 スイッチング特性：V_{CC} = 2.7V.....6
6.9 代表的特性.....7
7 詳細説明.....11
7.1 概要.....11
7.2 機能ブロック図.....11
7.3 機能説明.....11
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....12
8.1 アプリケーション情報.....12
8.2 代表的なアプリケーション.....16
8.3 電源に関する推奨事項.....18
8.4 レイアウト.....18
9 デバイスおよびドキュメントのサポート.....20
9.1 デバイス サポート.....20
9.2 ドキュメントのサポート.....20
9.3 ドキュメントの更新通知を受け取る方法.....21
9.4 サポート・リソース.....21
9.5 商標.....21
9.6 静電気放電に関する注意事項.....21
9.7 用語集.....21
10 改訂履歴.....22
11 メカニカル、パッケージ、および注文情報.....22

Copyright © 2024 Texas Instruments Incorporated

4 デバイス比較表

デバイス	説明
TLV3011	5µA (最大値) オープン ドレイン、1.8V～5.5V、電圧リファレンス内蔵、1.5mm × 1.5mm の超小型パッケージ
TLV3012	5µA (最大値) プッシュプル、1.8V～5.5V、電圧リファレンス内蔵の超小型パッケージ
TLV3501	4.5ns、レール ツー レール、プッシュプル コンパレータ内蔵の超小型パッケージ
LMV7235	75ns、65µA、2.7V～5.5V、オープン ドレイン出力、レール ツー レールの入力コンパレータ
REF3333	30ppm/℃ ドリフト、3.9µA、SOT23-3、SC70-3 の電圧リファレンス

5 ピン構成および機能

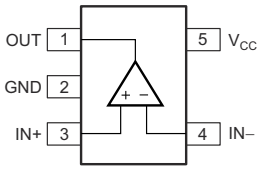


図 5-1. TLV3201 DCK および DBV パッケージ 5 ピン SC70-5 および SOT-23 上面図

ピンの機能：TLV3201

ピン		I/O	説明
名称	番号		
GND	2	—	負電源、グランド
IN-	4	I	負入力
IN+	3	I	正入力
OUT	1	O	出力
V_{CC}	5	—	正電源

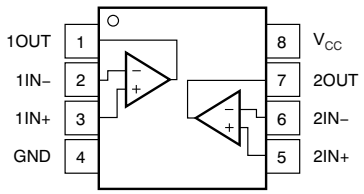


図 5-2. TLV3202 D および DGK パッケージ 8 ピン SOIC および VSSOP 上面図

ピンの機能：TLV3202

ピン		I/O	説明
名称	番号		
1IN–	2	I	コンパレータ 1 の負の入力
1IN+	3	I	コンパレータ 1 の正の入力
1OUT	1	O	コンパレータ 1 の出力
2IN–	6	I	コンパレータ 2 の負の入力
2IN+	5	I	コンパレータ 2 の正の入力
2OUT	7	O	コンパレータ 2 の出力
GND	4	—	負電源、グランド
V_{CC}	8	—	正電源

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	電源電圧		7	V
	信号入力ピン(2)	-0.5	(V_{CC}) + 0.5	
電流	信号入力ピン	-10	10	mA
	出力短絡 (3)		100	
温度	動作	-55	125	℃
	接合部、T_J		150	
	保存、T_{stg}	-65	150	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートのセクション 6.3 に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超えることが想定される場合は、電流を 10mA 以下に制限する必要があります。
(3) グランドに短絡します。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	TLV3201	±2000	
		TLV3202	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、V_S = (V_{S+}) - ($V_{S–}$)	2.7 (±1.35)	5.5 (±2.75)	V
	規定温度	-40	125	℃

6.4 熱に関する情報

熱評価基準(1)		TLV3201		TLV3202		単位
		DBV (SOT-23)	DCK (SC70)	D (SOIC)	DGK (VSSOP)	
		5 ピン	5 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	237.8	281.9	143.6	201.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	108.7	97.6	97.2	92.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	64.1	68.3	84.2	123.3	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	12.1	2.6	45.5	23.0	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	63.3	67.3	83.7	212.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.5 電気的特性：V_{CC} = 5V

特に記述のない限り、T_A = 25℃、V_{CC} = 5V

パラメータ		テスト条件	最小値	代表値	最大値	単位
オフセット電圧						
$V_{IO-TLV3201}$	入力オフセット電圧、TLV3201	V_{CM} = V_{CC} / 2		1	3	mV
		T_A = –40℃～125℃			4	
$V_{IO-TLV3202}$	入力オフセット電圧、TLV3202	V_{CM} = V_{CC} / 2		1	5	mV
		T_A = –40℃～125℃			6	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃～125℃		1	10	µV/℃
PSRR	電源除去比	V_{CM} = V_{CC} / 2、V_{CC} = 2.5V～5.5V	65	85		dB
	入力ヒステリシス			1.2		mV
入力バイアス電流						
I_{IB}	入力バイアス電流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = –40℃～125℃			5	nA
I_{IO}	入力オフセット電流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = –40℃～125℃			2.5	nA
入力電圧範囲						
V_{CM}	同相電圧	T_A = –40℃～125℃	(V_{EE}) - 0.2		(V_{CC}) + 0.2	V
CMRR	同相除去比	-0.2V < V_{CM} < 5.2V	60	70		dB
入力インピーダンス						
	同相			10^{13} || 2		Ω ||pF
	差動			10^{13} || 4		Ω ||pF
出力						
V_{OL}	下のレールからの電圧出力スイング	I_{SINK} = 4mA		175	190	mV
		T_A = –40℃～125℃			225	
V_{OH}	上のレールからの電圧出力スイング	I_{SOURCE} = 4mA		120	140	mV
		T_A = –40℃～125℃			170	
I_{SC}	短絡電流 (コンパレータあたり)	I_{SC}、シンク	40	48		mA
		T_A = –40℃～125℃	図 6-14 を参照			
		I_{SC}、ソース	52	60		
		T_A = –40℃～125℃	図 6-14 を参照			
電源						
V_{CC}	規定電圧		2.7		5.5	V
I_Q	静止時電流	T_A = 25℃		40	50	µA
		T_A = –40℃～125℃			65	

6.6 スイッチング特性：V_{CC} = 5V

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位
t_{PD}	伝搬遅延時間	Low から High	入力オーバードライブ = 20mV、C_L = 15pF		47	50	ns
			入力オーバードライブ = 100mV、C_L = 15pF		43	50	
			T_A = –40℃～125℃			55	
		High から Low	入力オーバードライブ = 20mV、C_L = 15pF		45	50	
			入力オーバードライブ = 100mV、C_L = 15pF		42	50	
			T_A = –40℃～125℃			55	
	伝搬遅延スキュー	入力オーバードライブ = 20mV、C_L = 15pF			2		ns
t_R	立ち上がり時間	10%～90%			2.9		ns
t_F	立ち下がり時間	10%～90%			3.7		ns

Copyright © 2024 Texas Instruments Incorporated

6.7 電気的特性：V_{CC} = 2.7V

特に記述のない限り、T_A = 25℃、V_{CC} = 2.7V

パラメータ		テスト条件	最小値	代表値	最大値	単位
オフセット電圧						
$V_{IO-TLV3201}$	入力オフセット電圧、TLV3201	V_{CM} = V_{CC} / 2		1	3	mV
		T_A = –40℃～125℃			4	
$V_{IO-TLV3202}$	入力オフセット電圧、TLV3202	V_{CM} = V_{CC} / 2		1	5	mV
		T_A = –40℃～125℃			6	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃～125℃		1	10	µV/℃
PSRR	電源除去比	V_{CM} = V_{CC} / 2、V_{CC} = 2.5V～5.5V	65	85		dB
	入力ヒステリシス			1.2		mV
入力バイアス電流						
I_{IB}	入力バイアス電流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = –40℃～125℃			5	nA
I_{IO}	入力オフセット電流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = –40℃～125℃			2.5	nA
入力電圧範囲						
V_{CM}	同相電圧	T_A = –40℃～125℃	(V_{EE}) - 0.2		(V_{CC}) + 0.2	V
CMRR	同相除去比	-0.2V < V_{CM} < 2.9V	56	68		dB
入力インピーダンス						
	同相			10^{13} || 2		Ω ||pF
	差動			10^{13} || 4		Ω ||pF
出力						
V_{OL}	下のレールからの電圧出力スイング	I_{SINK} = 4mA		230	260	mV
		T_A = –40℃～125℃			325	
V_{OH}	上のレールからの電圧出力スイング	I_{SOURCE} = 4mA		210	250	mV
		T_A = –40℃～125℃			350	
I_{SC}	短絡電流 (コンパレータあたり)	I_{SC}、シンク	13	19		mA
		T_A = –40℃～125℃	図 6-14 を参照			
		I_{SC}、ソース	15	21		
		T_A = –40℃～125℃	図 6-14 を参照			
電源						
V_{CC}	規定電圧		2.7		5.5	V
I_Q	静止時電流	T_A = 25℃		36	46	µA
		T_A = –40℃～125℃			60	

6.8 スイッチング特性：V_{CC} = 2.7V

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位
t_{PD}	伝搬遅延時間	Low から High	入力オーバードライブ = 20mV、C_L = 15pF		47	50	ns
			入力オーバードライブ = 100mV、C_L = 15pF		42	50	
			T_A = –40℃～125℃			55	
		High から Low	入力オーバードライブ = 20mV、C_L = 15pF		40	50	
			入力オーバードライブ = 100mV、C_L = 15pF		38	50	
			T_A = –40℃～125℃			55	
	伝搬遅延スキュー	入力オーバードライブ = 20mV、C_L = 15pF			2		ns
t_R	立ち上がり時間	10%～90%			4.8		ns
t_F	立ち下がり時間	10%～90%			5.2		ns

Copyright © 2024 Texas Instruments Incorporated

6.9 代表的特性

特に記述のない限り、T_A = 25℃、V_{CC} = 5V、入力オーバードライブ (V_{OD}) = 20mV

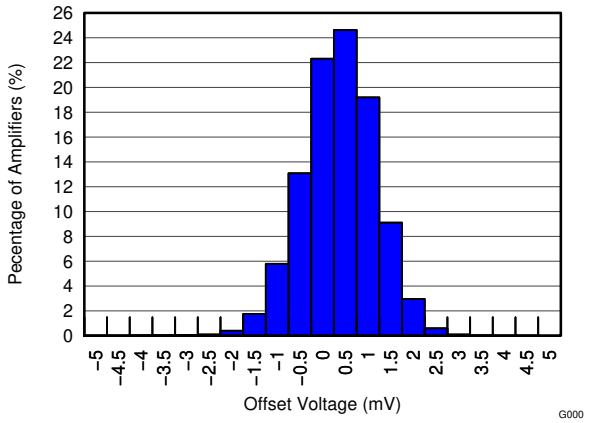


図 6-1. オフセット電圧の分布

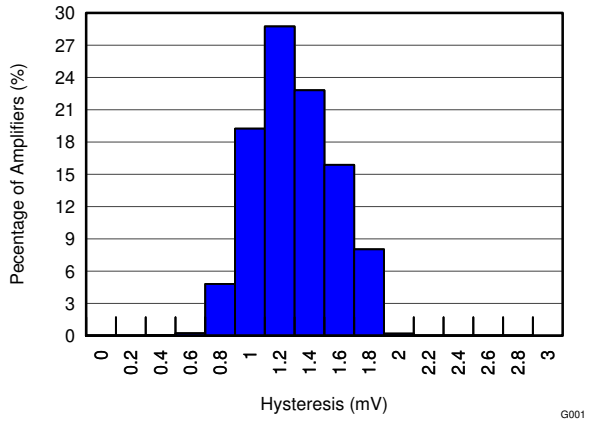


図 6-2. ヒステリシスの分布

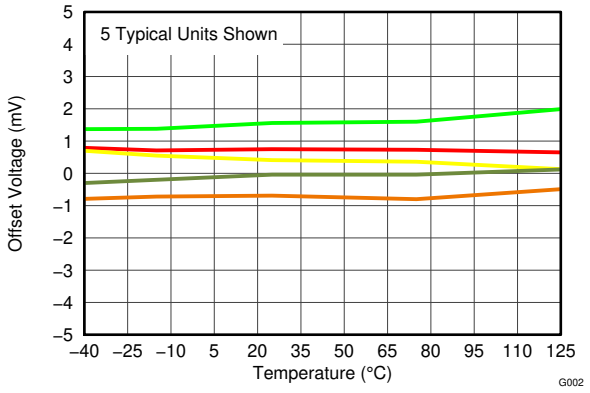


図 6-3. オフセット電圧と温度との関係

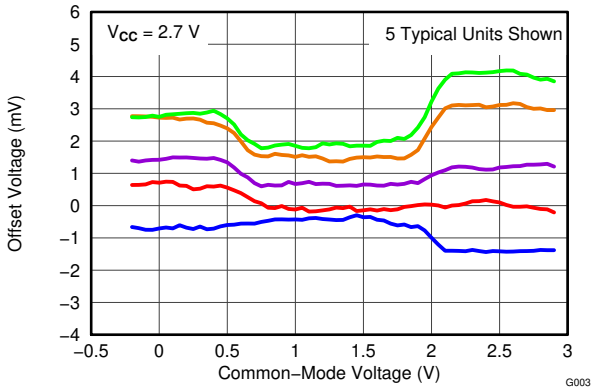


図 6-4. オフセット電圧と同相電圧との関係

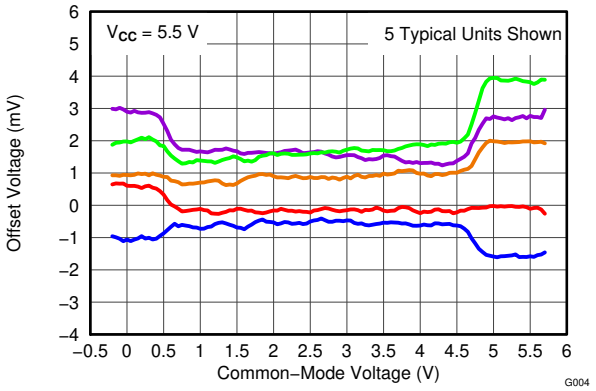


図 6-5. オフセット電圧と同相電圧との関係

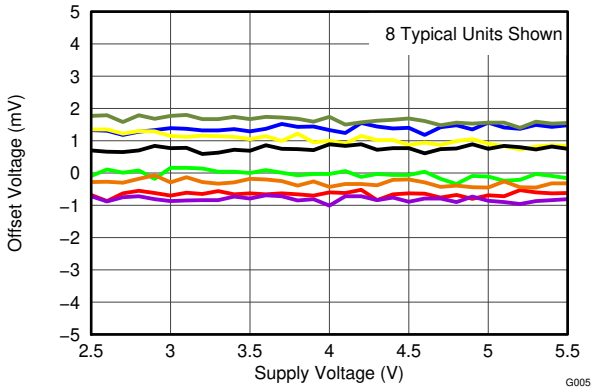


図 6-6. オフセット電圧と電源電圧との関係

Copyright © 2024 Texas Instruments Incorporated

6.9 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_{CC} = 5V、入力オーバードライブ (V_{OD}) = 20mV

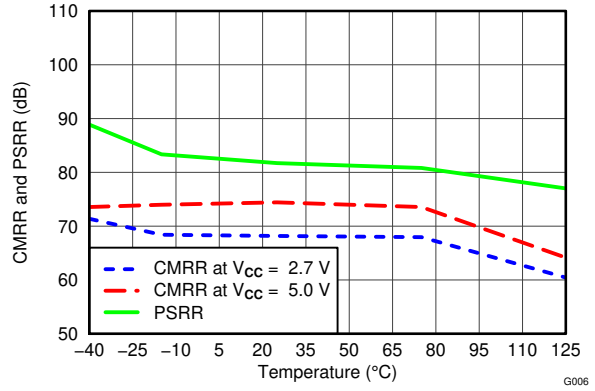


図 6-7. 同相信号除去比および電源除去比と温度との関係

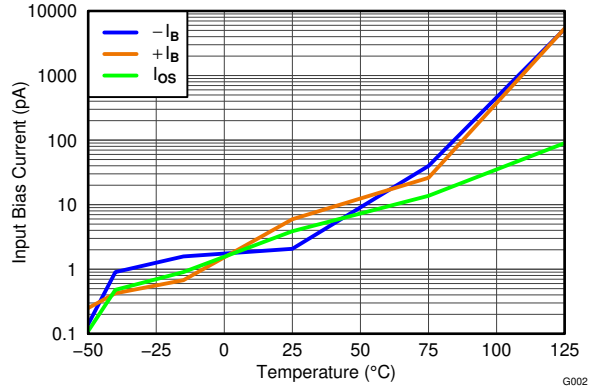


図 6-8. 入力バイアスおよび入力オフセット電流と温度との関係

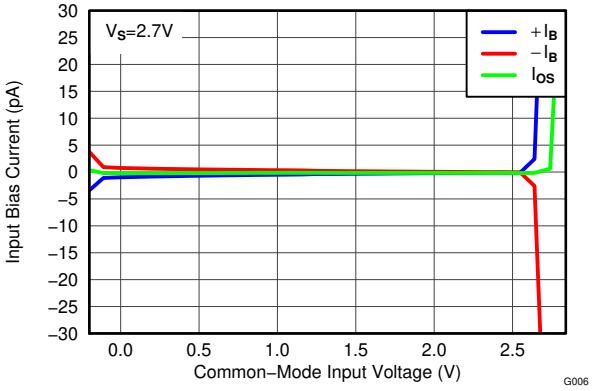


図 6-9. 入力バイアスおよび入力オフセット電流と同相入力電圧との関係

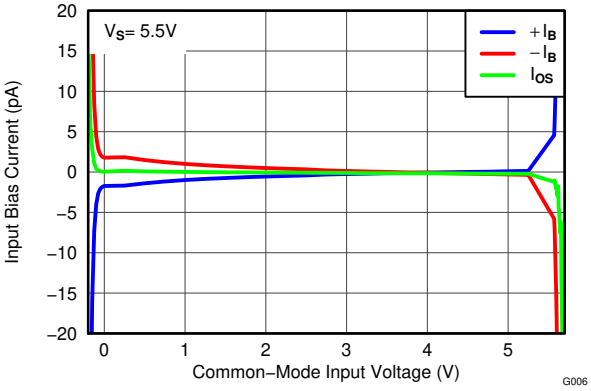


図 6-10. 入力バイアスおよび入力オフセット電流と同相入力電圧との関係

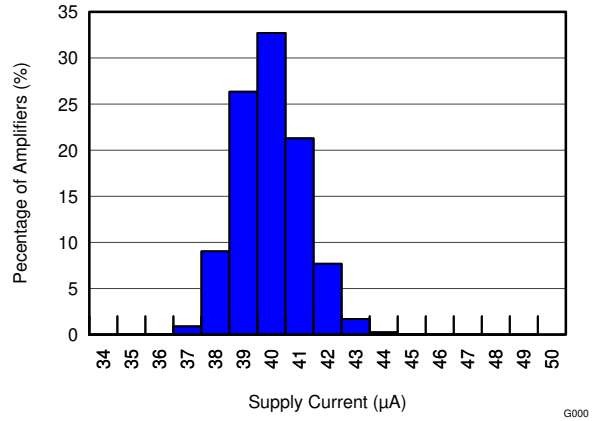


図 6-11. 静止時電流の分布

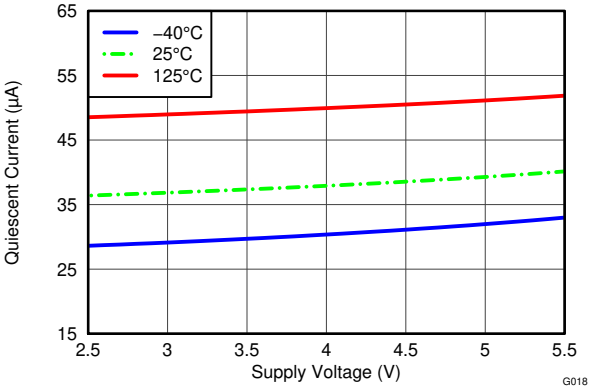


図 6-12. 静止電流と電源電圧との関係

Copyright © 2024 Texas Instruments Incorporated

6.9 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_{CC} = 5V、入力オーバードライブ (V_{OD}) = 20mV

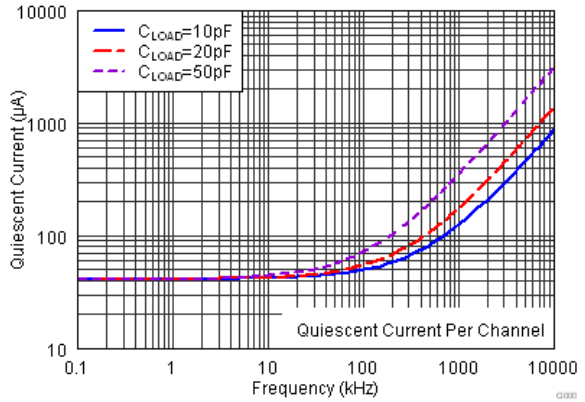


図 6-13. 電源電流と入力スイッチング周波数との関係

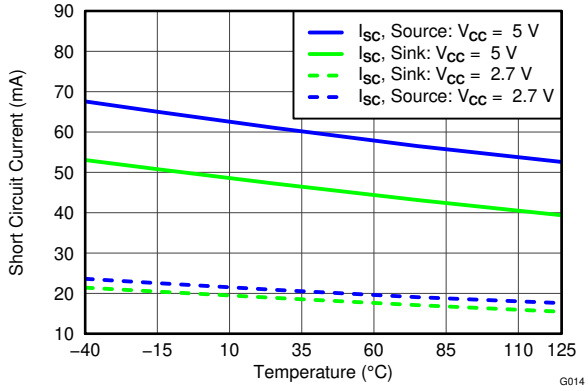


図 6-14. 短絡電流と温度との関係

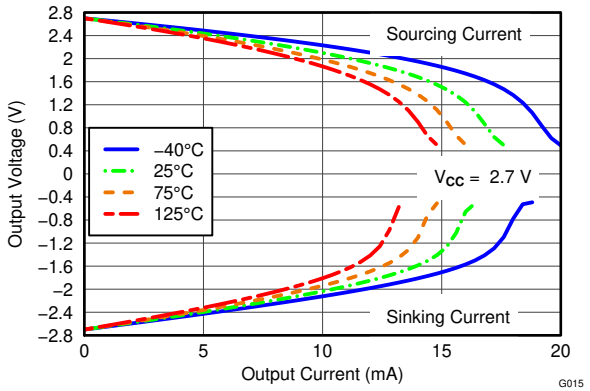


図 6-15. 出力電圧と出力電流との関係

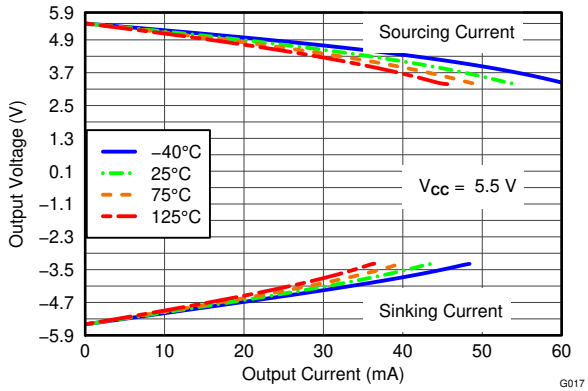


図 6-16. 出力電圧と出力電流との関係

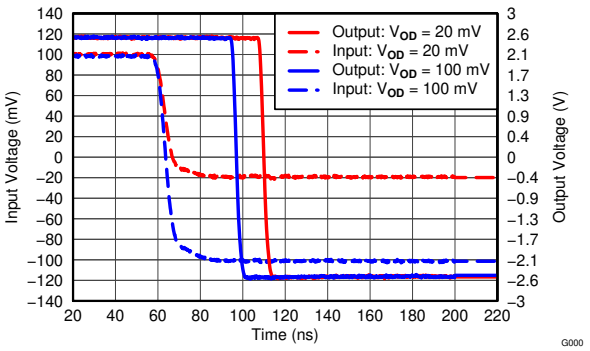


図 6-17. 伝搬遅延の立ち下がりエッジ

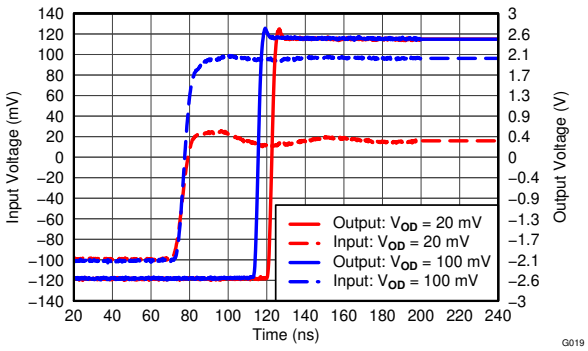


図 6-18. 伝搬遅延の立ち上がりエッジ

Copyright © 2024 Texas Instruments Incorporated

6.9 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_{CC} = 5V、入力オーバードライブ (V_{OD}) = 20mV

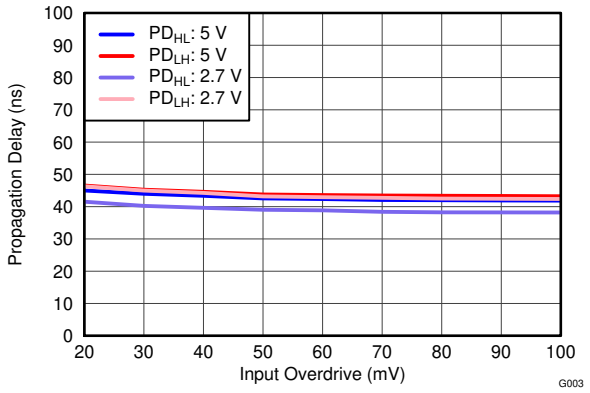


図 6-19. 伝搬遅延と入力オーバードライブとの関係

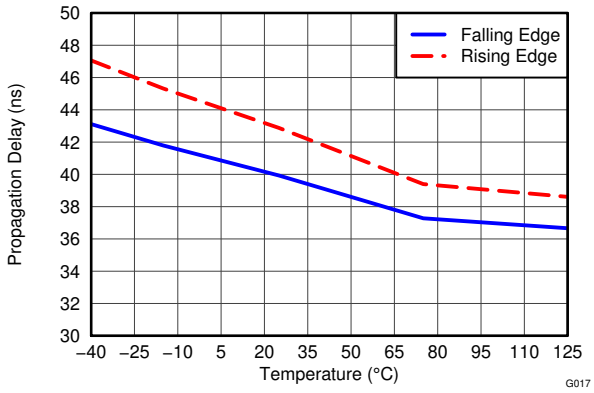


図 6-20. 伝搬遅延と温度との関係

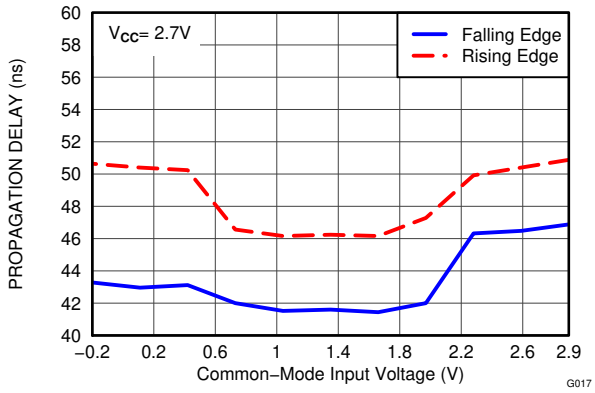


図 6-21. 伝播遅延と同相電圧との関係

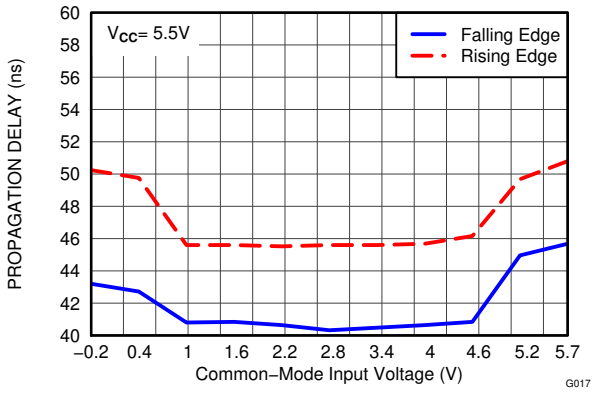


図 6-22. 伝播遅延と同相電圧との関係

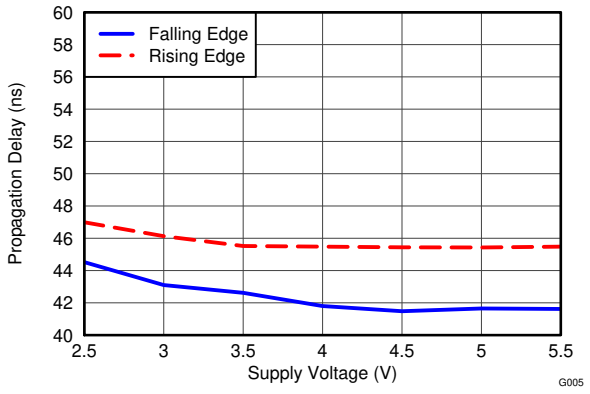


図 6-23. 伝播遅延と電源電圧との関係

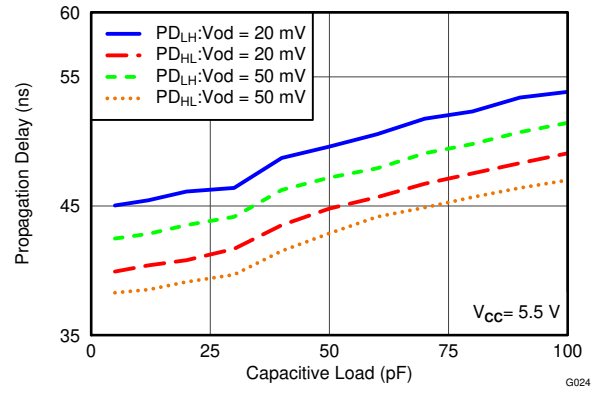


図 6-24. 伝搬遅延と容量性負荷との関係

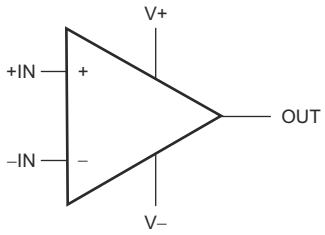
Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TLV3201 および TLV3202 デバイスは応答時間が 40ns で、1.2mV の内部ヒステリシスが搭載されているため、ノイズ耐性が向上します。入力同相範囲は電源レールを 0.2V 超えて延長されています。

7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

7.3 機能説明

7.3.1 動作電圧

TLV3201 および TLV3202 コンパレータは、-40℃～125℃の温度範囲で、2.7V～5.5V の単一電源 (または ±1.35V～±2.75V のデュアル電源) での使用が規定されています。この範囲を下回ってもデバイスは引き続き機能しますが、性能は規定されません。

7.3.2 入力過電圧保護

デバイスの入力は、入力電圧が電源電圧を約 300mV 以上超過したときに導通する静電放電 (ESD) ダイオードによって保護されています。入力電流が 10mA に制限されている場合、電源電圧を 300mV 以上上回る電圧が瞬間的に許容されます。この制限は、小さな入力抵抗をコンパレータへの入力と直列に接続することで簡単に実現できます。

7.4 デバイスの機能モード

このデバイスは、レール ツー レール電源電圧が 2.7V を超えると完全に機能します。デバイスは、2.7V 未満の任意の電圧でオフになります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TLV3201 と TLV3202 はそれぞれ単一電源とデュアル電源のプッシュプル コンパレータで、わずか 40µA の電源電流で 40ns の伝搬遅延を実現しています。高速な応答時間と最小の消費電力を兼ね備えた TLV3201 と TLV3202 は、携帯用のバッテリ駆動アプリケーションに加えて、パルス幅変調 (PWM) 出力モニタやゼロクロス検出などの高速にスイッチングするスレッショルドの検出に理想的なコンパレータです。

8.1.1 コンパレータ入力

TLV3201 と TLV3202 はレール ツー レール入力のコンパレータで、入力同相範囲が正と負の両方の電源について電源レールを 200mV 超えています。このデバイスは 2.7V～5.5V での動作が規定されており、室温では 2.5V～5.5V で動作します。TLV3201 と TLV3202 は、入力ピンが電源電圧を超えたときに位相反転を防ぐように設計されています。図 8-1 に示すように、入力電圧が電源を超えたときの TLV320x の応答で位相反転は発生しません。

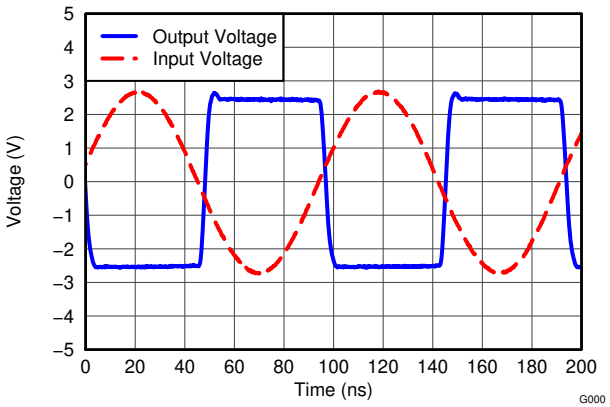
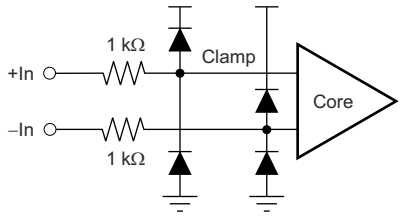


図 8-1. 位相反転なし: 入力電圧に対するコンパレータの応答 (伝搬遅延を含む)

2 つの双方向ダイオードと 1kΩ 直列抵抗の静電放電 (ESD) 保護入力構造を使用して、指定の動作条件を超える V_{CC} より高い入力電圧をクランプすることで、コンパレータの高精度入力に印加される差動入力電圧を制限します。絶対最大定格を超える可能性のある過電圧状態が存在する場合は、図 8-2 に示すように、外付けのバイパス ダイオードと抵抗を追加することをお勧めします。入力段の損傷を防止するため、電源電圧を超える大きな差動電圧は避ける必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 8-2. TLV3201 の等価入力構造

Copyright © 2024 Texas Instruments Incorporated

8.1.2 外付けのヒステリシス

TLV3201 と TLV3202 にはヒステリシス伝達曲線があり、これは V_{TH}、V_{OS}、V_{HYST} という 3 つの構成要素の関数です (図 8-3 を参照)。

- V_{TH} は、実際に設定された電圧またはスレッショルド トリップ電圧です。
- V_{OS} は、V_{IN+} と V_{IN-} の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

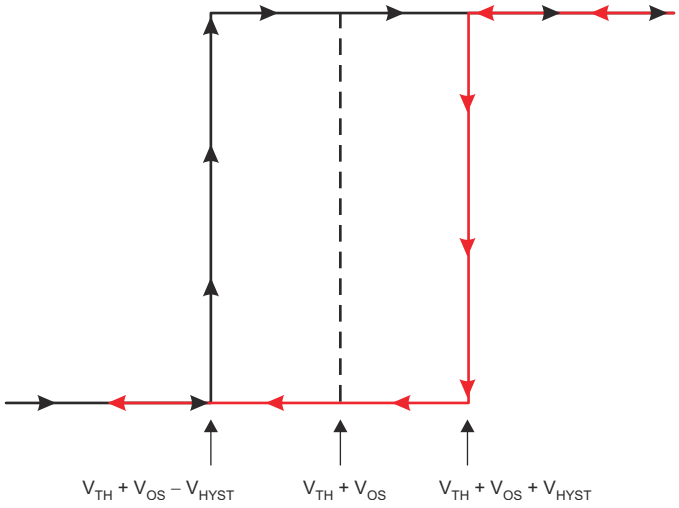


図 8-3. TLV320x のヒステリシス伝達曲線

8.1.2.1 ヒステリシス付きの反転コンパレータ

図 8-4 に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。反転入力の V_{IN} が V_A より低いとき、出力電圧は High です (単純化のため、V_O は V_{CC} と同じ高さでスイッチすると仮定)。3 つのネットワーク抵抗は、R2 と直列の R1 || R3 として表現できます。下限入力トリップ電圧 (V_{A1}) は 式 1 で定義されます。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

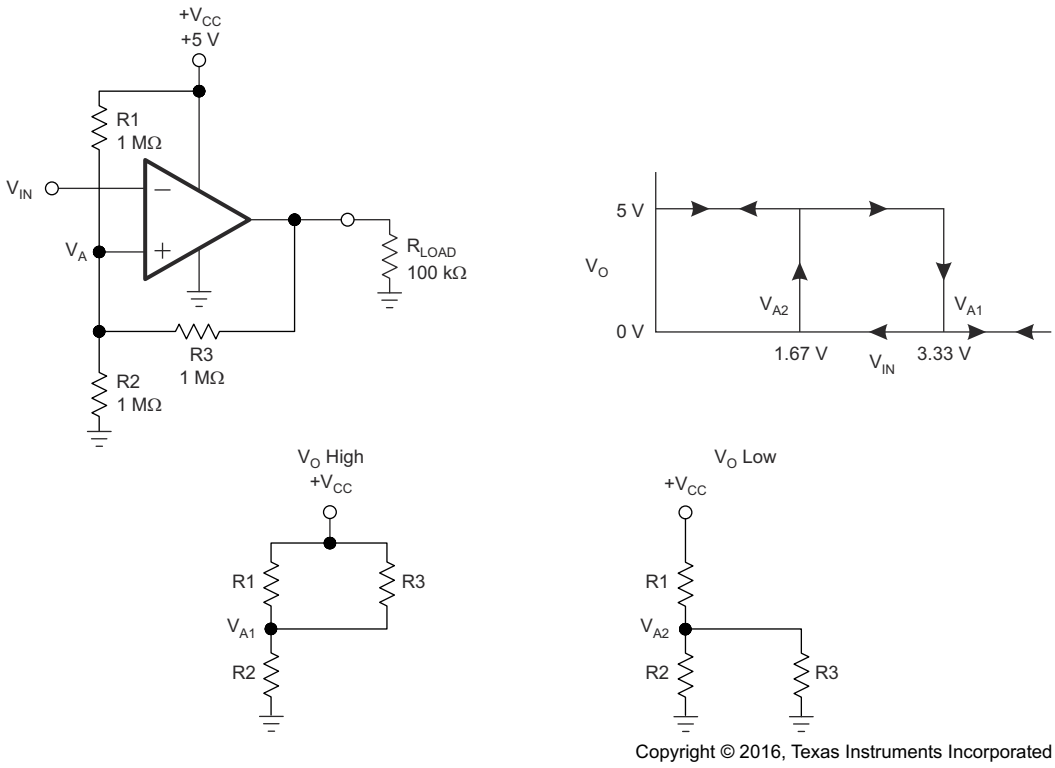
V_{IN} が $[V_A \times (V_{IN} > V_A)]$ より高くなると、出力電圧は非常にグランドに近い Low になります。この場合、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現できます。上限トリップ電圧 (V_{A2}) は 式 2 で定義されます。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

このネットワークにより提供される総ヒステリシスは、式 3 で定義されます。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

Copyright © 2024 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

図 8-4. ヒステリシス付き反転構成の TLV3201

8.1.2.2 ヒステリシス付きの非反転コンパレータ

ヒステリシス付きの非反転コンパレータには、図 8-5 に示す 2 つの抵抗ネットワークと、反転入力側に電圧リファレンス (V_{REF}) が必要です。V_{IN} が Low のとき、出力も強制的に Low になります。出力が Low から High に切り替わるには、V_{IN} が V_{IN1} よりも高くなる必要があります。V_{IN1} は、式 4 によって計算されます。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} \times V_{REF} \tag{4}$$

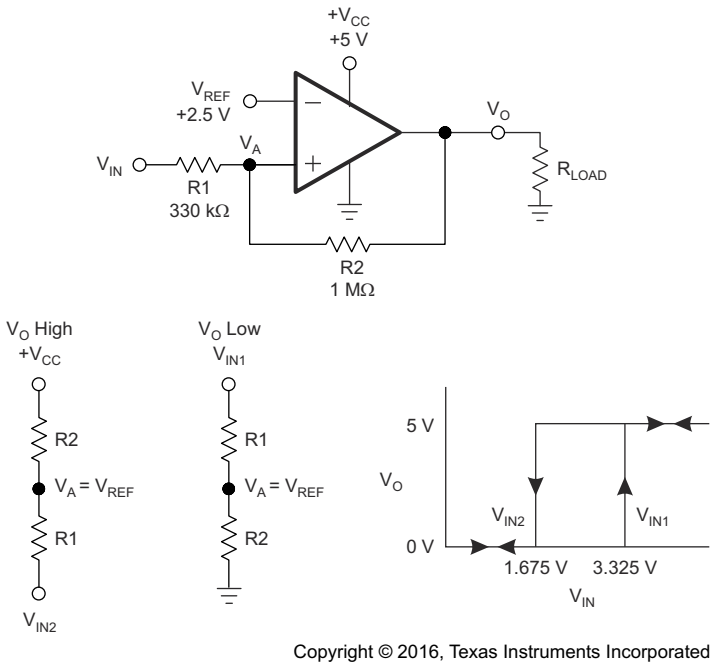
V_{IN} が High のとき、出力も High です。コンパレータを Low 状態に戻すには、V_A が再度 V_{REF} と等しくなる前に、V_{IN} が V_{REF} と等しくなる必要があります。V_{IN} は、式 5 で計算できます。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 で定義されるように、この回路のヒステリシスは V_{IN1} と V_{IN2} との差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

Copyright © 2024 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

図 8-5. ヒステリシスを持つ非反転構成の TLV3201

8.1.3 容量性負荷

TLV3201 と TLV3202 にはプッシュプル出力があり、出力が切り替わるとき、V_{CC} とグランドとの間に直接経路が存在し、遷移中の出力シンクまたはソース電流が増加します。遷移後には出力電流が減少し、電源電流が 40µA に戻るため、低消費電力を維持できます。容量性負荷が適切なら、TLV3201 と TLV3202 は規定の伝搬遅延を維持しますが (セクション 6.9 を参照)、高いスイッチング周波数で過剰な容量性負荷をかけると、電源電流や伝搬遅延が増加し、スルーレートの低下を招く可能性があります。

8.2 代表的なアプリケーション

8.2.1 AC 結合コンパレータとして構成された TLV3201

単一電源コンパレータ回路で AC 結合を行うことの利点の 1 つは、グランド ループ オフセットによって誘導され、誤トリップや同相入力違反を引き起こす可能性がある DC オフセットをブロックできることです。AC 結合コンパレータとして構成された TLV3201 を、図 8-6 に示します。

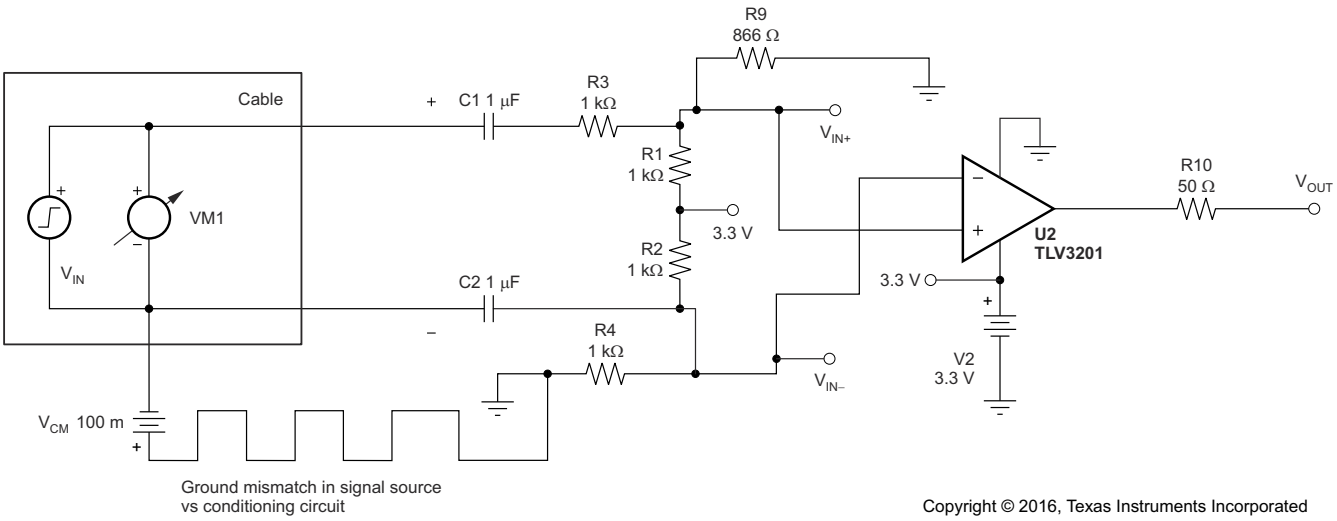


図 8-6. AC 結合コンパレータとして構成された TLV3201 (回路図)

8.2.1.1 設計要件

設計要件は次のとおりです。

- 最大 ±100mV の同相信号に耐える能力。
- AC 信号でのみトリガ (ゼロクロス検出など)。

8.2.1.2 詳細な設計手順

設計の分析:

- AC 結合のハイパス周波数
- 大容量コンデンサを使用すると、デバイスの電源投入から起動までの時間が長くなります。
- 1µF のコンデンサを使用すると、約 159Hz のハイパス周波数を実現できます。
- 等価ハイパスの場合、C_{IN} = 0.5µF、R_{IN} = 2kΩ を使用します。

1. 最初は、入力分圧器を電源の半分の電圧に設定します (許容される同相範囲の中央になるように)。
2. どちらかのデバイダを必要に応じてわずかに上向きまたは下向きに調整し、静止出力状態を確立します。
3. 予測される最低の周波数に基づいて、カップリング コンデンサを選定します。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.3 アプリケーション曲線

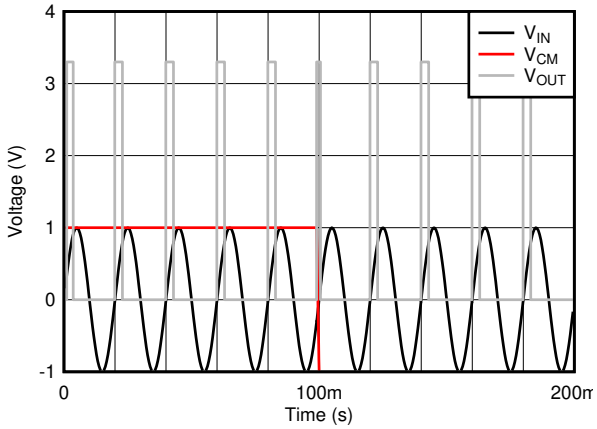
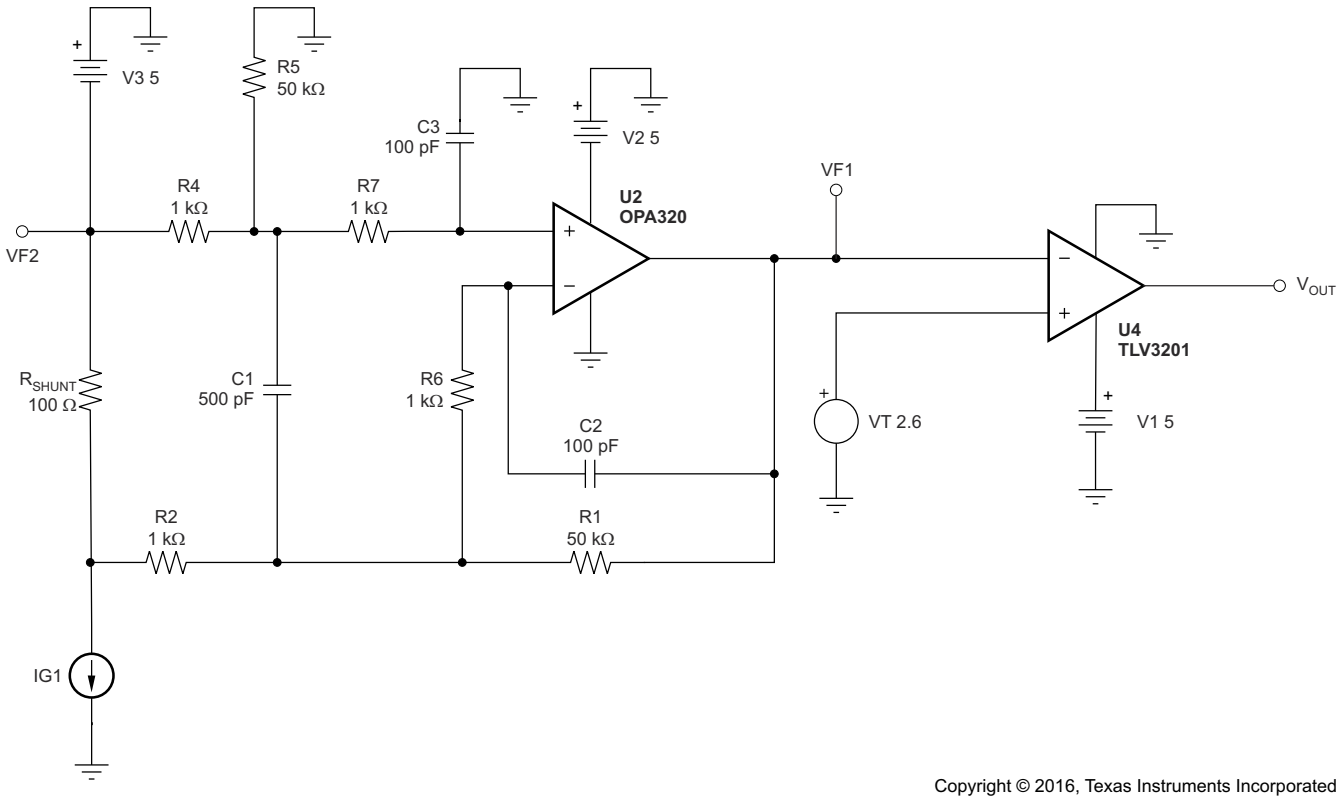


図 8-7. AC 結合コンパレータの結果

8.2.2 高速応答の出力電流モニタとして構成された TLV3201 および OPA320

ゲインが 50 の差動アンプとして構成された単一電源の電流モニタを、図 8-8 に示します。この回路で OPA320 が選択されている理由は、ゲイン帯域幅 (20MHz) により、シャント抵抗を流れる電流のトリガと監視を高速化し、それによって TLV3201 の高速応答を実現できることです。



Copyright © 2016, Texas Instruments Incorporated

図 8-8. 高速応答の出力電流モニタとして構成された TLV3201 および OPA320

8.2.3 高精度アナログ温度スイッチとして構成された TLV3201 および TMP20

TMP20 と TLV3201 を高速温度スイッチとして設計した例を、図 8-9 に示します。TMP20 はアナログ出力温度センサで、温度に応じて出力電圧が低下します。出力がクリティカル トリップのスレッショルドに達すると、コンパレータの出力がトリップされます。

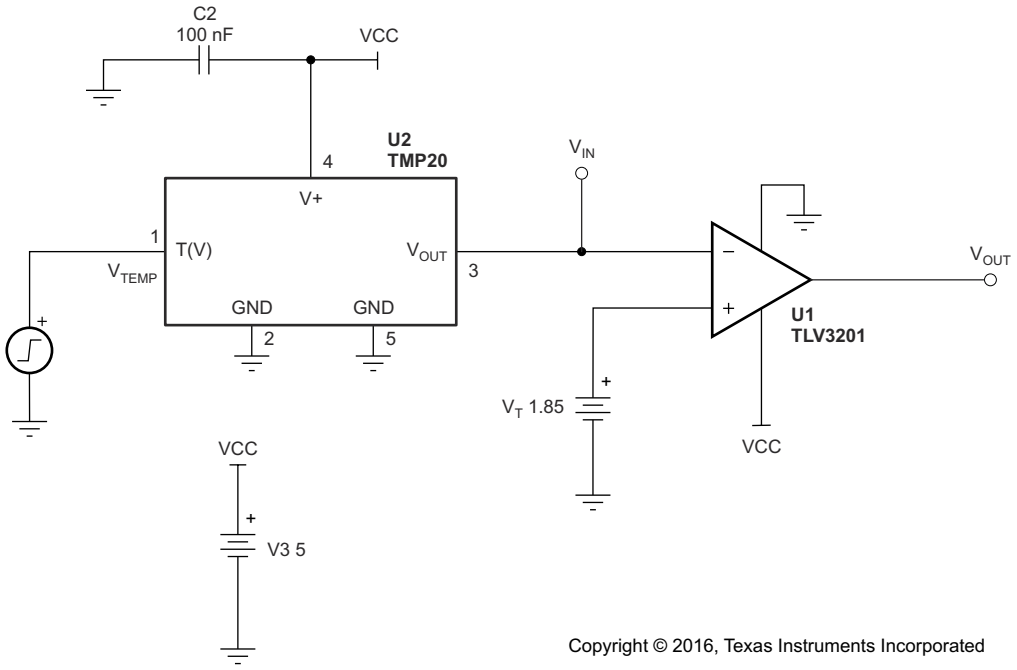


図 8-9. 高精度アナログ温度スイッチとして構成された TLV3201 および TMP20

8.3 電源に関する推奨事項

TLV3201 および TLV3202 コンパレータは、-40℃～125℃の温度範囲で、2.7V～5.5V の単一電源 (または ±1.35V～±2.75V のデュアル電源) での使用が規定されています。この範囲を下回ってもデバイスは引き続き機能しますが、性能は規定されません。電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入するノイズを低減できます。バイパス コンデンサの配置の詳細については、セクション 8.4.1 を参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

TLV3201 と TLV3202 は高速スイッチングの高速コンパレータで、高速レイアウトの検討が必要です。最高の性能を得るには、以下のレイアウトのガイドラインに従ってください。

- 良好で途切れていない低インダクタンスのグランド プレーンを持つプリント基板 (PCB) を使用します。
- デカップリング・コンデンサ (0.1µF セラミック、表面実装コンデンサ) を、V_{CC} のできるだけ近くに配置します。
- 入力と出力では、コンパレータ周辺での望ましくない寄生フィードバックを避けるため、リードの長さをできるだけ短くします。入力を出力から離して配置します。
- ソケットを使用せず、デバイスを直接 PCB に半田付けします。
- 入力信号が低速で変化する場合は、寄生フィードバックを防止するよう注意してください。入力間に小さなコンデンサ (1000pF 以下) を配置することで、遷移領域での発振を除去できます。このコンデンサは、インピーダンスが低いときに伝搬遅延を多少劣下させます。上面のグランド プレーンは、出力と入力との間に配置されています。
- グランド ピンのグランド トレースはデバイスの下からバイパス・コンデンサまで伸び、入力を出力からシールドします。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 レイアウト例

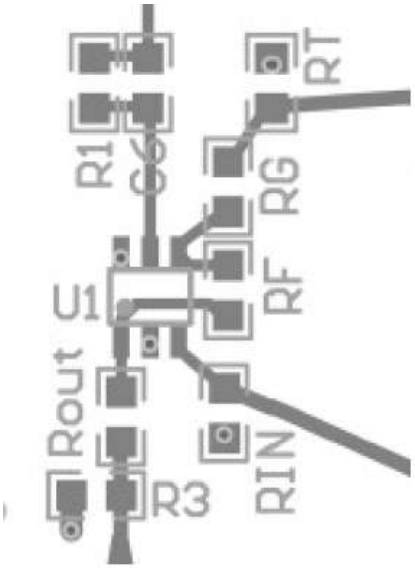


図 8-10. TLV320x デバイスのレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 TINA-TI™ (無料のダウンロード ソフトウェア)

TINA-TI™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI は、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロ モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

9.1.1.2 ユニバーサル オペアンプ評価基板

ユニバーサル オペアンプ評価基板は一連の汎用のブランクアウト回路基板で、各種の IC パッケージ タイプ向けの回路プロトタイプを簡単に作成できます。この評価基板は、多くの異なる回路を簡単かつ迅速に構築できるように設計されています。5 つのモデルが提供されており、それぞれのモデルは特定のパッケージ タイプを対象としています。PDIP、SOIC、MSOP、TSSOP、SOT23 のパッケージがすべてサポートされています。

注

これらの基板には部品が搭載されていないため、ユーザーが独自の IC を実装する必要があります。ユニバーサル オペアンプ評価基板を注文するときに、オペアンプ デバイスのサンプルをいくつか要求することをお勧めします。

9.1.1.3 TI Precision Designs

TI Precision Designs は、テキサス・インスツルメンツの高精度アナログ アプリケーションの専門家により作成されたアナログ ソリューションで、多くの有用な回路に関して、動作理論、コンポーネント選択、シミュレーション、完全な PCB 回路図とレイアウト、部品表、性能測定結果を提供します。TI Precision Designs は、http://www.ti.com/ww/en/analog/precision-designs/ からオンラインで入手できます。

9.1.1.4 WEBENCH® Filter Designer

WEBENCH® Filter Designer は単純で強力な、使いやすいアクティブ フィルタ設計プログラムです。WEBENCH Filter Designer を使用すると、TI のベンダ パートナーからの TI 製オペアンプやパッシブ コンポーネントを使用して、最適なフィルタ設計を作成できます。

WEBENCH® Filter Designer は、WEBENCH® Design Center から Web ベースのツールとして利用でき、完全な複数段のアクティブ フィルタ ソリューションをわずか数分で設計、最適化、シミュレーションできます。

9.2 ドキュメントのサポート

9.2.1 関連資料

TLV320x の使い方に関する以下のドキュメントを参考としてお勧めします。すべてのドキュメントは、特に記述のない限り www.tij.co.jp からダウンロードできます。

- 『UCC28950 と TLV3201 での周波数ディザリング』

Copyright © 2024 Texas Instruments Incorporated

- 『UCC28180 と TLV3201 での周波数ディザリング』
- 『ヒステリシスを持つ コンパレータのリファレンス デザイン』

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

TINA-TI™ is a trademark of Texas Insturments and DesignSoft, Inc..
DesignSoft™ is a trademark of DesignSoft, Inc.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (December 2016) to Revision C (June 2022) **Page**

- 「熱評価基準」表で、TLV3202 D と DGK の列が入れ替わっていたのを訂正 4
- 「熱評価基準」表の DGK Tja の誤字を「146.3」から「143.6」に訂正 4
- 5V の TLV3201 の入力オフセット電圧を追加 5
- 5V のスイッチング特性の表を追加 5
- 2.7V の TLV3201 の入力オフセット電圧を追加 6

Changes from Revision A (June 2012) to Revision B (December 2016) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「注文情報」表を削除 (このデータシートの末尾にある「パッケージ オプションについての付録」を参照) 1

Changes from Revision * (March 2012) to Revision A (June 2012) **Page**

- デバイスのステータスを「量産データ」から「混在ステータス」へ変更 1
- デュアル チャネルのデバイスを追加 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定したデバイスについて利用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3201AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN | POST-PLAT AG SPOT	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKRG4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKRG4.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | POST-PLAT AG SPOT	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3202AID	Active	Production	SOIC (D) | 8	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AID.B	Active	Production	SOIC (D) | 8	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDGK.B	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3201, TLV3202 :

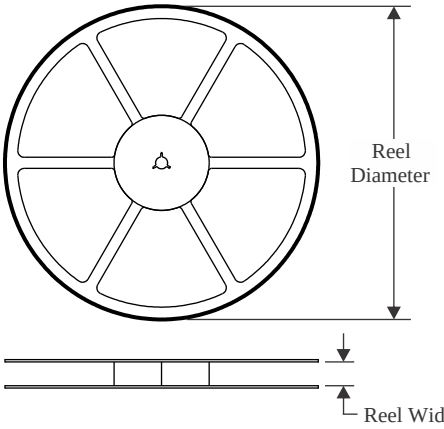
- Automotive : TLV3201-Q1, TLV3202-Q1

NOTE: Qualified Version Definitions:

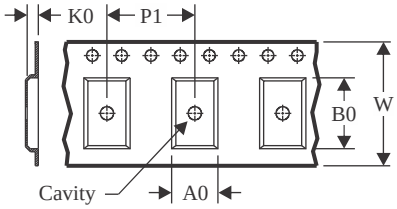
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

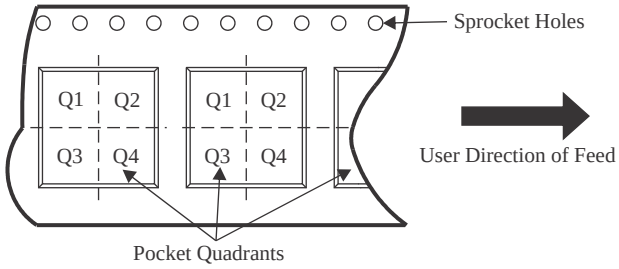


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

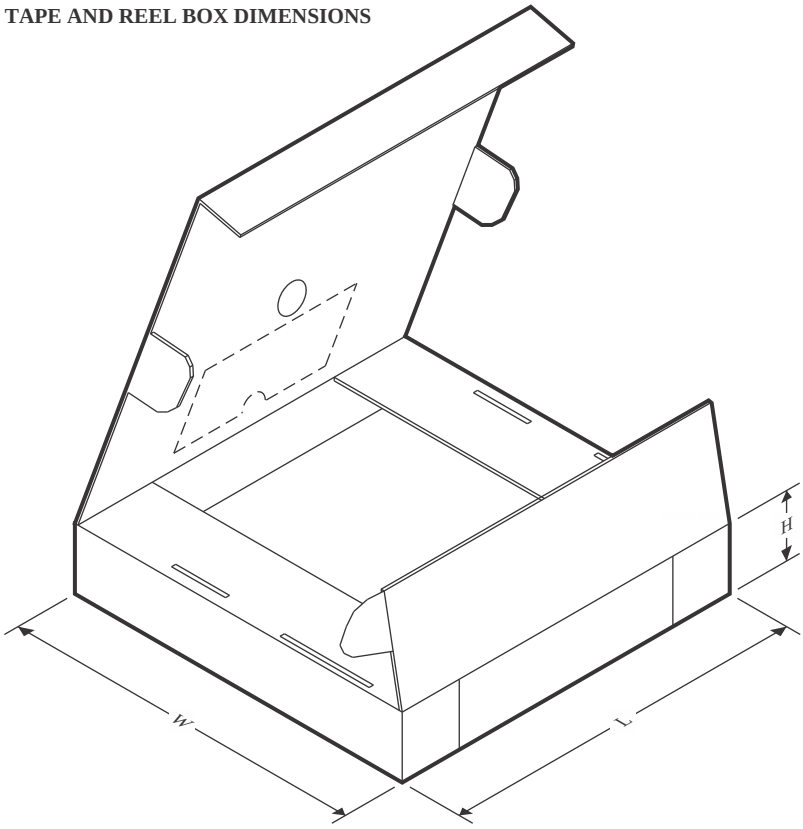
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3201AIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3201AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3201AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3201AIDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3201AIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV3201AIDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV3201AIDCKRG4	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV3201AIDCKT	SC70	DCK	5	250	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3201AIDCKT	SC70	DCK	5	250	178.0	8.4	2.4	2.5	1.2	4.0	8.0	Q3
TLV3202AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3202AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

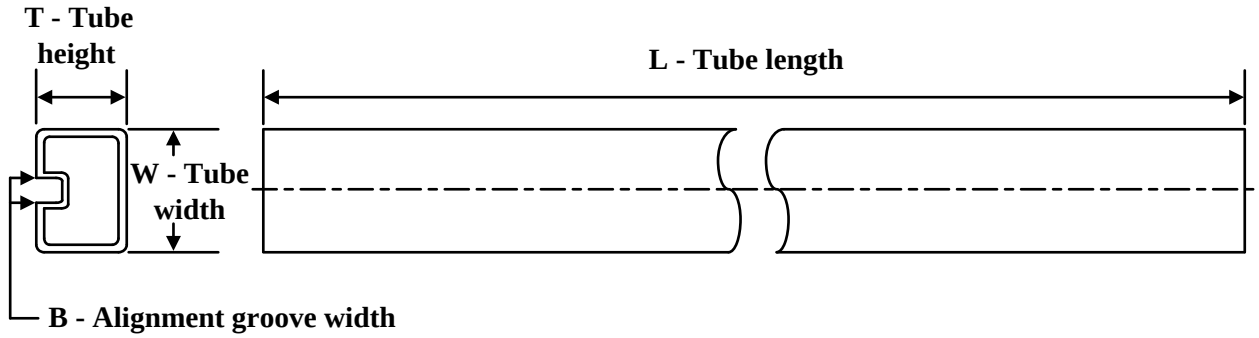
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3201AIDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV3201AIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3201AIDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TLV3201AIDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV3201AIDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TLV3201AIDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
TLV3201AIDCKRG4	SC70	DCK	5	3000	190.0	190.0	30.0
TLV3201AIDCKT	SC70	DCK	5	250	210.0	185.0	35.0
TLV3201AIDCKT	SC70	DCK	5	250	190.0	190.0	30.0
TLV3202AIDGKR	VSSOP	DGK	8	2500	364.0	364.0	27.0
TLV3202AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

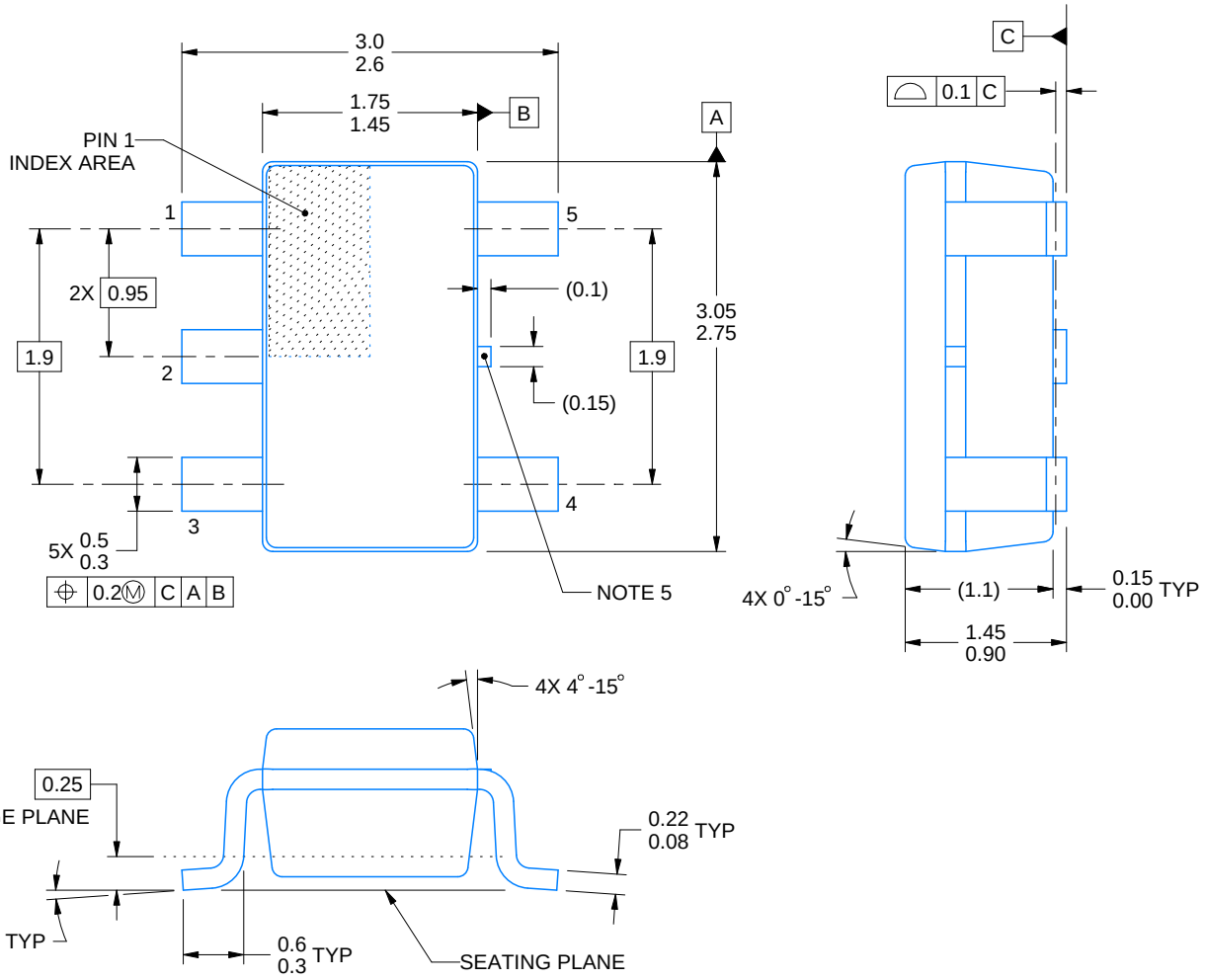
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLV3202AID	D	SOIC	8	50	507	8	3940	4.32
TLV3202AID	D	SOIC	8	50	506.6	8	3940	4.32
TLV3202AID.B	D	SOIC	8	50	506.6	8	3940	4.32
TLV3202AID.B	D	SOIC	8	50	507	8	3940	4.32
TLV3202AIDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TLV3202AIDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

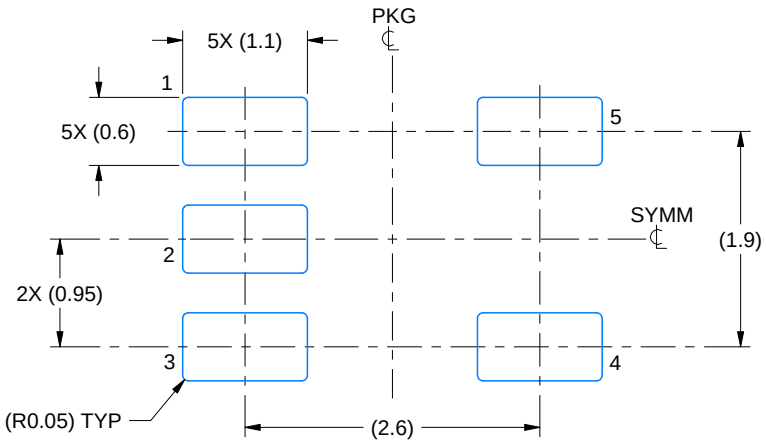
SMALL OUTLINE TRANSISTOR



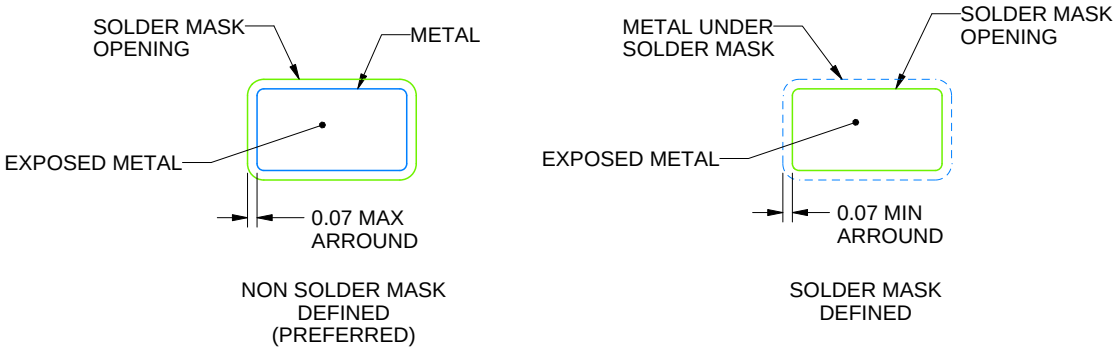
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

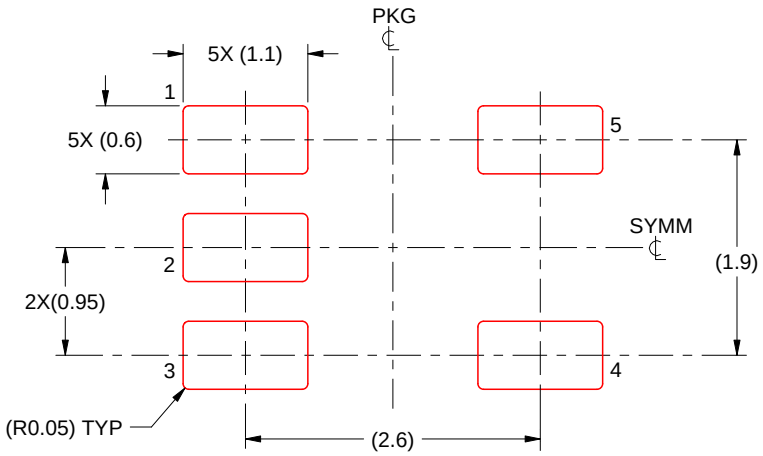


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

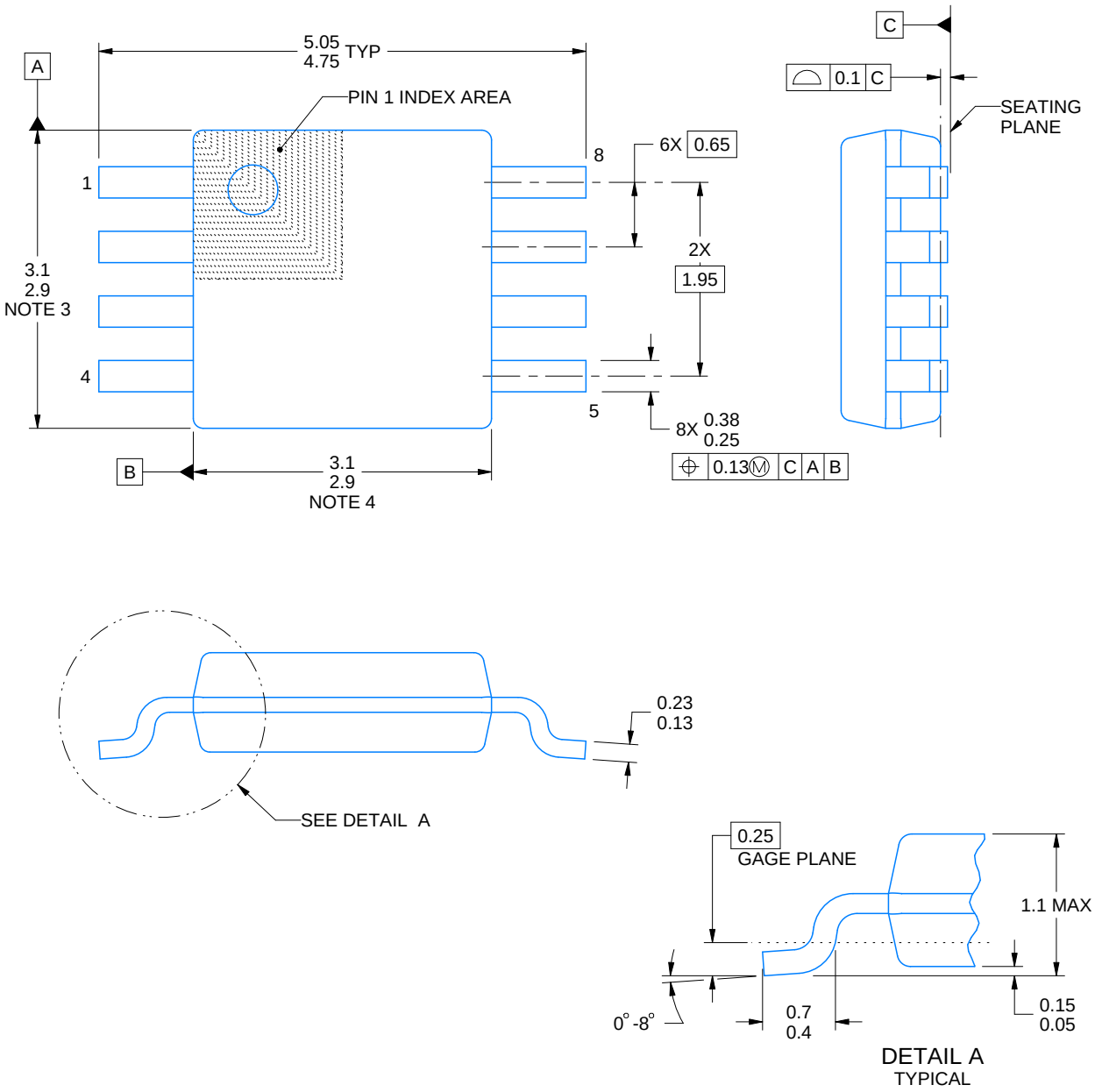
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

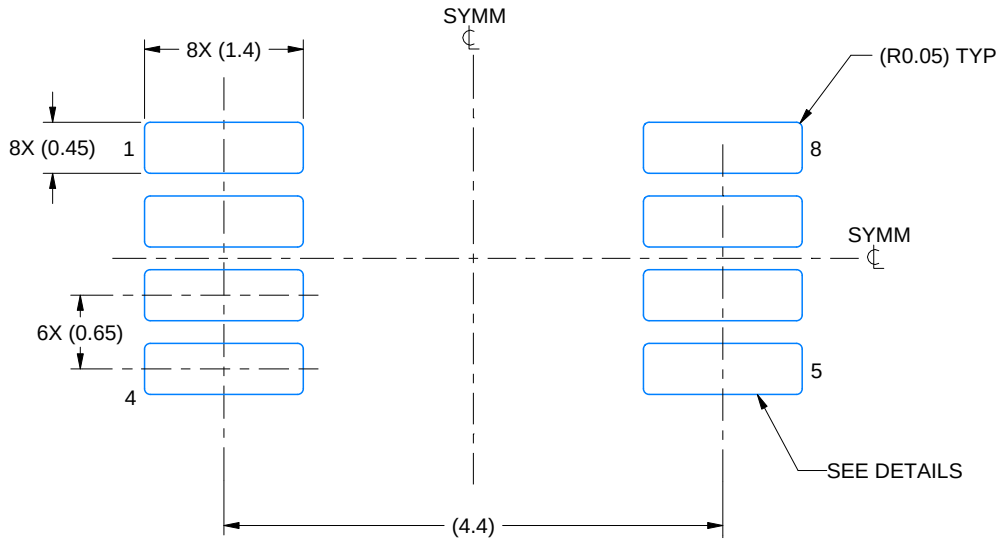
SMALL OUTLINE PACKAGE



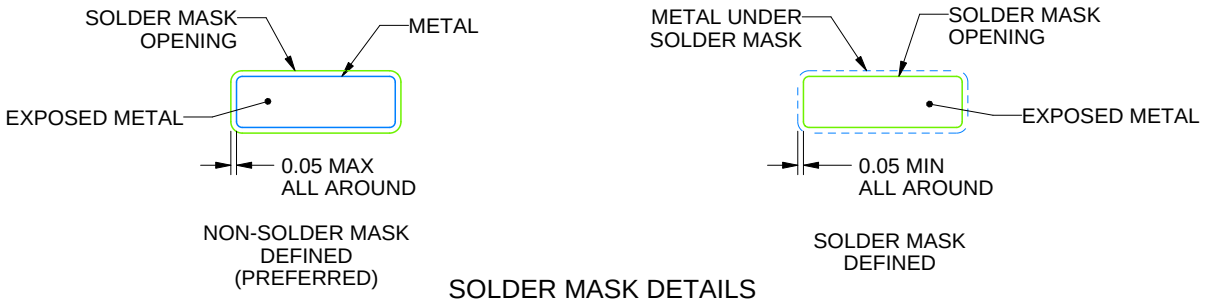
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

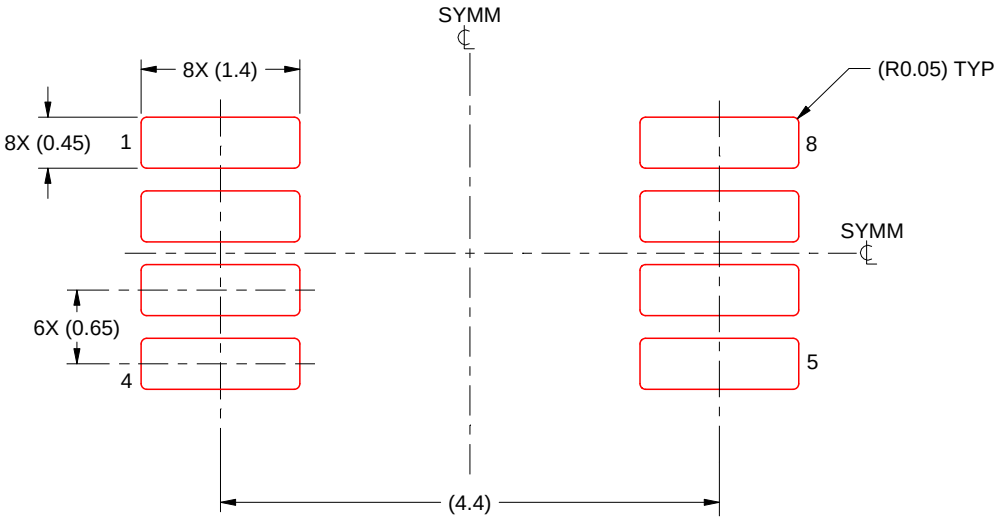


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

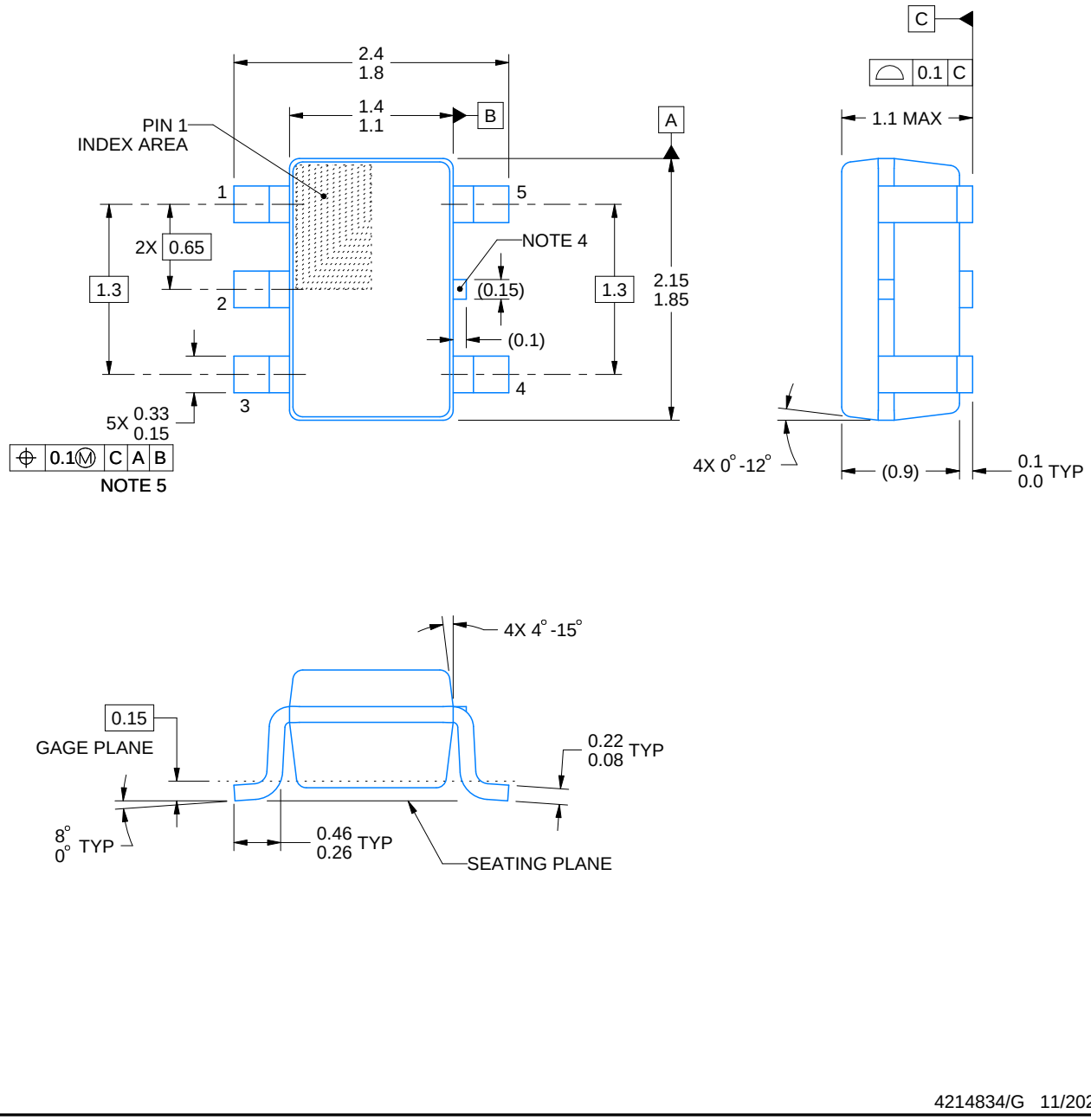
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

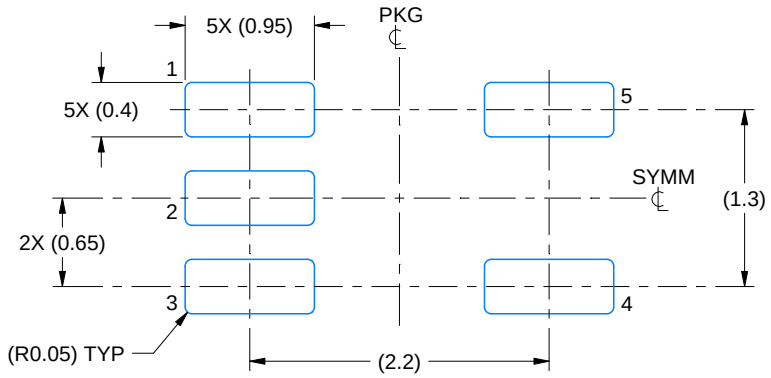
SMALL OUTLINE TRANSISTOR



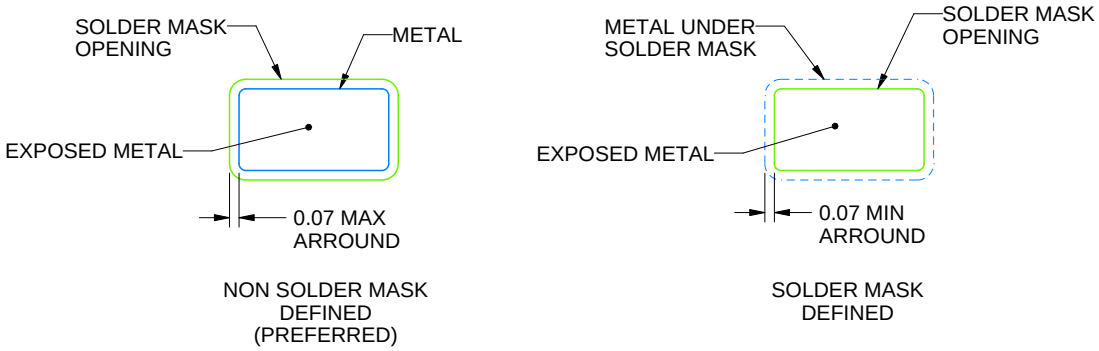
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

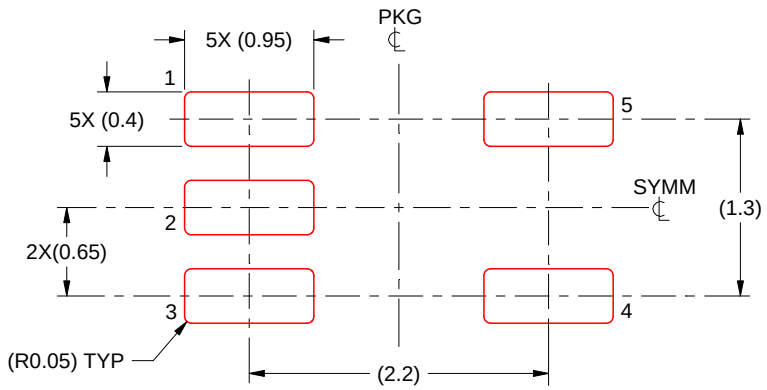


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

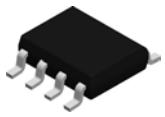


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

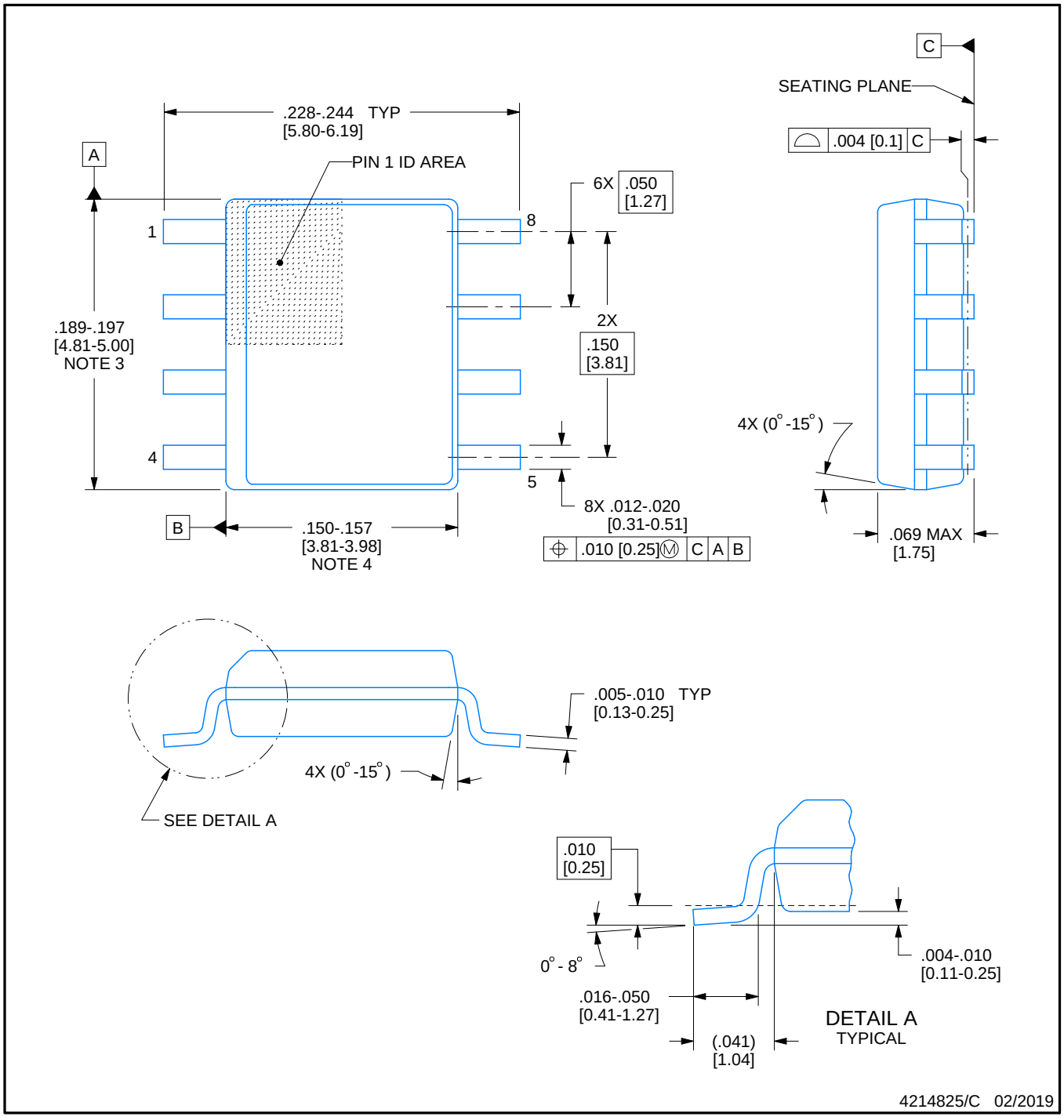


PACKAGE OUTLINE

D0008A

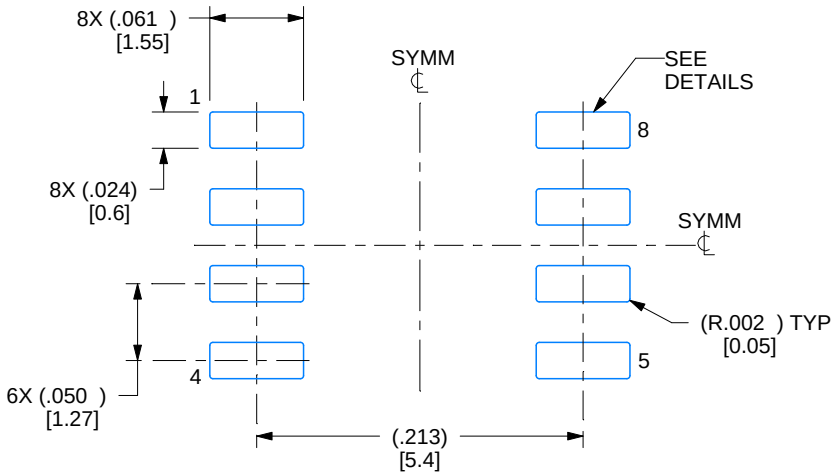
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

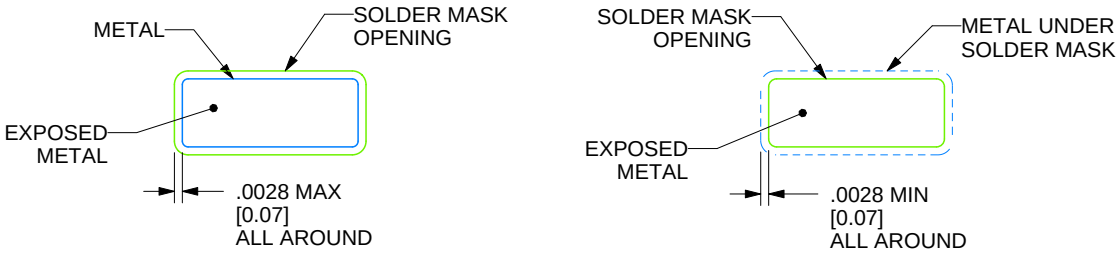


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

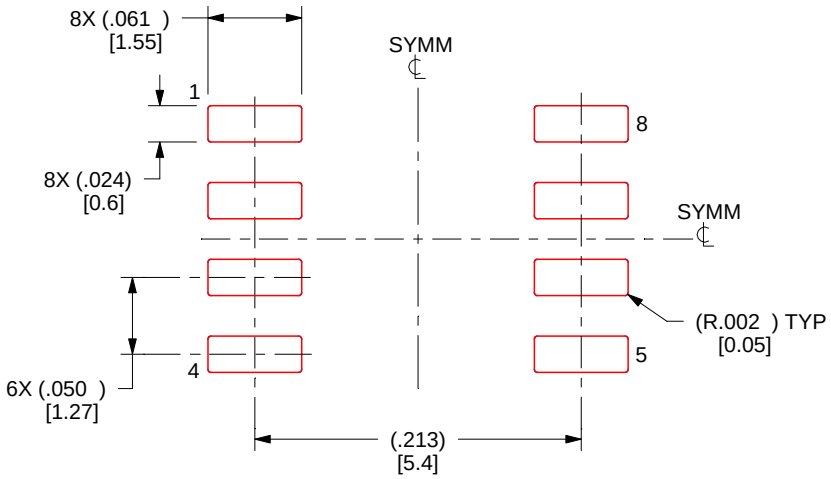
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月