TLV321x-Q1 および TLV322x-Q1 Automotive レール ツー レール入力の 40ns 高速コンパレータ

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:動作時周囲温度範囲 -40℃～125℃
- 伝搬遅延:40ns
- 低い消費電流:40µA (チャネルあたり)
- 入力オフセット電圧:±1mV (最大値)
- 内部ヒステリシス:1.8mV
- レールから 200mV 拡張された入力電圧範囲
- 既知のスタートアップ条件でのパワーオン リセット (POR)
- プッシュプル出力オプション (TLV321x-Q1)
- オープン ドレイン出力オプション (TLV322x-Q1)

2 アプリケーション

- テレマティクス eCall
- 車載用ヘッド ユニット
- インストルメント クラスタ
- オンボード チャージャ (OBC) とワイヤレス チャージャ

3 説明

The TLV321x-Q1 および TLV322x-Q1 は、プッシュプルまたはオープン ドレイン出力オプションを備えた 5V シングル、デュアル、クワッド チャネル高速コンパレータのファミリです。このファミリは速度と消費電力の組み合わせが非常に優れており、伝搬遅延は 40ns、電源電圧範囲は 1.8V～5.5V で、チャネルあたりの静止時電流はわずか 40µA です。

これらの特長と高速応答時間、レールツーレール入力、低オフセット電圧、および大きな出力駆動電流により、このファミリは電流検知、ゼロクロス検出、および速度が重要となるその他のさまざまなアプリケーションに最適です。

また、このファミリは、パワーオン リセット (POR) 機能の搭載により、最小電源電圧に達するまで出力が既知の状態の範囲内にあることが保証されるため、システムの電源投入時および電源切断時の出力過渡応答を防止できます。

TLV321x-Q1 は、対称的な立ち上がり/立ち下がり時間に対して大きな電流をシンクおよびソースできるプッシュプル出力段を備えており、MOSFET ゲートなどの容量性負荷を迅速に駆動できます。

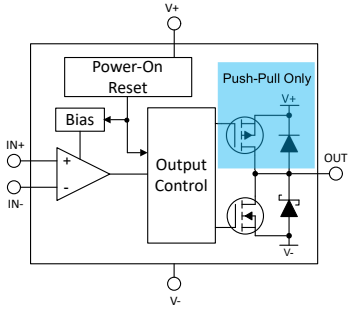
TLV322x-Q1 は、電源電圧未満または電源電圧を超えてプルアップできるオープン ドレイン出力を備えています。これらのデバイスは、低電圧ロジックレベルシフタ、または組み合わせによるロジックライン向けに設計されています。

すべてのデバイスは、-40℃～125℃°C の拡張工業用温度範囲で仕様が規定されています。

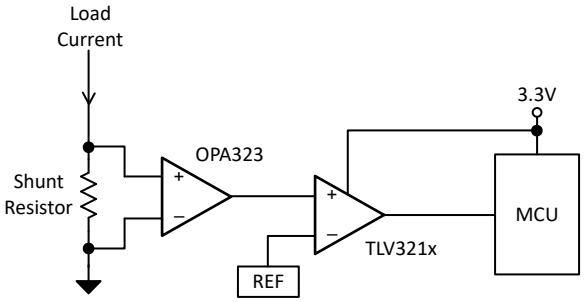
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TLV3211-Q1、(シングル) TLV3221-Q1	DCK (SOT-SC70、5)	2mm × 2.1mm
	DBV (SOT-23、5)	2.9mm × 2.8mm
TLV3212-Q1、 TLV3222-Q1 (デュアル)	D (SOIC、8)(3)	4.9mm × 6mm
	DGK (VSSOP、8)	3.0mm × 4.9mm
TLV3214-Q1 (クワッド)	PW (TSSOP、14)	5mm × 6.4mm
	RTE (WQFN、16)(3)	3mm × 3mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) プレビュー情報 (量産データではありません)。



ブロック図



ローサイド電検出流

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

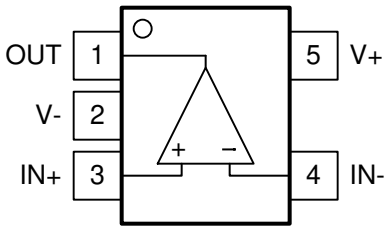
目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
4.1 ピン構成：TLV3211-Q1、TLV3221-Q1 ... 3
4.2 ピン構成：TLV3212-Q1、TLV3222-Q1 ... 4
4.3 ピン構成：TLV3214-Q1 ... 5
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 6
5.4 熱に関する情報 - シングル ... 7
5.5 熱に関する情報 - デュアル ... 7
5.6 熱に関する情報 - クワッド ... 7
5.7 電気的特性 ... 8
5.8 スイッチング特性 ... 9
5.9 代表的特性 ... 10
6 詳細説明 ... 18
6.1 概要 ... 18
6.2 機能ブロック図 ... 18
6.3 機能説明 ... 18
6.4 デバイスの機能モード ... 18
7 アプリケーションと実装 ... 21
7.1 アプリケーション情報 ... 21
7.2 代表的なアプリケーション ... 24
7.3 電源に関する推奨事項 ... 25
7.4 レイアウト ... 26
8 デバイスおよびドキュメントのサポート ... 27
8.1 ドキュメントのサポート ... 27
8.2 ドキュメントの更新通知を受け取る方法 ... 27
8.3 サポート・リソース ... 27
8.4 商標 ... 27
8.5 静電気放電に関する注意事項 ... 27
8.6 用語集 ... 27
9 改訂履歴 ... 27
10 メカニカル、パッケージ、および注文情報 ... 28

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

4.1 ピン構成：TLV3211-Q1、TLV3221-Q1



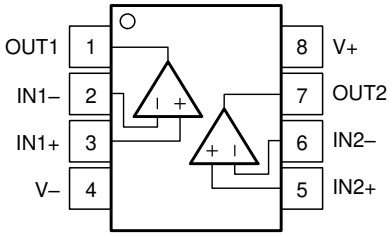
DCK、DBV パッケージ
SC70、SOT-23-5
上面図
(ノース ウェスト ピン配置)

表 4-1. ピンの機能：TLV3211-Q1、TLV3221-Q1

ピン		タイプ(1)	説明
名称	番号		
OUT	1	O	出力
V-	2	—	負電源電圧
IN+	3	I	非反転 (+) 入力
IN-	4	I	反転 (-) 入力
V+	5	-	正電源電圧

(1) I = 入力、O = 出力

4.2 ピン構成：TLV3212-Q1、TLV3222-Q1



D、DGK パッケージ
8 ピン SOIC、VSSOP
上面図

表 4-2. ピンの機能：TLV3212-Q1、TLV3222-Q1

ピン		タイプ(1)	説明
名称	番号		
OUT1	1	O	コンパレータ 1 の出力ピン
IN1–	2	I	コンパレータ 1 の反転入力ピン
IN1+	3	I	コンパレータ 1 の非反転入力ピン
V-	4	—	負電源電圧
IN2+	5	I	コンパレータ 2 の非反転入力ピン
IN2–	6	I	コンパレータ 2 の反転入力ピン
OUT2	7	O	コンパレータ 2 の出力ピン
V+	8	—	正電源電圧

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

4.3 ピン構成：TLV3214-Q1

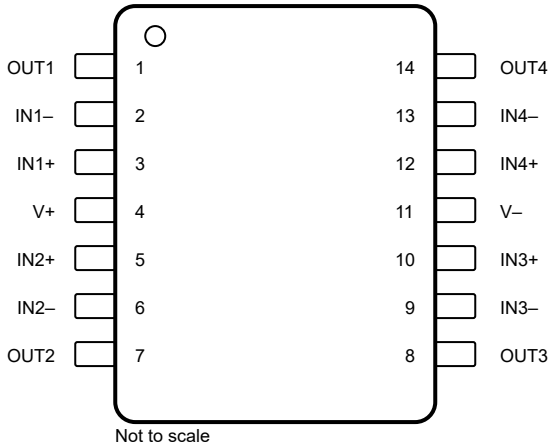
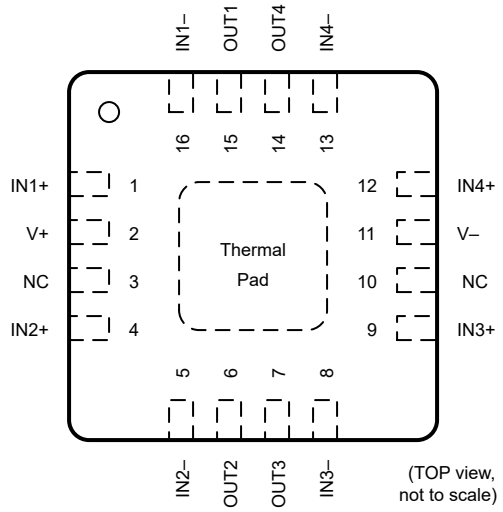


図 4-1. PW パッケージ
14 ピン TSSOP
上面図



注：露出サーマル パッドは V- ピンに直接接続します。

図 4-2. RTE パッケージ
16 ピン WQFN、露出サーマル パッド付き
上面図

表 4-3. ピンの機能：TLV3214-Q1

ピン			タイプ(1)	説明
名称	TSSOP	WQFN		
IN1–	2	16	I	反転入力、チャネル A
IN1+	3	1	I	非反転入力、チャネル A
IN2–	6	5	I	反転入力、チャネル B
IN2+	5	4	I	非反転入力、チャネル B
IN3–	9	8	I	反転入力、チャネル C
IN3+	10	9	I	非反転入力、チャネル C
IN4–	13	13	I	反転入力、チャネル D
IN4+	12	12	I	非反転入力、チャネル D
NC	—	3、10	—	内部接続なし
OUT1	1	15	O	出力、チャネル A
OUT2	7	6	O	出力、チャネル B
OUT3	8	7	O	出力、チャネル C
OUT4	14	14	O	出力、チャネル D
V-	11	11	—	負 (最低) 電源またはグランド (単一電源動作の場合)
V+	4	2	—	正 (最高) 電源
サーマル パッド	—	パッド	—	サーマルパッド：V- に直接接続

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

	最小値	最大値	単位
電源電圧 V_S = (V+) - (V-)		6.5	V
差動入力電圧、VID	-6	6	V
(V–) からの入力ピン (IN+、IN-) (2)	–0.5	(V+) + 0.5	V
入力ピンへの電流 (IN+、IN-)	-10	10	mA
(V-) から出力 (OUT)	–0.5	(V+) + 0.5	V
出力短絡電流	-100	100	mA
出力短絡時間		10	s
接合部温度、T_J		150	°C
保管温度、T_{stg}	-65	150	°C

(1) 絶対最大定格 を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。

(2) 入力端子は (V-) と (V+) に対してダイオード クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧 V_S = (V+) - (V-)	1.8	5.5	V
入力電圧範囲	(V-) - 0.2	(V+) + 0.2	V
周囲温度、T_A	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 - シングル

熱評価基準(1)		TLV3211-Q1、TLV3221-Q1		単位
		DCK (SC70)	DBV (SOT-23)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	222.0	203.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	126.2	96.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.1	62.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	29.6	32.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	56.0	62.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』レポートを参照してください。

5.5 熱に関する情報 - デュアル

熱評価基準(1)		TLV3212-Q1、TLV3222-Q1		単位
		DGK (VSSOP)	D (SOIC)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	141.7	132.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	59.9	69.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	78.8	75.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.0	20.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	78.1	74.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』レポートを参照してください。

5.6 熱に関する情報 - クワッド

熱評価基準 (1)		TLV3214-Q1		単位
		PW (TSSOP)	RTE (WQFN)	
		14 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	114.8	–	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	49.9	–	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	70.7	–	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.8	–	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	70.0	–	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性

T_A = 25°C のとき、V_S = 1.8V ～ 5V、V_{CM} = V_S / 2 (特に記述のない限り)。代表値は T_A = 25℃ 時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 入力特性						
V_{IO}	入力オフセット電圧	V_S = 5V、V_{CM} = V_S / 2 T_A = -40 ～ 125℃		±1	±6	mV
dV_{OS}/dT	入力オフセット電圧ドリフト	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃		1		µV/℃
V_{HYS}	ヒステリシス	V_S = 5V、V_{CM} = V_S/2		1.8		mV
V_{HYS}	ヒステリシス	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃			4	mV
V_{CM}	同相電圧範囲		(V-)- 0.2		(V+) + 0.2	V
I_B	入力バイアス電流	V_S = 5V、V_{CM} = V_S/2		1	5	pA
I_B	入力バイアス電流	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃			1200	pA
I_{OS}	入力オフセット電流	V_S = 5V、V_{CM} = V_S/2		0.1	2.5	pA
I_{OS}	入力オフセット電流	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃			250	pA
C_{IN}	入力容量			1.5		pF
R_{DM}	入力差動モード抵抗			1600		GΩ
R_{CM}	入力同相抵抗			550		GΩ
CMRR	同相信号除去比	V_{CM} = (V-) - 0.2 ～ (V+) + 0.2		76		dB
DC 出力特性						
V_{OH}	(V+) からの電圧スイング	V_S = 5V、I_{Source} = 4mA (プッシュプルのみ)		135	165	mV
V_{OH}	(V+) からの電圧スイング	V_S = 5V、I_{Source} = 4mA、-40 ～ 125℃ (プッシュプルのみ)			200	mV
V_{OL}	(V-) からの電圧スイング	V_S = 5V、I_{Sink} = 4mA		120	160	mV
V_{OL}	(V-) からの電圧スイング	V_S = 5V、I_{Sink} = 4mA、-40 ～ 125C			180	mV
I_{SC}	短絡電流	V_S = 5V、ソース		87		mA
		V_S = 5V、ソース、-40 ～ 125°C			110	
I_{SC}	短絡電流	V_S = 5V、シンク		96		mA
		V_S = 5V、シンク、-40 ～ 125°C			120	
I_{LKG}	オープンドレイン出力リーク電流	V_{PULLUP} = V_S (オープンドレインのみ)		50		pA
電源						
I_Q	電源電流/チャネル (シングルおよびデュアル)	V_S = 2.7V および 5V、無負荷、出力 Low、V_{ID} = -0.1V (出力 Low)、-40℃ ～ 125℃		42	53	µA
I_Q	電源電流/チャネル (クワッド)	V_S = 2.7V および 5V、無負荷、出力 Low、V_{ID} = -0.1V (出力 Low)、-40℃ ～ 125℃		42	48	µA
I_Q	電源電流/チャネル (シングル)	V_S = 2.7V および 5V、無負荷、V_{ID} = +0.1V (出力 High、)、T_A = -40 ～ 125℃		48	60	µA
I_Q	電源電流/チャネル (デュアルおよびクワッド)	V_S = 2.7V および 5V、無負荷、V_{ID} = +0.1V (出力 High、)、T_A = -40 ～ 125℃		44	60	µA
$V_{POR\ (postive)}$	パワーオン リセット電圧			1.65		V
PSRR	電源除去比	V_S = 1.8V および 5.5V、無負荷、V_{ID} = +0.1V、T_A = -40 ～ 125℃		77		dB

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性

V_S = 5V の場合、V_{CM} = V_S/2。C_L = 15pF (T_A = 25°C のとき) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点まで、V_{OD} = 20mV		56		ns
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点、V_{OD} = 20mV (R_P = 2.5kΩ、オープンドレインのみ)		56		ns
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点まで、V_{OD} = 50mV		42		ns
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点まで、V_{OD} = 50mV (R_P = 2.5kΩ、オープンドレインのみ)		42		ns
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点まで、V_{OD} = 100mV		34	40	ns
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点、V_{OD} = 100mV (R_P = 2.5kΩ、オープンドレインのみ)		34	40	ns
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点まで、V_{OD} = 100mV、-40 ～ 125°C			50	ns
t_{PLH}	伝搬遅延時間、Low から High	入力の中間点から出力の中間点まで、V_{OD} = 20mV (プッシュプルのみ)		54		ns
t_{PLH}	伝搬遅延時間、Low から High	入力の中間点から出力の中間点まで、V_{OD} = 50mV (プッシュプルのみ)		39		ns
t_{PLH}	伝搬遅延時間、Low から High	入力の中間点から出力の中間点まで、V_{OD} = 100mV (プッシュプルのみ)		32	39	ns
t_{PLH}	伝搬遅延時間、Low から High	入力の中間点から出力の中間点まで、V_{OD} = 100mV、-40 ～ 125°C (プッシュプルのみ)			50	ns
t_{PD}、スキュー	伝搬遅延スキュー	tPDLH と tPDHL の差の絶対値として測定、V_{OD} = 100mV (プッシュプルのみ)		3.5		ns
t_{PD} チャネル間スキュー	チャネル間の伝搬遅延スキュー (デュアルとクワッドのみ)	V_{CM} = V_S/2、$V_{OVERDRIVE}$ = $V_{UNDERDRIVE}$ = 50mV、10MHz 方形波		1.3		ns
f_{TOGGLE}	入力トグル周波数	V_{IN} = 200mV_{PP} 正弦波、出力 "High" が (V+) - (V-) の 90% に達するとき、または出力 "Low" が (V+) - (V-) の 10% に達するとき		12		MHz
t_R	立ち上がり時間	20% ～ 80%で測定 (プッシュプルのみ)		1.5		ns
t_F	立ち下がり時間	20% ～ 80% で測定		1.5		ns
t_{ON}	パワーアップ時間	電源オン時に、出力が入力を反映するには、(V+) が 32µs で 1.65V を上回る必要があります。		32		µs

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

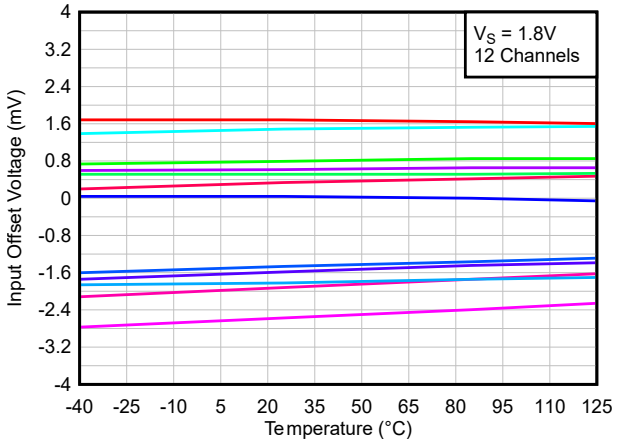


図 5-1. オフセット電圧と温度の関係、1.8V

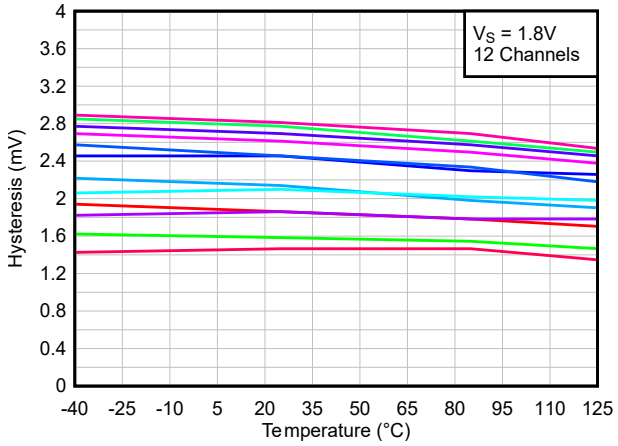


図 5-2. ヒステリシスと温度の関係、1.8V

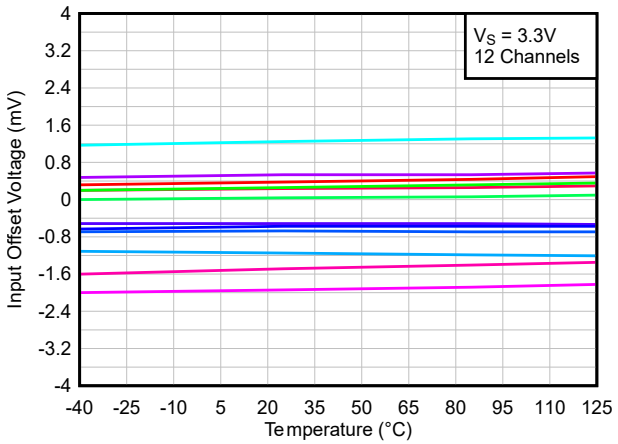


図 5-3. オフセット電圧と温度の関係、3.3V

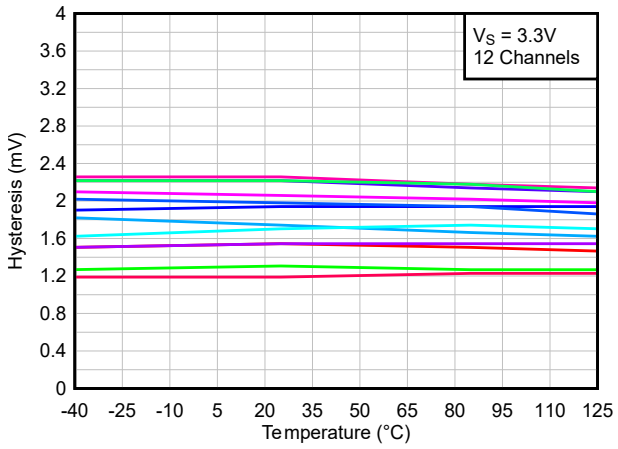


図 5-4. ヒステリシスと温度の関係、3.3V

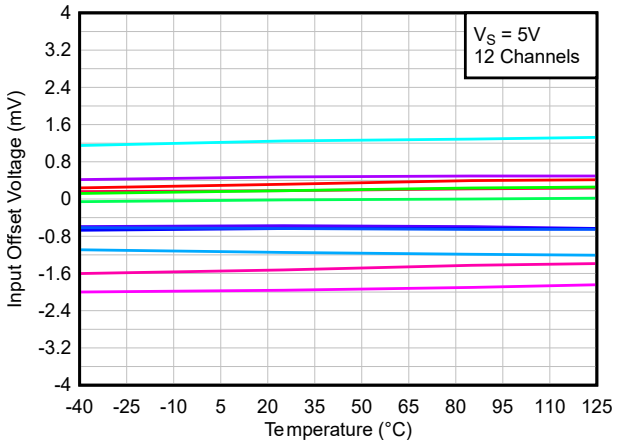


図 5-5. オフセット電圧と温度の関係、5V

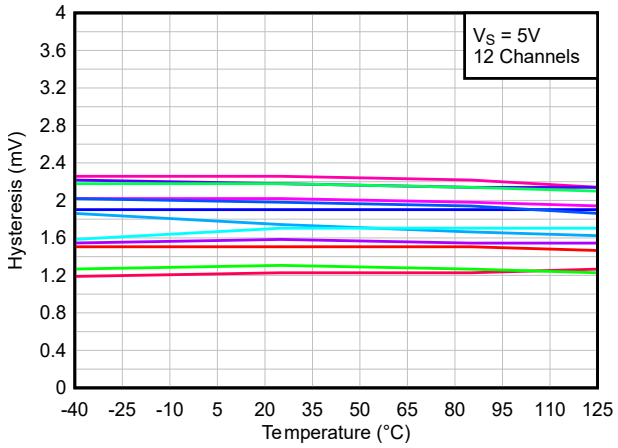


図 5-6. ヒステリシスと温度の関係、5V

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

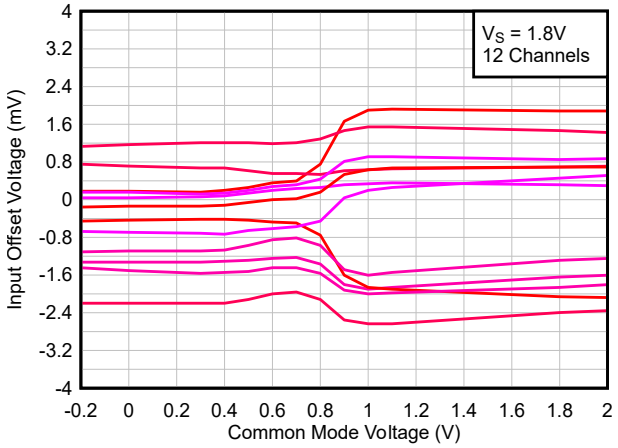


図 5-7. オフセット電圧と コモンモードの関係、1.8V

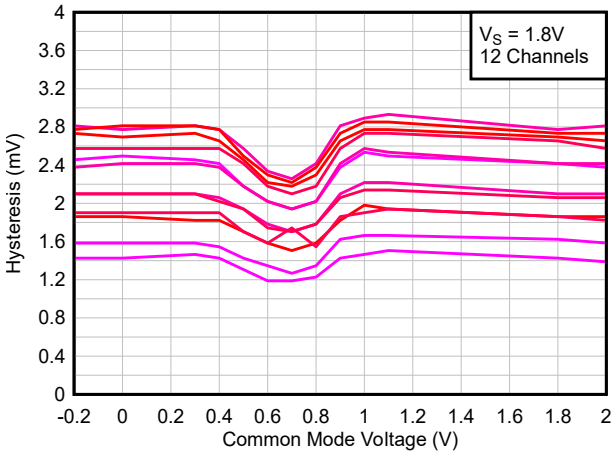


図 5-8. ヒステリシスと コモン モードの関係、1.8V

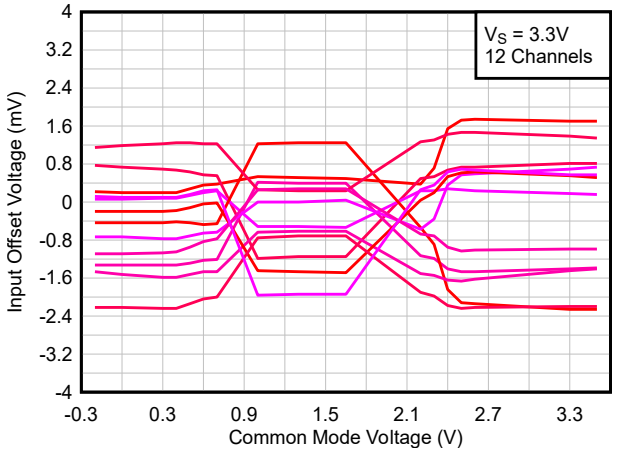


図 5-9. オフセットと コモン モードの関係、3.3V

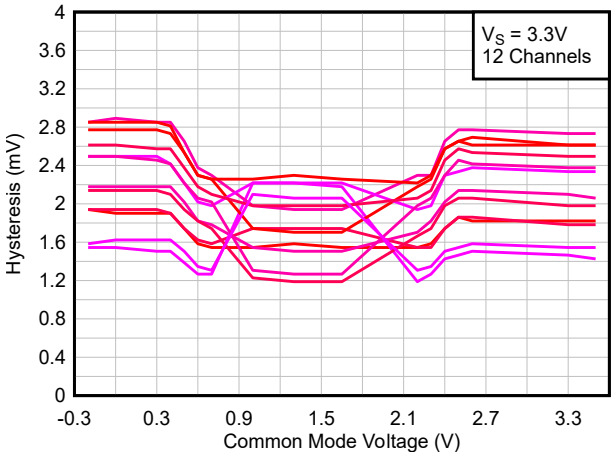


図 5-10. ヒステリシスと コモン モードの関係、3.3V

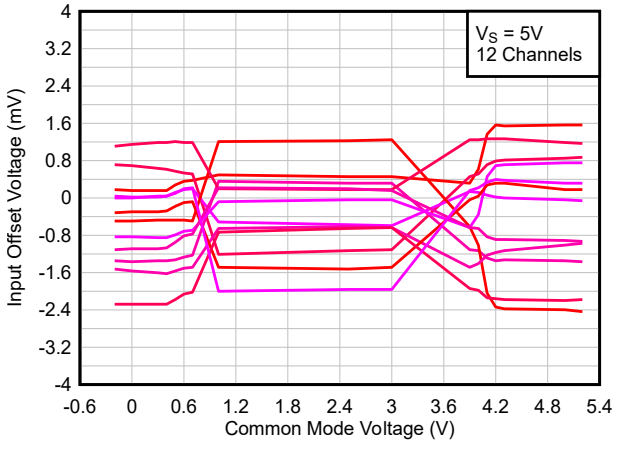


図 5-11. オフセット電圧と コモンモードの関係、5V

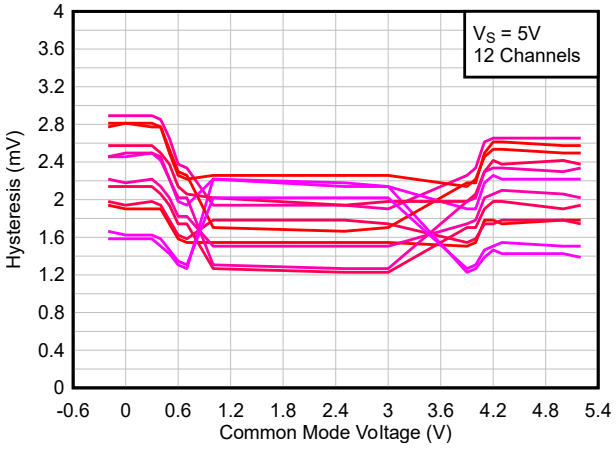


図 5-12. ヒステリシスと コモン モードの関係、5V

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

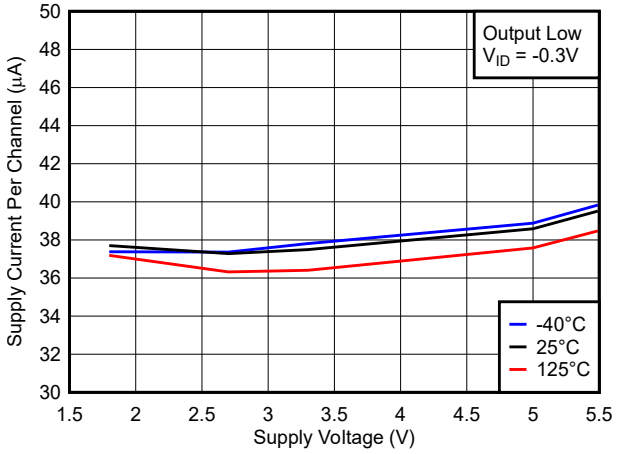


図 5-13. 電源電流と
電源電圧の関係 (出力 "Low")

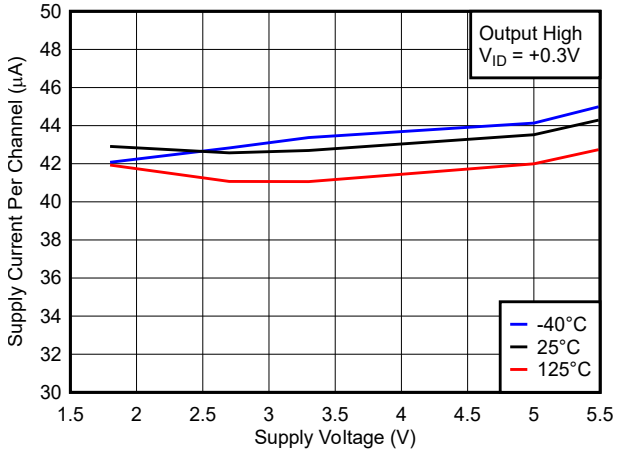


図 5-14. 電源電流と
電源電圧の関係 (出力 "High")

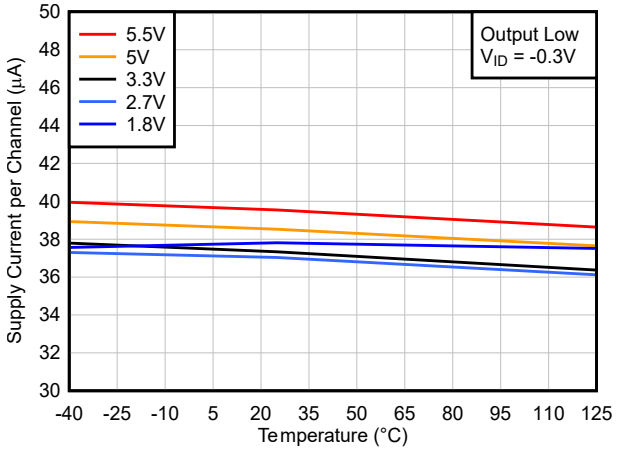


図 5-15. 電源電流と
温度の関係 (出力 "Low")

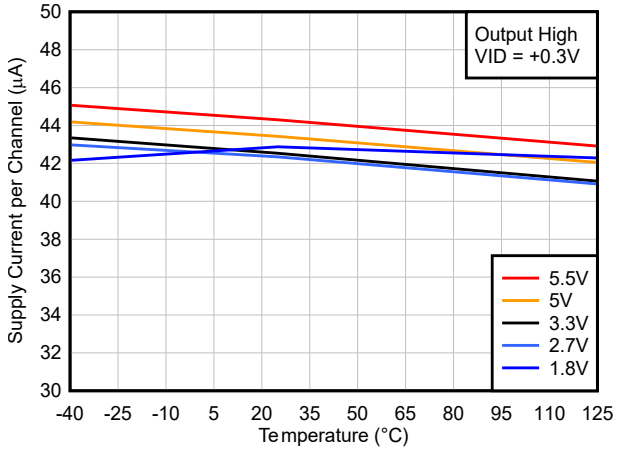


図 5-16. 電源電流と
温度の関係 (出力 "High")

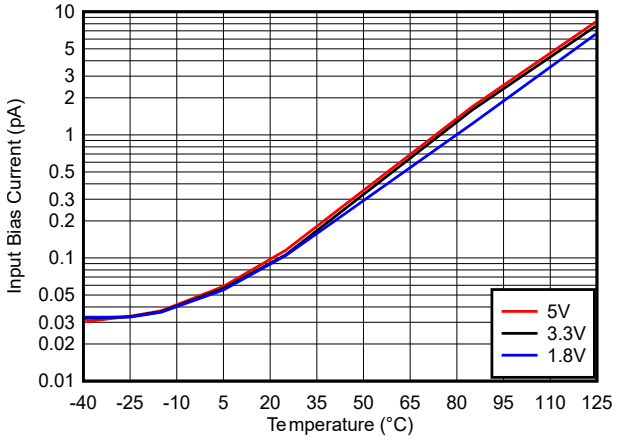


図 5-17. 入力バイアス電流と
温度の関係

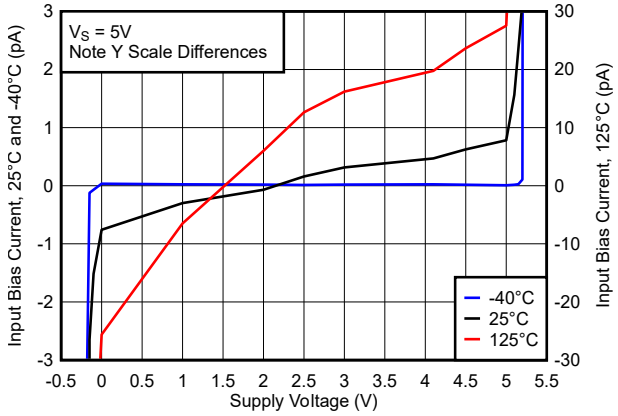


図 5-18. 入力バイアス電流と
コモン モードの関係、5V

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

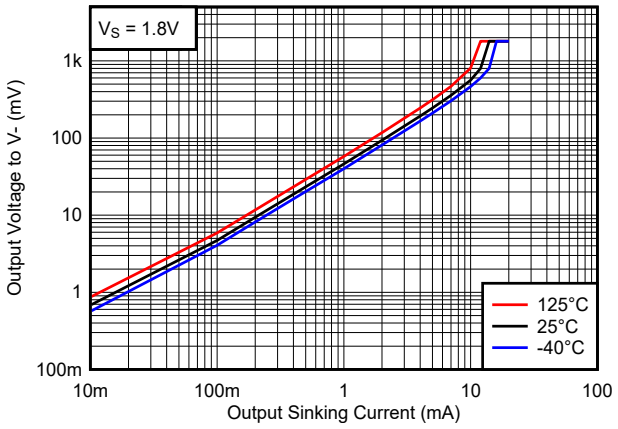


図 5-19. 出力電圧と出力シンク電流の関係、1.8V

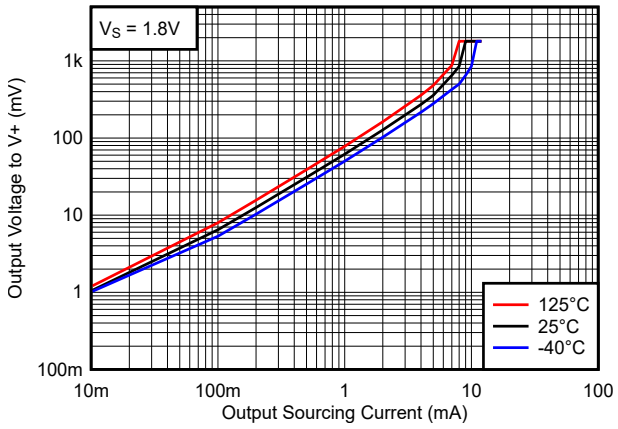


図 5-20. 出力電圧と出力ソース電流の関係 (プッシュプルのみ)、1.8V

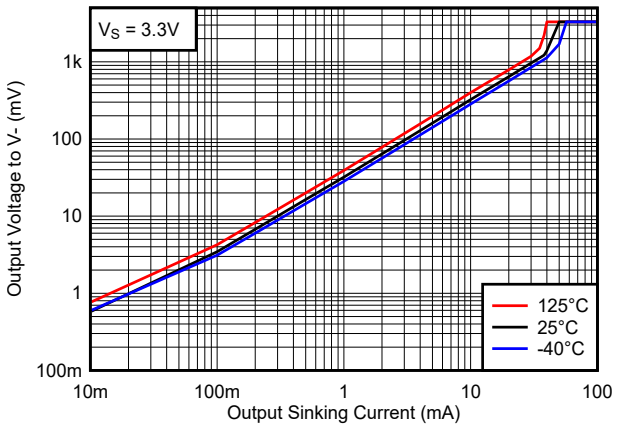


図 5-21. 出力電圧と出力シンク電流の関係、3.3V

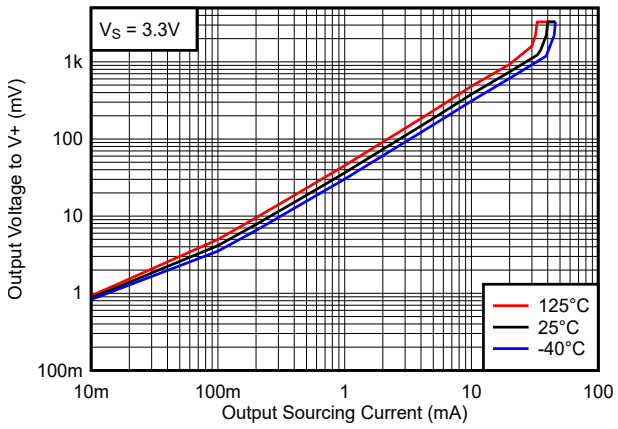


図 5-22. 出力電圧と出力ソース電流の関係 (プッシュプルのみ)、3.3V

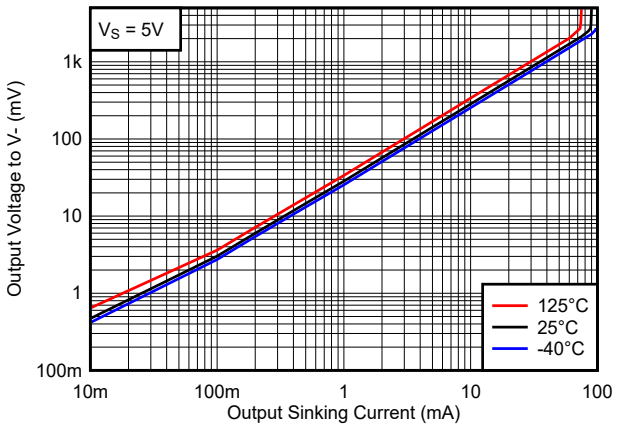


図 5-23. 出力電圧と出力シンク電流の関係、5V

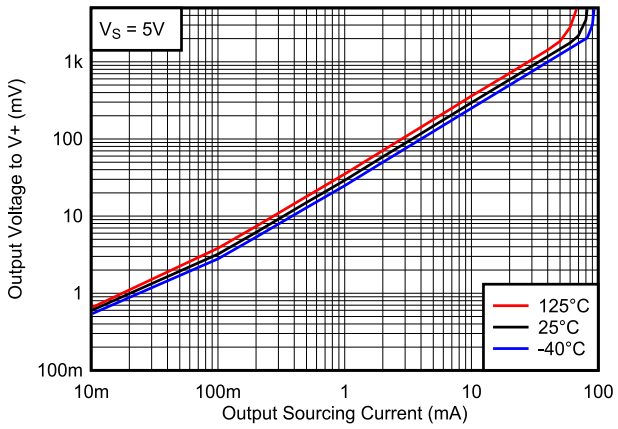


図 5-24. 出力電圧と出力ソース電流の関係 (プッシュプルのみ)、5V

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

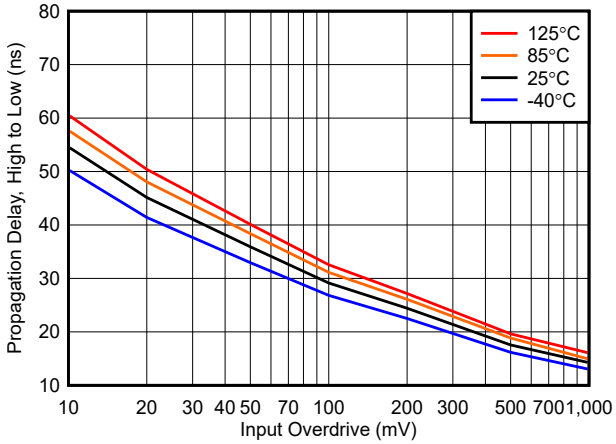


図 5-25. 伝搬遅延 - High から Low vs.1.8V でオーバードライブ

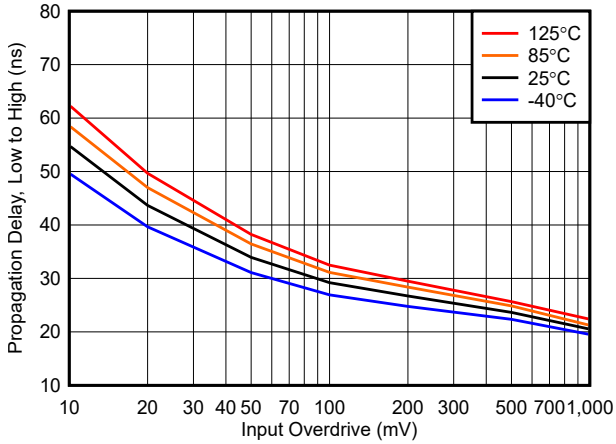


図 5-26. 伝搬遅延 - Low から High vs.1.8V でオーバードライブ

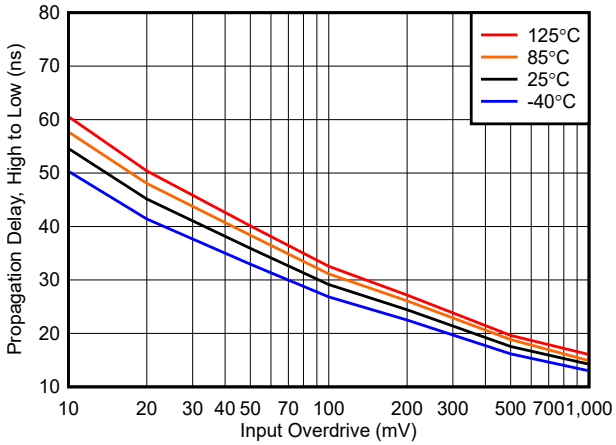


図 5-27. 伝搬遅延 - High から Low vs.3.3V でオーバードライブ

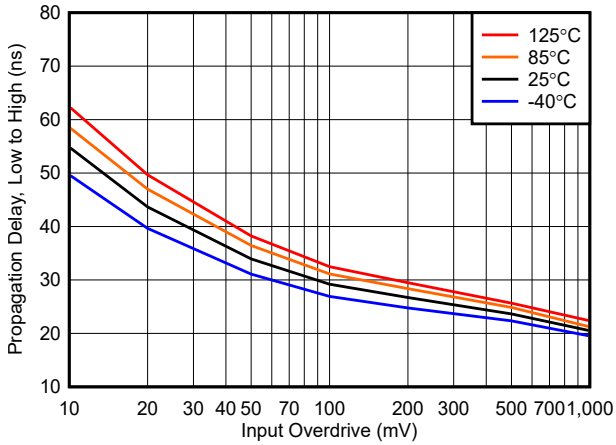


図 5-28. 伝搬遅延 - Low から High vs.3.3V でオーバードライブ

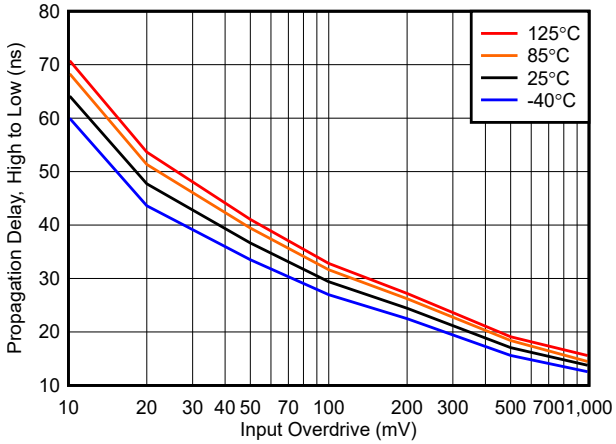


図 5-29. 伝搬遅延 - High から Low vs.5V でオーバードライブ

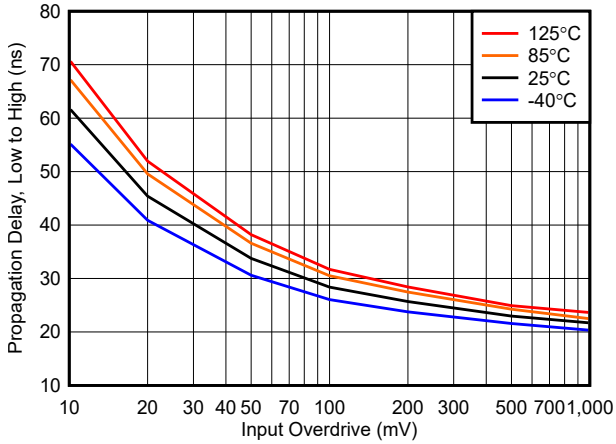


図 5-30. 伝搬遅延 - Low から High vs.5V でオーバードライブ

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

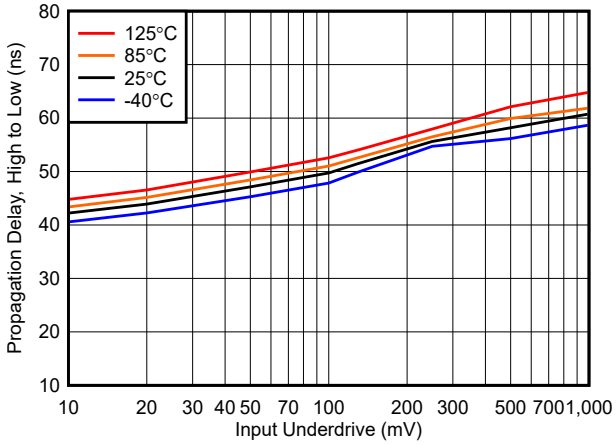


図 5-31. 伝搬遅延 - High から Low vs.1.8V でのアンダードライブ

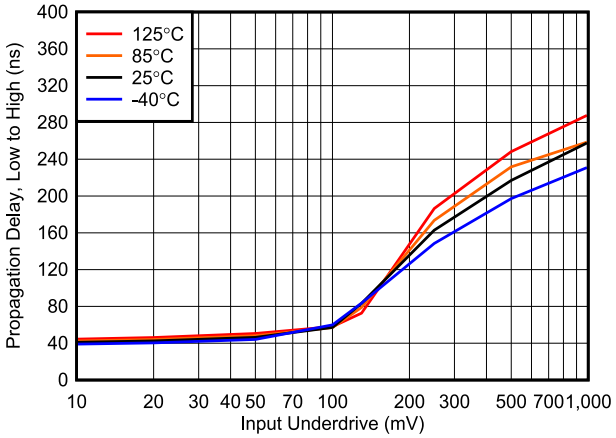


図 5-32. 伝搬遅延 - Low から High vs.1.8V でのアンダードライブ

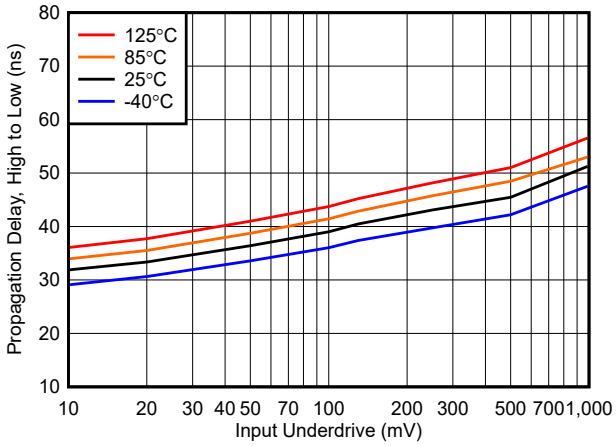


図 5-33. 伝搬遅延 - High から Low vs.3.3V でのアンダードライブ

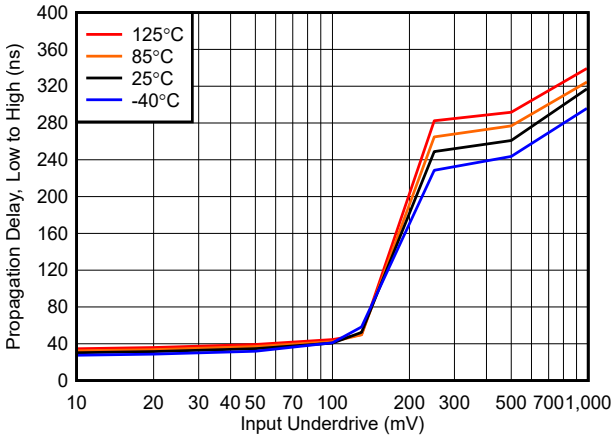


図 5-34. 伝搬遅延 - Low から High vs.3.3V でのアンダードライブ

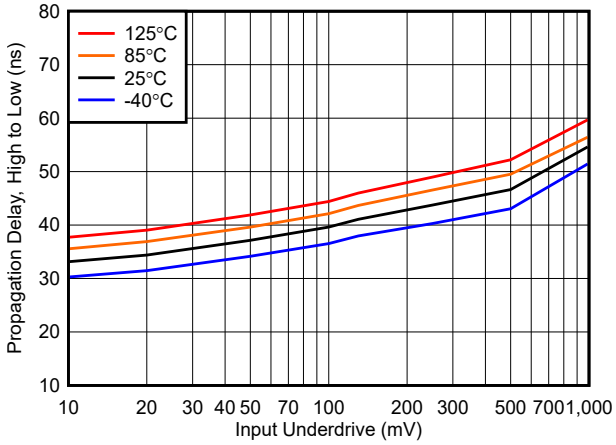


図 5-35. 伝搬遅延 - High から Low vs.5V でのアンダードライブ

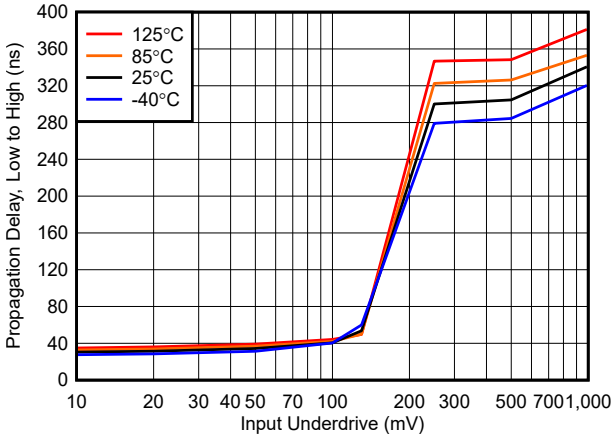


図 5-36. 伝搬遅延 - Low から High vs.5V でのアンダードライブ

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

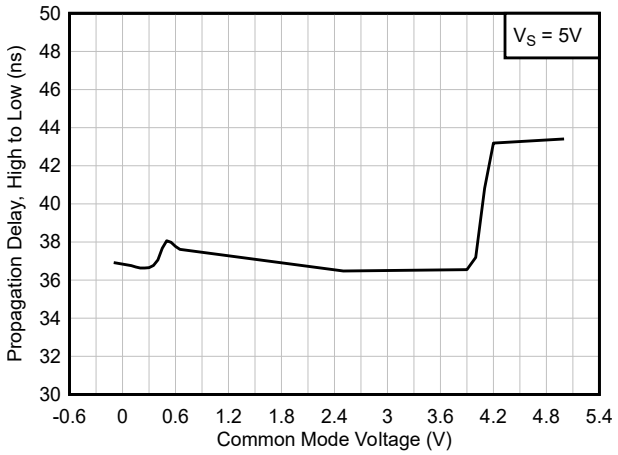


図 5-37. 伝搬遅延 - High から Low vs.5V でのコモン モード

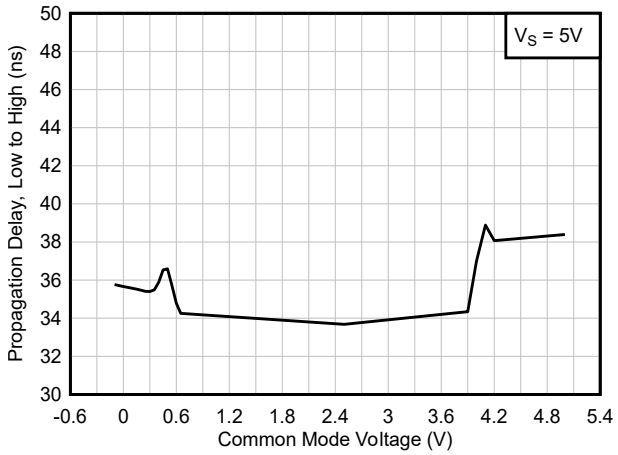


図 5-38. 伝搬遅延 - Low から High vs.5V でのコモン モード

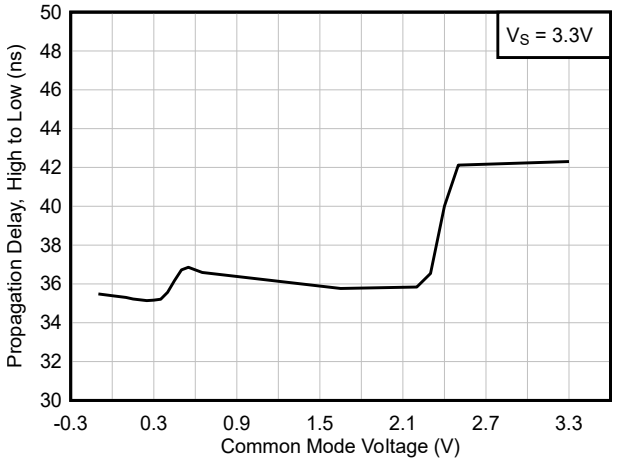


図 5-39. 伝搬遅延 - High から Low vs.3.3V でのコモン モード

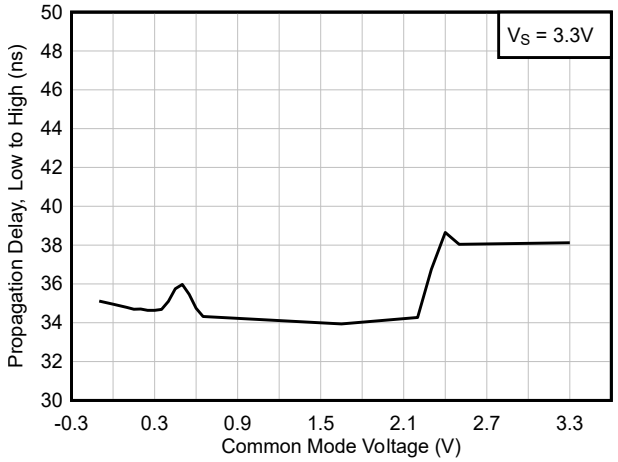


図 5-40. 伝搬遅延、"Low" から "High" と 3.3V でのコモン モードの関係

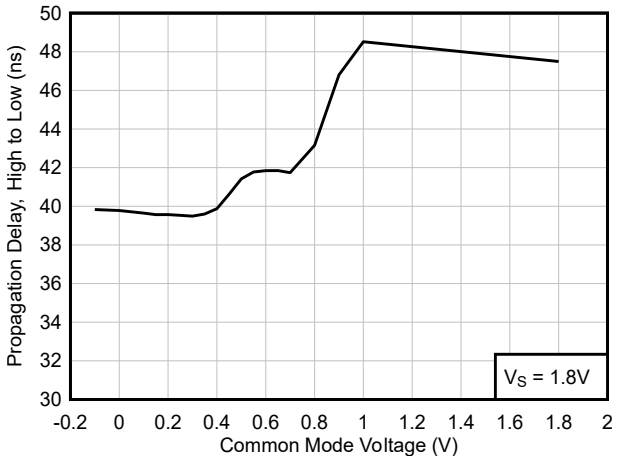


図 5-41. 伝搬遅延 - High から Low vs.1.8V でのコモン モード

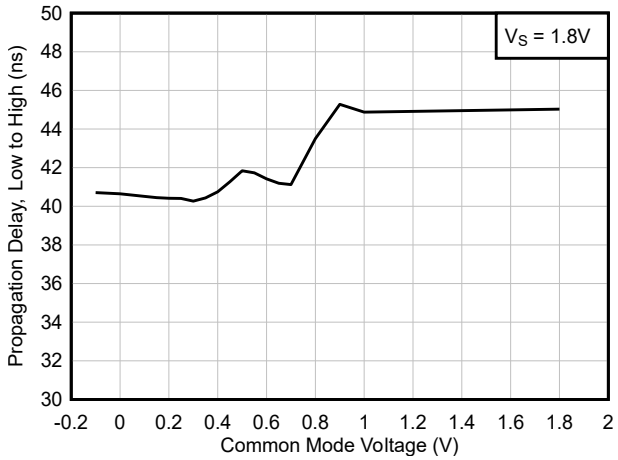


図 5-42. 伝搬遅延 - Low から High vs.1.8V でのコモン モード

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

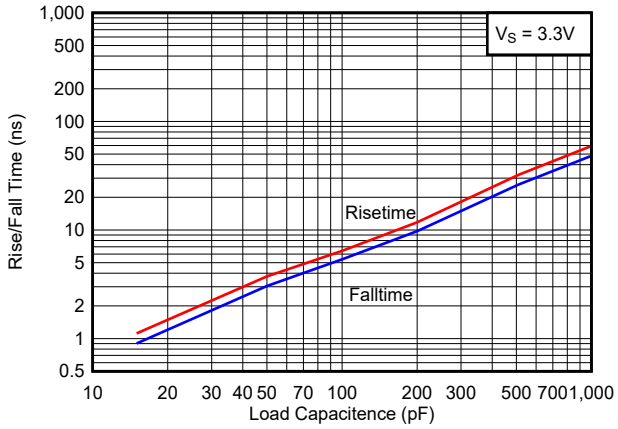


図 5-43. 立ち上がり / 立ち下がり時間と容量性負荷の関係

6 詳細説明

6.1 概要

TLV321x-Q1 デバイスは、プッシュプル出力を備えた 40ns コンパレータです。

6.2 機能ブロック図

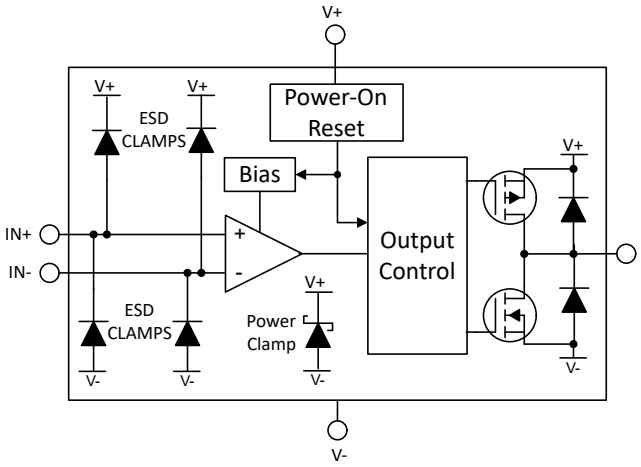


図 6-1. プッシュプルのブロック図

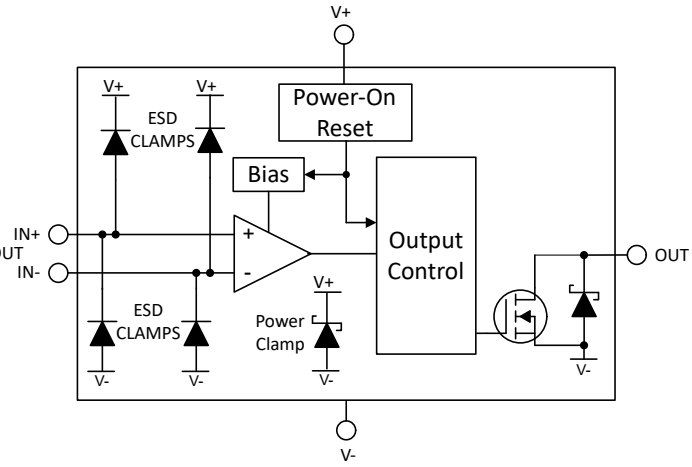


図 6-2. オープン ドレインのブロック図

6.3 機能説明

TLV321/2x-Q1 は、チャネルあたりわずか 40uA で、40ns の伝搬遅延により高速な電圧および電流過渡を検出すると同時に、低消費電力を維持します。

TLV321/2x-Q1 ファミリには、以下の 2 つの出力オプションがあります。

は、**プッシュプル** (シンク-ソース) 出力を備えています。

は、**プッシュドレイン** (シンクのみ) 出力を備えており、コンパレータの電源電圧に関係なく、最大 5.5V の任意の電圧にプルアップできます。

6.4 デバイスの機能モード

6.4.1 入力

の入力電圧範囲は、V- より 200mV 低い電圧から V+ より 200mV 高い電圧までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力電圧が指定された範囲内にある場合、コンパレータ出力の位相反転は発生しません。

レールツーレール入力は、V+ 電源ラインへの ESD クランプを備えているため、入力電圧が電源電圧を 200mV 以上超えないようにする必要があります。電源電圧なしで入力に信号を印加することは推奨しません。

電流を 10mA 以下に制限します。TI は、過渡時や障害時に電流を制限するため、入力と直列に抵抗を追加することを推奨します。入力上の抵抗分圧器やネットワーク端子は、この直列抵抗の一部とすることができます。

6.4.1.1 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が高く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが独自の内部広帯域ノイズでトリガされ、高周波のチャタリングが発生する可能性があります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力をグランドに接続し、もう一方の入力を基準電圧に、または (過渡電圧を防ぐため入力が直接 V+ ピンに接続されている限り) V+ に接続します。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 内部ヒステリシス

ファミリには 1.8mV 内部ヒステリシスが含まれています。

以下に、デバイスのヒステリシス伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} は内部ヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

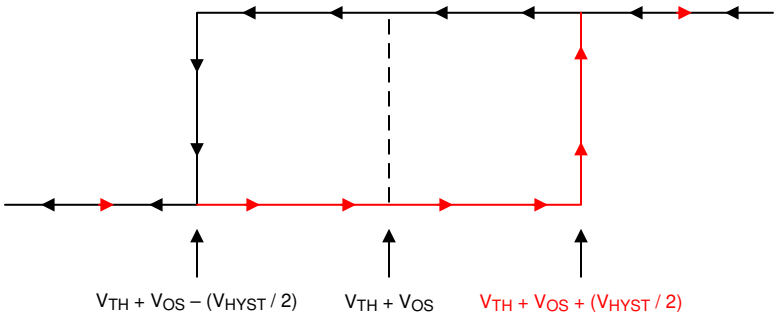


図 6-3. ヒステリシスの伝達曲線

6.4.3 出力

TLV321/2x-Q1 ファミリは、プッシュプル出力とオープンドレイン出力の両方のオプションで利用可能です。

出力は高速デジタルデバイスとして扱う必要があり、適切な高速デジタル PCB レイアウトおよび配線手法が推奨されます。

6.4.3.1 プッシュプル出力

にはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。このため、MOSFET ゲートなどの負荷を迅速かつ対称に駆動することができ、外付けプルアップ抵抗で電力を浪費する必要もありません。プッシュプル出力は、絶対に他の出力に接続しないでください。

出力を反対の電源レールに直接短絡すると (出力が Low のとき (V+) または出力が High のとき (V-))、熱暴走が発生して、デバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用しないプッシュプル出力はフローティングのままにします。電源、グランド、または他の出力に接続してはなりません。

6.4.3.2 オープン ドレイン出力

/ は、オープン ドレイン (一般的にはオープン コレクタとも呼ばれます) のシンク出力専用段を備えています。このため、出力の論理レベルは、コンパレータの電源電圧 (V+) に依存せず、外部電圧で 0V から 5.5V までプルアップすることができます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続と論理レベルの変換が可能になります。

プルアップ抵抗電流は 100uA ～ 1mA の範囲で設定することを TI では推奨しています。より低い値のプルアップ抵抗を使用すると、立ち上がりエッジの立ち上がり時間を短くするのに役立ちますが、その分、V_{OL} が高くなり、消費電力も増加します。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数に左右されます。プルアップ抵抗の値が大きいと (>1MΩ)、出力 RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

出力を電源へ直接短絡すると、熱暴走が発生し、最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用されていないオープン ドレイン出力はフローティングのままにしておくこともでき、フローティング ピンが不要な場合は V- ピンに接続することもできます。

Copyright © 2026 Texas Instruments Incorporated

6.4.4 ESD 保護

入力および出力には (V+) および (V-) への内部 ESD 保護回路が組み込まれています。

入力用の電圧はレールより 0.2V 高い値に制限されます。電源やバッファ付きリファレンス ラインなど、低インピーダンスのソースに入力を接続する場合は、クランプが導通したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを推奨します。電流を 10mA 以下に制限します。

6.4.5 パワーオン リセット (POR)

TLV321x-Q1 デバイスには内部パワーオン リセット (POR) 回路があり、既知のスタートアップ状態を維持します。電源 (V+) がランプ アップしている間、POR 回路は 1.65V の V_{POR} を超えたあと、最大 32us アクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

POR 期間 (t_{ON}) 中は、出力は低く維持されます。これは、オープンドレインとプッシュプルの両方の出力オプションにも当てはまります。

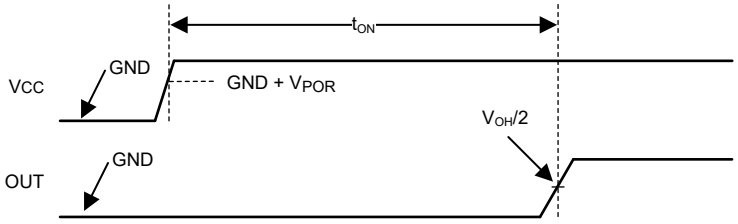


図 6-4. パワーオン リセットのタイミング図

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 基本的なコンパレータの定義

7.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の 図 7-1 の例で、V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) はロジック "Low" (V_{OL}) になります。V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 7-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 7-1. 出力条件

入力条件	出力
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (チャタリング - 「ヒステリシス」を参照)
IN+ < IN-	"Low" (V_{OL})

7.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 7-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。

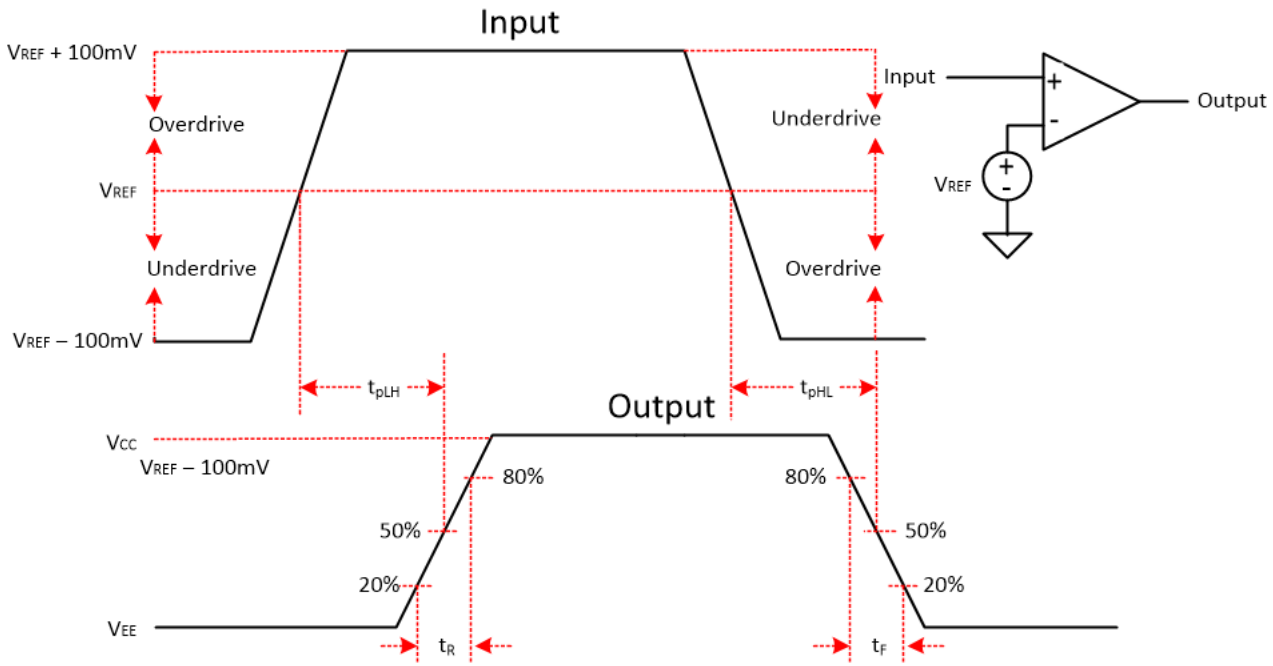


図 7-1. コンパレータのタイミング図

7.1.1.3 オーバードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

7.1.2 外付けのヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、ノイズの多い「チャタリング」出力が発生することがあります。これは、通常、入力信号がコンパレータのスイッチングしきい値を非常にゆっくりと通過するときに発生します。この問題は、コンパレータに外部のヒステリシスを追加することで防止できます。

TLV321x-Q1 の内部ヒステリシスは 1.8mV であるため、電流出力の状態に応じてコンパレータのトリップ ポイントを調整する正帰還ループの形で外部ヒステリシスを適用できます。外部ヒステリシスが内部ヒステリシスに加算されます。

図 7-2 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

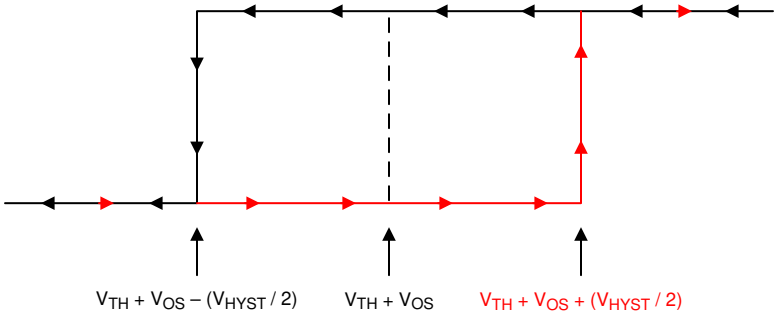


図 7-2. ヒステリシスの伝達曲線

詳細については、*『ヒステリシスあり・なしコンパレータ回路』*アプリケーション ノートを参照してください。

7.1.2.1 ヒステリシス付きの反転コンパレータ

図 7-3 に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

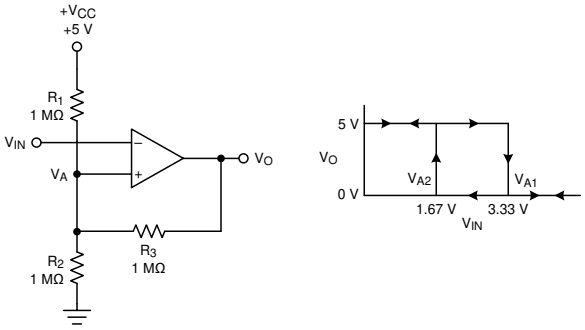


図 7-3. ヒステリシス付き反転構成の TLV321x-Q1

Copyright © 2026 Texas Instruments Incorporated

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 7-3 に示します。

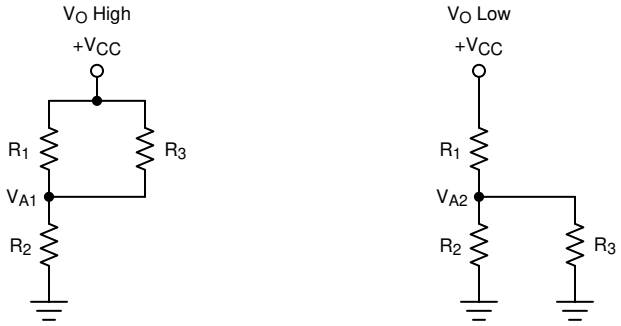


図 7-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。図 7-4 に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式 1 は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \quad (1)$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、式 2 に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

式 2 を使用して、"Low" から "High" へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \quad (2)$$

式 3 は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \quad (3)$$

7.1.2.2 ヒステリシス付きの非反転コンパレータ

図 7-5 に示すように、ヒステリシス付きの非反転コンパ レータには、反転入力側に 2 つの抵抗ネットワークと 1 つのリファレンス電圧 (V_{REF}) が必要です。

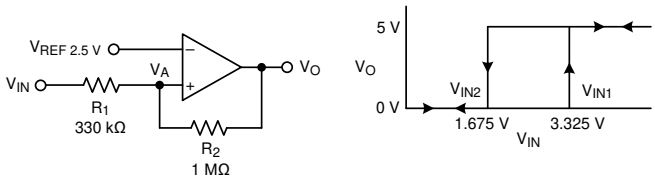


図 7-5. ヒステリシス付き非反転構成の TLV321x-Q1

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 7-6 に示します。

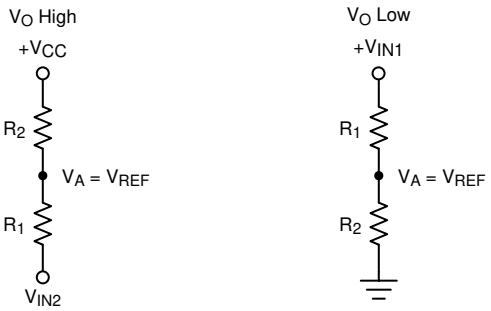


図 7-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、*『インバーティング コンパレータ ヒステリシス回路』*および*『ノンインバーティング コンパレータ ヒステリシス回路』*を参照してください。

7.2 代表的なアプリケーション

7.2.1 ローサイド電流センシング

図 7-7 は、アンプと高速コンパレータを使用した単純なローサイド電流検出k回路を示しています。アンプは、シャント抵抗器の電圧降下を増幅するために使用されます。出力での電圧が、臨界過電流スレッショルドに達すると、コンパレータの出力状態が変化します。

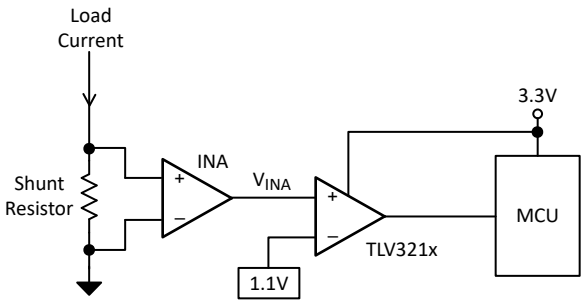


図 7-7. 電流検出

Copyright © 2026 Texas Instruments Incorporated

7.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- アンプ出力が 1.1V を上回る場合の Alert (論理高出力)
- アラート信号はアクティブ High
- 3.3V 電源で動作

7.2.1.2 詳細な設計手順

図 7-7 に示すように回路を構成します。

7.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサが重要です。(V+) ピンとグランド ピンの間に低 ESR の 0.1µF セラミック バイパス コンデンサを直接接続し、*それぞれ*のデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 ((V+) および (V-))、または「単一」電源 ((V+) および GND) から電力を供給できます ((V-) ピンに GND を印加)。いずれのタイプについても、入力信号を推奨の入力範囲内に維持する必要があります。「分割」電源では、出力は GND ではなく (V-) の電位まで「Low」 (V_{OL}) になることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、ノイズやグリッチを最小限に抑えた安定した電源が重要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは電源ピンにできる限り近づけて配置し、必要に応じてベタのグランド プレーンに接続します。また、できれば (V+) ピンと GND ピンの間に直接接続します。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に (V+) または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンス トレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンス トレースを使用することができます。

7.4.2 レイアウト例

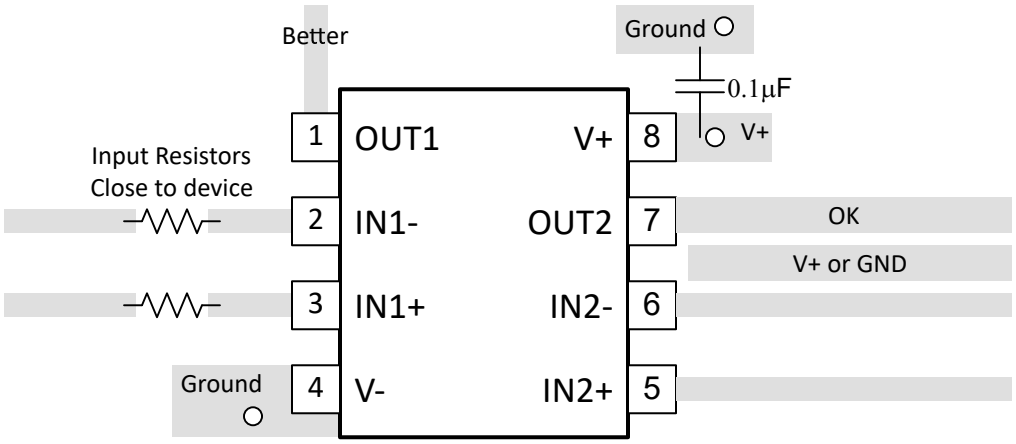


図 7-8. デュアル レイアウトの例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

- テキサス・インスツルメンツ、*『アナログ エンジニア向け回路クックブック: アンプ*(コンパレータのセクションを参照)、SLYY137
- テキサス インスツルメンツ、*『精密設計、ヒステリシス付きコンパレータ リファレンス デザイン』*— TIDU020
- テキサス・インスツルメンツ、*『ヒステリシス回路付きコンパレータとヒステリシス回路なしコンパレータ』*- SBOA219
- テキサス インスツルメンツ、*『ヒステリシス回路付き反転コンパレータ』*- SNOA997
- テキサス インスツルメンツ、*『ヒステリシス付き非反転コンパレータ回路』*- SBOA313

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (December 2025) to Revision C (September 2026)	Page
• TLV3212-Q1 から開発中製品を削除 (D および DSG パッケージ)	1
• TLV3221-Q1 から開発中製品を削除 (DCK および DBV パッケージ)	1
• TLV3222-Q1 から 開発中製品を削除 (D および DGK パッケージ)	1
• TLV3222-Q1 DSG パッケージ オプションを削除	1
• DSG パッケージ オプションを削除	4

Copyright © 2026 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3211QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1ZV
TLV3212QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3WNS
TLV3214QPWRQ1	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL3214Q
TLV3221QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1ZX
TLV3222QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3WPS

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3211-Q1, TLV3212-Q1, TLV3214-Q1 :

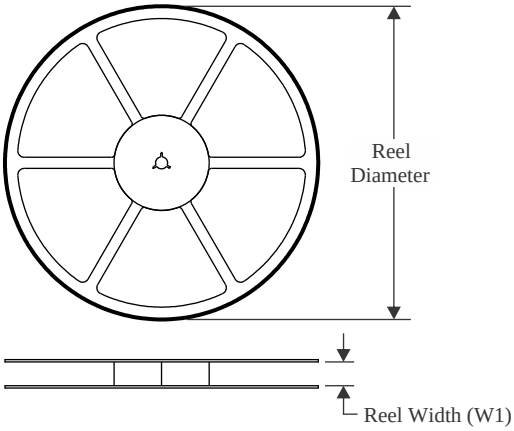
- Catalog : TLV3211, TLV3212, TLV3214

NOTE: Qualified Version Definitions:

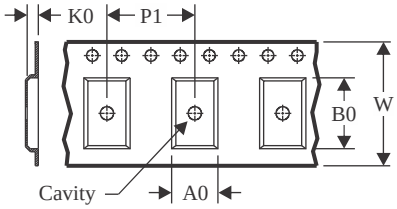
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

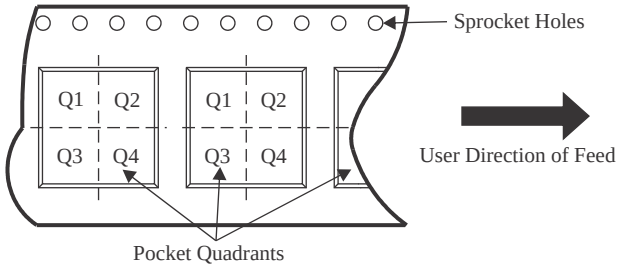


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

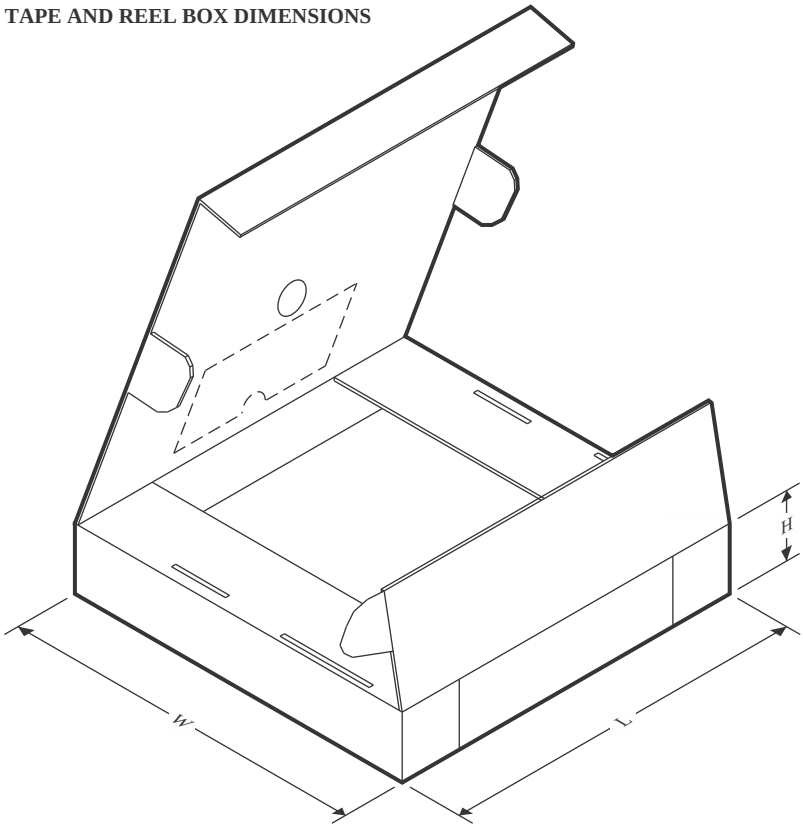
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3211QDCKRQ1	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3212QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3214QPWRQ1	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

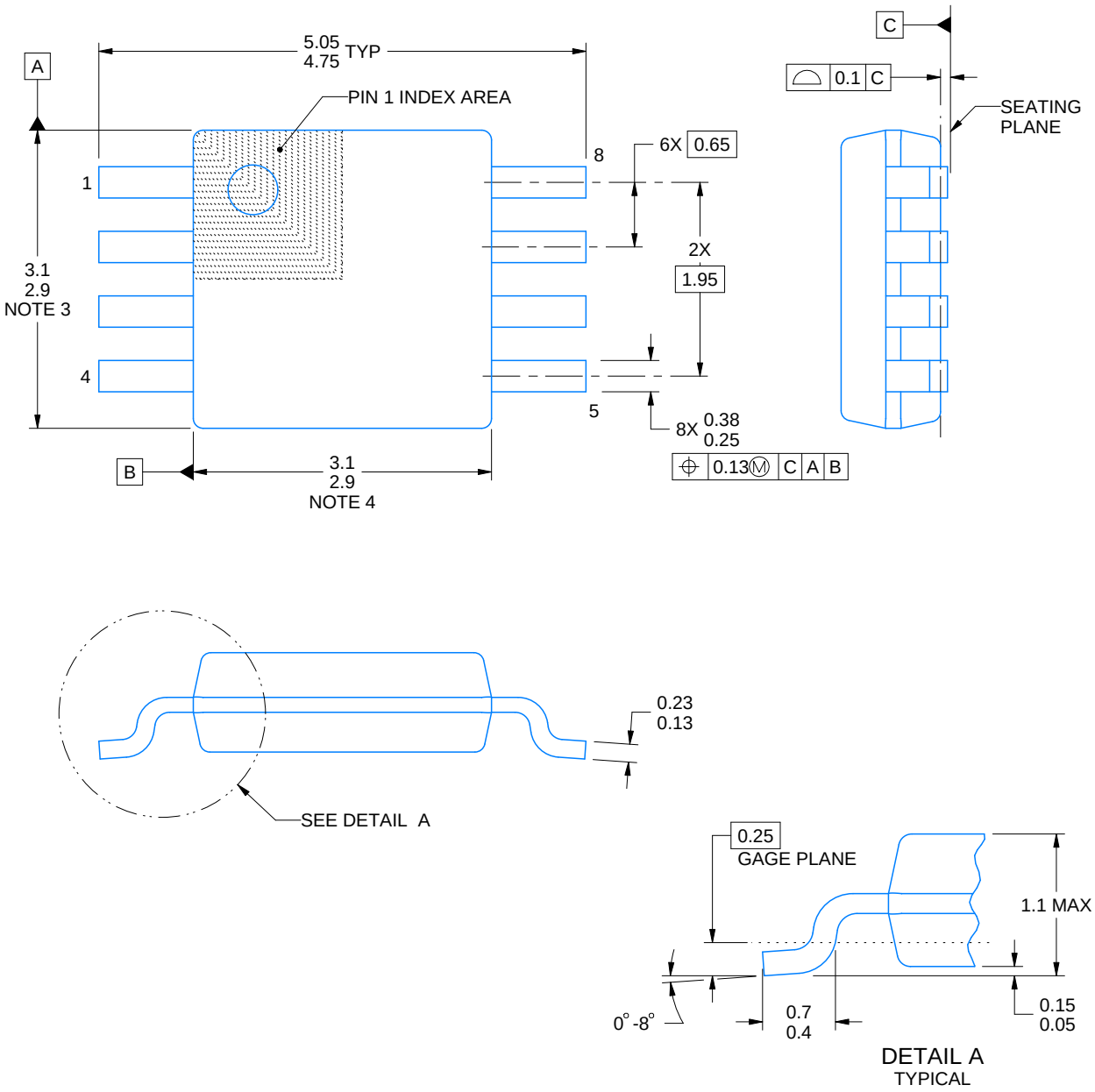
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3211QDCKRQ1	SC70	DCK	5	3000	210.0	185.0	35.0
TLV3212QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3214QPWRQ1	TSSOP	PW	14	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

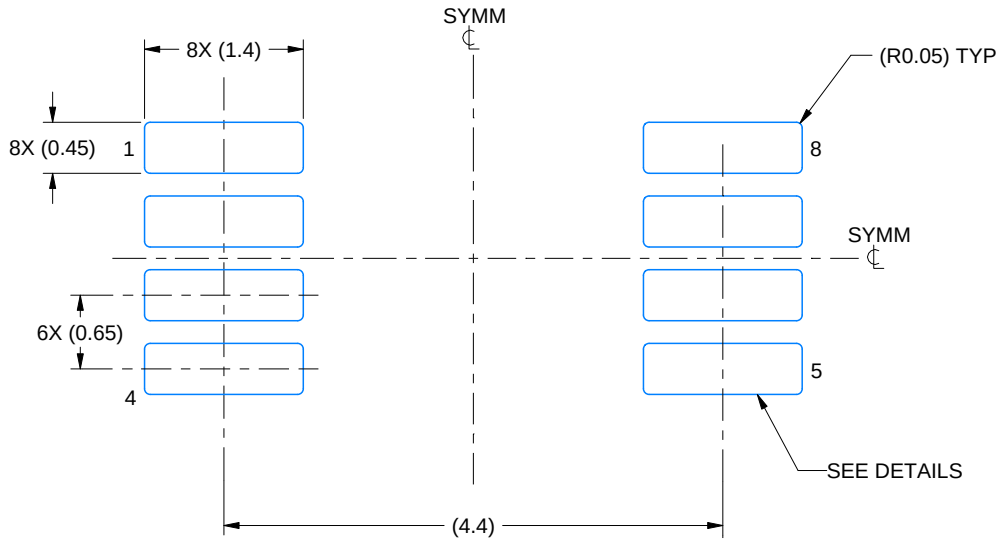
SMALL OUTLINE PACKAGE



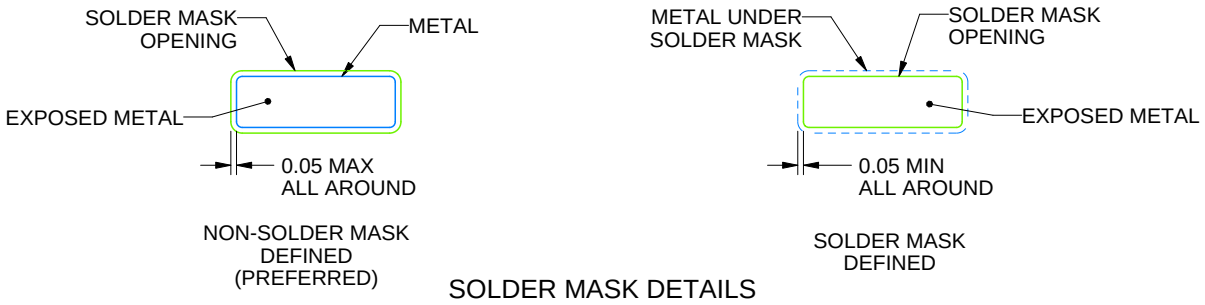
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

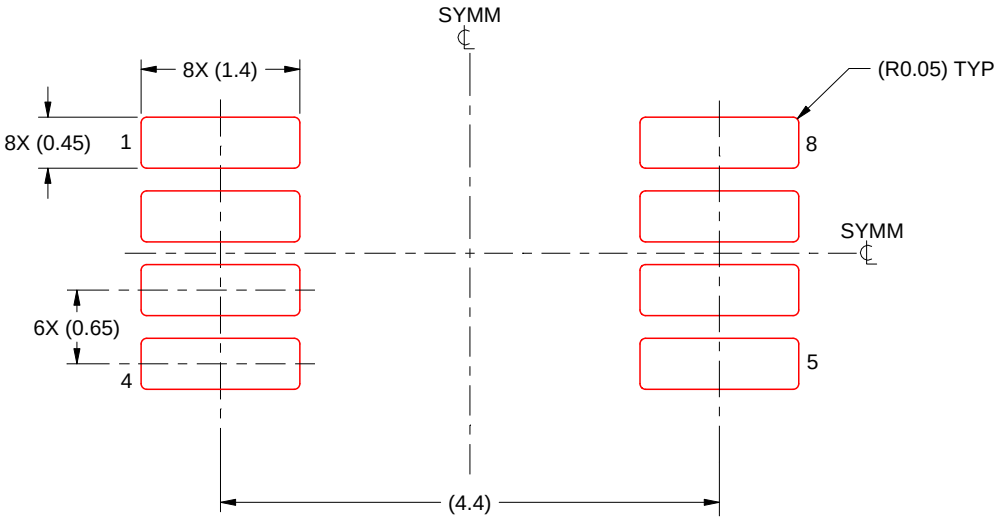


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

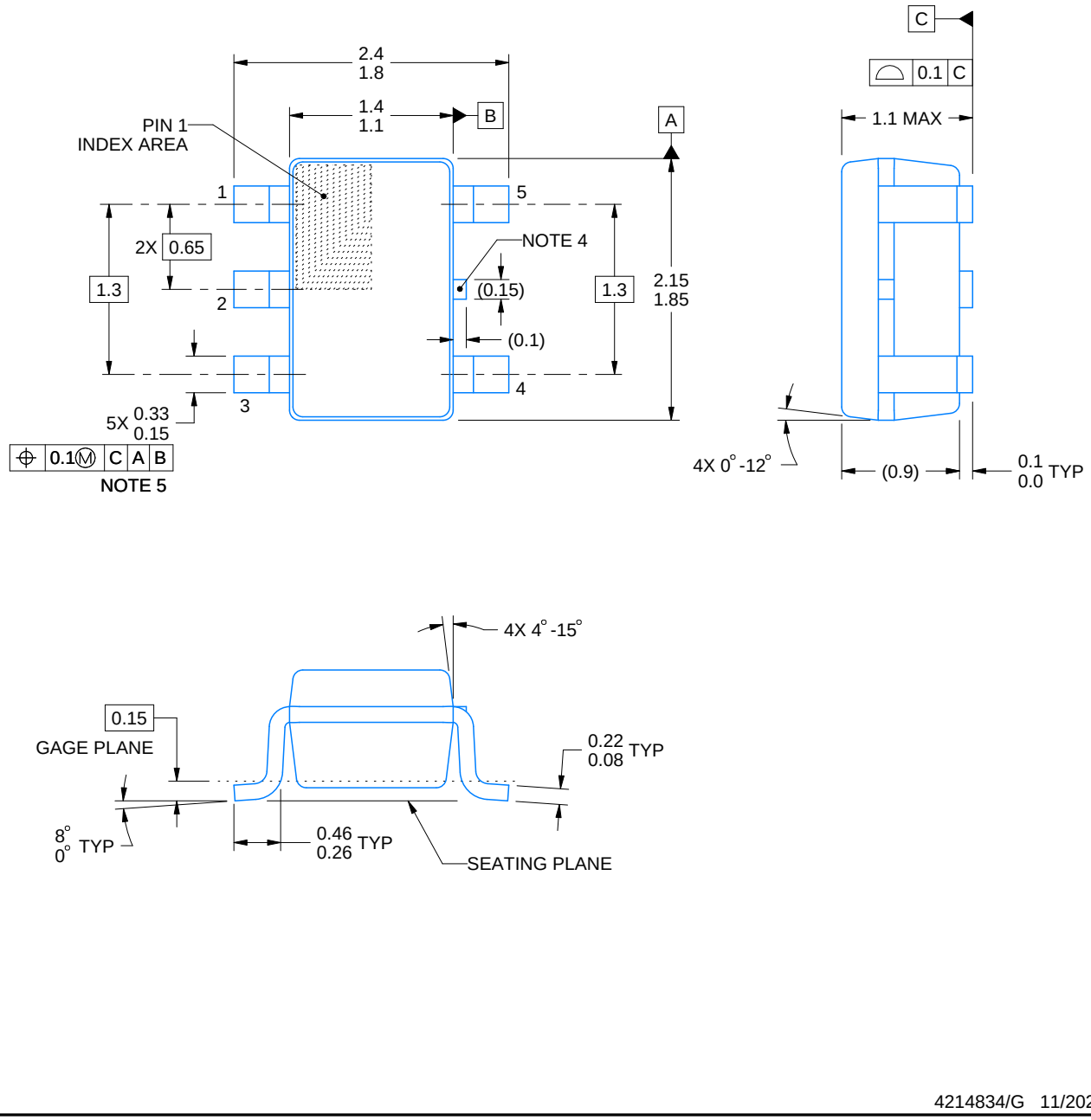
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

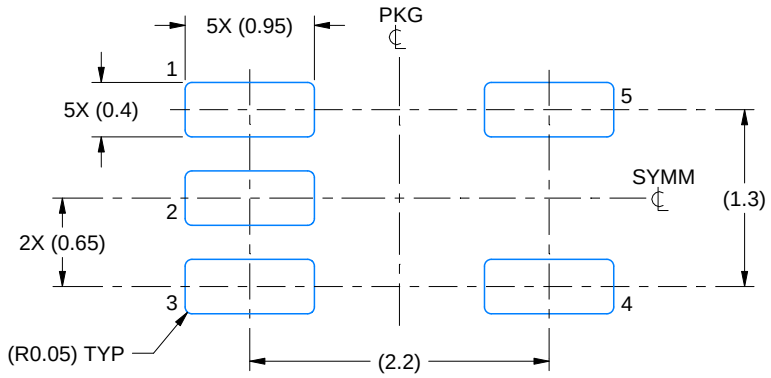
SMALL OUTLINE TRANSISTOR



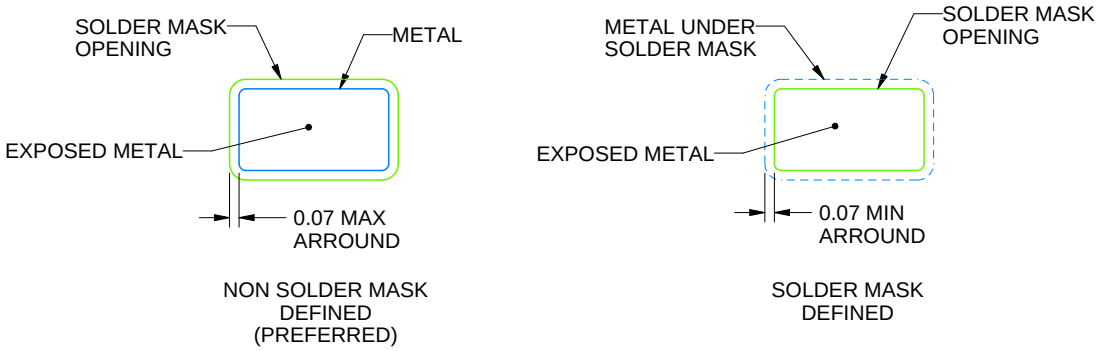
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

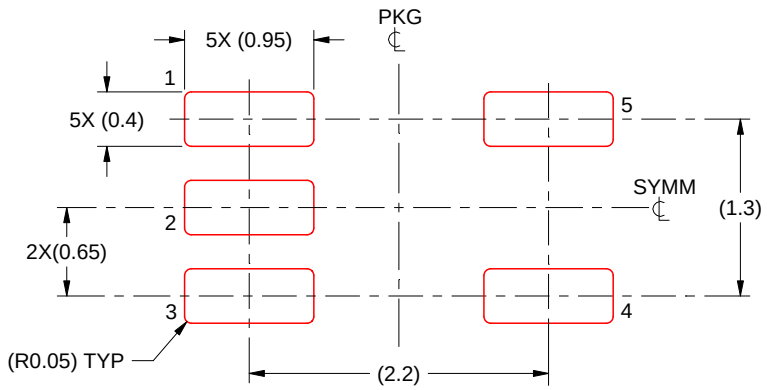


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

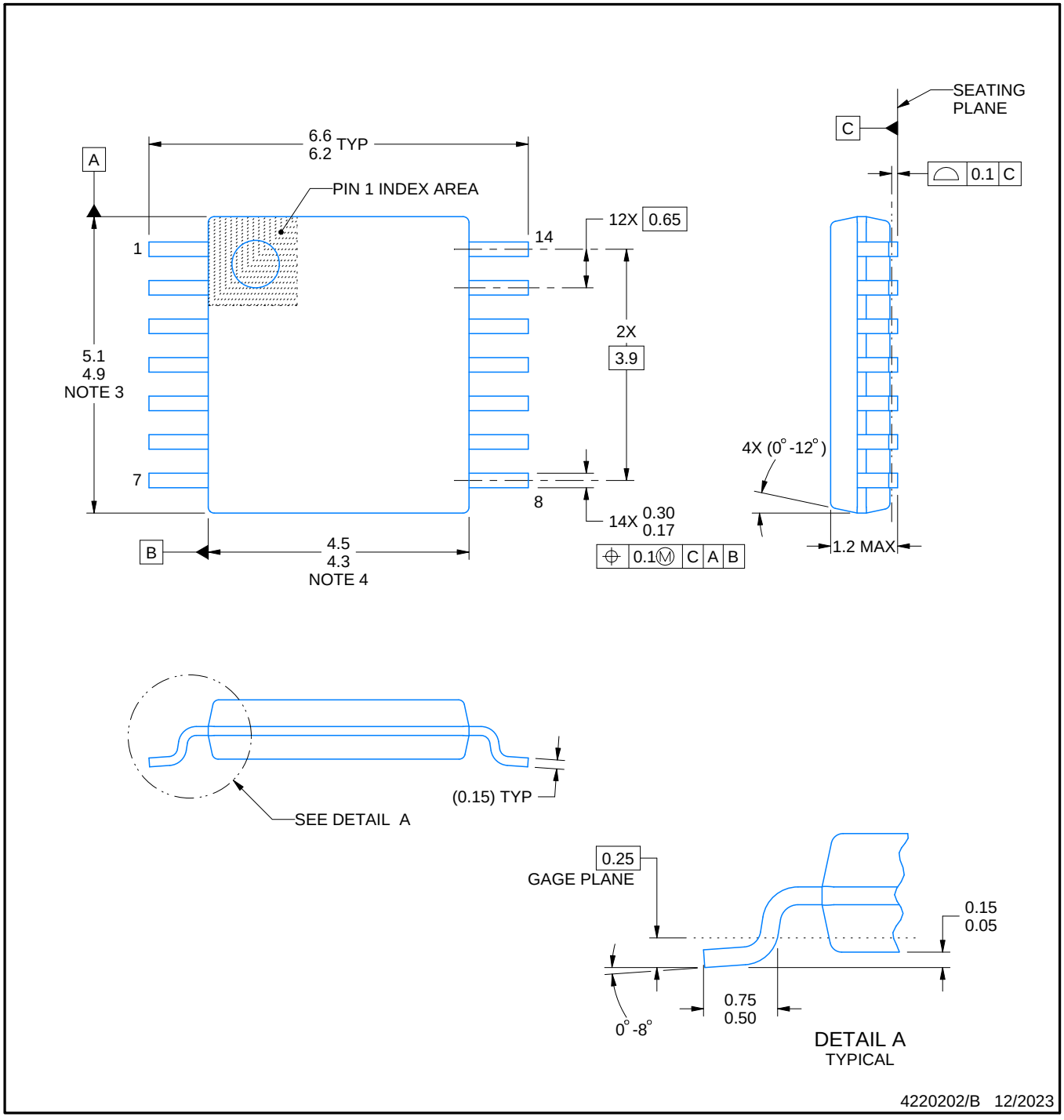
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

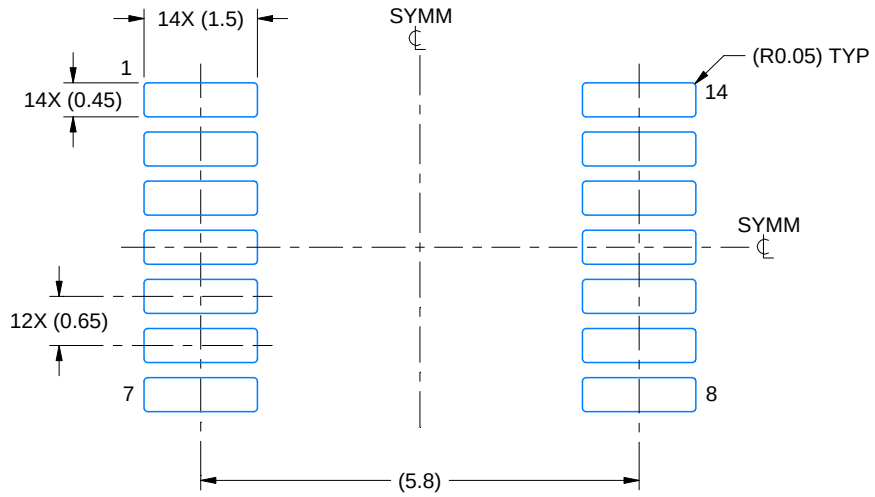
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

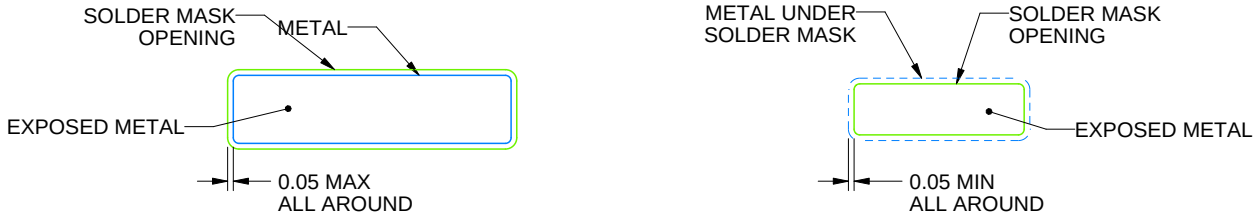


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

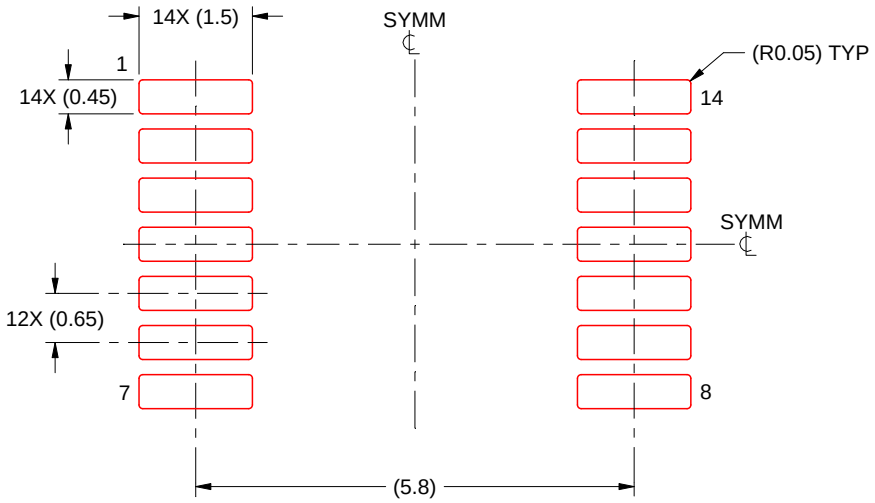


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月