

TLV354x 200MHz、レール ツー レール I/O、コスト制限の厳しいシステム向けの CMOS オペアンプ

1 特長

- コスト重視のシステム向けの広帯域アンプ
- ユニティゲイン帯域幅: 200MHz
- 高スルーレート: 150V/ μ s
- 低ノイズ: 7.5nV/ $\sqrt{\text{Hz}}$
- レール ツー レール I/O
- 大出力電流: 100mA 超
- 非常に優れたビデオ性能:
 - 差動ゲイン: 0.02%, 差動位相: 0.09°
 - 0.1dB のゲイン フラットネス: 40MHz
- 低い入力バイアス電流: 3pA
- 静止電流: 5.2mA
- サーマル シャットダウン
- 電源電圧範囲: 2.5V ~ 5.5V

2 アプリケーション

- 高分解能の ADC ドライバ アンプ
- IR タッチ
- 低電圧の高周波信号処理
- ビデオ処理
- ベーストランシーバ ステーション
- 光学ネットワーク、波長可変レーザー
- フォトダイオードトランスインピーダンス アンプ
- バーコード スキャナ
- 高速電流センス アンプ
- 超音波イメージング

3 説明

TLV3541、TLV3542、TLV3544 はシングル チャネル、デュアル チャネル、クワッド チャネルで低消費電力 (チャネルごとに 5.2mA)、高速、ユニティ ゲイン安定、レール ツー レール入力 / 出力のオペアンプであり、広い帯域幅を必要とするビデオやその他のアプリケーション用に設計されています。

これらのデバイスは、電源からわずか 6.5mA (最大値) の電流しか消費せず、200MHz のゲイン帯域幅積、150V/ μ s のスルーレート、および $f = 1\text{MHz}$ において 7.5nV/ $\sqrt{\text{Hz}}$ の低い入力ノイズを実現しています。高帯域幅、高いスルーレート、低いノイズを併せ持つため、TLV354x ファミリは低電圧、高速のシグナル コンディショニング システムに最適な選択肢です。

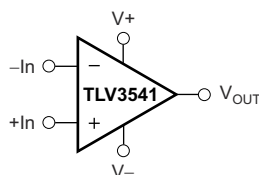
TLV354x オペアンプ シリーズは、最低 2.5V ($\pm 1.25\text{V}$)、最高 5.5V ($\pm 2.75\text{V}$) のシングルまたはデュアル電源で動作するよう最適化されています。同相モード入力範囲は電源電圧を超えて拡張されています。出力スイングはレールから 100mV 以内で、広いダイナミック レンジに対応しています。

TLV354x デバイスは、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ までの範囲で動作が規定されています。TLV354x ファミリは、市販の多くの広帯域オペアンプのプラグインの代替品として使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TLV3541	SOIC (8)	3.91mm × 4.90mm
	SOT-23 (5)	2.90mm × 1.60mm
TLV3542	SOIC (8)	3.91mm × 4.90mm
	VSSOP (8)	3.00mm × 3.00mm
TLV3544	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	6.4 デバイスの機能モード	16
2 アプリケーション	1	7 アプリケーションと実装	17
3 説明	1	7.1 使用上の注意.....	17
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	17
5 仕様	5	7.3 システム例.....	18
5.1 絶対最大定格.....	5	7.4 電源に関する推奨事項.....	19
5.2 ESD 定格.....	5	7.5 レイアウト.....	19
5.3 推奨動作条件.....	5	8 デバイスおよびドキュメントのサポート	21
5.4 熱に関する情報 (TLV3541).....	5	8.1 ドキュメントのサポート.....	21
5.5 熱に関する情報 (TLV3542).....	6	8.2 ドキュメントの更新通知を受け取る方法.....	21
5.6 熱に関する情報 (TLV3544).....	6	8.3 サポート・リソース.....	21
5.7 電気的特性.....	6	8.4 商標.....	21
5.8 代表的特性.....	8	8.5 静電気放電に関する注意事項.....	21
6 詳細説明	11	8.6 用語集.....	21
6.1 概要.....	11	9 改訂履歴	21
6.2 機能ブロック図.....	11	10 メカニカル、パッケージ、および注文情報	22
6.3 機能説明.....	11		

4 ピン構成および機能

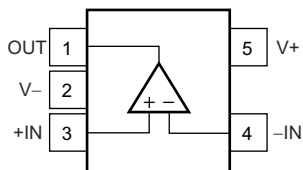
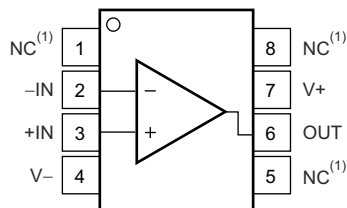


図 4-1. TLV3541 : DBV パッケージ 5 ピン SOT-23 (上面図)



A. NC は、「No Internal Connection」(内部接続なし) の略称です。

図 4-2. TLV3541 : D パッケージ 8 ピン SOIC (上面図)

表 4-1. ピンの機能 : TLV3541

ピン			タイプ ⁽¹⁾	説明
名称	DBV (SOT-23)	D (SOIC)		
+IN	3	3	I	非反転入力
-IN	4	2	I	反転入力
NC	—	1、5、8	—	内部接続なし (フローティングのままでも可)
OUT	1	6	O	出力
V-	2	4	—	負 (最低) 電源
V+	5	7	—	正 (最高) 電源

(1) I = 入力、O = 出力

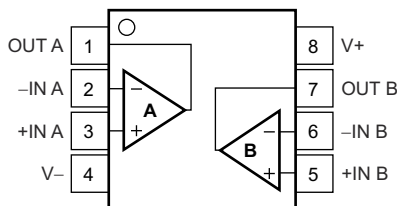


図 4-3. TLV3542 : DGK および D パッケージ 8 ピン VSSOP、SOIC (上面図)

表 4-2. ピンの機能 : TLV3542

ピン		タイプ ⁽¹⁾	説明
名称	番号		
+IN A	3	I	非反転入力、チャンネル A
+IN B	5	I	非反転入力、チャンネル B
-IN A	2	I	反転入力、チャンネル A
-IN B	6	I	反転入力、チャンネル B
OUT A	1	O	出力、チャンネル A
OUT B	7	O	出力、チャンネル B
V-	4	—	負 (最低) 電源
V+	8	—	正 (最高) 電源

(1) I = 入力、O = 出力

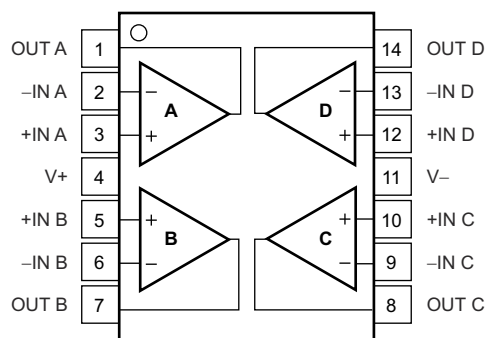


図 4-4. TLV3544 : D および PW パッケージ 14 ピン SOIC および TSSOP (上面図)

表 4-3. ピンの機能 : TLV3544

ピン			タイプ ⁽¹⁾	説明
名称	TLV3544			
	D (SOIC)	PW (TSSOP)		
-IN A	2	2	I	反転入力、チャンネル A
-IN B	6	6	I	反転入力、チャンネル B
-IN C	9	9	I	反転入力、チャンネル C
-IN D	13	13	I	反転入力、チャンネル D
+IN A	3	3	I	非反転入力、チャンネル A
+IN B	5	5	I	非反転入力、チャンネル B
+IN C	10	10	I	非反転入力、チャンネル C
+IN D	12	12	I	非反転入力、チャンネル D
OUT A	1	1	O	出力、チャンネル A
OUT B	7	7	O	出力、チャンネル B
OUT C	8	8	O	出力、チャンネル C
OUT D	14	14	O	出力、チャンネル D
V-	11	11	—	負 (最低) 電源
V+	4	4	—	正 (最高) 電源

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)		7.5	V
V _I	信号入力端子	(V-) - 0.5	(V+) + 0.5	V
I _I	信号入力端子	-10	+10	mA
I _{SC}	出力短絡 ⁽²⁾	連続		
T _A	動作温度	-55	125	°C
T _J	接合部温度		150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±250	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	電源電圧、V- ~ V+	2.5		5.5	V
T _A	規定温度	-40		125	°C

5.4 熱に関する情報 (TLV3541)

熱評価基準 ⁽¹⁾		TLV3541		単位
		D (SOIC)	DBV (SOT-23)	
		8 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	158.76	216.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	94.00	115.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	102.70	83.2	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	38.24	50.3	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	102.06	82.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 熱に関する情報 (TLV3542)

熱評価基準 ⁽¹⁾		TLV3542		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	113.9	175.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	60.4	67.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	54.1	97.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	17.1	9.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	53.6	95.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.6 熱に関する情報 (TLV3544)

熱評価基準 ⁽¹⁾		TLV3544		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	83.8	92.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	70.7	27.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	59.5	33.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	11.6	1.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	37.7	33.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.7 電気的特性

T_A = 25°C、R_F = 0Ω、R_L = 1kΩ、V_S/2 に接続 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
オフセット電圧					
V _{OS}	入力オフセット電圧	V _S = 5V、T _A = 25°C	±2	±10	mV
dV _{OS} /dT	入力オフセット電圧ドリフト	V _S = 5V、T _A = -40°C ~ +125°C	±4.5		μV/°C
PSRR	入力オフセット電圧と電源との関係	V _S = 2.7V ~ 5.5V、V _{CM} = (V _S /2) - 0.55V	60	70	dB
入力バイアス電流					
I _B	入力バイアス電流		3		pA
I _{OS}	入力オフセット電流		±1		pA
ノイズ					
e _n	入力電圧ノイズ密度	f = 1MHz	7.5		nV/√Hz
i _n	入力電流ノイズ密度	TLV3542 または TLV3544 の場合、f = 1MHz	50		fA/√Hz
i _n	入力電流ノイズ密度	TLV3541 の場合、f = 1MHz	300		fA/√Hz
入力電圧範囲					
V _{CM}	同相電圧		(V-) - 0.1	(V+) + 0.1	V
CMRR	同相信号除去比	V _S = 5.5V、-0.1V < V _{CM} < 3.5V、T _A = 25°C	66	80	dB
CMRR	同相信号除去比	V _S = 5.5V、-0.1V < V _{CM} < 5.6V、T _A = 25°C	56	68	dB

5.7 電気的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力インピーダンス						
C _{IN}	差動		10 ¹³ 2		Ω pF	
	同相		10 ¹³ 2			
開ループ ゲイン						
A _{OL}	開ループ ゲイン	V _S = 5V、0.3V < V _O < 5.2V、T _A = 25°C	92	108	dB	
周波数応答						
f _{3dB}	小信号帯域幅	G = +1、V _O = 100mV _{PP} 、R _F = 25Ω	200		MHz	
		G = +2、V _O = 100 mV _{PP}	90			
GBW	ゲイン帯域幅積	G = +10	100		MHz	
f _{0.1dB}	0.1dB のゲインの平坦度に対する帯域幅	G = +2、V _O = 100 mV _{PP}	40		MHz	
SR	スルーレート	V _S = 5V、G = +1、4V ステップ	150		V/μs	
		V _S = 5V、G = +1、2V ステップ	130			
	立ち上がりおよび立ち下がり時間	G = +1、V _O = 200mV _{PP} 、10% ~ 90% (TLV3542 および TLV3544 の場合)	2		ns	
	立ち上がりおよび立ち下がり時間	G = +1、V _O = 200mV _{PP} 、10% ~ 90% (TLV3541 の場合)	3		ns	
		G = +1、V _O = 2V _{PP} 、10% ~ 90%	11			
	セトリング タイム	0.1%、V _S = 5V、G = +1、2V 出力ステップ	30		ns	
	セトリング タイム	0.01%、V _S = 5V、G = +1、2V 出力ステップ	60			
	過負荷回復時間	V _{IN} × G = V _S	5		ns	
HD2	2 次高調波歪	G = +1、f = 1MHz、V _O = 2V _{PP} 、R _L = 200Ω、V _{CM} = 1.5V	-75		dBc	
HD3	3 次高調波歪	G = +1、f = 1MHz、V _O = 2V _{PP} 、R _L = 200Ω、V _{CM} = 1.5V	-83		dBc	
	微分ゲイン誤差	NTSC、R _L = 150Ω	0.02%			
	微分位相誤差	NTSC、R _L = 150Ω	0.09		°	
	チャンネル間クロストーク	TLV3542、f = 5MHz	-100		dB	
		TLV3544、f = 5MHz	-84			
出力						
	電圧出力スイング (レールから)	V _S = 5V、R _L = 1kΩ、A _{OL} > 90dB、T _A = −40°C ~ +125°C	0.1	0.3	V	
I _O	出力電流	V _S = 5V	100		mA	
		V _S = 3V	50			
	閉ループ出力インピーダンス	f < 100kHz	0.05		Ω	
R _O	開ループ出力抵抗	TLV3542 および TLV3544 の場合	35		Ω	
R _O	開ループ出力抵抗	TLV3541 の場合	39		Ω	
電源						
V _S	規定電圧		2.7	5	V	
V _S	動作電圧		2.5	5.5	V	
I _Q	静止電流 (アンプ 1 個あたり)	T _A = 25°C、V _S = 5V、I _O = 0A	5.2	6.5	mA	
サーマル シャットダウン: 接合部温度						
	シャットダウン		160		°C	
	シャットダウンからのリセット		140		°C	

5.8 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = 1\text{V/V}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)。

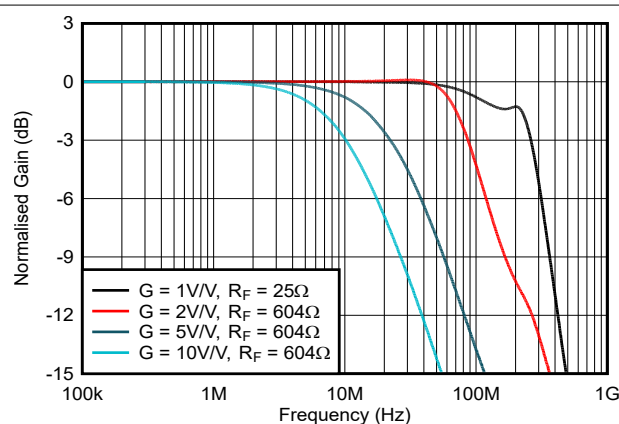


図 5-1. 非反転型の小信号周波数応答

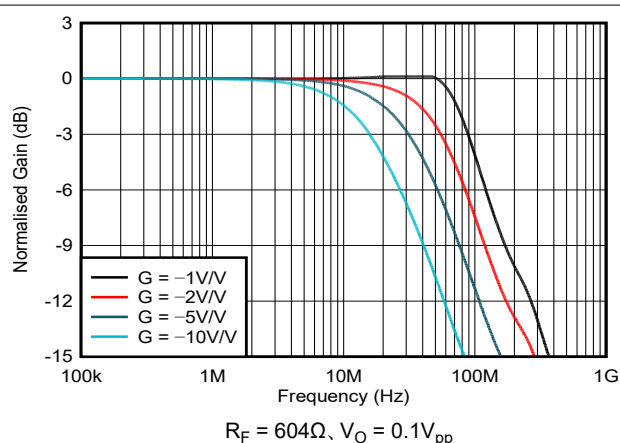


図 5-2. 反転型の小信号周波数パルス応答

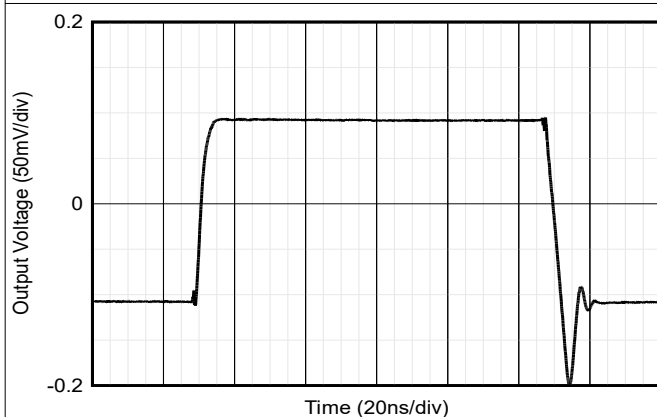


図 5-3. 非反転型の小信号ステップ応答

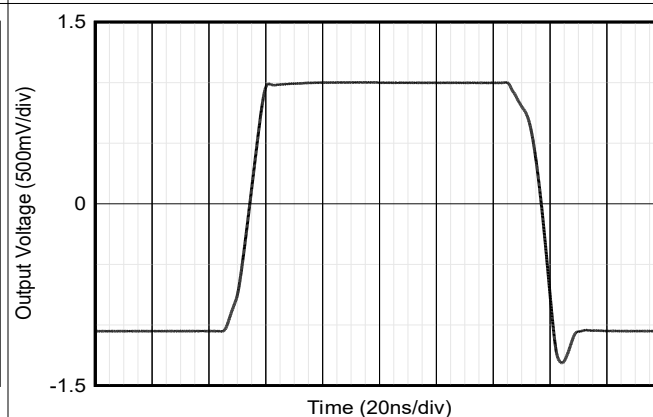


図 5-4. 非反転型の大信号ステップ応答

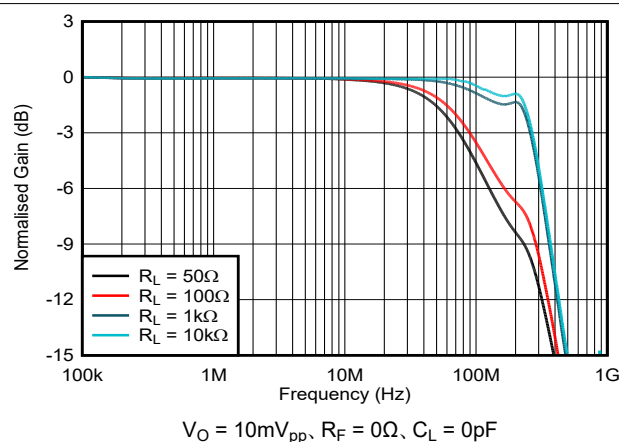


図 5-5. 周波数応答と各種 R_L 値との関係

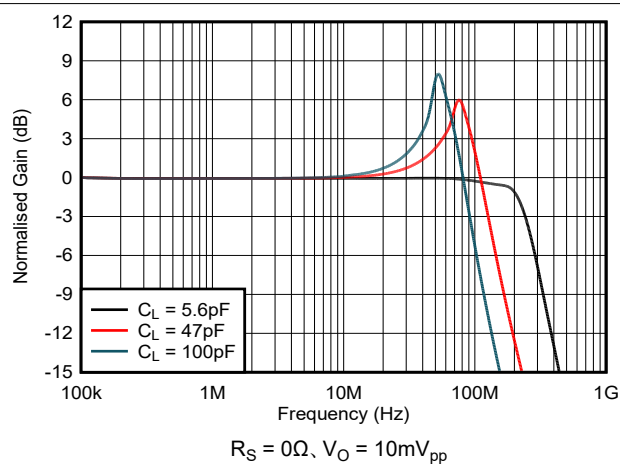


図 5-6. 各種 C_L の周波数応答

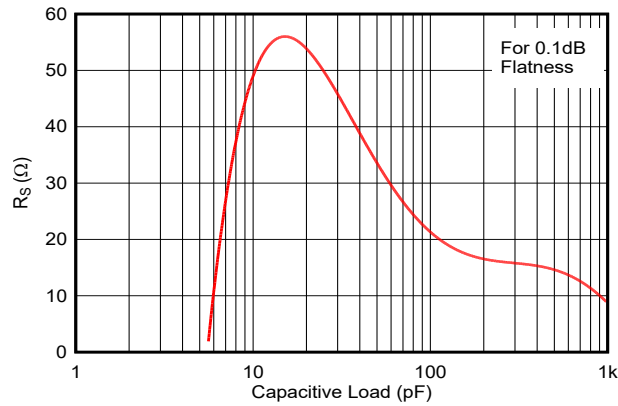


図 5-7. 推奨 R_S と容量性負荷との関係

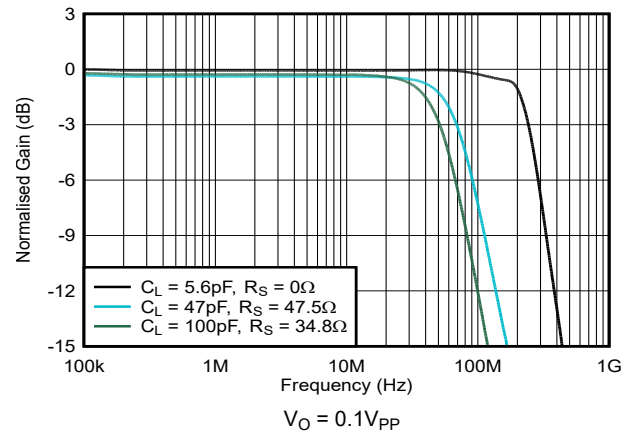


図 5-8. 周波数応答と容量性負荷との関係

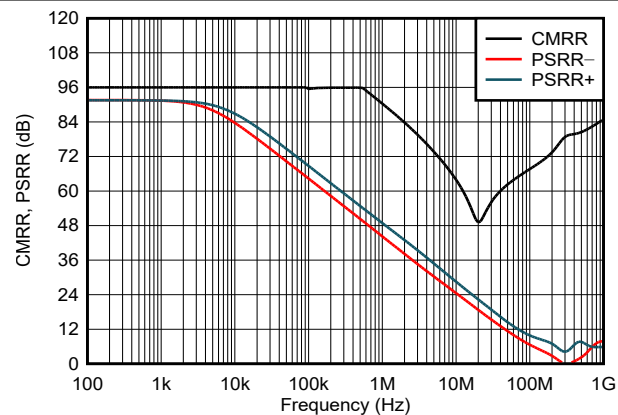


図 5-9. 同相信号除去比および電源除去比と周波数との関係

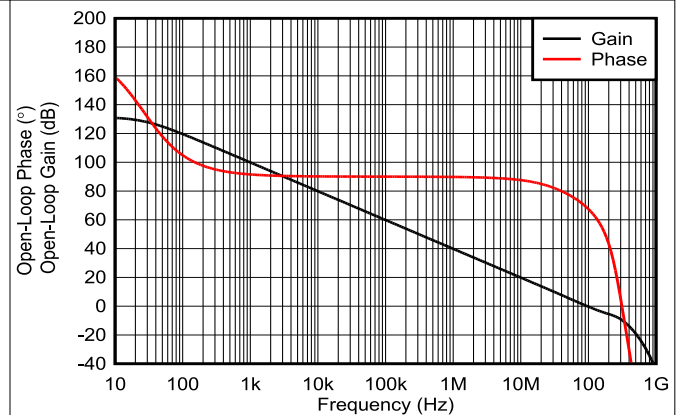


図 5-10. 開ループのゲインおよび位相

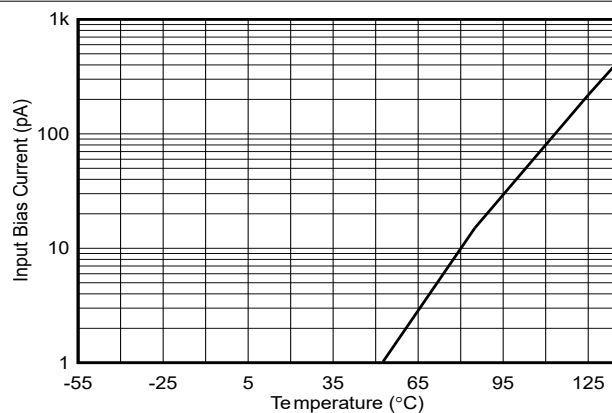


図 5-11. 入力バイアス電流と温度との関係

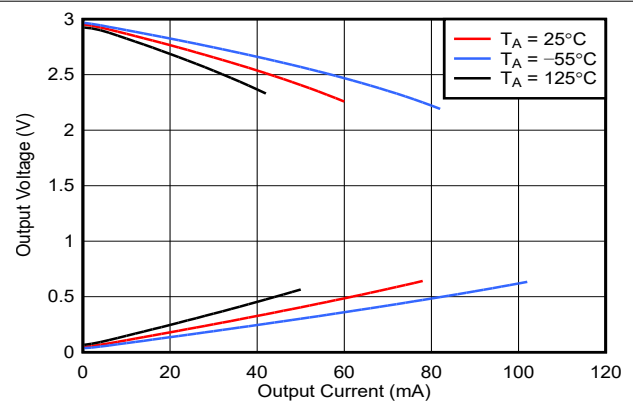


図 5-12. 出力電圧スイングと出力電流との関係 ($V_S = 3V$ の場合)

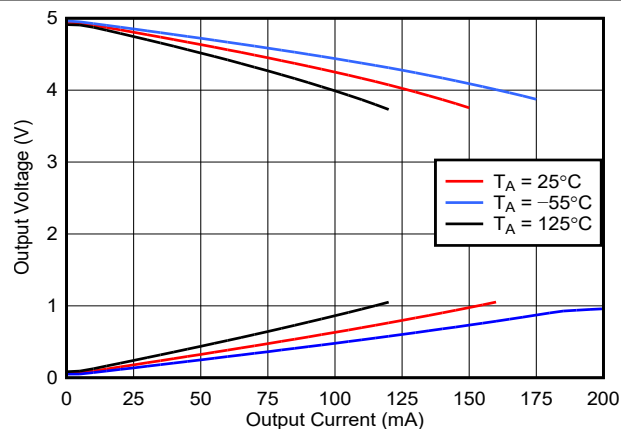


図 5-13. 出力電圧スイングと出力電流との関係 ($V_S = 5V$ の場合)

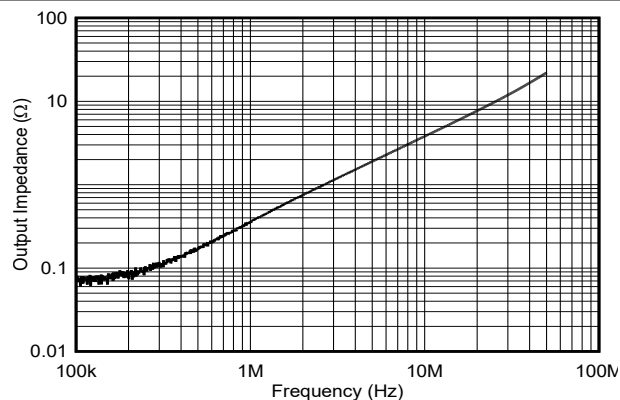


図 5-14. 閉ループ出力インピーダンスと周波数との関係

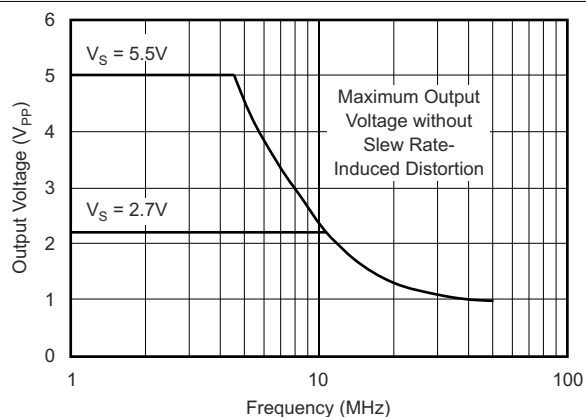


図 5-15. 最大出力電圧と周波数との関係

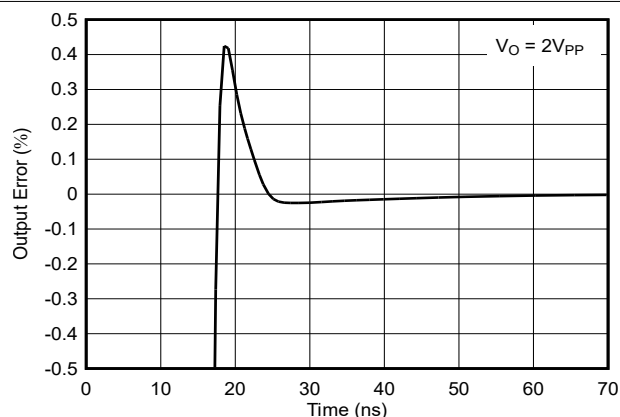


図 5-16. 0.1% までの出力セトリング タイム

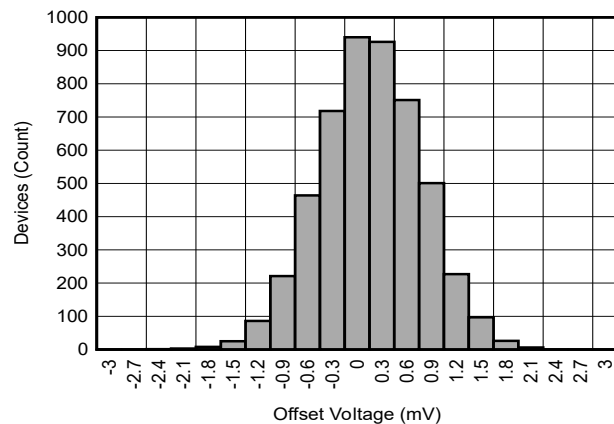


図 5-17. オフセット電圧の生産分布

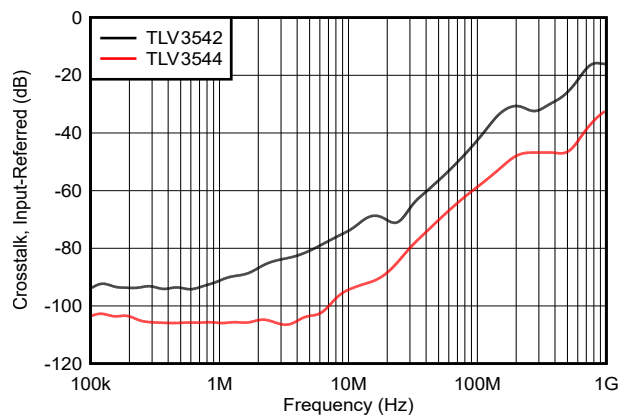


図 5-18. チャネル間クロストーク

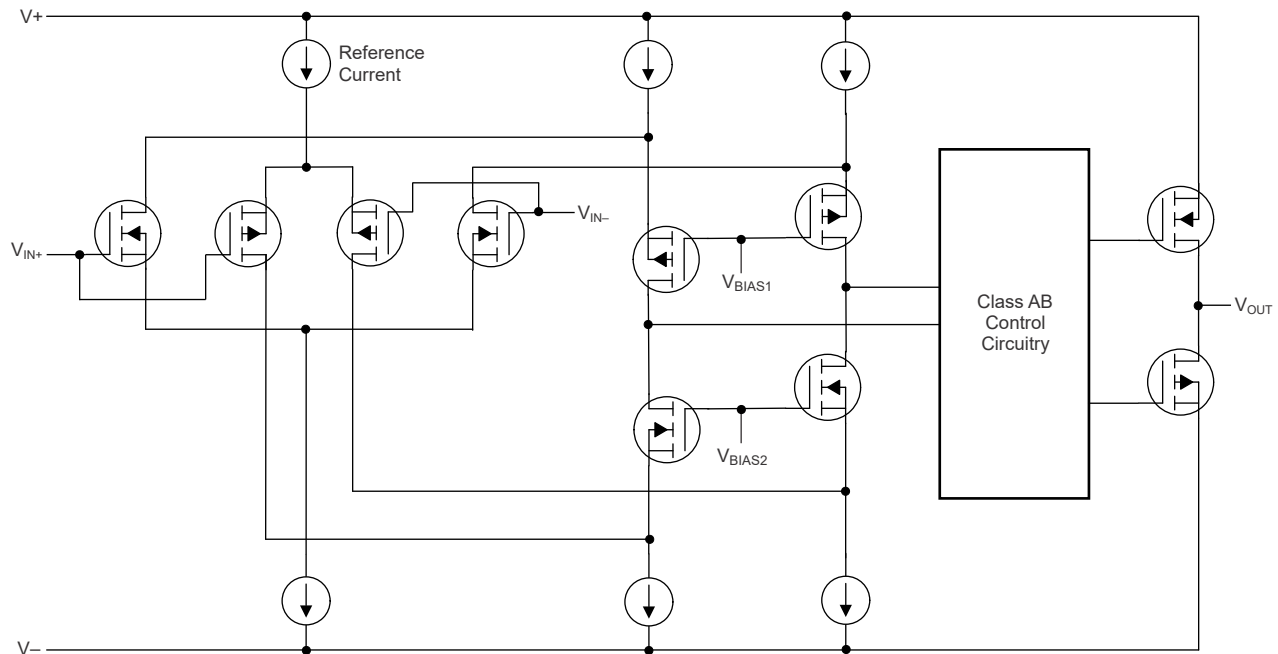
6 詳細説明

6.1 概要

TLV354x は、ビデオ、高速、その他のアプリケーション用に設計された CMOS、レール ツー レール I/O、高速、電圧帰還型のオペアンプです。これらのデバイスは、シングル、デュアル、クワッドのオペアンプとして入手可能です。

アンプは 100MHz のゲイン帯域幅と 150V/μs のスルーレートを特長としていますが、アンプはユニティ ゲインで安定しており、+1V/V の電圧フォロワとして動作します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 動作電圧

TLV354x は、電源電圧範囲 2.7V ~ 5.5V ($\pm 1.35V \sim \pm 2.75V$) で動作が規定されています。ただし、電源電圧範囲は 2.5V ~ 5.5V ($\pm 1.25V \sim \pm 2.75V$) となる場合があります。7.5V (絶対最大値) を超える電源電圧は、アンプに永続的な損傷を与えます。

電源電圧または温度によって変動するパラメータは、[セクション 5.8](#) セクションに示されています。

6.3.2 レール ツー レール入力

TLV354x の規定入力同相電圧範囲は、電源レールよりも 100mV 拡張されています。これは、相補型入力段 (P チャネル差動ペアと並んで配置された N チャネル入力差動ペア) により達成されています。詳細については、「[セクション 6.2](#)」も参照してください。N チャネル ペアは、正のレールに近い入力電圧に対してアクティブになります。通常は $(V+) - 1.2V$ から、正の電源電圧よりも 100mV 高い電圧までです。一方、P チャネル ペアは負の電源電圧より 100mV 下から、 $(V+) - 1.2V$ 程度までの入力に対してオンになります。両方のペアが動作する小さな遷移領域があり、通常は $(V+) - 1.5V \sim (V+) - 0.9V$ の範囲です。この 600mV の遷移領域は、プロセスのパラツキにより、 $\pm 500mV$ 変動する可能性があります。したがって、過渡領域 (両方の入力段がオンになる) は、Low では $(V+) - 2.0V \sim (V+) - 1.5V$ 、High 側では最大 $(V+) - 0.9V \sim (V+) - 0.4V$ の範囲になる可能性があります。

二重折りたたみカスケードは 2 組の入力ペアから信号を追加し、Class AB 出力段に差動信号を提示します。

6.3.3 レール ツー レール出力

共通ソーストランジスタを使用した **Class AB** 出力段を使用して、レール ツー レールの出力を実現できます。ハイインピーダンス負荷 (200Ω 超) の場合、出力電圧スイングは通常、電源レールから 100mV です。 10Ω 負荷では、有用な出力スイングが得られますが、高い開ループ ゲインが維持されます。代表的特性曲線と、「出力電圧スイングと出力電流との関係」を参照してください (図 5-12 および 図 5-13)。

6.3.4 出力駆動能力

TLV354x の出力段は $\pm 100\text{mA}$ の連続出力電流を供給しながら、 5V 電源で約 2.7V の出力スイングを供給できます (図 6-1 を参照)。最大限の信頼性を確保するため、 $\pm 100\text{mA}$ を超える連続 DC 電流を流すことは推奨されません。代表的特性曲線と、「出力電圧スイングと出力電流との関係」を参照してください (図 5-12 および 図 5-13)。 $\pm 100\text{mA}$ を超える連続出力電流を供給する場合、TLV354x は、図 6-2 に示すように並列に動作させることができます。

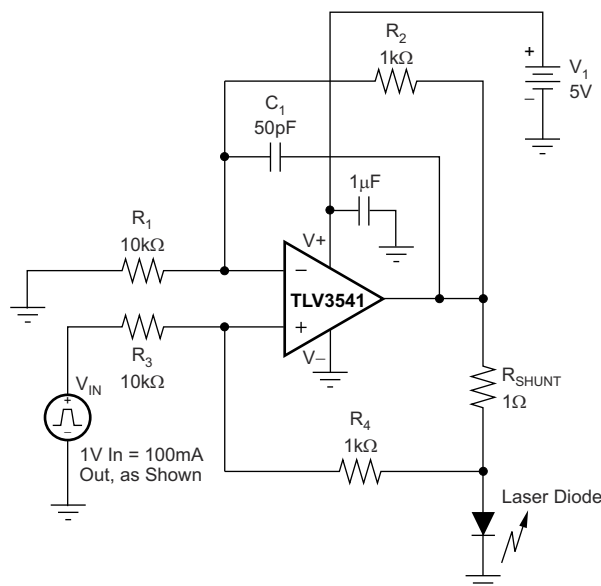


図 6-1. レーザー ダイオード ドライバ

TLV354x は、最大 200mA のピーク電流を供給します。これは、一般的な短絡電流に相当します。このため、オンチップのサーマル シャットダウン回路が用意されており、TLV354x を危険なほど高い接合部温度から保護します。 160°C では、保護回路によりアンプがシャットダウンされます。接合部温度が $+140^\circ\text{C}$ を下回ると、通常動作に復帰します。

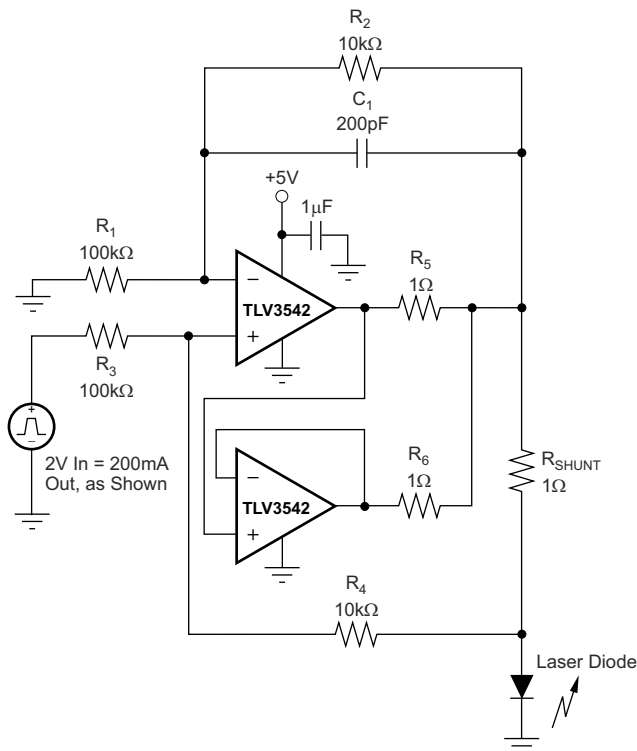


図 6-2. 並列動作

6.3.5 動画

TLV354x の出力段は、図 6-3 に示すように、標準のバック終端された 75Ω ビデオ ケーブルを駆動できます。伝送ラインをバック終端することで、デバイスはそのドライバに対する容量性負荷を示しません。適切にバック終端された 75Ω ケーブルは容量として現れません。このデバイスは TLV354x 出力に 150Ω の抵抗性負荷を供給します。

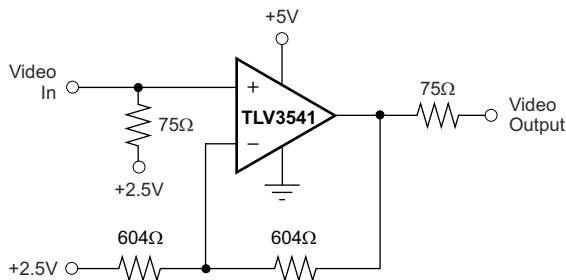
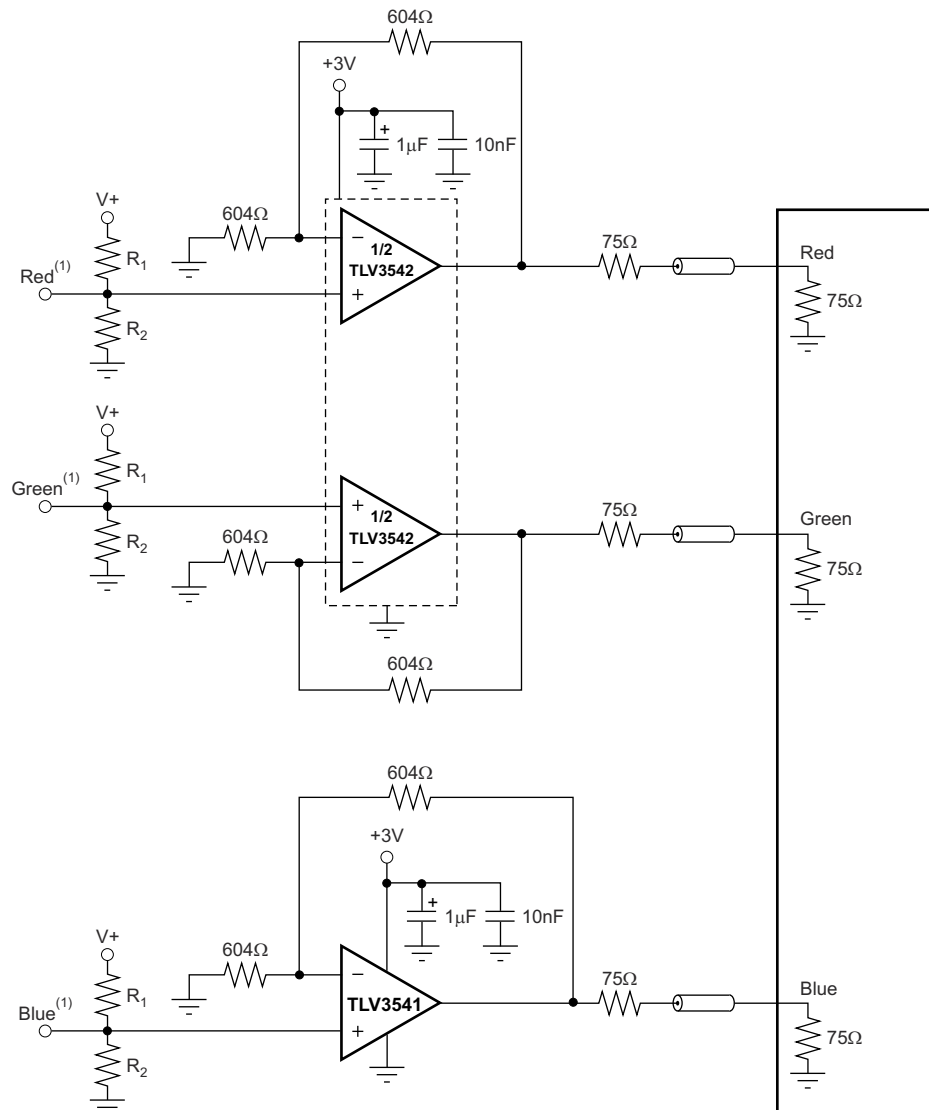


図 6-3. 単一電源 ビデオ ライン ドライバ

TLV3542 は、信号をオフセットし AC 結合することで、ビデオのブラックレベルで電圧がゼロとなる RGB グラフィック信号のアンプとして使用されます。図 6-4 を参照してください。



A. オペアンプのグラウンドへのスイング能力に対応するため、ソースビデオ信号はグラウンドより 300mV 高いオフセットに設定されます。

図 6-4. RGB ケーブル ドライバ

6.3.6 A/D コンバータの駆動

TLV354x シリーズのオペアンプは、60ns のセリング タイムを 0.01% まで実現しているため、高速および中速度サンプリング A/D コンバータの駆動や、リファレンス回路のバッファリングに適しています。TLV354x シリーズは、信号ゲインを提供しながら、A/D の入力容量とそれに伴うチャージ インジェクションをバッファする効果的な手段となります。高い DC 精度を必要とするアプリケーションでは、OPA350 シリーズを使用することを推奨します。

TLV3541 で A/D を駆動する例を、図 6-5 に示します。TLV3541 は反転構成の場合、帰還抵抗の両端に接続したコンデンサを使用して、信号内の高周波ノイズをフィルタリングします。

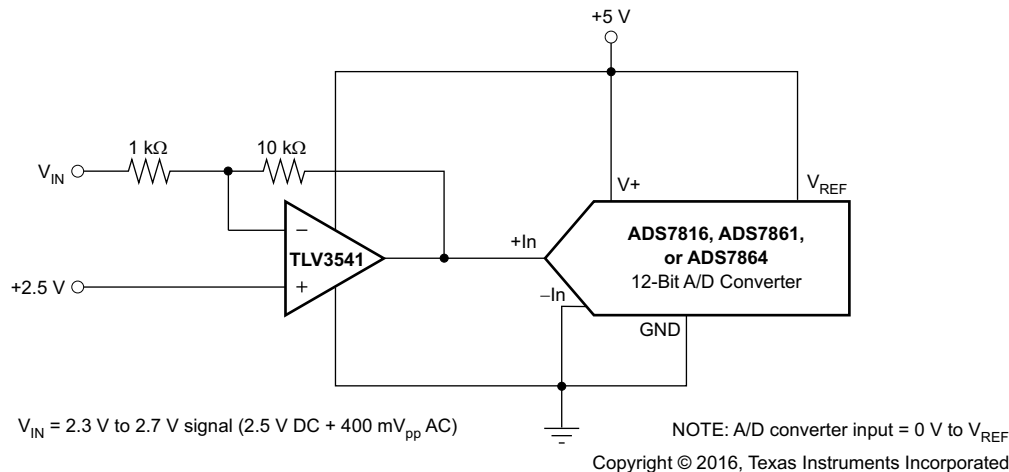


図 6-5. ADS7816 を駆動する反転構成の TLV3541

6.3.7 容量性負荷および安定度

TLV354x シリーズのオペアンプは、幅広い容量性負荷を駆動します。ただし、特定の条件下ではすべてのオペアンプが不安定になる可能性があります。オペアンプの構成、ゲイン、負荷値は、安定性を決定する際に考慮する必要のある要素のほんの一部にすぎません。ユニティ ゲイン構成のオペアンプは、容量性負荷の影響を最も受けやすくなります。容量性負荷は、デバイスの出力抵抗とともに追加の負荷抵抗と反応して、位相マージンを劣化させる小信号応答に極を形成します。詳細については、代表的特性曲線、「各種 C_L の周波数応答」(図 5-6) を参照してください。

TLV354x トポロジは、容量性負荷を駆動する能力を向上させます。ユニティ ゲインでは、これらのオペアンプは大きな容量性負荷で適切に動作します。詳細については、代表的特性曲線、「推奨 R_S と容量性負荷との関係」(図 5-7) および「周波数応答と容量性負荷との関係」(図 5-8) を参照してください。

図 6-6 に、ユニティ ゲイン構成で容量性負荷駆動能力を向上する 1 つの方法として、出力と直列に $10\Omega \sim 20\Omega$ の抵抗を挿入することを示しています。この構成により、大きな容量性負荷でのリングングが大幅に低減されます。代表的特性曲線、「周波数応答と容量性負荷との関係」(図 5-8) を参照してください。ただし、容量性負荷と並列に抵抗性負荷が接続されている場合、 R_S で分圧器を構成します。この分圧器は、出力に DC 誤差を導入し、出力スイングをわずかに減少させます。この誤差は重要ではない場合があります。たとえば、 $R_L = 10k\Omega$ 、 $R_S = 20\Omega$ の場合、出力に約 0.2% の誤差が発生します。

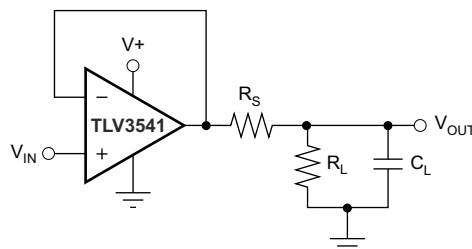


図 6-6. ユニティ ゲイン構成の直列抵抗により、容量性負荷駆動能力が向上

6.3.8 広帯域トランスインピーダンス アンプ

広帯域幅、低入力バイアス電流、低入力電圧、電流ノイズが特長の TLV354x は、低電圧単一電源アプリケーションに適した広帯域フォトダイオードトランスインピーダンス アンプです。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは重要です。

図 6-7 に示すトランスインピーダンス設計の主要要素は、想定されるダイオード容量 (TLV354x の場合、寄生入力コモンモードとディファレンシャルモードの入力容量 $(2 + 2)$ pF を含む)、目的のトランスインピーダンス ゲイン (R_F)、および

TLV354x のゲイン帯域幅積 (GBW) (標準値 100MHz) です。これらの 3 つの変数セットを使用して、フィードバック容量 (C_F) の値を設定し、周波数応答を制御できます。

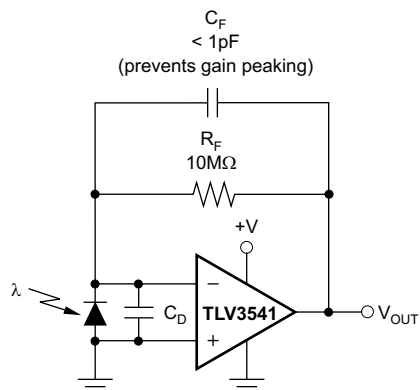


図 6-7. トランスインピーダンス アンプ

2 次バターワース周波数応答が平坦になるように、式 1 に記載されているとおりに帰還極を設ける必要があります。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBP}{4\pi R_F C_D}} \quad (1)$$

標準的な表面実装抵抗の寄生容量は約 0.2pF で、これは帰還容量の計算値から差し引く必要があります。帯域幅は 式 2 で計算されます。

$$f_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F C_D}} \text{ Hz} \quad (2)$$

より高いトランスインピーダンス帯域幅を得るには、高速 CMOS OPA355 (200MHz GBW) または OPA655 (400MHz GBW) を使用できます。

6.4 デバイスの機能モード

TLV354x には単一機能モードがあり、電源電圧が 2.5V (±1.25V) を上回ると動作します。TLV354x の最大電源電圧は 5.5V (±2.75V) です。+160°C では、保護回路によりアンプがシャットダウンされます。接合部温度が +140°C を下回ると、通常動作に復帰します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TLV354x は、広帯域幅、低ノイズのレール ツー レール入出力アンプです。これらのデバイスは 2.5V ~ 5.5V で動作し、ユニティゲインで安定しており、入力同相電圧範囲に両方のレールが含まれているため、TLV354x デバイスはあらゆる単一電源アプリケーションで使用できます。レール ツー レール入力および出力スイングにより、特に低電源電圧アプリケーションにおいてダイナミックレンジが大幅に向上し、デバイスは A/D コンバータ (ADC) の駆動に最適です。

TLV354x ファミリのデバイスは、200MHz の帯域幅と 150V/μs のスルーレートを特長としており、わずか 7.5nV/√Hz の広帯域ノイズしかありません。

7.2 代表的なアプリケーション

図 7-1 に示すように、オペアンプの代表的なアプリケーションは、反転アンプです。反転増幅器は、入力された正の電圧に対して、それと逆の極性で同じ大きさの負の電圧を出力します。同様に、このアンプは、負の入力電圧を出力側で正の電圧に変換します。また、入力抵抗 R_I および帰還抵抗 R_F を選択することで、増幅機能を追加できます。

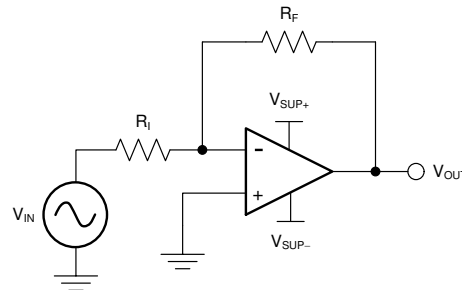


図 7-1. アプリケーション回路図

7.2.1 設計要件

電源電圧は、入力電圧範囲および目的の出力範囲よりも高くなるように選定する必要があります。入力同相範囲 (V_{CM}) の制限と、レールまでの出力電圧スイング (V_O) を考慮する必要があります。たとえば、このアプリケーションは、 $\pm 0.5V$ (1V) の信号を $\pm 1.8V$ (3.6V) に増幅します。このアプリケーションに対応するには、電源を $\pm 2.5V$ に設定すれば十分です。

7.2.2 詳細な設計手順

式 3 と式 4 を使って、反転アンプに必要なゲインを決定します。

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (3)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (4)$$

目的のゲインを決定したら、 R_I または R_F の値を選択します。アンプ回路では mA 範囲の電流が使用されるため、汎用用途での望ましい値は kΩ 範囲の値になります。この mA 範囲の電流範囲により、デバイスが過度の電流を消費することを防止できます。トレードオフは、大きな抵抗 (数百 kΩ) は電流を最小限に抑えられる一方、ノイズが最大になることです。

抵抗値が小さい (数百 Ω) と、ノイズは小さくなりますが、電流は大きくなります。この例では R_I に $10\text{k}\Omega$ 、 R_F に $36\text{k}\Omega$ を使っています。これらの値は、式 5 によって決まります。

$$A_V = - \frac{R_F}{R_I} \quad (5)$$

7.2.3 アプリケーション曲線

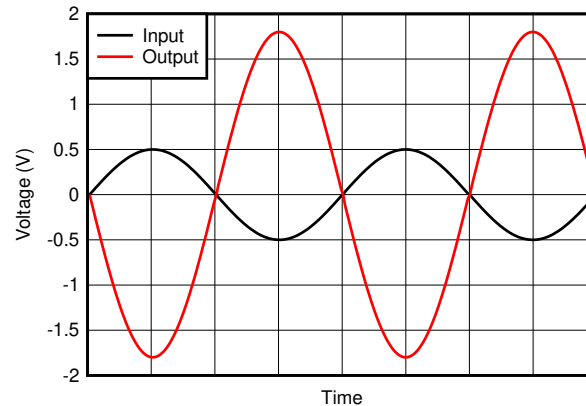
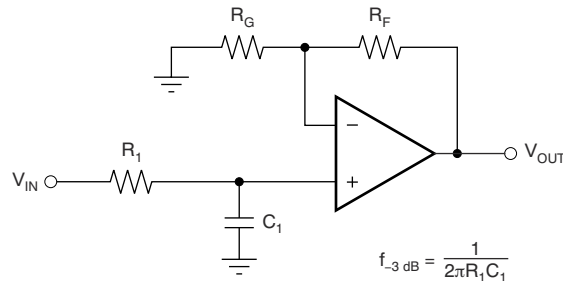


図 7-2. 反転アンプの入出力

7.3 システム例

低レベルの信号を受信する場合、システムへの入力信号の帯域幅を制限することがしばしば求められます。この帯域幅制限を実現する最も簡単な方法は、アンプの非反転端子に RC フィルタを配置することです (図 7-3 を参照)。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_I C_1}\right)$$

図 7-3. シングル ポールのローパス フィルタ

さらに大きい減衰が必要な場合、複数の極を持つフィルタが必要です。このタスクにはサレンキー型フィルタが使えます (図 7-4 を参照)。最適な結果を得るには、アンプの帯域幅をフィルタの周波数帯域幅の 8 ~ 10 倍にする必要があります。この指針に従わない場合、アンプの位相シフトが発生する可能性があります。

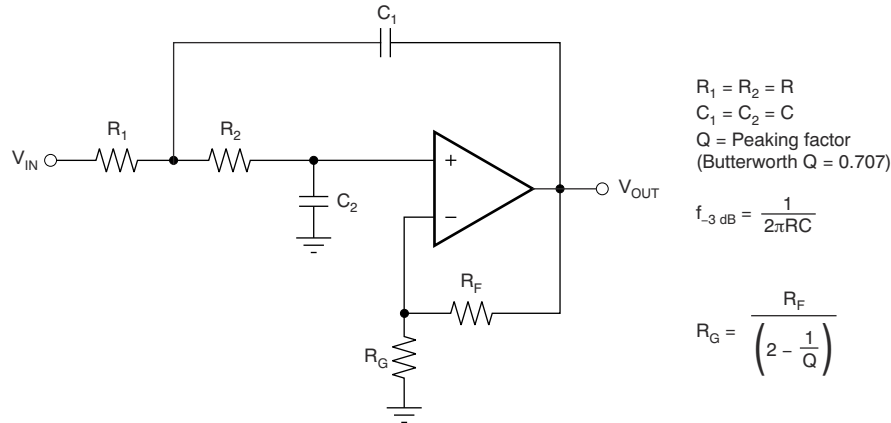


図 7-4.2 極、ローパス、サレンキー型フィルタ

7.4 電源に関する推奨事項

TLV354x ファミリーは、2.7V ~ 5.5V (±1.35V ~ ±2.75V) で動作することが規定されていますが、デバイス自体は 2.5V ~ 5.5V (±1.25V ~ ±2.75V) で動作可能です。また、多くの仕様は -40°C ~ +125°C で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータを「[セクション 5.8](#)」に示します。

注意

電源電圧が 7.5V を超えると、デバイスに恒久的な損傷を与える可能性があります。(セクション 5.1 を参照)

電源ピンの近くに 0.1μF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、[セクション 7.5.1](#) を参照してください。

7.4.1 入力およびESD 保護

TLV354x ファミリーには、すべてのピンに内部静電放電 (ESD) 保護回路が組み込まれています。入力ピンおよび出力ピンの場合、主にこの保護回路は、入力ピンと電源ピンの間に接続された電流ステアリング ダイオードで構成されます。これらの ESD 保護ダイオードは、「絶対最大定格」表に示すように、電流が 10mA に制限されている限り、回路内で入力オーバードライブ保護も行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、[図 7-5](#) に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは最小限に抑える必要があります。

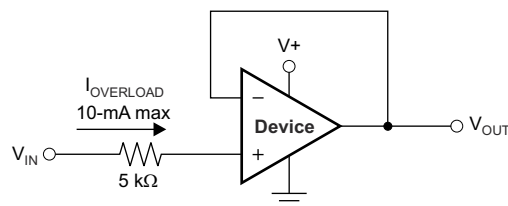


図 7-5. 入力電流保護

7.5 レイアウト

7.5.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは回路全体とオペアンプの電源ピンを経由して、アナログ回路に伝播します。バイパス コンデンサを使用すると、アナログ回路に対してローカルに低インピーダンスの電源を供給することにより、結合ノイズを低減します。

- 各電源ピンとグランドとの間に、低 ESR の $0.1\mu\text{F}$ セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意しながら、デジタル グランドとアナログ グランドを物理的に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を離しておけない場合、敏感な配線をノイズの多い配線と平行に配線するのではなく、 90° で交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 7-6 に示すように、 R_F と R_G を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガードリングを配置することを検討してください。ガードリングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。

7.5.2 レイアウト例

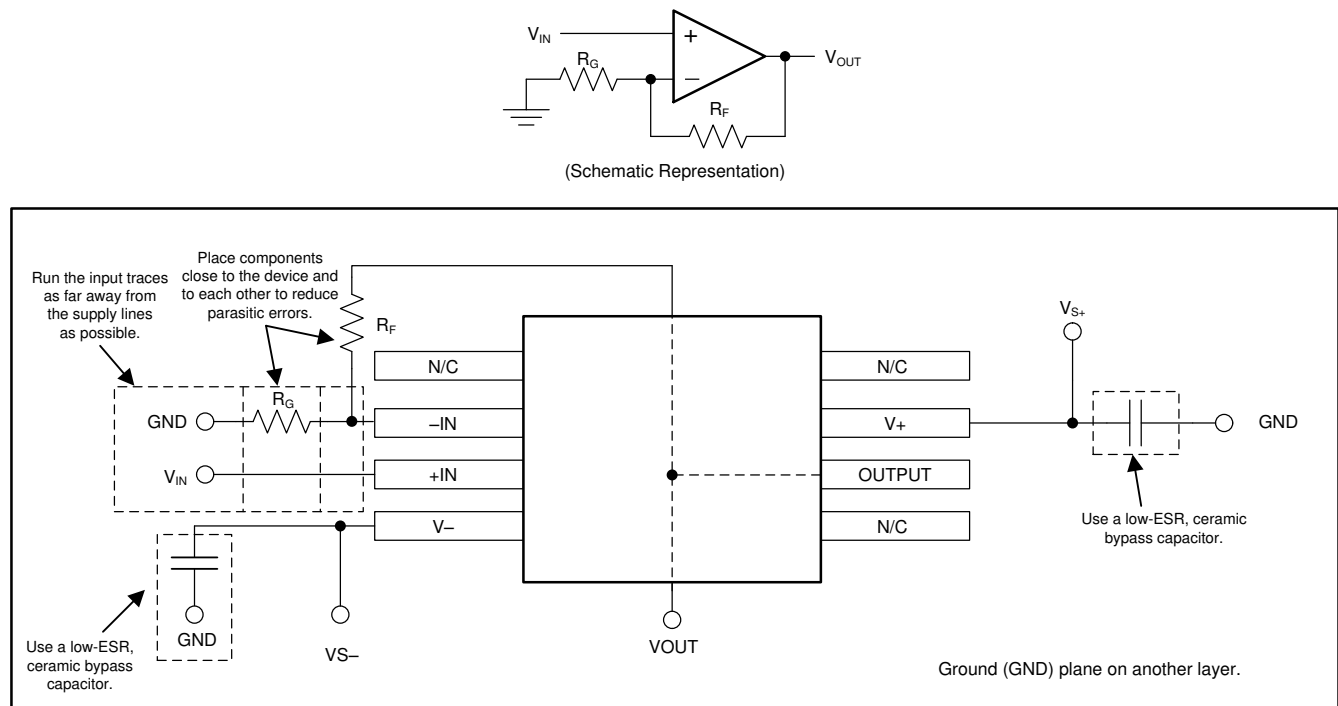


図 7-6. 非反転構成のオペアンプ基板のレイアウト

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

TLV354x デバイスには、以下の参考資料を使用することを推奨します。すべてのドキュメントは、特に記述のない限り www.tij.co.jp からダウンロードできます。

- 『オペアンプ アプリケーション ハンドブック』
- 『アナログ回路設計式一覧ポケット ガイド』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2016) to Revision A (August 2026)	Page
• TLV3541 の「仕様」表で熱に関する情報、電流ノイズ、立ち上がりおよび立ち下がり時間、開ループ出力抵抗を更新	6
• 「代表的特性」の新しいフォーマットのプロットを更新.....	8

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3541IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVRG4	Last Time Buy	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVRG4.A	Last Time Buy	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVRG4.B	Last Time Buy	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541
TLV3541IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541
TLV3541IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541
TLV3542IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542
TLV3542IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542
TLV3542IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542
TLV3544IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV3544A
TLV3544IDR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV3544A
TLV3544IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 3544
TLV3544IPWR.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 3544

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3544 :

- Automotive : [TLV3544-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3541IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TLV3541IDBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TLV3541IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV3541IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3542IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV3542IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3542IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3542IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3542IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV3542IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3544IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV3544IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3541IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV3541IDBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV3541IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TLV3541IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3542IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV3542IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV3542IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3542IDGKT	VSSOP	DGK	8	250	353.0	353.0	32.0
TLV3542IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
TLV3542IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3544IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV3544IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE

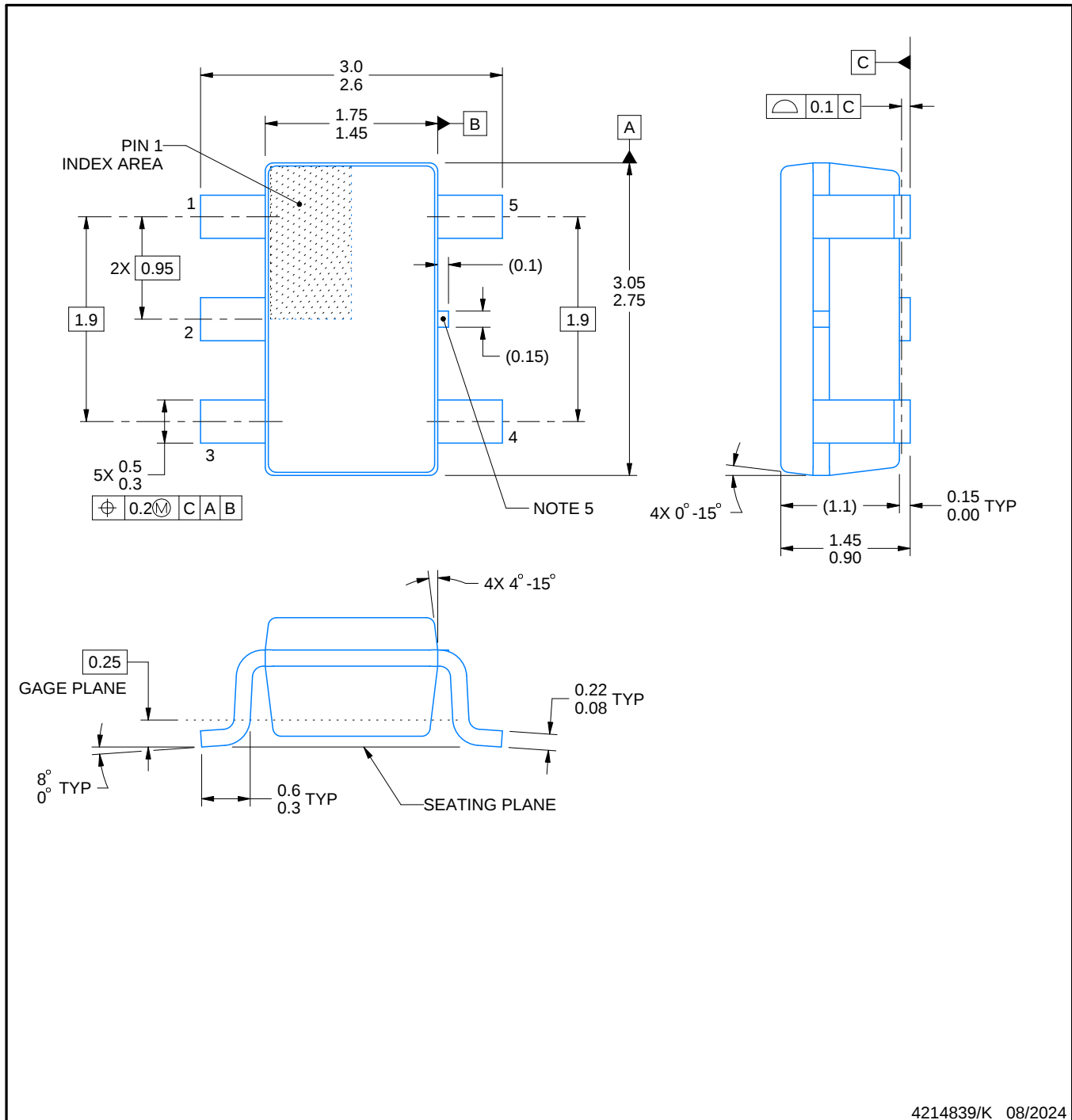


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLV3541IDR	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3541IDR.A	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3541IDR.B	D	SOIC	8	2500	507	7.85	3750	2.24

DBV0005A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

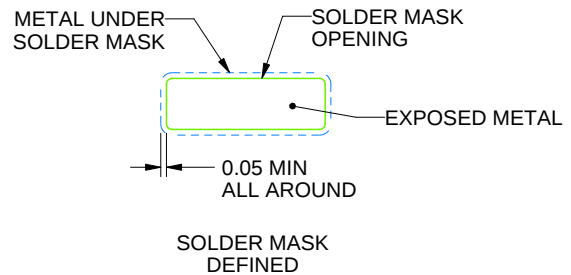
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

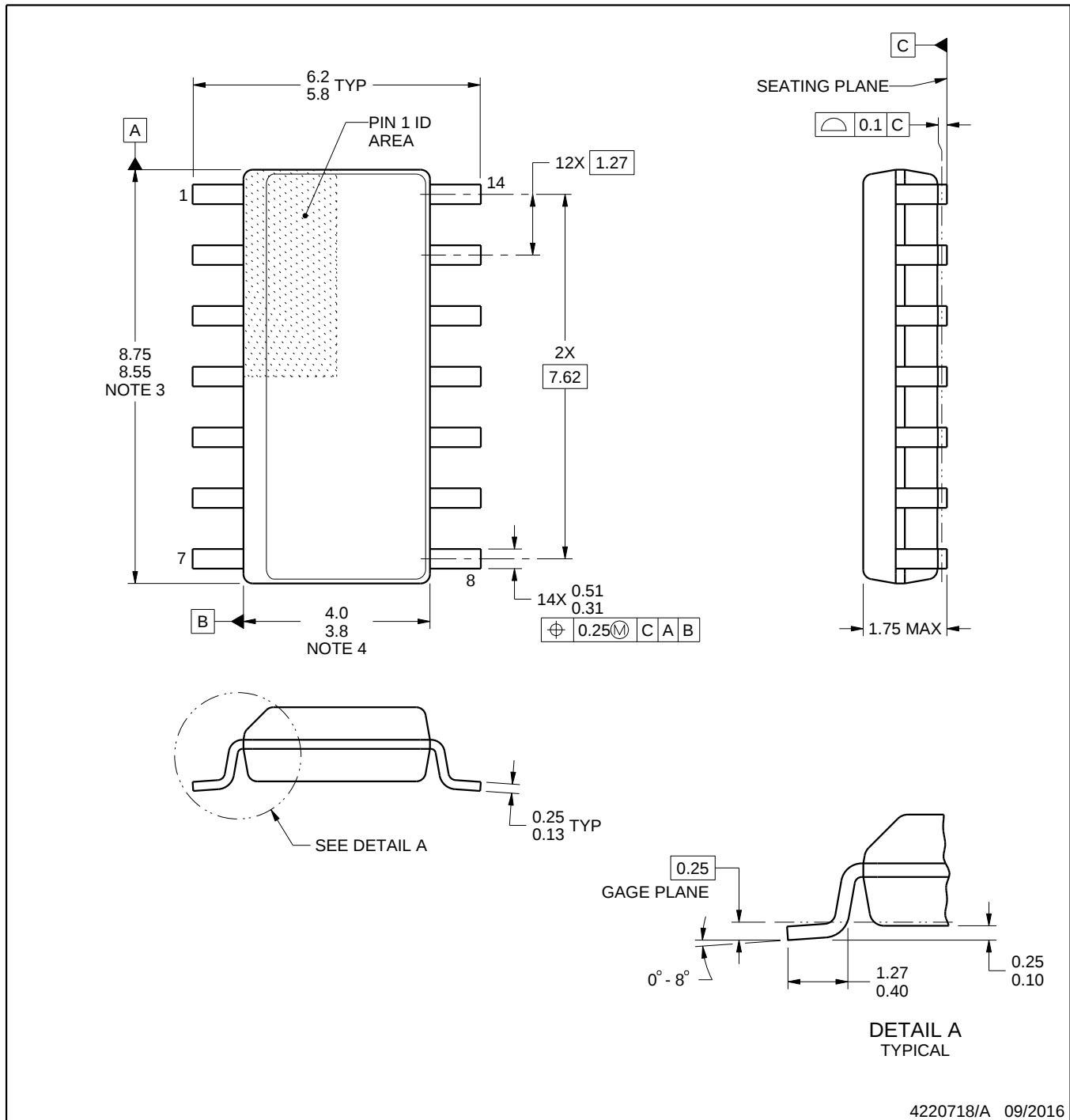
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

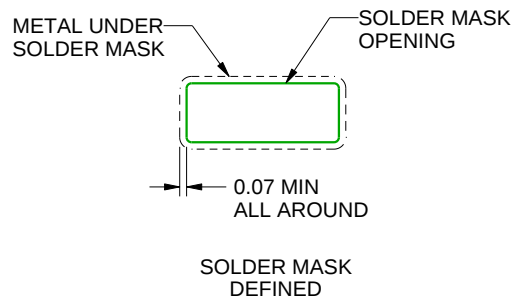
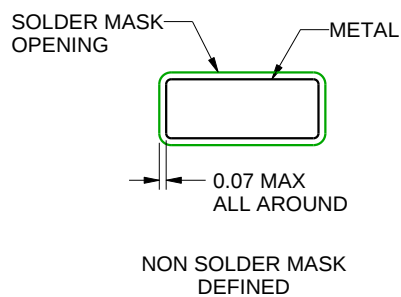
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月