

TLV612901 5.5V、11A 同期整流昇圧コンバータ、バイパス モードおよび I²C インターフェイス搭載

1 特長

- 1.8V ~ 5.5V の広い V_{IN} 範囲
 - 2.2V のスタートアップ時の入力電圧
- I²C 経由で設定可能な平均入力電流制限 (3.5A ~ 11A)、デフォルトは 8A
- I²C を介して設定可能な出力電圧 (2.35V ~ 5.5V)、デフォルトは 5.0V
- 高効率性と電力供給能力
 - 入力平均電流制限、デフォルト 8A
 - 2 つの 8mΩ (LS) / 8mΩ (HS) MOSFET
 - 10mΩ バイパス MOSFET
 - $V_{IN} = 4.2V$ 、 $V_{OUT} = 5.0V$ 、 $I_{OUT} = 1.5A$ で 96.3% のピーク効率
 - $V_{IN} = 4.2V$ 、 $V_{OUT} = 5.0V$ 、 $I_{OUT} = 4A$ で最大 94.4% の効率
- $V_{IN} > V_{OUT}$ 時の自動バイパス モード
- 軽負荷時に自動 PFM、強制 PWM、または Ultrasonic モードを選択可能
- EN が Low のときの出力放電機能
- シャットダウン時に入力と出力を完全に切り離し
- サーマル シャットダウン機能と過電流保護機能
- 出力短絡保護
- I²C 互換 I/F: 最高 1Mbps
- 1.2V I/O ロジック制御インターフェイス
- 16 ボール WCSP パッケージ

2 アプリケーション

- 携帯電話 / スマートフォン
- タブレット
- 光学モジュール
- 4G、5G のミニ モジュール データ カード
- 衛星通信
- RF パワー アンプ

3 説明

TLV612901 は、5.5V、11A の同期整流昇圧コンバータで、シングルセル バッテリ駆動システム用のバイパス モードを内蔵しています。このデバイスは、広い入力電圧範囲で動作し、2.2V からの起動に対応します。出力電圧は I²C を介して 2.35V ~ 5.5V の範囲でプログラム可能で、デフォルト値は 5.0V です。TLV612901 は、広いバッテリ動作範囲にわたって大電力能力、高速過渡応答、高効率を実現するよう最適化されています。

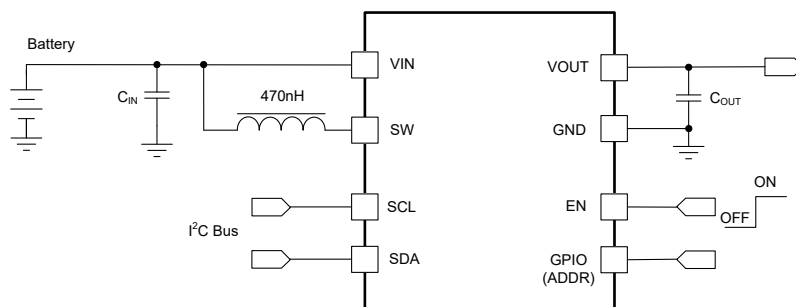
TLV612901 を大電力プリレギュレータとして使用することで、電源システムの入力電圧低下と入力電流制限を克服しながら、バッテリ動作時間を延長できます。入力電圧が目標出力電圧より高い場合、デバイスは自動的にバイパス モードに移行し、最大の効率を実現します。入力電圧が目標出力電圧を下回ると、デバイスはシームレスに昇圧モードへ移行し、安定化された出力電圧を維持するとともに、バッテリ容量を最大限に活用できます。このデバイスは、I²C を介した強制バイパス動作もサポートしています。

また、TLV612901 は、選択可能な軽負荷動作モード、シャットダウン時の出力放電、入力と出力の完全な切断をサポートしています。TLV612901 は、16 ボール WCSP パッケージで提供されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TLV612901	YBG (DSBGA, 16)	1.577mm × 1.577mm

- (1) 詳細については、[セクション 12](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーションの簡略回路図



目次

1 特長	1	8.2 CONFIG レジスタ	27
2 アプリケーション	1	8.3 VOUTFLOORSET レジスタ	28
3 説明	1	8.4 ILIMBSTSET レジスタ	29
4 デバイス比較表	3	8.5 VOUTROOFSET レジスタ	30
5 ピン構成および機能	4	8.6 STATUS レジスタ	31
6 仕様	5	8.7 ILIMPTSET レジスタ	32
6.1 絶対最大定格.....	5	8.8 BSTLOOP レジスタ	33
6.2 ESD 定格.....	5	9 アプリケーションと実装	34
6.3 推奨動作条件.....	5	9.1 使用上の注意.....	34
6.4 熱に関する情報.....	5	9.2 代表的なアプリケーション.....	34
6.5 電気的特性.....	6	9.3 電源に関する推奨事項.....	40
6.6 I ² C インターフェイス タイミングの要件.....	9	9.4 レイアウト.....	40
6.7 代表的特性.....	10	10 デバイスおよびドキュメントのサポート	43
7 詳細説明	12	10.1 デバイス サポート.....	43
7.1 概要.....	12	10.2 ドキュメントの更新通知を受け取る方法.....	43
7.2 機能ブロック図.....	13	10.3 サポート・リソース.....	43
7.3 機能説明.....	14	10.4 商標.....	43
7.4 デバイスの機能モード.....	15	10.5 静電気放電に関する注意事項.....	43
7.5 プログラミング.....	21	10.6 用語集.....	43
8 レジスタ マップ	25	11 改訂履歴	43
8.1 DeviceID レジスタ.....	26	12 メカニカル、パッケージ、および注文情報	44

4 デバイス比較表

部品番号	デフォルトの出力電圧	GPIO 機能	デフォルトの GPIO 構成
TLV612901	5.0V	ADDR	プログラマブル: 75h (ADDR=L)、76h (ADDR = H)、77h (ADDR はフローティング)
TLV612902 ⁽¹⁾	3.4V または 3.55V	VSEL	VOUTFLOORSET: (VSEL = Low、3.4Vout) VOUTROOFSET: (VSEL = High、3.55Vout)

(1) 製品プレビュー (量産データではありません)。詳細は テキサス・インスツルメンツまでお問い合わせください。

5 ピン構成および機能

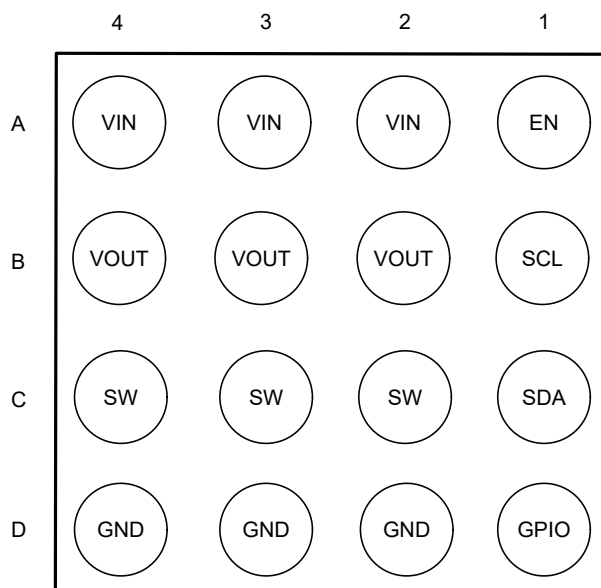
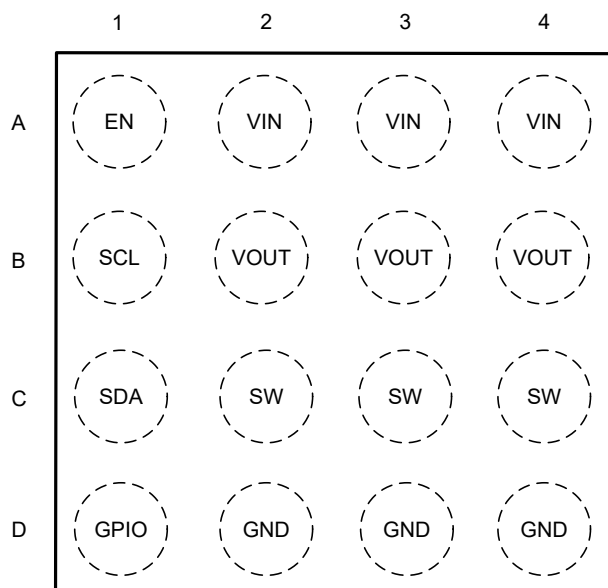


図 5-1. TLV612901 YBG パッケージ、16 ピン DSBGA (上面図) 図 5-2. TLV612901 YBG パッケージ、16 ピン DSBGA (底面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
EN	A1	I	イネーブル論理入力。ロジック High レベルにすると、デバイスは有効になります。ロジック Low レベルにするとデバイスが無効になり、シャットダウン モードに移行します。
VIN	A2, A3, A4	PWR	電源入力
SCL	B1	I	シリアル インターフェース クロック ライン。このピンは終端して、フローティングのままにしないでください。
VOUT	B2, B3, B4	PWR	コンバータの出力
SDA	C1	I	シリアル インターフェース アドレス/データ ライン。このピンは終端して、フローティングのままにしないでください。
SW	C2, C3, C4	PWR	スイッチ ノード。このピンは内部ローサイド MOSFET のドレインおよび内部ハイサイド MOSFET のソースに接続されます。
GPIO	D1	I/O	ピンを ADDR または VSEL 機能として構成します。TLV612901 の場合、デフォルト構成は ADDR 機能です。 ADDR: I ² C ターゲット アドレスの選択。I ² C ターゲット アドレスは、ADDR が Low のとき 75h、ADDR が High のとき I ² C ターゲット アドレスは 76h、ADDR がフローティングのとき I ² C ターゲット アドレスは 77h です。起動シーケンスが正常に完了すると、アドレスはロックされます。 VSEL: 出力電圧の選択。VSEL が Low の場合、Vout は VOUTFLOOR_TH になります。VSEL が High の場合、Vout は VOUTROOF_TH になります。
GND	D2, D3, D4	PWR	IC のグランド ピン。出力コンデンサの GND パッドは、GND ピンの近くに配置する必要があります。

(1) I = 入力、O = 出力、PWR = パワー

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
入力電圧	VIN、SW、EN、VOUT、SCL、SDA、GPIO ⁽²⁾	DC	-0.3	7	V
入力電圧	10 ns での SW スパイク ⁽²⁾	AC	-0.7	8	V
入力電圧	5 ns での SW スパイク ⁽²⁾	AC	-0.7	8.5	V
入力電流	SW への連続平均電流 ⁽³⁾			6	A
温度	動作時の接合部温度、T _J		-40	150	°C
温度	保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、ネットワーク グランド端子を基準としたものです。
- (3) 6A の出力電流で連続的に動作させ、接合部温度が 85°C を超えると、寿命が短くなります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。±2000V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±500V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V _{IN}	入力電圧範囲	1.8		5.5	V
V _{OUT}	出力電圧設定範囲	2.35		5.5	V
L	実効インダクタンス範囲	330	470	560	nH
C _{in}	実効入力容量範囲		5		μF
C _O	実効出力容量範囲、I _{out} ≤ 4A	15	20		μF
	実効出力容量範囲、4A < I _{out} ≤ 6A	20			μF
T _J	動作時接合部温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TLV612901	TLV612901	単位
		YBG (16 ピン)	YBG (16 ピン)	
		標準	EVM ⁽²⁾	
R _{θJA}	接合部から周囲への熱抵抗	78	40.5	°C/W
R _{θJC}	接合部からケースへの熱抵抗	0.6	該当なし	°C/W
R _{θJB}	接合部から基板への熱抵抗	13	該当なし	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.4	0.1	°C/W

熱評価基準 ⁽¹⁾		TLV612901	TLV612901	単位
		YBG (16 ピン)	YBG (16 ピン)	
		標準	EVM ⁽²⁾	
Ψ_{JB}	接合部から基板への特性パラメータ	13	16.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

(2) TLV61290EVM-076、4 層、2oz 銅 92.2mm x 59.2mm PCB で測定。

6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 1.8\text{V} \sim 5.5\text{V}$ 、 $V_{OUT} = 3.4\text{V}$ (または V_{IN} のいずれか高い方)、 $EN = 1.2\text{V}$ 、 $GPIO = 1.2\text{V}$ 。 $V_{IN} = 3.2\text{V}$ 、 $V_{OUT} = 3.4\text{V}$ 、 $EN = 1.2\text{V}$ 、 $T_J = 25^{\circ}\text{C}$ における標準値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{IN}	入力電圧範囲		1.8		5.5	V
V_{UVLO}	低電圧誤動作防止のスレッシュホールド	立ち上がり		2.1	2.2	V
V_{UVLO}	低電圧誤動作防止のスレッシュホールド	立ち下がり		1.7	1.8	V
		ヒステリシス		0.4		V
I_Q	V_{IN} への動作静止電流	DC/DC 昇圧モード。デバイスはスイッチングしません $EN = V_{IN}$ 、 $ENABLE_bit = 01$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		42	57	μA
	V_{OUT} ピンへの動作時静止電流	DC/DC 昇圧モード。デバイスはスイッチングしません $EN = V_{IN}$ 、 $ENABLE_bit = 01$ $2.35\text{V} \leq V_{OUT} \leq 5.5\text{V}$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		12	23	μA
	オートバイパス モードにおける動作静止電流	真のバイパス モード (自動) $EN = V_{IN}$ 、 $ENABLE_bit = 01$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		35	49	μA
	強制バイパス モードでの動作時の静止電流	真のバイパス モード (強制) $EN = V_{IN}$ 、 $ENABLE_bit = 10$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		35	47	μA
I_{SD}	シャットダウン電流	シャットダウン モード $EN = GND$ 、 $V_{OUT} = GND$ $T_J = 25^{\circ}\text{C}$		0.55	2	μA
	シャットダウン電流	シャットダウン モード $EN = GND$ 、 $V_{OUT} = GND$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		0.55	11	μA
	シャットダウン電流	シャットダウン モードですが、 I^2C ブロックがアクティブです。 $EN = V_{IN}$ 、 $ENABLE_bit = 11$ $T_J = 25^{\circ}\text{C}$		16	23	μA
	シャットダウン電流	シャットダウン モードですが、 I^2C ブロックがアクティブです。 $EN = V_{IN}$ 、 $ENABLE_bit = 11$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		16	35	μA
EN、SDA、SCL、GPIO						
V_{IL}	Low レベル入力電圧		0.33			V
V_{IH}	High レベル入力電圧			0.82		V
V_{OL}	Low レベル出力電圧 (SDA)	$I_{OL} = 8\text{mA}$		0.36		V
R_{PD}	EN ブルダウン抵抗	印加電圧 < 0.4V		800		k Ω
I_{lkq}	入力リーク電流	$-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		0.1		μA

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 1.8\text{V} \sim 5.5\text{V}$ 、 $V_{OUT} = 3.4\text{V}$ (または V_{IN} のいずれか高い方)、 $EN = 1.2\text{V}$ 、 $GPIO = 1.2\text{V}$ 、 $V_{IN} = 3.2\text{V}$ 、 $V_{OUT} = 3.4\text{V}$ 、 $EN = 1.2\text{V}$ 、 $T_J = 25^{\circ}\text{C}$ における標準値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
V _{OUT}	出力電圧設定範囲		2.35		5.5	V
V _{OUT_P} PWM	DC 電圧精度	2.2V ≤ V _{IN} ≤ V _{OUT_TAR} − 150mV PWM 動作	-1.5		1.5	%
V _{OUT_BP_EN} TER	バイパス モード スレッシュホールドを開始します	MODE_CTRL = 00、自動 PFM	V _{OUT_P} WM × (1 + 0.5%)			V
V _{OUT_BP_EN} TER	バイパス モード スレッシュホールドを開始します	MODE_CTRL = 10、FPWM	V _{OUT_P} WM × (1 + 2%)			V
V _{OUT_BP_EXI} T	バイパス モード スレッシュホールドを終了します	自動バイパス モード	V _{OUT_P} WM × (1 − 3%)			V
V _{OVP}	出力過電圧保護スレッシュホールド	V _{OUT} 立ち上がり	5.45	5.58	5.70	V
R _{DIS_O} UT	出力等価放電インピーダンス			90		Ω
パワー スイッチ						
R _{DS(on)}	ローサイド スイッチ MOSFET オン抵抗	V _{OUT} = 5V		8	13.5	mΩ
	ハイサイド整流 MOSFET の オン抵抗	V _{OUT} = 5V		8	13.5	mΩ
	ローサイド スイッチ MOSFET の オン抵抗	V _{OUT} = 3.4V		10	15	mΩ
	ハイサイド整流 MOSFET の オン抵抗	V _{OUT} = 3.4V		10	15	mΩ
	バイパス MOSFET オン抵抗	V _{OUT} = 2.35V ~ 5.5V		10	15	mΩ
I _{LIM_S} W	平均インダクタ電流制限	ILIM_BOOST = 0110 (デフォルト)、1.8V ≤ V _{IN} ≤ 5.5V	6	8	9	A
	I ² C 経由で平均インダクタ電流制限を調整 可能な範囲	標準値、1.8V ≤ V _{IN} ≤ 5.5V	3.5		11	A
ILIM_RE VERSE	逆電流制限 (FPWM 動作)	MODE_CTRL = 10		-1		A
I _{LIM_BP}	バイパスモードの電流制限 (強制)	ENABLE_bit = 10、ILIM_FPT = 010 (デフォルト)	6.5	8	11.2	A
	バイパスモードの電流制限 (自動)	ENABLE_bit = 01、ILIM_APT = 010 (デフォルト)	6.5	8	11.2	A
I _{lkg}	ローサイド スイッチ MOSFET リーク電流	EN = GND、−40°C ≤ T _J ≤ 85°C		0.1	5	μA
	ハイサイド スイッチ MOSFET リーク電流	EN = GND、−40°C ≤ T _J ≤ 85°C		0.1	5	μA
	バイパス MOSFET リーク電流	EN = GND、−40°C ≤ T _J ≤ 85°C		0.6	5	μA
発振器						
T _{ON_MI} N	最小オン時間	PWM モード		80		ns
F _{sw_mi} n_fPWM	最小スイッチング周波数 (FPWM)	MODE_CTRL = 10	375	440		kHz
F _{sw_mi} n_pfm	超音波モードでの最小スイッチング周波数	MODE_CTRL = 01	23			kHz
F _{DITHE} R	スペクトラム拡散ディザリング周波数	V _{IN} = 3.2V、V _{OUT} = 3.4V、MODE_CTRL = 10、 SSFM = 1	±8%			F _{sw}
サーマル シャットダウン						

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 1.8\text{V} \sim 5.5\text{V}$ 、 $V_{OUT} = 3.4\text{V}$ (または V_{IN} のいずれか高い方)、 $EN = 1.2\text{V}$ 、 $GPIO = 1.2\text{V}$ 。 $V_{IN} = 3.2\text{V}$ 、 $V_{OUT} = 3.4\text{V}$ 、 $EN = 1.2\text{V}$ 、 $T_J = 25^{\circ}\text{C}$ における標準値(特に記述のない限り)。

パラメータ		テスト条件	最小値 標準値 最大値	単位
T_{SD}	サーマル シャットダウン ⁽¹⁾	T_J 立ち上がり	165	$^{\circ}\text{C}$
T_{SD_HYS}	サーマル シャットダウン ヒステリシス ⁽¹⁾		20	
TIMING				
	ソフト スタートアップ時間 ⁽¹⁾	内部 SS ランプ時間	400	μs
	ヒカップ オン時間	HICCUP_MODE ビット= 1	1	ms
	ヒカップ オフ時間	HICCUP_MODE ビット= 1	19	ms

(1) 特性評価により検証されています。量産時にはテストを行っていません。

6.6 I²C インターフェイス タイミングの要件

動作接合部温度範囲および推奨電源電圧範囲 (特に記載のない限り)⁽¹⁾

パラメータ		テスト条件	最小値 最大値	単位
f _(SCL)	SCL クロック周波数	スタンダード モード	100	kHz
f _(SCL)	SCL クロック周波数	ファスト モード	400	kHz
f _(SCL)	SCL クロック周波数	ファスト モード プラス	1	MHz
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	ファスト モード プラス	0.5	μs
t _{HD} , t _{STA}	(繰り返し) START ホールド時間 条件		260	ns
t _{LOW}	SCL クロックの LOW 期間		0.5	μs
t _{HIGH}	SCL クロックの HIGH 期間		260	ns
t _{SU} , t _{STA}	反復開始条件のセットアップ時間		260	ns
t _{SU} , t _{DAT}	データ セットアップ時間		50	ns
t _{HD} , t _{DAT}	データ ホールド時間		0	μs
t _{RCL}	SCL 信号の立ち上がり時間		120	ns
t _{RCL1}	START 条件の繰り返し、およびアクノ リッジ ビット後の SCL 信号の立ち上がり 時間		120	ns
t _{FCL}	SCL 信号の立ち下がり時間		120	ns
t _{RDA}	SDA 信号の立ち上がり時間		120	ns
t _{FDA}	SDA 信号の立ち下がり時間		120	ns
t _{SU} , t _{STO}	STOP 条件のセットアップ時間		260	ns
C _B	SDA および SCL の容量性負荷		200	pF

(1) 設計により規定されています。量産時にはテストを行っていません。

6.7 代表的特性

特記のない限り、標準条件は $V_{IN} = 2.5V \sim 4.5V$ 、 $V_{OUT_TAR} = 5.0V$ 、 $T_J = 25^\circ C$

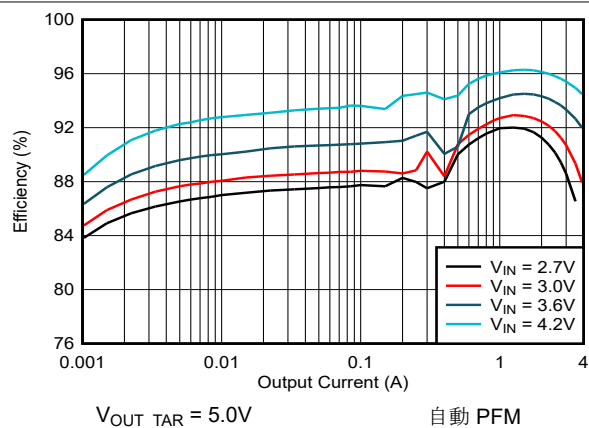


図 6-1. 効率と出力電流との関係

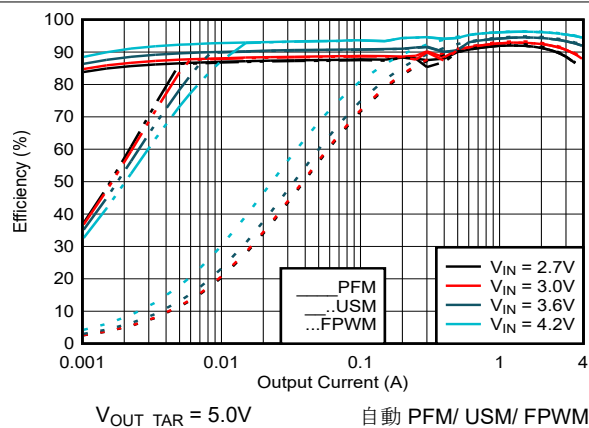


図 6-2. 効率と出力電流との関係

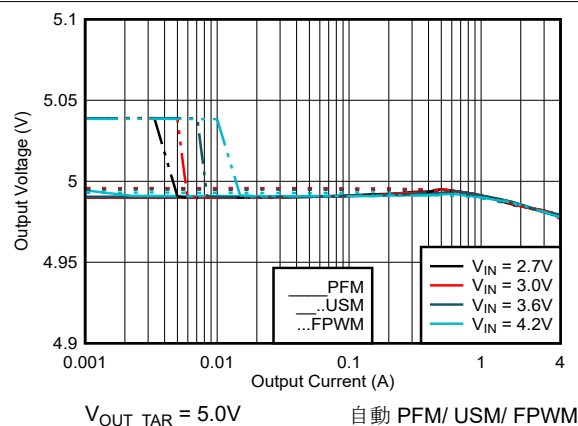


図 6-3. DC 出力電圧と出力電流との関係

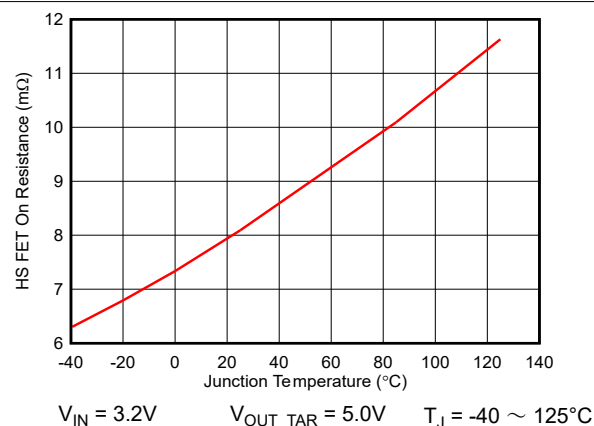


図 6-4. ハイサイド $R_{ds(on)}$ と接合部温度との関係

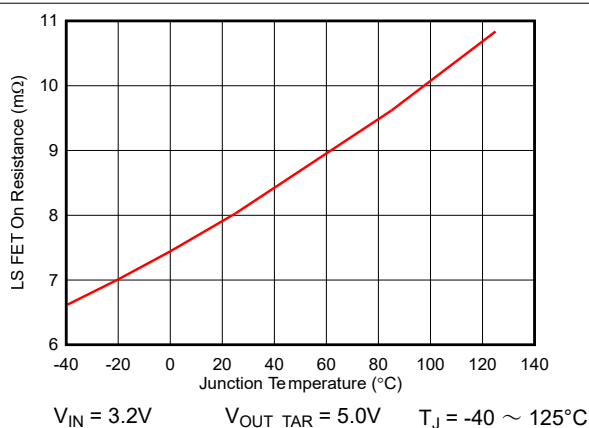


図 6-5. ローサイド $R_{ds(on)}$ と接合部温度との関係

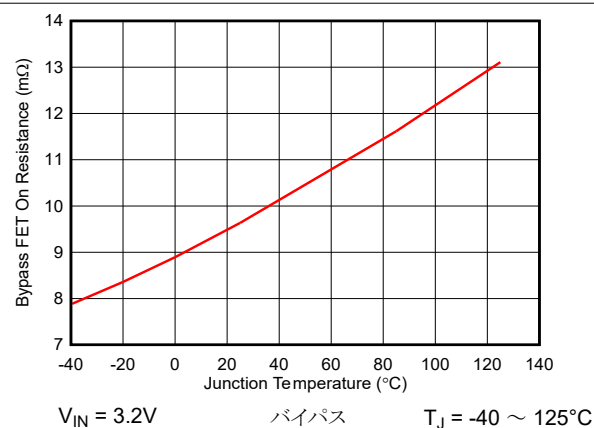


図 6-6. バイパス FET $R_{ds(on)}$ と接合部温度との関係

6.7 代表的特性 (続き)

特記のない限り、標準条件は $V_{IN} = 2.5V \sim 4.5V$ 、 $V_{OUT_TAR} = 5.0V$ 、 $T_J = 25^\circ C$

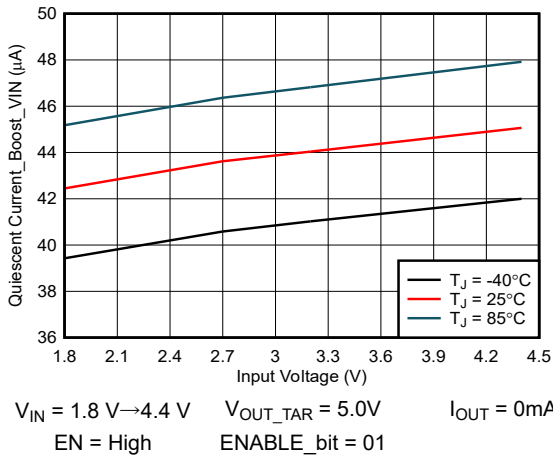


図 6-7. 昇圧モード時の V_{IN} からの静止電流と入力電圧との関係

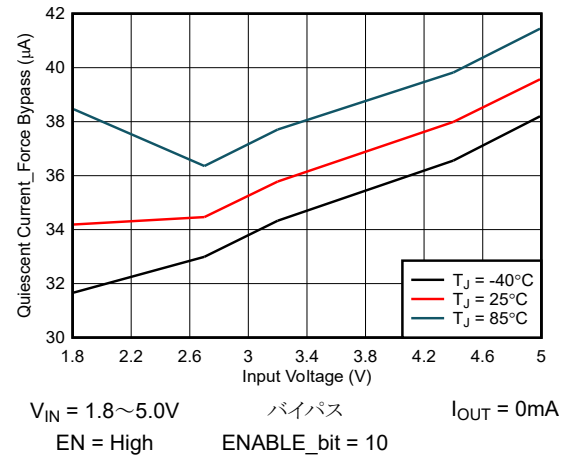


図 6-8. 強制バイパス モードでの静止電流と入力電圧との関係

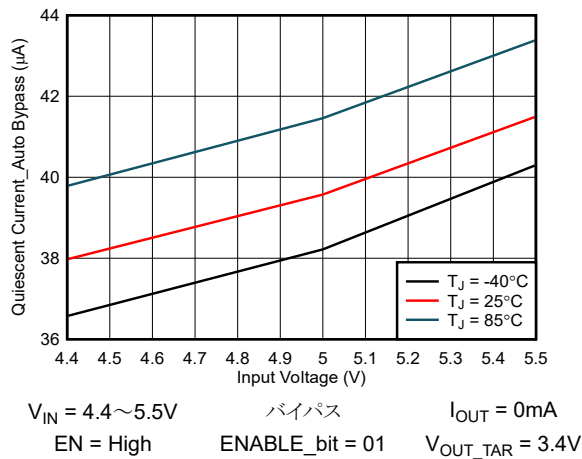


図 6-9. 自動バイパス モードでの静止電流と入力電圧との関係

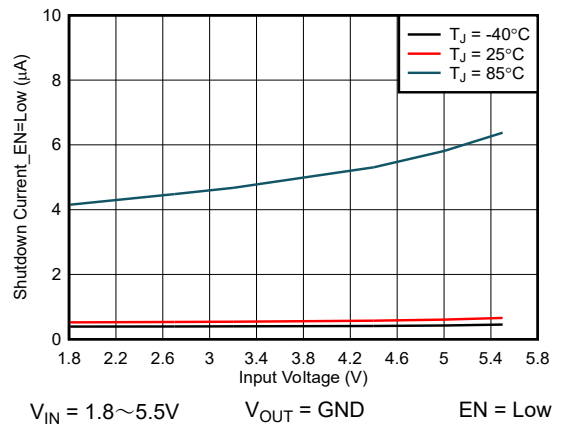


図 6-10. EN = Low でのシャットダウン電流と入力電圧との関係

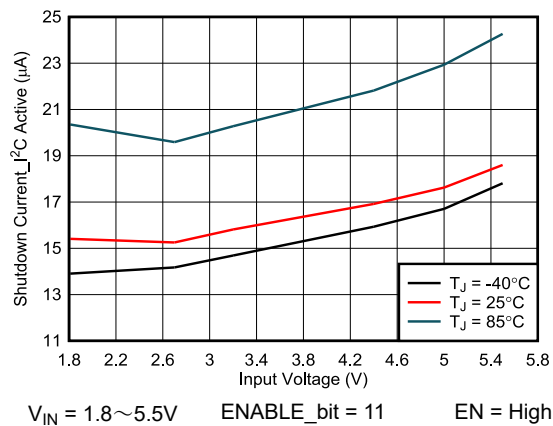


図 6-11. アクティブ I²C ブロックでのシャットダウン電流と入力電圧との関係

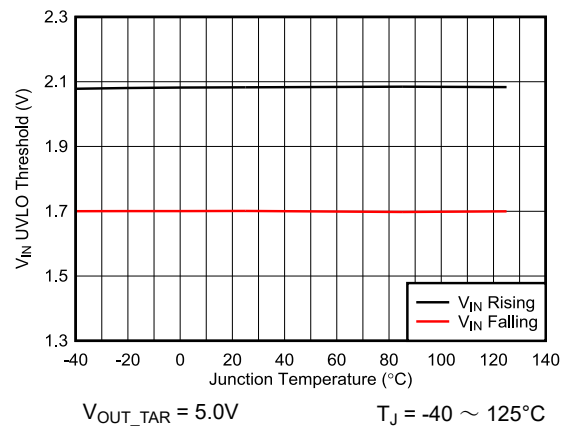


図 6-12. V_{IN} UVLO スレッシュホールドの立ち上がり/立ち下がりと接合部温度との関係

7 詳細説明

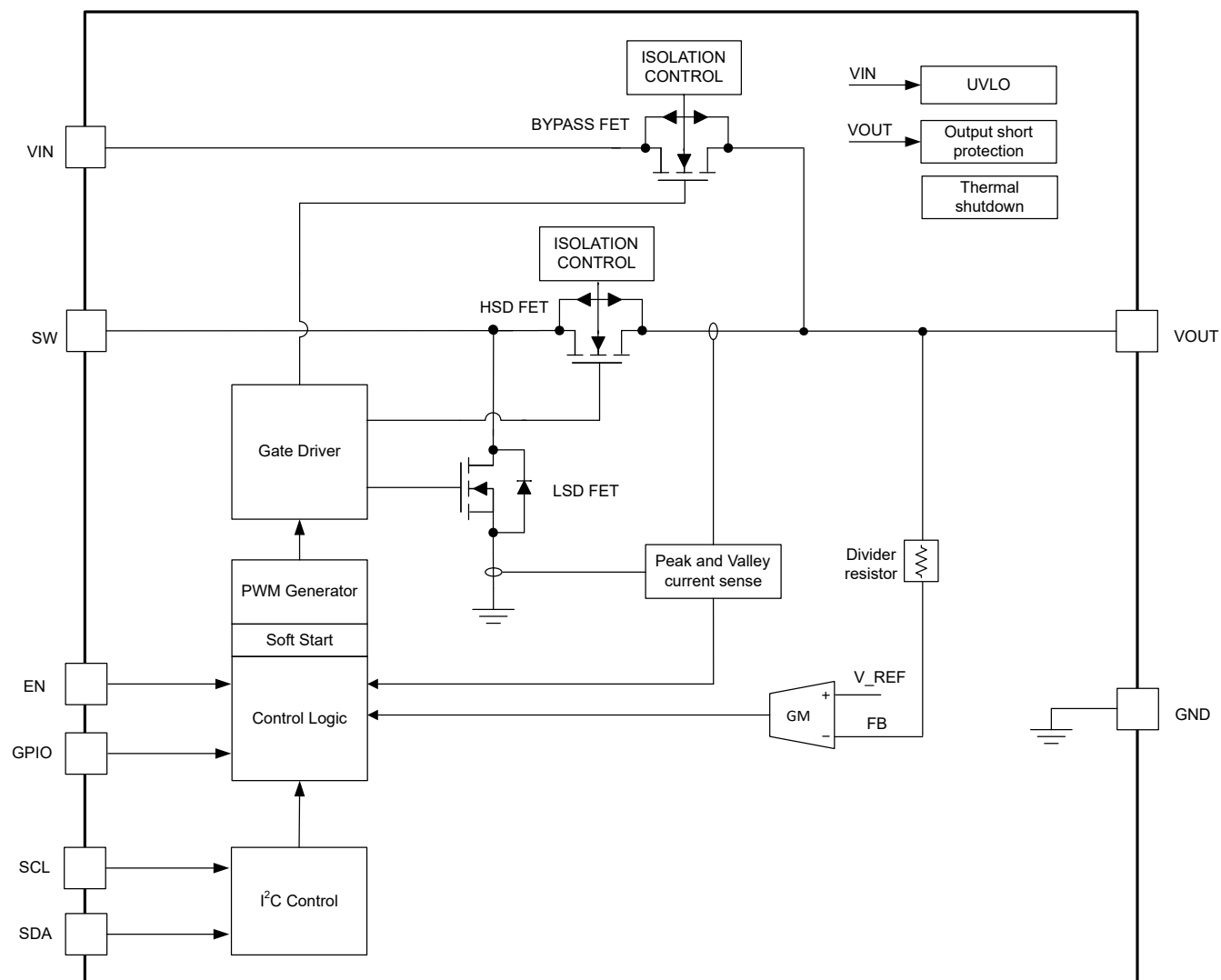
7.1 概要

TLV612901 は、シングル セル バッテリ駆動システム用に最適化されたバイパス モードを内蔵した高効率の同期整流昇圧コンバータです。このデバイスは、 $8\text{m}\Omega$ のローサイド パワー MOSFET、 $8\text{m}\Omega$ のハイサイド整流 MOSFET、および $10\text{m}\Omega$ のバイパス MOSFET を内蔵しており、広い入力電圧範囲にわたって高効率を実現します。TLV612901 は、デフォルトの平均入力電流制限が 8A であるため、安定化された 5.5V 電源を必要とするシステムに高い電力供給能力を提供します。

TLV612901 は、昇圧モードとバイパスモードの両方の動作をサポートしています。入力電圧が目標出力電圧より高い場合、デバイスはバイパス モードで動作し、効率を最大化するとともに、入力から出力までの電圧降下を最小限に抑えます。入力電圧が目標出力電圧を下回ると、デバイスは昇圧モードに遷移して、レギュレートされた出力電圧を維持します。この動作方式により、システムは広いバッテリー電圧範囲にわたって性能を維持しながら、バッテリー駆動時間を延長できます。

TLV612901 はヒステリシス電流モード制御方式を採用しており、 I^2C 互換のインターフェイスを内蔵しているため、最大 1Mbps の転送が可能です。この通信インターフェイスを使用して、昇圧モードとバイパス モードを切り替える出力電圧しきい値の設定、動作モード (自動 PFM、強制 PWM、または Ultrasonic モード) の再設定、平均電流制限または出力電圧の設定を行います。これらの特長により、TLV612901 はポータブル アプリケーションで高負荷動作と軽負荷時の効率向上の両方をサポートできます。TLV612901 の場合、GPIO ピンのデフォルト構成は ADDR 機能であり、最大で三つのチップを同じ I^2C バス上に構成できます。 I^2C ターゲット アドレスは、ADDR が Low のとき 75h 、ADDR が High のとき I^2C ターゲット アドレスは 76h 、ADDR がフローティングのとき I^2C ターゲット アドレスは 77h です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 出力電圧設定

大きな負荷過渡時に特定の最小出力電圧を維持するため、I²C レジスタ経由で出力電圧の設定値を動的に上げます。この機能は、激しいライン過渡時のアンダーシュートを軽減するとともに、より穏やかな動作条件では出力電圧を最小限に抑えて省電力にも貢献します。

TLV612901 の場合、GPIO は ADDR 機能として構成されており、出力電圧は VOUTFLOORSET (デフォルト 5.0V) のみ設定します。

7.3.2 スイッチング周波数およびスペクトラム拡散クロック

TLV612901 はヒステリシス制御方式を使用し、TLV612901 は 1.0A の範囲内でインダクタのリップル電流を一定に維持します。したがって、周波数は固定されておらず、動作条件によって決定されます。

自動 PFM 動作では、最小スイッチング周波数に制限がなく、負荷が開放状態の場合はスイッチング周波数は約 20Hz (またはそれ以下) になります。強制 PWM 動作では、最小スイッチング周波数は約 375kHz に制限されています。超音波モードでは、オーディオ帯域ノイズを避けるため、最小スイッチング周波数は 23kHz に制限されています。この独自の機能により、TLV612901 は低周波数のスイッチングを回避し、低周波数のノイズに敏感な範囲のアプリケーションを防ぎます。

スイッチングレギュレータは、電磁干渉 (EMI) が問題となるアプリケーションにおいて特に扱いが難しいです。スイッチングレギュレータはサイクルバイサイクルベースで動作し、電力を出力に伝送します。ほとんどの場合、動作周波数は出力負荷に応じて固定されるか、制御されています。この変換方法では、動作周波数 (基本波) およびその倍数の周波数 (高調波) で大きなノイズ成分が発生します。

TLV612901 はスペクトラム拡散機能を備えています。目的は、放射される RF エネルギーをより広い周波数帯に分散させ、結果として発生する EMI をホワイトノイズに近い状態にすることです。結果として、スペクトルは連続的でピーク振幅が低くなり、これにより携帯電話用および非携帯電話用の無線アプリケーションにおける電磁干渉 (EMI) 規格や電源リップルの要件を満たしやすくなります。無線レシーバは通常、特定の周波数に焦点を当てた狭帯域ノイズの影響を受けやすくなっています。

スペクトラム拡散アーキテクチャは、スイッチング周波数を公称周波数の約 $\pm 8\%$ の範囲で変動させることで、入力および出力電源におけるピーク放射ノイズおよび伝導ノイズを大幅に低減します。周波数ディザリング方式は、三角波プロファイルと変調周波数 f_m で変調されます。

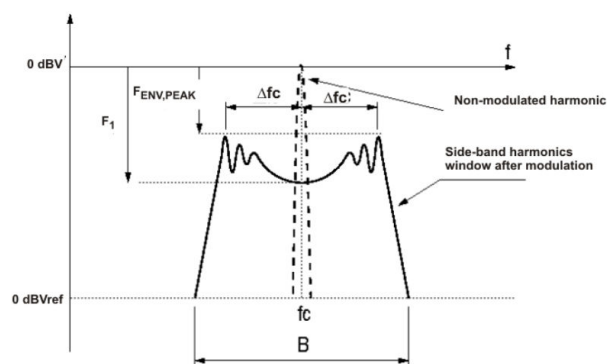


図 7-1. 周波数変調正弦波のスペクトル - 時間の正弦波変動を伴う波形

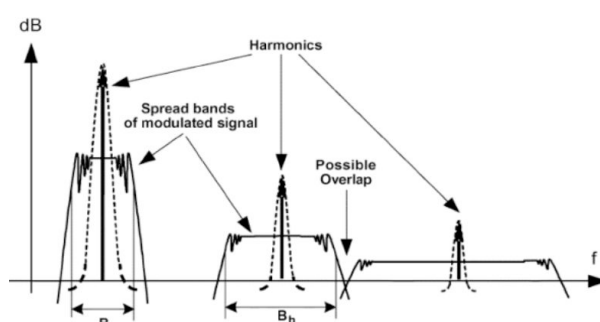


図 7-2. スペクトルの図解と数式¹

¹ スペクトルの図解と数式 (図 7-1 および図 7-2) 著作権: IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY, VOL.47, NO. 3, 2005 年 8 月。

上記の図は、変調後のサイドバンド高調波が変調されていない高調波に比べて減衰しており、高調波エネルギーが一定の周波数帯域に拡散していることを示しています。変調指数 (mf) が高いほど、減衰は大きくなります。

$$m_f = \frac{\delta \times f_c}{f_m} \quad (1)$$

ここで、

- f_c はキャリア周波数 (スイッチング周波数) です
- f_m は変調周波数 (約 $0.5\% \times f_c$) です
- δ は変調比 (約 8%) です

$$\delta = \frac{\Delta f_c}{f_c} \quad (2)$$

最大スイッチング周波数 f_c はプロセス、最後はパラメータ変調比 (δ)、さらに f_m によって制限されます。これは、キャリア周波数 f_c 周辺のサイドバンド高調波の帯域幅を指します。Carson の法則により、周波数変調波形の帯域幅を近似的に求めることができます。式 3 を使用して要約します:

$$B = 2 \times f_m \times (1 + m_f) = 2 \times (\Delta f_c + f_m) \quad (3)$$

$f_m < RBW$: レシーバは個々のサイドバンド高調波を区別できないため、複数の高調波が入力フィルタで重畳され、理論計算で予想される値よりも高い測定値となります。

$f_m > RBW$: レシーバは、それぞれのサイドバンドの高調波を個別に適切に測定できるため、測定値は理論計算と一致します。

7.4 デバイスの機能モード

7.4.1 イネーブルおよびスタートアップ

TLV612901 は、入力電圧が 2.2V を超えると自動的に電源がオンになります。スタートアップ後、入力電圧を 1.8V に下げることができます。このデバイスには内部ソフトスタート回路が搭載されており、起動時の突入電流を制限します。

起動手順の第一段階は、出力ノードを入力電圧レベルに近づけるバイアスをかけることです (これをダウン モード プリチャージ フェーズとも呼びます)。この動作モードでは、VIN が 2.8V を超えると、TLV612901 には次の 3 つの動作条件があります:

- 出力電圧が 0.8V 未満のとき、インダクタの平均電流は約 0.5A に制限されます。
- 出力電圧が 0.8V より高く、かつ入力電圧マイナス 2.0V より低い場合、インダクタの平均電流制限は約 1.5A に引き上げられます。
- 出力電圧が入力電圧から 2V を引いた値より高く、かつ入力電圧より低い場合、平均インダクタ電流制限は昇圧電流制限の半分まで引き上げられます (約 4A)。

VIN が 2.8V を超えない場合、TLV612901 ではダウン モードのプリチャージ フェーズ中に 2 つの動作条件のみが発生します。表 7-1 に、この動作の詳細を示します。

起動手順の 2 番目のフェーズは昇圧スイッチング フェーズです。この動作モードでは、出力電圧が入力電圧より高くなり、昇圧電流制限 (デフォルト 8A) のために平均インダクタ電流制限が増加します。

この方法を使用することで、起動時の負荷駆動能力が向上し、起動時の突入電流の低減に役立ちます。表 7-1 および表 7-2 に、起動段階での平均インダクタ電流制限と出力電圧との関係を示します。

表 7-1. 起動時の平均インダクタ電流制限設定 ($V_{IN} \leq 2.8V$)

PHASE	平均インダクタ電流制限	出力電圧
ダウン モード プリチャージ フェーズ	0.5A (標準値)	$V_{OUT} \leq 0.8V$
	4A (標準値)	$0.8V < V_{OUT} \leq V_{IN}$
昇圧スイッチング フェーズ	8A (標準値)	$V_{IN} < V_{OUT}$

表 7-2. 起動時の平均インダクタ電流制限設定 ($V_{IN} > 2.8V$)

PHASE	インダクタ平均電流制限	出力電圧
ダウン モード プリチャージ フェーズ	0.5A (標準値)	$V_{OUT} \leq 0.8V$
	1.5A (標準値)	$0.8V < V_{OUT} \leq V_{IN} - 2.0V$
	4A (標準値)	$V_{IN} - 2.0V < V_{OUT} \leq V_{IN}$
昇圧スイッチング フェーズ	8A (標準値)	$V_{IN} < V_{OUT}$

ダウンモードのプリチャージ段階で、1ms 経過後も出力電圧が入力電圧に達しない場合、TLV612901 は保護機能を作動させ、スイッチングを停止します。その後、デバイスは 19ms の間待機状態のままになり、再起動を試行します。

TLV612901 は、UVLO の立ち上がりスレッシュホールド 2.2V で起動できます。ただし、起動時の負荷が非常に重い場合、または出力容量が非常に大きいために TLV612901 が出力電圧をターゲット値まで充電できない場合、入力電圧が上昇するか、負荷電流が減少するまで、TLV612901 は正常に起動しません。合計起動時間は、入力電圧、出力容量、負荷電流に依存します。

7.4.2 動作モードの設定

TLV612901 デバイスは (セクション 8.2 により) 構成することで、デバイスの動作モードを選択できます。

EN ピンがロジック High に設定され、ENABLE ビット (CONFIG[5:6]) が 01 (デフォルト値) の場合、デバイスは通常モード (自動ブースト / バイパス モード) に入り、出力電圧をあらかじめ定められたターゲット電圧以上に維持できます。

EN ピンがロジック High の ENABLE ビット (CONFIG[5:6]) = 10 に設定されると、デバイスは強制バイパス モードに移行します。 V_{OUT} は V_{IN} に追従します。このモードの電流制限は、デフォルトで 8A です (I^2C でプログラム可能)。バイパス MOSFET の両端での電圧降下により、出力電圧はわずかに低下します。このデバイスは、35 μ A (標準値) のスタンバイ電流のみを消費します。

EN ピンがロジック High に設定され、ENABLE ビット (CONFIG[5:6]) が 11 の場合、デバイスはシャットダウン モードに強制的に移行しますが、 I^2C ブロックは動作し、スタンバイ電流は通常 16 μ A 程度です。このモードでは、バッテリーと負荷間が完全に切り離されているため、 V_{IN} から V_{OUT} への電流の流れだけでなく、 V_{OUT} から V_{IN} への逆流も防止されます。

EN ピンがロジック Low に設定されると、ENABLE ビットの設定に関わらずデバイスはシャットダウン モードに入り、シャットダウン時の消費電流は通常約 0.55 μ A となります。このモードでは、バッテリーと負荷間が完全に切り離されているため、 V_{IN} から V_{OUT} への電流の流れだけでなく、 V_{OUT} から V_{IN} への逆流も防止されます。

表 7-3. 動作モード

EN ピン	イネーブルビット	動作モード
低	xx	シャットダウン モード。真の負荷切断と出力電圧は 0V です。デバイスのシャットダウン電流は、約 0.55 μ A (標準値) です。
高	11	I^2C シャットダウン モード。電力段はオフになり、出力電圧は 0V になりますが、 I^2C は動作しています。完全な負荷接続解除。このモードのデバイス スタンバイ電流は約 16 μ A (標準値) です。
高	10	強制バイパス モード。 V_{OUT} は V_{IN} に追従します。デバイスのスタンバイ電流は、約 35 μ A (標準値) です。
高	00/01 (デフォルト 01)	自動昇圧/バイパス モード。昇圧モードでは、 $V_{OUT} = V_{OUT_TAR}$ (デフォルト 5.0V)。バイパス モードでは、 V_{OUT} は V_{IN} に追従します。

7.4.3 バイパス モード

TLV612901 は、バイパス モードで DC/DC 昇圧コンバータをバイパスするための内部スイッチを備えています。入力電圧がプリセットされた出力電圧より高くなると、コンバータはシームレスに 0% デューティ サイクル動作に遷移し、バイパス FET が完全にオンになります。

自動 PFM モードでは、 $V_{OUT} > (1 + 0.5\%) \times V_{OUT_TAR}$ および $V_{IN} > V_{OUT} - 20\text{mV}$ の条件によって、自動バイパス モードの移行がトリガされます。

強制 PWM モードでは、次の両方の条件が満たされると、デバイスはバイパス モードに移行します：

- $V_{OUT} > (1 + 2\%) \times V_{OUT_TAR}$
- 最大クランプ オフ時間が連続する 7 サイクルが発生します (t_{OFF} の標準値は各サイクルの 2.25 μs 、合計 16 μs です)。

自動バイパス モードの終了は、バイパス電流制限または $V_{OUT} < (1 - 3\%) \times V_{OUT_TAR}$ にトリガされます。

イネーブル ビット (CONFIG[5:6]) = 10 の場合、デバイスは強制バイパス モードに設定されます。 $V_{IN} > V_{OUT} + 30\text{mV}$ のとき、デバイスは強制バイパス モードに移行します。強制バイパス モード終了は、バイパス電流制限によってトリガされます。

バイパス モードでは、負荷 (例えば RF PA) はバッテリーから直接電力が供給され、最大出力、最高効率、および可能な限り低い入力から出力への電圧差を実現します。このデバイスは、35 μA (標準値) のスタンバイ電流のみを消費します。バイパスモードでは、非常に高速な電流制限検出方式によってデバイスを短絡から保護します。

この動作中、出力電圧は入力電圧に追従します。バイパス モードでは、バイパス MOSFET の存在により、出力電圧降下は入力電圧、バイパス MOSFET の $R_{DS(ON)}$ 、出力電流に依存します。次の式を使用して公出力電圧を計算します：

$$V_{OUT} = V_{IN} - (R_{DS(ON)(BP)} \times I_{OUT}) \quad (4)$$

逆に、次の式はバイパス モードでの効率を与えます：

$$\eta = 1 - R_{DS(ON)(BP)} \frac{I_{OUT}}{V_{IN}} \quad (5)$$

- $R_{DS(ON)(BP)}$ はバイパス FET の標準的なオン抵抗です

バイパス モードでは、TLV612901 デバイスは高速電流制限検出方式による過電流および短絡保護機能を備えています。バイパス FET の電流が約 8A ($I^2\text{C}$ でプログラム可能) を上回ると、バイパス FET がオフになり、TLV612901 は出力からグラウンドへの短絡保護モードに移行します。過電流または短絡が解消されると、TLV612901 は再び起動手順を実行します。

7.4.4 昇圧制御動作

TLV612901 昇圧コンバータは、ヒステリシス電流モードで制御されます。このコントローラは、インダクタのリップル電流を約 1.0A に一定に保ち、出力負荷に応じてこのインダクタ電流のオフセットを調整することで出力電圧を制御します。入力電圧、出力電圧、インダクタ値のすべてがインダクタリップル電流の立ち上がり / 立ち下がり勾配に影響を与えるため、スイッチング周波数は固定されず、動作条件によって決定されます。

軽負荷時、TLV612901 は自動 PFM、強制 PWM、超音波モードの 3 つの動作モードを実装しており、さまざまなアプリケーション要件を満たします。動作モードは、 $I^2\text{C}$ を介して MODE_CTRL ビットの状態を変更することで設定されます。MODE_CTRL = 00 の場合、デバイスは自動 PFM モードで動作します。MODE_CTRL = 01 の場合、本デバイスは超音波モードで動作します。MODE_CTRL = 10 または 11 の場合、デバイスは強制 PWM モードで動作します。このデバイスの推奨インダクタンス範囲は 330nH~560nH です。

7.4.5 自動 PFM モード

TLV612901 は、軽負荷時の効率を向上させるために、省電力モードとパルス周波数変調 (自動 PFM) を統合しています。このモードでは、必要な平均入力電流がこの一定リップルによって定義される平均インダクタ電流よりも小さい場合、

軽負荷状況でも高効率を維持するため、インダクタ電流は不連続になります。ピークのインダクタ電流とバレー電流は、それぞれ約 1.0A と 0A に制限されています。自動 PFM モードで出力電流を維持できなくなると、TLV612901 は自動 PFM モードを終了し、PWM モードに移行します。

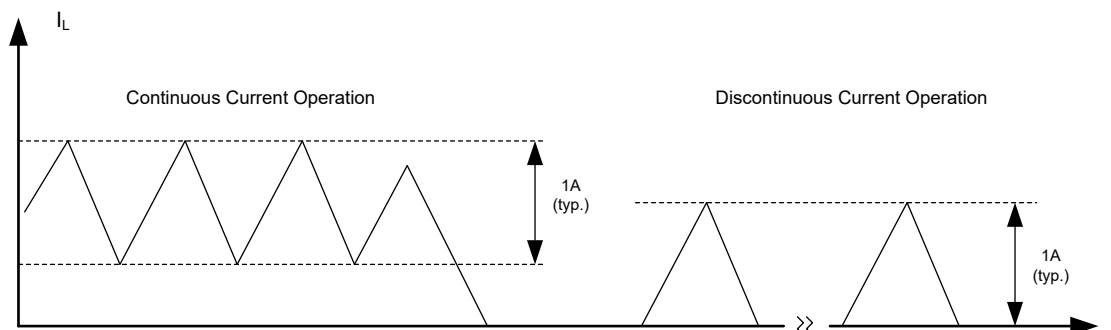


図 7-3. 自動 PFM モード

7.4.6 強制 PWM モード

強制 PWM モードでは、TLV612901 は全負荷範囲にわたってインダクタ電流を連続的に維持します。負荷電流が減少すると、内部エラー アンプの出力も低下し、インダクタのピーク電流が下がって入力から出力への供給電力が減少します。たとえ FET を流れる電流が負になっても、ハイサイド FET はオフにならず、これにより、インダクタの電流が連続的に流れることが保証されます。一方、スイッチング周波数は負荷に応じて大きな変化はありません。このモードでは、入力電圧が出力電圧に近い場合、最小スイッチング周波数は 375kHz に制限されます。

7.4.7 超音波モード

超音波モードは、無負荷および軽負荷状況に向けて、スイッチング周波数を音響可聴周波数よりも高く維持する独自の制御機能です。超音波モード制御回路はスイッチング周波数を監視し、周波数を 23kHz 以上に維持して可聴帯域を回避します。出力電圧は通常、PWM での動作より 1% 高い値になります。

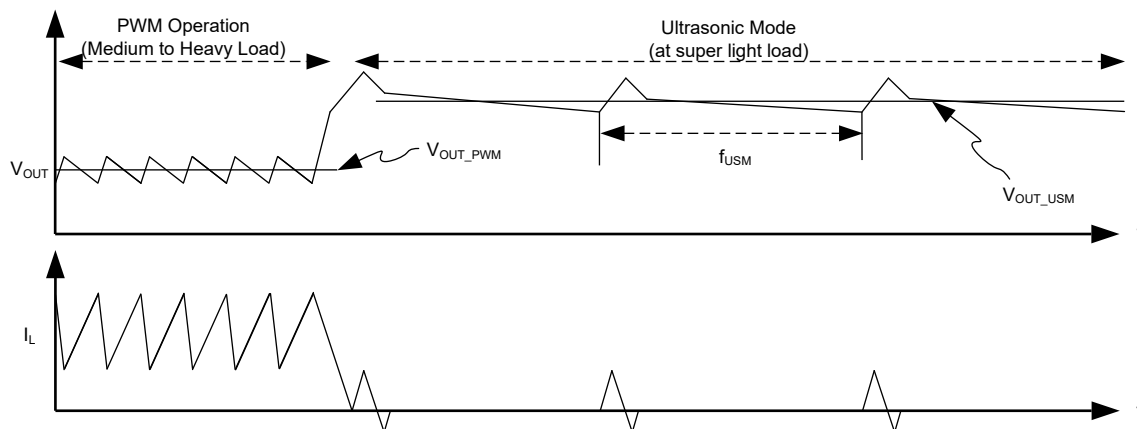


図 7-4. 超音波モード動作

7.4.8 出力放電

TLV612901 は、EN が Low 論理レベルでデバイスがシャットダウン モードにある場合、出力を迅速に放電するためのアクティブ プルダウン抵抗を備えています。この機能により、出力電圧は内部回路を介してグランドに接続され、出力が「フローティング」状態または不定状態になることを防止します。出力放電機能により、電源のオン / オフのシーケンスがスムーズになります。このデバイスを電力多重化などの用途で使用する場合は、出力放電機能に注意してください。出力放電回路により、マルチプレクサ出力とグランドの間に一定の電流経路が形成されるためです。TLV612901 の出力等価放電インピーダンスは 90Ω (標準値) です。

TLV612901 は、I²C 経由で DISCHG ビットの値を書き込むことで、この機能のステータスを変更できます。DISCHG = 0 の場合、I²C シャットダウン モードで出力放電機能を無効にします。DISCHG = 1 の場合、シャットダウン モードで出力放電機能を有効にします。このビットのデフォルト値は 1 です。

7.4.9 低電圧誤動作防止

低電圧誤動作防止回路により、バッテリーの低入力電圧時に、過剰な放電によるデバイスの誤動作を防止します。入力電圧 V_{IN} が降下して低電圧誤動作防止スレッショルド $V_{UVLO_falling}$ (最大 1.8V) に達すると、I²C 制御インターフェイスとコンバータの出力段が無効化されます。デバイスは、立ち上がり V_{IN} が V_{UVLO_rising} スレッショルド (最大 2.2V) をトリップすると動作を開始します。

7.4.10 電流制限動作

TLV612901 デバイスは平均インダクタ電流制限方式を備えています。

DC/DC 昇圧モードでは、TLV612901 デバイスは平均インダクタ電流制限検出方式を採用しており、オフ時間中に同期整流器にかかる電圧降下を検出します。平均インダクタ電流制限スレッショルドは、I²C レジスタで設定でき、デフォルト値は 8A (標準値) です。この電流制限に達した場合、出力電流が増加し続けると、TLV612901 は出力電圧を低下させながら、電流制限値でインダクタ電流を維持します。

式 6 は、電流制限 (CL) に入る前の最大連続出力電流 ($I_{OUT(max)}$) を算出します。

$$I_{OUT(max)} = I_{LIMIT} \times \left(\frac{V_{IN}}{V_{OUT}} \right) \times \eta \quad (6)$$

ここで、

- η は効率です。
- $I_{OUT(max)}$ は最大負荷電流です
- I_{LIMIT} は入力側の電流制限です
- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。

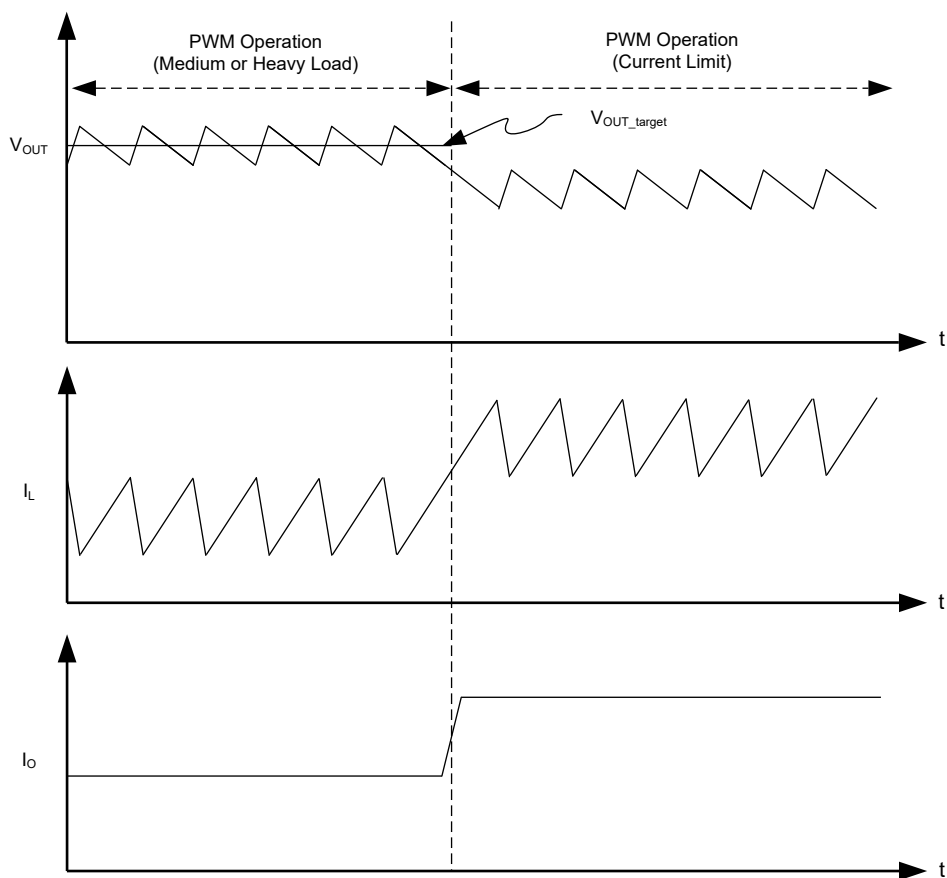


図 7-5. DC/DC 昇圧モードにおける電流制限の動作方式

バイパス モードでは、TLV612901 デバイスは非常に高速な電流制限検出方式によって保護されます。バイパス FET の電流が約 8A を超えると、デバイスはわずかな遅延 (約 200ns) の後でバイパス FET をオフにします。その後、デバイスは起動手順を繰り返します。

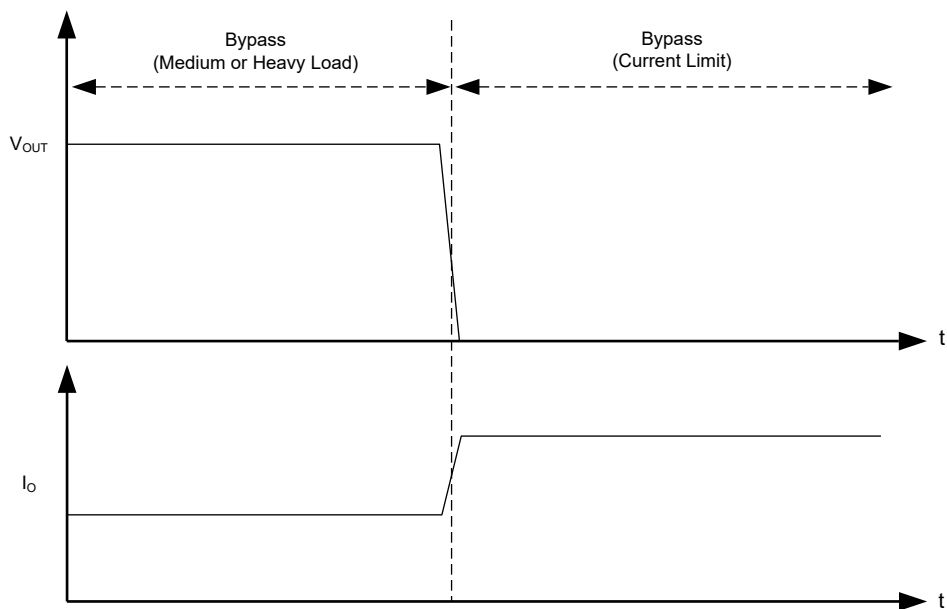


図 7-6. バイパス モードでの電流制限の動作方式

7.4.11 グランドへの出力短絡保護

TLV612901 は、出力のグランドへの短絡 (OSGP) 時に保護されます。出力の OSGP 方式は、スタートアップ フェーズの方式と同じです。

出力が短絡すると、TLV612901 はオフになり、起動手順をサイクルします。過電流または短絡が解消されると、TLV612901 はソフト スタートを正常に完了した後、出力電圧を安定化させます。

I²C を使用して、ヒカップ保護モードを無効化できます。

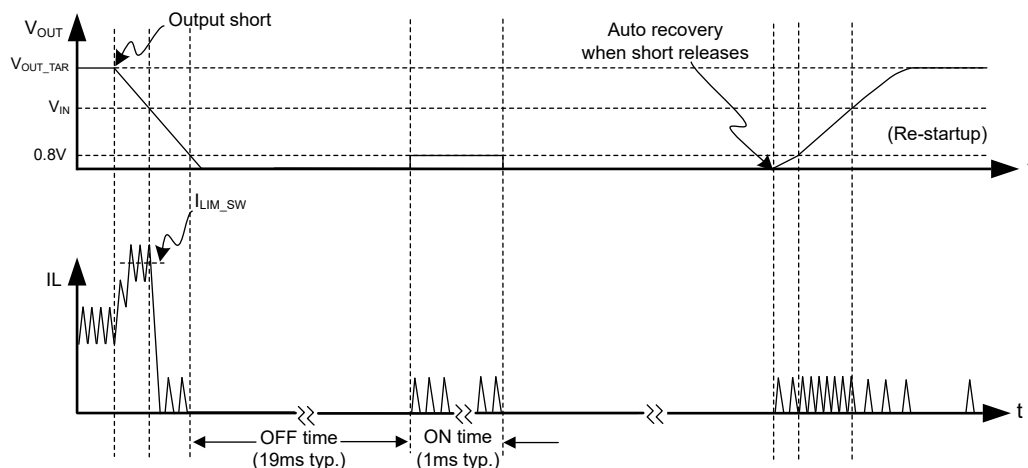


図 7-7. OSGP 時のヒカップ モード

7.4.12 過電圧保護

TLV612901 には過電圧保護 (OVP) 機能があります。出力電圧が 5.58V を上回ると、通常、デバイスはスイッチングを停止します。出力電圧が OVP スレッショルドを 0.1V 下回ると、デバイスは動作を再開します。

7.4.13 サーマル シャットダウン

接合部温度 (T_J) が 165°C を超えると、デバイスはサーマル シャットダウンに移行します。このモードでは、バイパス、ハイ サイド、ローサイドの MOSFET がターンオフし、I²C ブロックがアクティブになります。接合部温度がサーマル シャットダウン温度からヒステリシス分 (標準 20°C) だけ低下すると、デバイスは再起動し、出力電圧のレギュレーションを再開します。

7.4.14 パワー グッド表示ステータス

TLV612901 は、レギュレータが正常に起動を完了し、故障が発生していないことをシステムに知らせるためのパワーグッド出力ビット (I²C 内の PG ビット) も提供します。パワーグッドは、過度のダイ温度や過負荷状態に対するフラグとしても機能します。

- スタートアップ シーケンスが正常に完了すると、PG ビットはセットされ (ビット= 1) です。
- 昇圧モードで出力電圧がレギュレーション レベルより約 50mV 低くなると、PG はリセットされます (ビット= 0)。
- デバイスが自動バイパス モード (ENABLE ビット = 00 または 01、V_{IN} > V_{OUT}) で動作している場合、PG は設定されます (ビット = 1)。
- デバイスが強制バイパスモード (ENABLE ビット= 10) で動作している場合、PG は定義されません。
- デバイスがシャットダウン モード (ENABLE ビット= 11) のとき、PG はリセットされます (ビット= 0)。
- デバイスが短絡保護モードまたはサーマル シャットダウン モードに入ると、PG はリセットされます (ビット= 0)。

7.5 プログラミング

TLV612901 では、コンバータのパラメータをフレキシブルにプログラムするために、I²C インターフェイスを使用します。I²C は、双方向 2 線式のシリアル インターフェイスです。必要なバスラインは、シリアル データライン (SDA) とシリアル ク

ロックライン (SCL) の 2 つのみです。I²C デバイスは、データ転送を実行する際のコントローラまたはターゲットとみなすことができます。コントローラは、バス上でデータ転送を開始し、その転送を許可するクロック信号を生成するデバイスです。その際、アドレス指定されたデバイスはすべてターゲットとみなされます。

TLV612901 は、ADDR がロジック Low のときアドレス 75h を持つターゲット デバイスとして動作します。マイコンやデジタル信号プロセッサなどのコントローラ デバイスから制御入力を受信すると、内部レジスタ 00h ~ 07h の読み取りと書き込みが行われます。TLV612901 の I²C インターフェイスは、標準モード (最大 100kbit/s) と高速モード プラス (最大 1000kbit/s) の両方をサポートしています。電流ソースまたはプルアップ抵抗経由で、SDA と SCL の両方を正の電源電圧に接続する必要があります。バスが空いていると、両方のラインが高電圧になります。

7.5.1 データの有効性

SDA ラインのデータは、クロックの High レベル期間中は安定している必要があります。データラインの High レベルまたは Low レベルの状態は、SCL ラインのクロック信号が Low レベルのときのみ変化します。転送されるデータ ビットごとに、1 つのクロック パルスが生成されます。

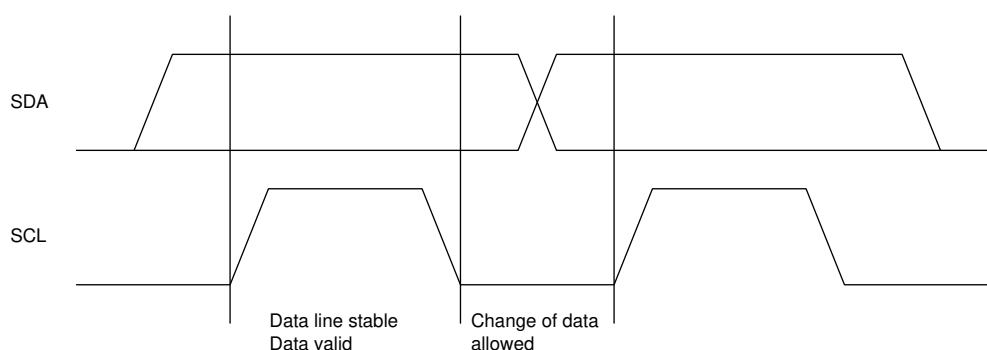


図 7-8. I²C データの有効性

7.5.2 開始条件と停止条件

すべてのトランザクションは START (S) で開始され、STOP (P) により終了できます。SCL が High レベルのときに SDA ラインが High レベルから Low レベルに遷移すると、START 条件が定義されます。SCL が High レベルのときに SDA ラインが Low レベルから High レベルに遷移すると、STOP 条件が定義されます。

START 条件と STOP 条件は、常にコントローラによって生成されます。バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。

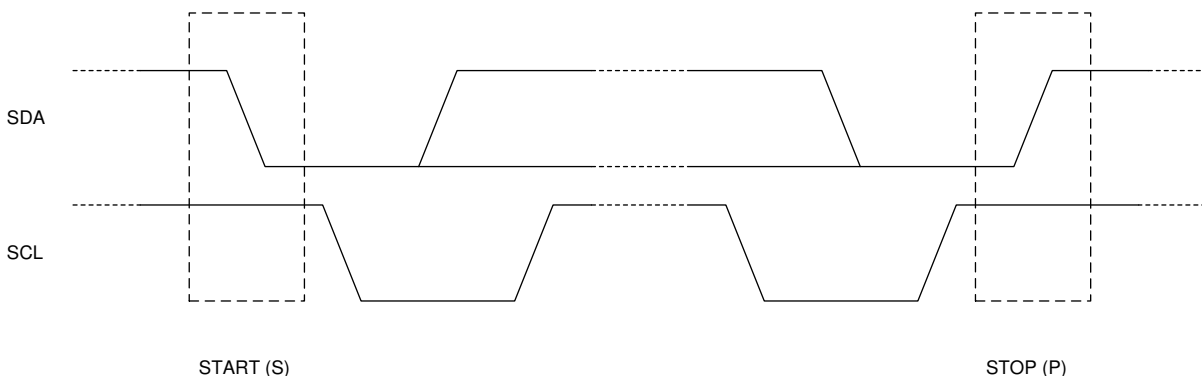


図 7-9. I²C の START 条件と STOP 条件

7.5.3 バイト フォーマット

SDA ラインの各バイトは 8 ビット長でなければなりません。転送ごとに送信されるバイト数に制限はありません。各バイトには、アクノリッジ ビットが続きます。データは、最上位ビット (MSB) を先頭にして転送されます。ターゲットが他の処理を実行するまで次のデータ バイトを受信または送信できない場合、ターゲットはクロックライン SCL を Low に保持してコントローラを待機状態 (クロック ストレッチ) にすることができます。その後、ターゲットが別のデータのバイトを処理する準備が整い、クロックライン SCL を解放すると、データ転送が続行されます。

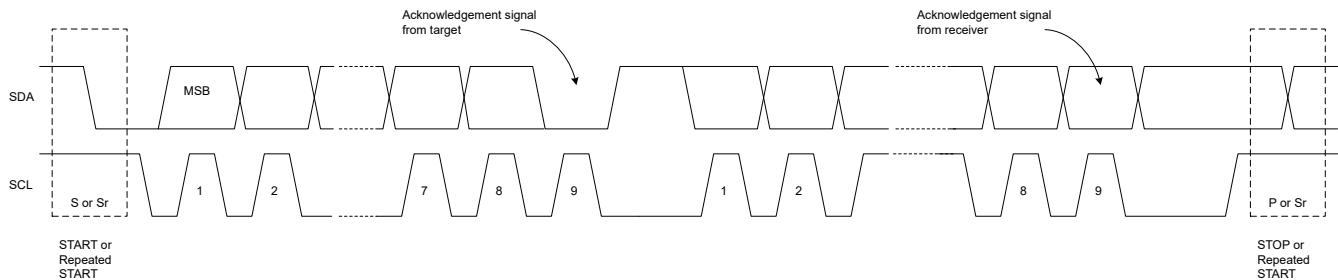


図 7-10. バイト フォーマット

7.5.4 アクノリッジ (ACK) とアクノリッジなし (NACK)

アクノリッジ (受信確認) は各バイトの後に行われます。アクノリッジ ビットは、バイトを正常に受信したこと、および別のバイトを送信できることをレシーバからトランスミッタに通知するために使用されます。9 番目のアクノリッジ クロック パルスを含むすべてのクロック パルスはコントローラによって生成されます。

送信側はアクノリッジ クロック パルスの間 SDA ラインを解放し、受信側が SDA ラインを Low にプルダウンして、クロック パルスが High の間、安定した Low レベルを維持できるようにします。

アクノリッジなし信号は、9 番目のクロック パルスの間、SDA が High レベルに維持されるときです。その後コントローラは転送を中止する STOP を生成するか、新しい転送を開始する START を繰り返し生成することができます。

7.5.5 ターゲット アドレスおよびデータ方向ビット

START 後にターゲット アドレスが送信されます。このアドレスは 7 ビット長で、8 番目のビットがデータ方向ビット (ビット R/W) として続きます。0 は転送 (WRITE) を示し、1 はデータの要求 (READ) を示します。

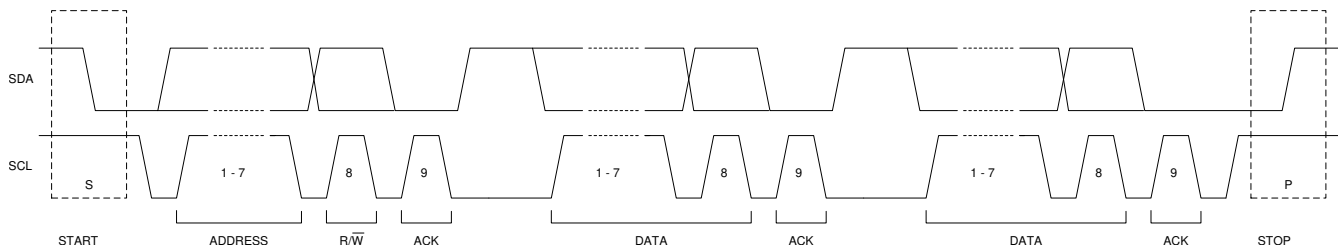


図 7-11. ターゲット アドレスとデータ方向

7.5.6 単一読み取りおよび書き込み

図 7-12 と 図 7-13 に、I²C 通信のシングル バイトの書き込みとシングル バイトの読み取りのフォーマットを示します。

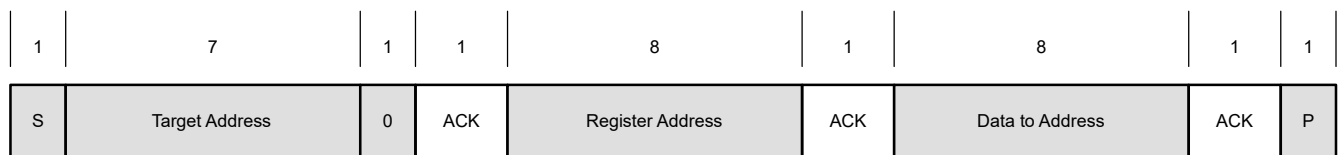


図 7-12. シングル バイトの書き込み

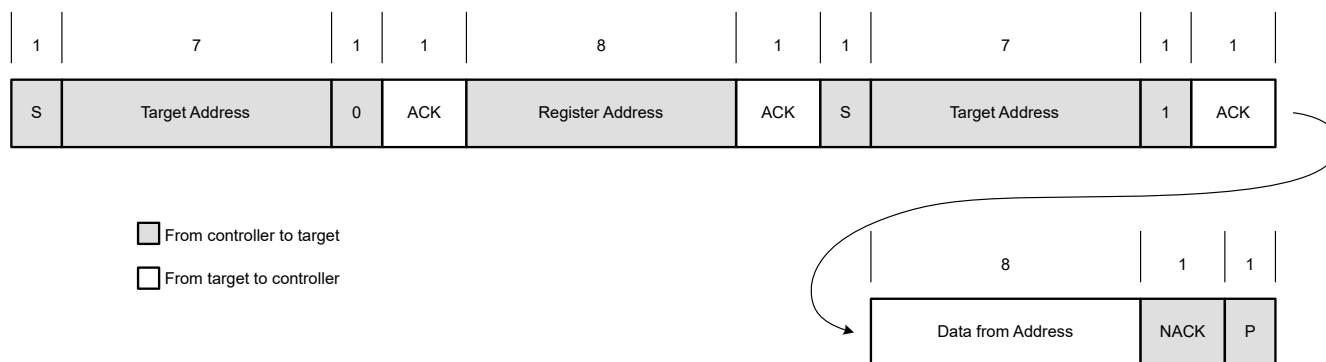


図 7-13. シングル バイトの読み取り

レジスタ アドレスが定義されていない場合、TLV612901 は NACK を返し、アイドル状態に戻ります。

7.5.7 複数読み取りおよび複数書き込み

TLV612901 は、複数読み取りと複数書き込みをサポートしています。

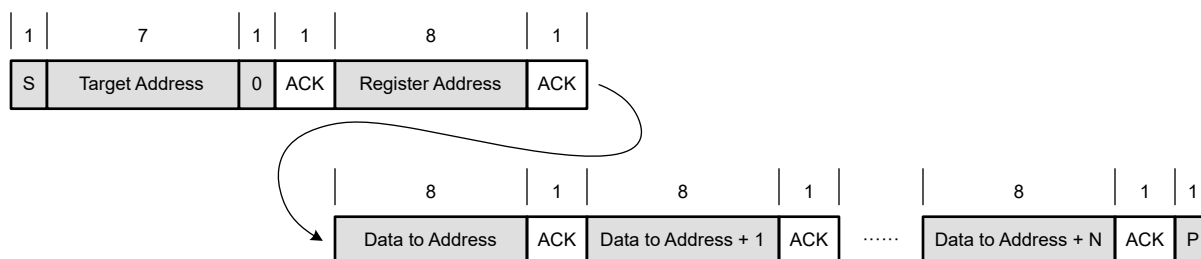


図 7-14. マルチ バイトの書き込み

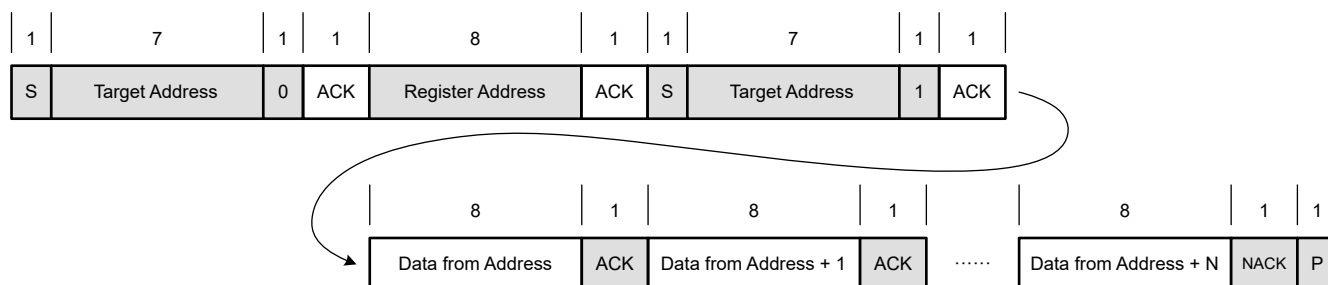


図 7-15. マルチ バイトの読み取り

8 レジスタ マップ

構成済みメモリ マップには、デバイスのメモリマップトレジスタが一覧で記載されています。構成済みメモリ マップに記載されていないすべてのレジスタ オフセット アドレスは予約領域とみなされ、レジスタの内容を変更してはいけません。

表 8-1. デバイスのレジスタ

レジスタ アドレス	レジスタ名	説明
00h	DeviceID レジスタ	メーカー ID とデバイス バージョン ID を設定します
01h	CONFIG レジスタ	その他の構成ビットを設定します
02h	VOUTFLOORSET レジスタ	フロア出力電圧スレッシュホールドの昇圧/バイパス モードの変更を設定します
03h	ILIMBSTSET レジスタ	DC/DC 昇圧モードで入力電流制限を設定します
04h	VOUTROOFSET レジスタ	ルーフ出力電圧スレッシュホールド昇圧/バイパス モードの変更を設定します (GPIO が VSEL 機能として構成されている場合のみ有効)
05h	STATUS レジスタ	ステータス フラグを返します
06h	ILIMPTSET レジスタ	バイパス モードで入力電流制限を設定します
07h	BSTLOOP レジスタ	内部補償ループを設定します

8.1 DeviceID レジスタ

メモリ位置: 0x00

表 8-2. VersionID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	メーカー ID	R	0111	メーカー ID。
3:0	デバイス ID	R	0000	デバイスのバージョン ID。

8.2 CONFIG レジスタ

メモリ位置: 0x01

表 8-3. CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	リセット	R/W	0	デバイスリセットビット。 0: 通常動作。 1: デフォルト値は、すべての内部レジスタに設定されています。デバイスの動作はサイクル (ON-OFF-ON) されます。つまり、コンバータが短時間無効化され、その間に出力がリセットされます。
6:5	イネーブル	R/W	01	デバイスのイネーブルビット (動作モード設定を参照)。 00 または 01: デバイスは自動昇圧モードまたはバイパス モードで動作します。 10: デバイスは強制的にバイパス モードに移行します。 11: デバイスはシャットダウン モードですが、I ² C はアクティブです。
4	HICCUP_MODE	R/W	1	ヒックアップ モード イネーブルビット。 0: ヒックアップ モード ディセーブル 1: ヒックアップモード イネーブル
3	DISCHG	R/W	1	出力放電イネーブルビット。 0: デバイスが I ² C シャットダウン モードにあるときは、VOUT の放電を無効にします。 1: デバイスがシャットダウン モードのときに、VOUT の放電を有効にします。 (出力放電を参照)
2	SSFM	R/W	0	拡散変調制御。 0: スペクトラム拡散変調が無効です。 1: スペクトラム拡散変調は、強制 PWM モードで有効になります
1:0	MODE_CTRL	R/W	00	デバイス軽負荷の機能モードビット。 00: デバイスは自動 PFM モードで動作しています。 01: デバイスは超音波モードで動作します。 10 または 11: デバイスは強制 PWM モードで動作します。

8.3 VOUTFLOORSET レジスタ

メモリ位置: 0x02

表 8-4. VOUTFLOORSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	00	予約済みビット。 これらのビットは将来用に予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5:0	VOUTFLOOR_TH	R/W	1	出力電圧スレッショルド、DC/DC 昇圧/バイパス モードの変更。
		R/W	0	
		R/W	1	000000: 2.85 V 100000: 4.45V
		R/W	0	000001: 2.90 V 100001: 4.50 V
		R/W	1	000010: 2.95 V 100010: 4.55 V
		R/W	0	000011: 3.00 V 100011: 4.60 V
		R/W	1	000100: 3.05 V 100100: 4.65 V
		R/W	1	000101: 3.10 V 100101: 4.70 V
				000110: 3.15 V 100110: 4.75 V
				000111: 3.20 V 100111: 4.80 V
				001000: 3.25 V 101000: 4.85 V
				001001: 3.30 V 101001: 4.90V
				001010: 3.35 V 101010: 4.95 V
				001011: 3.40 V 101011: 5.00 V
				001100: 3.45 V 101100: 5.05 V
				001101: 3.50 V 101101: 5.10 V
				001110: 3.55 V 101110: 5.15 V
				001111: 3.60V 101111: 5.20 V
				010000: 3.65 V 110000: 5.25 V
				010001: 3.70 V 110001: 5.30V
				010010: 3.75 V 110010: 5.35 V
				010011: 3.80 V 110011: 5.40 V
				010100: 3.85 V 110100: 5.45 V
				010101: 3.90 V 110101: 5.50 V
				010110: 3.95 V 110110: 2.80 V
				010111: 4.00 V 110111: 2.75 V
				011000: 4.05 V 111000: 2.70 V
				011001: 4.10 V 111001: 2.65 V
				011010: 4.15 V 111010: 2.60 V
				011011: 4.20 V 111011: 2.55 V
				011100: 4.25 V 111100: 2.50 V
				011101: 4.30 V 111101: 2.45 V
				011110: 4.35 V 111110: 2.40 V
				011111: 4.40V 111111: 2.35V

8.4 ILIMBSTSET レジスタ

メモリ位置: 0x03

表 8-5. ILIMBSTSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
6	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
4	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
3:0	ILIM_BOOST	R/W	0	DC/DC 昇圧モードにおけるインダクタの平均電流制限。 0000: 5A 0001: 5.5A 0010: 6A 0011: 6.5A 0100: 7A 0101: 7.5A 0110: 8A 0111: 8.5A 1000: 9A 1001: 9.5A 1010: 10A 1011: 10.5A 1100: 11A 1101: 3.5A 1110: 4A 1111: 4.5A
		R/W	1	
		R/W	1	
		R/W	0	

8.5 VOUTROOFSET レジスタ

メモリ位置: 0x04

表 8-6. VOUTROOFSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	00	予約済みビット。 これらのビットは将来用に予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5:0	VOUTROOF_TH	R/W	1	出力電圧スレッシュホールド、DC/DC 昇圧/バイパス モードの変更。
		R/W	0	
		R/W	1	000000: 2.85 V 100000: 4.45V
		R/W	1	000001: 2.90 V 100001: 4.50 V
				000010: 2.95 V 100010: 4.55 V
		R/W	1	000011: 3.00 V 100011: 4.60 V
				000100: 3.05 V 100100: 4.65 V
		R/W	1	000101: 3.10 V 100101: 4.70 V
				000110: 3.15 V 100110: 4.75 V
				000111: 3.20 V 100111: 4.80 V
				001000: 3.25 V 101000: 4.85 V
				001001: 3.30 V 101001: 4.90V
				001010: 3.35 V 101010: 4.95 V
				001011: 3.40 V 101011: 5.00 V
				001100: 3.45 V 101100: 5.05 V
				001101: 3.50 V 101101: 5.10 V
				001110: 3.55 V 101110: 5.15 V
				001111: 3.60V 101111: 5.20 V
				010000: 3.65 V 110000: 5.25 V
				010001: 3.70 V 110001: 5.30V
				010010: 3.75 V 110010: 5.35 V
				010011: 3.80 V 110011: 5.40 V
				010100: 3.85 V 110100: 5.45 V
				010101: 3.90 V 110101: 5.50 V
				010110: 3.95 V 110110: 2.80 V
				010111: 4.00 V 110111: 2.75 V
				011000: 4.05 V 111000: 2.70 V
				011001: 4.10 V 111001: 2.65 V
				011010: 4.15 V 111010: 2.60 V
				011011: 4.20 V 111011: 2.55 V
				011100: 4.25 V 111100: 2.50 V
				011101: 4.30 V 111101: 2.45 V
				011110: 4.35 V 111110: 2.40 V
				011111: 4.40V 111111: 2.35V

8.6 STATUS レジスタ

メモリ位置: 0x05

表 8-7. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSD	R	0	サーマル シャットダウン ステータス ビット。 0: 通常動作。 1: サーマル シャットダウン トリップ。このフラグは、読み出し後にリセットされます。
6	CRC_PASS	R	1	OTP テスト ステータス ビット。 0: OTP テストに失敗しました。このビットは、TI のテスト エンジニア向けに予約されています。 1: 通常動作。このフラグは、読み出し後にリセットされます。
5	VOUT_START	R	1	Vout ステータス ビット。 0: $V_{out} < 0.8V$ 。 1: $V_{out} > 0.8V$ 。 このフラグは、読み出し後にリセットされます。
4	OPMODE	R	1	デバイス モードの動作ステータス ビット。 0: デバイスはバイパスモードで動作します。 1: デバイスは昇圧モードで動作します。
3	ILIMPT	R	0	電流制限ステータス ビット (バイパス モード)。 0: 通常動作。 1: バイパス FET 電流制限がトリガされたことを示します。このフラグは、読み出し後にリセットされます。
2	ILIMBST	R	0	電流制限ステータス ビット (DC/DC 昇圧モード)。 0: 通常動作。 1: DC/DC 昇圧モードで平均入力電流制限が 4ms の間トリガされたことを示します。このフラグは、読み出し後にリセットされます。
1	FL_LD	R	0	電流制限ステータス ビット (DC/DC 昇圧モード)。 0: 通常動作。 1: DC/DC 昇圧モードで平均入力電流制限がトリガされたことを示します。このフラグは、読み出し後にリセットされます。
0	PGOOD	R	1	パワー グッド ステータス ビット。 0: 出力電圧がレギュレーション範囲外であることを示します。 1: 出力電圧が公称範囲内であることを示します。コンバータが自動バイパス モードで動作する場合、このビットは 1 に設定されます。

8.7 ILIMPTSET レジスタ

メモリ位置: 0x06

表 8-8. ILIMPTSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
6	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5:3	ILIM_FPT	R/W	0	強制バイパス モードでの電流制限。 000: 4A 001: 6A 010: 8A 011: 10A 100 ~ 111: 定義なし。
		R/W	1	
		R/W	0	
2:0	ILIM_APT	R/W	0	自動バイパス モードでの電流制限。 000: 4A 001: 6A 010: 8A 011: 10A 100 ~ 111: 定義なし。
		R/W	1	
		R/W	0	

8.8 BSTLOOP レジスタ

メモリ位置: 0x07

表 8-9. BSTLOOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	TI_internal	R/W	01000	TI 社内使用。読み取りや書き込みを行わないでください。
2:0	RC	R/W	000	補償抵抗設定ビット。 000:200k 001:250k 010:100k 011:150k 100:400k 101:450k 110:300k 111:350k

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TLV612901 は通常、5.0V 安定化出力と高い出力電流能力を必要とするシングル セル バッテリ駆動システムの大電力プリレギュレータとして使用されます。

昇圧アプリケーションでは、入力電圧が目標出力電圧よりも低いときに、レギュレートされた出力電圧が維持されます。このデバイスはバイパス モードでも動作し、効率を最大化することができます。

TLV612901 の外付け部品を選定するには、以下の設計手順を使用します。

9.2 代表的なアプリケーション

9.2.1 TLV612901 (2.5V ~ 4.85V V_{IN} 、5.0V V_{OUT} 、3A 出力電流)

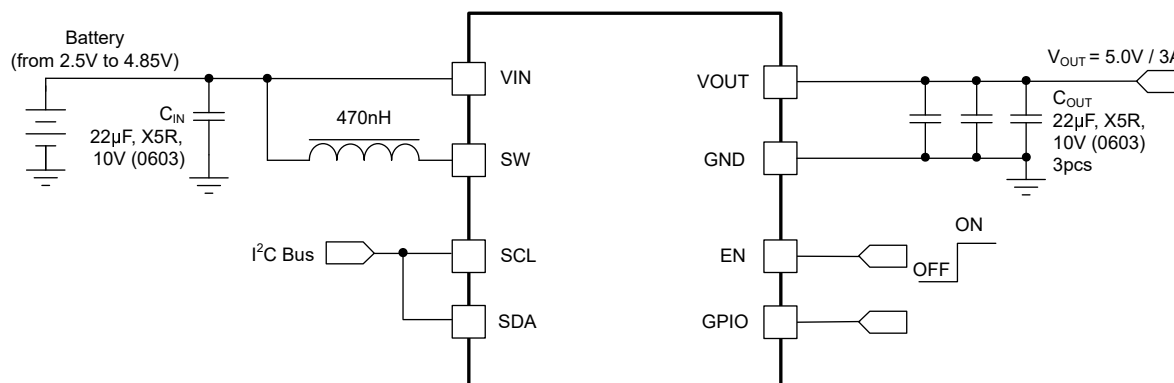


図 9-1. TLV612901 (2.5V ~ 4.85V V_{IN} 、5.0V V_{OUT} 、3A 出力電流)

9.2.1.1 設計要件

表 9-1. 設計パラメータ

リファレンス	説明	サンプル値
V_{IN}	入力電圧範囲	2.5V~4.85V
V_{OUT}	昇圧モードでの出力電圧範囲	$V_{OUT} = 5.0V$
	出力電圧範囲のバイパス モード	$V_{OUT} = V_{IN} - I_{OUT} \times R_{DS(ON_BYP)}$
I_{OUT}	出力電流	3A

9.2.1.2 詳細な設計手順

9.2.1.2.1 インダクタの選択

昇圧コンバータは通常、変換中にエネルギーを蓄えるための主な受動部品として、インダクタと出力コンデンサの 2 つが必要です。パワー スイッチを流れる可能性のあるピーク電流よりも大きな飽和電流定格を持つインダクタを選択することを推奨します。

インダクタのピーク電流は、負荷、入力電圧および出力電圧の関数として変化します。このた式 7 でピーク インダクタ電流を計算できます。

$$I_{L(PEAK)} = \frac{V_{IN} \times D}{2 \times f \times L} + \frac{I_{OUT}}{(1-D) \times \eta} \quad \text{with } D = 1 - \frac{V_{IN}}{V_{OUT}} \quad (7)$$

飽和特性が不十分なインダクタを選定すると、コンバータ内で過剰なピーク電流が流れる原因となります。この電流は最終的にデバイスを損傷し、デバイスの信頼性を低下させる可能性があります。

インダクタを選定する際には、インダクタンスに加えて、最大定格電流、直列抵抗、動作温度が重要なパラメータとなります。インダクタの DC 電流定格を最大入力平均電流よりも大きくできるようにします。「[電流制限動作](#)」も参照してください。

$$I_{L(DC)} = \frac{V_{OUT}}{V_{IN}} \times \frac{1}{\eta} \times I_{OUT} \quad (8)$$

TLV612901 シリーズの昇圧コンバータは、330nH~560nH の範囲の実効インダクタンスで動作するよう最適化されています。より大きいまたは小さいインダクタンス値は、特定の動作条件に応じてデバイスの性能を最適化するために使用されます。「[ループ安定性のチェック](#)」も参照してください。

コイルの合計損失は、DC 抵抗 $R_{(DC)}$ による損失と、以下の周波数依存成分の両方で構成されます：

- コア材料での損失 (特に高いスイッチング周波数での磁気ヒステリシス損失)
- 表皮効果による導体の追加損失 (高周波での電流変位)
- 隣接巻線の磁界損失 (近接効果)
- 放射損失

TI は、TLV612901 と組み合わせて使用するインダクタとして、各社の以下のシリーズを推奨しています。

表 9-2. インダクター一覧

シリーズ	L (nH)	寸法 (mm)	DC 入力電流制限の設定	メーカー ⁽¹⁾
HTTO32251T-R47MMR	470	3.2 × 2.5 × 1.0 (最大高さ)	≤ 8600mA	Cyntec
744383340047	470	3.4 × 3.4 × 1.2 (最大高さ)	≤ 9400mA	Würth Elektronik
XGL4012-451	450	4.0 × 4.0 × 1.2 (最大高さ)	≤ 9900mA	Coilcraft
DFF32CAHR47MR0	470	3.2 × 2.5 × 2.0 (最大高さ)	≤ 8700mA	Murata

(1) 『[サードパーティ製品に関する免責事項](#)』を参照してください。

9.2.1.2.2 出力コンデンサ

出力コンデンサについては、小さなセラミックコンデンサを IC の VOUT および GND ピンにできる限り近づけて配置することを TI は推奨します。大容量コンデンサを IC の近くに配置できない場合は、小容量のセラミックコンデンサを IC のすぐ近くに並列接続することを TI は強く推奨します。推奨される最小出力容量の推定値を求めるには、式 9 を使用します。

$$C_{\text{MIN}} = \frac{I_{\text{OUT}} \times (V_{\text{OUT}} - V_{\text{IN}})}{f \times \Delta V \times V_{\text{OUT}}} \quad (9)$$

ここで、 f はスイッチング周波数、 ΔV は許容される最大出力リップルです。

DC バイアスの影響を考慮して、計算された最小値の 2 倍の値を持つ MLCC コンデンサを使用します。このコンデンサは、制御ループの安定性を維持するために必要です。出力コンデンサには、X7R または X5R の誘電体が必要です。Y5V および Z5U 誘電体コンデンサは、温度による容量の大きな変動に加えて、高周波数では抵抗性を示します。最小 ESR に関する追加の要件はありません。大容量コンデンサは、出力電圧リップルを低減し、負荷過渡時の出力電圧降下を低減します。

ほとんどのアプリケーションでは、22 μ F X5R 10V (0603) MLCC コンデンサを 3 個使用することを TI は推奨します。大きな (パルス) 負荷電流を持つアプリケーション (例: 5V/3A の場合)、十分な実効出力容量を確保するため、出力コンデンサを増やすことを TI は推奨します。例えば、22 μ F、X5R、10V (0603) の MLCC を 4 個使用します。

大容量セラミックコンデンサは DC バイアス特性を示し、デバイスの実効容量に大きな影響を与えます。したがって、適切なコンデンサ容量を慎重に選定する必要があります。パッケージサイズと定格電圧、および使用される材料の組み合わせが、定格容量と実効容量の差異の原因となります。例えば、22 μ F X5R 6.3V (0603) の MLCC コンデンサは、通常、実効容量が 10 μ F 未満 (DC バイアス 3.4V、AC バイアス 20mV の条件下) となります。

9.2.1.2.3 入力コンデンサ

マルチレイヤ セラミックコンデンサは、ステップアップコンバータの入力デカップリングに最適です。マルチレイヤセラミックコンデンサは ESR が非常に低く、小型で入手可能だからです。コンデンサはデバイスにできる限り近づけて配置します。ほとんどのアプリケーションでは、22 μ F の入力コンデンサで十分です。制限なく入力電流リップルをさらに低減するには、より大きな値を使用します。

セラミック入力コンデンサのみを使用する場合には注意が必要です。入力でセラミックコンデンサを使用している場合に、長いワイヤを通して (壁のアダプタなどから) 電源を供給すると、出力での負荷ステップにより V_{IN} ピンでリングングが生じます。このリングングは出力に結びつき、ループが不安定であると誤判定をしたり、部品の損傷を招くことがあります。電源リード線と C_{IN} の間で発生するリングングを低減するには、 C_{IN} と電源の間に「バルク」容量 (電解またはタンタル) を配置します。

9.2.1.2.4 ループ安定性のチェック

回路および安定性評価の最初のステップは、定常状態の観点から以下の信号を確認することです:

- スwitchング ノード、SW
- インダクタ電流、 I_L
- 出力リップル電圧、 $V_{\text{OUT(AC)}}$

これらの信号は、スイッチングコンバータの評価時に測定する必要がある基本的な信号です。制御ループの不安定性の兆候としては、スイッチング波形に大きなデューティサイクルジッタが見られたり、出力電圧やインダクタ電流に発振が現れたりすることがあります。このイベントは、多くの場合、基板レイアウトまたは L-C の組み合わせに起因します。

制御ループの評価の次のステップとして、負荷過渡応答のテストが行われます。負荷過渡が発生してから N チャネル MOSFET がオンになるまでの時間の間、出力コンデンサが負荷に必要なすべての電流を供給します。 V_{OUT} は、すぐに $\Delta I_{\text{(LOAD)}} \times \text{ESR}$ の量だけ変動します。ここで、ESR は C_{OUT} の実効直列抵抗です。 $\Delta I_{\text{(LOAD)}}$ は、 C_{OUT} の充電または放電を開始し、レギュレータが V_{OUT} を定常状態の値に戻すために使用する帰還誤差信号を生成します。デバイスが PWM モードで動作している場合、結果は最も理解しやすくなります。

この回復時間中に、 V_{OUT} のセトリング タイム、オーバーシュート、リングングを監視し、コンバータの安定性を評価します。リングングがなければ、ループは通常 45 度以上の位相マージンを持ちます。回路のダンピング係数は、温度に依存するいくつかの抵抗パラメータ (MOSFET の $r_{DS(on)}$) に直接関係しているため、入力電圧範囲、負荷電流範囲、温度範囲についてループ安定性解析を行う必要があります。

TLV612901 シリーズの昇圧コンバータは、330nH ~ 560nH の範囲の実効インダクタンスで動作し、出力コンデンサは 15 μ F ~ 100 μ F の範囲の実効出力キャパシタンスで動作するよう最適化されています。内部補償は、 $L = 470$ nH の出力フィルタと実効 $C_O = 15$ μ F に対して最適化されています。

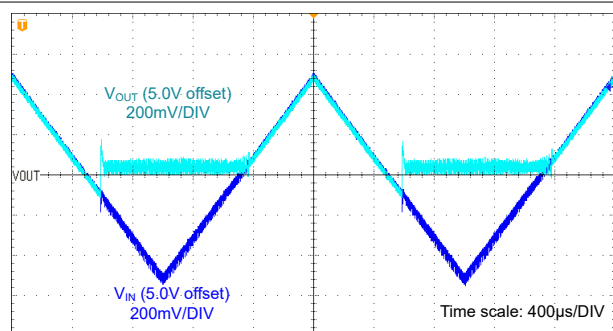
表 9-3. 部品リスト

リファレンス	説明	部品番号、メーカー ⁽¹⁾
C_{IN}	22 μ F、10V、0603、X5R セラミック	GRM187R61A226ME15D
C_{OUT}	3 × 22 μ F、10V、0603、X5R セラミック	3 × GRM187R61A226ME15D
L	450nH、13.8m Ω 、4.0mm × 4.0mm × 1.2mm	XGL4012-451

(1) 『サードパーティ製品に関する免責事項』を参照してください。

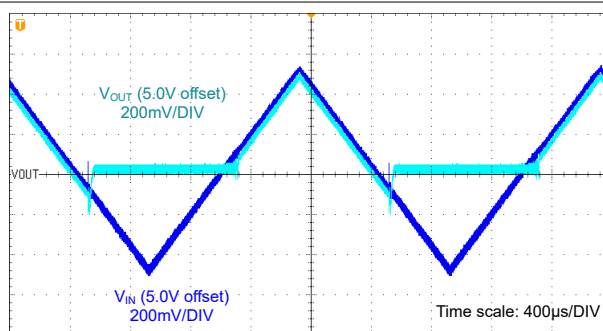
9.2.1.3 アプリケーション曲線

特記のない限り、標準条件は $V_{IN} = 2.5V \sim 4.85V$ 、 $V_{OUT_TAR} = 5.0V$ 、 $T_J = 25^\circ C$



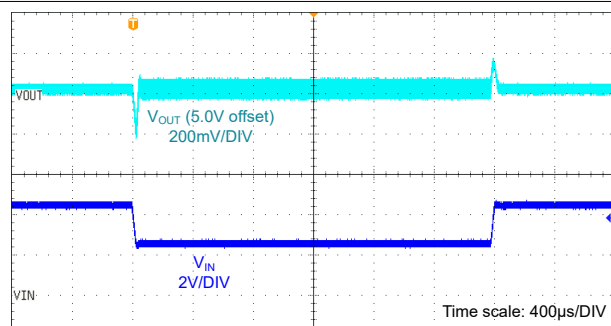
$V_{OUT_TAR} = 5.0V$ $T_A = 25^\circ C$ 自動 PFM 負荷 = 100mA

図 9-2. ブーストからバイパスモードへの移行 / バイパスからブーストモードへの移行



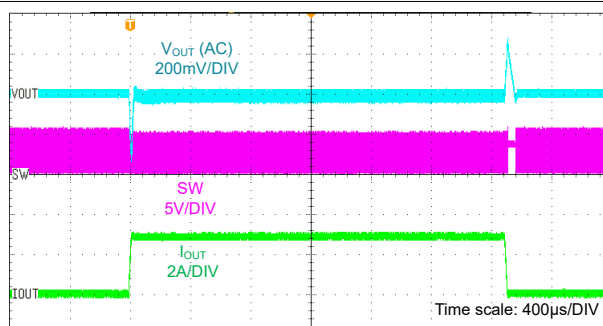
$V_{OUT_TAR} = 5.0V$ $T_A = 25^\circ C$ 自動 PFM 負荷 = 3A

図 9-3. ブーストからバイパスモードへの移行 / バイパスからブーストモードへの移行



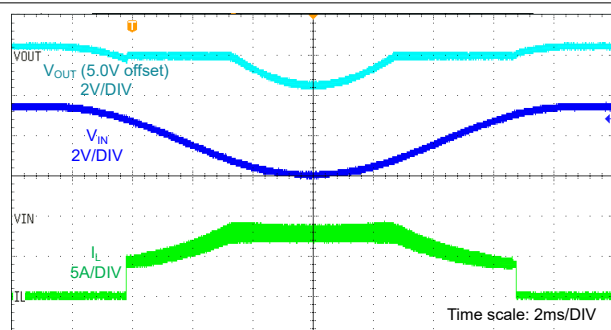
$V_{OUT_TAR} = 5.0V$ $T_A = 25^\circ C$ 自動 PFM 負荷 = 3A
 $V_{IN} = 2.7V \sim 4.5V$ (スルーレート: 20μs)

図 9-4. ライン過渡応答



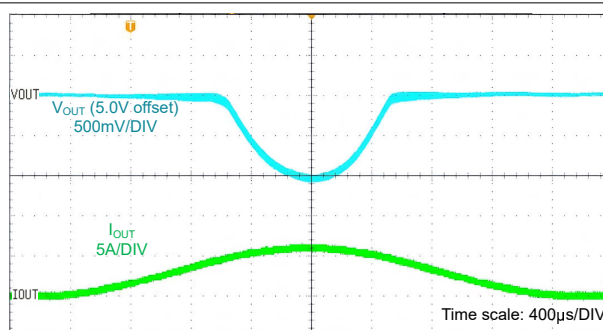
$V_{OUT_TAR} = 5.0V$ $V_{IN} = 3.6V$ 自動 PFM
 負荷 = 0.1A ~ 3A、0.2A/μs のスルーレート

図 9-5. 負荷過渡応答



$V_{OUT_TAR} = 5.0V$ $T_A = 25^\circ C$ 自動 PFM 負荷 = 4A
 $V_{IN} = \pm 5.5V \sim 2.2V$ のスイープ

図 9-6. ラインスイープ



$V_{OUT_TAR} = 5.0V$ $V_{IN} = 3.6V$ 自動 PFM
 負荷 = 0A ~ 6A のスイープ

図 9-7. 負荷スイープ

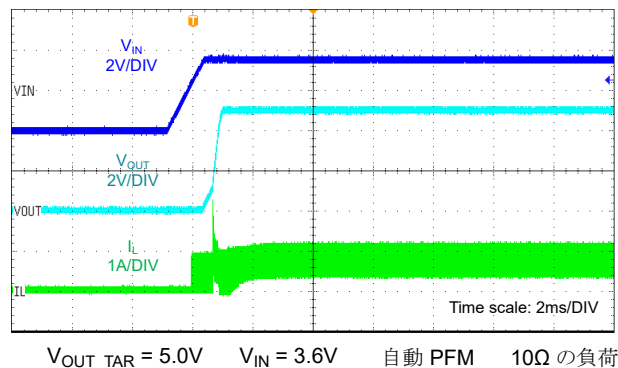


図 9-8. V_{IN} によるスタートアップ

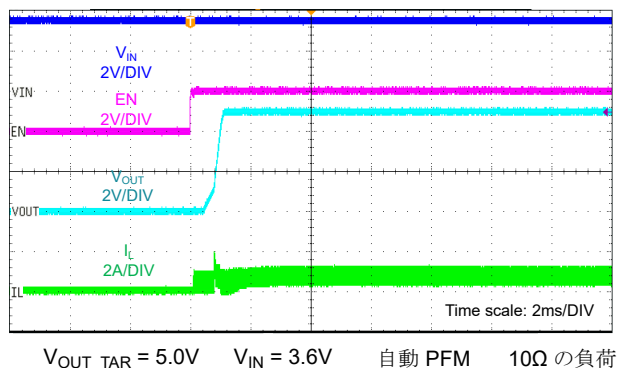


図 9-9. EN によるスタートアップ

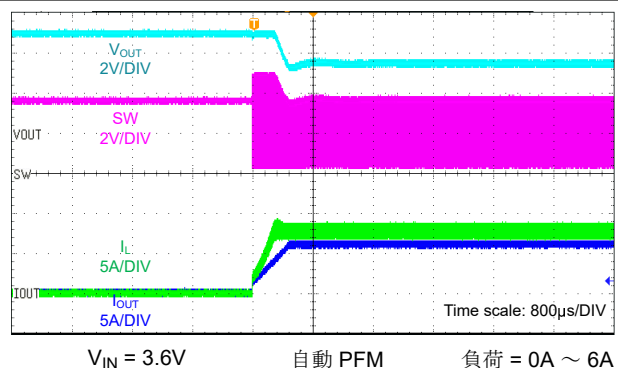


図 9-10. 昇圧モードでの電流制限動作

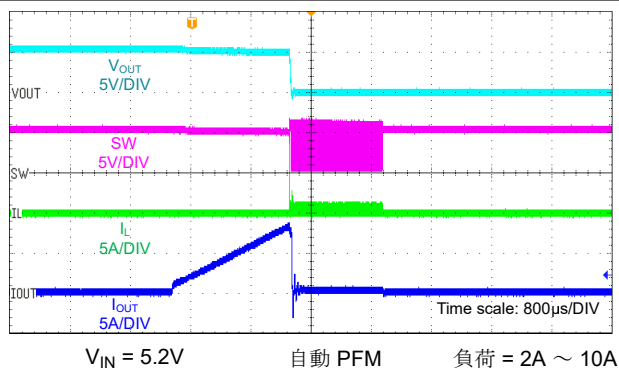


図 9-11. バイパス モードでの電流制限動作

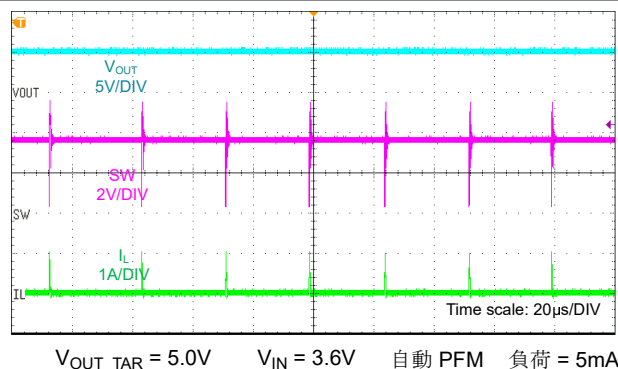


図 9-12. 軽負荷時のスイッチング波形

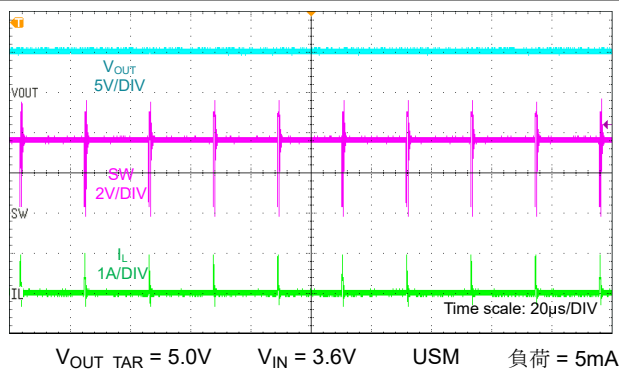


図 9-13. 軽負荷時のスイッチング波形

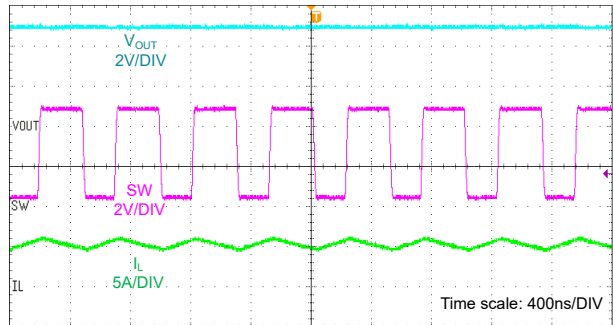


図 9-14. 重負荷時のスイッチング波形

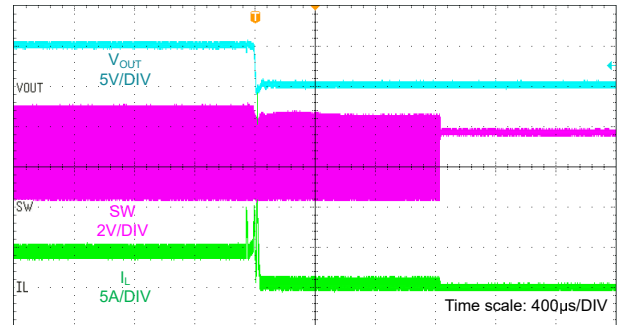


図 9-15. グランドへの出力短絡保護

9.3 電源に関する推奨事項

デバイスは、1.8V～5.5V の入力電源電圧範囲で動作するように設計されています。この入力電源が十分に安定化されていることを確認してください。入力電源が TLV612901 コンバータから数インチ以上離れている場合、セラミック バイパスコンデンサに加えてバルク容量の追加が必要になることがあります。47µF の電解コンデンサまたはタンタル コンデンサが典型的な選択肢です。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

すべてのスイッチング電源、特に高いスイッチング周波数と大電流で動作する電源については、レイアウトは、重要な設計ステップです。レイアウトを注意深く行わないと、レギュレータで不安定性やノイズの問題が発生する可能性があります。TLV612901 はスイッチングの立ち上がり時間および立ち下がり時間が非常に短いため、EMI などの高周波ノイズ放射が発生する可能性があります。したがって、高周波スイッチング経路を適切にレイアウトすることが極めて重要です。レイアウト時には、 SW ピンに接続されるすべての配線の長さや面積を最小限にし、スイッチング レギュレータの下にグラウンド プレーンを配置します。この動作は、層間結合を最小限に抑え、高周波スイッチング パスを最適化するのに役立ちます。

入力コンデンサは、 I_{input} 電源リップルを低減するために、 V_{IN} ピンと $PGND$ ピンの近くに配置する必要があります。寄生インダクタンスを低減するために、 V_{OUT} 、出力コンデンサ、および $PGND$ の電源経路はできるだけ短くしてください。

デバイスの電力密度が高いため、レイアウト設計時に熱管理を慎重に考慮する必要があります。パッケージの熱特性を向上させる SW 、 V_{OUT} 、および $PGND$ ピンは、大面積の銅箔ポリゴンにはんだ付けする必要があります。また、 SW ピンの下にサーマルビアを使用することで、熱性能をさらに向上できます。

加えて、レイアウト時に PCB の寄生成分が及ぼす影響を考慮してください。図 9-16 に、TLV612901 の連続電流パスと不連続電流パスを示します。青色の実線は連続電流経路を示し、赤色の破線は不連続電流経路を示しています。図 9-17 に、不連続電流パスの PCB 寄生インダクタを示します。パワー MOSFET Q_1 、パワー MOSFET Q_2 、出力コンデンサ C_{OUT} で形成されるループは、できるだけ短くする必要があります。これらの高 di/dt 電流パス内の PCB 寄生インダクタが、出力とパワー MOSFET 間で高電圧スパイクを発生させるためです。スイッチ ノード SW のスパイクとリンギングは EMI の原因であり、パワー MOSFET の過電圧による損傷を引き起こす可能性があります。PCB 寄生インダクタ L_{para1} および L_{para2} の影響を最小限に抑えるために、低 ESL および ESR の X5R または X7R 誘電セラミック コンデンサ C_{OUT1} を、TLV612901 の V_{OUT} ピンおよび GND ピンのできるだけ近くに配置することを推奨します。

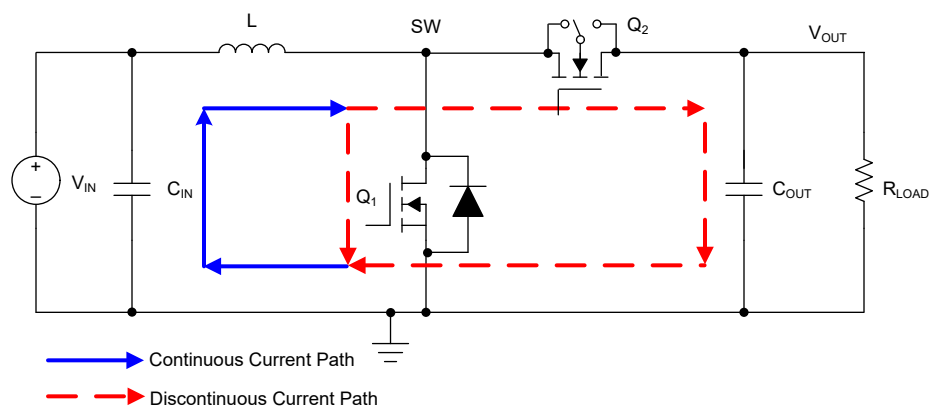


図 9-16. 連続および不連続な電流パス

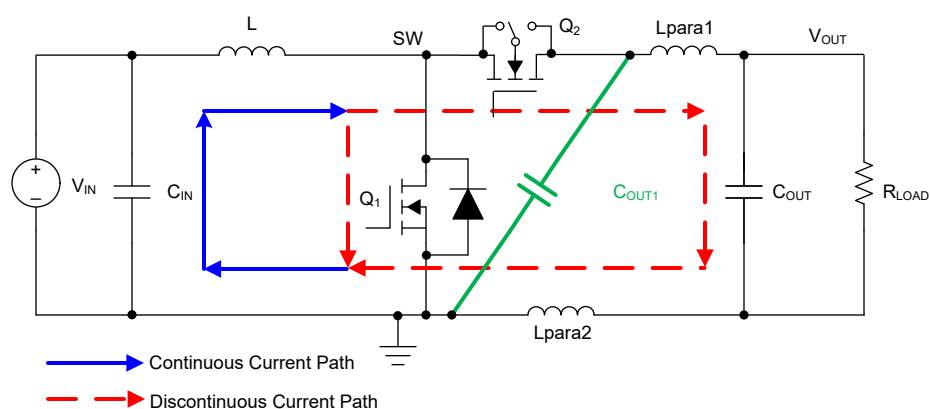


図 9-17. 不連続電流パスにおける PCB 寄生インダクタ

9.4.2 レイアウト例

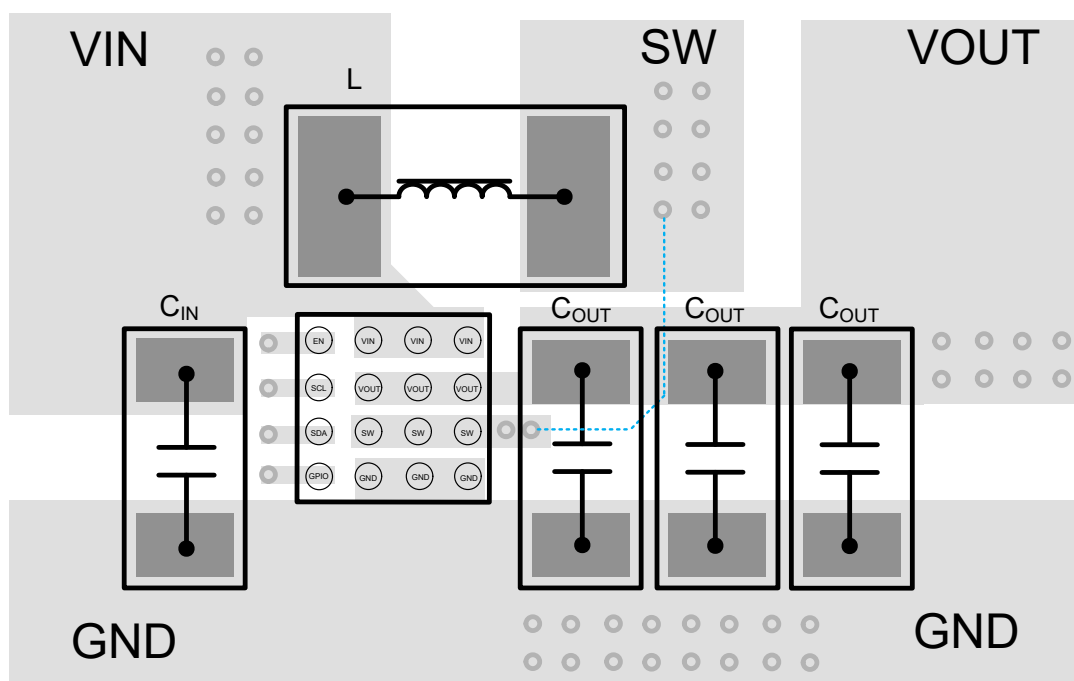


図 9-18. 推奨レイアウト (上面)

9.4.3 熱に関する情報

一般に、低背でファイン ピッチの表面実装パッケージに IC を実装する場合は、消費電力に特別な注意が必要です。熱結合、エアフロー、追加ヒートシンク、対流面、他の発熱部品の存在など、システムに依存する多くの問題により、所定の部品の消費電力の限界が左右されます。

放熱性能を向上させるための 3 つの基本的な方法を以下に示します：

- PCB 設計による消費電力性能の改善
- PCB コンポーネントの熱結合の改善
- システムへのエアフローの導入

ポータブル設計における電力需要の重要性はますます高まっており、設計者は効率、電力損失、設計サイズの間で最適な選択を行う必要があります。集積化と小型化により接合部温度が大幅に上昇し、これが原因でアプリケーションの不具合 (たとえば、早期のサーマル シャットダウン、あるいは考えられる限り最悪の事態ではデバイスの信頼性低下) が発生する可能性があります。

接合部から周囲への熱抵抗は、アプリケーションと基板レイアウトに大きく依存します。最大電力損失が大きいアプリケーションでは、基板設計において放熱対策に特に注意を払う必要があります。デバイスの動作時接合部温度 (T_J) は 125°C 未満に維持してください。

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

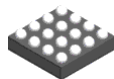
[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

日付	改訂	注
August 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

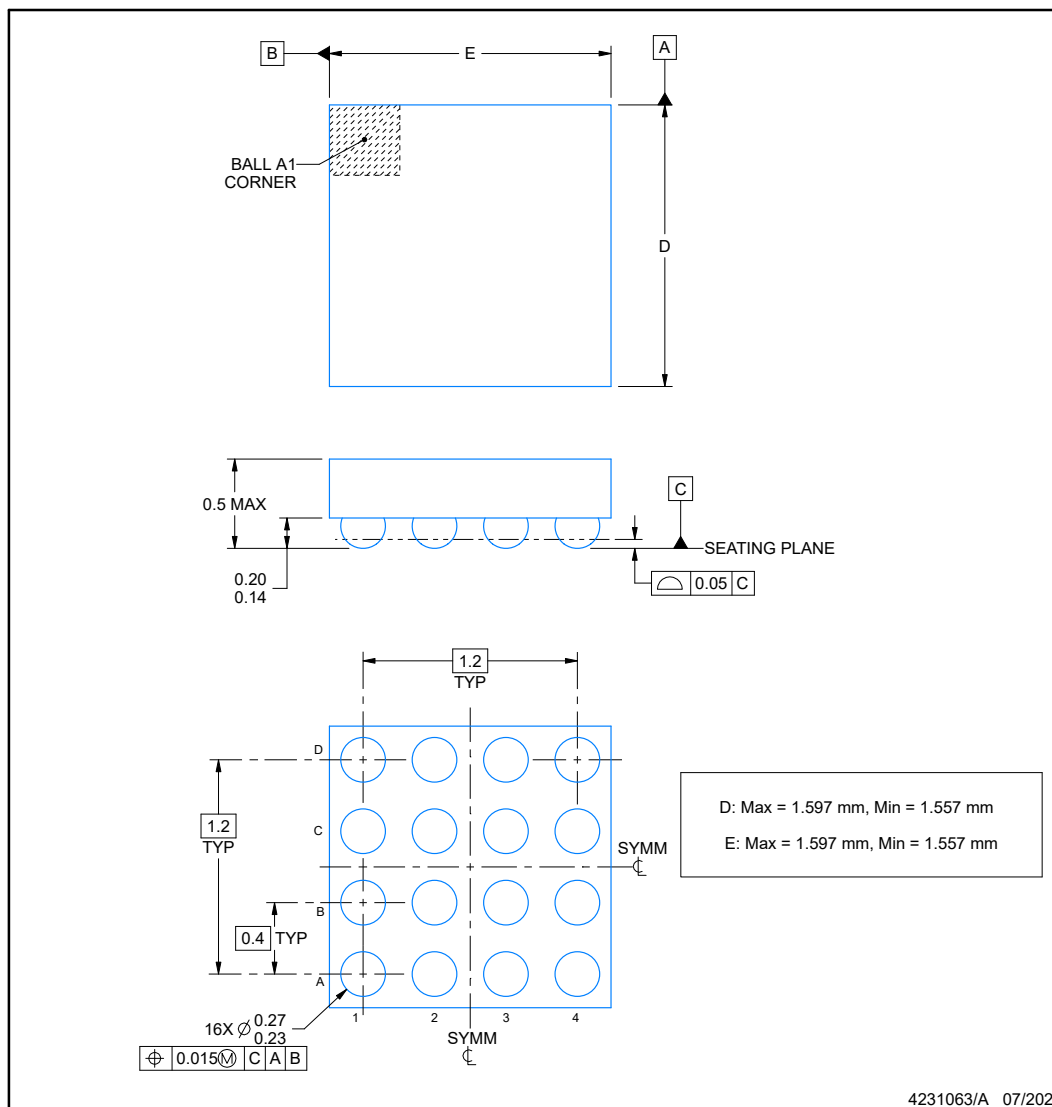
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



YBG0016-C01

PACKAGE OUTLINE
DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY

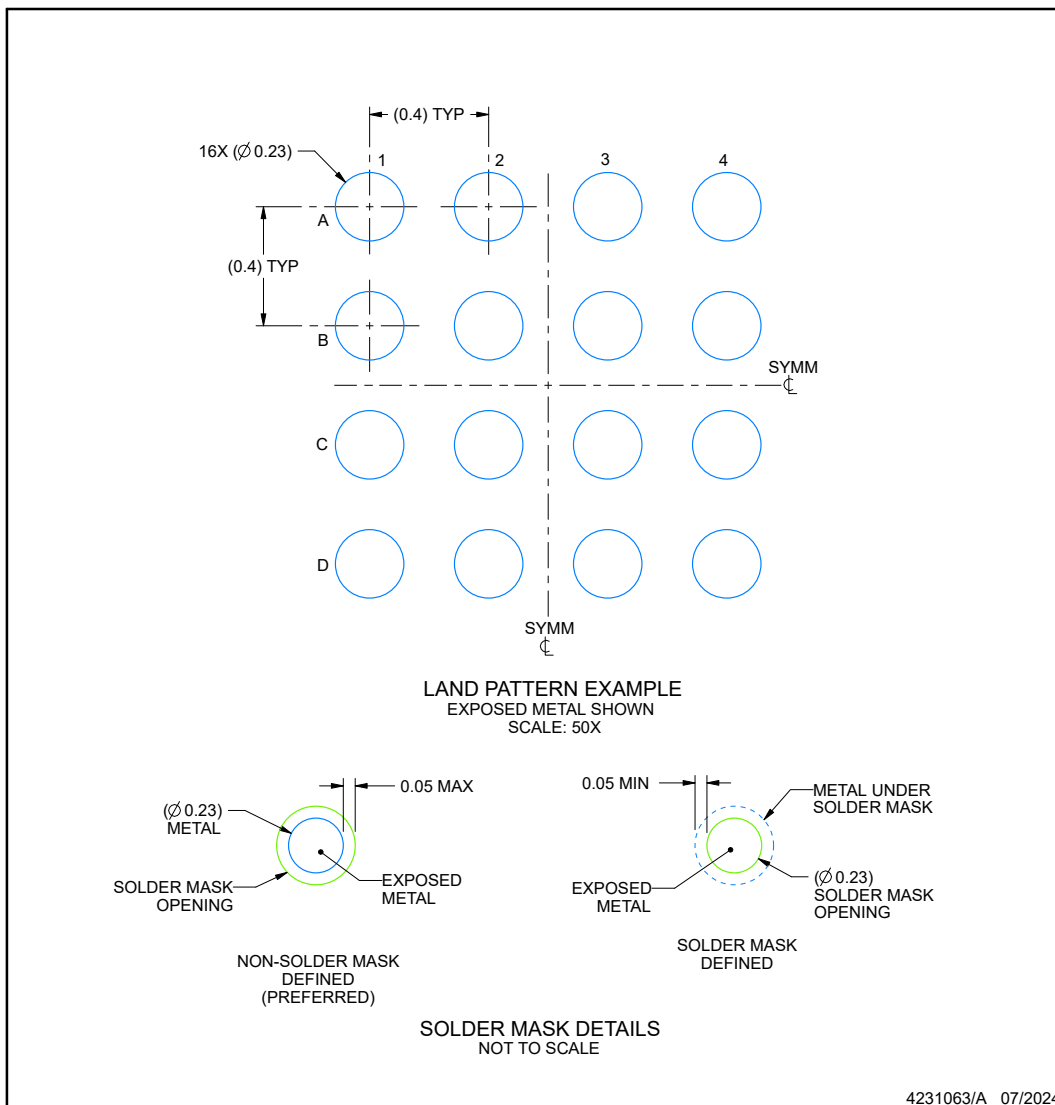


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT**YBG0016-C01****DSBGA - 0.5 mm max height**

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

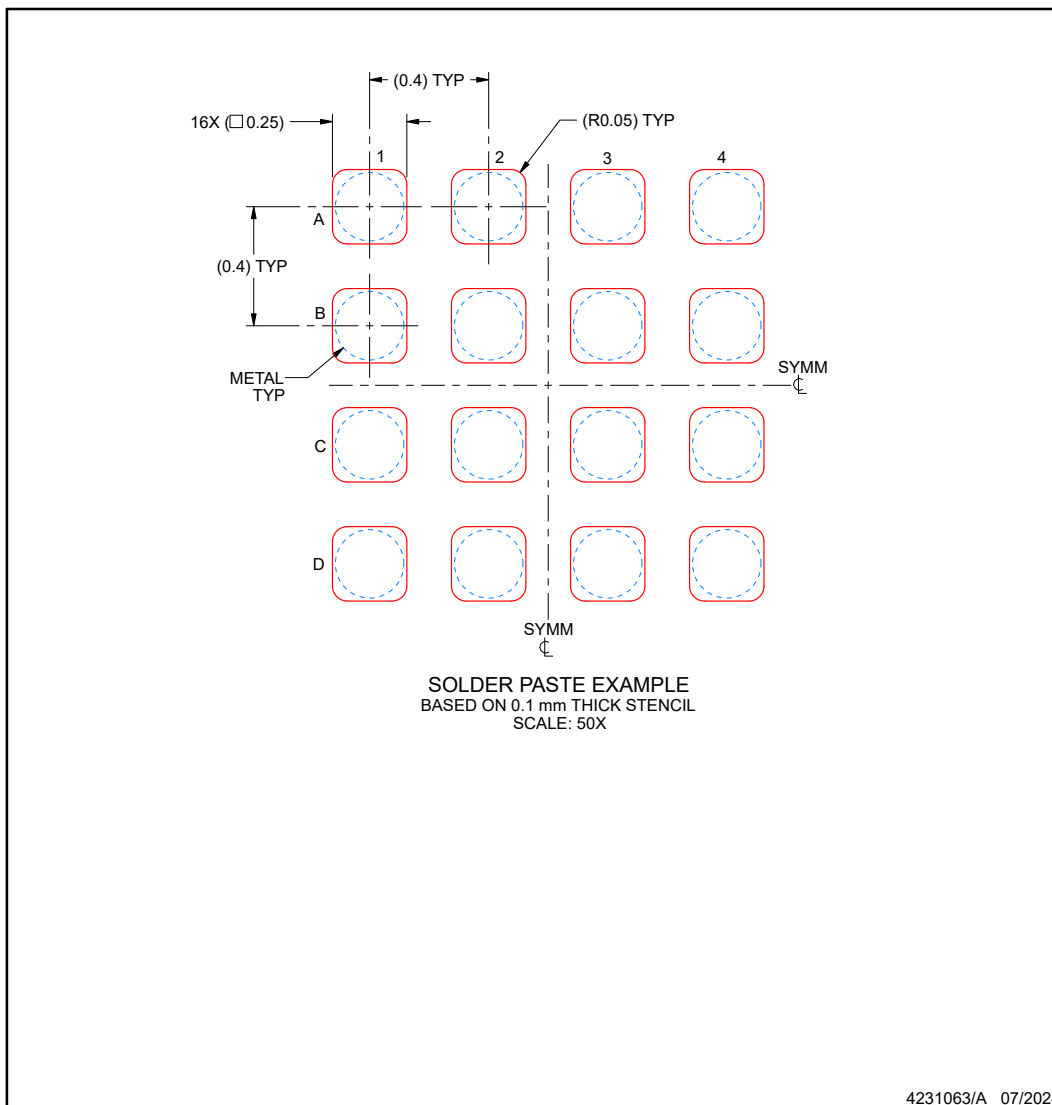
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
 See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBG0016-C01

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV612901YBGR	Active	Production	DSBGA (YBG) 16	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	27W

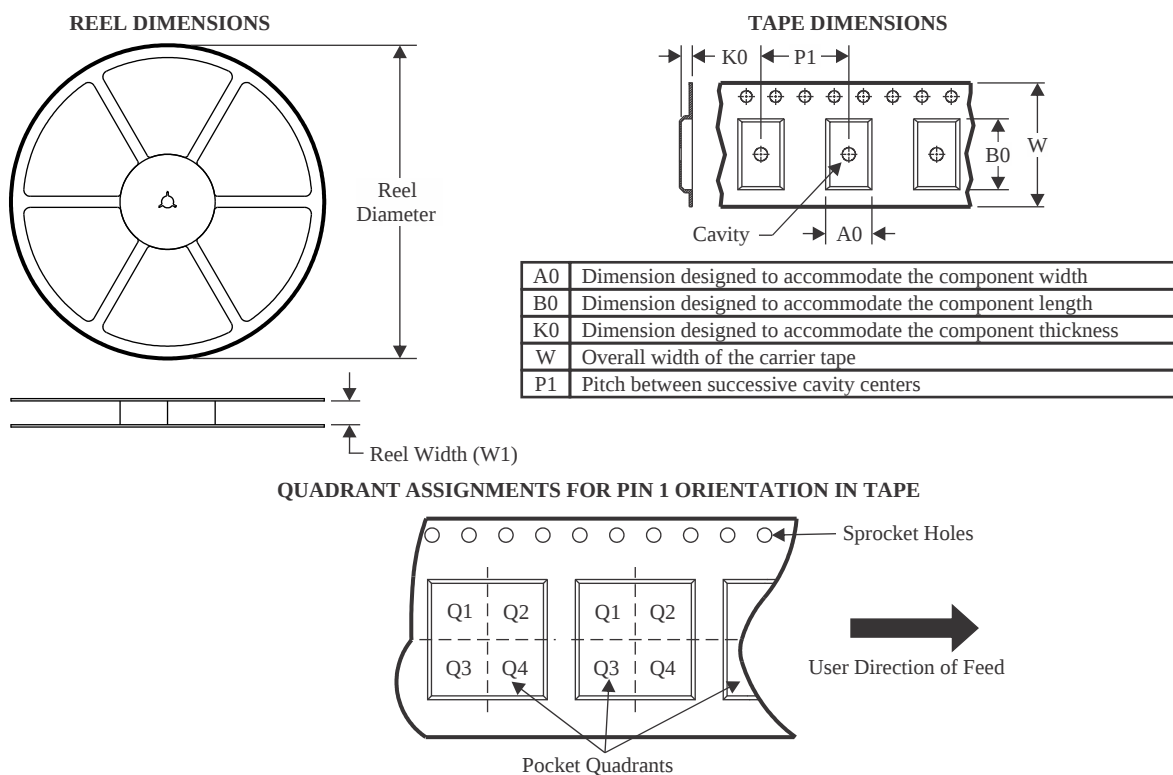
- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

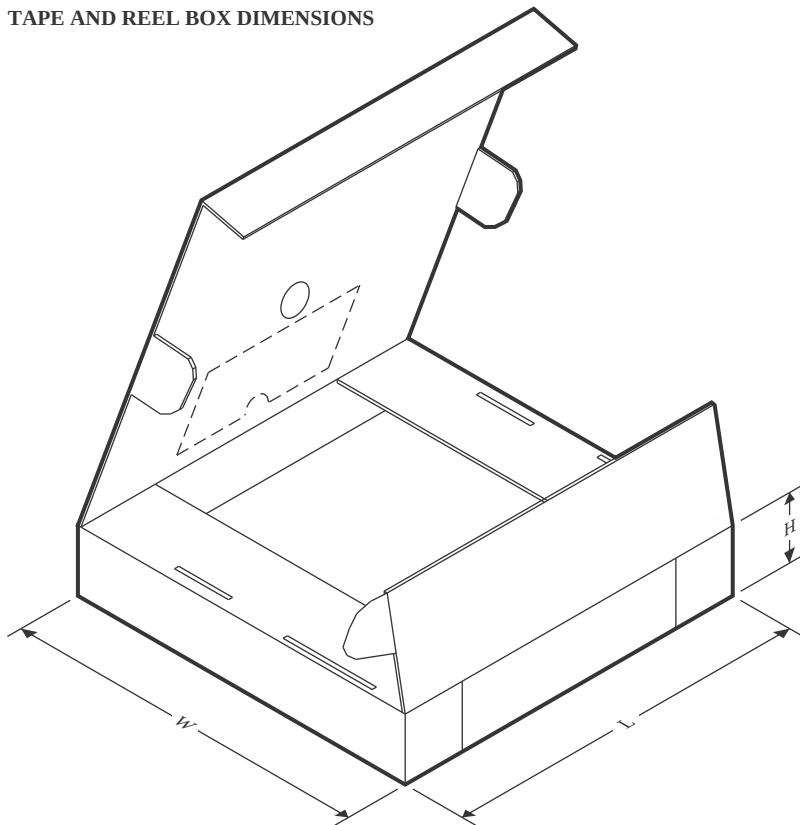
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV612901YBGR	DSBGA	YBG	16	3000	180.0	8.4	1.68	1.72	0.62	4.0	8.0	Q1

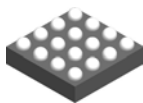
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV612901YBGR	DSBGA	YBG	16	3000	182.0	182.0	20.0

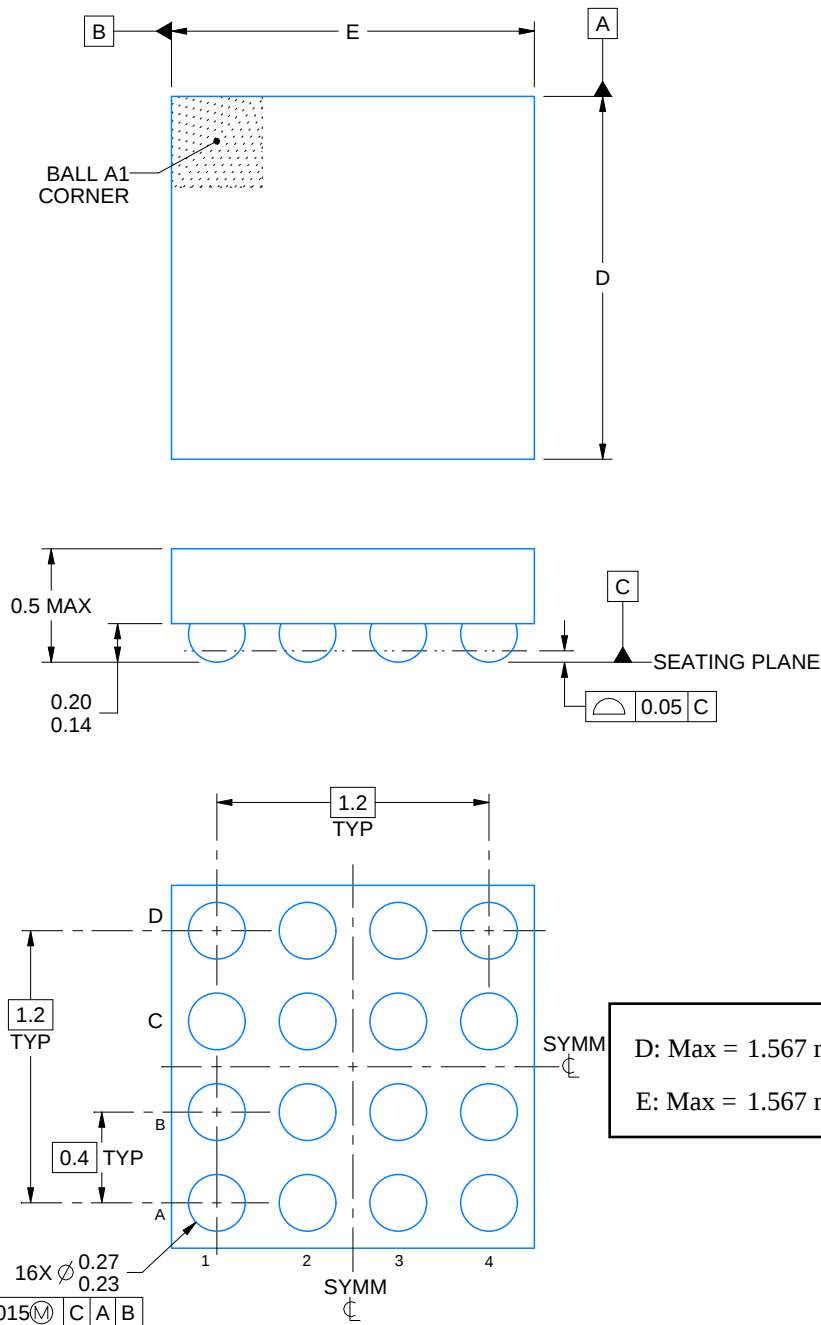
YBG0016



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



4224950/A 04/2019

NOTES:

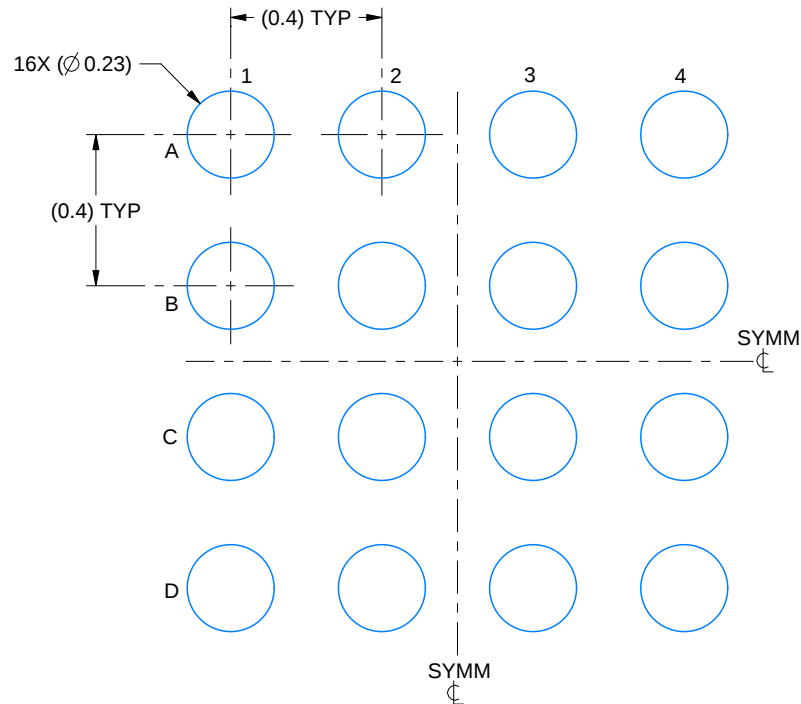
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

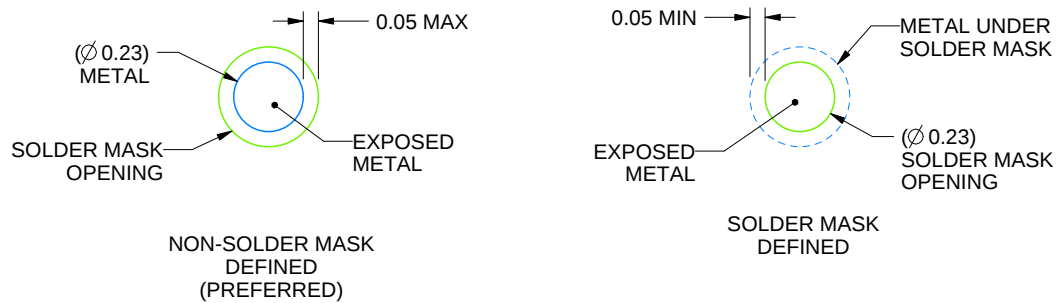
YBG0016

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4224950/A 04/2019

NOTES: (continued)

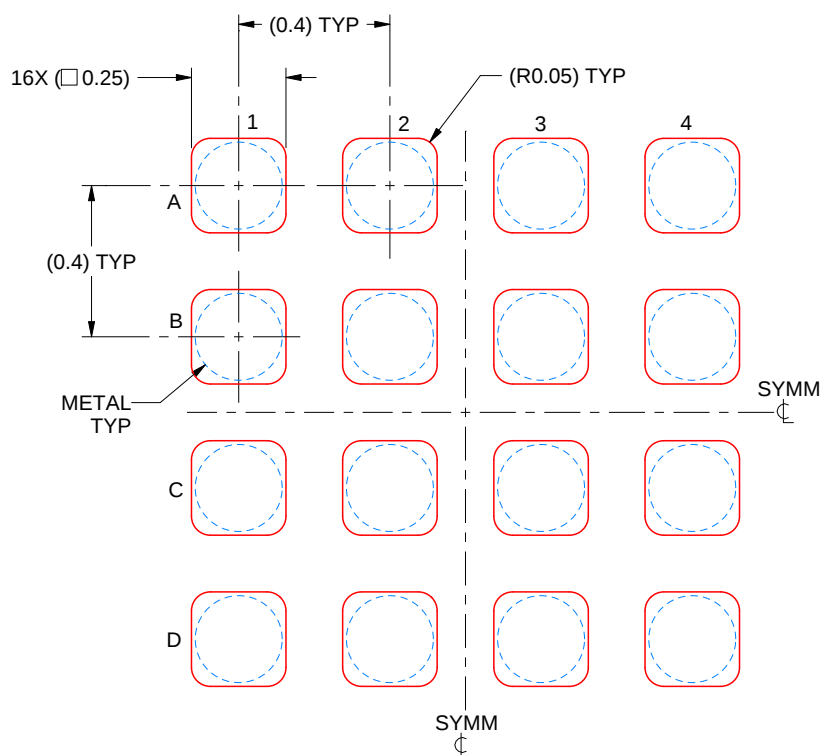
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBG0016

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4224950/A 04/2019

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月