

レール ツー レール入力/プッシュプル出力対応の CMOS コンパレータ

1 特長

- 2.7V、5V、15V 電源で仕様規定されているパラメータ
- 消費電流: 5V で 7 μ A (標準値)
- 応答時間: 5V で 420ns (標準値)
- プッシュプル出力
- V_{CC-} と V_{CC+} を超える入力同相範囲
- 低入力電流

2 アプリケーション

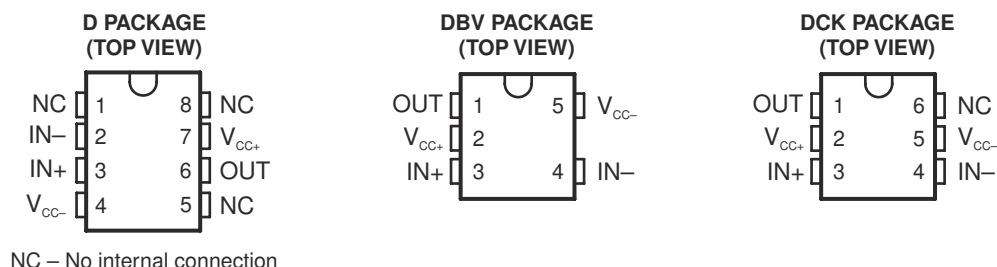
- バッテリ駆動製品
- ノート PC および PDA
- モバイル通信
- アラームおよびセキュリティ回路
- 直接センサ インターフェイス
- コンパレータとして使われていたアンプを、より良い性能と低消費電流で置き換えます

3 説明

TLV7211 と TLV7211A は、省スペースの SOT-23-5 パッケージで提供される超低消費電力の CMOS コンパレータです。これにより、このコンパレータは、スペースや重量が重要となる設計に適したものになります。TLV7211A の入力オフセット電圧は 5mV、TLV7211 の入力オフセット電圧は 15mV です。

SOT-23-5 パッケージの主な利点は、携帯電話、ポケベル、ノートパソコン、携帯情報端末、PCMCIA カードなどの小型の携帯用電子デバイスにおいて最も明白です。レール ツー レールの入力電圧により、TLV7211 または TLV7211A は光検出器回路、光学および磁気センサ、アラームおよび状態回路などのセンサ インターフェイスに適しています。

SOT-23-5 パッケージは小型であるため、プリント基板の狭いスペースにもこのデバイスを収容できます。



目次

1 特長.....	1	6 詳細説明.....	10
2 アプリケーション.....	1	6.1 概要.....	10
3 説明.....	1	6.2 機能ブロック図.....	10
4 注文情報.....	2	6.3 機能説明.....	10
5 仕様.....	3	7 デバイスおよびドキュメントのサポート.....	12
5.1 絶対最大定格	3	7.1 ドキュメントの更新通知を受け取る方法.....	12
5.2 ESD 保護.....	3	7.2 サポート・リソース.....	12
5.3 推奨動作条件.....	3	7.3 商標.....	12
5.4 2.7V の電气的特性.....	4	7.4 静電気放電に関する注意事項.....	12
5.5 5V の電气的特性.....	5	7.5 用語集.....	12
5.6 15V の電气的特性.....	6	8 改訂履歴.....	12
5.7 スイッチング特性.....	7	9 メカニカル、パッケージ、および注文情報.....	12
5.8 代表的特性.....	8		

4 注文情報

T _A	V _{OS} (MAX)	パッケージ (1)		発注用製品型番	上面のマーキング (2)
-40°C ~ 85°C	5mV	SOIC – D	2500 リール	TLV7211AIDR	7211AI
			チューブ 75	TLV7211AID	
		SOT-23-5 - DBV	3000 リール	TLV7211AIDBVR	YBN_
		SOT (SC-70) – DCK	3000 リール	TLV7211AIDCKR	Y8 _
	15mV	SOIC – D	2500 リール	TLV7211IDR	TY7211
			チューブ 75	TLV7211ID	
		SOT-23-5 - DBV	3000 リール	TLV7211IDBVR	YBK_
		SOT (SC-70) – DCK	3000 リール	TLV7211IDCKR	Y7_

(1) パッケージ図、標準梱包数量、熱データ、記号、PCB 設計ガイドラインは、www.tij.co.jp/sc/package で入手できます。

(2) DBV/DCK: 実際の上面マーキングには、アセンブリ / テスト サイトを示す文字が 1 つ追加されます。

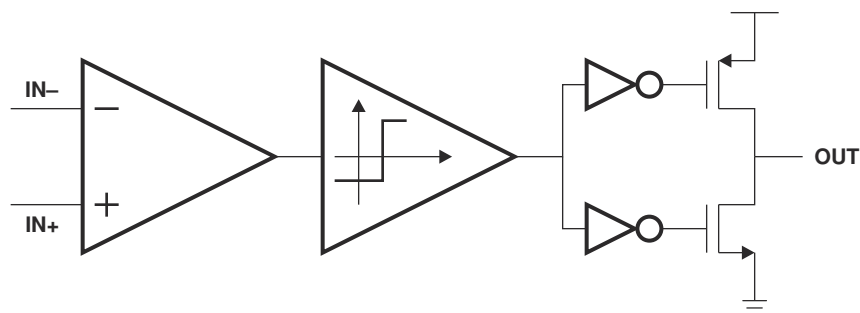


図 4-1. 機能ブロック図

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$V_{CC+} - V_{CC-}$	電源電圧 ⁽¹⁾		16	V
V_{ID}	差動入力電圧 ⁽²⁾		$\pm$ 電源電圧	V
V_I	入力電圧範囲 (任意の入力)	$V_{CC-} - 0.3$	$V_{CC+} + 0.3$	V
V_O	出力電圧範囲	$V_{CC-} - 0.3$	$V_{CC+} + 0.3$	V
I_{CC}	電源電流		40	mA
I_I	入力電流		± 5	mA
I_O	出力電流		± 30	mA
θ_{JA}	パッケージの熱インピーダンス ^{(3) (4)}	D パッケージ	97	°C/W
		DBV パッケージ	206	
		DCK パッケージ	259	
T_J	動作時の仮想接合部温度		150	°C
T_{stg}	保管温度範囲	-65	150	°C

- (1) すべての電圧値 (I_{OS} 測定のために規定された差動電圧と V_{CC} を除く) は、回路 GND を基準としています。
(2) 差動電圧は、IN₋ を基準とする IN₊ です。
(3) 最大損失は $T_{J(max)}$ 、 θ_{JA} 、 T_A の関数となります。最大許容消費電力と、許容される周囲温度との関係式は、 $P_D = (T_{J(max)} - T_A)/\theta_{JA}$ です。絶対最大定格 $T_J = 150^\circ\text{C}$ での動作は、信頼性に影響を与える可能性があります。
(4) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.2 ESD 保護

	標準値	単位
人体モデル	2000	V

5.3 推奨動作条件

		最小値	最大値	単位
$V_{CC+} - V_{CC-}$	電源電圧	2.7	15	V
T_J	動作時の仮想接合部温度	-40	85	°C

5.4 2.7V の電気的特性

$V_{CC+} = 2.7V$ 、 $V_{CC-} = GND$ 、 $V_{CM} = V_O = V_{CC+}/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_J	TLV7211A			TLV7211			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OS} 入力オフセット電圧		25°C		3	5		3	15	mV
		−40°C ~ 85°C			8			18	
TCV_{OS} 入力オフセット電圧の温度ドリフト		25°C		1			1		$\mu V/^\circ C$
I_B 入力電流		25°C		0.04			0.04		pA
I_{OS} 入力オフセット電流		25°C		0.02			0.02		pA
CMRR 同相除去比	$0 \leq V_{CM} \leq 2.7V$	25°C		75			75		dB
PSRR 電源除去比	$2.7V \leq V_{CC+} \leq 15V$	25°C		80			80		dB
A_V 電圧ゲイン		25°C		100			100		dB
CMVR 入力同相電圧範囲	CMRR > 55dB	25°C	2.9	3		2.9	3		V
		−40°C ~ 85°C	2.7			2.7			
	CMRR > 55dB	25°C		-0.3	-0.2		-0.3	-0.2	
		−40°C ~ 85°C			0			0	
V_{OH} High レベル出力電圧	$I_{load} = 2.5mA$	25°C	2.4	2.5		2.4	2.5		V
		−40°C ~ 85°C	2.3			2.3			
V_{OL} Low レベル出力電圧	$I_{load} = 2.5mA$	25°C		0.2	0.3		0.2	0.3	V
		−40°C ~ 85°C			0.4			0.4	
I_{CC} 電源電流	$V_{OUT} = Low$	25°C		7	12		7	12	μA
		−40°C ~ 85°C			14			14	
	$V_{OUT} = High-Idle$	25°C		5	10		5	10	
		−40°C ~ 85°C			12			12	

5.5 5V の電氣的特性

$V_{CC+} = 5V$ 、 $V_{CC-} = GND$ 、 $V_{CM} = V_O = V_{CC+}/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_J	TLV7211A			TLV7211			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OS} 入力オフセット電圧		25°C		3	5		3	15	mV
		–40°C ~ 85°C			8			18	
TCV_{OS} 入力オフセット電圧の温度ドリフト		25°C		1			1		$\mu V/^\circ C$
I_B 入力電流		25°C		0.04			0.04		pA
I_{OS} 入力オフセット電流		25°C		0.02			0.02		pA
CMRR 同相除去比		25°C		75			75		dB
PSRR 電源除去比	$5V \leq V_{CC+} \leq 10V$	25°C		80			80		dB
A_V 電圧ゲイン		25°C		100			100		dB
CMVR 入力同相電圧範囲	CMRR > 55dB	25°C	5.2	5.3		5.2	5.3		V
		–40°C ~ 85°C	5			5			
	CMRR > 55dB	25°C		–0.3	–0.2		–0.3	–0.2	
		–40°C ~ 85°C			0			0	
V_{OH} High レベル出力電圧	$I_{load} = 5mA$	25°C	4.6	4.8		4.6	4.8		V
		–40°C ~ 85°C	4.45			4.45			
V_{OL} Low レベル出力電圧	$I_{load} = 5mA$	25°C		0.2	0.4		0.2	0.4	V
		–40°C ~ 85°C			0.55			0.55	
I_{CC} 電源電流	$V_{OUT} = Low$	25°C		7	14		7	14	μA
		–40°C ~ 85°C			18			18	
	$V_{OUT} = High-Idle$	25°C		5	10		5	10	
		–40°C ~ 85°C			13			13	
I_{OH} 短絡出力電流	I_{source}	25°C	30			30			mA
I_{OL} 短絡出力電流	I_{sink} 、 $V_O < 12V^{(1)}$	25°C	45			45			mA

(1) $V+$ が 12V を上回る場合、出力を $V+$ に短絡させないでください。

5.6 15V の電气的特性

$V_{CC+} = 15V$, $V_{CC-} = GND$, $V_{CM} = V_O = V_{CC+}/2$, $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_J	TLV7211A			TLV7211			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OS} 入力オフセット電圧		25°C	3		5	3		15	mV
		−40°C ~ 85°C			8			18	
TCV_{OS} 入力オフセット電圧の温度ドリフト		25°C	4			4			$\mu V/^\circ C$
I_B 入力電流		25°C	0.04			0.04			pA
I_{OS} 入力オフセット電流		25°C	0.02			0.02			pA
CMRR 同相除去比		25°C	82			82			dB
PSRR 電源除去比	$5V \leq V_{CC+} \leq 10V$	25°C	80			80			dB
A_V 電圧ゲイン		25°C	100			100			dB
CMVR 入力同相電圧範囲	CMRR > 55dB	25°C	15.2	15.3		15.2	15.3		V
		−40°C ~ 85°C	15			15			
	CMRR > 55dB	25°C	-0.3	-0.2		-0.3	-0.2		
		−40°C ~ 85°C			0			0	
V_{OH} High レベル出力電圧	$I_{load} = 5mA$	25°C	14.6	14.8		14.6	14.8		V
		−40°C ~ 85°C	14.45			14.45			
V_{OL} Low レベル出力電圧	$I_{load} = 5mA$	25°C	0.2	0.4		0.2	0.4		V
		−40°C ~ 85°C			0.55			0.55	
I_{CC} 電源電流	$V_{OUT} = Low$	25°C	7	14		7	14		μA
		−40°C ~ 85°C			18			18	
	$V_{OUT} = High-Idle$	25°C	5	12		5	12		
		−40°C ~ 85°C			14			14	
I_{OH} 短絡出力電流	I_{source}	25°C	30			30			mA
I_{OL} 短絡出力電流	I_{sink} , $V_O < 12V^{(1)}$	25°C	45			45			mA

(1) $V+$ が 12V を上回る場合、出力を $V+$ に短絡させないでください。

5.7 スイッチング特性

$T_J = 25^\circ\text{C}$, $V_{CC+} = 5\text{V}$, $V_{CC-} = \text{GND}$, $V_{CM} = V_O = V_{CC+}/2$, $R_L > 1\text{M}\Omega$ (特に記述のない限り)

パラメータ		テスト条件		標準値	単位
t _{rise}	立ち上がり時間	f = 10kHz、C _L = 50pF ⁽¹⁾ 、オーバードライブ = 10mV		15	ns
t _{fall}	立ち下がり時間	f = 10kHz、C _L = 50pF ⁽¹⁾ 、オーバードライブ = 10mV		15	ns
t _{PHL}	伝搬遅延時間、High から Low	f = 10kHz、C _L = 50pF ⁽¹⁾	10mV	900	ns
			100mV	450	
t _{PLH}	伝搬遅延時間、Low から High	f = 10kHz、C _L = 50pF ⁽¹⁾	10mV	900	ns
			100mV	420	

(1) C_L にはプローブと治具の容量が含まれます。

5.8 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = 12\text{V}$, $R_{\text{PULLUP}} = 2.5\text{k}$, $C_L = 20\text{pF}$, $V_{\text{CM}} = 0\text{V}$, $V_{\text{UNDERDRIVE}} = 100\text{mV}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

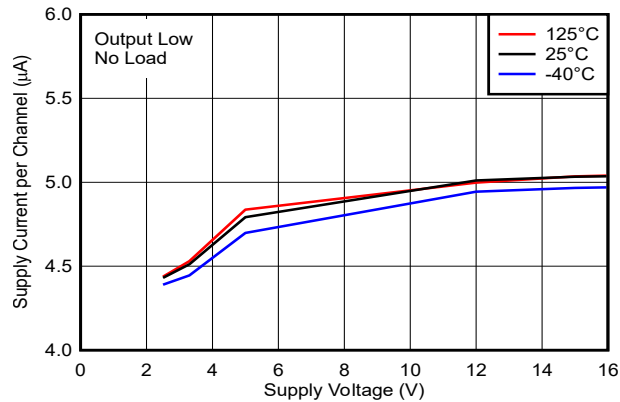


図 5-1. チャンネルごとの電源電流と電源電圧の関係 (出力 "Low")

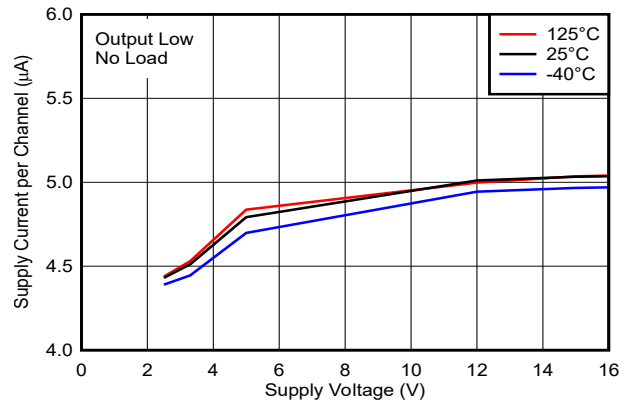


図 5-2. チャンネルごとの電源電流と電源電圧の関係 (出力 "High")

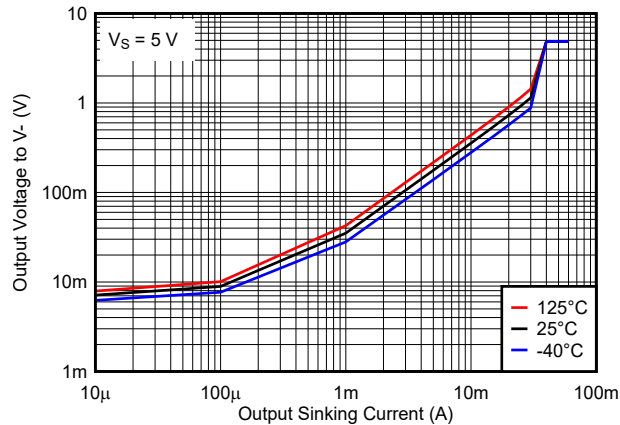


図 5-3. 出力電圧と出力シンク電流の関係、5V

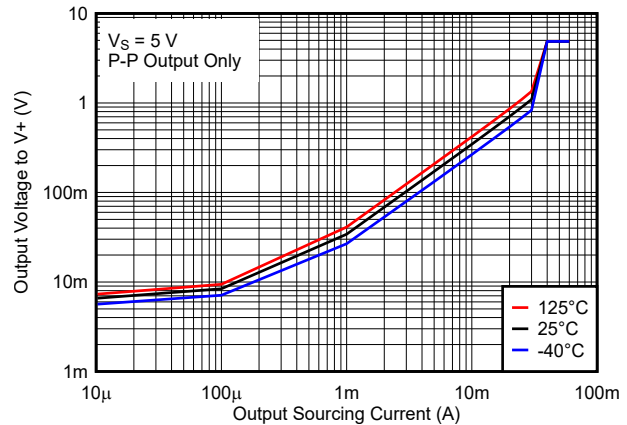


図 5-4. 出力電圧と出力ソース電流の関係、5V

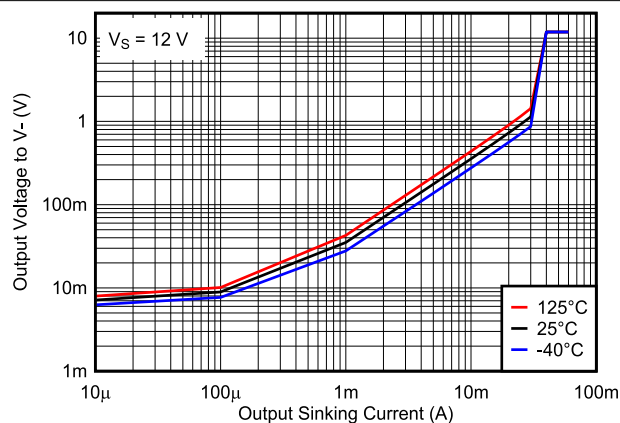


図 5-5. 出力電圧と出力シンク電流の関係、12V

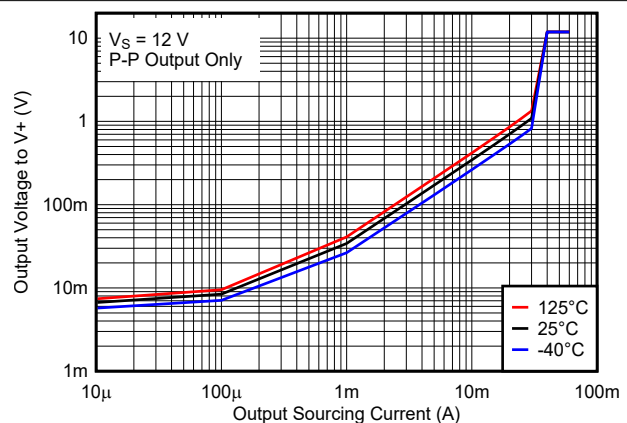


図 5-6. 出力電圧と出力ソース電流の関係、12V

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 12\text{V}$, $R_{\text{PULLUP}} = 2.5\text{k}$, $C_L = 20\text{pF}$, $V_{\text{CM}} = 0\text{V}$, $V_{\text{UNDERDRIVE}} = 100\text{mV}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

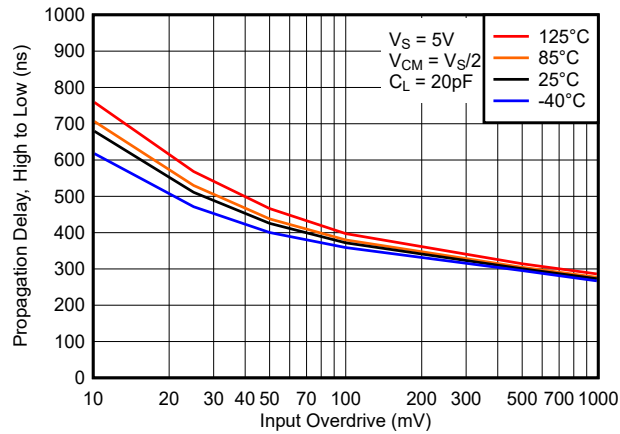


図 5-7. 伝搬遅延、"High" から "Low"、5V

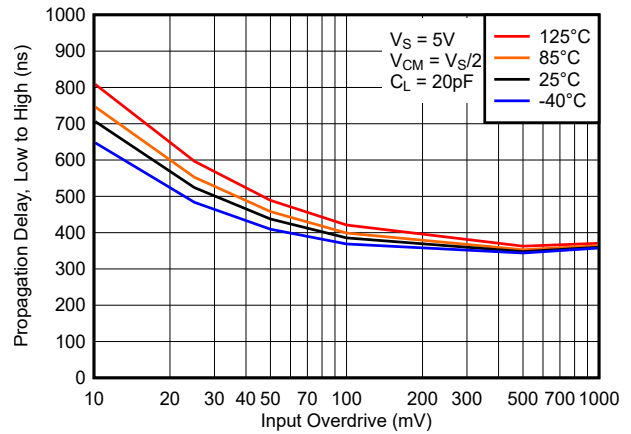


図 5-8. 伝搬遅延、"Low" から "High"、5V

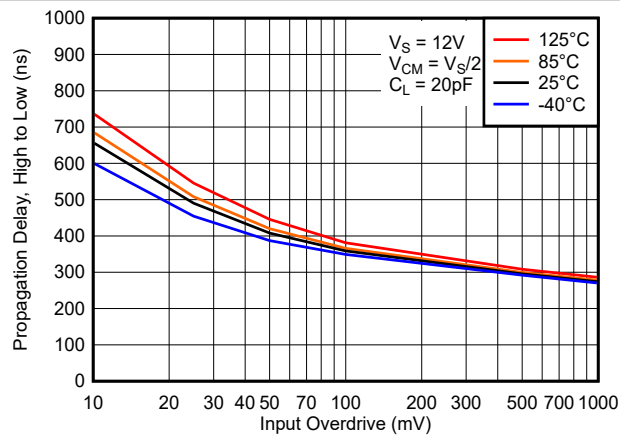


図 5-9. 伝搬遅延、"High" から "Low"、12V

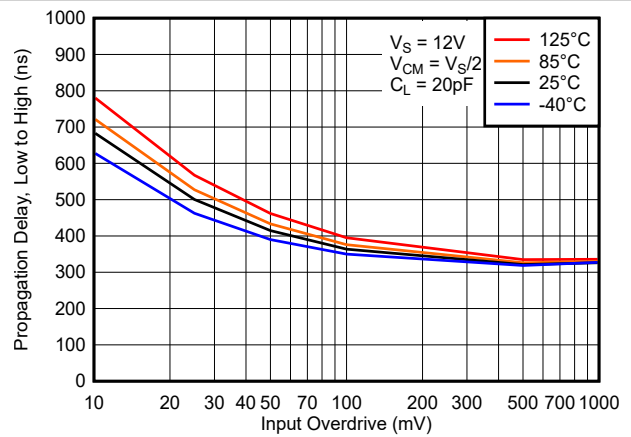


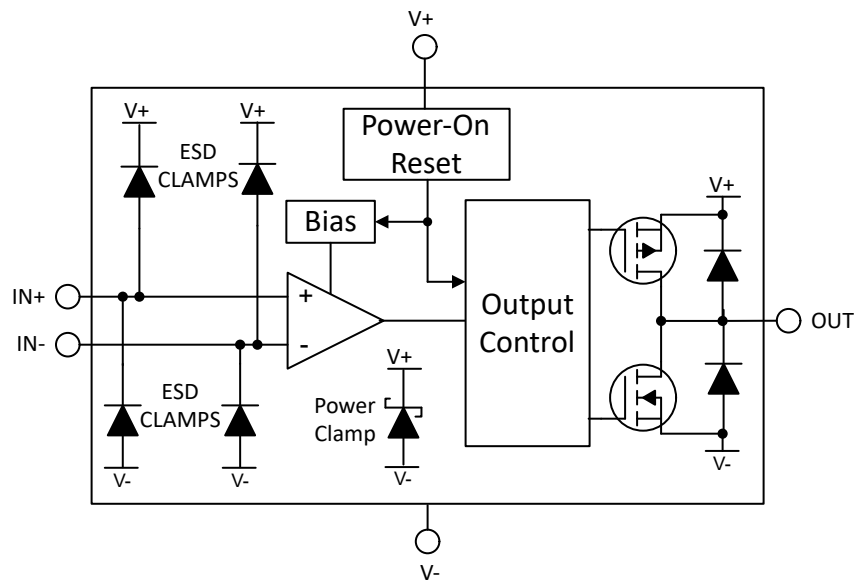
図 5-10. 伝搬遅延、"Low" から "High"、12V

6 詳細説明

6.1 概要

TLV7211 プッシュプル出力コンパレータは、 $7\mu\text{A}$ の低静止電流と、 $2.7\text{V} \sim 15\text{V}$ で動作します。プッシュプル CMOS 出力段は、消費電力の大きいプルアップ抵抗を使用せずに容量性負荷を直接駆動し、規定の応答時間を達成します。同様に、内部のパワーオンリセット回路を組み込むことにより、電源の立ち上げおよび立ち下げ時に出力が既知の状態に保たれるよう設計されています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 デバイスの機能モード

TLV7211 は、電源が接続されているときオンになります。デバイスは、アプリケーションに応じてシングル電源またはデュアル電源で動作できます。電源が推奨値を上回ると、デバイスは最大の性能を発揮します。

6.3.2 パワーオン リセット (POR)

TLV7211 には内部パワーオンリセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源電圧 ($V+$) が立ち上がりまたは立ち下がり中の場合、パワーオンリセット (POR) 回路は、電源電圧が $1.7V$ を超えた後に最大 $200\mu s$ 間アクティブになり、または電源電圧が $1.7V$ を下回ると直ちにアクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

TLV7211 のプッシュプル出力デバイスでは、パワーオンリセット (POR) 期間 (t_{on}) の間、出力は **Low** に保持されます。

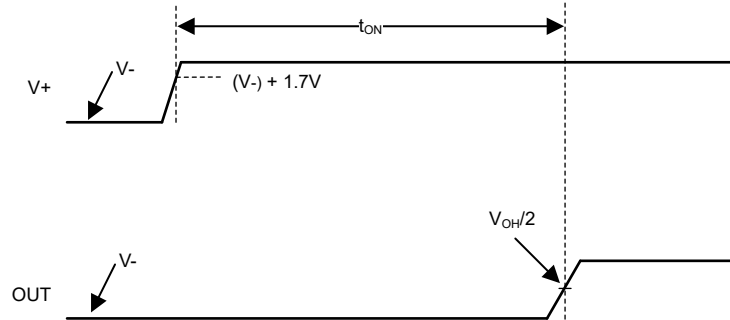


図 6-1. パワーオン リセットのタイミング図

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2007) to Revision C (December 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
ドキュメント全体にわたって伝搬遅延と立ち上がりおよび立ち下がり時間の仕様を更新.....	1
「電気的特性」表の入力オフセット電圧の平均ドリフト標準値を削除.....	4
「代表的性能特性」の曲線を更新.....	8
パワーオン リセット (POR) の説明を追加.....	11

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV7211AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	7211AI
TLV7211AID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	7211AI
TLV7211AIDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	YBNM
TLV7211AIDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	YBNM
TLV7211AIDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	Y8A
TLV7211AIDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	Y8A
TLV7211AIDCKRG4.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
TLV7211AIDCKT	Obsolete	Production	SC70 (DCK) 6	-	-	Call TI	Call TI	-40 to 85	Y8A
TLV7211AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	7211AI
TLV7211AIDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	7211AI
TLV7211ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY7211
TLV7211ID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY7211
TLV7211IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	YBKM
TLV7211IDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	YBKM
TLV7211IDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	Y7A
TLV7211IDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	Y7A
TLV7211IDCKRG4.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
TLV7211IDCKT	Obsolete	Production	SC70 (DCK) 6	-	-	Call TI	Call TI	-40 to 85	Y7A
TLV7211IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY7211
TLV7211IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY7211
TLV7211IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY7211
TLV7211IDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY7211

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

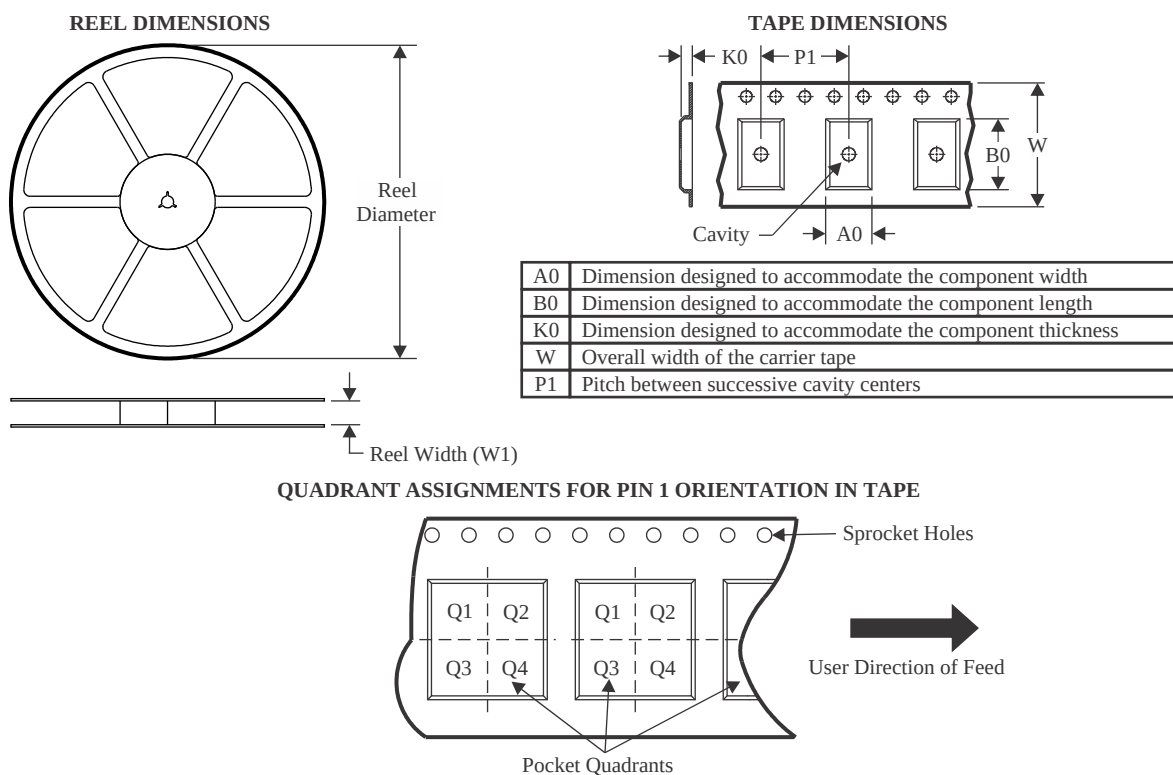
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

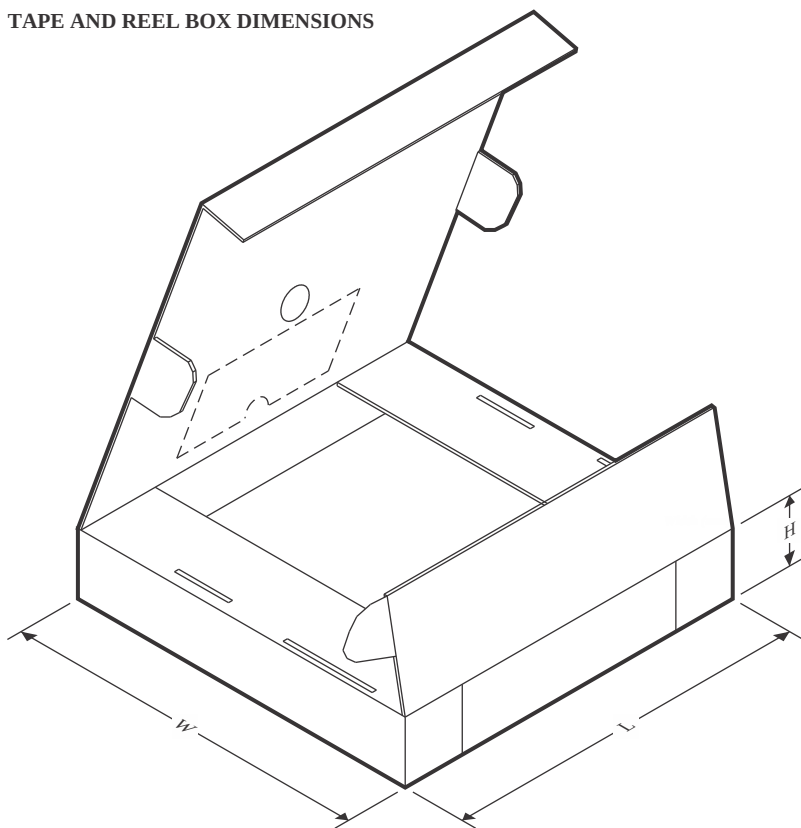
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV7211AIDBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV7211AIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV7211AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV7211IDBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV7211IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV7211IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV7211IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

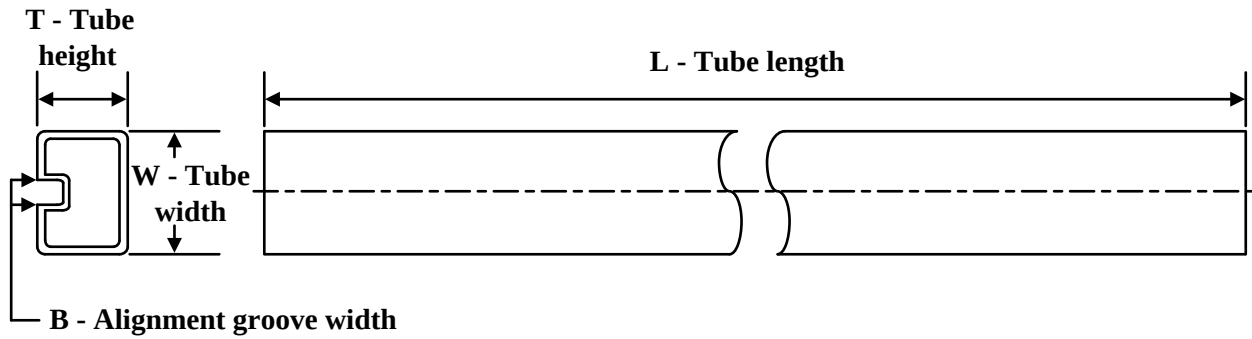
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

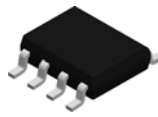
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV7211AIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV7211AIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV7211AIDR	SOIC	D	8	2500	340.5	338.1	20.6
TLV7211IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV7211IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV7211IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLV7211IDRG4	SOIC	D	8	2500	340.5	338.1	20.6

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLV7211AID	D	SOIC	8	75	507	8	3940	4.32
TLV7211AID.A	D	SOIC	8	75	507	8	3940	4.32
TLV7211ID	D	SOIC	8	75	507	8	3940	4.32
TLV7211ID.A	D	SOIC	8	75	507	8	3940	4.32

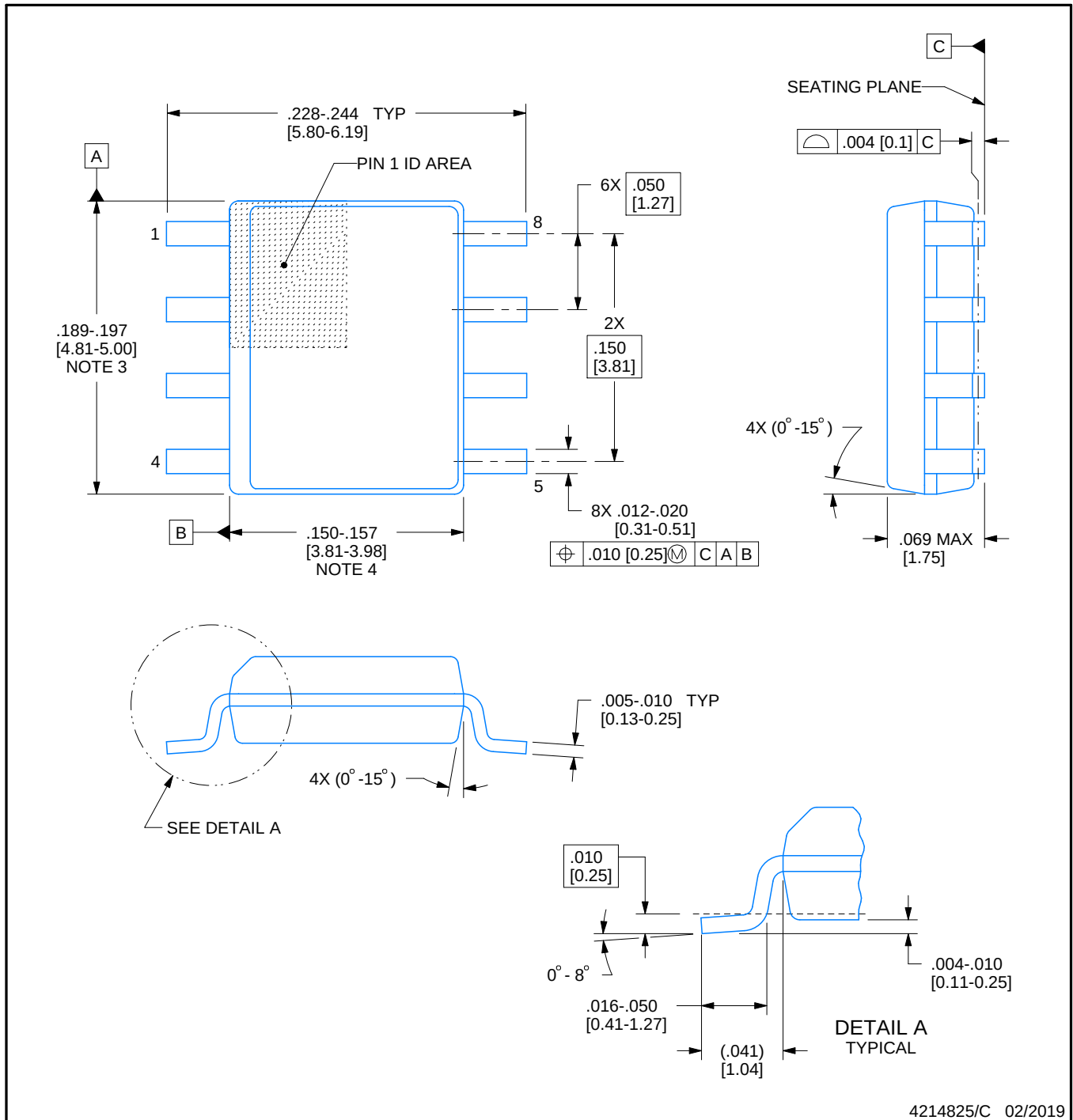


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

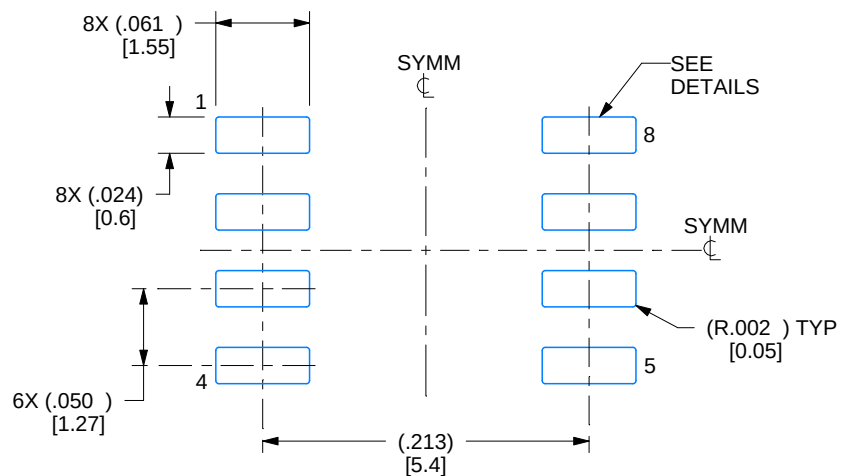
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

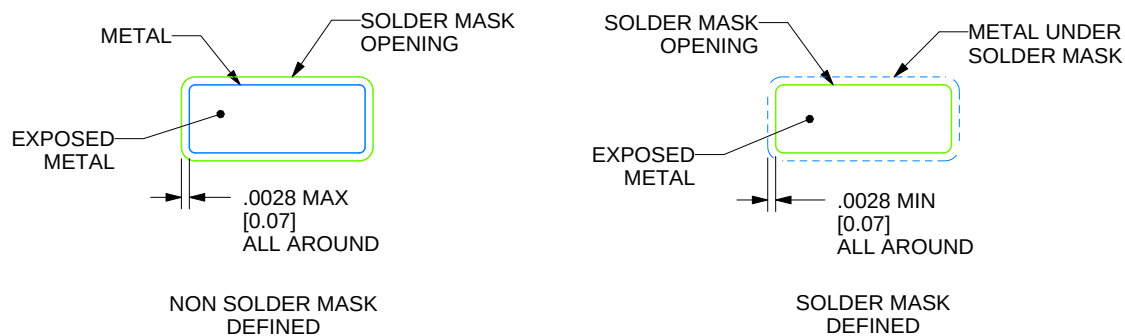
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

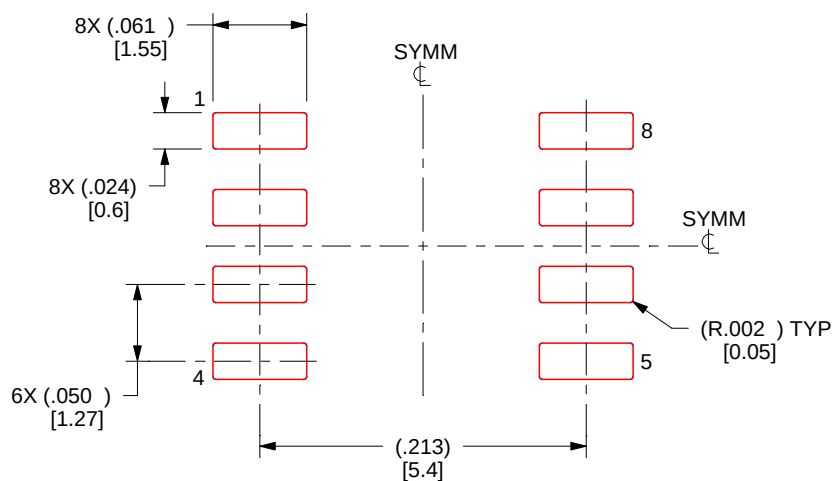
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

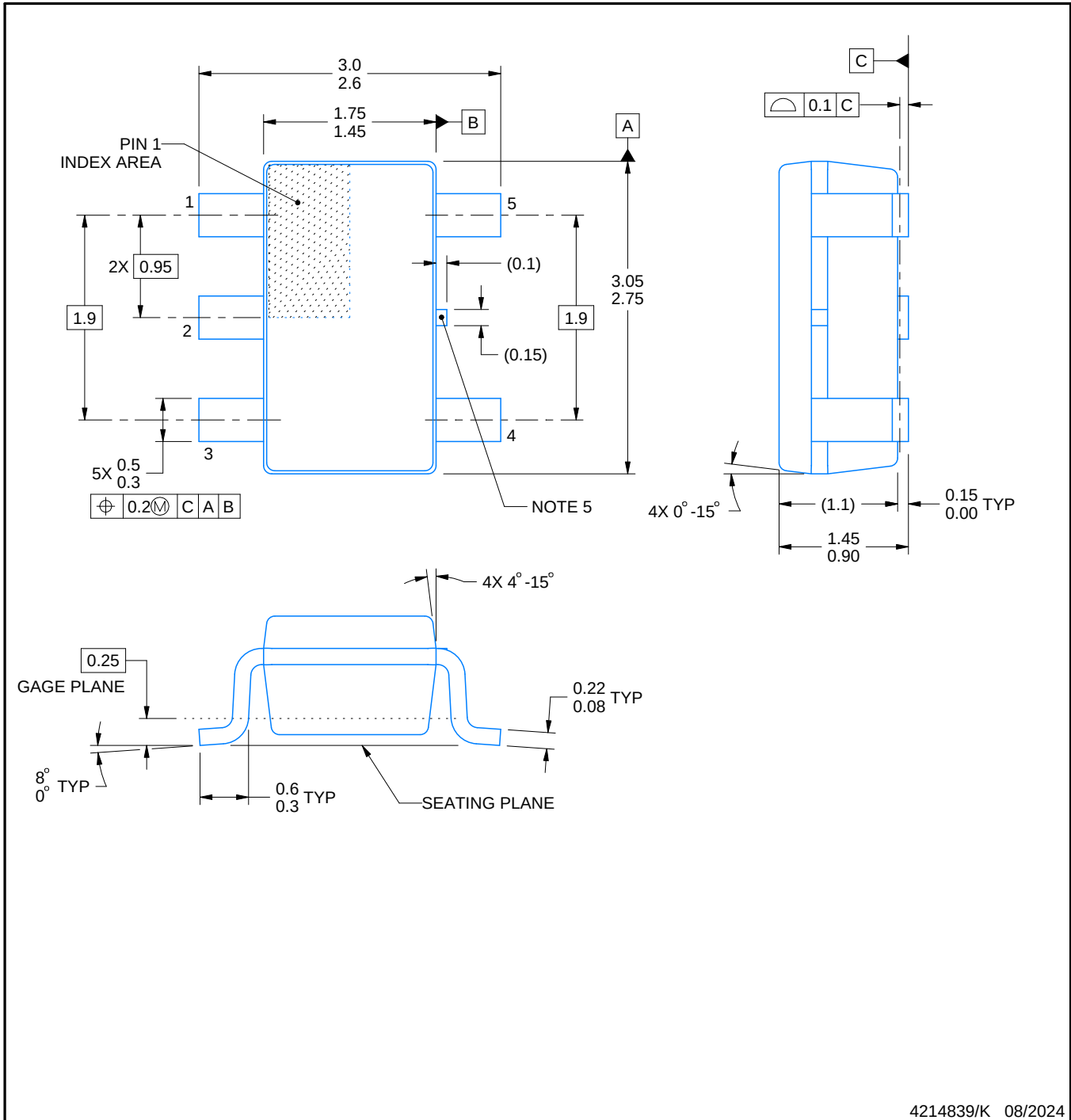


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

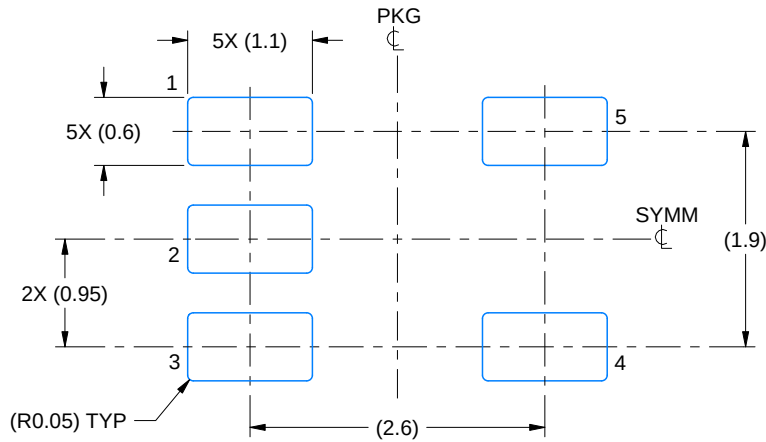
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

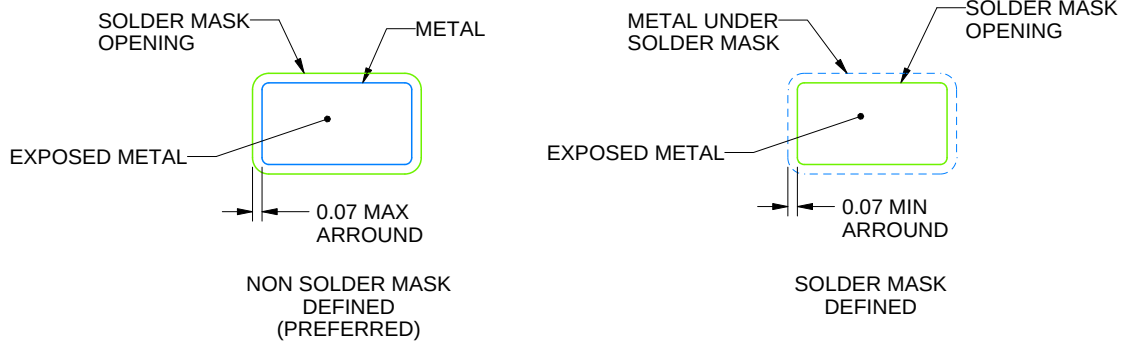
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

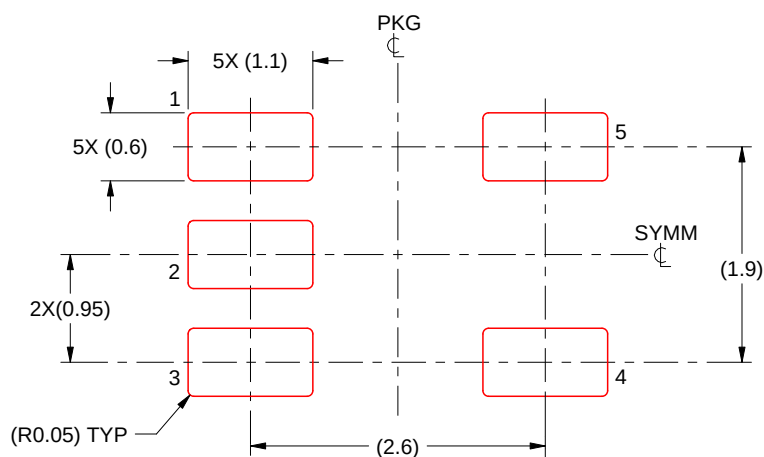
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

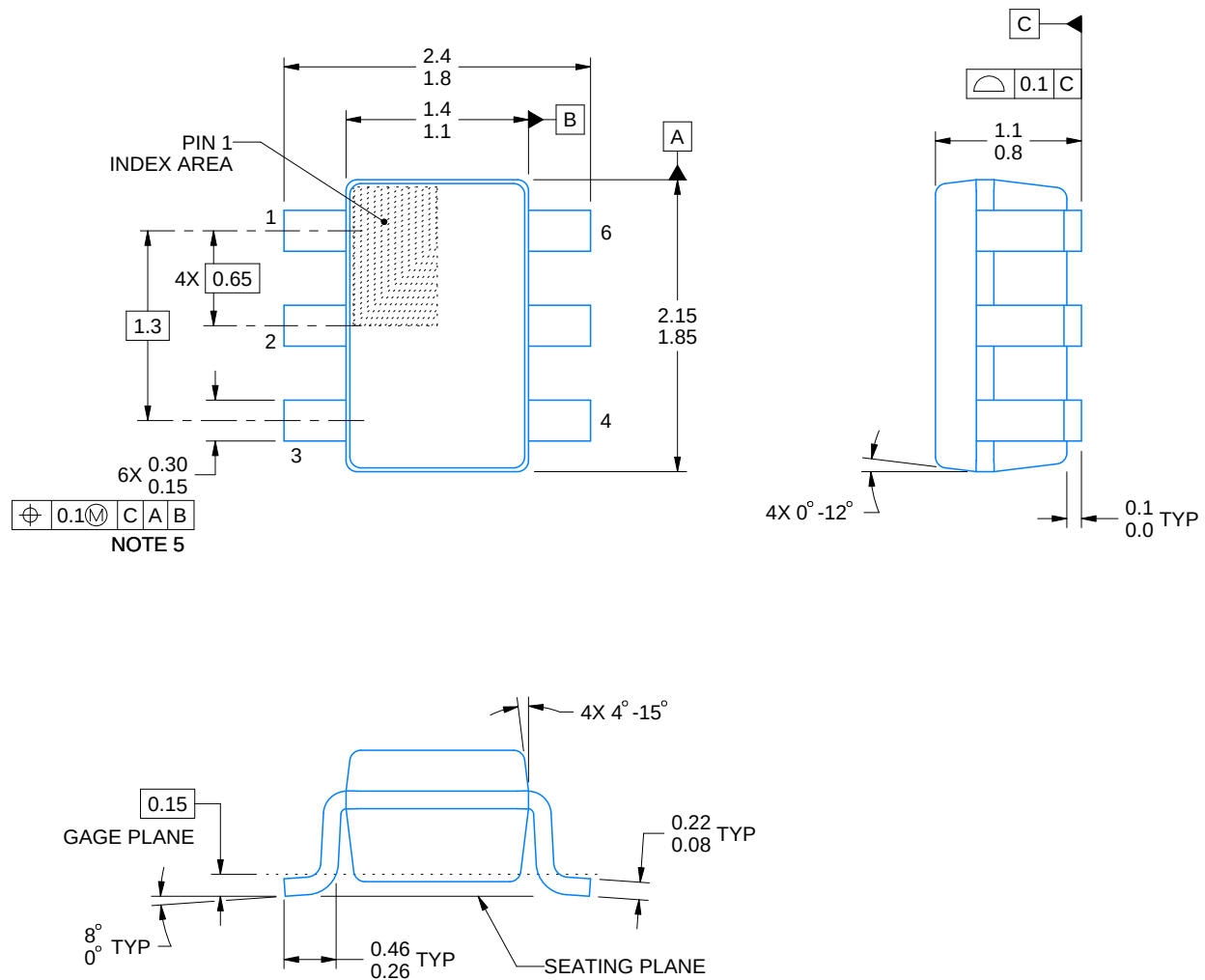


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

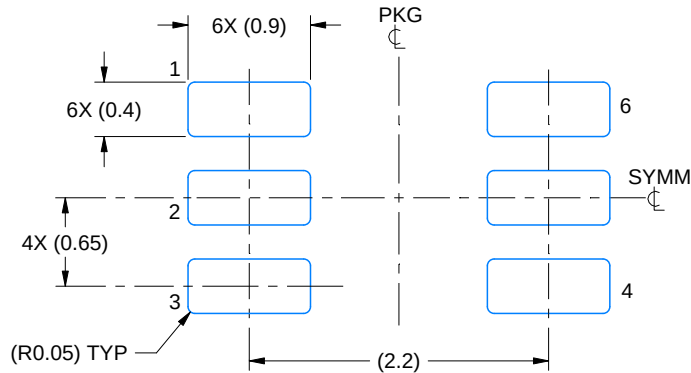
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



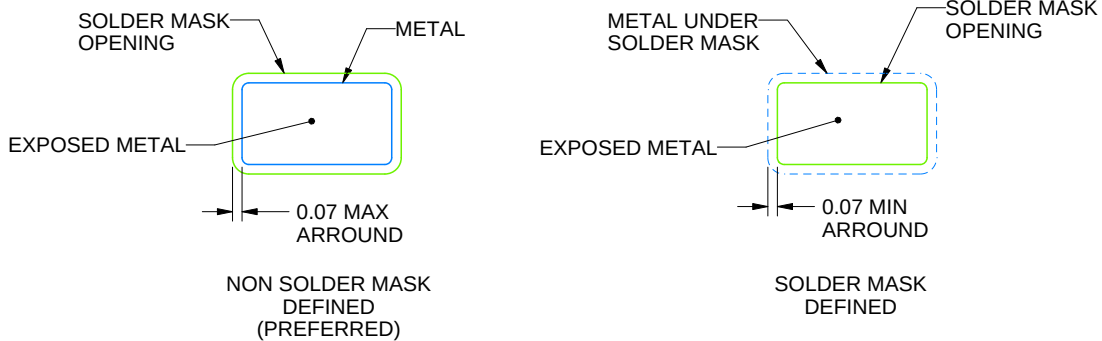
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

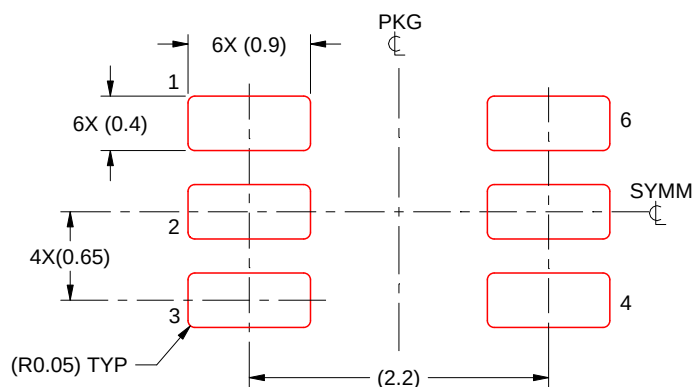


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 THICK STENCIL
 SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月