# TLV740 フォールドバック電流制限搭載、300mA、低ドロップアウト レギュレータ

## 1 特長

- フォールドバック過電流保護
- パッケージ:
  - 1mm × 1mm の 4 ピン X2SON
  - 5 ピン SOT-23
- 非常に低いドロップアウト:300mA 時に 460mV
- 精度:1%
- 低 $I_Q$:50µA
- 入力電圧範囲:1.4V ～ 5.5V
- 固定出力電圧で提供:
  1V ～ 3.3V
- 高 PSRR:1kHz 時に 65dB
- アクティブ出力放電

## 2 アプリケーション

- 携帯用メディア プレーヤ
- 標準的ノート PC
- ストリーミング メディア プレーヤ
- 家庭用プリンタ
- STB および DVR

## 3 説明

TLV740P 低ドロップアウト (LDO) リニア レギュレータは、静止電流の低い LDO で、ラインおよび負荷過渡性能が非常に優れており、消費電力の制限が厳しいアプリケーション向けです。このデバイスの標準精度は 1% です。

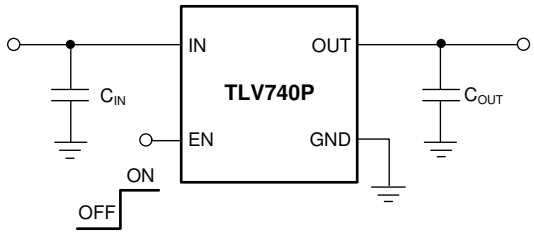
また TLV740P は、デバイスの電源投入およびイネーブル時に突入電流の制御も行います。TLV740P は定義済みの上限値に入力電流を制限し、入力電源から大電流が流れ込むことを防止します。この機能は、バッテリで動作するデバイスでは特に重要です。

TLV740P は、標準の DQN および DBV パッケージで供給されます。TLV740P は、出力負荷を迅速に放電するため、アクティブ プルダウン回路を備えています。

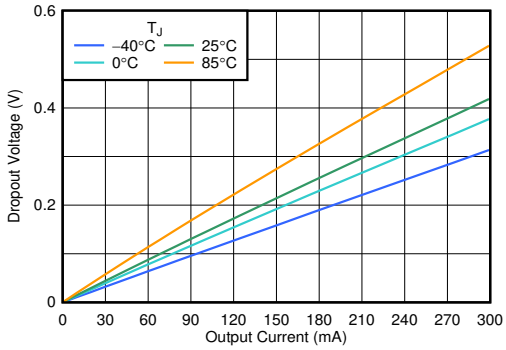
**パッケージ情報**

| 部品番号 | パッケージ(1) | パッケージ サイズ(2) |
|---|---|---|
| TLV740、TLV740P | DBV (SOT-23、5) | 2.9mm × 2.8mm |
| | DQN (X2SON、4) | 1mm × 1mm |

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。




**代表的なアプリケーション回路**




**ドロップアウト電圧と出力電流との関係 ($3.3V_{OUT}$)**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 説明**.....1
**4 ピン構成および機能**.....3
**5 仕様**.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 代表的特性.....6
**6 詳細説明**.....12
6.1 概要.....12
6.2 機能ブロック図.....12
6.3 機能説明.....12
6.4 デバイスの機能モード.....15
**7 アプリケーションと実装**.....16
7.1 アプリケーション情報.....16
7.2 代表的なアプリケーション.....21
7.3 設計のベスト プラクティス.....22
7.4 電源に関する推奨事項.....22
7.5 レイアウト.....22
**8 デバイスおよびドキュメントのサポート**.....24
8.1 デバイス サポート.....24
8.2 ドキュメントのサポート.....24
8.3 ドキュメントの更新通知を受け取る方法.....24
8.4 サポート・リソース.....24
8.5 商標.....24
8.6 静電気放電に関する注意事項.....24
8.7 用語集.....24
**9 改訂履歴**.....25
**10 メカニカル、パッケージ、および注文情報**.....25


Copyright © 2025 Texas Instruments Incorporated

# 4 ピン構成および機能

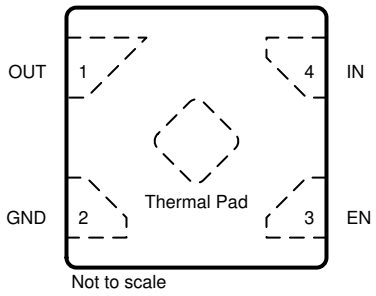



図 4-1. DQN パッケージ、4 ピン X2SON (上面図)

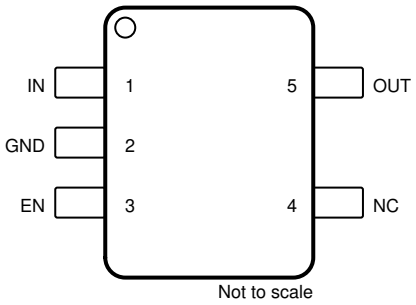



図 4-2. DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能

| ピン | | | タイプ | 説明 |
|---|---|---|---|---|
| 名称 | 番号 | | | |
| | X2SON | SOT-23 | | |
| EN | 3 | 3 | I | イネーブル ピン。このピンを High に駆動するとデバイスがイネーブルになり、Low に駆動するとデバイスがディセーブルになります。このピンをフローティングにしないでください。使用しない場合は、IN に EN ピンを接続します。 |
| GND | 2 | 2 | — | グランド ピン。このピンは、基板上でグランドに接続する必要があります。 |
| IN | 4 | 1 | I | 入力ピン。最良の過渡応答を得て入力インピーダンスを最小限に抑えるために、IN とグランドの間には推奨値以上のセラミック コンデンサを使用してください。詳細は*「推奨動作条件」*表を参照してください。入力コンデンサは、デバイスの入力のできるだけ近くに配置します。 |
| NC | — | 4 | — | 接続の無いピンこのピンは内部接続されていません。最高の放熱性能を得るためにグランドに接続するか、フローティングのままにします。 |
| OUT | 1 | 5 | O | レギュレートされた出力ピン。安定性のために、OUT とグランドの間に 1µF 以上の実効容量が必要です。*「推奨動作条件」*表を参照してください。最良の過渡応答を得るには、OUT とグラウンドの間に 1µF 以上のセラミック コンデンサを使用します。この出力コンデンサは、デバイスのできるだけ近くに配置します。 |
| サーマル パッド | | — | — | サーマル パッドは GND ピンに電気的に接続します。熱性能を向上させるには、サーマル パッドは大面積の GND プレーンに接続します。 |

Copyright © 2025 Texas Instruments Incorporated

# 5 仕様

## 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 電圧 | $V_{IN}$ | -0.3 | 6.0 | V |
| | $V_{EN}$ | -0.3 | $V_{IN}$ (2) | |
| | $V_{OUT}$ | -0.3 | $V_{IN}$ + 0.3 または 3.6(3) | |
| 温度 | 動作時の接合部温度、$T_J$ | -55 | 125 | °C |
| | 保存、$T_{stg}$ | -55 | 150 | |

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 最大値は $V_{IN}$ 以下です。
(3) 最大値は $V_{IN}$ + 0.3V または 3.6V のいずれか小さい方です。

## 5.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1) | ±2000 | V |
| | | デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2) | ±500 | |

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| $V_{IN}$ | 入力電圧 | 1.4 | | 5.5 | V |
| $V_{OUT}$ | 出力電圧 | 0 | | $V_{IN}$ + 0.3 | V |
| $V_{EN}$ | イネーブル電圧 | 0 | | $V_{IN}$ (1) | V |
| $I_{OUT}$ | 出力電流 | 0 | | 300 | mA |
| $C_{IN}$ | 入力コンデンサ | 1 | | | µF |
| $C_{OUT}$ | 出力コンデンサ(2) | 1 | | 100 | µF |
| $f_{EN}$ | トグル周波数を有効にします | | | 10 | kHz |
| $T_J$ | 接合部温度 | -40 | | 85 | °C |

(1) $V_{EN}$ は $V_{IN}$ 以下です。
(2) 安定させるために、最低 0.5µF の実効出力キャパシタンスが必要です。

## 5.4 熱に関する情報

| 熱評価基準(1) | | TLV740P | | 単位 |
|---|---|---|---|---|
| | | DQN (X2SON) | DBV (SOT-23-5) | |
| | | 4 ピン | 5 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 224.3 | 216 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 161.5 | 123.2 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 164.6 | 88.2 | °C/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 10.9 | 62.2 | °C/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 164.0 | 87.8 | °C/W |


Copyright © 2025 Texas Instruments Incorporated

| 熱評価基準(1) | | TLV740P | | 単位 |
|---|---|---|---|---|
| | | DQN (X2SON) | DBV (SOT-23-5) | |
| | | 4 ピン | 5 ピン | |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 154.8 | 該当なし | ℃/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.5 電気的特性

動作温度範囲内: ($T_J$ = +25°C)、$V_{IN}$ = $V_{OUT(NOM)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1µF (別途規定がない場合)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| | 出力精度 | 1V ≤ $V_{OUT}$ ≤ 3.3V | | -1 | | 1 | % |
| | 最大出力電流(1) | | | | | 300 | mA |
| | 出力電圧の温度係数 | $I_{OUT}$ = 0.1mA、-40℃ ≤ $T_J$ ≤ +85℃ | | | 0.0017 | | %/℃ |
| | ライン レギュレーション | $V_{OUT(NOM)}$ + 0.5V ≤ $V_{IN}$ ≤ 5.5V | | | 1 | 5 | mV |
| | ロード レギュレーション | 1mA ≤ $I_{OUT}$ ≤ 300mA | | | 10 | 30 | mV |
| $V_{DO}$ | ドロップアウト電圧 | $V_{OUT}$ = 0.95 x $V_{OUT(nom)}$ | 1V ≤ $V_{OUT}$ < 1.8V, $I_{OUT}$ = 300mA | | 1200 | 1300 | mV |
| | | $V_{OUT}$ = 0.95 x $V_{OUT(nom)}$ | 1.8V ≤ $V_{OUT}$ < 2.1V、$I_{OUT}$ = 300mA | | 700 | 800 | |
| | | $V_{OUT}$ = 0.95 x $V_{OUT(nom)}$ | 2.1V ≤ $V_{OUT}$ ≤ 3.3V、$I_{OUT}$ = 300mA | | 460 | 500 | |
| $I_{GND}$ | グランド電流 | $I_{OUT}$ = 0mA | | | 50 | 80 | µA |
| $I_{SHDN}$ | シャットダウン電流 | $V_{EN}$ ≤ 0.4V、3.1V ≤ $V_{IN}$ ≤ 5.5V、–40°C ≤ $T_J$ ≤ +85°C | | | 0.1 | 1 | µA |
| PSRR | 電源除去比 | $V_{IN}$ = 5.4V、$V_{OUT}$ = 3.3V、$I_{OUT}$ = 150mA | f = 100Hz | | 67 | | dB |
| | | | f = 10kHz | | 45 | | |
| | | | f = 1MHz | | 32 | | |
| Vn | 出力ノイズ電圧 | BW = 100Hz ～ 100kHz、$V_{OUT}$ = 1.0V、$I_{OUT}$ = 1mA | | | 65 | | $\mu V_{RMS}$ |
| $t_{STR}$ | 起動時間(2) | $C_{OUT}$ = 1µF、$I_{OUT}$ = 300mA | | | 100 | | µs |
| $V_{HI}$ | EN ピン高電圧範囲 (イネーブル) | $V_{IN}$ = 5.5V、$V_{EN}$ = 0V | | 1.0 | | $V_{IN}$ | V |
| $V_{LO}$ | EN ピン低電圧 (ディスエーブル) | | | 0 | | 0.4 | V |
| $I_{EN}$ | イネーブル ピンの電流 | EN = 5.5V、–40°C ≤ $T_J$ ≤ +85°C | | | 10 | | nA |
| $R_{PULLDOWN}$ | プルダウン抵抗(3) | $V_{IN}$ = 5.5V、$V_{EN}$ = 0V | | | 120 | | Ω |
| $I_{CL}$ | 出力電流制限 | | | 360 | | | mA |
| $I_{SC}$ | 短絡電流制限 | $V_{OUT}$ = 0V | | | 40 | | mA |
| $T_{SD(shutdown)}$ | サーマル シャットダウン温度 | シャットダウン、温度上昇 | | | 158 | | °C |
| $T_{SD(reset)}$ | サーマル シャットダウン リセット温度 | リセット、温度低下 | | | 140 | | |

(1) 最大出力電流は、PCB レイアウト、金属配線の幅、層数、周囲温度、その他の環境要因によって影響を受けます。システムの熱的制限は慎重に考慮する必要があります。
(2) スタートアップ時間 = EN アサート から 0.95 × $V_{OUT(NOM)}$までの時間。
(3) $R_{PULLDOWN}$ 仕様は、アクティブ出力放電を備えたデバイスにのみ適用されます。これらのデバイスは部品番号に「P」を含んでおり、アクティブ出力放電を備えていることを示しています。

Copyright © 2025 Texas Instruments Incorporated

## 5.6 代表的特性

特に記述のない限り、動作温度範囲以上 ($T_J$ = –40°C～85°C)、$V_{IN}$ = $V_{OUT(nom)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1 µF (特に記述のない限り)、標準値は $T_J$ = 25°C

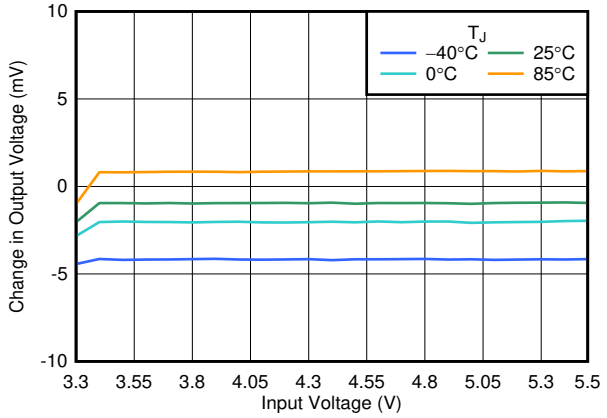



図 5-1. ライン レギュレーションと $V_{IN}$ との関係

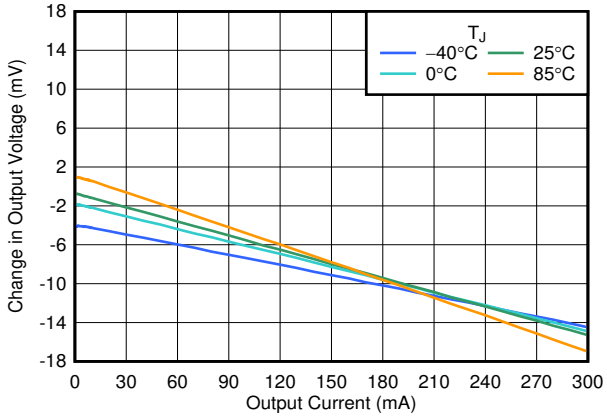



図 5-2. ロード レギュレーションと $I_{OUT}$ との関係

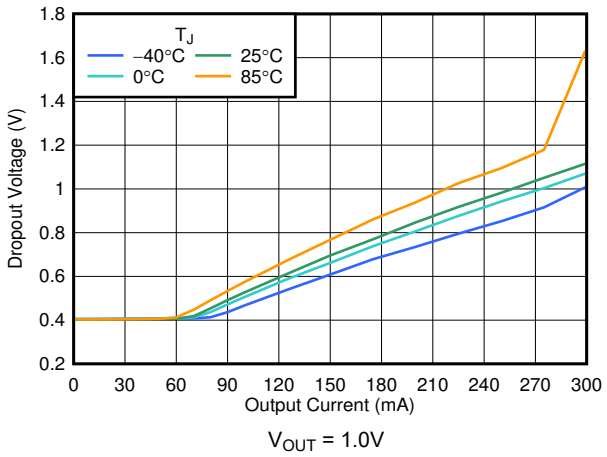



図 5-3. ドロップアウト電圧と $I_{OUT}$ との関係

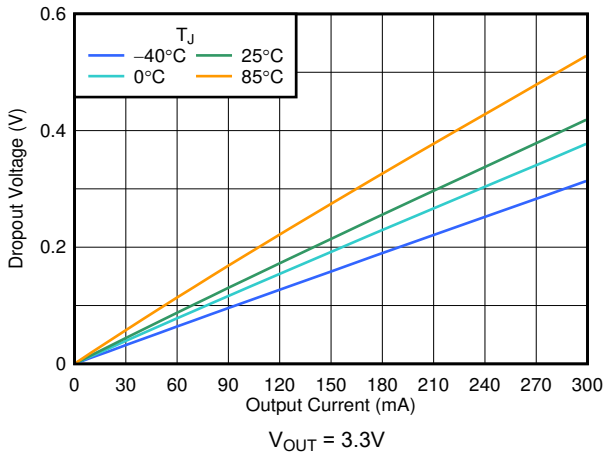



図 5-4. ドロップアウト電圧と $I_{OUT}$ との関係

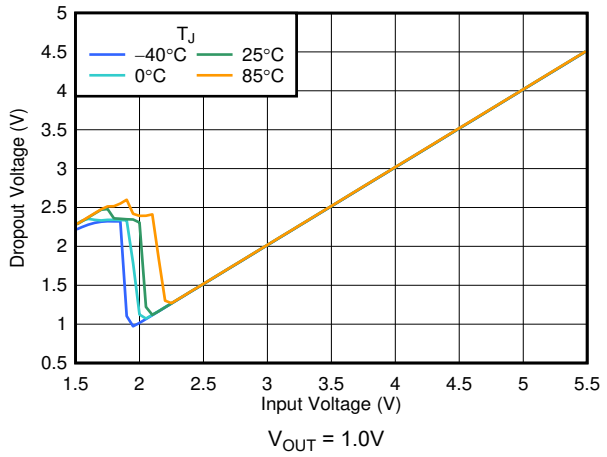



図 5-5. ドロップアウト電圧と $V_{IN}$ との関係

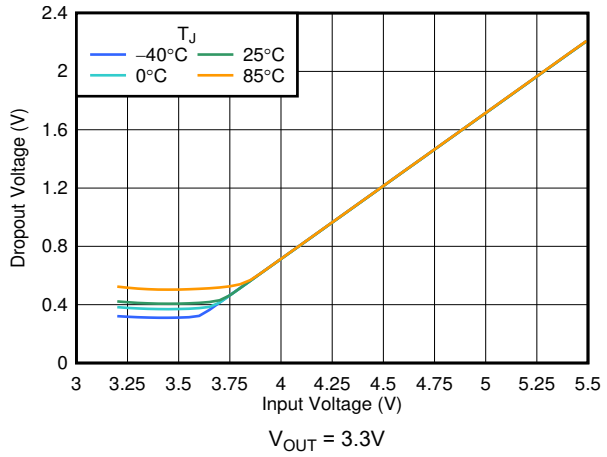
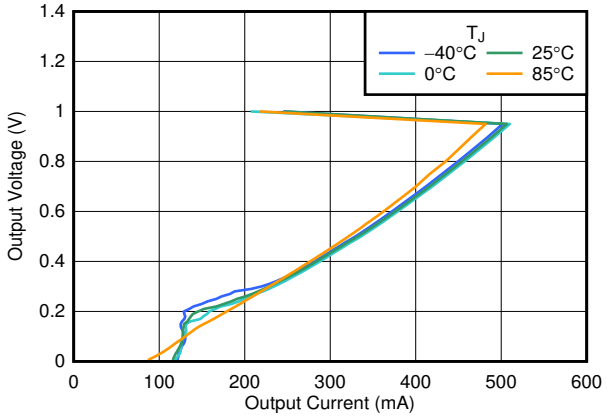



図 5-6. ドロップアウト電圧と $V_{IN}$ との関係


Copyright © 2025 Texas Instruments Incorporated

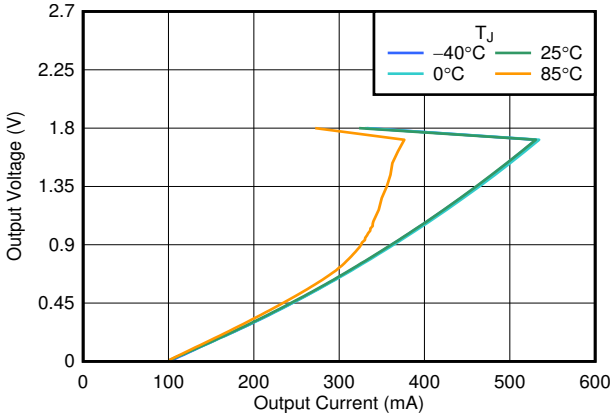
## 5.6 代表的特性 (続き)

特に記述のない限り、動作温度範囲以上 ($T_J$ = –40°C～85°C)、$V_{IN}$ = $V_{OUT(nom)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1 µF (特に記述のない限り)、標準値は $T_J$ = 25°C



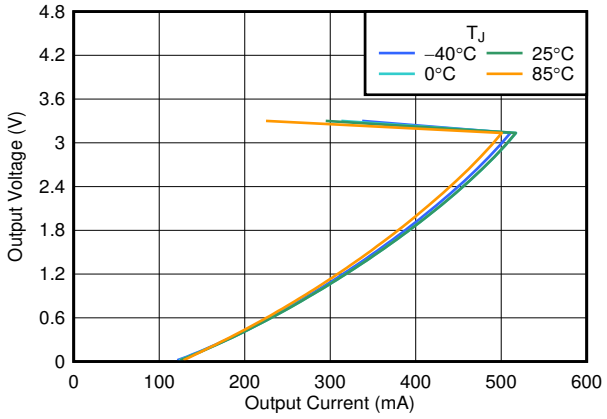

$V_{OUT}$ = 1.0V

**図 5-7. フォールドバック電流制限と $I_{OUT}$ との関係**



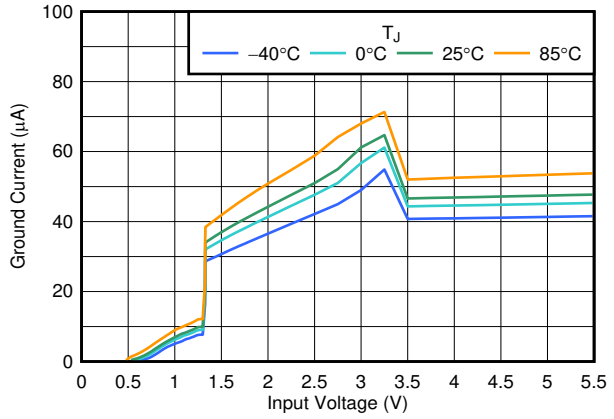

$V_{OUT}$ = 1.8V

**図 5-8. フォールドバック電流制限と $I_{OUT}$ との関係**




$V_{OUT}$ = 3.3V

**図 5-9. フォールドバック電流制限と $I_{OUT}$ との関係**

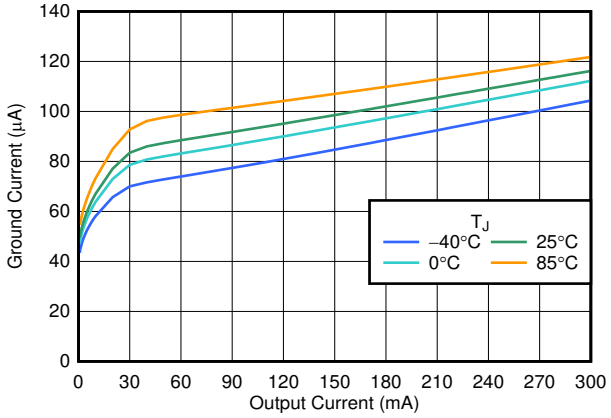



$V_{OUT}$ = 3.3V、$I_{OUT}$ = 0mA

**図 5-10. $I_{GND}$ と $V_{IN}$ との関係**

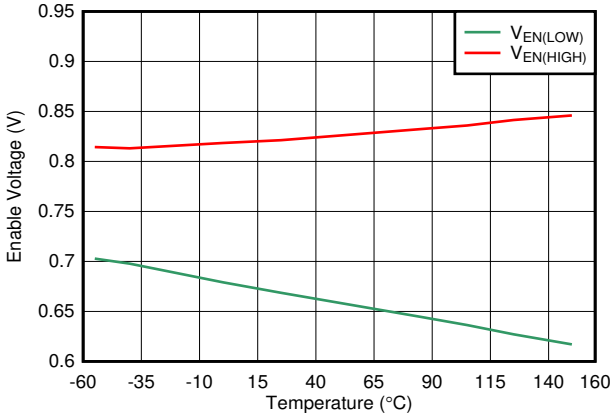
## 5.6 代表的特性 (続き)

特に記述のない限り、動作温度範囲以上 ($T_J$ = –40°C～85°C)、$V_{IN}$ = $V_{OUT(nom)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1 µF (特に記述のない限り)、標準値は $T_J$ = 25°C




$V_{OUT}$ = 3.3V

**図 5-11. $I_{GND}$ と $I_{OUT}$ との関係**




$V_{IN}$ = 5.5V

**図 5-12. EN High スレッショルドおよび Low スレッショルドと温度との関係**

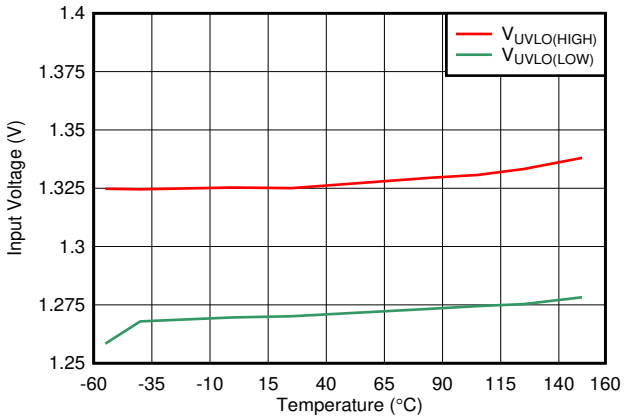
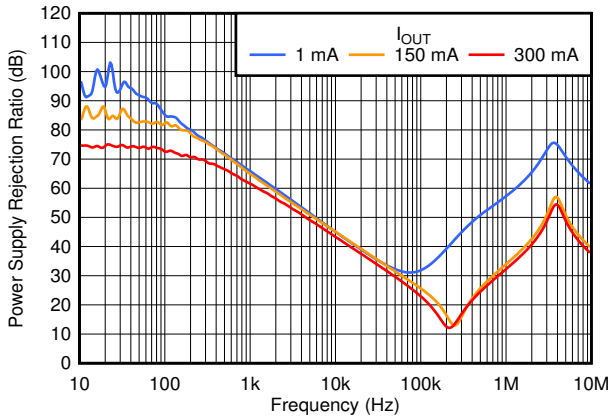



**図 5-13. UVLO 立ち上がりスレッショルドおよび立ち下がりスレッショルドと温度の関係**



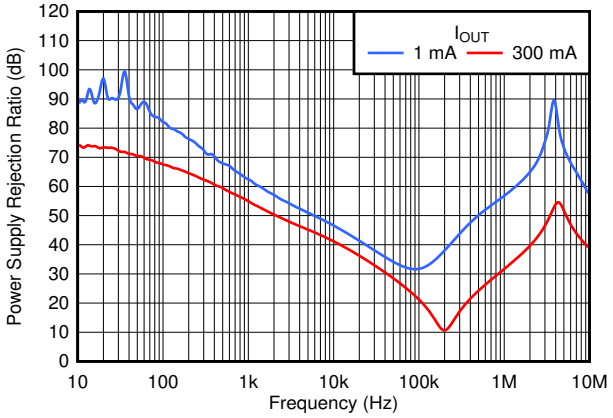

$C_{IN}$ = オープン、$V_{OUT}$ = 1.0V

**図 5-14. PSRR と周波数および $I_{OUT}$ との関係**


Copyright © 2025 Texas Instruments Incorporated

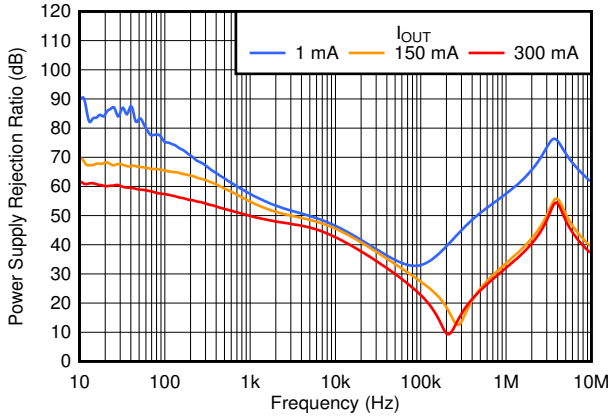
## 5.6 代表的特性 (続き)

特に記述のない限り、動作温度範囲以上 ($T_J$ = –40°C～85°C)、$V_{IN}$ = $V_{OUT(nom)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1 µF (特に記述のない限り)、標準値は $T_J$ = 25°C




$C_{IN}$ = オープン、$V_{OUT}$ = 1.8V

**図 5-15. PSRR と周波数および $I_{OUT}$ との関係**




$C_{IN}$ = オープン、$V_{OUT}$ = 3.3V

**図 5-16. PSRR と周波数および $I_{OUT}$ との関係**

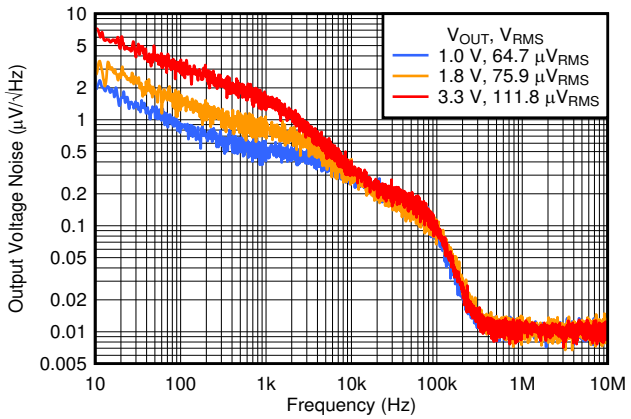
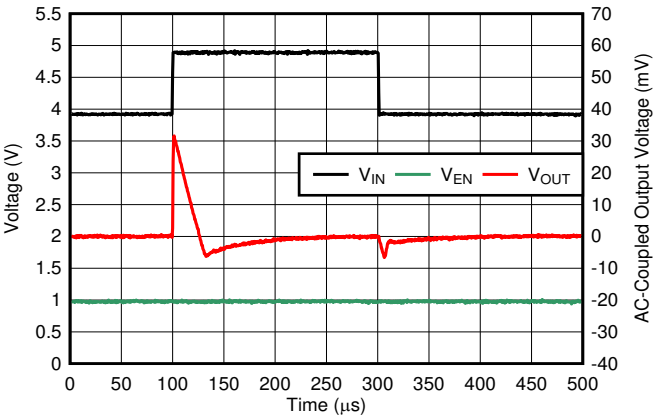
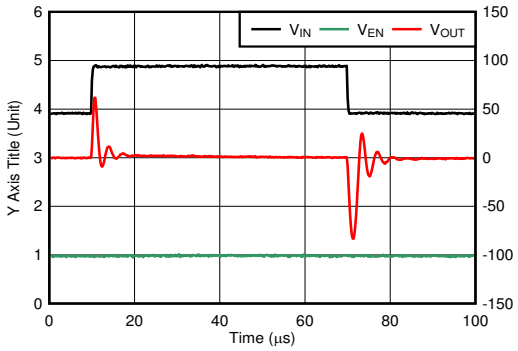



**図 5-17. 出力ノイズと周波数および $V_{OUT}$ との関係**



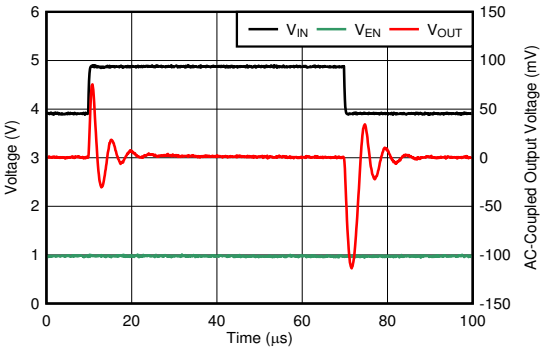

$V_{IN}$ = 3.9V～4.9V、スルーレート = 1V/µs、$V_{EN}$ = 1V、$I_{OUT}$ = 1mA

**図 5-18. ライン トランジェント**




$V_{IN}$ = 3.9V～4.9V、スルーレート = 1V/µs、$V_{EN}$ = 1V、$I_{OUT}$ = 150mA

**図 5-19. ライン トランジェント**



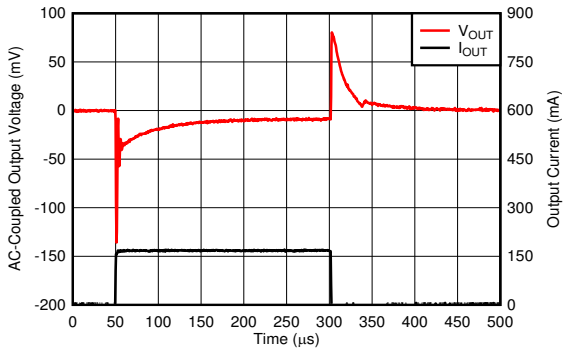

$V_{IN}$ = 3.9 V～4.9 V、スルーレート = 1V/µs、$V_{EN}$ = 1V、$I_{OUT}$ = 300mA

**図 5-20. ライン トランジェント**

Copyright © 2025 Texas Instruments Incorporated

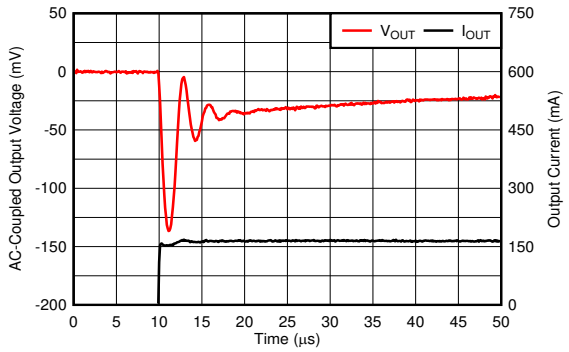
## 5.6 代表的特性 (続き)

特に記述のない限り、動作温度範囲以上 ($T_J$ = –40°C～85°C)、$V_{IN}$ = $V_{OUT(nom)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1 µF (特に記述のない限り)、標準値は $T_J$ = 25°C



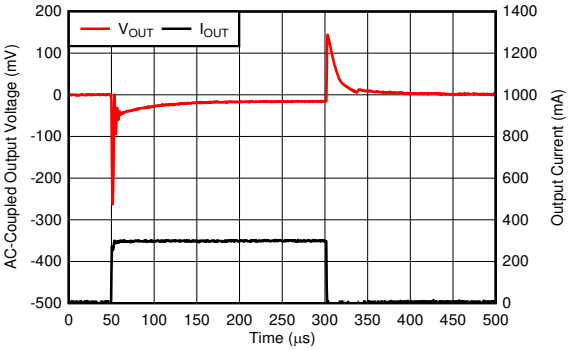

$V_{IN}$ = 3.9V、$V_{EN}$ = 1V、$I_{OUT}$ = 1mA～150mA、
スルーレート = 1A/µs

**図 5-21. 負荷過渡**



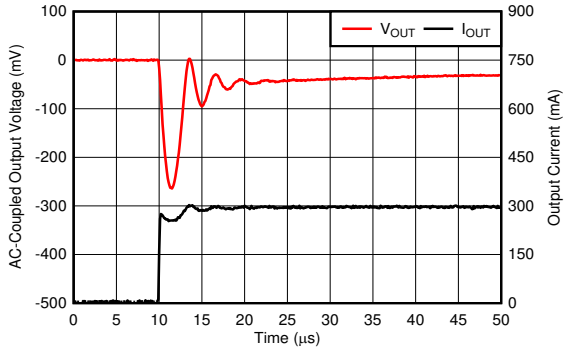

$V_{IN}$ = 3.9V、$V_{EN}$ = 1V、$I_{OUT}$ = 1mA～150 mA、
スルーレート = 1A/µs、立ち上がりエッジ

**図 5-22. 負荷過渡**



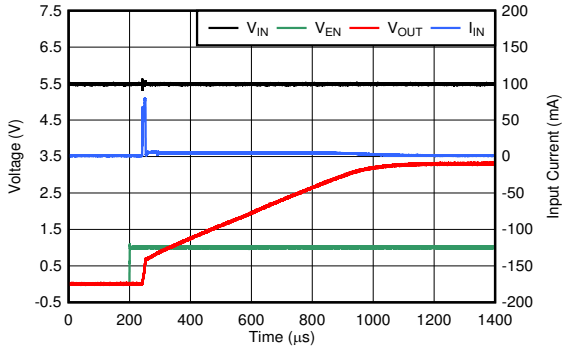

$V_{IN}$ = 3.9V、$V_{EN}$ = 1V、$I_{OUT}$ = 1mA～300mA、
スルーレート = 1A/µs

**図 5-23. 負荷過渡**



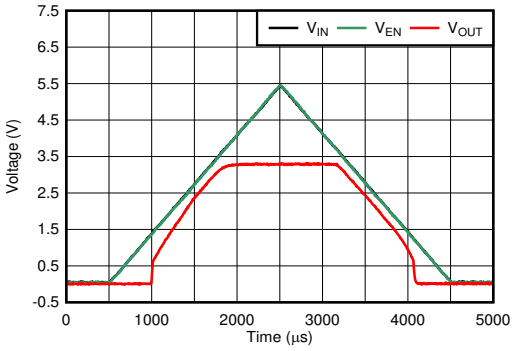

$V_{IN}$ = 3.9V、$V_{EN}$ = 1V、$I_{OUT}$ = 1mA～300 mA、
スルーレート = 1A/µs、立ち上がりエッジ

**図 5-24. 負荷過渡**




$V_{IN}$ = 5.5V、$C_{IN}$ = オープン、$I_{OUT}$ = オープン

**図 5-25. EN による起動、突入電流**



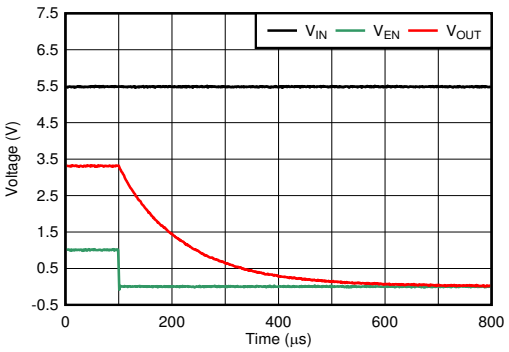

$V_{IN}$ = 0V～5.5V～0V、$I_{OUT}$ = 150mA

**図 5-26. スタートアップとシャットダウン**


Copyright © 2025 Texas Instruments Incorporated

## 5.6 代表的特性 (続き)

特に記述のない限り、動作温度範囲以上 ($T_J$ = –40°C～85°C)、$V_{IN}$ = $V_{OUT(nom)}$ + 2.1V、$I_{OUT}$ = 1mA、$V_{EN}$ = $V_{IN}$、および $C_{IN}$ = $C_{OUT}$ = 1 µF (特に記述のない限り)、標準値は $T_J$ = 25°C




$V_{IN}$ = 5.5V、$V_{EN}$ = 1V～0V、$I_{OUT}$ = オープン

**図 5-27. イネーブルによるシャットダウン応答**

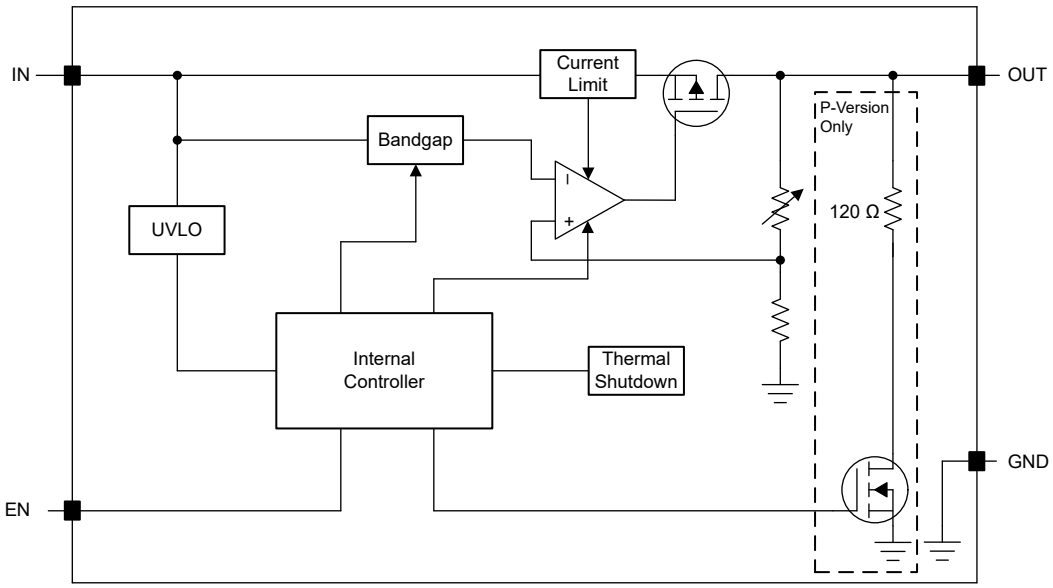
# 6 詳細説明

## 6.1 概要

TLV740P は、低静止電流で動作し、優れたラインおよび負荷過渡特性を備えた、コスト効率の高い低ドロップアウト (LDO) レギュレータです。これらの特性により、このデバイスは幅広いポータブル アプリケーションに最適です。

この LDO にはフォールドバック電流制限、出力イネーブル、アクティブ放電、低電圧誤動作防止 (UVLO) 、過熱保護機能があります。

## 6.2 機能ブロック図




## 6.3 機能説明

### *6.3.1 フォールドバック電流制限*

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ハイブリッド ブリックウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 ($I_{CL}$) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 ($I_{SC}$) と呼ばれる標準的な電流を供給します。$I_{CL}$ と $I_{SC}$ は、*「電気的特性」* 表に記載されています。

このデバイスでは、$V_{FOLDBACK} = 0.95V \times V_{OUT(NOM)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーション レポート*を参照してください。


Copyright © 2025 Texas Instruments Incorporated

図 6-1 は、フォールドバック電流制限の図を示しています。

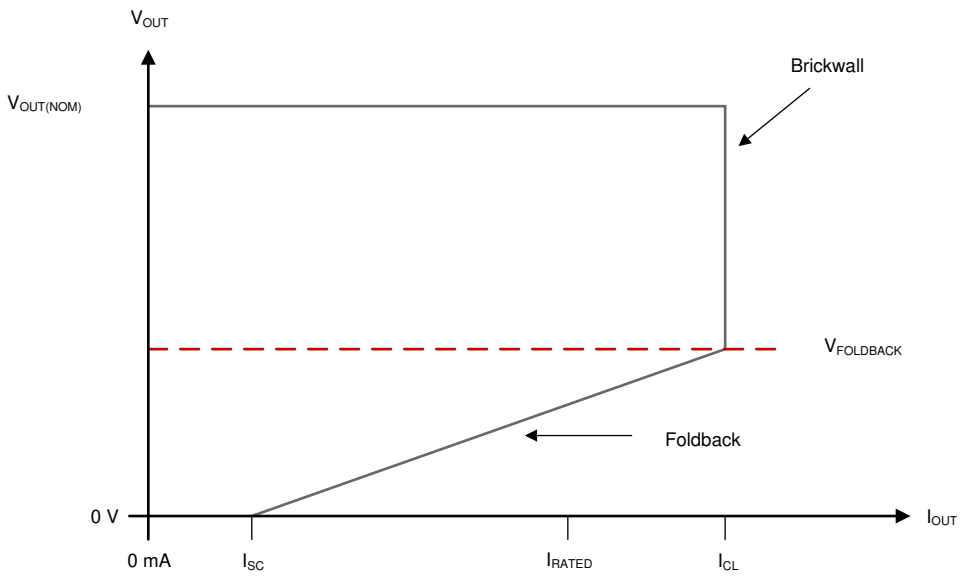



**図 6-1. フォールドバック電流制限**

### 6.3.2 出力イネーブル

イネーブル ピン (EN) はアクティブ High です。イネーブル ピンの電圧を EN ピンの最小 High レベル入力電圧以上にすることで、デバイスを有効化します (「*電気的特性*」表を参照)。イネーブル ピンの電圧を EN ピンの最大 Low レベル入力電圧未満に下げることで、デバイスをオフにします (「*電気的特性*」表を参照)。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

このデバイスには、ディスエーブル状態になると動作する内部プルダウン回路が備わっており、出力電圧を積極的に放電します。

### 6.3.3 アクティブ放電

このデバイスには、デバイスがディセーブルされて出力電圧をアクティブに放電する際に $R_{PULLDOWN}$ 抵抗をグランドに接続する内部プルダウン MOSFET があります。アクティブ放電回路は、イネーブル ピンによってアクティブになります。

入力電源が失われた後、大きな出力容量を放電するためにアクティブ放電回路に依存しないでください。出力から入力へ逆電流が流れる可能性があるためです。この逆電流の流れは、デバイスに損傷を与える可能性があります。逆電流をデバイスの定格電流の 5% 以下に短時間制限してください。

### 6.3.4 低電圧誤動作防止 (UVLO) 動作

UVLO 回路により、入力電源が最小動作電圧範囲に達する前にデバイスがディセーブル状態を維持し、入力電源が急激に低下した場合にデバイスが確実にシャットダウンされます。図 6-2 に、各種入力電圧イベントに対する UVLO 回路の応答を示します。この図は、次の領域に分かれています。

- 領域 A: 入力が UVLO 立ち上がりスレッショルドに達するまで、デバイスは起動しません。
- 領域 B: 通常動作、レギュレーション デバイス。
- 領域 C: UVLO 立ち下がりスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性がありますが、デバイスは引き続きイネーブル状態です。
- 領域 D: 通常動作、レギュレーション デバイス。

Copyright © 2025 Texas Instruments Incorporated

- 領域 E：UVLO 立ち下がりスレッショルドを下回るブラウンアウト イベント。ほとんどの場合、デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLO の立ち上がりスレッショルドに達すると、デバイスは再びイネーブル状態になり、通常の起動シーケンスに移行します。
- 領域 F：通常動作の後、入力電圧が UVLO の下降スレッショルドまで低下します。
- 領域 G：入力電圧が UVLO 立ち下がりスレッショルドから 0V まで低下すると、デバイスはディスセーブル状態になります。負荷およびアクティブ放電回路により、出力は低下します。

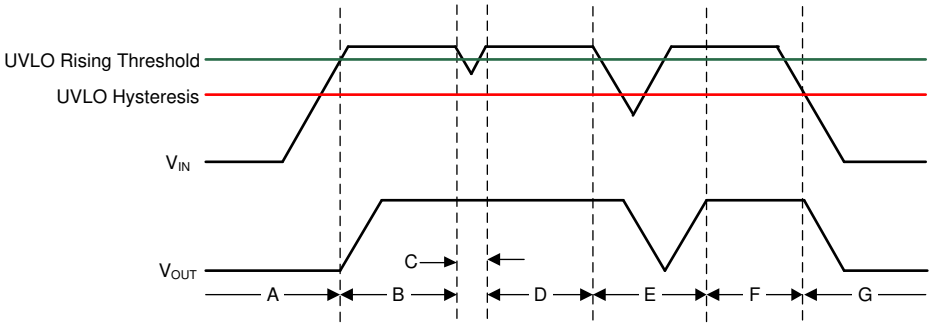



**図 6-2. UVLO の標準動作**

### 6.3.5 ドロップアウト電圧

ドロップアウト電圧 ($V_{DO}$) は、パス トランジスタが完全にオンとなる定格出力電流 ($I_{RATED}$) において、入力電圧から出力電圧を引いた値 ($V_{IN}$ - $V_{OUT}$) として定義されます。$I_{RATED}$ は、「*推奨動作条件*」表に記載されている最大 $I_{OUT}$ です。パス トランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

### 6.3.6 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度
($T_J$) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達したときに、本デバイスはサイクルのオンとオフを行うことがあります。起動時の消費電力は、デバイス両端での大きな $V_{IN}$ と $V_{OUT}$ 間の電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を「*推奨動作条件*」の表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。


Copyright © 2025 Texas Instruments Incorporated

## 6.4 デバイスの機能モード

### 6.4.1 デバイスの機能モードの比較

「*デバイス機能モード比較*」表には、さまざまな動作モードにつながる条件が示されています。パラメータ値については、「*電気的特性*」表を参照してください。

**表 6-1. デバイスの機能モードの比較**

| 動作モード | パラメータ | | | |
|---|---|---|---|---|
| | $V_{IN}$ | $V_{EN}$ | $I_{OUT}$ | $T_J$ |
| 通常動作 | $V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$ | $V_{EN} > V_{EN(HI)}$ | $I_{OUT} < I_{OUT(max)}$ | $T_J < T_{SD(shutdown)}$ |
| ドロップアウト動作 | $V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$ | $V_{EN} > V_{EN(HI)}$ | $I_{OUT} < I_{OUT(max)}$ | $T_J < T_{SD(shutdown)}$ |
| ディスエーブル (条件が真の場合、デバイスはディスエーブル) | $V_{IN} < V_{UVLO}$ | $V_{EN} < V_{EN(LOW)}$ | 該当なし | $T_J > T_{SD(shutdown)}$ |

### 6.4.2 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

### 6.4.3 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パストランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義される)、パストランジスタはオーム領域または三極管領域に駆動されます。 入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO}$) を加えた値以上に戻ると、デバイスがパストランジスタをリニア領域にプルバックする間に、出力電圧が短時間オーバーシュートする可能性があります。

### 6.4.4 ディセーブル

イネーブル ピンの電圧を EN ピンの最大 Low レベル入力電圧未満にすることで、このデバイスの出力をシャットダウンできます (「*電気的特性*」表を参照)。無効化されると、パストランジスタがオフになり、内部回路がシャットダウンされ、出力電圧は内部放電回路によって出力からグランドへアクティブに放電されます。

Copyright © 2025 Texas Instruments Incorporated

# 7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 7.1 アプリケーション情報

### 7.1.1 推奨されるコンデンサの種類

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。マルチレイヤ セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効容量は 50% 程度減少すると予想されます。*「推奨動作条件」* 表に推奨される入力および出力コンデンサは、公称値の約 50% の実効容量を表しています。

### 7.1.2 入出力コンデンサの要件

このデバイスには、安定性のために「*推奨動作条件*」の表に規定されているように、1.0µF 以上の入力コンデンサが必要です。立ち上がり時間の短い大きな負荷またはライン過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサが必要になることがあります。

また、このデバイスには、安定性のために「*推奨動作条件*」表に規定されているように、1.0µF 以上の出力コンデンサも必要です。デバイスの動的性能は、最小出力コンデンサよりも大容量のコンデンサを使用することで向上します。

### 7.1.3 ドロップアウト電圧

このデバイスは PMOS パス トランジスタを使用して、低ドロップアウトを実現しています。($V_{IN}$ – $V_{OUT}$) がドロップアウト電圧 ($V_{DO}$) よりも低い場合、PMOS パス デバイスはリニア領域での動作になり、入出力抵抗は PMOS パス素子の $R_{DS(on)}$ となります。$V_{DO}$ は出力電流にほぼ比例して変化します。これは、ドロップアウト時に PMOS デバイスが抵抗のように動作するためです。他のリニア レギュレータと同様に、($V_{IN}$ – $V_{OUT}$) がドロップアウトに近づくと、PSRR と過渡応答は低下します。


Copyright © 2025 Texas Instruments Incorporated

### 7.1.4 ドロップアウトの終了

一部のアプリケーションでは、起動時に $V_{IN}$ の上昇が遅くなるなど、LDO をドロップアウトにする過渡現象が発生します。他の LDO と同様に、このような条件からの回復時に出力がオーバーシュートする可能性があります。スルー レートと電圧レベルが適切な範囲にある場合、図 7-1 に示すように、ランプ入力電源によって、起動時に LDO のオーバーシュートが発生します。ドロップアウトからの復帰によって発生する $V_{OUT}$ のオーバーシュートを回避するために、イネーブル信号を使用して LDO の起動を遅延させます。$V_{IN}$ が $V_{OUT(nom)}$より大きい後、イネーブル信号を High に設定できます。

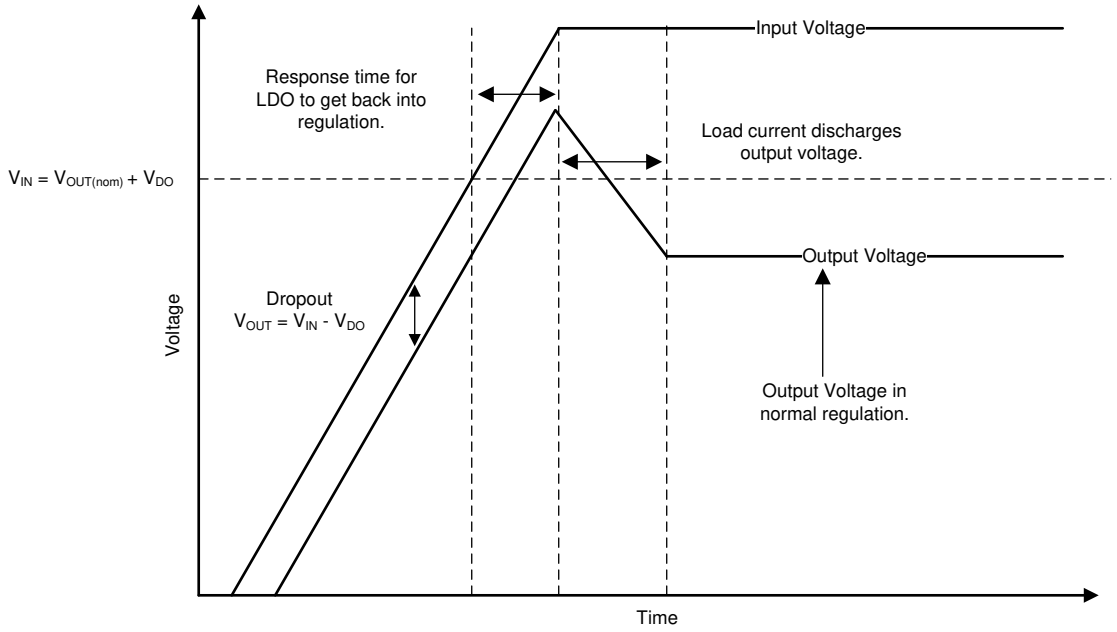



**図 7-1. ドロップアウトへの起動**

ドロップアウトのライン過渡事象も、レギュレータの出力のオーバーシュートの原因となる可能性があります。このようなオーバーシュートは、エラー アンプがパス素子のゲート容量を駆動し、適切なレギュレーションのためにゲートを適切な電圧に戻す必要があることが原因で発生します。図 7-2 に、ゲート電圧の内部で何が発生するか、および動作中にオーバーシュートが発生する可能性があるかを示します。LDO をドロップアウト状態にすると、ゲート電圧 ($V_{GS}$) がグランドまでプルダウンされ、パス デバイスを可能な限り低いオン抵抗にします。ただし、デバイスがドロップアウト状態のときにライン過渡状態が発生した場合、ループは安定化されず、ループが応答して出力電流が出力電圧をレギュレーション状態に戻すまで出力のオーバーシュートが発生する可能性があります。これらの過渡電圧が許容できない場合は、過渡電流が十分遅くなり、オーバーシュートを低減するまで、システムに入力容量を追加し続けます。

Copyright © 2025 Texas Instruments Incorporated

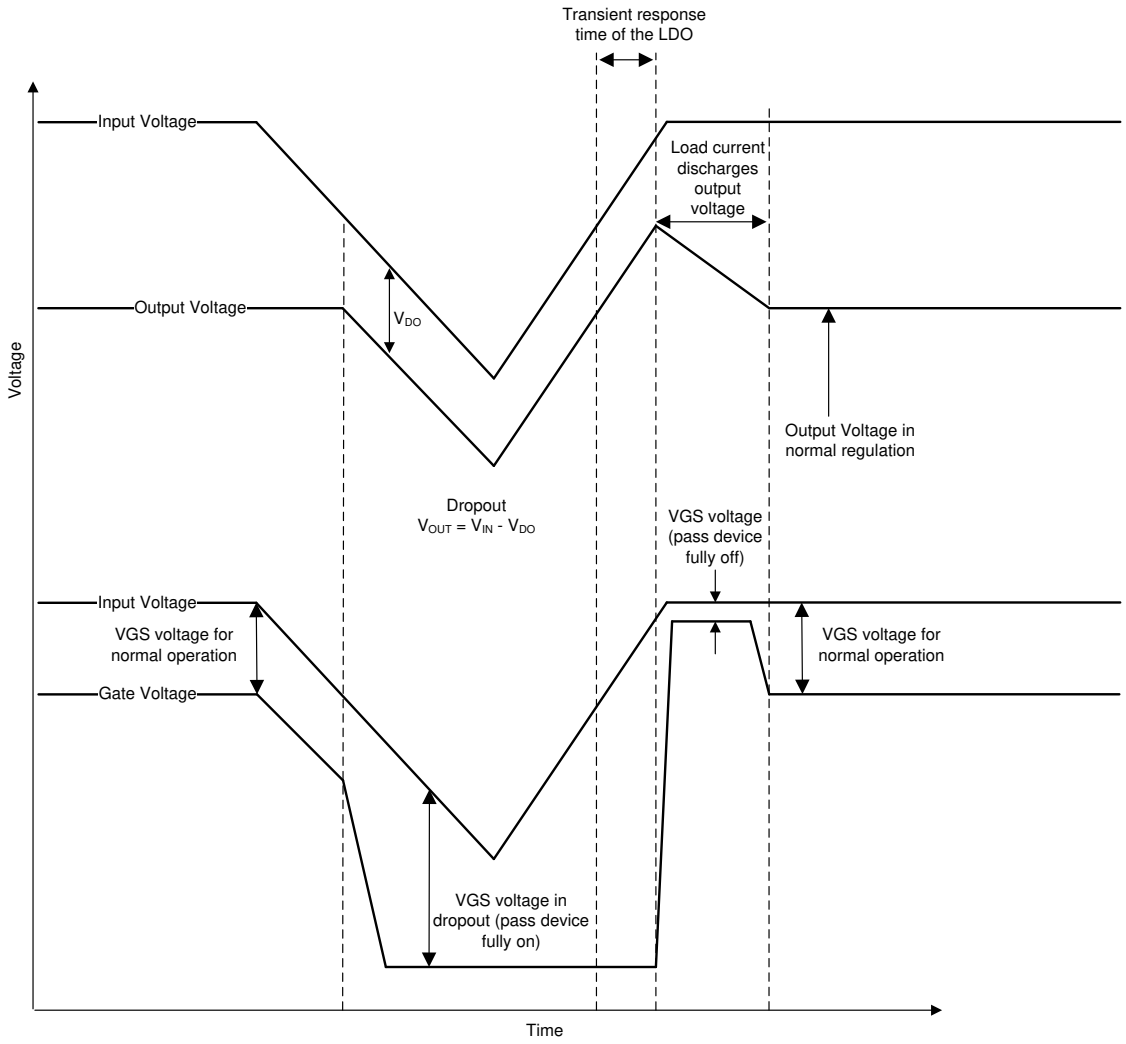



**図 7-2. ドロップアウトからのライン過渡応答**

### *7.1.5 過渡応答*

他のレギュレータと同様に、出力コンデンサの容量を大きくするとオーバーシュートおよびアンダーシュートの大きさは減少しますが、過渡応答の持続時間は長くなります。

### *7.1.6 逆電流*

最新の LDO と同様、非常に逆電流が大きく、このデバイスが損傷する可能性があります。

逆電流は、通常の導通チャネルではなく、パス素子のボディダイオードを通って流れます。振幅が大きいと、この電流が流れることにより、次のいずれかの条件の結果としてデバイスの長期的な信頼性が低下します。

- エレクトロマイグレーションによる劣化
- 過度の放熱
- ラッチアップ条件が発生する可能性がある


Copyright © 2025 Texas Instruments Incorporated

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT}$ > $V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。

- デバイスが大きな $C_{OUT}$ を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を使用する必要があります。図 7-3 に、デバイスを保護するための 1 つのアプローチを示します。

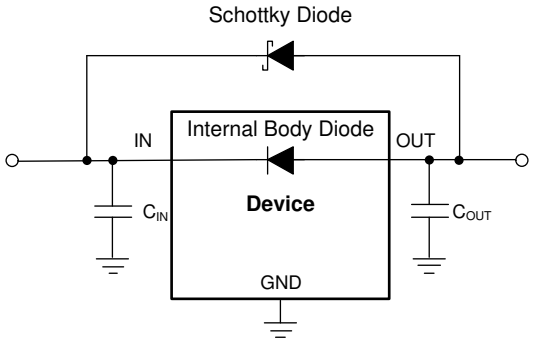



**図 7-3. ショットキー ダイオードを使用した逆電流保護の回路例**

### *7.1.7 消費電力 ($P_D$)*

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

1 次近似として、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。式 2 を使用して、$P_D$ を概算します。

$$P_D = (V_{IN} – V_{OUT}) \times I_{OUT} \quad (2)$$

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。TLV740P のドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

このデバイスの主な放熱経路は、DQN パッケージのサーマル パッドを通じたものです。このため、サーマル パッドは、デバイスの下にある銅パッド領域に半田付けする必要があります。このパッド領域にはめっきビアのアレイがあり、熱を内部層のプレーンや基板裏面の銅プレーンへと伝導します。

最大消費電力により、デバイスの最大許容接合部温度 ($T_J$) が決まります。式 3 によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 ($T_A$) に最も関連します。式 4 は出力電流用に式 3 を並べ替えたものです。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

$$I_{OUT} = (T_J – T_A) / [R_{\theta JA} \times (V_{IN} – V_{OUT})] \quad (4)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。*「推奨動作条件」* 表の $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、$R_{\theta JA}$ は実際には、X2SON パッケージの接合部からケース (底面) までの熱抵抗 ($R_{\theta JC(bot)}$) と PCB 銅による熱抵抗の寄与の合計になります。

Copyright © 2025 Texas Instruments Incorporated

#### 7.1.7.1 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 ($\Psi_{JT}$ と $\Psi_{JB}$) は、式 5 に従って使用されており、*推奨動作条件*表に示されています。

$$\Psi_{JT} : T_J = T_T + \Psi_{JT} \times P_D \text{ and } \Psi_{JB} : T_J = T_B + \Psi_{JB} \times P_D \quad (5)$$

ここで

- $P_D$ は、式 2 で説明されているように消費される電力です
- $T_T$ は、デバイス パッケージの中央上部の温度です
- $T_B$ は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

#### 7.1.7.2 連続動作の推奨領域

LDO の動作領域は、ドロップアウト電圧、出力電流、接合部温度、入力電圧によって制限されます。リニア レギュレータの連続動作の推奨領域を 図 7-4 に示し、これらは以下の部品で構成されています:

- ドロップアウト電圧は、与えられた出力電流レベルにおける入力と出力との間の最小差動電圧 ($V_{IN}$- $V_{OUT}$) を制限します。詳細については、該当セクション *ドロップアウト電圧* を参照してください。
- 定格出力電流は、推奨される最大出力電流レベルを制限します。この定格を超えると、デバイスが仕様外になります。
- 定格接合部温度によって、デバイスの最大接合部温度が制限されます。この定格を超えると、デバイスが仕様の範囲外になり、長期的な信頼性が低下します。
  - 傾きの形状は、式 4 によって示されます。傾きが非線形になるのは、LDO の最大定格接合温度が LDO 全体での電力損失によって制御されるためです。したがって、$V_{IN}$– $V_{OUT}$ が増加すると出力電流が減少する必要があります。
- 定格入力電圧範囲によって、$V_{IN}$ - $V_{OUT}$ の最小値と最大値の両方が決まります。

図 7-4 は、JEDEC 標準の高熱伝導率基板上で、このデバイスの推奨動作領域を示しています。使用されている基板の $R_{\theta JA}$ は *推奨動作条件*表に示されています。

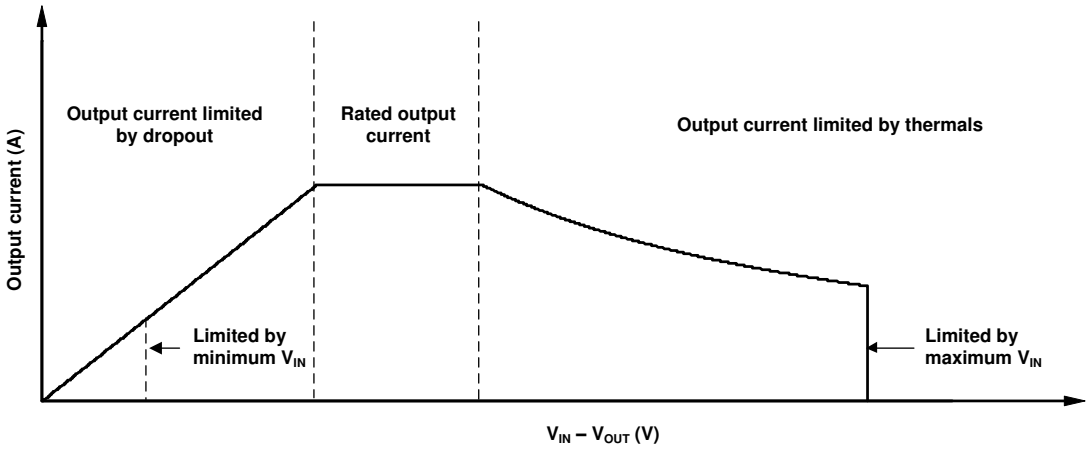



**図 7-4. 連続動作領域の説明**


Copyright © 2025 Texas Instruments Incorporated

## 7.2 代表的なアプリケーション

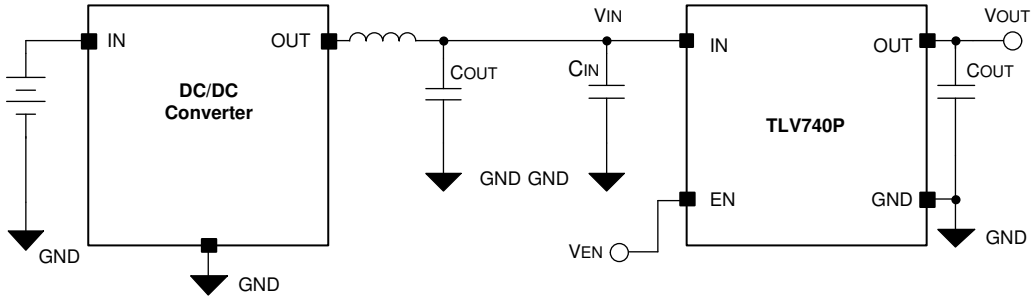



**図 7-5. DC/DC コンバータからの動作**

### 7.2.1 設計要件

このアプリケーションの設計要件を、表 7-1 にまとめます。

**表 7-1. 設計パラメータ**

| パラメータ | 設計要件 |
|---|---|
| 入力電圧 | 3.9V |
| 出力電圧 | 1.8V |
| 出力負荷 | 30mA |
| 出力コンデンサ | 1µF |

### 7.2.2 詳細な設計手順

この設計例では、1.8V 出力電圧デバイスが選択されています。デバイスは、バッテリに接続された DC/DC コンバータで動作します。この設計では、$V_{IN}$ と $V_{OUT}$ の間に 2.1V のヘッドルームを設け、デバイスをドロップアウト電圧仕様内に維持し、すべての負荷条件下でレギュレーションを保つようにしています。

### 7.2.3 アプリケーション曲線

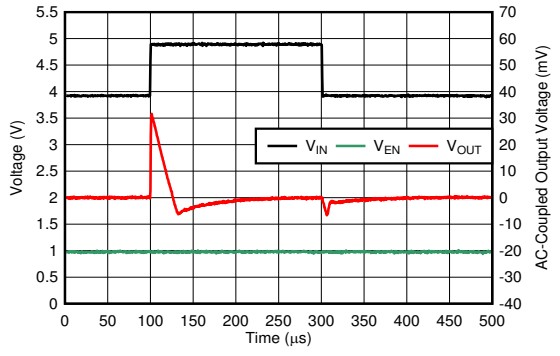



**図 7-6. VIN ライン過渡、$I_{OUT}$ = 1mA**

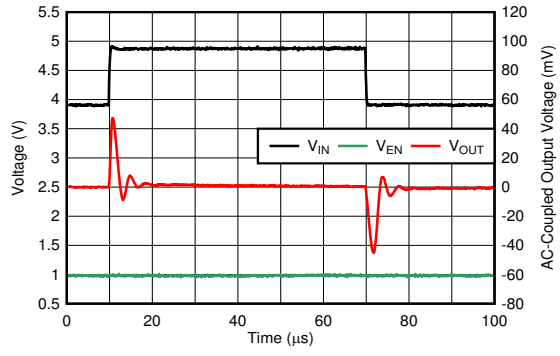



**図 7-7. VIN ライン過渡、$I_{OUT}$ = 30mA**

## 7.3 設計のベスト プラクティス

最良の過渡応答を得るために、レギュレータの OUT ピンのできるだけ近くに、少なくとも 1µF のセラミック コンデンサを配置します。

最良の過渡応答を得るために、IN ピンのできるだけ近くに少なくとも 1µF のコンデンサを配置します。

出力コンデンサは、レギュレータから 10mm 以上離れた位置に配置しないでください。

絶対最大定格を超過してはなりません。

電流制限状態やサーマル シャットダウン付近でデバイスを連続的に動作させないでください。

## 7.4 電源に関する推奨事項

このデバイスは、1.4V ～ 5.5V の入力電源電圧範囲で動作するように設計されています。入力電源が十分に安定しており、不要なノイズが含まれていないようにしてください。出力電圧が適切に制御され、動的性能が最適であることを確認するには、入力電圧が少なくとも $V_{OUT(nom)}$ + 2.1V であることを確認します。TI では、特に過渡時に入力電源のインピーダンスを低減するため、1µF 以上の入力コンデンサを使用することを推奨しています。

## 7.5 レイアウト

### *7.5.1 レイアウトのガイドライン*

- 入力および出力コンデンサは、本デバイスのできるだけ近くに配置します。
- 放熱性能を最適化するため、デバイス接続に銅プレーンを使用します。
- デバイスの周囲にサーマル ビアを配置して、熱を分散させます。
- DQN パッケージのサーマル パッド直下にのみ、テント加工されたサーマル ビアを配置してください。テント加工されていないビアは、半田付けのプロセスでサーマル パッドの接合部から半田や半田ペーストを吸い上げてしまうことがあり、それによってサーマル パッド上の半田接合が不十分になる可能性があります。

### *7.5.2 レイアウト例*

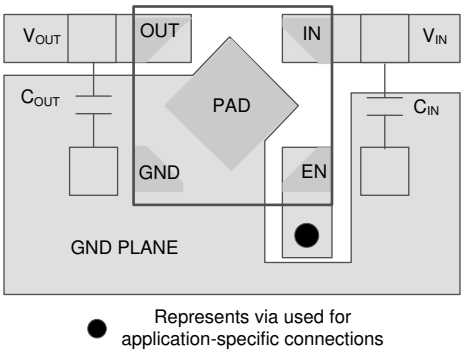



**図 7-8. DQN パッケージ向けレイアウトの例**


Copyright © 2025 Texas Instruments Incorporated

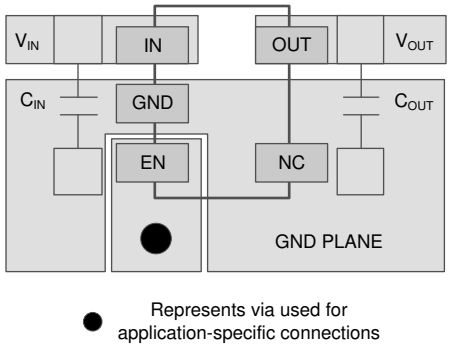



**図 7-9. DBV パッケージ向けレイアウトの例**

# 8 デバイスおよびドキュメントのサポート

## 8.1 デバイス サポート

### *8.1.1 開発サポート*

#### 8.1.1.1 デバイスの命名規則

**表 8-1. 注文情報** (1) (2)

| 製品名 | $V_O$ |
|---|---|
| TLV740**xx(x)Pyyyz** | **XX(X)** は公称出力電圧です。出力電圧が 100mV 単位の場合は注文番号に 2 桁が使用され、それ以外の場合は 3 桁が使用されます (例:28 = 2.8V、175 = 1.75V)。<br>**P** はオプションです。P 付きのデバイスは、アクティブ出力放電機能を備えた LDO レギュレータを備えています。<br>**YYY** はパッケージ指定子です。<br>**Z** はパッケージ数量です。R はリール (3000 ピース)、T はテープ (250 ピース) を表します。 |

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。
(2) 出力電圧は、1.0V から 3.3V まで、50mV 刻みで設定できます。詳細と入手可能性については、工場にお問い合わせください。

## 8.2 ドキュメントのサポート

### *8.2.1 関連資料*

関連資料については、以下を参照してください。

- 
- テキサス・インスツルメンツ、*『汎用低ドロップアウト(LDO)リニア電圧レギュレータ MultiPkgLDOEVM-823 評価基板』ユーザー ガイド*
- テキサス・インスツルメンツ、*新しい熱評価基準の解説アプリケーション レポート*

## 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。


Copyright © 2025 Texas Instruments Incorporated

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision A (December 2020) to Revision B (August 2025) | Page |
|---|---|
| • ドキュメントに TLV740 パッケージを追加 | 1 |
| • Rpulldown の脚注を追加 | 5 |
| • *機能ブロック図*に P バージョンのみの情報を追加 | 12 |

| Changes from Revision * (June 2020) to Revision A (December 2020) | Page |
|---|---|
| • DQN パッケージのステータスをプレビューから量産データに変更 | 1 |

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

# 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| TLV74010PDBVR | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 74010 |
| TLV74010PDBVR.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 74010 |
| TLV74010PDQNR | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 10 |
| TLV74010PDQNR.A | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 10 |
| TLV74012PDQNR | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 12 |
| TLV74012PDQNR.A | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 12 |
| TLV74018DBVR | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 85 | 3XEF |
| TLV74018PDBVR | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU \| SN | Level-1-260C-UNLIM | -40 to 85 | 74018 |
| TLV74018PDBVR.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 74018 |
| TLV74018PDQNR | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 18 |
| TLV74018PDQNR.A | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 18 |
| TLV74028PDQNR | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 28 |
| TLV74028PDQNR.A | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 28 |
| TLV74033PDBVR | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU \| SN | Level-1-260C-UNLIM | -40 to 85 | 74033 |
| TLV74033PDBVR.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 74033 |
| TLV74033PDBVRG4 | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 74033 |
| TLV74033PDBVRG4.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 74033 |
| TLV74033PDQNR | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 33 |
| TLV74033PDQNR.A | Active | Production | X2SON (DQN) \| 4 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | 33 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

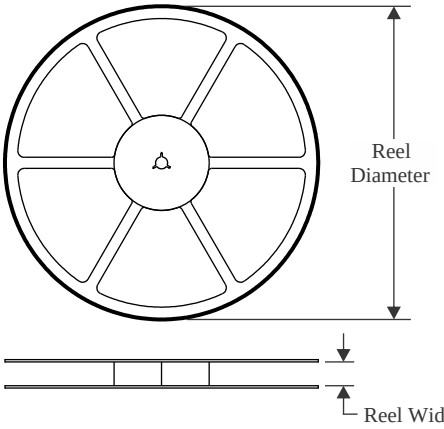
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

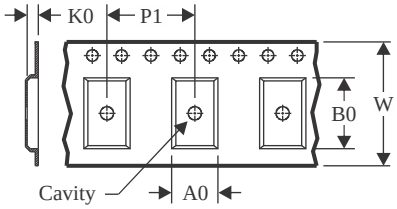
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

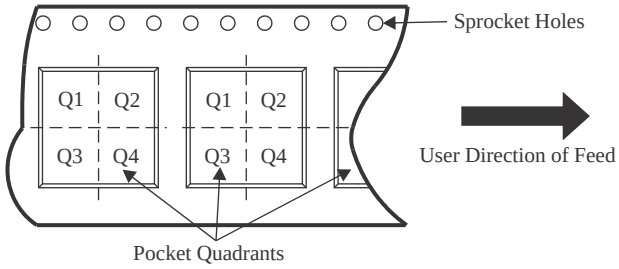



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

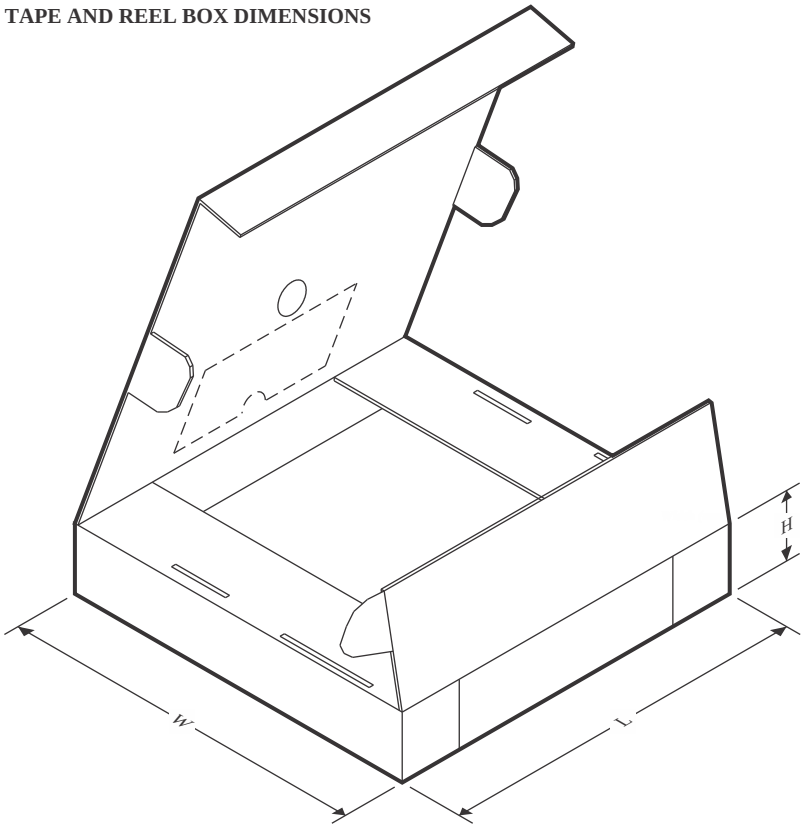
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TLV74010PDBVR | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TLV74010PDQNR | X2SON | DQN | 4 | 3000 | 180.0 | 8.4 | 1.16 | 1.16 | 0.5 | 4.0 | 8.0 | Q2 |
| TLV74012PDQNR | X2SON | DQN | 4 | 3000 | 180.0 | 8.4 | 1.16 | 1.16 | 0.5 | 4.0 | 8.0 | Q2 |
| TLV74018DBVR | SOT-23 | DBV | 5 | 3000 | 178.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TLV74018PDBVR | SOT-23 | DBV | 5 | 3000 | 178.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TLV74018PDQNR | X2SON | DQN | 4 | 3000 | 180.0 | 8.4 | 1.16 | 1.16 | 0.5 | 4.0 | 8.0 | Q2 |
| TLV74028PDQNR | X2SON | DQN | 4 | 3000 | 180.0 | 8.4 | 1.16 | 1.16 | 0.5 | 4.0 | 8.0 | Q2 |
| TLV74033PDBVR | SOT-23 | DBV | 5 | 3000 | 178.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TLV74033PDBVRG4 | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TLV74033PDQNR | X2SON | DQN | 4 | 3000 | 180.0 | 8.4 | 1.16 | 1.16 | 0.5 | 4.0 | 8.0 | Q2 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| TLV74010PDBVR | SOT-23 | DBV | 5 | 3000 | 210.0 | 185.0 | 35.0 |
| TLV74010PDQNR | X2SON | DQN | 4 | 3000 | 210.0 | 185.0 | 35.0 |
| TLV74012PDQNR | X2SON | DQN | 4 | 3000 | 210.0 | 185.0 | 35.0 |
| TLV74018DBVR | SOT-23 | DBV | 5 | 3000 | 208.0 | 191.0 | 35.0 |
| TLV74018PDBVR | SOT-23 | DBV | 5 | 3000 | 208.0 | 191.0 | 35.0 |
| TLV74018PDQNR | X2SON | DQN | 4 | 3000 | 210.0 | 185.0 | 35.0 |
| TLV74028PDQNR | X2SON | DQN | 4 | 3000 | 210.0 | 185.0 | 35.0 |
| TLV74033PDBVR | SOT-23 | DBV | 5 | 3000 | 208.0 | 191.0 | 35.0 |
| TLV74033PDBVRG4 | SOT-23 | DBV | 5 | 3000 | 210.0 | 185.0 | 35.0 |
| TLV74033PDQNR | X2SON | DQN | 4 | 3000 | 210.0 | 185.0 | 35.0 |

# GENERIC PACKAGE VIEW

## DQN 4 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD




Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

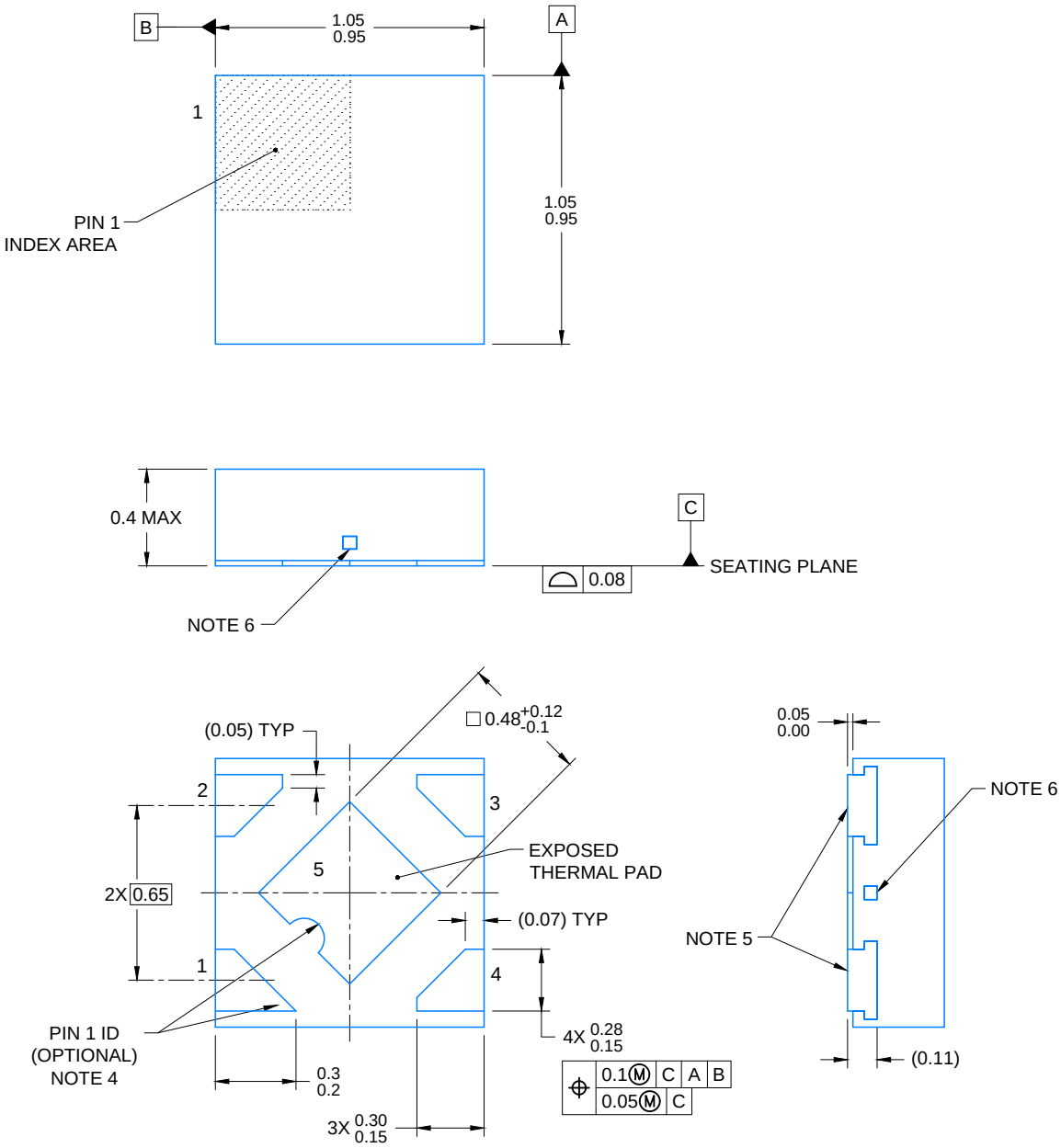
4210367/F

# PACKAGE OUTLINE

## DQN0004A

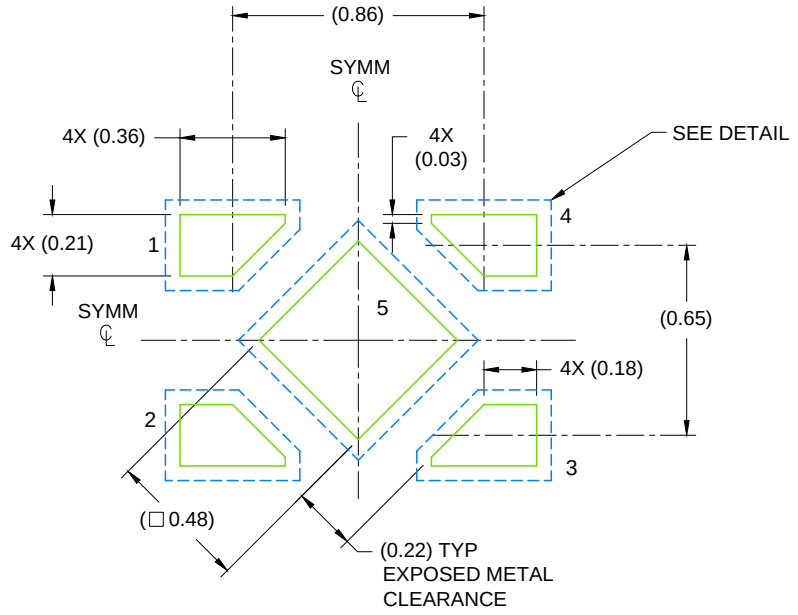
## X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



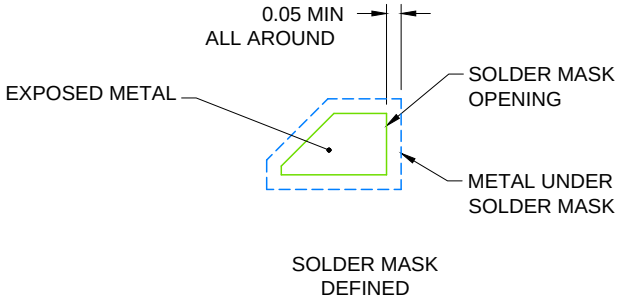

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Features may not exist. Recommend use of pin 1 marking on top of package for orientation purposes.
5. Shape of exposed side leads may differ.
6. Number and location of exposed tie bars may vary.




LAND PATTERN EXAMPLE

SCALE: 40X

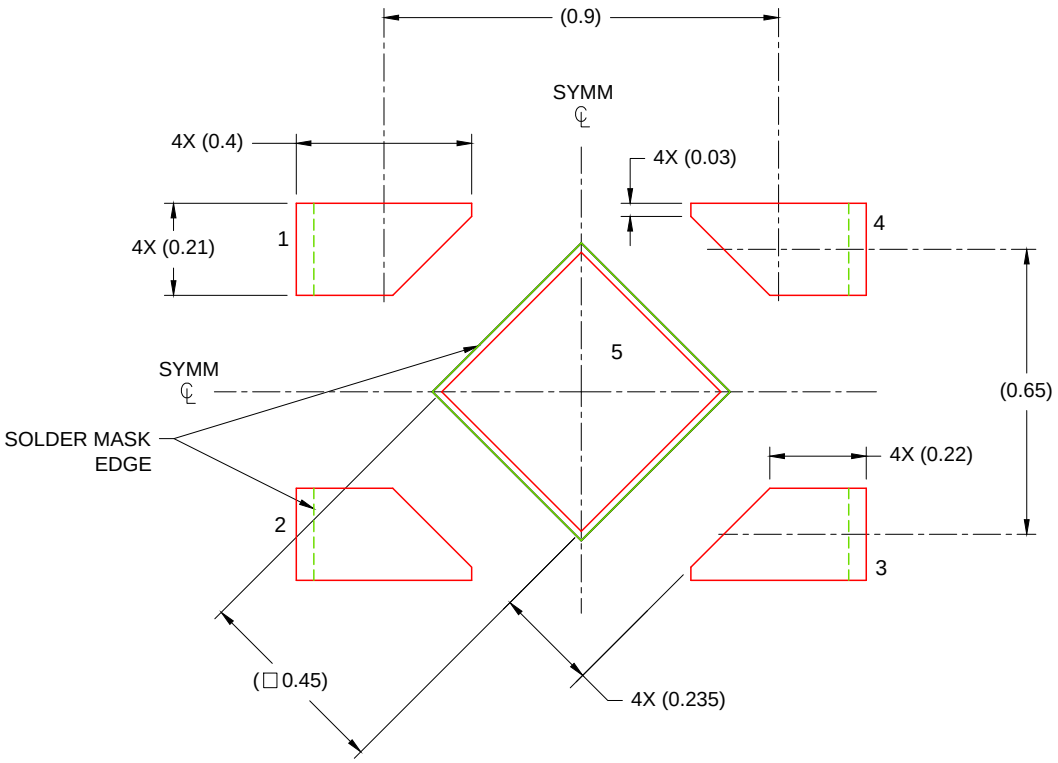



SOLDER MASK DETAIL

4215302/E 12/2016

NOTES: (continued)

7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
8. If any vias are implemented, it is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1mm THICK STENCIL

EXPOSED PAD
88% PRINTED SOLDER COVERAGE BY AREA
SCALE: 60X

4215302/E 12/2016

NOTES: (continued)

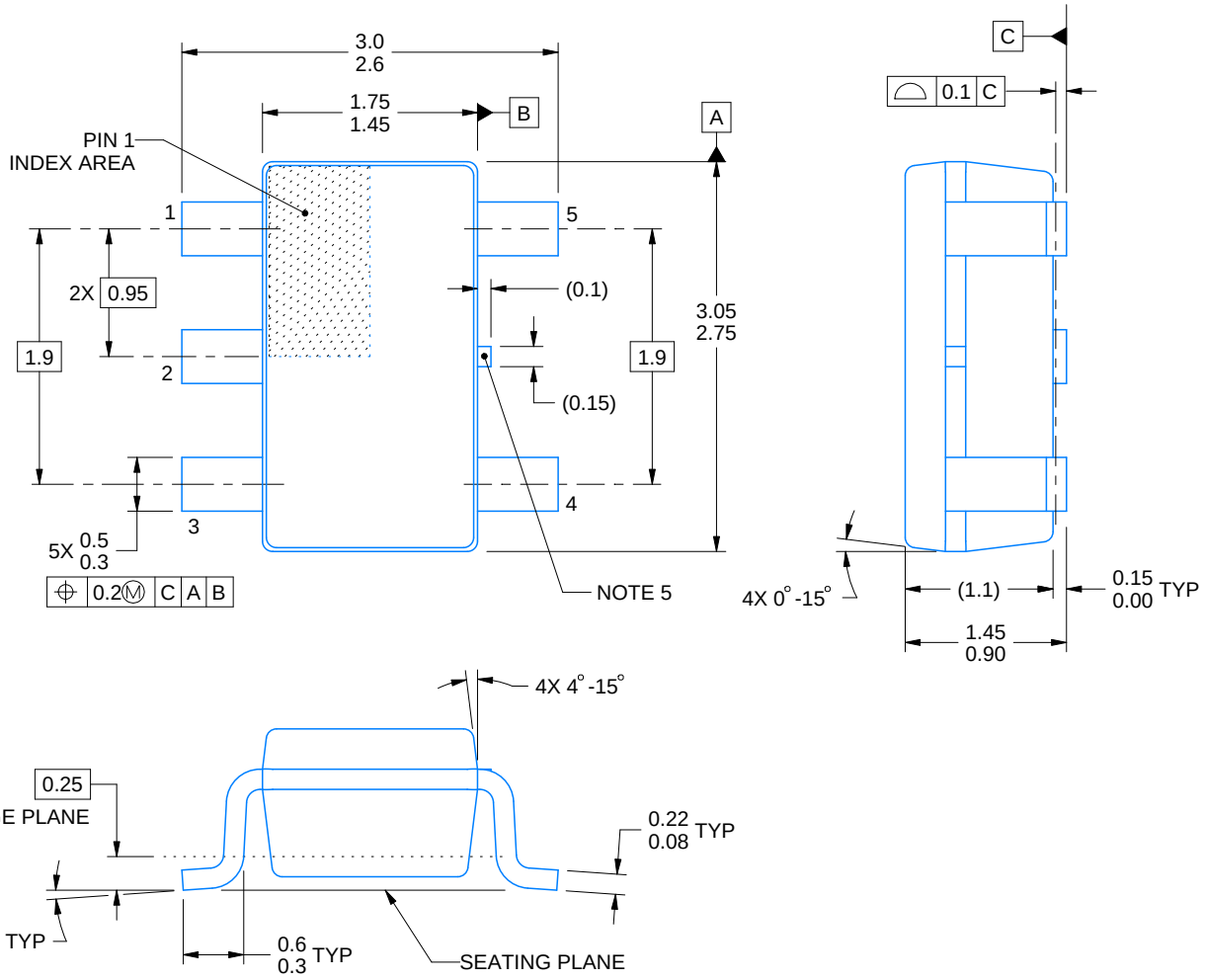
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# PACKAGE OUTLINE

## DBV0005A

## SOT-23 - 1.45 mm max height

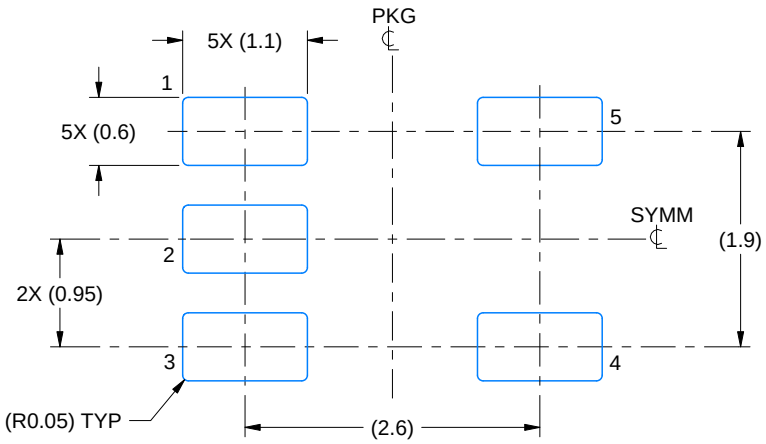
SMALL OUTLINE TRANSISTOR



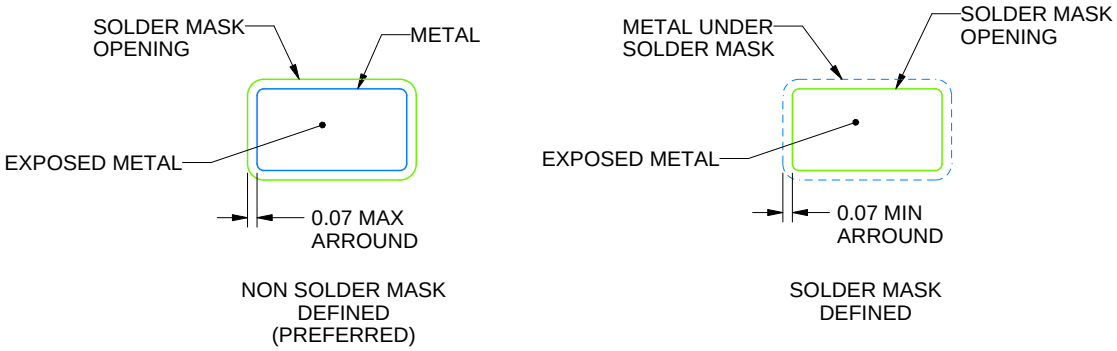

4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

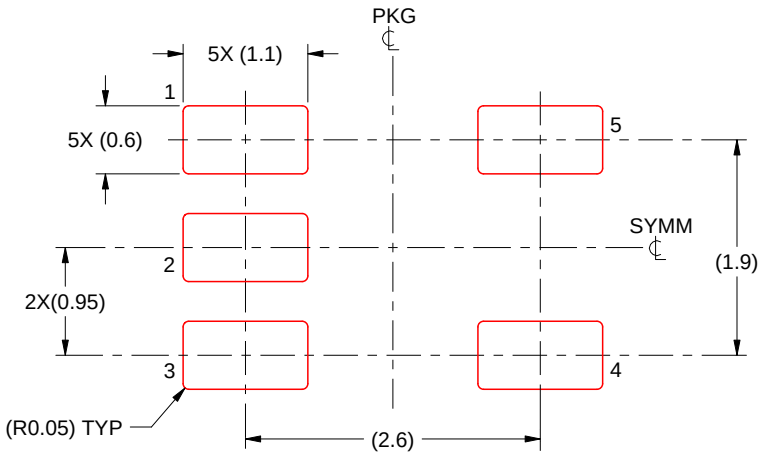



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月