TLV770 50mA、小型、高 PSRR、低ドロップアウト レギュレータ

1 特長

- 高 PSRR：55dB (1MHz)
- V_{IN} 範囲：1.4V～5.5V
- 固定出力電圧範囲：0.6V～3.3V
- 出力電圧精度：2%
- Low ドロップアウト電圧：
  - 3.3V_{OUT}、50mA 時に 45mV
- アクティブな出力プルダウン抵抗
- パッケージ：
  - 1mm × 1mm の 4 ピン X2SON (DQN)
  - 5 ピン SOT-23 (DBV)

2 アプリケーション

- スマートフォン
- タブレット
- ゲーム機
- ノート PC
- ストリーミング メディア プレーヤ
- セットトップ ボックス
- カメラ モジュール

3 説明

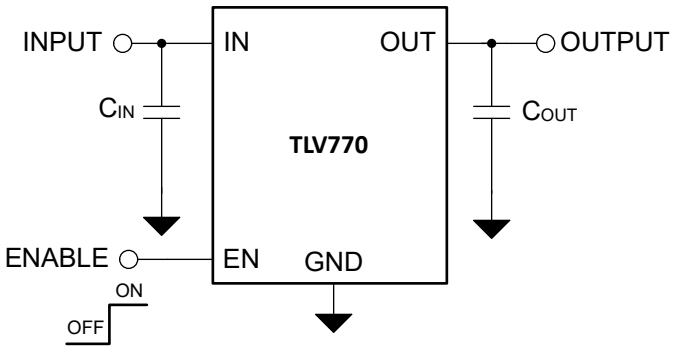
TLV770 は、50mA の出力電流を供給できる小型の低ドロップアウト (LDO) リニア電圧レギュレータです。この LDO は、高 PSRR の電源になるよう設計されています。また、このデバイスは負荷およびライン過渡性能も、各種の回路の要件を満たします。1.4V～5.5V の入力電圧範囲と 0.6V～3.3V の出力電圧範囲に対応する TLV770 は、さまざまなアプリケーションを柔軟にサポートできます。

TLV770 は、過度な突入電流を回避するための内部ソフトスタートを備えているため、スタートアップ時の入力電圧降下を最小限に抑えることができます。LDO がディセーブルされると、アクティブ プルダウン回路により出力が迅速に放電され、既知のスタートアップ状態が得られます。EN 入力により、外部の論理信号を使用してレギュレーション出力をイネーブルまたはディセーブルできます。LDO は小さなセラミック コンデンサで安定して動作するため、パッケージ サイズ全体を小型化できます。動作時の接合部温度範囲は、−40℃～+125℃です。この LDO は、標準の SOT-23 (DBV) および 1mm × 1mm X2SON (DQN) パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TLV770	DQN (X2SON、4)	1mm × 1mm
	DBV (SOT-23、5)	2.9mm × 2.8mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....6
5.7 代表的特性.....7
6 詳細説明.....10
6.1 概要.....10
6.2 機能ブロック図.....10
6.3 機能説明.....10
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....13
7.1 アプリケーション情報.....13
7.2 代表的なアプリケーション.....14
7.3 電源に関する推奨事項.....15
7.4 レイアウト.....15
8 デバイスおよびドキュメントのサポート.....16
8.1 デバイス サポート.....16
8.2 ドキュメントのサポート.....16
8.3 ドキュメントの更新通知を受け取る方法.....16
8.4 サポート・リソース.....16
8.5 商標.....16
8.6 静電気放電に関する注意事項.....16
8.7 用語集.....16
9 改訂履歴.....17
10 メカニカル、パッケージ、および注文情報.....17

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

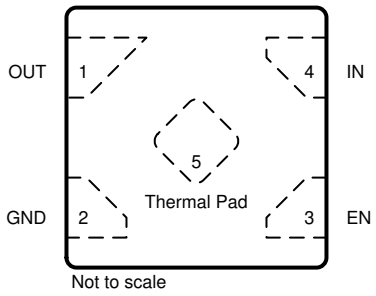


図 4-1. DQN パッケージ、 1mm × 1mm、4 ピン X2SON (上面図)

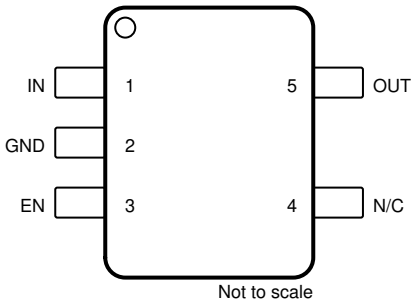


図 4-2. DBV パッケージ、 5 ピン SOT-23 (上面図)

表 4-1. ピンの機能

ピン			種類 (1)	説明
名称	X2SON	SOT-23		
EN	3	3	I	イネーブル入力。このピンが低電圧 (<$V_{EN(LOW)}$ 未満) になると、レギュレータがオフになり、出力ピンが GND に放電されます。このピンが高電圧 ($V_{EN(HI)}$ 超) になると、レギュレータ出力が有効になります。
GND	2	2	G	共通グランド。
IN	4	1	I	入力電源電圧。最高の過渡応答を実現し、入力インピーダンスを最小化するには、*推奨動作条件* 表に示すように、公称値またはそれ以上に大きい値のコンデンサを IN とグランドの間に接続します。入力コンデンサは、デバイスの IN ピンと GND ピンにできる限り近づけて配置してください。
N/C	—	4	—	内部で電気的に接続されていません。放熱性能を向上させるために、GND に接続します。
OUT	1	5	O	レギュレートされた出力電圧。安定動作のため、OUT からグランドへの等価直列抵抗 (ESR) の小さいコンデンサが必要です。最高の過渡応答を実現するには *推奨動作条件* 表に記載されている公称推奨値またはそれ以上に大きい値のセラミック コンデンサを接続します。出力コンデンサは、デバイスの OUT ピンと GND ピンにできる限り近づけて配置してください。レギュレータがシャットダウン モード (V_{EN} < $V_{EN(LOW)}$) のときは、内部プルダウン抵抗により V_{OUT} に電荷が残るのを防ぎます。
サーマル パッド	5	—	—	X2SON パッケージ用のサーマル パッド。このパッドを GND に接続するか、フローティングのままにします。 GND 以外の電位には接続しないでください。最高の放熱性能を得るため、サーマル パッドは大面積のグランド プレーンに接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (3)

		最小値	最大値	単位
電圧	入力、V_{IN}	-0.3	6.5	V
	出力、V_{OUT}	-0.3	6.0 または V_{IN} + 0.3 (2)	
	イネーブル、V_{EN}	-0.3	6.5	
電流	最大出力、I_{OUT} (4)	内部的に制限		A
温度	動作時の接合部温度、T_J	-55	150	℃
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) V_{OUT} の最大値は、6.0V または (V_{IN} + 0.3V) の小さい方です。
(3) 電圧はすべて、GND ピンを基準にしています。
(4) 内部のサーマル シャットダウン回路により、デバイスを永続的な損傷から保護します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	1.4		5.5	V
V_{EN}	イネーブル入力電圧	0		5.5	V
V_{OUT}	公称出力電圧範囲	0.6		3.3	V
I_{OUT}	出力電流	0		50	mA
C_{IN}	入力コンデンサ(2)		1		µF
C_{OUT}	出力キャパシタンス(3)	0.47		40	µF
ESR	出力コンデンサの等価直列抵抗			100	mΩ
T_J	動作時接合部温度	-40		125	℃

(1) すべての電圧は GND を基準にしています。
(2) LDO の安定性のために、入力コンデンサは必要ありません。ただし、ソース抵抗とインダクタンスの影響を打ち消すために、最小実効値が 0.47µF の入力コンデンサを推奨します。ソース抵抗とインダクタンスは、場合によって、特に負荷過渡現象がある場合には、リンギングや発振などシステムレベルの不安定性の症状を引き起こす可能性があります。必要に応じて、入力電圧源の特性に応じて、より大きな入力容量を使用してください。
(3) 安定性のためには、最小値 0.47µF、最大値 40µF の実効出力キャパシタンスが必要です。実効出力キャパシタンスは、許容誤差、温度、電圧、および値に影響を与えるその他の要因を考慮しており、多くの場合、コンデンサの規定値より 50% 小さい値です。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TLV770		単位
		DBV (SOT-23)	DQN (X2SON)	
		5 ピン	4 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	242.5	236.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	140.9	218.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	109.4	180.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	76.1	16.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	108.8	179.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	157.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

仕様は、T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V または 1.4V (いずれか大きい方)、V_{EN} = V_{IN}、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF に適用されます (特に記述のない限り)。標準値はすべて T_J = 25°C での値です

パラメータ		テスト条件		最小値	標準値	最大値	単位
ΔV_{OUT}	出力電圧許容誤差		1.2V ≤ V_{OUT} < 1.8V	-2.5		2.5	%
			1.8V ≤ V_{OUT} ≤ 3.3V	-2		2	
		T_J = –40°C～85°C	1.2V ≤ V_{OUT} < 1.8V	-3		3	
			1.8V ≤ V_{OUT} < 2.5V	-2.75		2.75	
			2.5V ≤ V_{OUT} ≤ 3.3V	-2.5		2.5	
ΔV_{OUT}	ライン レギュレーション	V_{IN} = ($V_{OUT(NOM)}$ + 0.5V) ～ 5.5V			0.01	0.1	%/V
ΔV_{OUT}	負荷レギュレーション	I_{OUT} = 1mA ～ 50mA			85	110	µV/mA
I_{GND}	静止グランド電流	V_{EN} = V_{IN} = 5.5V、I_{OUT} = 0mA、T_J = –40 °C ～ 85°C			80	120	µA
I_{SHDN}	シャットダウン グランド電流	V_{EN} < $V_{EN(LOW)}$、V_{IN} = 5.5V、T_J = –40 °C ～ 85 °C			0.01	2	µA
V_{DO}	ドロップアウト電圧	I_{OUT} = 50mA、V_{IN} = 95% × $V_{OUT(NOM)}$	1.2V ≤ V_{OUT} < 1.8V(1) (2)			220	mV
			1.8V ≤ V_{OUT} < 2.5V			60	
			2.5V ≤ V_{OUT} ≤ 3.3V			45	
		I_{OUT} = 50mA、V_{IN} = 95% × $V_{OUT(NOM)}$、T_J = –40°C ～ 85°C	1.2V ≤ V_{OUT} < 1.8V(1) (2)			230	
			1.8V ≤ V_{OUT} < 2.5V			65	
			2.5V ≤ V_{OUT} ≤ 3.3V			50	
I_{CL}	出力電流制限	V_{OUT} = 0.9 x $V_{OUT(NOM)}$、T_J = –40 °C ～ 85 °C		80		210	mA
PSRR	電源除去比	I_{OUT} = 50mA、V_{IN} = V_{OUT} + 1.0V	f = 100kHz		56		dB
			f = 1MHz		55		
V_N	出力ノイズ電圧	BW = 10Hz ~ 100kHz、V_{OUT} = 1.2V、I_{OUT} = 50mA			90		μV_{RMS}
$R_{PULLDOWN}$	出力自動放電プルダウン抵抗	V_{EN} < $V_{EN(LOW)}$ (出力無効化)、V_{IN} = 3.3V			135		Ω
T_{SD}	サーマル シャットダウン	T_J 立ち上がり			160		°C
		T_J 立ち下がり			140		
$V_{EN(LOW)}$	Low 入力スレッショルド	出力がディセーブルになるまで V_{EN} が立ち下がり、T_J = –40°C ～ 85°C				0.3	V
$V_{EN(HI)}$	High 入力スレッショルド	出力がイネーブルになるまでの V_{EN} の立ち上がり、T_J = –40°C～85°C		0.9			V
I_{EN}	EN の入力リーク電流	V_{EN} = 5.5V、V_{IN} = 5.5V			0.01	1	µA

(1) V_{OUT} < 1.5V の場合、V_{IN} = 1.4V でドロップアウトがテストされます。
(2) V_{OUT} = 0.6V の場合、ドロップアウト電圧 < ヘッドルーム電圧です。V_{IN} = 1.4V で、0.6V 出力のデバイスはドロップアウト状態にはなりませんヘッドルーム電圧 = V_{IN} - V_{OUT} です。

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性

仕様は、T_J = 25℃、V_{IN} = $V_{OUT(NOM)}$ + 0.5V または 1.4V (いずれか大きい方)、V_{EN} = V_{IN}、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF に適用されます (特に記述のない限り)。標準値はすべて T_J = 25℃ での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{STR}	スタートアップ時間 (V_{EN})	V_{EN} > $V_{EN(HI)}$ から V_{OUT} = $V_{OUT(NOM)}$ の 95%、V_{IN} の立ち上がり時間 = 1V/µs		320		µs

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性

動作温度 T_J = 25 °C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = C_{OUT} = 1µF (別途規定がない場合)。

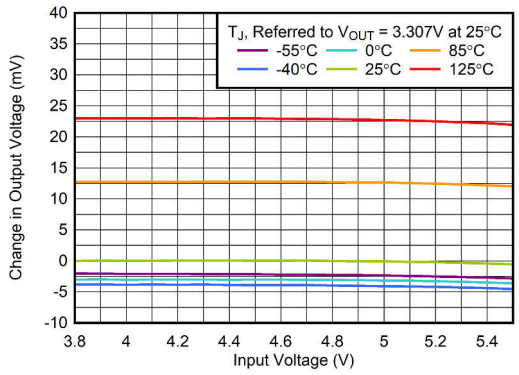


図 5-1. ライン レギュレーションと V_{IN} との関係

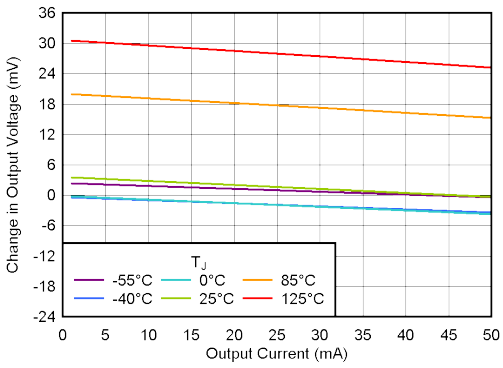


図 5-2. ロード レギュレーションと I_{OUT} との関係

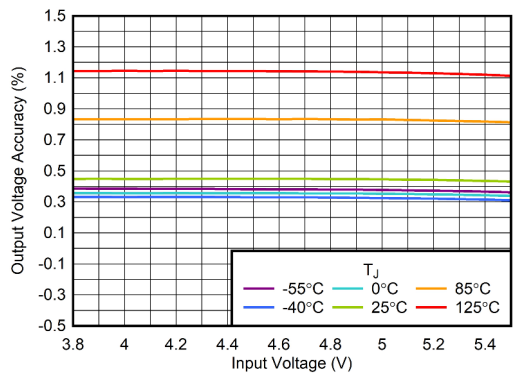


図 5-3. 出力電圧精度と V_{IN} との関係

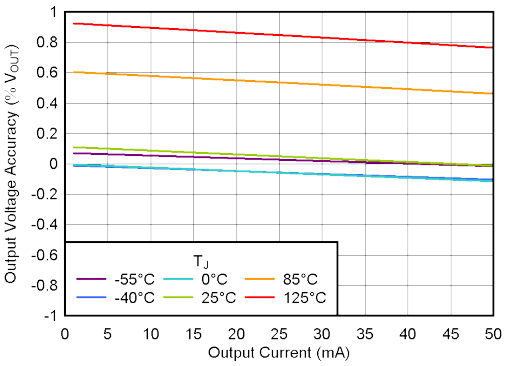


図 5-4. 出力電圧精度と I_{OUT} との関係

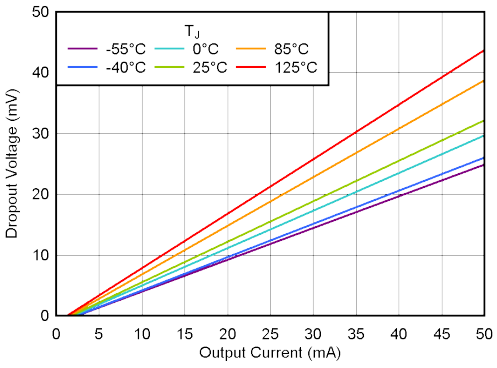


図 5-5. ドロップアウト電圧と I_{OUT} との関係

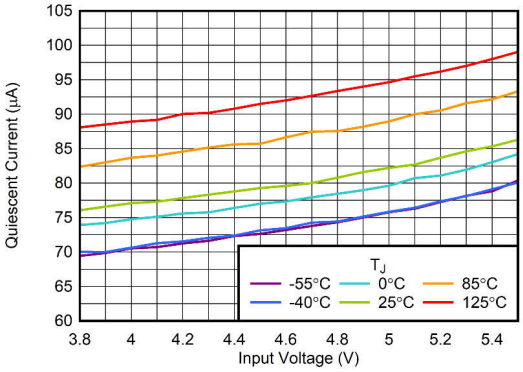


図 5-6. 静止電流と V_{IN} との関係

5.7 代表的特性 (続き)

動作温度 T_J = 25 °C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = C_{OUT} = 1µF (別途規定がない場合)。

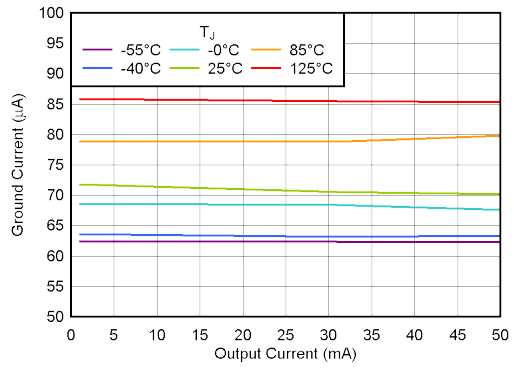
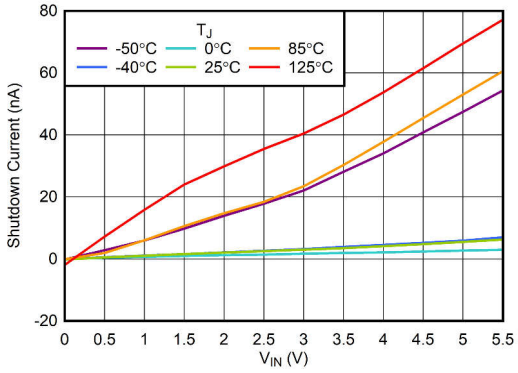


図 5-7. グランド電流 vs I_{OUT}



V_{EN} = 0V

図 5-8. シャットダウン電流と V_{IN} との関係

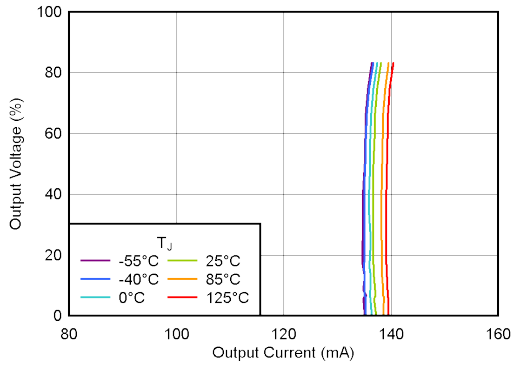


図 5-9. 電流制限

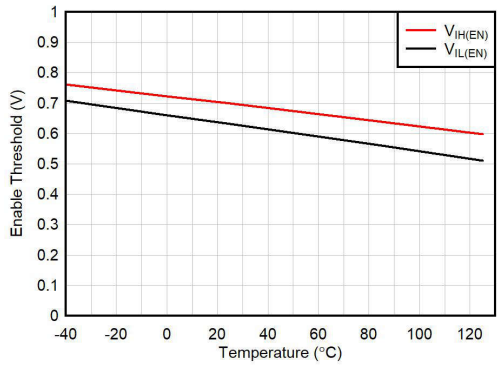
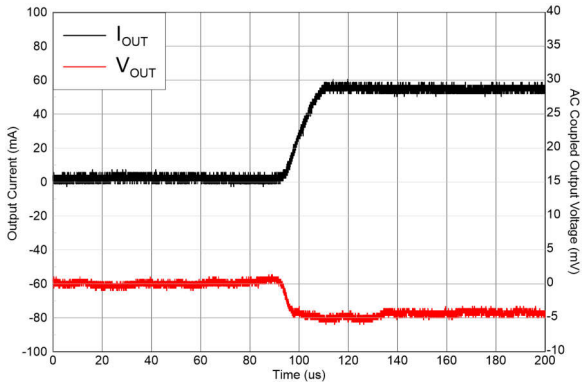
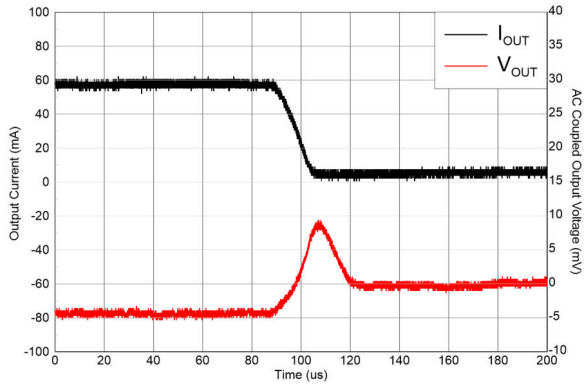


図 5-10. イネーブル ロジック スレッショルドと温度との関係



V_{IN} = $V_{OUT(nom)}$ + 1.0V、I_{OUT} = 0mA ～ 50mA、
t_{RISING} = 10µs

図 5-11. 負荷過渡



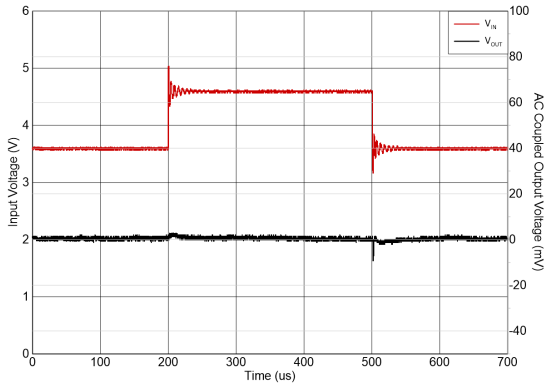
V_{IN} = $V_{OUT(nom)}$ + 1.0V、I_{OUT} = 50mA ～ 0mA、
$t_{FALLING}$ = 10µs

図 5-12. 負荷過渡

Copyright © 2025 Texas Instruments Incorporated

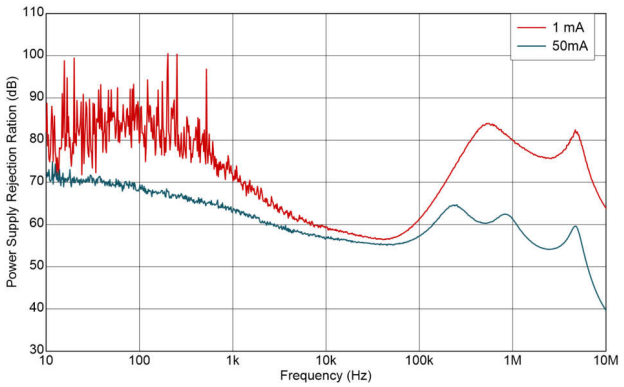
5.7 代表的特性 (続き)

動作温度 T_J = 25 °C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = C_{OUT} = 1µF (別途規定がない場合)。



V_{IN} = V_{OUT} + 0.3V ～ V_{OUT} +1.3V

図 5-13. ライン トランジェント



V_{IN} = $V_{OUT(nom)}$ + 1.0V

図 5-14. PSRR と周波数との関係

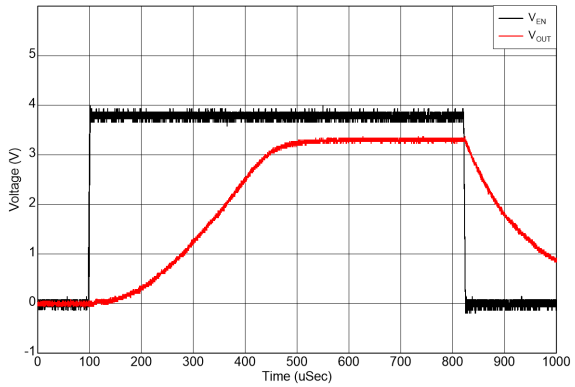
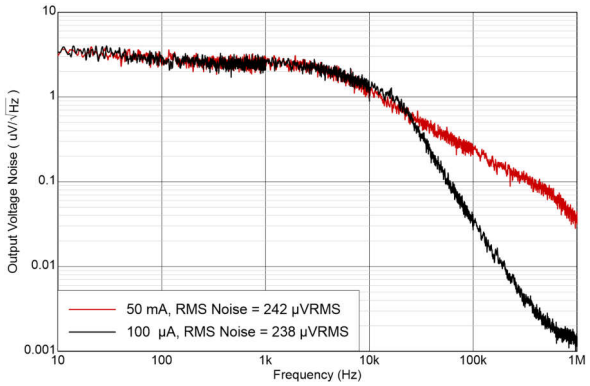


図 5-15. スタートアップ



V_{IN} = 4.3V、$V_{OUT(nom)}$ = 3.3V

図 5-16. ノイズ

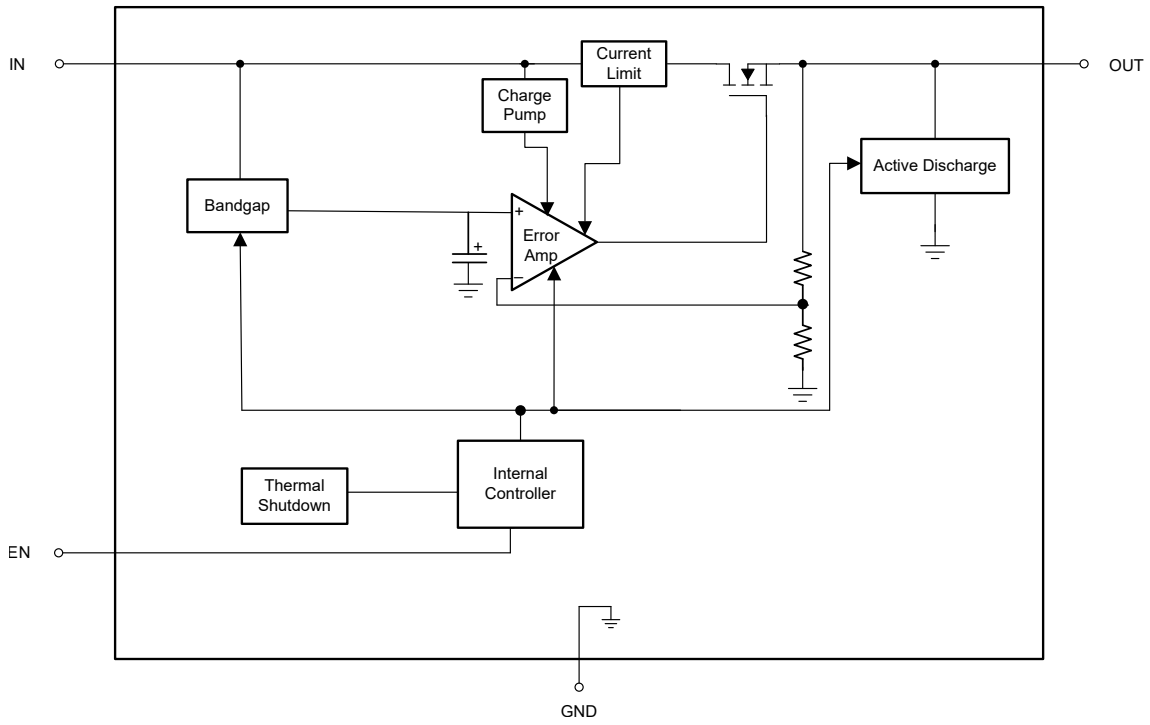
6 詳細説明

6.1 概要

TLV770 は、高い PSRR と優れた過渡応答を、小型の 50mA LDO で実現します。

この LDO は、1µF 入力コンデンサ 1 個と、1µF セラミック出力コンデンサ 1 個で動作するように設計されています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、V_{IN} - V_{OUT} として定義されます。V_{IN} は入力電圧、V_{OUT} は出力電圧、I_{RATED} は *推奨動作条件* 表に記載されている最大 I_{OUT} です。この動作ポイントで、パス トランジスタは完全にオンに駆動されます。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

6.3.2 アクティブ放電

レギュレータには MOSFET が内蔵されており、本デバイスが無効化されたときに、出力とグランドとの間にプルダウン抵抗を接続します。この接続により、出力電圧が能動的に放電されます。アクティブ放電回路は、イネーブル ピンによって、または IN の電圧が低電圧誤動作防止 (UVLO) スレッショルドを下回ることによって有効になります。

入力電源が低下した後で、大きな出力キャパシタンスを放電する場合には、アクティブ放電回路に依存しないでください。出力から入力へ逆電流が流れると、デバイスが損傷する可能性があります。逆電流をデバイスの定格電流の 5% 以下に短時間制限してください。

6.3.3 ブリックウォール電流制限

デバイスには、過電流または短絡イベントの際にデバイスを保護する内部電流制限回路が備わっています。図 6-1 に示されているように、電流制限回路は、ブリックウォール方式です。デバイスが電流制限状態になると、出力電流制限(I_{CL}) まで電流を供給し、出力電圧はレギュレーションされません。このシナリオでは、出力電圧は負荷インピーダンスに依存します。

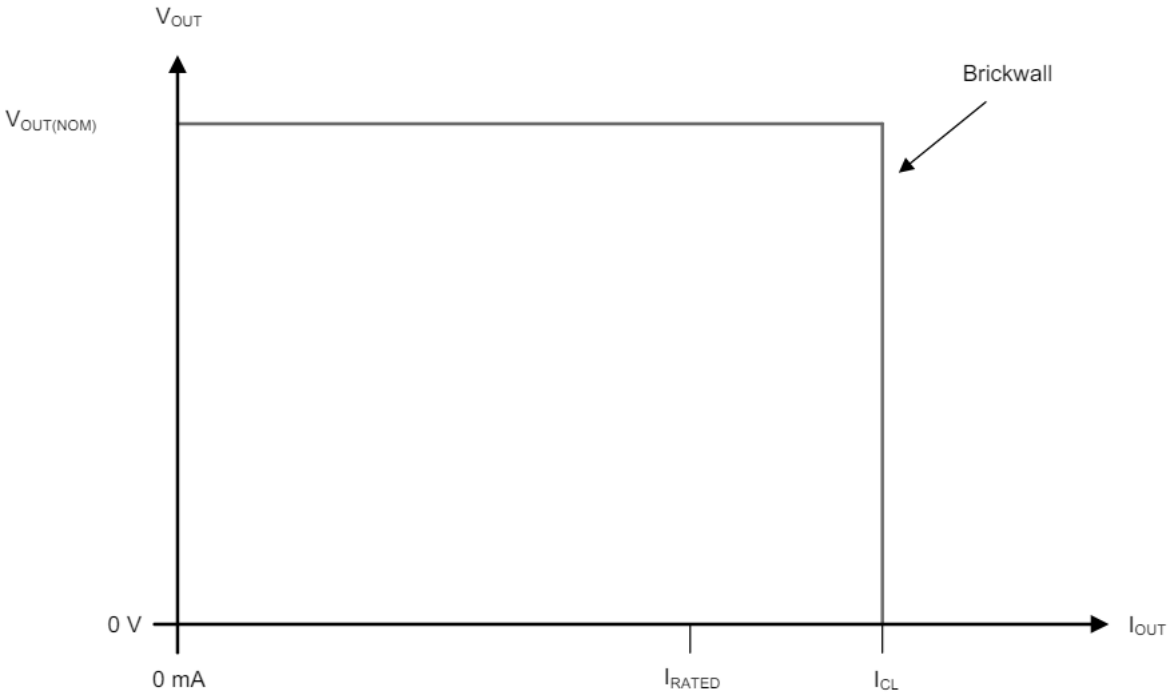


図 6-1. ブリックウォール電流制限方式

電流制限が発生している間は、電流レベルの上昇および入力電圧と出力電圧の差の増加により、高い電力損失が発生する可能性があります ($V_{IN} – V_{OUT}$)。デバイスの温度が十分に上昇すると、サーマル シャットダウンに移行します。冷却後にデバイスが再度オンになったときに電流制限状態が解消されていないと、デバイスはサーマル シャットダウンに再度移行します。電流制限状態が解消されるまで、このサイクルが継続されます。デバイスはこのフォルトに耐えられますが、このモードで繰り返し動作すると、長期的な信頼性が低下します。

6.3.4 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(RESET)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いです。このため、サーマル シャットダウンに達した時点で、消費電力が低下するまで、デバイスはオンとオフを繰り返します。スタートアップ時の消費電力は、デバイス両端での大きな V_{IN} - V_{OUT} 電圧降下

Copyright © 2025 Texas Instruments Incorporated

が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を *推奨動作条件* 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、 *電気的特性* の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	該当なし	$T_J > T_{SD(shutdown)}$

6.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。このモード中、パス トランジスタは完全にオンに駆動されます。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

デバイスが定常ドロップアウト状態であるとき、パス トランジスタは完全にオンに駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合ですが、スタートアップ中は *異なります*。ドロップアウトは、$V_{IN} < V_{OUT(NOM)} + V_{DO}$ のときに発生します。レギュレータがドロップアウトを終了すると、入力電圧は $\geq V_{OUT(NOM)} + V_{DO}$ の値に戻ります。この時間中、出力電圧が短時間オーバーシュートする可能性があります。$V_{OUT(NOM)}$ は公称出力電圧、V_{DO} はドロップアウト電圧です。ドロップアウト終了中に、デバイスはパス トランジスタを完全にオンに駆動しなくなります。

6.4.3 ディセーブル

イネーブル ピンの電圧を最大 EN ピンの Low レベル入力電圧未満に強制的に下げることで、デバイス出力をシャットダウンします (「 *電気的特性* 」表を参照)。ディセーブルになると、パス トランジスタはオフになり、内部回路がシャットダウンします。また、出力電圧からグランドへの内部放電回路により、出力電圧がグランドへ積極的に放電されます。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 推奨されるコンデンサの種類

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。積層セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体を採用したセラミックコンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。しかし、Y5V 定格のコンデンサは、容量に大きな変動があるため推奨しません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。 *推奨動作条件* 表に示す入力および出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

7.1.2 入出力コンデンサの要件

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソース インピーダンスが 0.5Ω を超える場合は、入力コンデンサを使用します。TLV770 の代表的な動作を行うには、1µF コンデンサを入力に接続します。大きくて高速な立ち上がり時間の負荷またはライン過渡が予想される場合は、より値の大きいコンデンサを使用してください。また、デバイスが入力電源から数インチ離れて配置される場合は、より値の大きいコンデンサを使用してください。

デバイスの動的性能は、出力コンデンサを使用することで向上します。安定性のために、「 *推奨動作条件* 」表に記載されている範囲内の出力コンデンサを使用します。最小ディレーティング出力容量が 0.47µF 以上になるようにしてください。出力電圧が上昇したときの突入電流は、出力容量の大きさに依存します。起動時の出力電流は、出力コンデンサが大きい場合、電流制限値に達する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 アプリケーション

図 7-1 に、TLV770 の代表的なアプリケーション回路を示します。

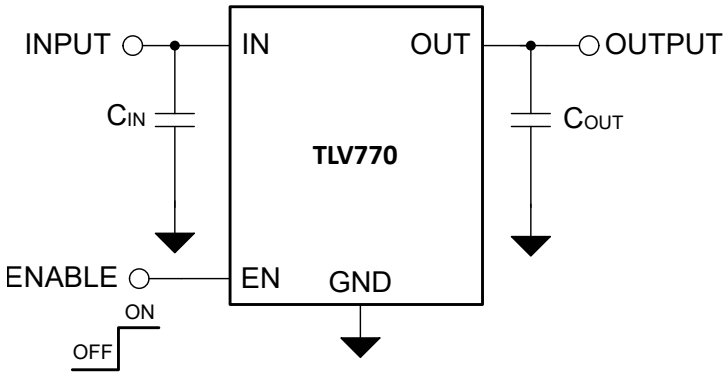


図 7-1. TLV770 の代表的なアプリケーション

7.2.2 設計要件

表 7-1 は、図 7-1 の設計要件をまとめたものです。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲	4.0V± 5%
出力電圧	3.3V
出力電流	50mA
最大周囲温度	125°C

7.2.3 詳細な設計手順

この設計例では、3.3V 出力バージョン (TLV77033) を選択します。公称 4.0V の入力電源を想定しています。最小 1µF の入力コンデンサを使用して、4.0V のソースと LDO 入力との間の抵抗およびインダクタンスの影響を最小限に抑えます。安定性と優れた負荷過渡応答を実現するために、最小 0.47µF の出力キャパシタンスを使用します。3.3V の出力電圧と 50mA 出力電流で、ドロップアウト電圧 (V_{DO}) は最大 50mV 未満です。最小入力電圧が 3.8V (4.0V − 5%) 、最大 50mA 出力電流でドロップアウトの問題は発生しません。

7.2.4 アプリケーション曲線

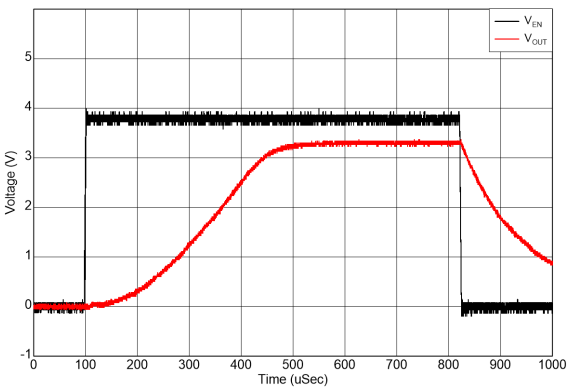


図 7-2. スタートアップ

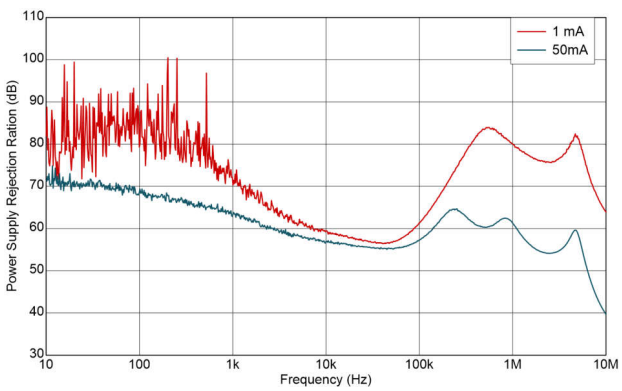


図 7-3. PSRR

Copyright © 2025 Texas Instruments Incorporated

7.3 電源に関する推奨事項

このデバイスは、1.4V ～ 5.5V の入力電源電圧範囲で動作するように設計されています。入力電源が十分に安定しており、不要なノイズが含まれていないことを確認します。出力電圧を安定させ、動的性能を最適に保つためには、入力電圧を $V_{OUT(nom)}$ + 0.5V または 1.4V のいずれか高い方に設定してください。

特に過渡時に、1µF 以上の入力コンデンサを使用して入力電源のインピーダンスを低減します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- 入力および出力コンデンサは、本デバイスのできるだけ近くに配置します。
- 放熱性能を最適化するため、デバイス接続に銅プレーンを使用します。
- デバイスの周囲にサーマル ビアを配置して、熱を分散させます。
- DQN パッケージのサーマル パッドの直下にサーマル ビアを配置しないでください。半田付けプロセス中に、ビアが半田または半田ペーストをサーマル パッドの接合部から吸い取ります。そのため、サーマル パッド上の半田接合部の劣化につながります。

7.4.2 レイアウト例

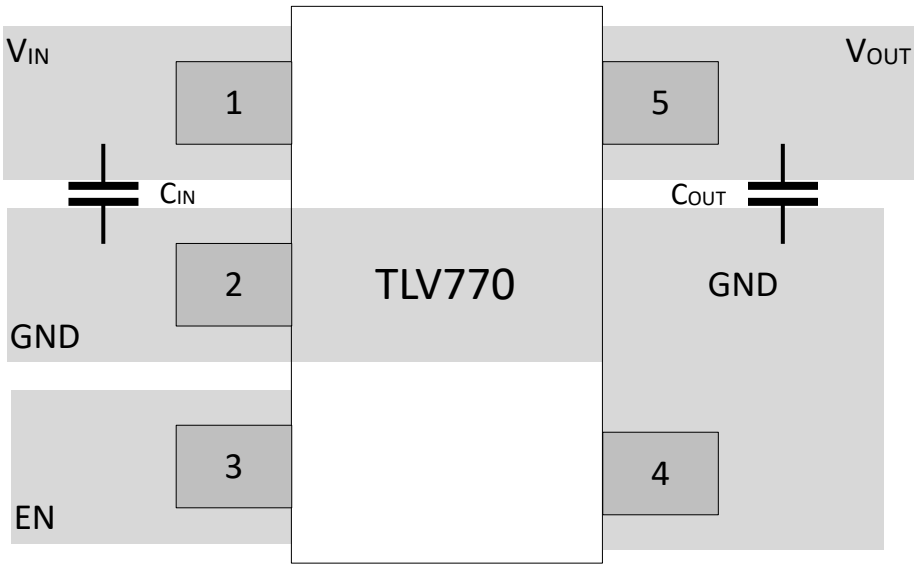


図 7-4. DBV パッケージ (SOT-23) の標準レイアウト

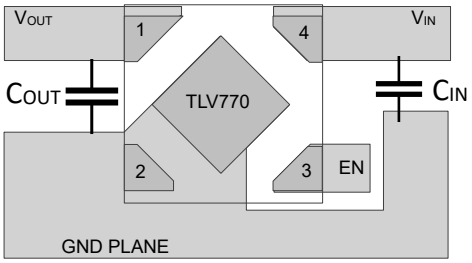


図 7-5. DQN パッケージ (X2SON) の標準レイアウト

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアをこのセクションで紹介します。

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品(1)	説明
TLV770**xx(x)Pyyyz**	**xx(x)** は公称出力電圧です。出力電圧の分解能が 100mV の場合、注文番号には 2 桁の数字が使用されます。それ以外の場合は 3 桁の数字が使用されます (例:28 = 2.8V、125 = 1.25V)。 **P** はアクティブ出力放電機能を表します。 **yyy** はパッケージ指定子です。 **Z** はパッケージ数量です。R はリール (3000 ピース) を表します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『制限について』アプリケーション ノート*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2024) to Revision A (April 2025)	Page
• *機能ブロック図*を変更：EN パターンから 500kΩ 抵抗を削除	10

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV77012PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F5F
TLV77012PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F5F
TLV77012PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PG
TLV77012PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PG
TLV77018PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F6F
TLV77018PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F6F
TLV77018PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PH
TLV77018PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PH
TLV77025PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F7F
TLV77025PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F7F
TLV77025PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PI
TLV77025PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PI
TLV77028PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F8F
TLV77028PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F8F
TLV77028PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJ
TLV77028PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJ
TLV77033PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F9F
TLV77033PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3F9F
TLV77033PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PK
TLV77033PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PK

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

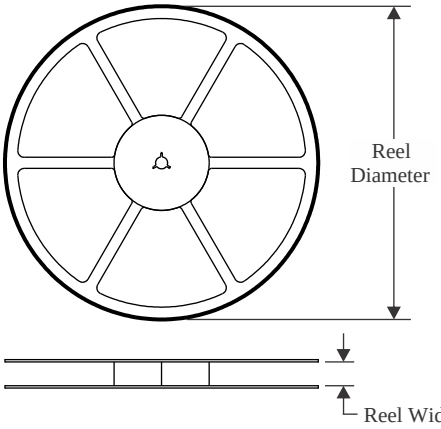
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

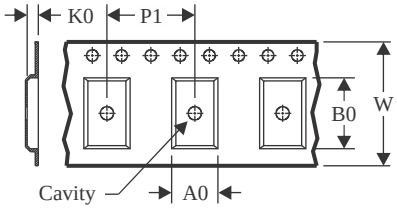
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

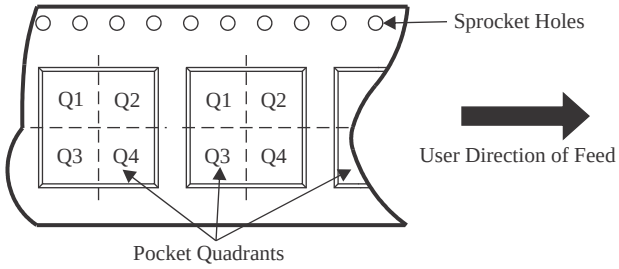


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

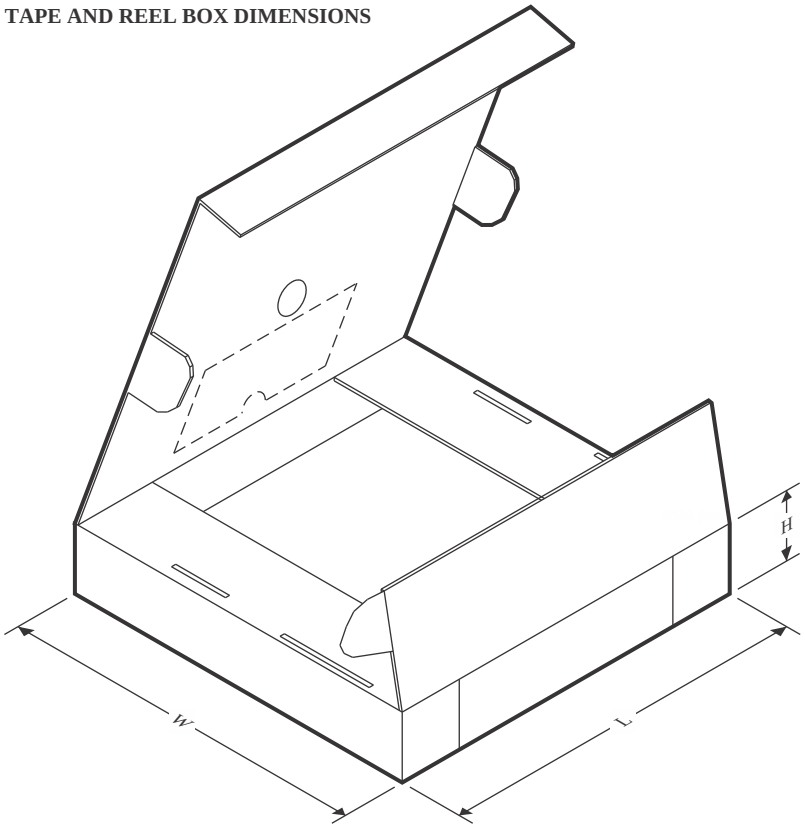
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV77012PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77012PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77018PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77018PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77025PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77025PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77028PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77028PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77033PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77033PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV77012PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77012PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77018PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77018PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77025PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77025PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77028PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77028PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77033PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77033PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

DQN 4 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

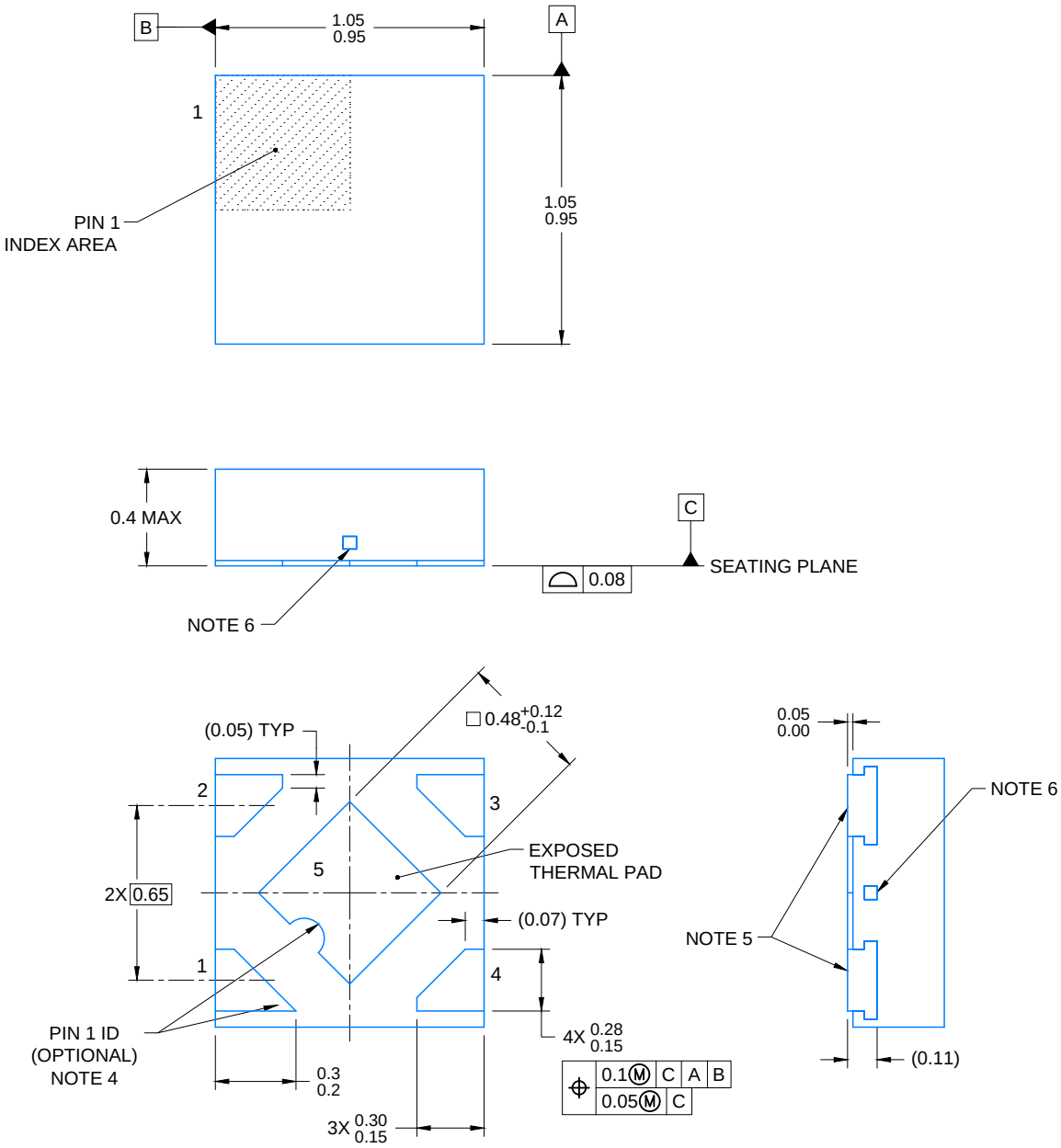
4210367/F

PACKAGE OUTLINE

DQN0004A

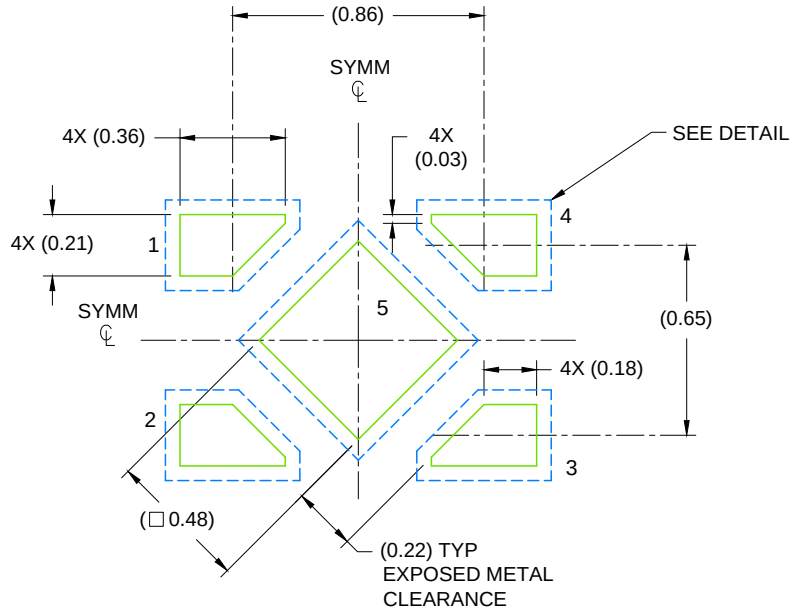
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



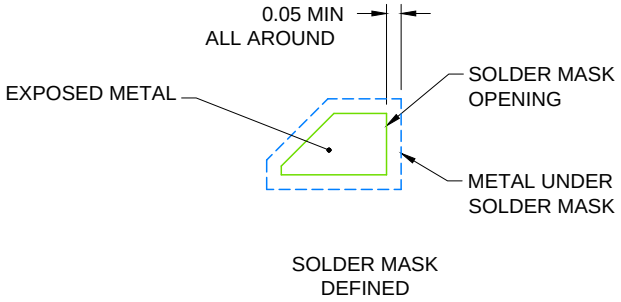
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Features may not exist. Recommend use of pin 1 marking on top of package for orientation purposes.
5. Shape of exposed side leads may differ.
6. Number and location of exposed tie bars may vary.



LAND PATTERN EXAMPLE

SCALE: 40X

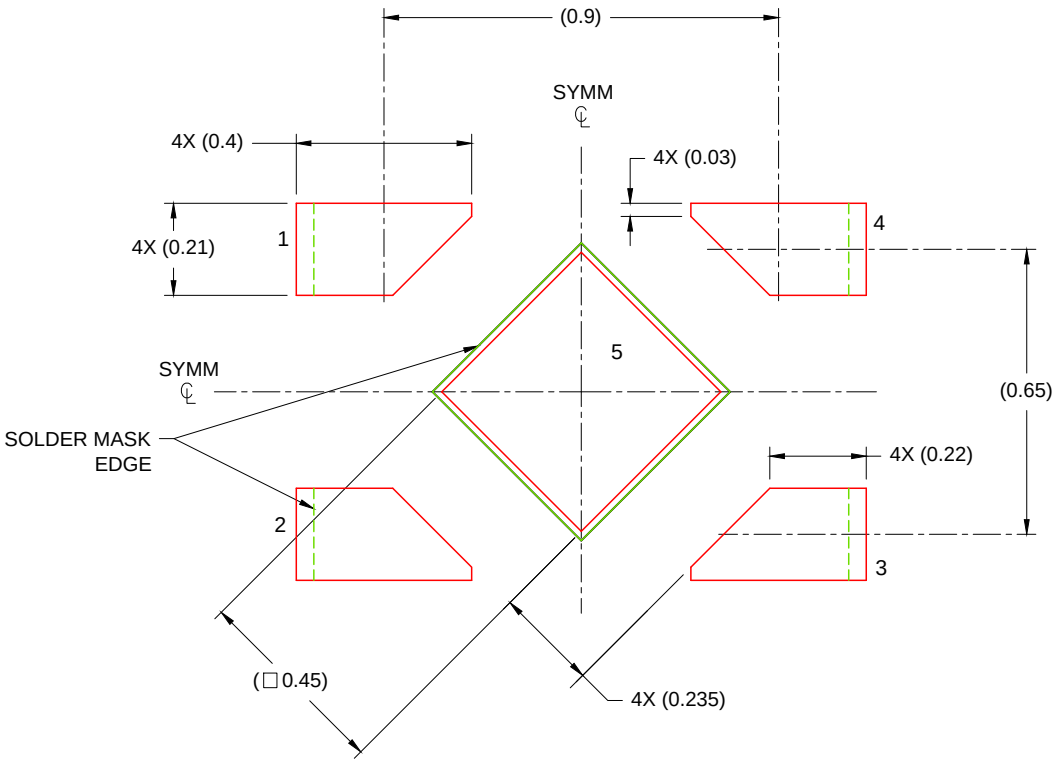


SOLDER MASK DETAIL

4215302/E 12/2016

NOTES: (continued)

7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
8. If any vias are implemented, it is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1mm THICK STENCIL

EXPOSED PAD
88% PRINTED SOLDER COVERAGE BY AREA
SCALE: 60X

4215302/E 12/2016

NOTES: (continued)

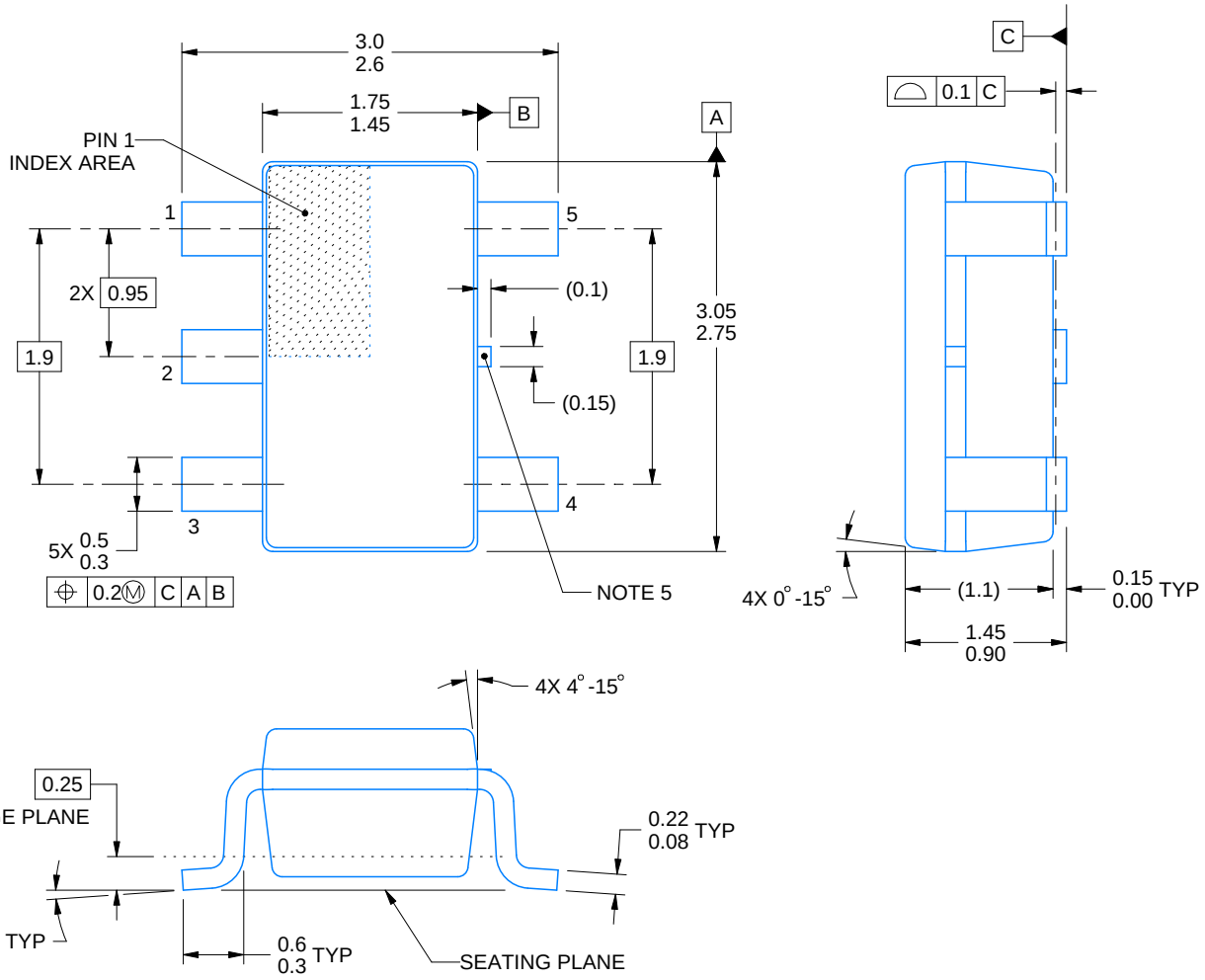
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

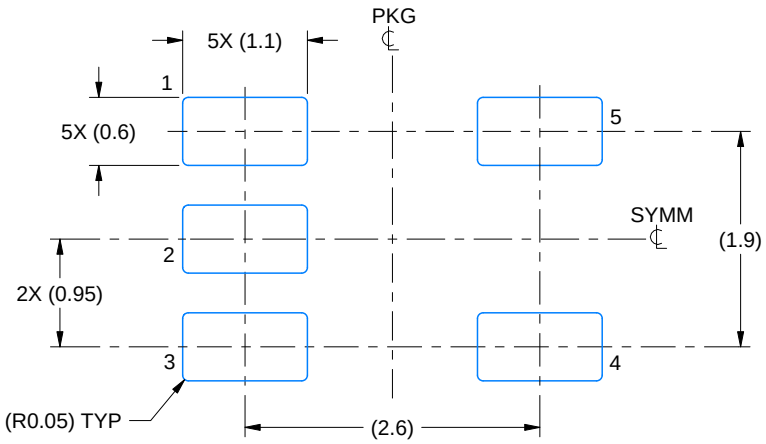
SMALL OUTLINE TRANSISTOR



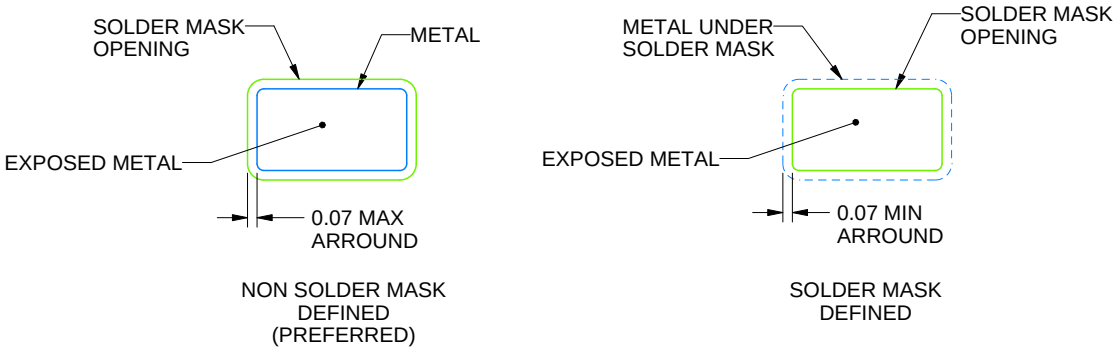
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

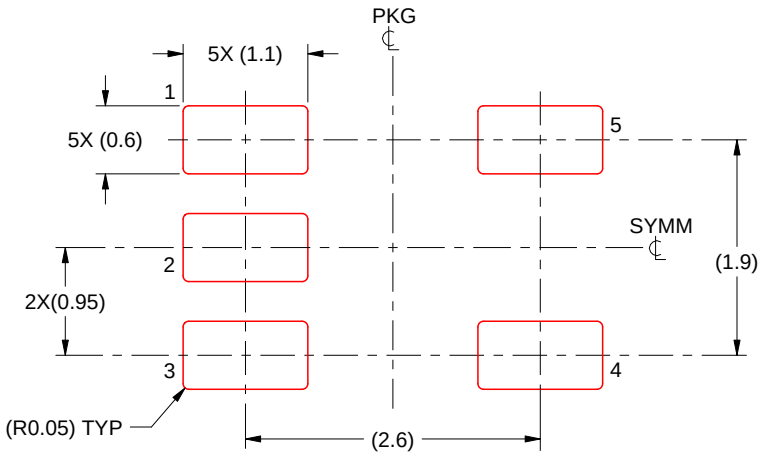


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月