TLV9023L-Q1 車載用 AND ゲート付き高精度、自己ラッチ型トリプル コンパレータ

1 特長

- 車載アプリケーション向けに認定済み
  以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:–40℃ ～ 125℃
  - デバイス HBM ESD 分類レベル H1C
  - デバイス CDM ESD 分類レベル C3
- 立ち下がりエッジ トリガ クリア機能付き出力ラッチ
- 3 つの個別出力と AND 出力
- 複数のデバイスを接続するための AND 入力
- 既知のスタートアップ条件でのパワーオン リセット (POR)
- パワーアップ時にラッチ状態
- 電源電圧範囲:1.65V～5.5V
- 精密入力オフセット電圧: 300μV
- フォルト トレランス付きレール ツー レール入力
- 伝搬遅延時間:110ns (代表値)
- 低い静止電流:チャネルあたり 25μA
- 低い入力バイアス電流:5pA
- ソフト プルアップ付きオープン ドレイン コンパレータ出力
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- テレマティクス eCall
- 車載用ヘッド ユニット
- インストルメント クラスタ
- オンボード チャージャ (OBC) とワイヤレス チャージャ

3 説明

TLV9023L-Q1 は、独立した出力と結合 AND 出力を備えたトリプル チャネル ラッチ コンパレータです。また、このファミリは低い入力オフセット電圧、パワーオン リセット (POR)、フォルト トレラントのレール ツー レール入力も備えています。これらのデバイスは速度と消費電力の組み合わせが非常に優れており、伝搬遅延は 110ns、チャネルあたりの静止時電流はわずか 25μA です。

TLV9023L-Q1 の独自の特長は出力ラッチ機能です。出力は最初の高レベルから低レベルへのスレッショルド超過時にラッチされるため、システム コントローラの完全な注意を必要とせずにイベントやエラー状態をキャプチャできます。これにより、起動時にシステム コントローラが初期化中、または他のタスクでビジー状態になっているときに、イベントをキャプチャできます。立ち下がりエッジ トリガのクリア入力により、システム コントローラは必要なタスクを実行した後にラッチをリセットし、安全重視の要件を満たすことができます。

これらのコンパレータは、出力位相反転なし、損傷なしで最大 6V まで印加可能なフォルト トレラント入力も備えています。このことにより、このファミリのコンパレータは、過酷でノイズの多い環境での高精度電圧監視向けの設計になっています。

TLV9023L-Q1 は、複数の出力の OR 接続やレベル変換用に電源電圧以下またはそれ以上にプルアップ可能なオープン ドレイン出力を備えています。AND 出力はプッシュプル方式を採用することで、プルアップ抵抗を不要にし、出力が低レベル起動状態となるようにしています。

このファミリは 車載向け 温度範囲 -40℃ から +125℃ で動作が規定されており、標準のリード付きおよびリードレス パッケージで供給されます。

製品情報

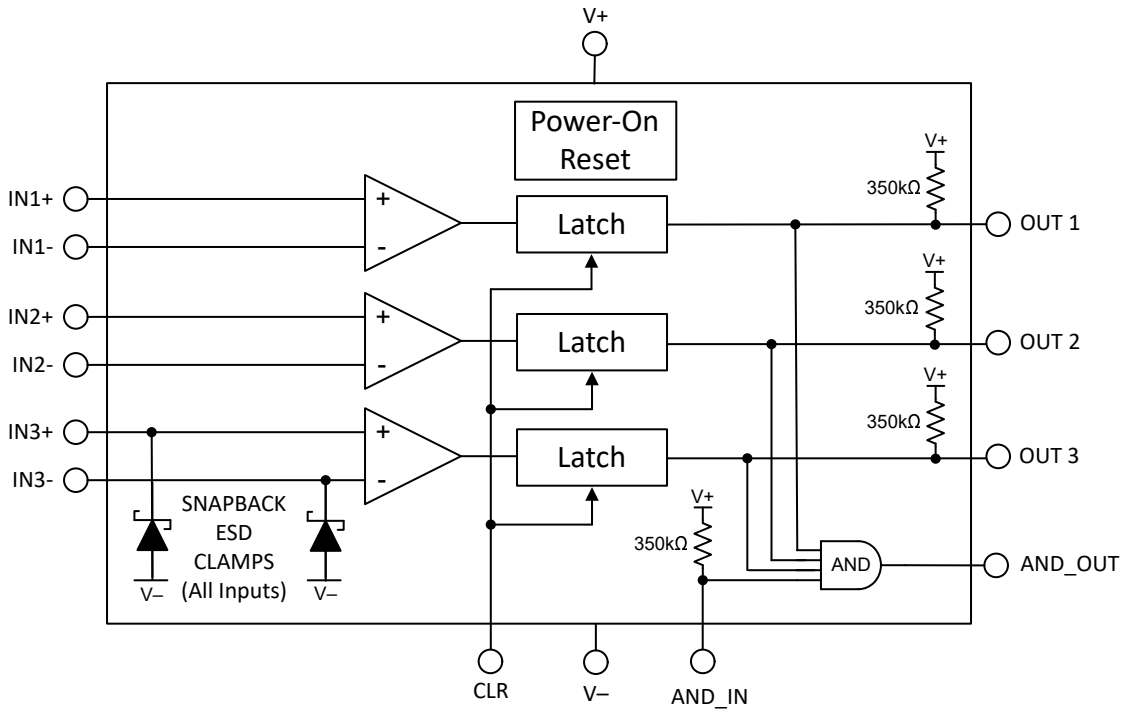
部品番号	パッケージ (1)	パッケージ サイズ(2)
TLV9023-Q1	PW (TSSOP 14)	5.00mm × 4.40mm
	RTE (WQFN 16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

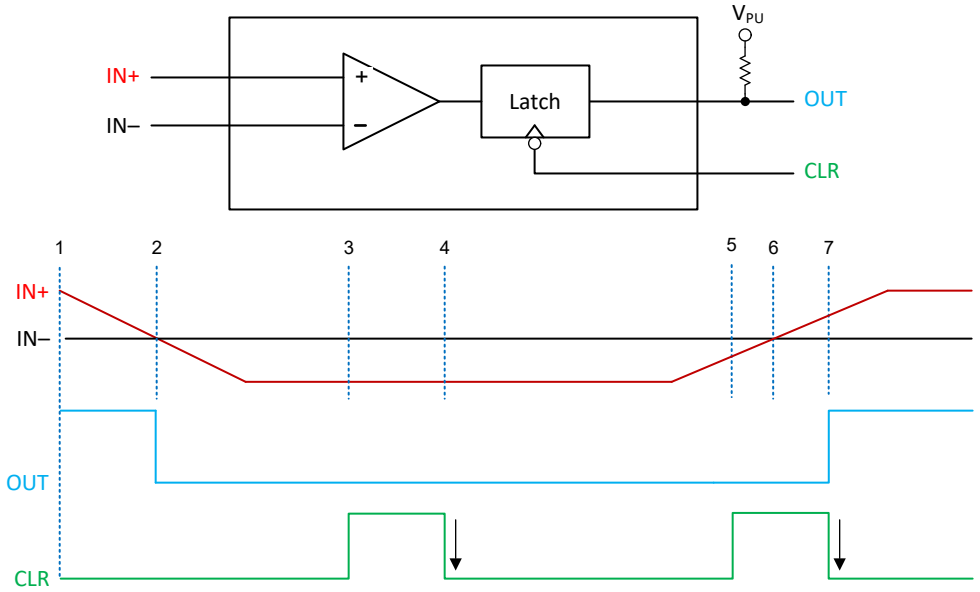
ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION



概略ブロック図



ラッチ応答

Copyright © 2026 Texas Instruments Incorporated

目次

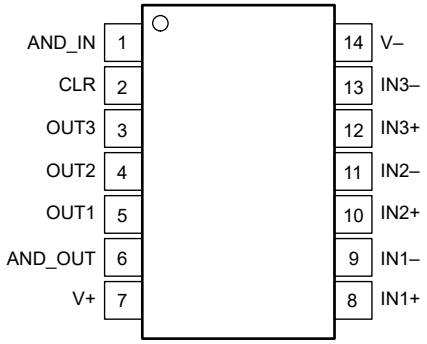
1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
ピン構成：TLV9023L-Q1.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....7
5.6 スイッチング特性.....8
5.7 代表的特性.....9
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....14
6.3 機能説明.....14
6.4 デバイスの機能モード.....15
7 アプリケーションと実装.....20
7.1 使用上の注意.....20
7.2 代表的なアプリケーション.....21
7.3 電源に関する推奨事項.....23
7.4 レイアウト.....23
8 デバイスおよびドキュメントのサポート.....24
8.1 ドキュメントのサポート.....24
8.2 ドキュメントの更新通知を受け取る方法.....24
8.3 サポート・リソース.....24
8.4 商標.....24
8.5 静電気放電に関する注意事項.....24
8.6 用語集.....24
9 改訂履歴.....24
10 メカニカル、パッケージ、および注文情報.....25

ADVANCE INFORMATION

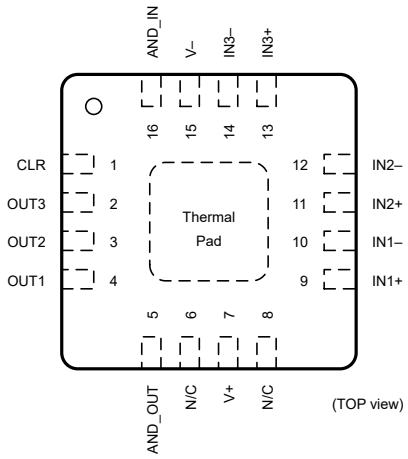
ADVANCE INFORMATION

4 ピン構成および機能

ピン構成：TLV9023L-Q1



PW パッケージ
14 ピン TSSOP
上面図



RTE パッケージ
16 ピン WQFN
上面図

表 4-1. ピンの機能：TLV9023L-Q1

名称	TLV9023L-Q1		I/O	説明
	14 ピン	16 ピン		
	TSSOP	WQFN		
AND_IN	1	16	I	AND ゲートへの入力 (オープンのままにするか、VCC に接続)
CLR	2	1	I	クリア入力 - 立ち下がりエッジでクリア
OUT3	3	2	O	コンパレータ 3 の出力
OUT2	4	3	O	コンパレータ 2 の出力
OUT1	5	4	O	コンパレータ 1 の出力
AND_OUT	6	5	O	AND ゲートの出力
V+	7	7	–	正電源電圧
IN1+	8	9	I	コンパレータ 1 の非反転 (+) 入力
IN1–	9	10	I	コンパレータ 1 の反転 (–) 入力
IN2+	10	11	I	コンパレータ 2 の非反転 (+) 入力
IN2–	11	12	I	コンパレータ 2 の反転 (–) 入力
IN3+	12	13	I	コンパレータ 3 の非反転 (+) 入力
IN3–	13	14	I	コンパレータ 3 の反転 (–) 入力
V-	14	15	–	負電源電圧
NC	–	6、8	–	内部接続なし

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

	最小値	最大値	単位
電源電圧：V_S = (V+) - (V-)	-0.3	6	V
(V–) からの入力ピン (IN+、IN–、CLR、AND_IN)[(2)]	-0.3	6	V
入力ピンへの電流 (IN+、IN–、CLR、AND_IN)	-10	10	mA
(V-) から出力 (OUT)[(3)]	-0.3	6	V
(V–) から出力 (AND_OUT)	-0.3	(V+) + 0.3	V
出力短絡時間[(4)]		10	s
接合部温度、T_J		150	°C
保管温度、T_{stg}	-65	150	°C

(1) 絶対最大定格 を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
(2) 入力端子は (V-) に対してダイオード クランプされています。(V-) を超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。また、入力 (IN+、IN–、CLR) は、電圧が –0.3V から 6V の範囲内である限り、V+ および OUT を超えることができます。
(3) オープン ドレインの出力 (OUT) は、(V+) を超えることができます。
(4) (V–) または (V+) への短絡。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-0111 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧：V_S = (V+) - (V-)	1.65	5.5	V
入力電圧範囲 (V–) から (IN+、IN–、CLR、AND_IN)	-0.2	5.5	V
入力共通モード同相電圧範囲 (V–) から (IN+、IN-)	–0.2	(V+) + 0.2	V
出力電圧範囲、オープン ドレイン出力、(V–) から[(1)]	0	5.5	V
出力電圧範囲、プッシュプル出力 (AND_OUT)	(V-)	(V+)	V
周囲温度、T_A	-40	125	°C

(1) すべての出力には、VCC への 350k の内部プルアップが内蔵されています

ADVANCE INFORMATION

5.4 熱に関する情報

熱評価基準[1]		TLV9023L-Q1		単位
		PW (TSSOP)	RTE (WQFN)	
		14 ピン	16 ピン	
R_{qJA}	接合部から周囲への熱抵抗	119.4	53.8	°C/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	53.9	58.6	°C/W
R_{qJB}	接合部から基板への熱抵抗	74.4	29.0	°C/W
y_{JT}	接合部から上面への特性パラメータ	12.2	2.2	°C/W
y_{JB}	接合部から基板への特性パラメータ	74.0	28.9	°C/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	-	13.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』レポートを参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

V_S (合計電源電圧) = (V+) – (V-) = 5V、V_{CM} = (V-) (T_A = 25℃ 時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V	-1.75	±0.3	1.75	mV
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V、T_A = -40℃～+125℃	-2.25		2.25	mV
dV_T/dT	入力オフセット電圧ドリフト	V_S = 1.8V および 5V、T_A = -40℃～+125℃		±0.5		μV/℃
電源						
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 High		22	30	μA
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 High、T_A = –40℃ ～ +125℃			42	μA
V_{POR}	パワーオン リセット電圧			1.5		V
PSRR	電源除去比	V_S = 1.8V～5V、T_A = -40℃～+125℃		95		dB
入力バイアス電流						
I_B	入力バイアス電流	V_{CM} = V_S/2		5		pA
I_{OS}	入力オフセット電流	V_{CM} = V_S/2		1		pA
入力容量						
C_{ID}	入力容量、差動	V_{CM} = V_S/2		2		pF
C_{IC}	入力容量、同相	V_{CM} = V_S/2		3		pF
入力電圧範囲						
V_{IH_CLR}	CLR 電圧入力 High スレッショルド		1.2			V
V_{IL_CLR}	CLR 電圧入力 Low スレッショルド				0.6	V
$V_{CM\text{-}Range}$	同相電圧範囲	V_S = 1.8V および 5V、T_A = -40℃～+125℃	(V–) – 0.2		(V+) + 0.2	V
CMRR	同相信号除去比	V_S = 5V、(V–) – 0.2V < V_{CM} < (V+) + 0.2V、T_A = –40℃ ～ +125℃		70		dB
CMRR	同相信号除去比	V_S = 1.8V、(V–) – 0.2V < V_{CM} < (V+) + 0.2V、T_A = –40℃ ～ +125℃		60		dB
出力						
V_{OL}	(V-) からの電圧スイング	I_{SINK} = 4mA、T_A = 25℃		75	125	mV
V_{OL}	(V-) からの電圧スイング	I_{SINK} = 4mA、T_A = -40℃～+125℃			175	mV
V_{OH}	(V+) からの電圧スイング	I_{SOURCE} = 500nA、T_A = 25°C * 350k の内部プルアップ抵抗		175	206	mV
V_{OH}	(V+) からの電圧スイング	I_{SOURCE} = 500nA、T_A = –40°C ～ +125°C			215	mV
I_{SC}	短絡電流	V_S = 5V、シンク		85		mA
AND ゲートの特性						
V_{IH}	High レベル入力電圧	V_S = 1.65 ～ 2.7V	0.55 × (V+)			V
		V_S = 3V～3.6V	1.8			V
		V_S = 4.5V～5.5V	0.7 × (V+)			V
V_{IL}	Low レベル入力電圧	V_S = 1.65 ～ 2.7V			0.35 × (V+)	V
		V_S = 3V～3.6V			0.8	V
		V_S = 4.5V～5.5V			0.3 × (V+)	V
V_{OL}	(V-) からの電圧スイング	I_{SINK} = 4mA、T_A = 25°C、V_S = 5V		75	125	mV
V_{OH}	(V+) からの電圧スイング	I_{SOURCE} = 1mA、T_A = 25°C、V_S = 5V		175	215	mV
dt/dV	入力遷移立ち下がりレート	V_S = 1.65 V～5.5 V			1	ns/V

ADVANCE INFORMATION

ADVANCE INFORMATION

5.6 スイッチング特性

V_S = 5V、CLR = 5V_{PP}、V_L = 0V、V_H = 5V、2.5V DC オフセット、V_{CM} = V_S/2、C_L = 15pF (T_A = 25°C 時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low、オープンドレインのみ	V_{ID} = -100mV、CLR = 0V、入力の中間点から出力の中間点まで		110		ns
T_{PD-LH}	伝搬遅延時間、Low から High	V_{ID} = +100mV、CLR = 0V、入力の中間点から出力の中間点までの遅延 (内部 R_P = 350KΩ)		8		µs
$T_{PD-CLR-F}$	クリア立ち下がりからラッチ リセットまでの伝搬遅延時間	CLR = 1.8V から 5V、 CLR の立ち下がりエッジ信号からラッチされていない出力状態までの遅延		25		ns
CLR_Min	レジスタ ラッチ ディセーブルおよび遷移出力状態までの最小クリアホールド パルス時間	CLR = 1.8V から 5V、 CLR 立ち下がりエッジで状態変更 (ラッチ リセット) をレジスタするために必要な最小 CLR パルス サイズ	10			ns
T_{FALL}	5V の出力立ち下がり時間、80% から 20%	V_{ID} = -100mV		3		ns
AND ゲート						
T_{PD-LH}	伝搬遅延時間、Low から High	入力の中間点から出力の中間点までの遅延			7	ns
T_{PD-HL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点までの遅延			7	ns
パワーオン時間						
P_{ON}	パワーオン時間			35		µs

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

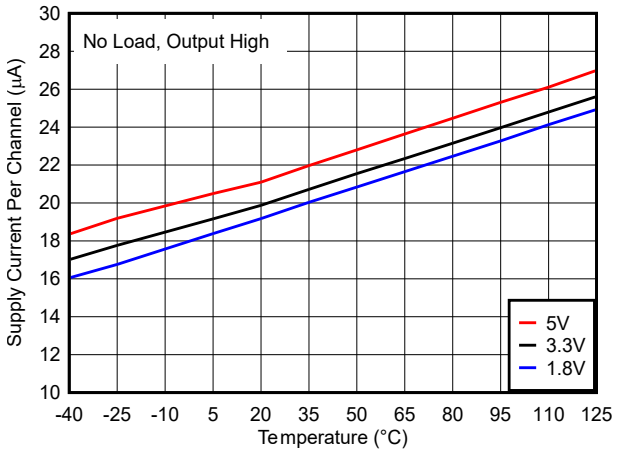


図 5-1. 電源電流と温度の関係

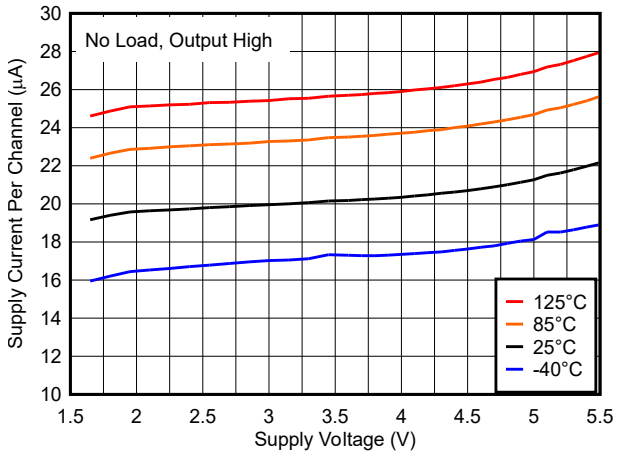


図 5-2. 電源電圧と電源電流の関係

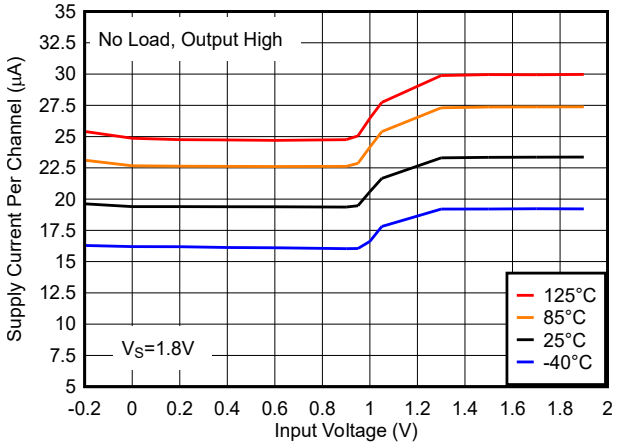


図 5-3. における電源電流と同相電圧との関係、1.8V

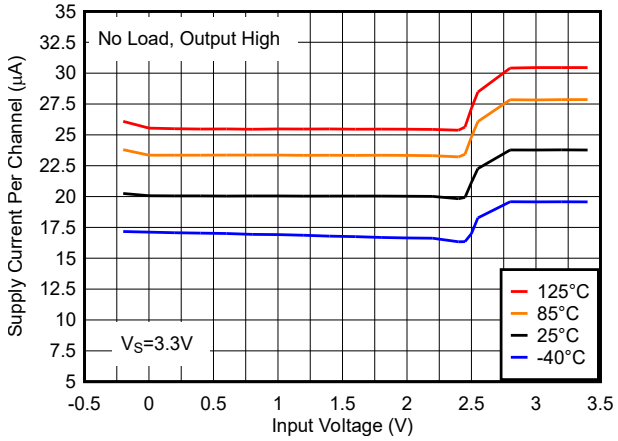


図 5-4. における電源電流と同相電圧との関係、3.3V

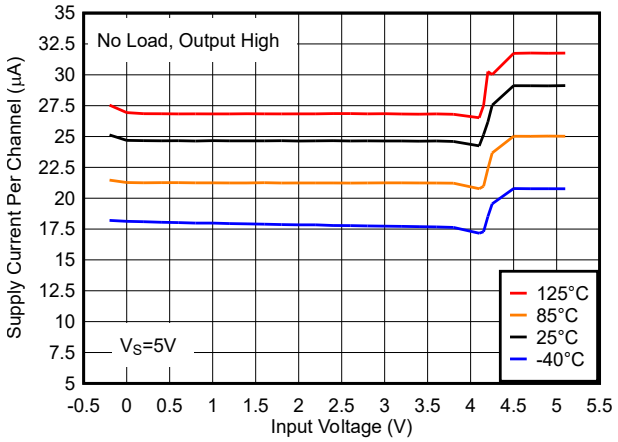


図 5-5. における電源電流と同相電圧との関係、5V

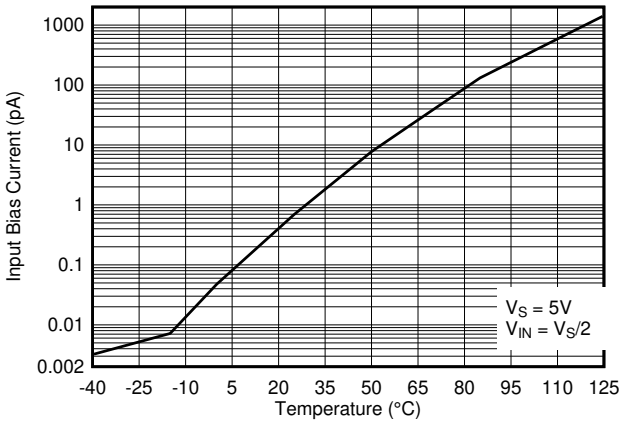


図 5-6. 入力バイアス電流と温度の関係

ADVANCE INFORMATION

ADVANCE INFORMATION

5.7 代表的特性 (続き)

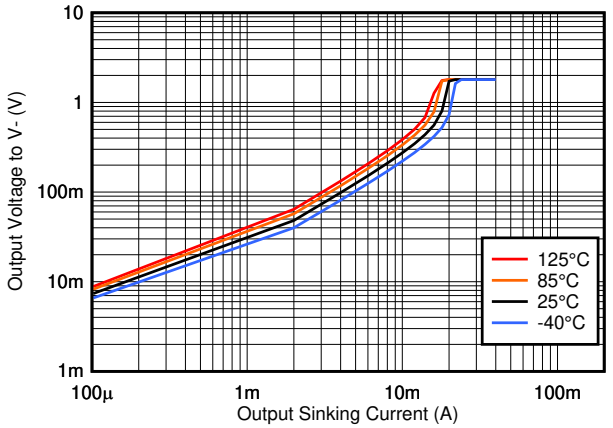


図 5-7. コンパレータおよび AND_OUT 出力シンク電流と出力電圧の関係、1.8V

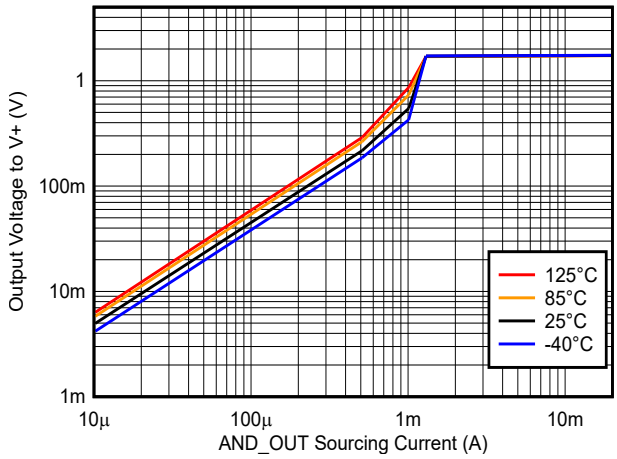


図 5-8. AND_OUT ソース電流と出力電圧の関係、1.8V

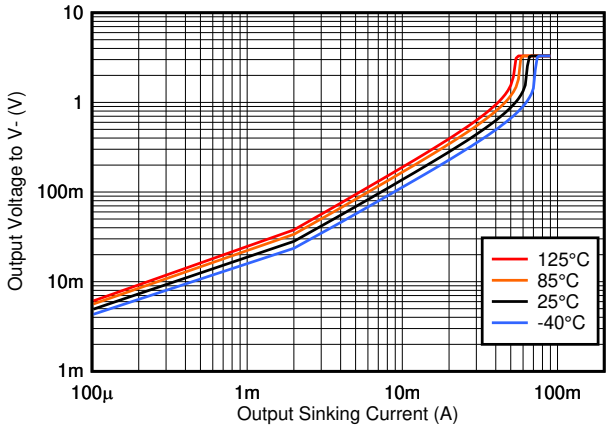


図 5-9. コンパレータおよび AND_OUT 出力シンク電流と出力電圧の関係、3.3V

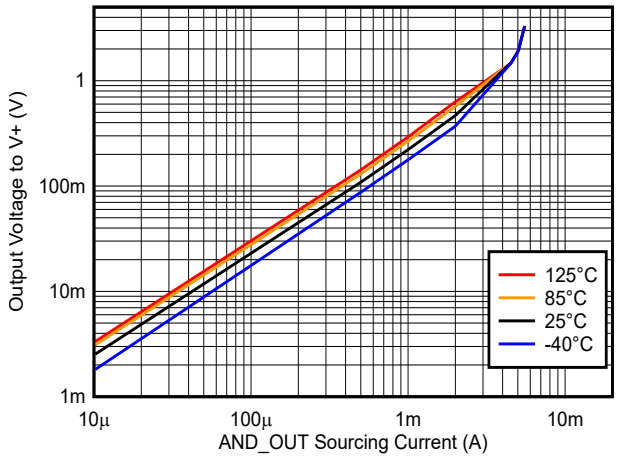


図 5-10. AND_OUT ソース電流と出力電圧の関係、3.3V

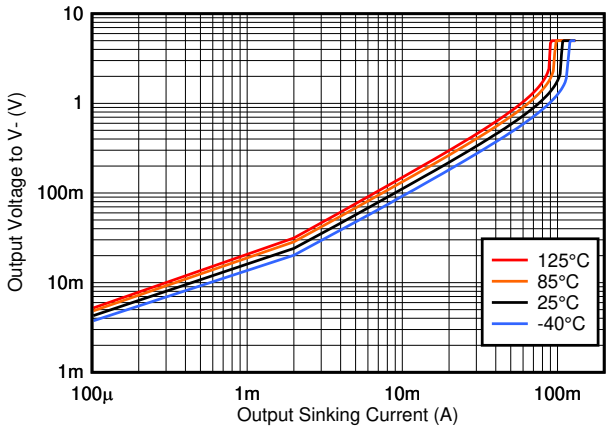


図 5-11. コンパレータおよび AND_OUT 出力シンク電流と出力電圧の関係、5V

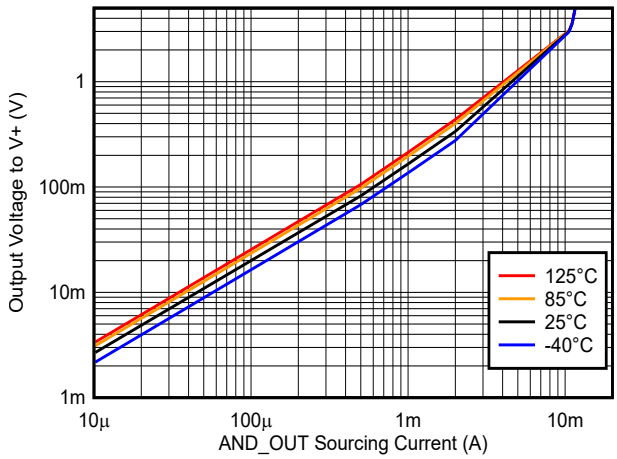


図 5-12. AND_OUT ソース電流と出力電圧の関係、5V

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

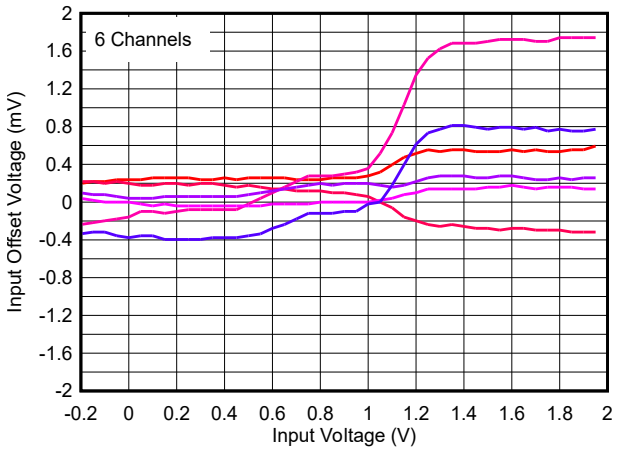


図 5-13. オフセット電圧と同相電圧の関係、1.8V、125°C

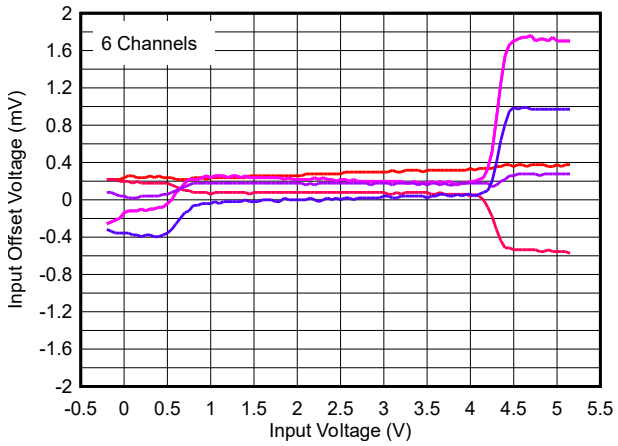


図 5-14. オフセット電圧と同相電圧の関係、5V、125°C

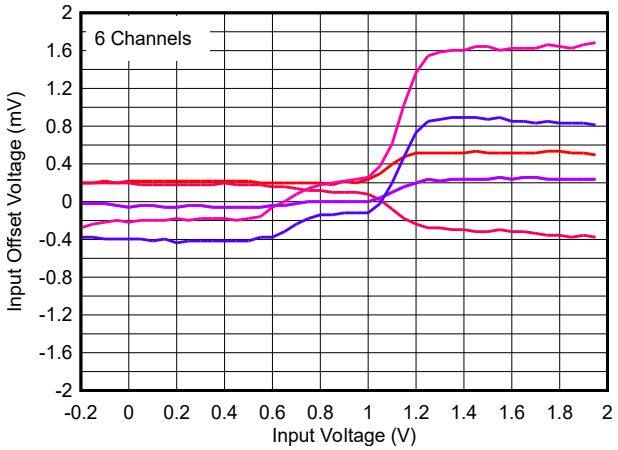


図 5-15. オフセット電圧と同相電圧の関係、1.8V、25°C

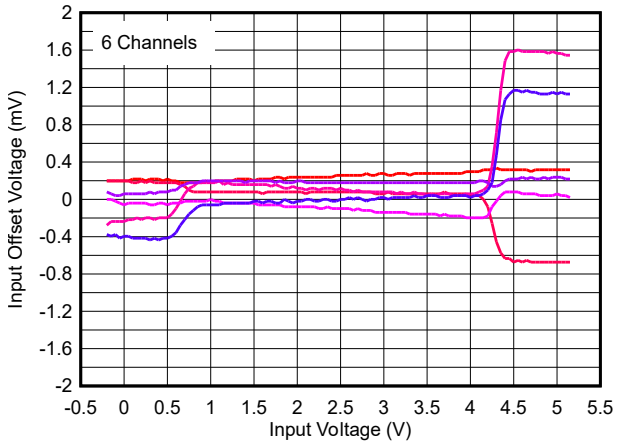


図 5-16. オフセット電圧と同相電圧の関係、5V、25°C

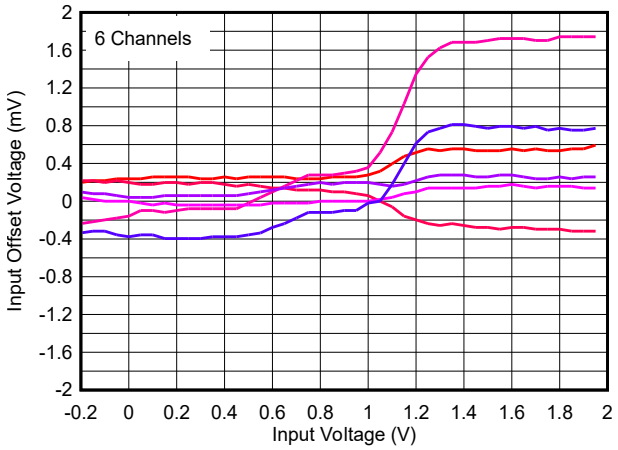


図 5-17. オフセット電圧と同相電圧の関係、1.8V、–40°C

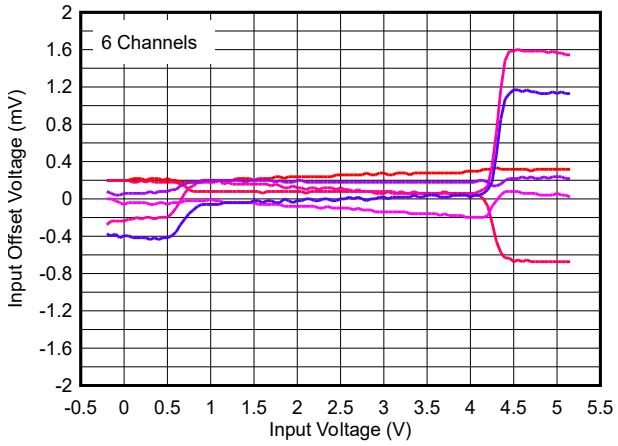


図 5-18. オフセット電圧と同相電圧の関係、5V、–40°C

ADVANCE INFORMATION

ADVANCE INFORMATION

5.7 代表的特性 (続き)

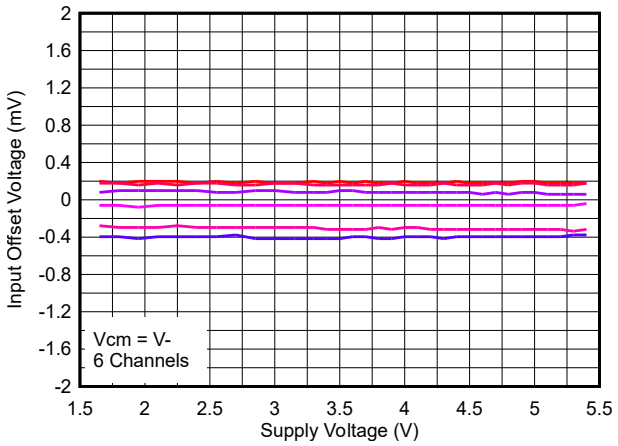


図 5-19. オフセット電圧と電源電圧の関係、低 VCM、–40°C

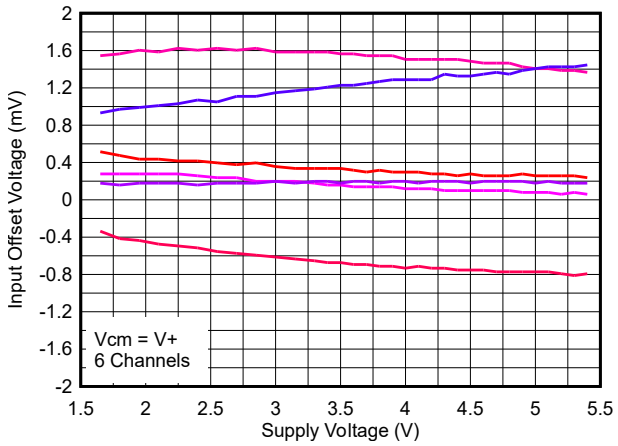


図 5-20. オフセット電圧と電源電圧の関係、高 VCM、–40°C

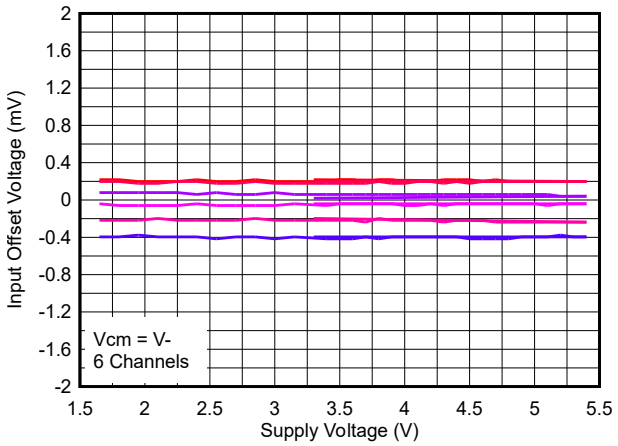


図 5-21. オフセット電圧と電源電圧の関係、低 VCM、25°C

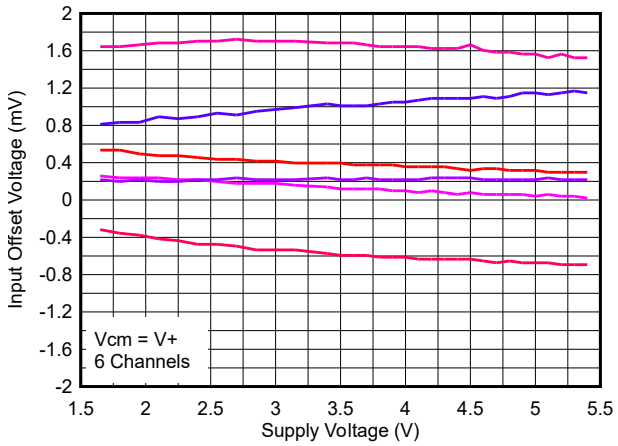


図 5-22. オフセット電圧と電源電圧の関係、高 VCM、25°C

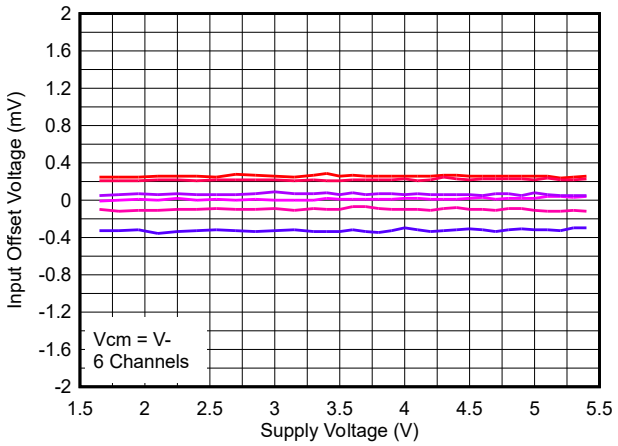


図 5-23. オフセット電圧と電源電圧の関係、低 VCM、125°C

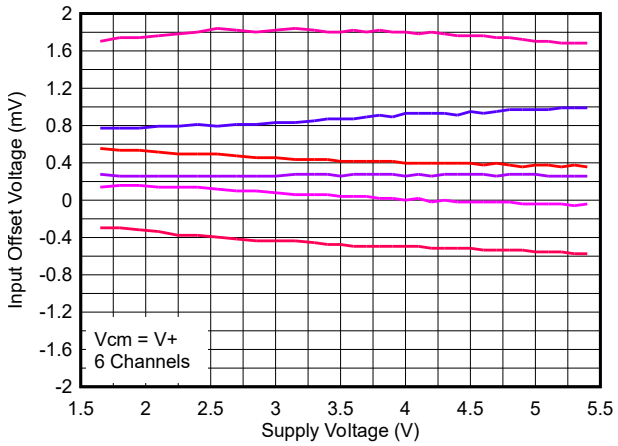


図 5-24. オフセット電圧と電源電圧の関係、高 VCM、125°C

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

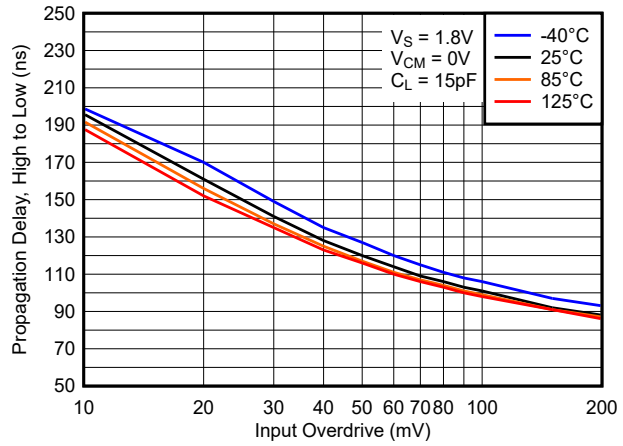


図 5-25. 伝搬遅延、"High" から "Low"、1.8V

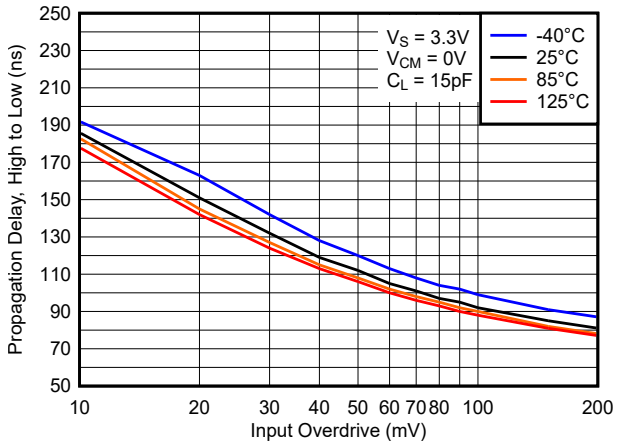


図 5-26. 伝搬遅延、"High" から "Low"、3.3V

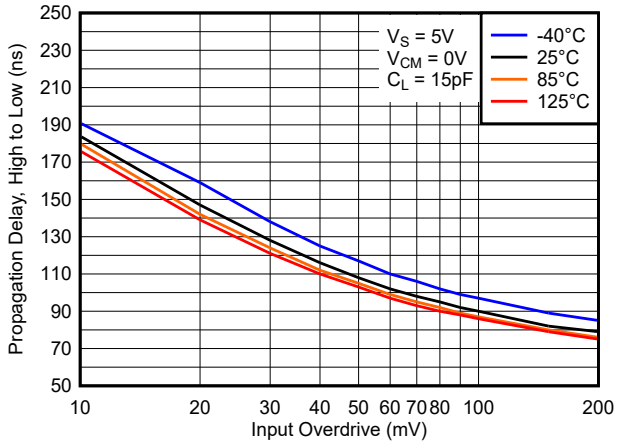


図 5-27. 伝搬遅延、"High" から "Low"、5V

ADVANCE INFORMATION

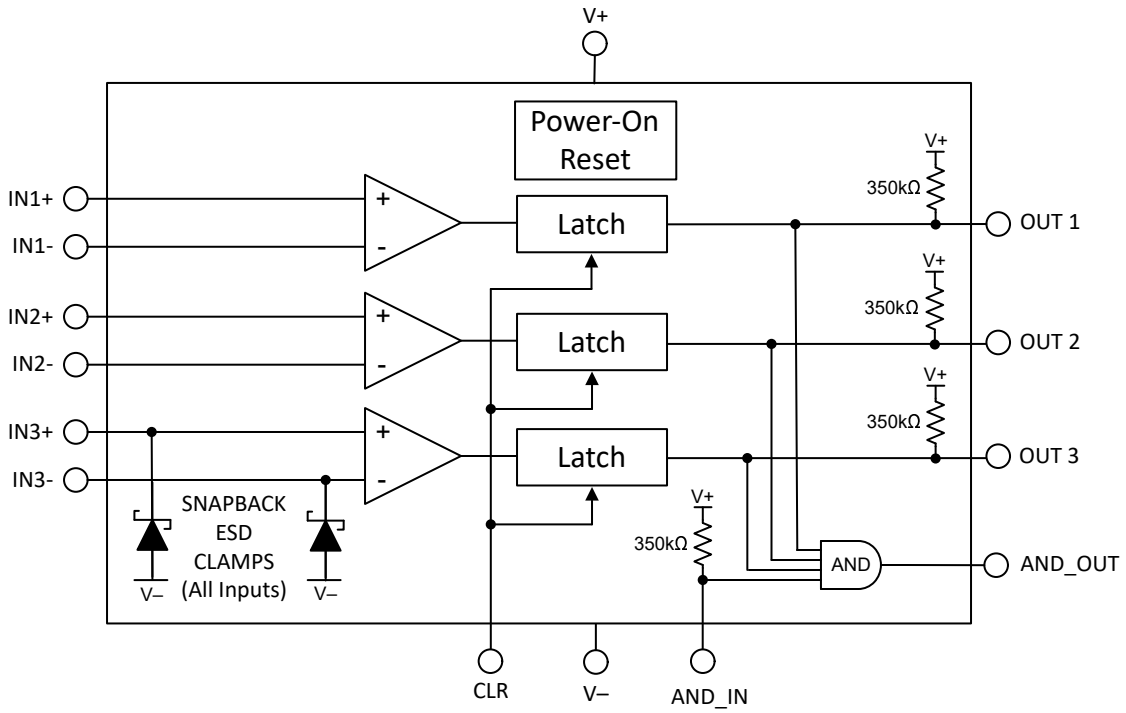
ADVANCE INFORMATION

6 詳細説明

6.1 概要

TLV9023L-Q1 は、結合 AND 出力を備えたトリプル チャネル ラッチ コンパレータです。このデバイスは、低い入力オフセット電圧、パワー オン リセット (POR)、フォルト トレラント入力、および優れた速度と電力の組み合わせ (110ns の伝搬遅延時間とチャネルあたり 25μA の静止消費電流) を実現しています。

6.2 機能ブロック図



6.3 機能説明

TLV9023L-Q1 の独自の特長は出力ラッチ機能です。出力は最初のスレッショルド超過時にラッチされるため、システム コントローラの完全な注意を必要とせずにイベントやエラー状態をキャプチャできます。これにより、起動時にシステム コントローラが初期化中でも、イベントをキャプチャできます。システム コントローラは、必要なタスクを実行した後でラッチをリセットできます。パワーアップ時に出力がラッチされ、ラッチをクリアするには CLR ピンを Low にする必要があります。

コンパレータの 3 つの出力は個別に利用できるだけでなく、AND_IN ロジック入力と AND 演算されてプッシュプル AND_OUT 出力に出力されます。AND_IN 入力は、複数の TLV9023L-Q1 回路、または外部コンパレータ出力またはエラー ロジック ラインをデイジーチェーン接続するために使用できます。

これらのコンパレータは、出力位相反転なし、損傷なしで最大 6V まで印加可能なフォルト トレラント入力も備えています。このことにより、このファミリのコンパレータは、過酷でノイズの多い環境での高精度電圧監視向けの設計になっています。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 出力

6.4.1.1 コンパレータのオープン ドレイン出力

TLV9023L-Q1 はオープン ドレイン (オープン コレクタとも呼ばれる) シンクのみの出力段を備えているため、コンパレータの電源電圧 (V_S) にかかわらず、出力ロジック レベルを最大 5.5V の電圧にプルアップできます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続とロジック レベルの変換も可能になります。

各出力には、外部プルアップ抵抗の数を減らすため、V+ への 350kΩ の弱い内部プルアップ抵抗も備わっています。高速 (100ns 未満) の立ち上がり時間が必要な場合は、消費電力を犠牲にして立ち上がり時間を長くするために、より低い値の外部プルアップ抵抗が必要になります。

使用しないオープン ドレイン出力はフローティングのままにすることができます。フローティング ピンが許されない場合は、V- ピンに接続できます。

オープンドレイン出力保護は、出力と V- の間に ESD クランプを配置し、プルアップ電圧が V_S を超えた場合でも、出力を最大 5.5V までの任意の電圧に引き下げることができるように構成されています。

6.4.1.2 AND_OUT 出力

TLV9023L-Q1 AND_OUT 出力は、3 つの内部コンパレータ出力と AND_IN 入力のロジカル AND です。すべてのコンパレータ出力が Low になると、AND_OUT 出力が Low に設定されます。

AND_OUT 出力はプッシュプル出力であり、外付けプルアップ抵抗を必要としないため、最初のパワーアップ時に出力を Low に保持します。

AND_OUT 出力は、別の TLV9023L-Q1 の AND_IN に接続することで、デバイスをデイジーチェーン接続できます。いずれかのコンパレータが Low になると、チェーン接続されたデバイスでは、すべての AND_OUT 出力が Low になります。

6.4.2 パワーオン リセット (POR)

TLV9023L-Q1 には内部パワー オン リセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源電圧 (V_s) の上昇または下降中に、電源電圧の最小スレッショルドの V_{POR} (通常 1.25V) を超えた後、最大 60µs (過熱時) の間、または電源電圧が V_{POR} 未満に低下した直後に、POR 回路がアクティブになります。POR 期間中は、入力状態は無視されます。電源電圧が最小電源電圧以上の場合、コンパレータは最初にラッチ状態になります。正常に動作させるには、パワーアップ後に CLR をアサートする必要があります。

早期ラッチを防止するため、POR 期間の終了前に入力レベルをセトリングする必要があります。入力上のフィルタリング部品または RC 部品 (基準電圧、分圧器、バイパス コンデンサなど) の時定数に注意を払う必要があります。

6.4.2.1 出力 POR 動作

POR 回路は、POR 期間 (t_{on}) 中、出力を **Low** に維持します。

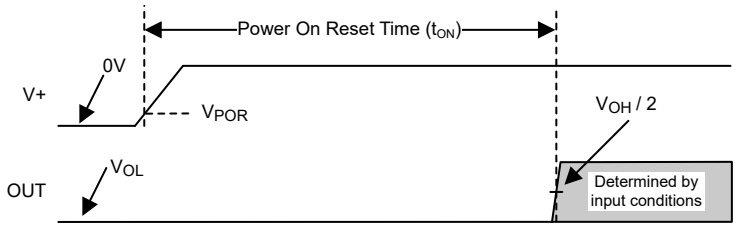


図 6-1. パワーオン リセットのタイミング図の例

POR は、POR を通じて出力を **Low** から開始し、POR 後は CLR ピンによってクリアされるまで **Low** にラッチされたままになります。また、POR の間も、AND_OUT は Low に維持されます。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.4.3 出力ラッチ

TLV9023L-Q1 には、作動可能時に、最初の入力遷移が入力スレッショルドを通過したときにラッチされる出力があります。CLR ピンの立ち下がりエッジまで出力はラッチされたまま維持されます。

6.4.3.1 TLV9023L-Q1 のラッチ動作

TLV9023L-Q1 の出力は、POR 期間中は **Low** にラッチします。POR 期間の後、出力は **low にラッチ**され、CLR ピンの **high から low** への遷移によりクリアされる必要があります。ラッチの動作の概要を以下に示します。

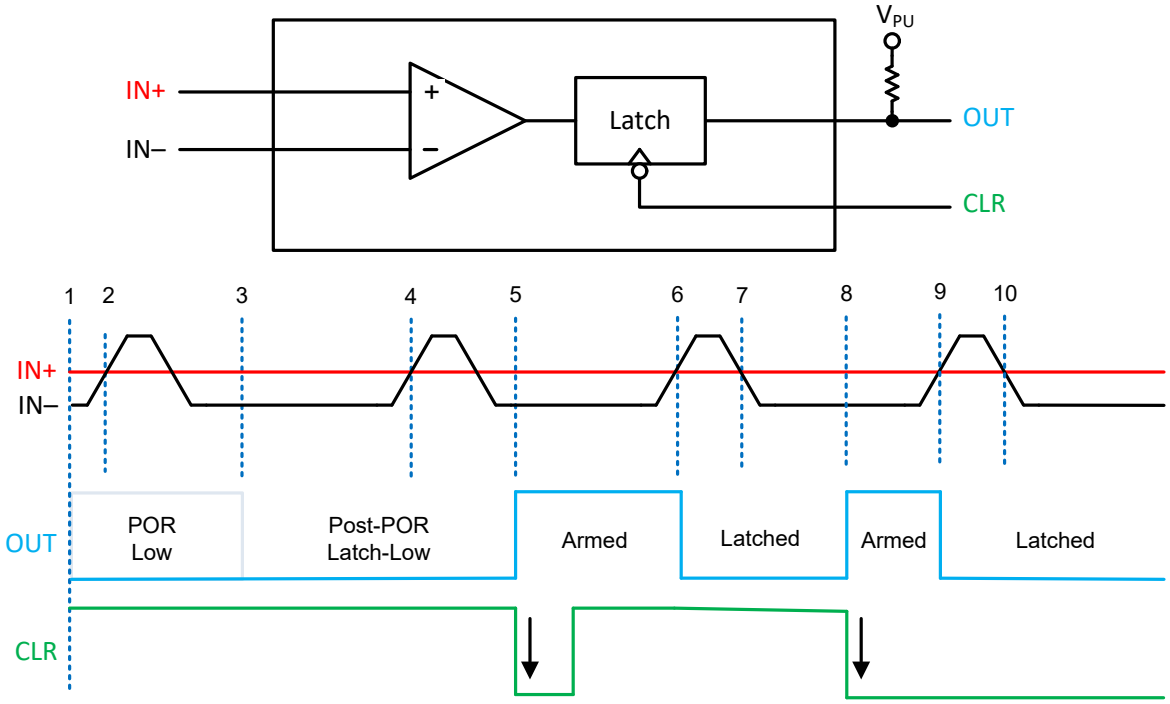


図 6-2. ラッチのタイミングの例

ラッチの動作の概要を以下に示します。

1. 最初の電源オン後の POR 期間中、出力は Low になります。
2. POR 期間中は入力遷移は無視されます。
3. POR 期間の後、OUT は Low にラッチされたままです。
4. IN- は IN+ を通過しますが、ラッチ中は遷移は無視されます。
5. CLR の立ち下がりエッジがリセットされ、次の遷移を待つラッチが作動可能になります。
6. IN- > IN+ では、OUT が Low になり、ラッチします。
7. IN+ > IN- でも、OUT は Low にラッチされたままです。
8. CLR の立ち下がりエッジがリセットされ、次の遷移に向けてラッチが作動可能になります。
9. IN- が IN+ を超えると、出力は Low になり、再びラッチします。
10. IN+ > IN- でも出力は Low にラッチされたままです。

Copyright © 2026 Texas Instruments Incorporated

6.4.3.2 クリア (CLR) 入力

CLR が High または Low で、コンパレータがラッチ状態でない場合、コンパレータはアクティブ (「作動可能」) で、入力状態に応答することで、次の認定状態をラッチできるようになります。

CLR 入力は、CLR 入力の High から Low (立ち下がり) エッジの出力ラッチをクリアします。コンパレータはクリアの後、次のラッチ状態イベントまでアクティブ (作動可能) になります。

立ち下がりエッジを使用してリセットをトリガすることで、CLR ピンを安定した High または Low にできます。これにより、ハードウェアまたはソフトウェアの障害によってコンパレータがロックアップされるのを防ぎ、安全性の高い設計要件を満たすことができます。

コンパレータの出力遷移と同時に CLR ピンが遷移 (立ち下がり) している場合、セットアップ時間の競合が発生する可能性があります。CLR の立ち下がりエッジ時間中は、出力の状態は不定です。この競合に対応できるよう、CLR 立ち下がりエッジはできるだけ高速にすること (立ち下がり時間 100ns 未満) を推奨します。

CLR ピンにはフェイルセーフ (または「5V 互換」) 入力が搭載されており、コンパレータの電源電圧に関係なく、最大 5V のロジック High レベルに対応できます。ロジック High (VOH) スレッショルドは 1.2V です。

また、CLR 入力にはわずか 200nA のアクティブ プルダウン電流があり、起動時に CLR ピンが Low になり、コンパレータがアクティブであることを保証します。このプルダウンを使用した場合でも、CLR 入力をフローティングにすることは推奨されません。

6.4.4 入力

6.4.4.1 レール ツー レール入力

TLV9023L-Q1 の入力電圧範囲は、V– より 200mV 低い電圧から V+ より 200mV 高い電圧までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力ピンの電圧が V+ または V- を超えても、コンパレータ出力の位相反転は発生しません。

6.4.4.2 フェイルセーフ入力

入力は、電源電圧にかかわらず、最高 5.5V までフォルト トレラントです。フォルト トレラントとは、V_S が電源供給されていないとき、または推奨動作範囲内にあるときに、同じ高い入力インピーダンスを維持することと定義されます。

フォルト トレラント入力には、V_S が 0 またはランプアップ / ダウン中を含めて、0V～5.5V の範囲で任意の値を使用できます。この機能により、入力電圧範囲と電源電圧が規定の最大範囲内にある限り、電源シーケンスの問題が回避されます。これが可能なのは、入力が V+ にクランプされていないため、入力に高電圧が印加されても入力電流の High インピーダンスが維持されるためです。

いずれかの入力ピンが有効な入力範囲内にあり、電源電圧が有効で POR ではない限り、出力状態は正常です。

入力電圧異常とその結果の概要を以下に示します:

1. IN+ と IN- の両方が規定の入力電圧範囲内の場合:
   a. IN- が IN+ およびオフセット電圧より高い場合、出力は Low になります。
   b. IN- が IN+ およびオフセット電圧より低い場合、出力は High になります。
2. IN- が規定の入力電圧範囲より高く、IN+ が規定の電圧範囲内にある場合、出力は Low になります。
3. IN+ が規定の入力電圧範囲より高く、IN- が規定の入力電圧範囲内に入る場合、出力は High になります。
4. IN- と IN+ の両方が規定の入力電圧範囲から外れている場合、出力は**不定** (ランダム) になります。この範囲の値では使用しないでください。出力はランダムに反転できます。

耐故障性機能があるものの、TI では、データシートの仕様を維持するため、通常のシステム動作時に入力を規定の入力電圧範囲内に維持することを強く推奨します。指定された入力範囲外で動作すると、伝搬遅延時間や入力バイアス電流などの仕様が変化し、それにより予測不能な動作の原因となる可能性があります。

ADVANCE INFORMATION

6.4.4.3 入力保護

TLV9023L-Q1 ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力には、各ピンから V- への独自の「スナップバック」型 ESD クランプが使用されています。V+ への「上側」ESD クランプはありません。これにより、入力ピンが電源電圧 (V+) を超えられます。ESD イベントの間、スナップバック ダイオードは「短絡」し、V- への Low インピーダンスになります (SCR など)。

電源やバッファ付きリファレンス ラインなど、低インピーダンスのソースに入力を接続する場合は、過渡によりクランプが導通した場合に過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを TI では推奨しています。電流は 10mA 以下に制限する必要があります。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

ESD ダイオードは、高電圧にクランプできません。ESD クランプは、ツェナー ダイオードのような固定最大電圧で「ホールド」しません。入力を 5.5V を超える可能性がある電源に接続する場合は、最大入力電圧を超えないように外部クランプが必要です。

入力バイアス電流は、通常は V+ と V- の間の入力電圧に対して 5pA です。入力バイアス電流は、通常は温度が 10℃ 上昇するごとに 2 倍になります。

6.4.4.4 内部ヒステリシス

TLV9023L-Q1 にはヒステリシスが内蔵されていません。ラッチ機能により、最初の出力遷移時に出力がラッチされるため、ヒステリシスが不要になります。基準レベルは目的のスレッショルド レベルに設定し、入力信号は早期トリガを引き起こす可能性のあるノイズや過渡電圧を除去するために適切にフィルタリングする必要があります。

6.4.4.5 AND_IN 入力

AND_IN 入力により、複数のデバイスをデイジーチェーン接続して、入力数を増やすことができます。AND_IN 入力はパススルーであり、ラッチはトリガされません。

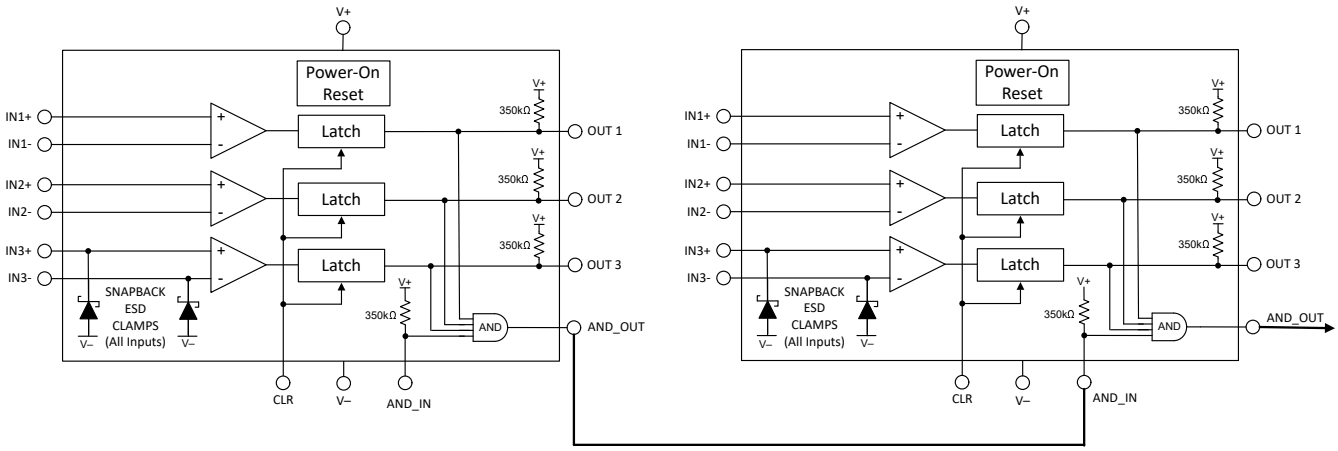


図 6-3. 複数のデバイスの接続

AND_OUT ピンを次のデバイスの AND_IN に接続して、複数のデバイスのデイジーチェーンを作成できます。AND_OUT 出力は、すべての入力がカバーされるように、チェーンの (最も右の) 端から取得する必要があります。

AND_IN 入力には、V+ への 350kΩ の弱いプルアップ抵抗が含まれています。これにより、複数のデバイスをデイジーチェーン接続する場合に追加のプルアップ抵抗が不要になります。AND_IN 入力は、使用しない場合はフローティング状態にするか、V+ に接続したままにしておくことができます。

6.4.4.6 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が広く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが内部広帯域ノイズでトリガされ、高周波の発振が発生することがあります。使用しない

Copyright © 2026 Texas Instruments Incorporated

入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力を接地し、もう一方の入力を基準電圧または (V+) に接続できます。

ADVANCE INFORMATION

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 基本的なコンパレータの定義

7.1.1.1 動作

TLV9023L-Q1 コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力のリファレンス電圧 (V_{REF}) と比較します。以下の図 7-1 の例で、V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) はロジック High (V_{OH}) になります。V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) はロジック Low (V_{OL}) になり、Low にラッチされます。表 7-1 に、出力の条件のまとめを示します。

表 7-1. 出力条件

入力の条件	出力状態
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (CAN チャタリング)
IN+ < IN-	LOW (V_{OL}) (ラッチ)

7.1.1.2 伝搬遅延

入力がリファレンス電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。図 7-1 では、伝搬遅延を t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。ラッチの関係で、TLV9023L-Q1 には「Low から High」(t_{pLH}) 仕様はありません。t_{pLH} は、「クリア立ち下がりからラッチ リセットまでの伝搬遅延時間」($T_{PD-CLR-F}$) 仕様に置き換えられています。これは、CLR 入力の立ち下がりエッジから出力の立ち上がりエッジまでの時間です。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

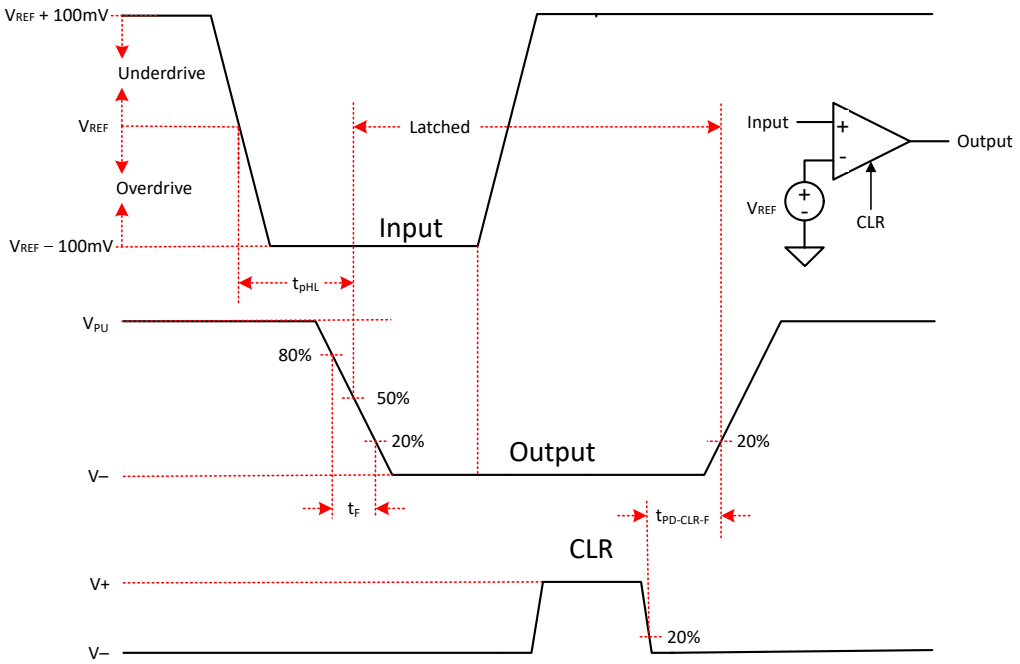


図 7-1. コンパレータのタイミング図

7.1.1.3 オーバードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。図 7-1 の例に示したオーバードライブ電圧は 100mV です。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

7.2 代表的なアプリケーション

7.2.1 ウィンドウ コンパレータ

ウインドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。図 7-2 に、簡単なウィンドウ コンパレータ回路を示します。出力を互いに直接接続する場合、ウィンドウ コンパレータにはオープン ドレイン出力 (TLV9023L-Q1) を使用する必要があります。

ADVANCE INFORMATION

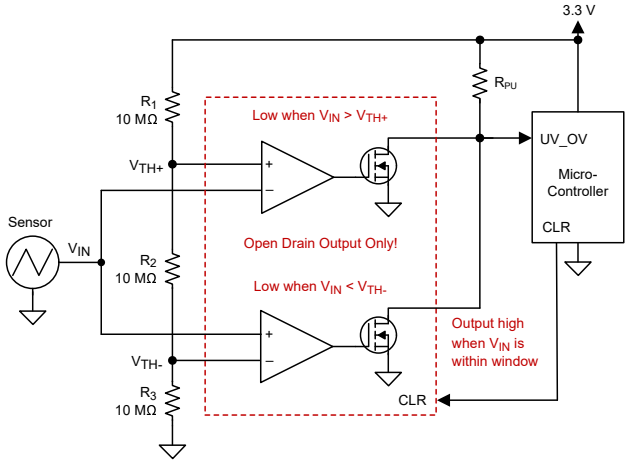


図 7-2. TLV9023L-Q1 を使用するウィンドウ コンパレータ

7.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 入力信号が 1.1V を下回る場合のラッチ (論理 "Low" 出力)
- 入力信号が 2.2V を超える場合のラッチ (論理 "Low" 出力)
- 3.3V 電源で動作

7.2.1.2 詳細な設計手順

図 7-2 に示されているように、回路を構成します。R1、R2、R3 をそれぞれ 10MΩ 抵抗にします。これらの 3 つの抵抗を使用して、ウィンドウ コンパレータの正と負のスレッショルド (V_{TH+} と $V_{TH–}$) を作成します。

各抵抗が等しい場合、V_{TH+} は 2.2V、V_{TH-} は 1.1V です。消費電力を最小限に抑えるため、10MΩ などの大きな抵抗値を使用します。抵抗値を再計算して、目的のトリップ ポイント値を得ることができます。

センサの出力電圧は、2 つのコンパレータの反転入力と非反転入力に印加されます。2 つのオープン ドレイン出力コンパレータを使用すると、2 つのコンパレータ出力を OR 接続できます。

センサが 1.1V 未満または 2.2V 超の場合、それぞれのコンパレータ出力は Low にラッチします。図 7-3 に示すように、センサが 1.1V～2.2V の範囲内 (「ウィンドウ」内) の場合、それぞれのコンパレータ出力は High になります。

出力をリセットし、コンパレータを作動可能にするには、CLR ピンを High から Low に切り替える必要があります。

7.2.1.3 アプリケーション曲線

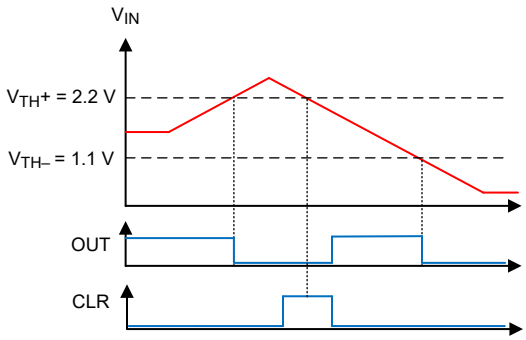


図 7-3. ウィンドウ コンパレータの結果

詳細については、アプリケーション ノート SBOA221「ウィンドウ コンパレータ回路」を参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサが重要です。(V+) ピンとグランド ピンの間に低 ESR の 0.1μF セラミック バイパス コンデンサを直接接続し、*それぞれ*のデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 ((V+) および (V-))、または「単一」電源 ((V+) および GND) から電力を供給できます ((V-) ピンに GND を印加)。いずれのタイプについても、入力信号を推奨の入力範囲内に維持する必要があります。「分割」電源では、出力は GND ではなく (V-) の電位まで「Low」 (V_{OL}) になることに注意してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、ノイズやグリッチを最小限に抑えた安定した電源が必要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは、電源ピンにできるだけ近づけて、しっかりとしたグランド プレーンに接続し、できれば V+ ピンと V– ピンの間に直接接続する必要があります。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に V+ または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンス トレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用する必要があります。

7.4.2 レイアウト例

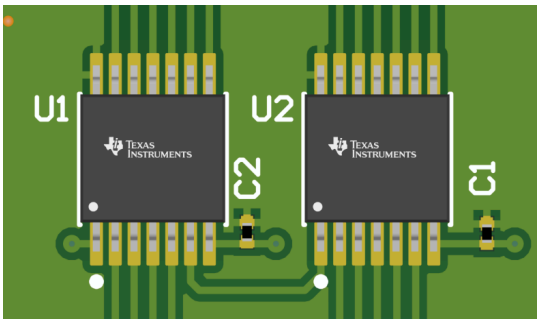


図 7-4. デイジーチェーン接続された AND_OUT を示すレイアウト例

ADVANCE INFORMATION

ADVANCE INFORMATION

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

『アナログ エンジニア向け回路設計ヒント集: アンプ(コンパレータのセクションを参照)、SLYY137

『Precision Design、ヒステリシス付きコンパレータのリファレンス デザイン』、TIDU020

『ウィンドウ コンパレータ回路 』、SBOA221

『リファレンス デザイン、ウィンドウ コンパレータのリファレンス デザイン』、TIPD178

『ヒステリシス回路付き / なしのコンパレータ』、SBOA219

『ヒステリシスを持つ反転コンパレータ回路』、SNOA997

『ヒステリシスを持つ非反転コンパレータ回路』、SBOA313

『独立して動作する 4 つのコンパレータ』、SNOA654

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	事前情報のリリース

Copyright © 2026 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTLV9023L2WRTERQ1	Active	Preproduction	WQFN (RTE) | 16	5000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

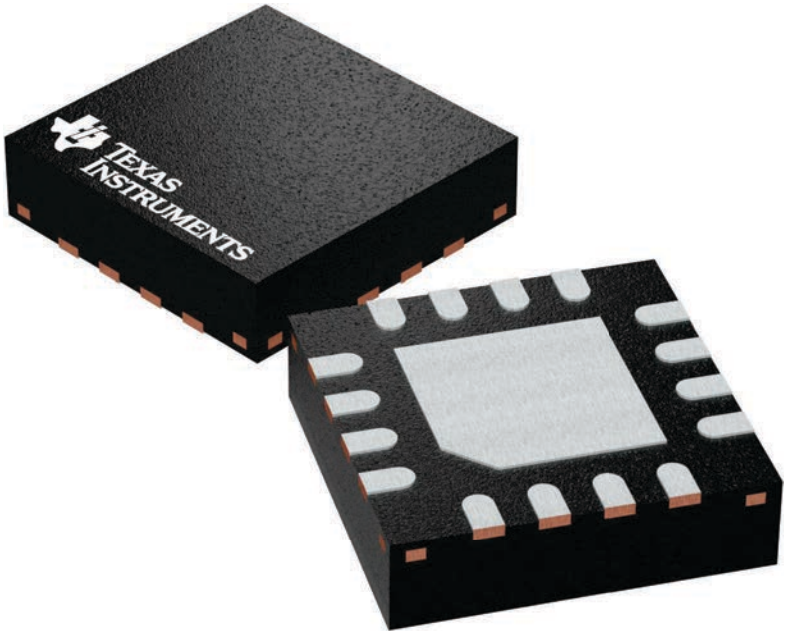
RTE 16

WQFN - 0.8 mm max height

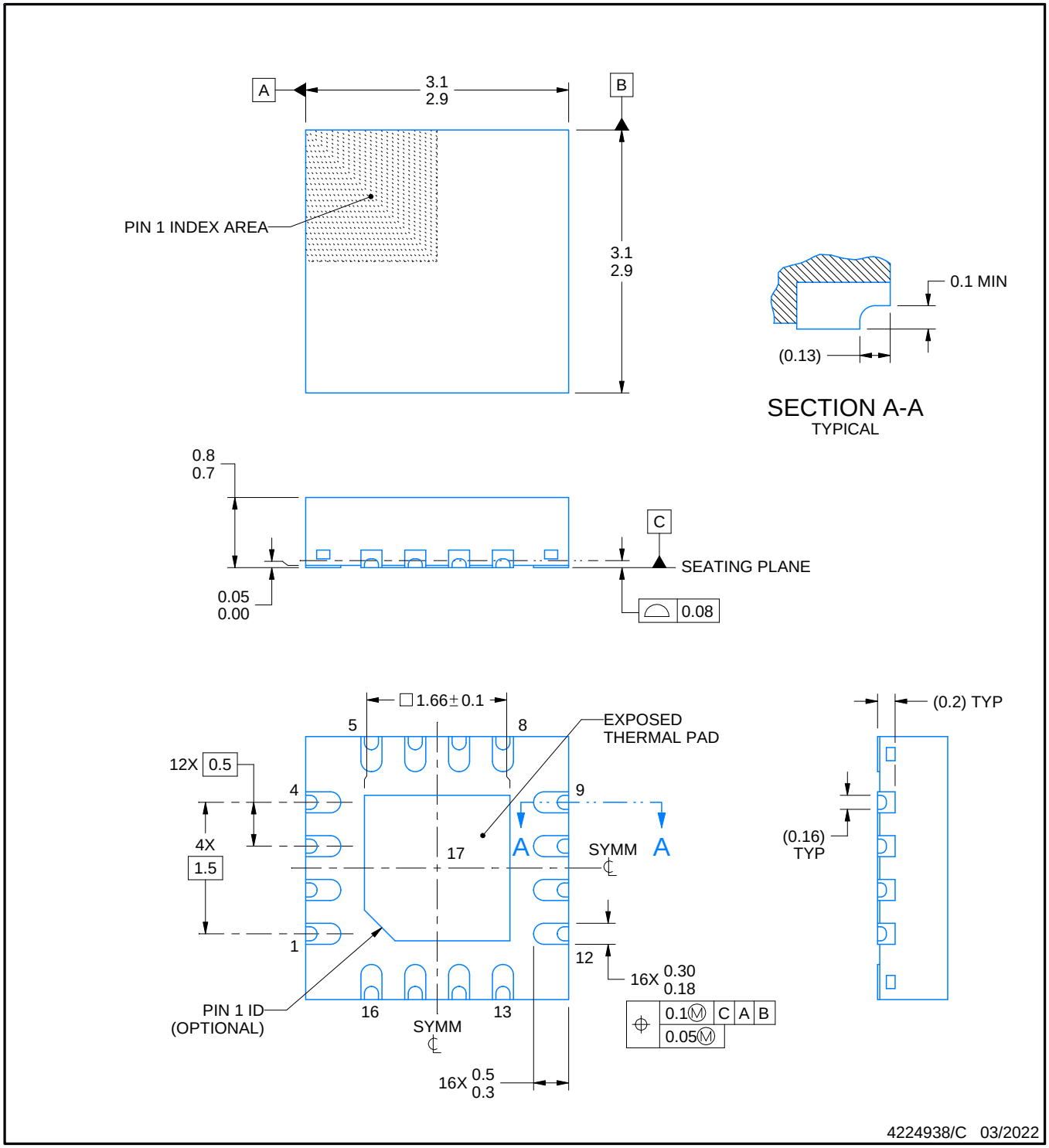
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

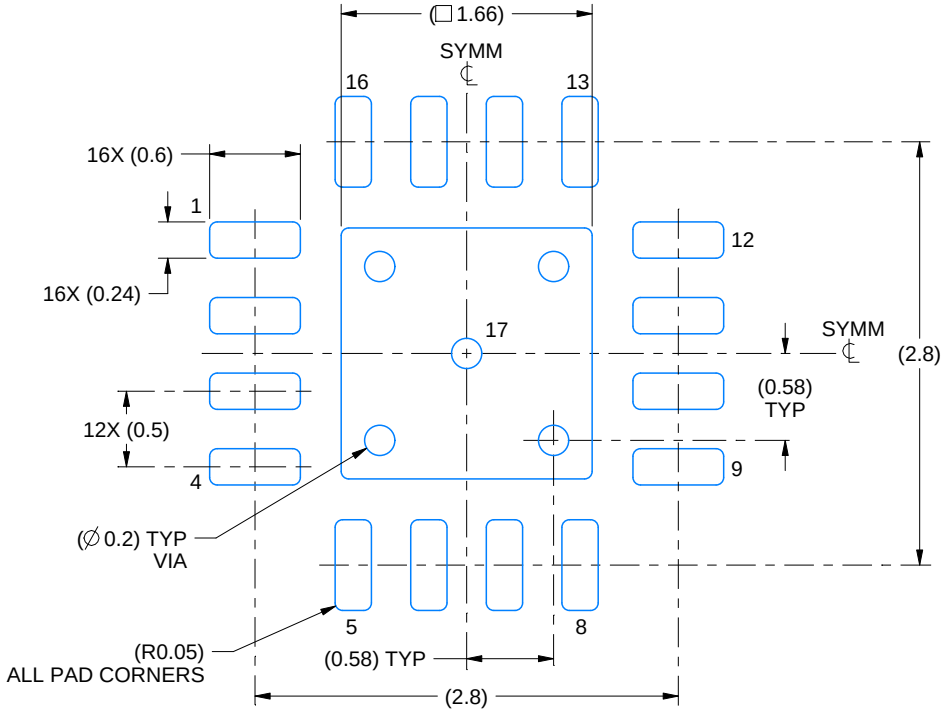


4225944/A

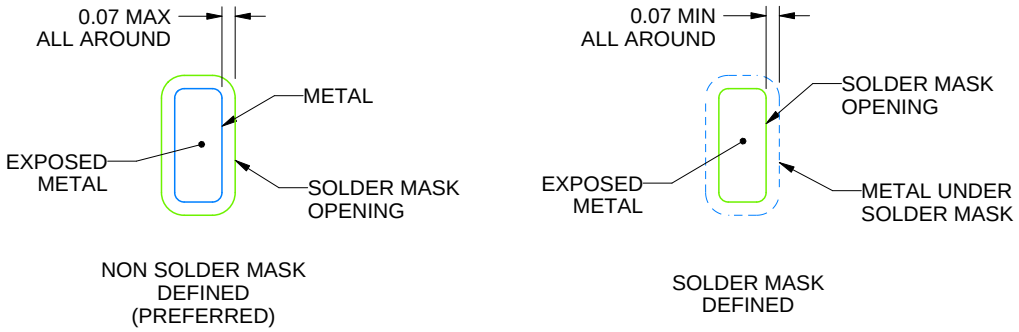


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

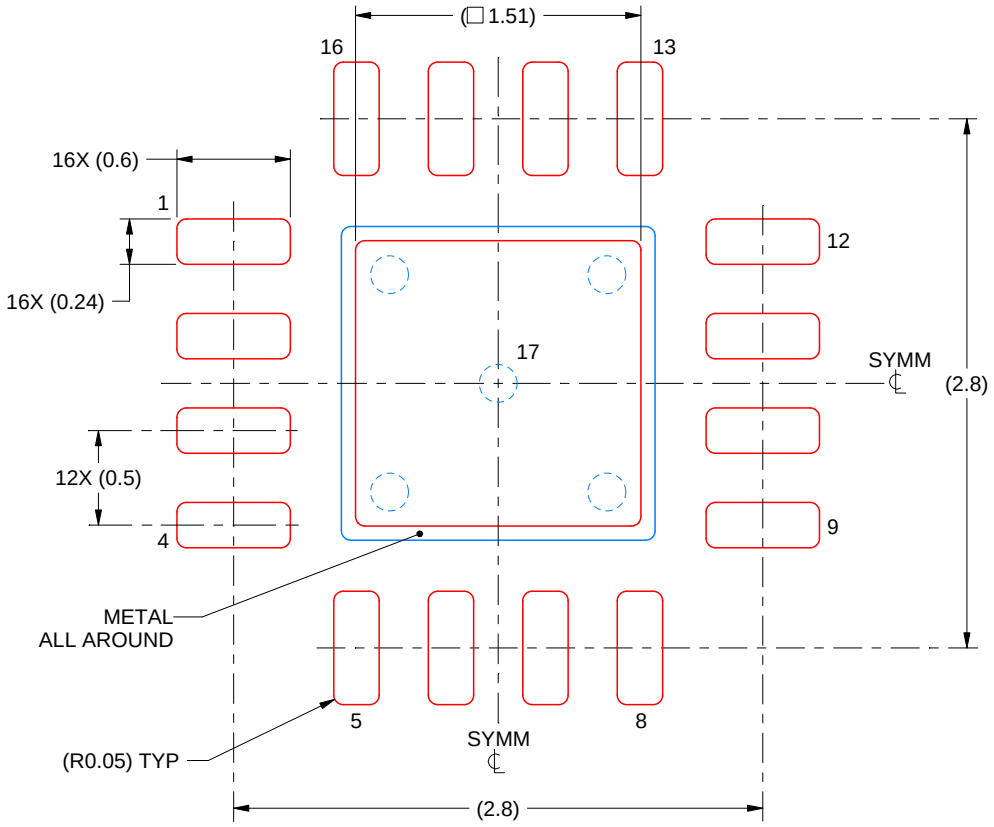


SOLDER MASK DETAILS

4224938/C 03/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224938/C 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月