低消費電力アプリケーション向け TLV904x 1.2V 超低電圧、10µA 超低消費電力 RRIO アンプ

1 特長

- コスト最適化アプリケーション向け低消費電力 CMOS アンプ
- 最低 1.2V の電源電圧で動作
- 低い入力バイアス電流：1pA (標準値)、12pA (最大値)
- 低い静止電流：10µA/Ch
- 0.1Hz~10Hz で 6.5μV_{p-p} の低い積分ノイズ
- レール ツー レール入出力
- 高いゲイン帯域幅積：350kHz
- 熱ノイズ フロア：64nV/$\sqrt{Hz}$
- 低い入力オフセット電圧：±0.6mV
- ユニティ ゲイン安定
- 負荷容量 100pF の確実な駆動
- 内部 RFI および EMI フィルタ付きの入力ピン
- 広い動作温度範囲：-40℃ ～ 125℃
- 非補償型バージョン (16µA / チャネル、3.1MHz) については、TLV9041D および TLV9042D を参照してください

2 アプリケーション

- ポータブル エレクトロニクス
- ウェアラブル フィットネスおよびアクティビティ モニタ
- ヘッドセット、ヘッドホン、小型イヤホン
- パーソナル エレクトロニクス
- ビル オートメーション
- ウェアラブル (非医療用)
- モーション検出器 (PIR、uWave など)
- 電子 POS (ePOS)
- 単一電源、ローサイド、単方向電流センシング回路

3 説明

低消費電力 TLV904x ファミリには、レール ツー レールの入出力スイングが可能な、シングル (TLV9041)、デュアル (TLV9042)、クワッド (TLV9044) チャネルの超低電圧 (1.2V～5.5V) オペアンプがあります。TLV904x は、標準 10µA の低静止電流と、最低 1.2V の電源電圧で動作可能な特長により、電力を大幅に削減できます。そのため、このデバイスは 1.5V コイン電池アプリケーションに対応可能な、業界でも数少ないアンプの一つとなっています。シャットダウン モード (TLV9041S、TLV9042S、TLV9044S) を使えば、消費電力をさらに削減できます。このモードでは、アンプをオフにして標準消費電流 150nA 未満のスタンバイ モードに移行できます。これらのデバイスは、バッテリ駆動の IoT デバイス、ウェアラブル電子機器、低電圧での動作が重要なパーソナル電子機器など、電力とスペースの制約が厳しいアプリケーション向けに、コスト効率の優れたアンプ デザインを提供します。

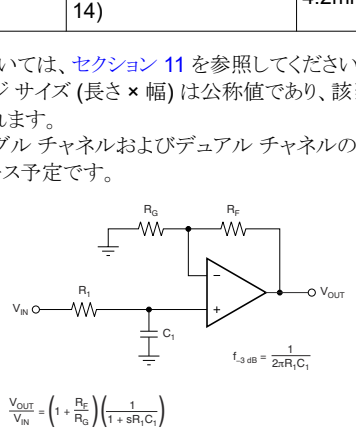
TLV904x ファミリは、堅牢に設計されているため、回路設計を簡素化できます。これらのオペアンプには、RFI および EMI 除去フィルタ、ユニティ ゲイン安定、入力オーバードライブ状態で位相反転がない、という特長があります。また、350kHz のゲイン帯域幅と 100pF の高い容量性負荷駆動という優れた AC 性能を備えており、性能向上および消費電力低減を可能にします。

すべてのチャネル バリアント (シングル、デュアル、クワッド) が、X2QFN や WSON など省スペースのマイクロサイズ パッケージと、SOIC、VSSOP、TSSOP、SOT-23 などの業界標準パッケージで供給されます。

製品情報

部品番号 (3)	パッケージ (1)	パッケージ サイズ (2)
TLV9041	DBV (SOT-23、5)	2.9mm × 2.8mm
	DCK (SOT-SC70、5)	2mm × 2.1mm
	DPW (X2SON、5)	0.80mm × 0.80mm
TLV9041S	DBV (SOT-23、6)	2.9mm × 2.8mm
TLV9042	D (SOIC、8)	4.9mm × 6mm
	DDF (SOT-23-THN、8)	2.9mm × 2.8mm
	DSG (WSON、8)	2mm × 2mm
	DGK (VSSOP、8)	3mm × 4.9mm
	PW (TSSOP、8)	3mm × 6.4mm
TLV9042S	RUG (X2QFN、10)	1.5mm × 2mm
TLV9044	D (SOIC、14)	8.65mm × 6mm
	PW (TSSOP、14)	5mm × 6.4mm
	DYY (SOT-23-THN、14)	4.2mm × 3.26mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 他のシングル チャネルおよびデュアル チャネルのパッケージ版も近日リリース予定です。



シングル ポールのローパス フィルタ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....3
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 シングル チャネルの熱に関する情報.....7
6.5 デュアル チャネルの熱に関する情報.....8
6.6 クワッド チャネルの熱に関する情報.....8
6.7 電気的特性.....9
6.8 代表的特性.....11
7 詳細説明.....19
7.1 概要.....19
7.2 機能ブロック図.....19
7.3 機能説明.....20
7.4 デバイスの機能モード.....24
8 アプリケーションと実装.....25
8.1 使用上の注意.....25
8.2 代表的なアプリケーション.....25
8.3 電源に関する推奨事項.....27
8.4 レイアウト.....27
9 デバイスおよびドキュメントのサポート.....30
9.1 ドキュメントのサポート.....30
9.2 ドキュメントの更新通知を受け取る方法.....30
9.3 サポート・リソース.....30
9.4 商標.....30
9.5 静電気放電に関する注意事項.....30
9.6 用語集.....30
10 改訂履歴.....30
11 メカニカル、パッケージ、および注文情報.....31

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	番号数	パッケージ リード												
		SC70 DCK	SOIC D	SOT-23 DBV	SOT-23 DYY	SOT-23-8 DDF	SOT-553 DRL(1)	TSSOP PW	VSSOP DGK	WQFN RTE(1)	WSON DSG	X2QFN RUC(1)	X2SON DPW	X2QFN RUG
TLV9041	1	5	—	5	—	—	5	—	—	—	—	—	5	—
TLV9041S	1	—	—	6	—	—	—	—	—	—	—	—	—	—
TLV9042	2	—	8	—	—	8	—	8	8	—	8	—	—	—
TLV9042S	2	—	—	—	—	—	—	—	—	—	—	—	—	10
TLV9044	4	—	14	—	14	—	—	14	—	16	—	14	—	—

(1) プレビュー情報 (量産データではありません)。

5 ピン構成および機能

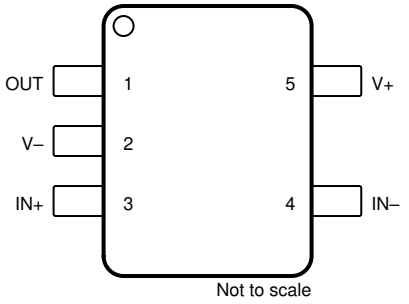


図 5-1. TLV9041 DBV パッケージ
5 ピン SOT-23
上面図

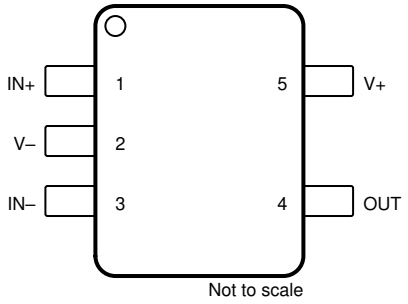


図 5-2. TLV9041U DBV パッケージ
5 ピン SOT-23
上面図

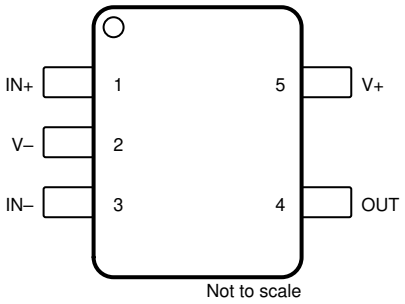


図 5-3. TLV9041 DCK パッケージ
5 ピン SC70
上面図

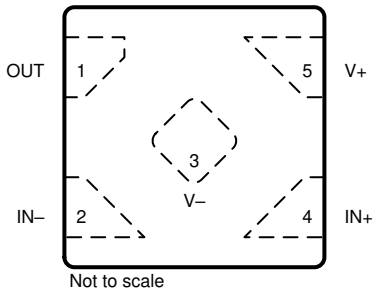


図 5-4. TLV9041 DPW パッケージ
5 ピン X2SON
上面図

表 5-1. ピンの機能：TLV9041 と TLV9041U

ピン					タイプ(1)	説明
名称	番号					
	TLV9041			TLV9041U		
	SOT-23	SC70	X2SON	SOT-23		
IN-	4	3	2	3	I	反転入力
IN+	3	1	4	1	I	非反転入力
OUT	1	4	1	4	O	出力
V-	2	2	3	2	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	5	5	5	5	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

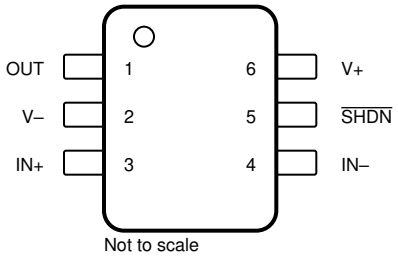


図 5-5. TLV9041S DBV パッケージ
6 ピン SOT-23
上面図

表 5-2. ピンの機能：TLV9041S

ピン		タイプ(1)	説明
名称	番号		
IN-	4	I	反転入力
IN+	3	I	非反転入力
OUT	1	O	出力
$\overline{\text{SHDN}}$	5	I	シャットダウン (低)、イネーブル (高)
V-	2	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	6	I	正 (高) 電源

(1) I = 入力、O = 出力

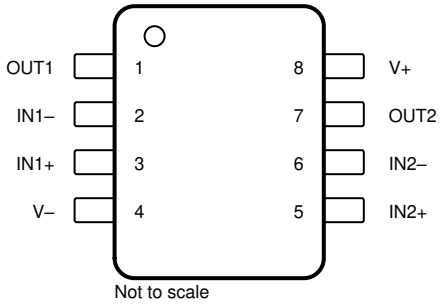
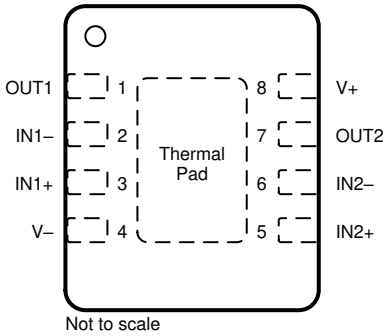


図 5-6. TLV9042 D、DDF、DGK、および PW パッケージ
8 ピン SOIC、SOT-23 8、VSSOP、TSSOP
上面図



露出サーマル パッドを V- に接続。詳細については「セクション 7.3.11」を参照。

図 5-7. TLV9042 DSG パッケージ
8 ピン WSON (露出サーマル パッド付き)
上面図

表 5-3. ピンの機能：TLV9042

ピン		タイプ(1)	説明
名称	番号		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	I	負 (低) 電源またはグランド (単電源動作の場合)

Copyright © 2026 Texas Instruments Incorporated

表 5-3. ピンの機能：TLV9042 (続き)

ピン		タイプ(1)	説明
名称	番号		
V+	8	I	正 (高) 電源

(1) I = 入力、O = 出力

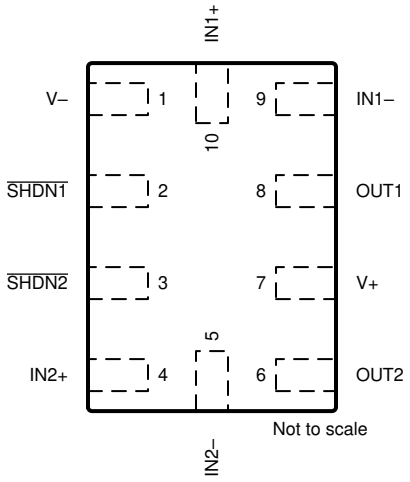


図 5-8. TLV9042S RUG パッケージ
10 ピン X2QFN
上面図

表 5-4. ピンの機能：TLV9042S

ピン		タイプ(1)	説明
名称	番号		
IN1–	9	I	反転入力、チャネル 1
IN1+	10	I	非反転入力、チャネル 1
IN2–	5	I	反転入力、チャネル 2
IN2+	4	I	非反転入力、チャネル 2
OUT1	8	O	出力、チャネル 1
OUT2	6	O	出力、チャネル 2
$\overline{\text{SHDN1}}$	2	I	シャットダウン - Low = ディセーブル、High = イネーブル、チャネル 1
$\overline{\text{SHDN2}}$	3	I	シャットダウン - Low = ディセーブル、High = イネーブル、チャネル 2
V-	1	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	7	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

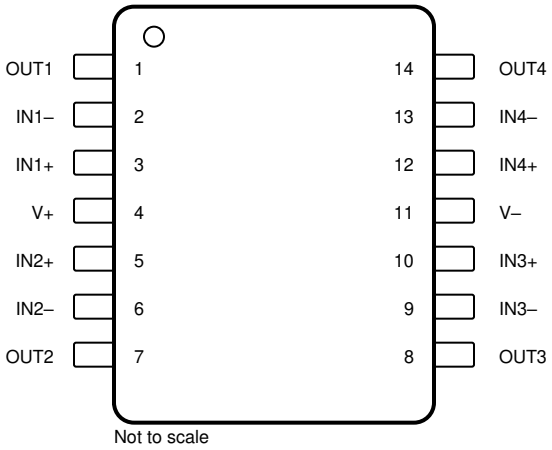


図 5-9. TLV9044 D、PW、DYY パッケージ
14 ピン SOIC、TSSOP、SOT-23
上面図

表 5-5. ピンの機能：TLV9044

ピン		タイプ(1)	説明
名称	番号		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
IN3–	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4–	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
NC	—	—	内部接続なし
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V-	11	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	4	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	6.0	V
信号入力ピン	同相電圧(2)	(V–) – 0.5	(V+) + 0.5	V
	差動電圧 (2)		V_S + 0.2	V
	電流 (2)	-10	10	mA
出力短絡 (3)		連続		
動作時周囲温度、T_A		-55	150	°C
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 絶対最大定格で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(3) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±3000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	1.2	5.5	V
V_I	入力電圧範囲	(V–)	(V+)	V
T_A	規定温度	-40	125	°C

6.4 シングル チャネルの熱に関する情報

熱評価基準(1)		TLV9041、TLV9041S				単位
		DBV (SOT-23)		DCK (SC70)	DPW (X2SON)	
		5 ピン	6 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	235.4	214.6	233.8	478.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	135.1	134.2	130.7	219.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	103.2	95.6	79.7	345.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	75.6	73.8	51.6	32.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	102.7	95.3	79.1	343.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	192.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 デュアル チャネルの熱に関する情報

熱評価基準(1)		TLV9042					TLV9042S	単位
		D (SOIC)	DDF (SOT-23-8)	DSG (WSON)	PW (TSSOP)	DGK (VSSOP)	RUG (X2QFN)	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	148.3	203.8	99.8	203.1	196.6	196.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	89.8	123.9	122.2	91.9	87.5	87.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	91.6	121.6	66.0	133.8	118.5	117.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	38.6	21.7	13.8	23.7	25.7	3.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	90.9	199.6	65.9	132.1	116.8	117.6	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	41.9	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

6.6 クワッド チャネルの熱に関する情報

熱評価基準(1)		TLV9044、TLV9044S			単位
		D (SOIC)	PW (TSSOP)	DYY (SOT-23-14)	
		14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	116.4	135.7	152.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	72.5	78.8	86.2	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	72.4	63.9	67.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	30.8	14.2	10.1	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	72	78.3	67.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.7 電気的特性

特に指定がない限り、T_A = 25°C で、V_S = 1.2V ～ 5.5V (±0.6V ～ ±2.75V)、G = 10V/V、R_F = 180kΩ、C_F = 0.24pF、R_L = 100kΩ を V_S/2 に接続し、V_{CM} = V_S/2 および $V_{O\ UT}$ = V_S/2 の条件とします。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±0.6	±2.25	mV
			T_A = –40°C ～ 125°C			±2.5	
dV_{OS}/dT	入力オフセット電圧ドリフト		T_A = –40°C ～ 125°C		±0.8		µV/°C
PSRR	入力オフセット電圧と電源との関係	V_S = ±0.6V ～ ±2.75V、V_{CM} = V–			±20	±100	µV/V
	チャネル セパレーション	f = 10kHz			±5.6		µV/V
入力バイアス電流							
I_B	入力バイアス電流(1)				±1	±12	pA
I_{OS}	入力オフセット電流 (1)				±0.5	±10	pA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1～10Hz			6.5		μV_{PP}
e_N	入力電圧ノイズ密度	f = 100Hz			85		nV/√Hz
		f = 1kHz			66		
		f = 10kHz			64		
i_N	入力電流ノイズ (2)	f = 1kHz			20		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧範囲			(V–)		(V+)	V
CMRR	同相除去比	(V–) < V_{CM} < (V+) – 0.7V、V_S = 1.2V	T_A = –40°C ～ 125°C	60	77		dB
		(V–) < V_{CM} < (V+) – 0.7V、V_S = 5.5V		75	89		
		(V–) < V_{CM} < (V+)、V_S = 1.2V			60		
		(V–) < V_{CM} < (V+)、V_S = 5.5V		57	72		
入力インピーダンス							
Z_{ID}	差動				80 || 1.4		GΩ || pF
Z_{ICM}	同相				100 || 0.5		GΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 1.2V、(V–) + 0.2V < V_O < (V+) – 0.2V、R_L = 10kΩ を V_S/2 に接続	T_A = –40°C ～ 125°C		98		dB
		V_S = 5.5V、(V–) + 0.2V < V_O < (V+) – 0.2V、R_L = 10kΩ を V_S/2 に接続			125		
		V_S = 1.2V、(V–) + 0.1V < V_O < (V+) – 0.1V、R_L = 100kΩ を V_S / 2 に接続			105		
		V_S = 5.5V、(V–) + 0.1V < V_O < (V+) – 0.1V、R_L = 100kΩ を V_S / 2 に接続		107	130		
周波数応答							
THD+N	全高調波歪み + ノイズ (3)	V_S = 5.5V、V_{CM} = 2.75V、V_O = 1V_{RMS}、G = +1、f = 1kHz、R_L = 100kΩ を V_S / 2 に接続			0.013		%
GBW	ゲイン帯域幅積	R_L = 1MΩ を V_S / 2 に接続			350		kHz
SR	スルーレート	V_S = 5.5V、G = +1、C_L = 10pF			0.2		V/µs
t_S	セトリング タイム	0.1% まで、V_S = 5.5V、V_{STEP} = 4V、G = +1、C_L = 10pF			25		µs
		0.1% まで、V_S = 5.5V、V_{STEP} = 2V、G = +1、C_L = 10pF			22		
		0.01% まで、V_S = 5.5V、V_{STEP} = 4V、G = +1、C_L = 10pF			35		
		0.01% まで、V_S = 5.5V、V_{STEP} = 2V、G = +1、C_L = 10pF			30		
	位相マージン	G = +1、R_L = 100kΩ を V_S / 2 に接続、C_L = 10pF			65		°
	過負荷回復時間	V_{IN} × ゲイン > V_S			13		µs
EMIRR	電磁干渉除去比	f = 1GHz、V_{IN_EMIRR} = 100mV			70		dB
出力							

6.7 電気的特性 (続き)

特に指定がない限り、T_A = 25°C で、V_S = 1.2V ～ 5.5V (±0.6V ～ ±2.75V)、G = 10V/V、R_F = 180kΩ、C_F = 0.24pF、R_L = 100kΩ を V_S/2 に接続し、V_{CM} = V_S/2 および $V_{O\ UT}$ = V_S/2 の条件とします。

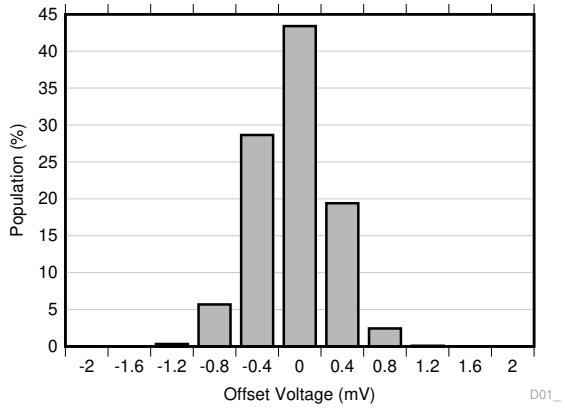
パラメータ		テスト条件		最小値	標準値	最大値	単位
	電圧出力スイング (レールから)	正のレール ヘッドルーム	V_S = 1.2V、R_L = 100kΩ を V_S/2 に接続		0.75	7	mV
			V_S = 5.5V、R_L = 10kΩ を V_S/2 に接続		10	21	
			V_S = 5.5V、R_L = 100kΩ を V_S/2 に接続		1	8	
		負のレール ヘッドルーム	V_S = 1.2V、R_L = 100kΩ を V_S/2 に接続		0.75	5	
			V_S = 5.5V、R_L = 10kΩ を V_S/2 に接続		10	21	
			V_S = 5.5V、R_L = 100kΩ を V_S/2 に接続		1	8	
I_{SC}	短絡電流 (4)	V_S = 5.5V			±40		mA
Z_O	オープン ループ出力インピーダンス	f = 10kHz			7500		Ω
電源							
I_Q	アンプごとの静止電流	V_S = 5.5V、I_O = 0A			10	13	μA
			T_A = –40°C ～ 125°C			13.5	
I_Q	アンプごとの静止電流	V_S = 5.5V、I_O = 0A、TLV9041UIDBVR のみ			10	13.5	μA
			T_A = –40°C ～ 125°C			14	μA
シャットダウン							
I_{QSD}	アンプごとの静止電流	すべてのアンプを無効化、$\overline{SHDN}$ = V–			75	200	nA
Z_{SHDN}	シャットダウン時の出力インピーダンス	アンプがディセーブル			43 || 11.5		GΩ || pF
V_{IH}	ロジック High スレッショルド電圧 (アンプがイネーブル)			(V–) + 1V			V
V_{IL}	ロジック Low スレッショルド電圧 (アンプがディセーブル)					(V–) + 0.2V	V
t_{ON}	アンプのイネーブル時間 (フル シャットダウン) (5) (6)	G = +1、V_{CM} = V_S/2、V_O = 0.9 × V_S/2、R_L を V- に接続			160		μs
	アンプのイネーブル時間 (部分的シャットダウン) (5) (6)	G = +1、V_{CM} = V_S/2、V_O = 0.9 × V_S/2、R_L を V- に接続			120		
t_{OFF}	アンプのディセーブル時間 (5)	G = +1、V_{CM} = V_S/2、V_O = 0.1 × V_S/2、R_L を V- に接続			10		μs
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごと)	(V+) ≧ $\overline{SHDN}$ ≧ (V-) + 1V			100		pA
		(V-) ≦ $\overline{SHDN}$ ≦ (V-) + 0.2V			50		

(1) 最大 I_B および I_{OS} の制限値は、特性評価結果に基づいて規定されています。入力差動電圧が 2.5V を超えると、I_B が増加する可能性があります
(2) 入力電流ノイズ データの標準値は、設計シミュレーションの結果に基づいて規定されています
(3) 3 次フィルタ、-3dB で帯域幅 = 80kHz。
(4) 短絡電流は、短絡電流のソースとシンクの平均値です
(5) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、$\overline{SHDN}$ ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との時間間隔として定義されます。
(6) フル シャットダウンとは、デュアル TLV9042S ではチャネル 1 と 2 の両方がディセーブルである ($\overline{SHDN1}$ = $\overline{SHDN2}$ = V–) こと、クワッド TLV9044S ではチャネル 1～4 のすべてがディセーブルである ($\overline{SHDN12}$ = $\overline{SHDN34}$ = V–) ことです。部分的シャットダウンのときは、1 本の $\overline{SHDN}$ ピンのみが実行されます。このモードでは内部バイアス回路が動作し続け、イネーブル時間が短くなります。

Copyright © 2026 Texas Instruments Incorporated

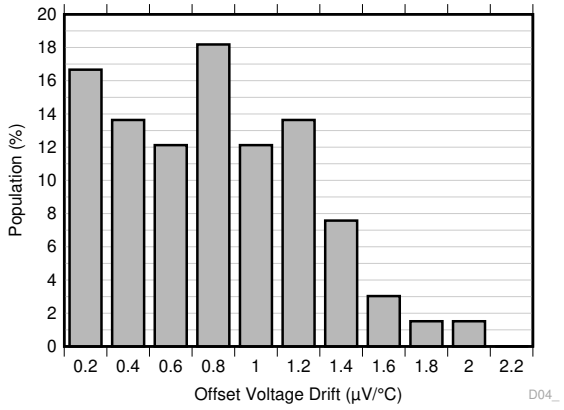
6.8 代表的特性

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



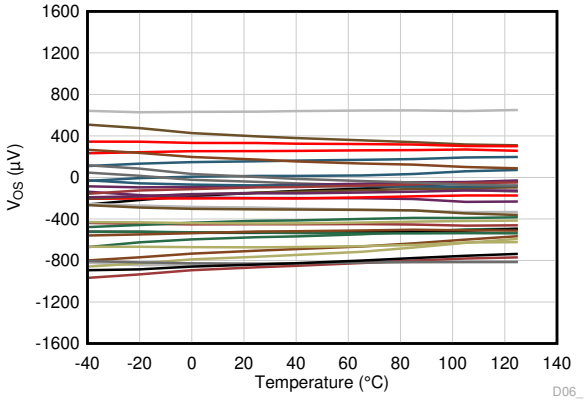
V_S = 5.5V

図 6-1. オフセット電圧の分布ヒストグラム



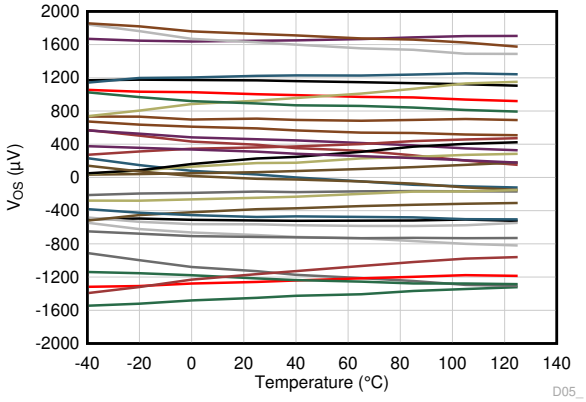
V_S = 5.5V、T_A = -40°C～+125°C

図 6-2. オフセット電圧ドリフトの分布ヒストグラム



V_S = 5.5V、V_{CM} = V–

図 6-3. 入力オフセット電圧と温度との関係



V_S = 5.5V、V_{CM} = V+

図 6-4. 入力オフセット電圧と温度との関係

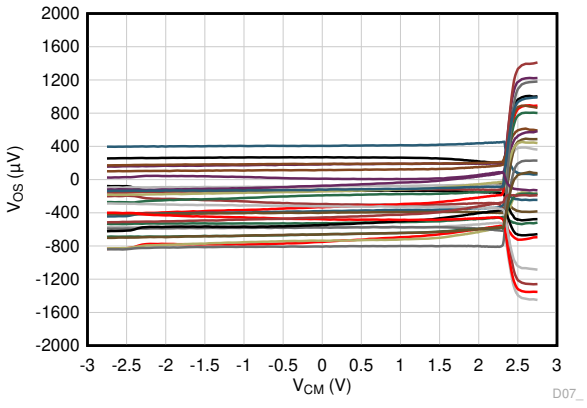
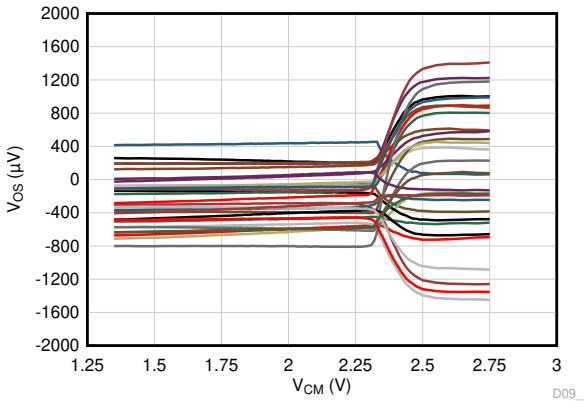


図 6-5. オフセット電圧と同相電圧との関係



V_{CM} > (V+) – 1.4V

図 6-6. オフセット電圧と同相電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

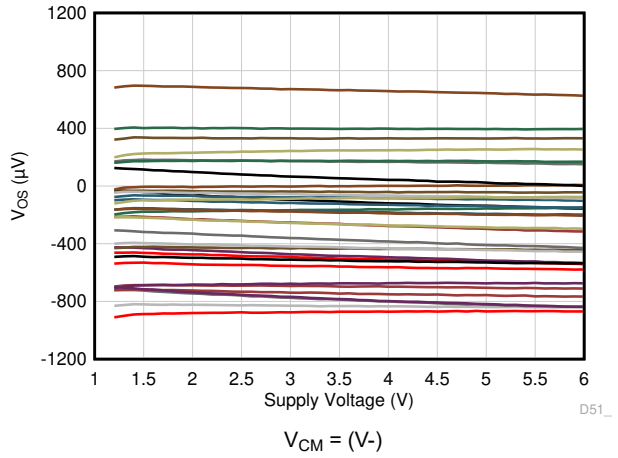


図 6-7. オフセット電圧と電源電圧との関係

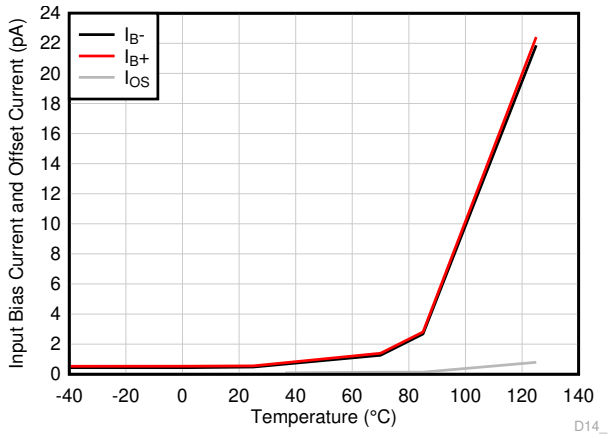


図 6-8. I_B および I_{OS} と温度との関係

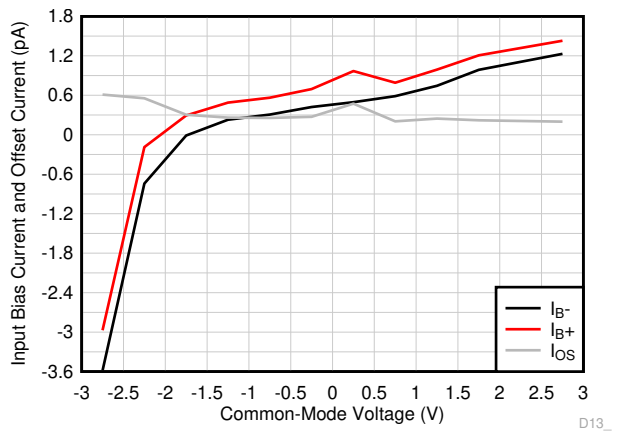


図 6-9. I_B および I_{OS} と同相電圧との関係

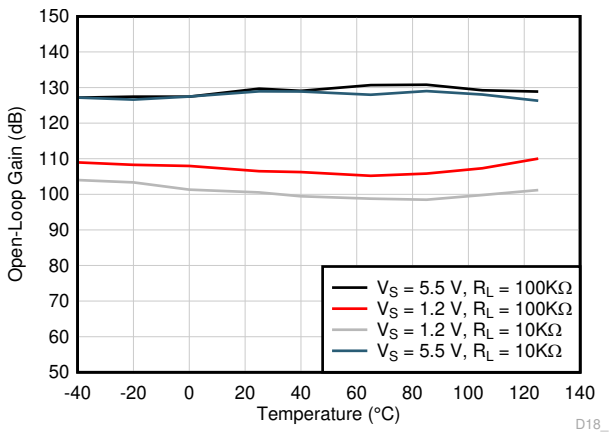


図 6-10. 開ループ ゲインと温度との関係

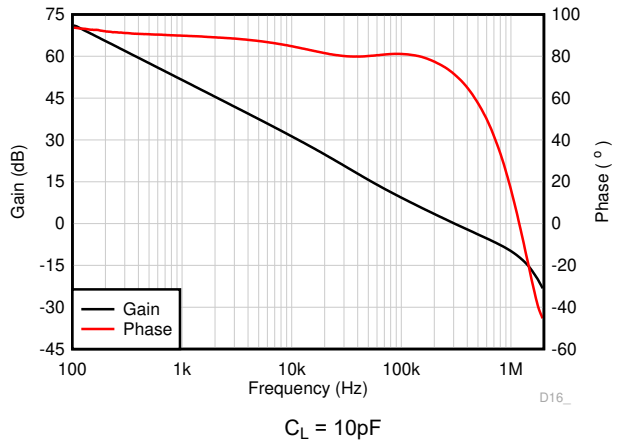


図 6-11. 開ループ ゲインおよび位相と周波数との関係

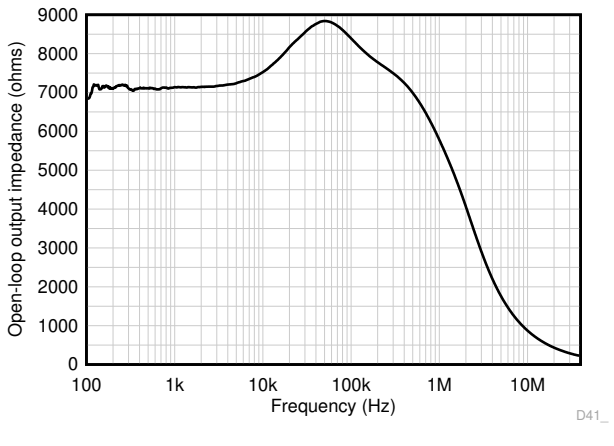
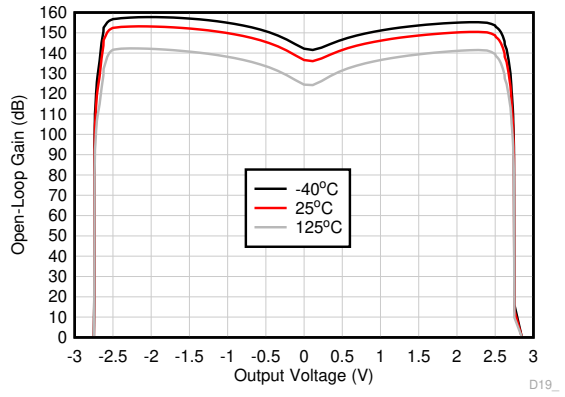


図 6-12. 開ループ出力インピーダンスと周波数との関係

Copyright © 2026 Texas Instruments Incorporated

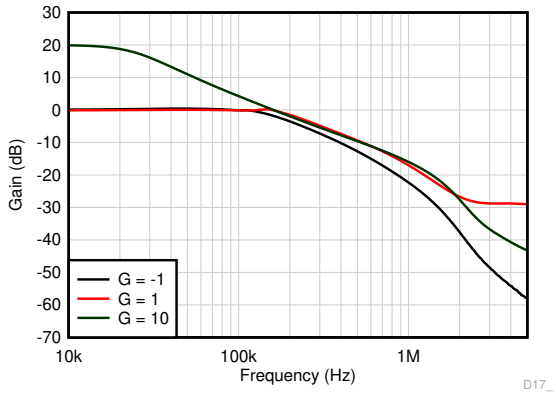
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



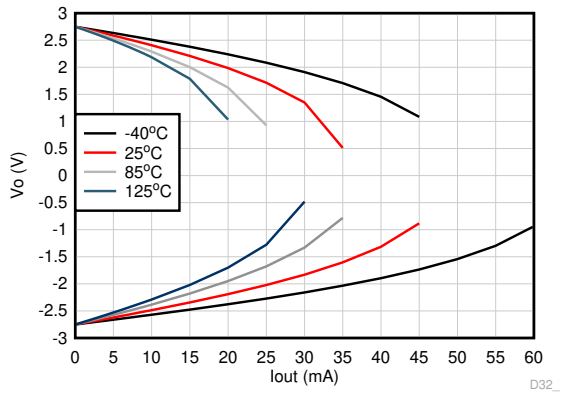
V+ = 2.75V、V- = -2.75V　　R_L = 10kΩ

図 6-13. 開ループ ゲインと出力電圧との関係



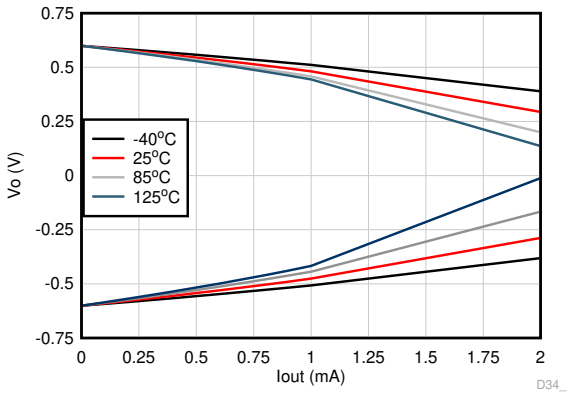
C_L = 10pF

図 6-14. 閉ループ ゲインと周波数との関係



V+ = 2.75V、V- = -2.75V

図 6-15. 出力電圧と出力電流との関係 (クロウ)



V+ = 0.6V、V- = -0.6V

図 6-16. 出力電圧と出力電流との関係 (クロウ)

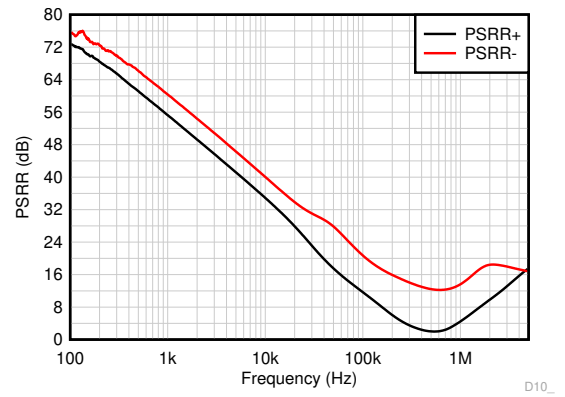
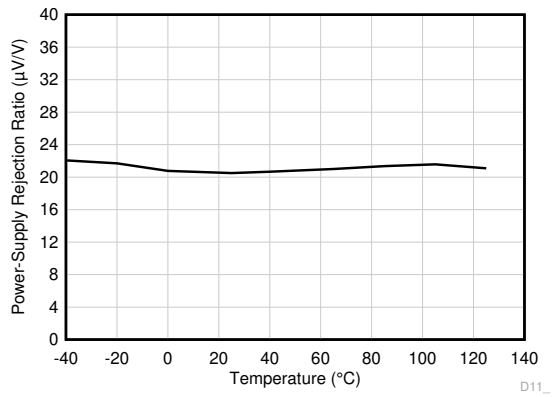


図 6-17. PSRR と周波数との関係



V_S = 1.2 V～5.5 V

図 6-18. DC PSRR と温度との関係

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

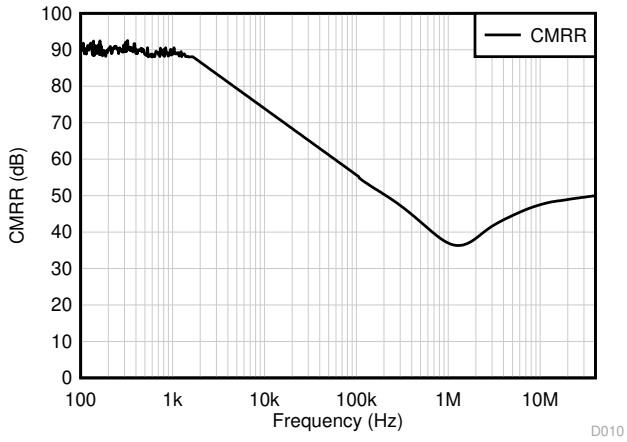


図 6-19. CMRR と周波数との関係

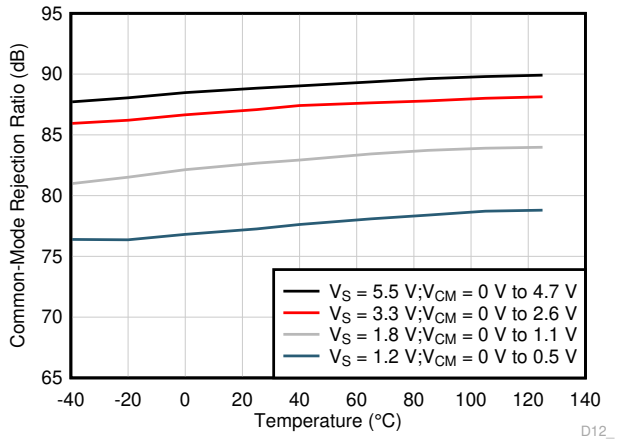


図 6-20. DC CMRR と温度との関係

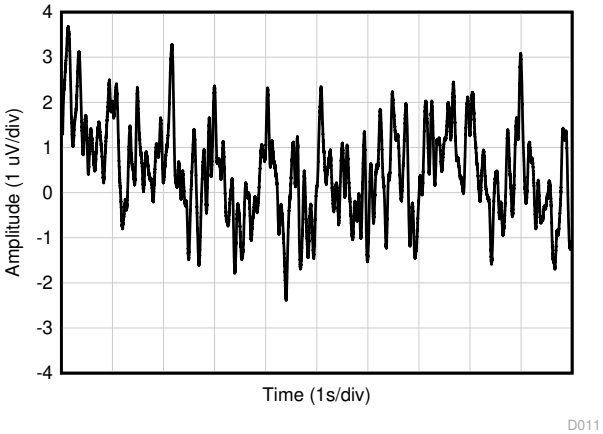


図 6-21. 時間領域での 0.1Hz～10Hz の電圧ノイズ

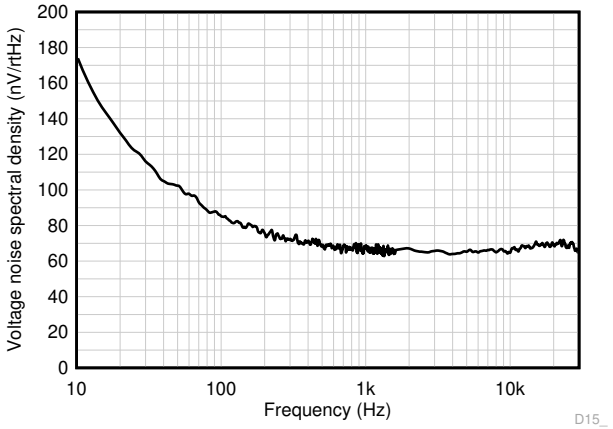
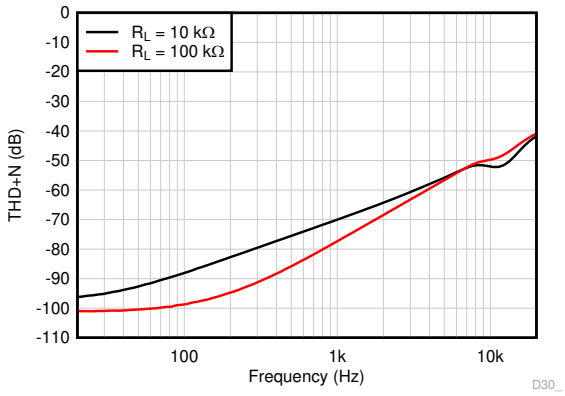
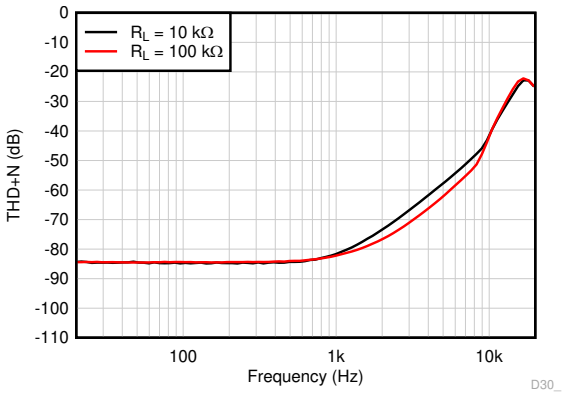


図 6-22. 入力電圧ノイズ スペクトル密度



V_S = 5.5V　V_{CM} = 2.5V　G = 1
BW = 80kHz　V_{OUT} = 0.5V_{RMS}

図 6-23. THD + N と周波数との関係



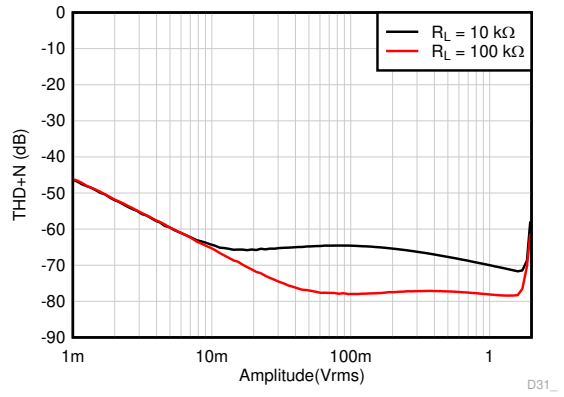
V_S = 5.5V　V_{CM} = 2.5V　G = -1
BW = 80kHz　V_{OUT} = 0.5V_{RMS}

図 6-24. THD + N と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

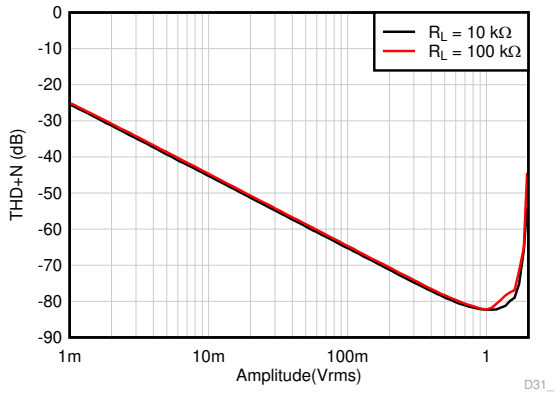
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



V_S = 5.5V　　V_{CM} = 2.5V　　f = 1kHz
G = 1　　BW = 80kHz

図 6-25. THD + N と振幅との関係



V_S = 5.5V　　V_{CM} = 2.5V　　f = 1kHz
G = -1　　BW = 80kHz

図 6-26. THD + N と振幅との関係

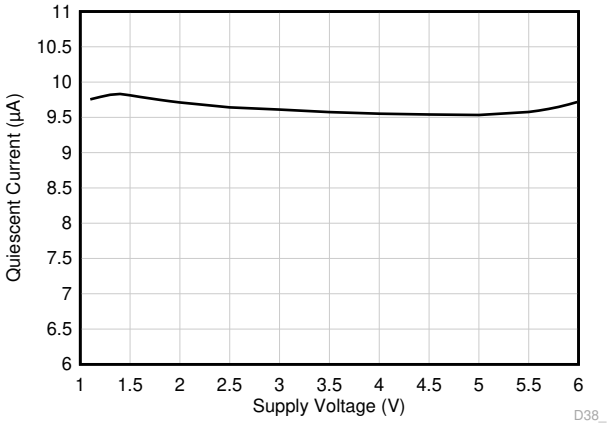


図 6-27. 静止電流と電源電圧との関係

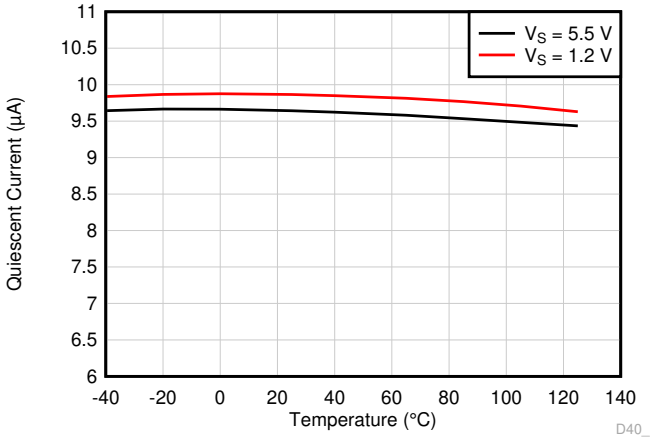
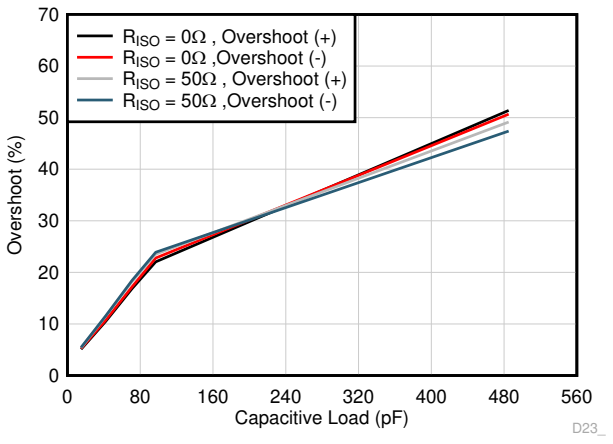
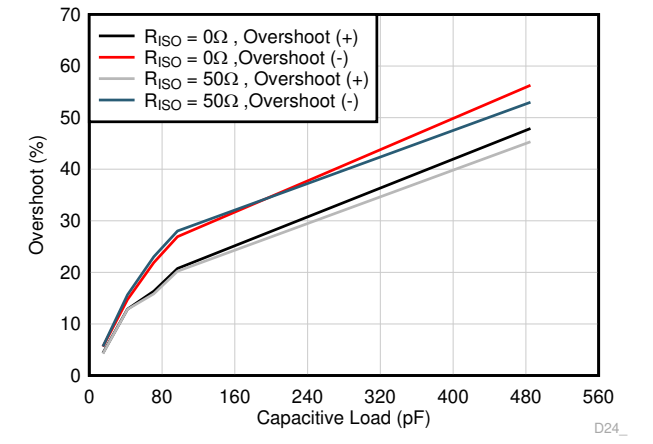


図 6-28. 静止電流と温度との関係



G = 1　　V_{IN} = 100mVpp

図 6-29. 小信号オーバーシュートと容量性負荷との関係



G = -1　　V_{IN} = 100mVpp

図 6-30. 小信号オーバーシュートと容量性負荷との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

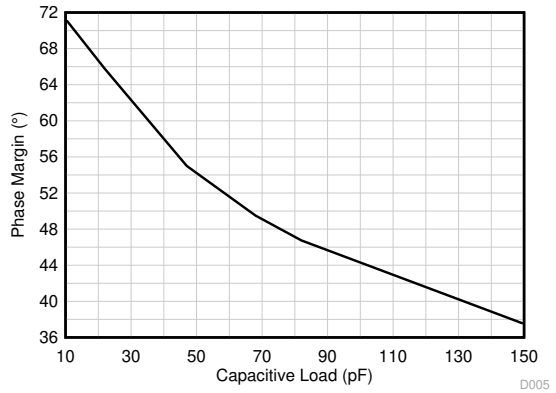
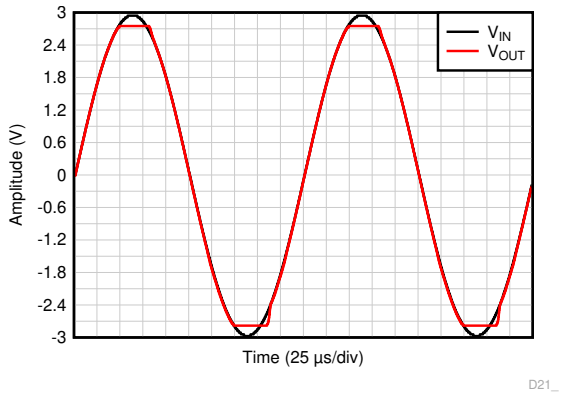
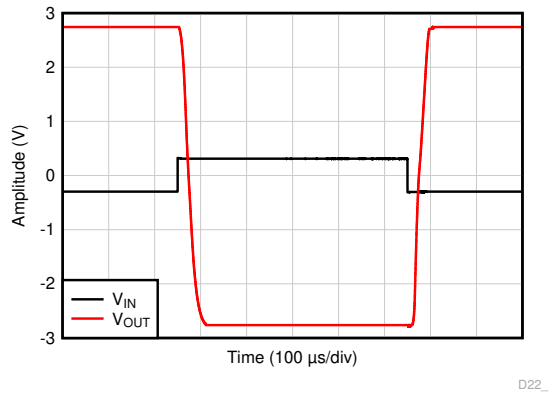


図 6-31. 位相マージンと容量性負荷との関係



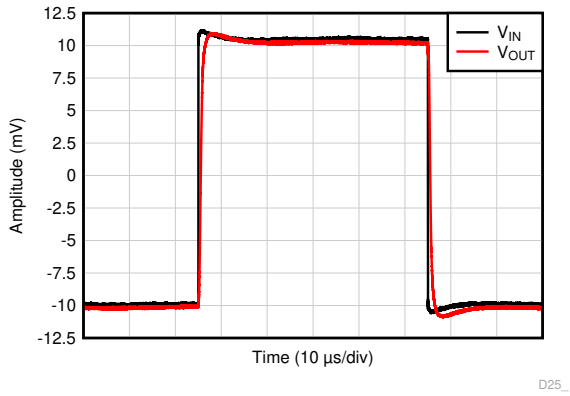
G = 1　　V_{IN} = 6V_{PP}

図 6-32. 位相反転が発生しない



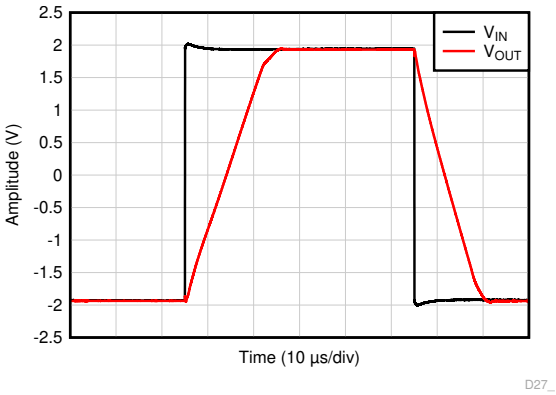
G = -10　　V_{IN} = 600mV_{PP}

図 6-33. 過負荷回復



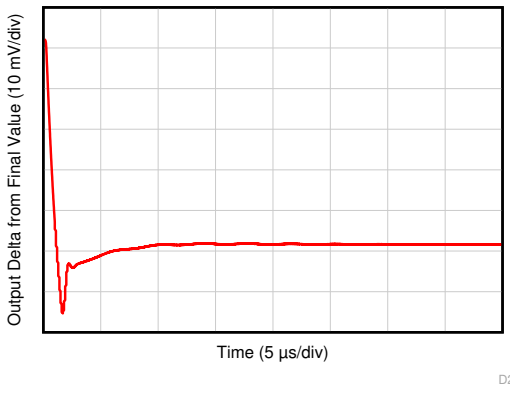
G = 1　　V_{IN} = 20mV_{PP}　　C_L = 10pF

図 6-34. 小信号ステップ応答



G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 6-35. 大信号ステップ応答



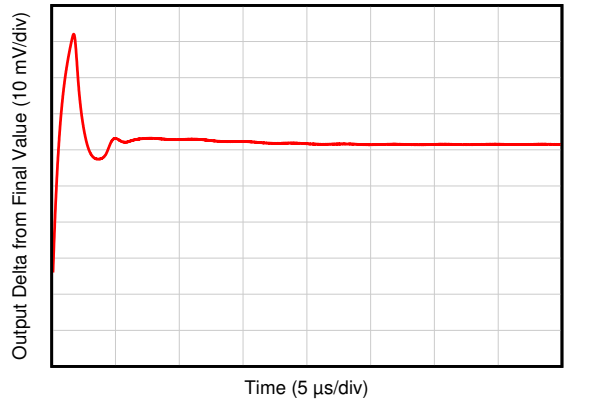
G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 6-36. 大信号セトリング タイム (負)

Copyright © 2026 Texas Instruments Incorporated

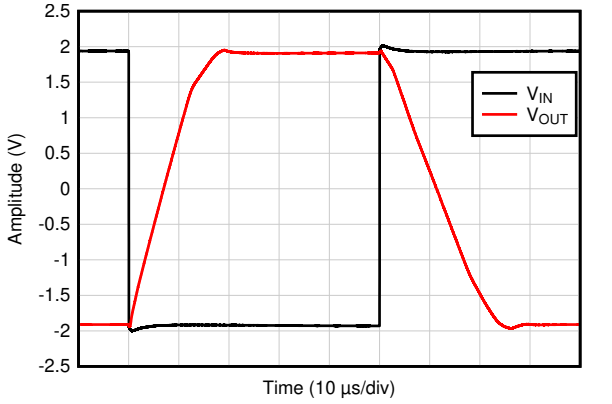
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 6-37. 大信号セトリング タイム (正)



G = -1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 6-38. 大信号ステップ応答

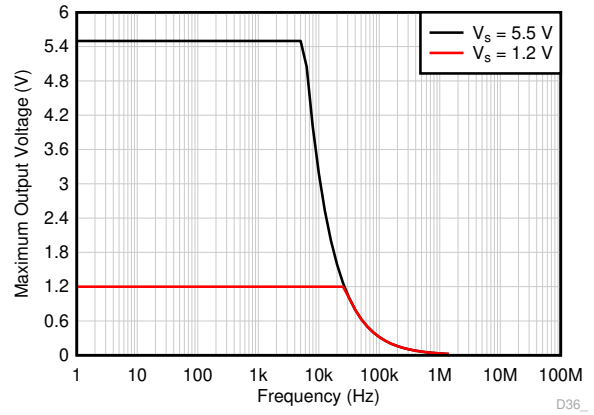


図 6-39. 最大出力電圧と周波数との関係

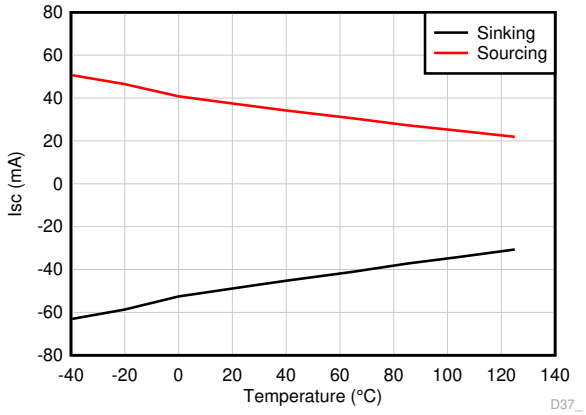


図 6-40. 短絡電流と温度との関係

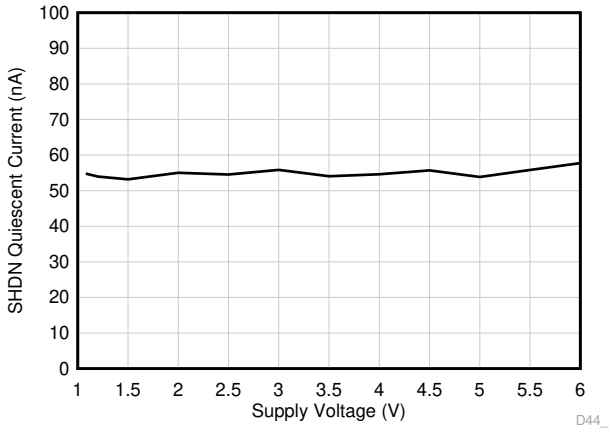


図 6-41. シャットダウン モードでの静止電流と入力電圧との関係

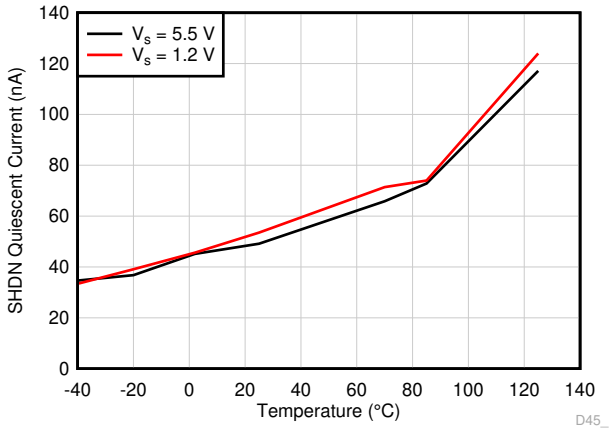


図 6-42. シャットダウン モードでの静止電流と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

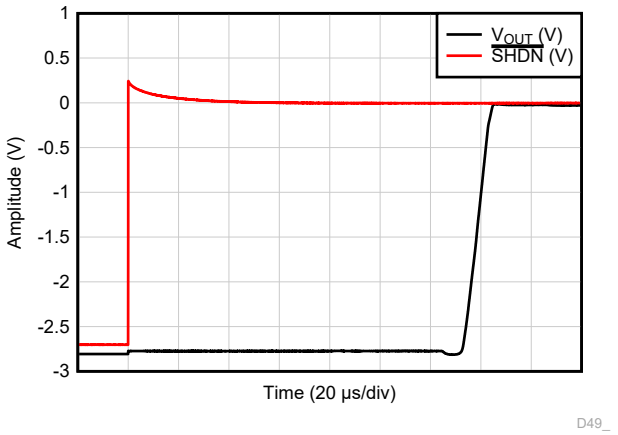


図 6-43. アンプのイネーブル応答

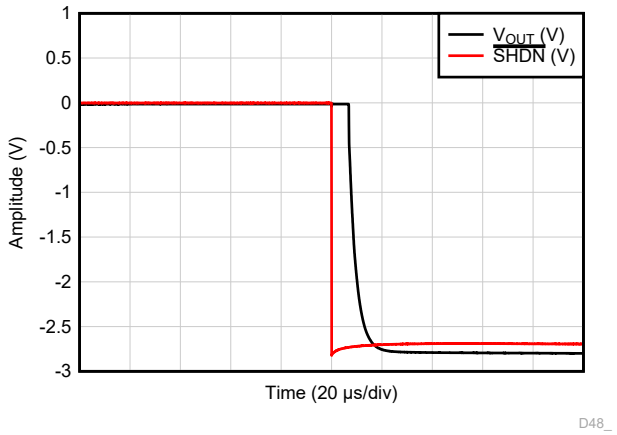


図 6-44. アンプのディセーブル応答

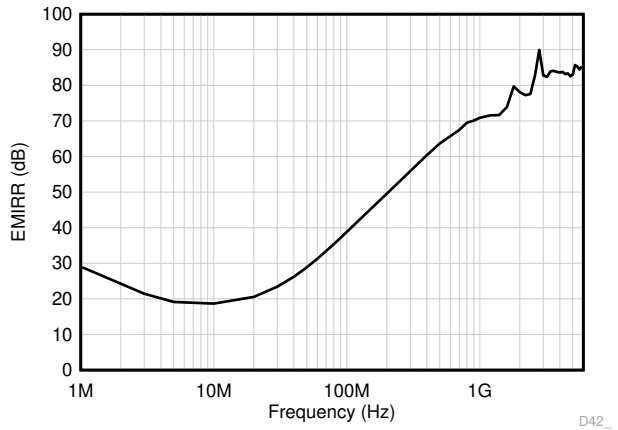


図 6-45. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係

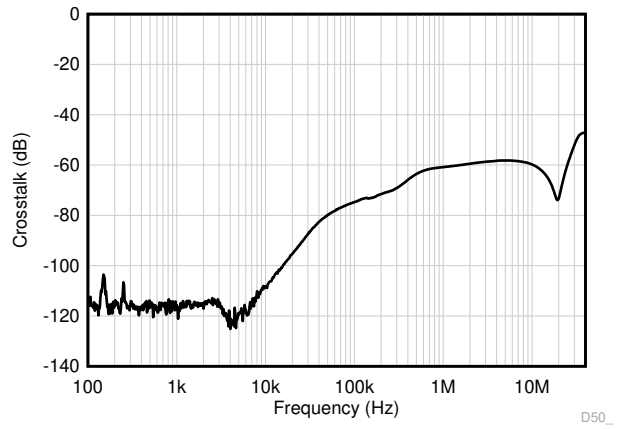


図 6-46. チャネル セパレーション

Copyright © 2026 Texas Instruments Incorporated

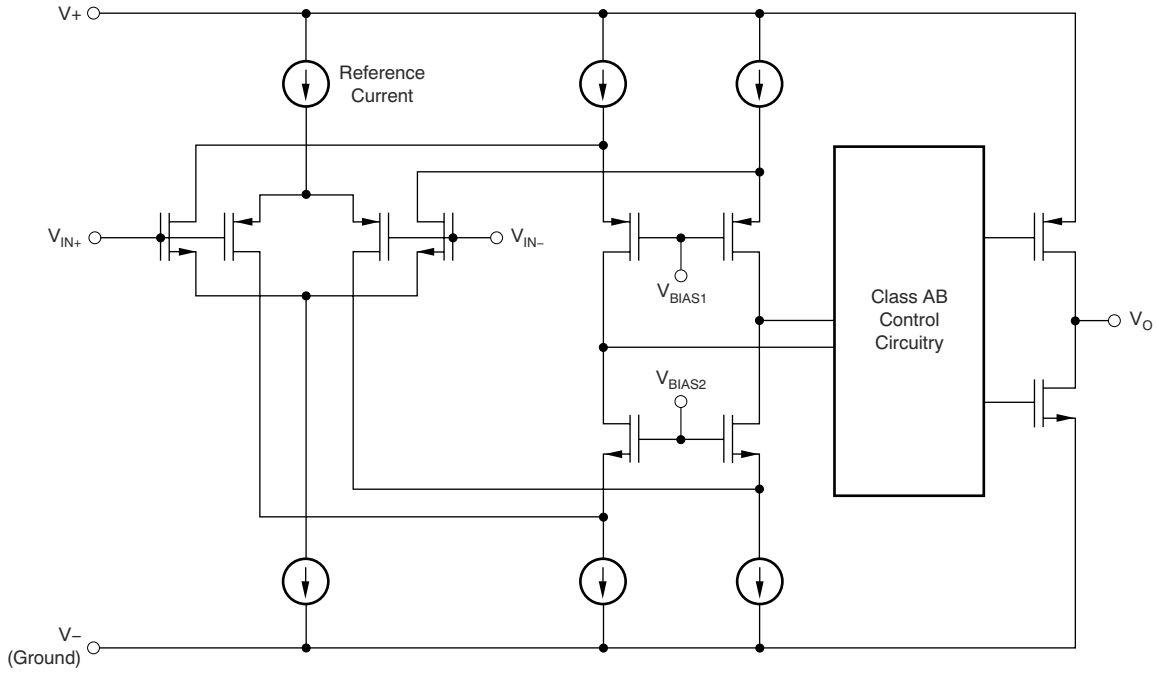
7 詳細説明

7.1 概要

TLV904x は、バッテリ駆動アプリケーション向けに特別に設計された、低消費電力でレール ツー レール入力および出力に対応するオペアンプのファミリです。このアンプ ファミリは、独自のトランジスタ構造を採用しており、1.2V の超低電源電圧から 5.5V の標準電源電圧まで動作可能です。これらのユニティ ゲイン安定アンプは、I_Q がわずか 10µA でありながら、350kHz の GBW を実現します。TLV904x は、5.5V 動作時に 40mA の短絡電流供給能力を備えています。低電圧、低 IQ、そして高出力電流能力の組み合わせにより、このデバイスは非常にユニークで、幅広い汎用アプリケーションに適しています。入力同相電圧範囲には両方のレールが含まれているため、TLV904x シリーズは多くの単電源または両電源構成で使用できます。レール ツー レール入力および出力スイングにより、特に低電源電圧アプリケーションにおいてダイナミック レンジが大幅に向上し、これらのデバイスは低速サンプリングの A/D コンバータ (ADC) の駆動に最適です。さらに、クラス AB 出力段は、V+ とグランドの間の任意の電位に接続された 2kΩ 超の抵抗負荷を駆動可能です。

TLV904x は、標準で 45° の位相マージンを維持しながら最大 100pF の負荷を駆動可能です。また、350kHz のゲイン帯域幅積、0.2V/µs のスルーレート、6.5µV_{p-p} (0.1 ～ 10Hz) の積分ノイズを特長とし、チャネルあたりわずか 10µA の電源電流で動作します。これにより、非常に低消費電力で良好な AC 性能を実現します。DC アプリケーションにおいても、標準 1pA の低入力バイアス電流、標準 0.6mV の入力オフセット電圧、および優れた PSRR、CMRR、A_{OL} により、高い性能を発揮します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 動作電圧

TLV904x オペアンプ シリーズは、1.2V ～ 5.5V の範囲での動作が完全に規定され、保証されています。さらに、多くの仕様は –40°C ～ 125°C の温度範囲で適用されます。動作電圧または温度によって大きく変動するパラメータについては、セクション 6.8 に記載しています。電源ピンには、0.01µF 以上のセラミック コンデンサでバイパスすることを強く推奨します。

7.3.2 レール ツー レール入力

TLV904x シリーズの入力同相モード電圧範囲は、両方の電源レールまで及びます。これは、1.2V という非常に低い電源電圧で動作している場合でも、標準電源電圧の 5.5V で動作している場合でも同様です。この性能は、N チャネル入力差動ペアと P チャネル差動ペアを並列接続した相補入力段によって実現されます。詳細については、セクション 7.2 を参照してください。

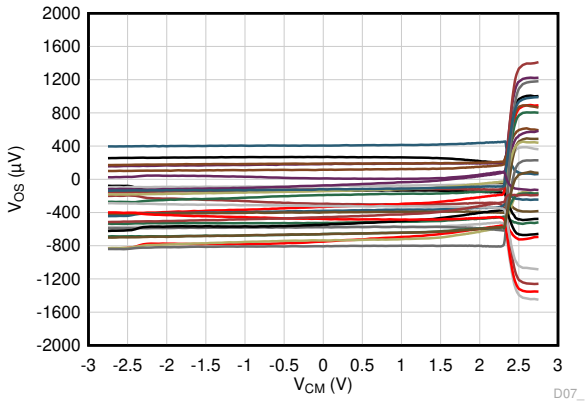
相補入力段を持つほとんどのアンプでは、入力ペアの 1 つ (通常は P チャネル入力ペア) は、入力オフセット電圧、オフセット ドリフトにおいて、N チャネル ペアよりもわずかに優れた性能を実現するように設計されています。そのため、P チャネル ペアが同相範囲の大部分をカバーし、正のレールからの特定のスレッショルド電圧で、N チャネル ペアが徐々に引き継ぎ始めるように設計されています。スレッショルド電圧の直後、遷移領域と呼ばれる狭い範囲の間は、両方の入力ペアが動作します。この領域を超えると、N チャネル ペアが完全に動作を引き継ぎます。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセット ドリフト、THD が劣化する可能性があります。したがって、ほとんどのアプリケーションでは一般的に、性能が多少向上する P チャネル入力範囲での動作が好まれます。

TLV904x では、P チャネル ペアは通常、負電源レールから (V+) – 0.4V までの入力電圧範囲で動作し、N チャネル ペアは通常、正電源から (V+) – 0.4V までの入力電圧範囲で動作します。遷移領域は通常 (V+) – 0.5V から (V+) – 0.3V の範囲で、この領域では両方のペアがオンになります。上記の電圧レベルは、トランジスタのスレッショルド電圧に関連するプロセスの変動によって変化する可能性があります。TLV904x では、上記の 200mV の遷移領域は、どちらの方向でも最大 200mV 変動する可能性があります。したがって、過渡領域 (両方の段がオンになる) は、Low では (V+) - 0.7V～(V+) - 0.5V、High 側では最大 (V+) - 0.3V～(V+) - 0.1V の範囲になる可能性があります。

P チャネル入力ペアは通常、N チャネル入力ペアよりも性能が優れていることを考慮し、TLV904x は、業界で最も優れた入力アンプと比較して、P チャネル入力ペアの範囲が大幅に広がるように設計されています。下に TLV904x と TLV900x の比較を示します。なお、TLV900x では P チャネル ペアの動作範囲は正電源レールから 1.4V までと規定されていますが、TLV904x では P チャネル ペアが正電源レールから 0.7V まで動作することが規定されています。TLV904x における追加の 700mV の P チャネル入力ペア動作範囲は、低電源電圧 (1.2V、1.8V など) で動作させる場合に特に有用です。このような低電圧条件では、通常 P チャネル入力範囲が大きく制限されるためです。

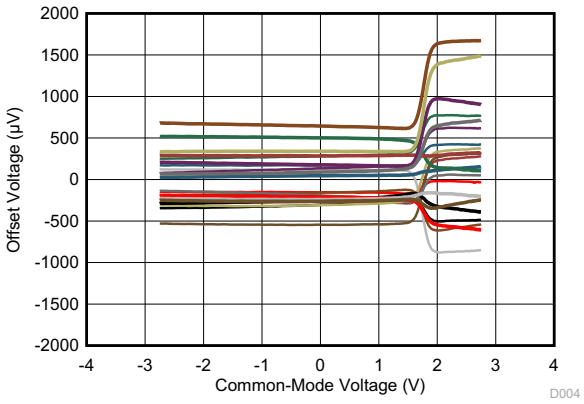
そのため、入力信号の広い同相スイングは、TLV904x の P チャネル入力ペアの範囲でより容易に対応でき、遷移領域を回避できる可能性が高いため、直線性を維持できます。

Copyright © 2026 Texas Instruments Incorporated



V+ = 2.75V、V- = -2.75V

図 7-1. TLV904x のオフセット電圧と同相電圧との関係



V+ = 2.75V、V- = -2.75V

図 7-2. TLV900x のオフセット電圧と同相電圧との関係

7.3.3 レール ツー レール出力

TLV904x は、マイクロパワー、低ノイズのオペアンプとして設計されており、堅牢な出力駆動能力を実現します。共通ソースストランジスタを使用した Class AB 出力段を使用して、完全なレール ツー レールの出力スイングを実現できます。抵抗性負荷が最大 5kΩ の場合、印加されている電源電圧に関係なく、どちらかの電源レールに対しても出力が 20mV 以内までスイングします。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

7.3.4 同相信号除去比 (CMRR)

TLV904x の CMRR はいくつかの方法で規定されているため、特定のアプリケーションに最適なマッチングを使用できます。電気的特性表を参照してください。第 1 に、遷移領域 [VCM < (V+) - 0.7V] よりも低い同相範囲での本デバイスの CMRR を示します。アプリケーションが差動入力ペアの 1 つを使う必要がある場合、この仕様は本デバイスの能力の最善の指標です。第 2 に、同相範囲全体の CMRR は、(VCM = 0V～5.5V) で規定されています。この最後の値には、遷移領域の間に観測される変動が含まれます。

7.3.5 容量性負荷および安定度

TLV904x は、容量性負荷の駆動が必要なアプリケーションで使用するように設計されています。すべてのオペアンプと同様に、TLV904x シリーズが不安定になる特定の状況があり得ます。アンプが動作時に安定するかどうかを判断するには、そのオペアンプの回路構成、レイアウト、ゲイン、出力負荷などの要因を考慮します。容量性負荷を駆動するユニティ ゲイン (1V/V) バッファ構成のオペアンプは、より高いノイズ ゲインで動作するアンプよりも不安定になる傾向があります。容量性負荷は、オペアンプの出力抵抗と相まって、位相マージンを劣化させる極を帰還ループ内に形成します。容量性負荷が大きくなると、位相マージンの劣化が大きくなります。ユニティ ゲイン構成で動作させた場合、TLV904x は純容量性負荷に対して約 100pF まで安定に動作し、標準で 45° の良好な位相マージンを維持します。一部の大容量コンデンサ (1µF よりも大きい値の C_L) の等価直列抵抗 (ESR) は、アンプが安定した状態を維持するように帰還ループの位相特性を変えるのに十分です。アンプの閉ループ ゲインを大きくすると、アンプはさらに大きな容量を駆動できます。より高い電圧ゲインでのアンプのオーバーシュート応答を測定すると、この能力の向上は明らかです。

ユニティ ゲイン構成で動作するアンプの容量性負荷駆動能力を向上する 1 つの手法は、図 7-3 に示すように、出力と直列に小さな抵抗 (標準的には 10Ω～20Ω) を挿入することです。この抵抗は、大きな容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。ただし、この手法によって起こりうる 1 つの問題は、追加された直列抵抗と、容量性負荷と並列に接続されたすべての抵抗とによって分圧器が形成されることです。この分圧器は、出力スイングを低減させる出力ゲイン誤差を生じさせます。

Copyright © 2026 Texas Instruments Incorporated

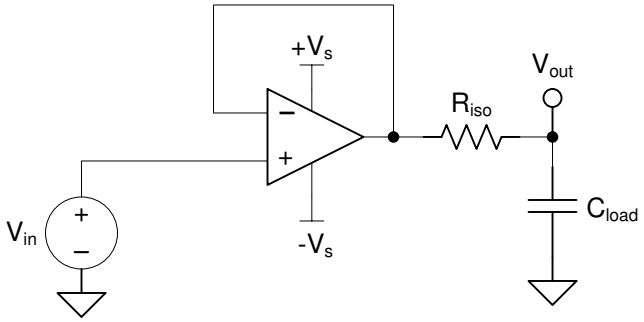


図 7-3. 容量性負荷駆動の向上

7.3.6 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。いずれかの出力デバイスが飽和領域に入った後、出力段はリニア動作状態に戻るために追加の時間を必要とし、これは過負荷復帰時間と呼ばれます。出力段が線形状態に戻ると、アンプは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV904x ファミリの過負荷からの回復時間は、標準で約 13µs です。

7.3.7 EMI 除去

TLV904x は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル コンポーネントを組み合わせた高密度実装の基板などのソースから引き起こされる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、TLV904x はこのような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。TLV904x でこのテストを行った結果を、図 7-4 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における TLV904x の EMIRR IN+ 値を、表 7-1 に示します。「オペアンプの EMI 除去率」アプリケーション レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.tij.co.jp からダウンロードできます。

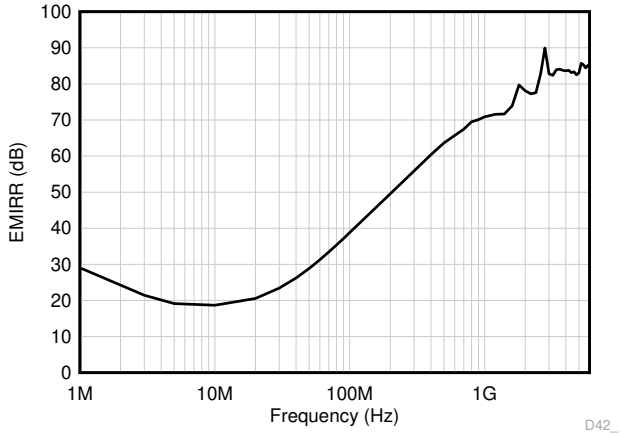


図 7-4. EMIRR テスト

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 対象周波数における TLV904x の EMIRR IN+

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	60dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	70dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	75dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	79.0dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	82dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	85dB

7.3.8 電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。TLV904x デバイスに搭載されている ESD 回路を、図 7-5 に示します。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力や出力のピンから、内部の電源ラインに戻るよう配線され、オペアンプ内部の吸収デバイスと接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

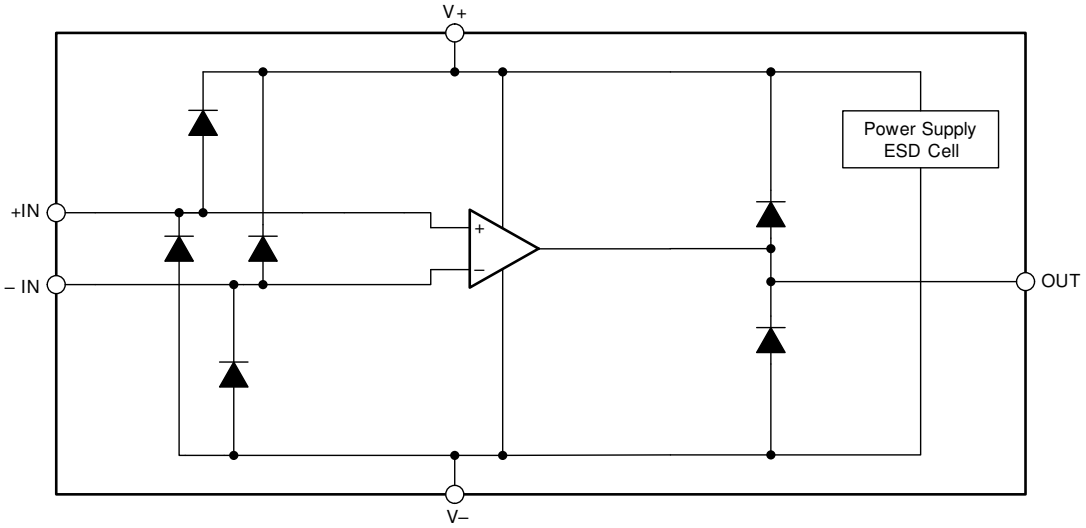


図 7-5. 内部 ESD 等価回路

7.3.9 入力および ESD 保護

TLV904x ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は主に入力ピンと電源ピンとの間に接続された電流ステアリング ダイオードで構成されます。これらの ESD 保護ダイオードは、電流が 10mA に制限されている限り、回路内で入力オーバードライブの保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 7-6 に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

Copyright © 2026 Texas Instruments Incorporated

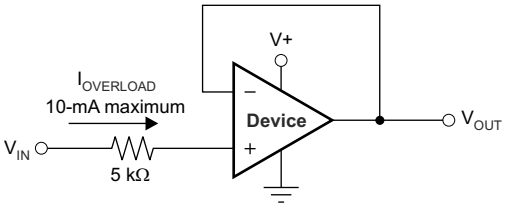


図 7-6. 入力電流保護

7.3.10 シャットダウン機能

TLV904xS デバイスは、オペアンプを無効化して低消費電力のスタンバイ モードに移行する $\overline{\text{SHDN}}$ ピンを備えています。このモードでは、オペアンプの消費電流は通常 150nA 未満です。$\overline{\text{SHDN}}$ ピンはアクティブ Low なので、$\overline{\text{SHDN}}$ ピンへの入力が有効なロジック High のとき、シャットダウン モードがイネーブルになります。

$\overline{\text{SHDN}}$ ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 500mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を確保するため、スイッチング スレッショルドにはヒステリシスが含まれています。最適なシャットダウン動作を確保するため、$\overline{\text{SHDN}}$ ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V- と V- + 0.2V の間の電圧と定義され、有効なロジック High は、V- + 1V と V+ の間の電圧と定義されます。アンプをイネーブルするには、$\overline{\text{SHDN}}$ ピンを有効なロジック High に駆動する必要があります。アンプをディセーブルするには、$\overline{\text{SHDN}}$ ピンを有効なロジック Low に駆動する必要があります。当社では、シャットダウン ピンを有効な High 電圧または Low 電圧に接続するか、駆動することを強く推奨します。$\overline{\text{SHDN}}$ ピンで許容される最大電圧は (V+) + 0.5V です。この電圧レベルを超えると、デバイスが損傷します。

$\overline{\text{SHDN}}$ ピンは高インピーダンスの CMOS 入力です。デュアル オペアンプのバージョンは独立に、クワッド オペアンプのバージョンはペア単位で、ロジック入力により制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長できます。イネーブル時間は、すべてのチャネルのフル シャットダウン時に 160µs、ディスエーブル時間は 10µs です。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、TLV904xS をゲートで開閉可能なアンプとして動作させること (または本デバイスの出力を 1 つのコモン アナログ出力バスにマルチプレクスすること) ができます。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にシャットダウン (ディスエーブル) を確実に実行するには、指定された 100kΩ 負荷を中間電源 (V_S/2) に接続する必要があります。TLV904xS を負荷なしで使用すると、結果的にターンオフ時間が大幅に増加します。

7.3.11 露出サーマル パッド付きパッケージ

TLV904x ファミリは、露出サーマル パッドを備えた WQFN-16 (RTE) などのパッケージで供給されます。パッケージ内で、ダイは導電性コンパウンドを使用して、このサーマル パッドに取り付けられます。このため、露出サーマル パッド付きのパッケージを使用する場合、サーマル パッドは V- に接続するか、フローティングのままにする必要があります。V- 以外の電位にサーマル パッドを取り付けることは許可されず、これを行った場合にデバイスの性能は保証されません。

7.4 デバイスの機能モード

TLV904x デバイスには一つの機能モードがあります。電源電圧が 1.2V (±0.6V) と 5.5V (±2.75V) の間にある限り、これらのデバイスは機能します。

TLV904xS デバイスにはシャットダウン ピンがあり、オペアンプを低消費電力モードに設定するために使用できます。詳細については「セクション 7.3.10」を参照。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TLV904x ファミリの低消費電力、レール ツー レール入力および出力オペアンプは、ポータブル アプリケーションに特化して設計されています。本デバイスは 1.2V～5.5V で動作し、ユニティ ゲインで安定しているため、幅広い汎用アプリケーションに適しています。クラス AB の出力段は、V+ と V– との間の任意のポイントに接続される 2kΩ を上回る抵抗負荷を駆動できます。入力同相電圧範囲には両方のレールが含まれているため、TLV904x シリーズは多くの単一電源またはデュアル電源構成で使用できます。

8.2 代表的なアプリケーション

8.2.1 TLV904x ローサイド電流センシング アプリケーション

図 8-1 に、ローサイド電流センシング アプリケーション用に構成された TLV904x を示します。

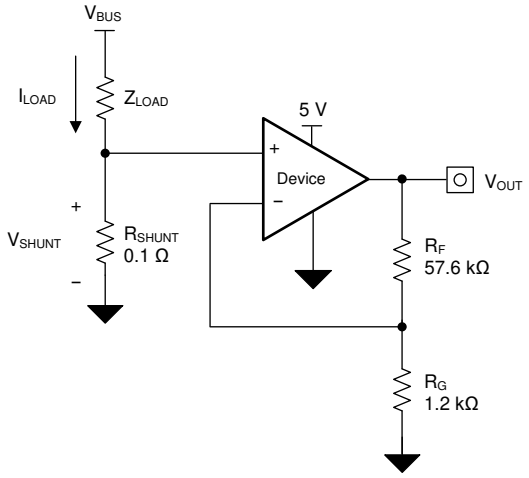


図 8-1. ローサイド電流センシング アプリケーションの TLV904x

8.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A ～ 1A
- 最大出力電圧:4.9V
- 最大シャント電圧:100mV

8.2.1.2 詳細な設計手順

図 8-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A に設定されます。最大負荷電流時にシャント電圧を 100mV 未満に維持するため、最大のシャント抵抗は 式 2 を使用して計算されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

式 2 から、R_{SHUNT} は 100mΩ と計算されます。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は、TLV904x デバイスによって増幅され、約 0V～4.9V の出力電圧を生成します。TLV904x が必要な出力電圧を生成するために要求するゲインは、式 3 で計算されます。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \quad (3)$$

式 3 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗 R_F と R_G で設定します。TLV904x デバイスのゲインを 49V/V に設定するための抵抗 R_F および R_G のサイズは式 4 で計算します。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \quad (4)$$

R_F に 57.6kΩ、R_G に 1.2kΩ を選択すると、組み合わせで 49V/V に等しくなります。図 8-1 に示す回路で測定された伝達関数を、図 8-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定しようとするインピーダンス レベルによって決定されます。インピーダンス レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。すべてのシステムで機能するような最適インピーダンス選択というものは存在しません。お使いのシステム パラメータに対して理想的なインピーダンスを選択する必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.3 アプリケーション曲線

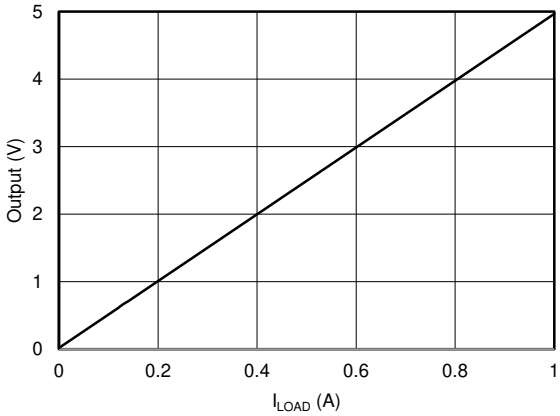


図 8-2. ローサイド、電流センス、伝達関数

8.3 電源に関する推奨事項

TLV904x ファミリは、1.2V ～ 5.5V (±0.6V ～ ±2.75V) で動作することが規定されています。また、多くの仕様は –40℃ ～ 125℃で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータをセクション 6.7 に示します。

> **注意**
>
> 6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。絶対最大定格表を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの結合による誤差を低減できます。バイパス コンデンサの配置の詳細については、セクション 8.4.1 を参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を経由してアナログ回路に伝播し、オペアンプ自体の電源ピンに伝搬することがあります。バイパス コンデンサは、グランドへの低インピーダンスなパスを設置して、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス コンデンサを接続すれば十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します (図 8-4 を参照)。R_F と R_G を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力パターンは、できる限り短くしてください。入力配線は回路の最も敏感な部分であることに注意します。

Copyright © 2026 Texas Instruments Incorporated

- 重要な配線の周囲に、駆動型の低インピーダンス ガード リングの配置を検討してください。ガード リングを使用すると、付近に存在する、さまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに侵入した水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

8.4.2 レイアウト例

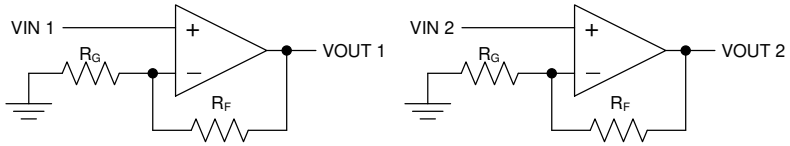


図 8-3. 回路図

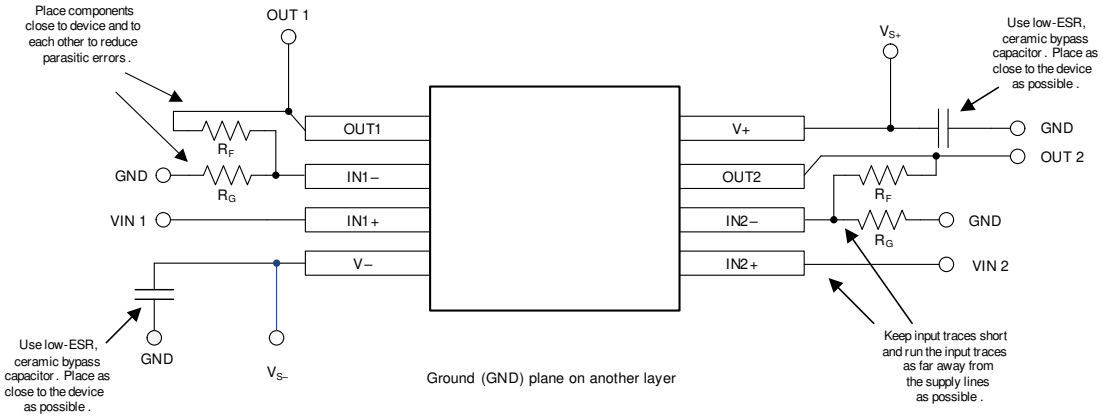


図 8-4. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

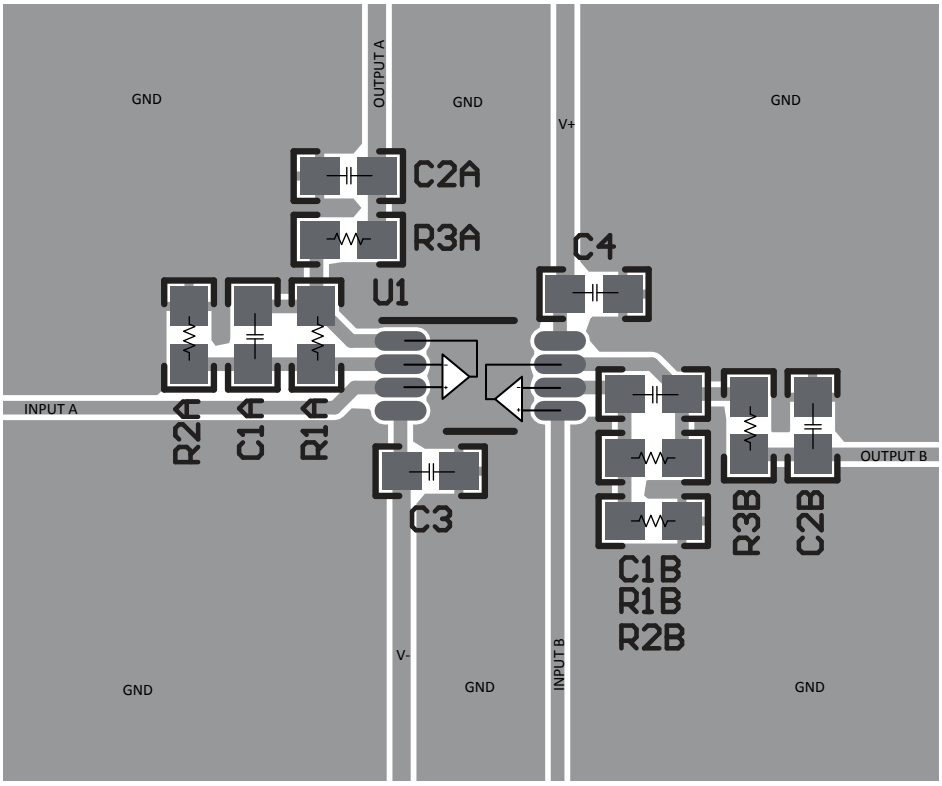


図 8-5. VSSOP-8 (DGK) パッケージのレイアウト例

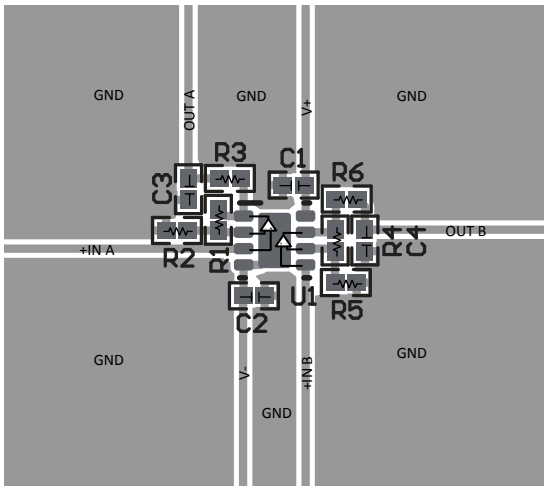


図 8-6. WSON-8 (DSG) パッケージのレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション ノート
- テキサス インスツルメンツ、クワッド フラットパック リード端子なしロジック パッケージアプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (March 2022) to Revision H (February 2026)	Page
• TLV904xD 非補償ファミリについて言及するために特長セクションを更新	1
• ESD デバイス帯電モデル (CDM) 規格を JESD22-C101 から JS-002 に変更	7

Changes from Revision F (February 2022) to Revision G (March 2022)	Page
• 「製品情報」セクションの X2SON (5) RTM を更新	1
• 「デバイス比較」セクションを更新して TLV9041IDPWR RTM を更新	3
• TLV9041 DPW パッケージの熱に関する情報を「*シングルチャネルの熱に関する情報*」セクションに追加	7

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision E (August 2021) to Revision F (February 2022) **Page**

- 「デバイス比較」セクションを更新して TLV9044IDYYR RTM を更新 3
- TLV9044 DYY パッケージの熱に関する情報を「*クワッド チャネルの熱に関する情報*」セクションに追加 7

Changes from Revision D (August 2021) to Revision E (August 2021) **Page**

- 「*デュアルチャネルの熱に関する情報*」セクションに TLV9042 DGK パッケージの熱に関する情報を追加 7

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9041IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-1-260C-UNLIM	-40 to 125	1IV
TLV9041IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1IV
TLV9041IDPWR	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(L, LE)
TLV9041IDPWR.A	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(L, LE)
TLV9041IDPWRG4	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L
TLV9041IDPWRG4.A	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L
TLV9041SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041SIDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041SIDBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041UIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U041
TLV9041UIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U041
TLV9042IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T042
TLV9042IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T042
TLV9042IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	2H7T
TLV9042IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2H7T
TLV9042IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042D
TLV9042IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042D
TLV9042IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T42G
TLV9042IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T42G
TLV9042IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042P
TLV9042IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042P
TLV9042SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	HTF
TLV9042SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	HTF

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9044IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9044D
TLV9044IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9044D
TLV9044IDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL944DYY
TLV9044IDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL944DYY
TLV9044IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T9044PW
TLV9044IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9044PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9044 :

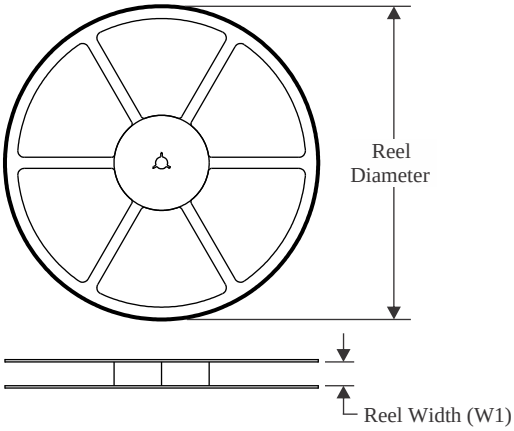
- Automotive : TLV9044-Q1

NOTE: Qualified Version Definitions:

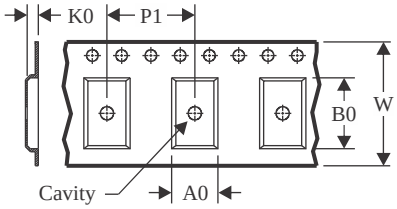
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

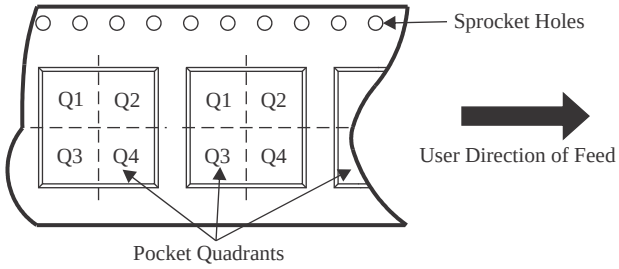


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

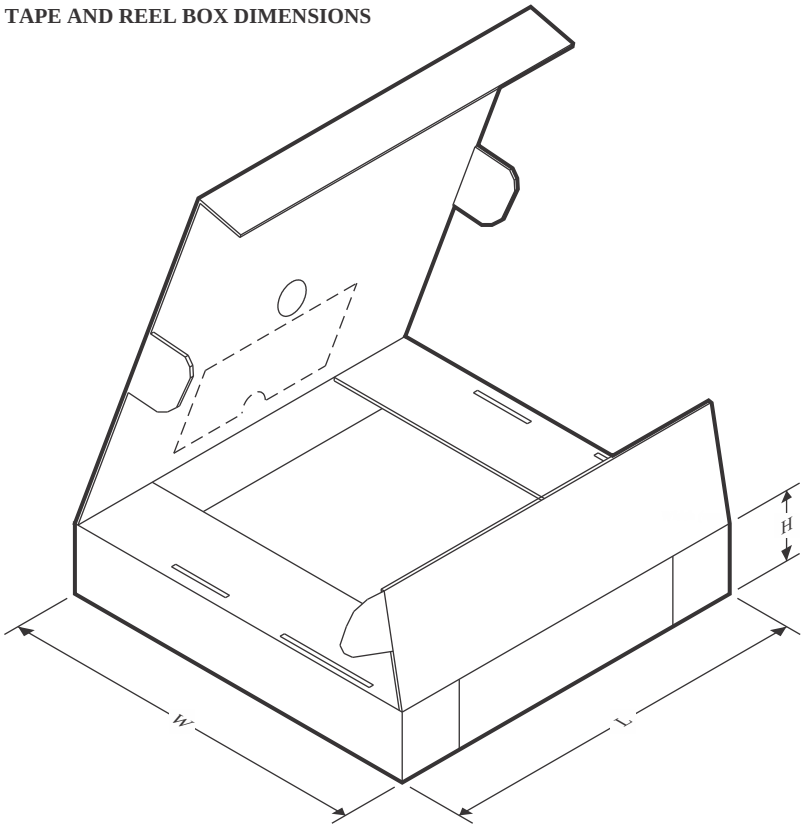


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9041IDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041IDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV9041IDPWR	X2SON	DPW	5	3000	180.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9041IDPWRG4	X2SON	DPW	5	3000	180.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9041SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041SIDBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041UIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9042IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9042IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9042IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9042IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9042IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9042IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9042SIRUGR	X2QFN	RUG	10	3000	178.0	8.4	1.75	2.25	0.56	4.0	8.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9044IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9044IDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV9044IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9044IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

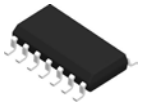
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9041IDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV9041IDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9041IDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
TLV9041IDPWR	X2SON	DPW	5	3000	210.0	185.0	35.0
TLV9041IDPWRG4	X2SON	DPW	5	3000	210.0	185.0	35.0
TLV9041SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9041SIDBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9041UIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9042IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9042IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9042IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9042IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV9042IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9042IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV9042SIRUGR	X2QFN	RUG	10	3000	205.0	200.0	33.0
TLV9044IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV9044IDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV9044IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9044IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0

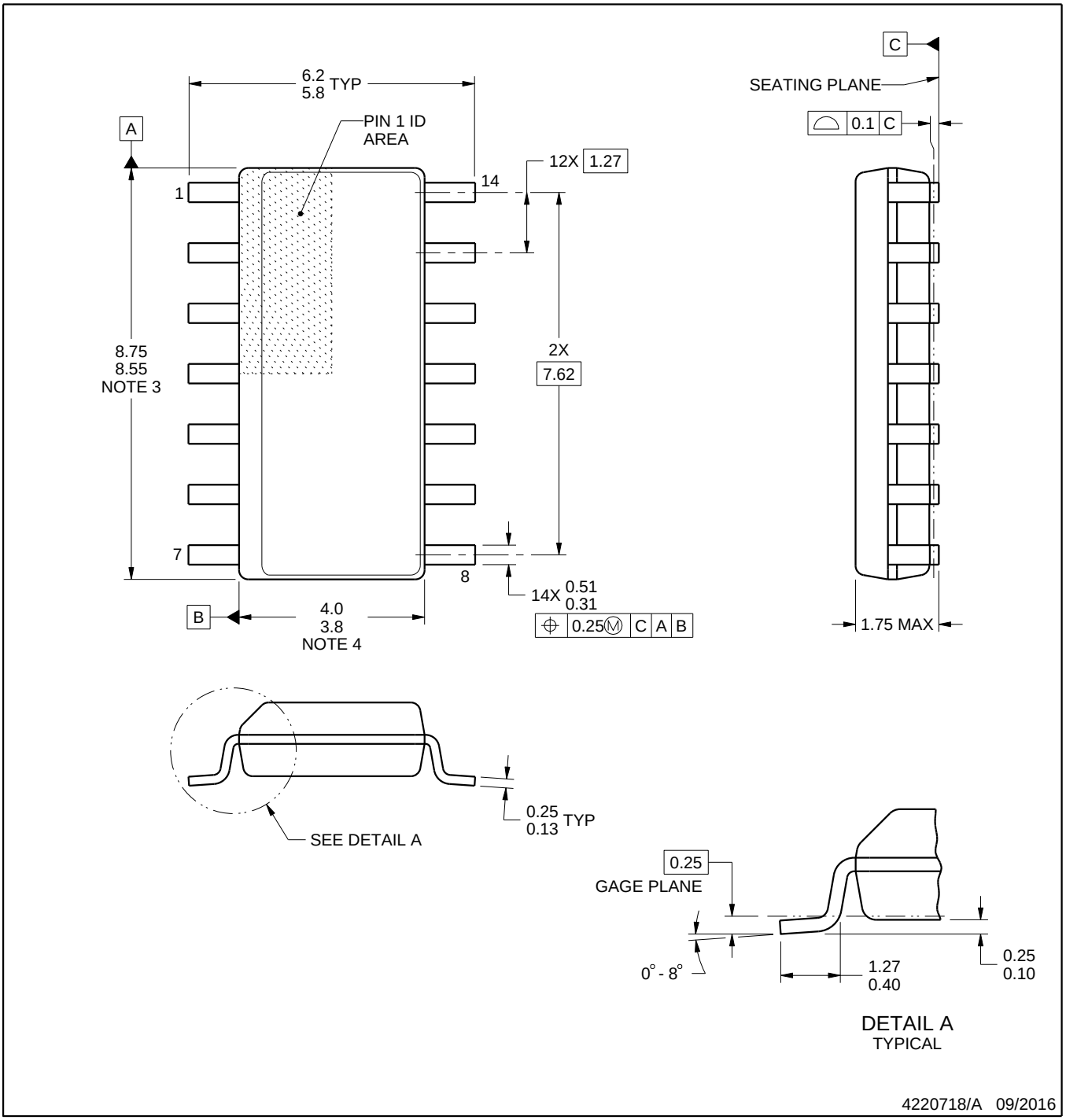


PACKAGE OUTLINE

D0014A

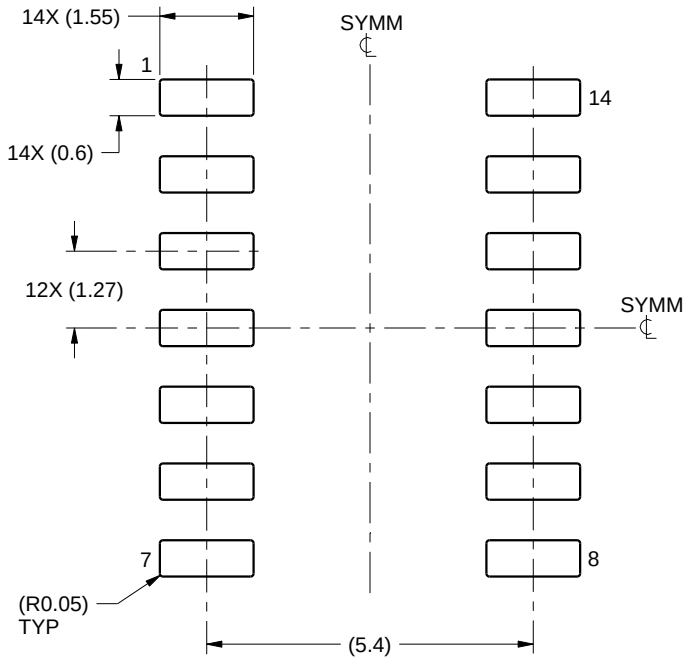
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

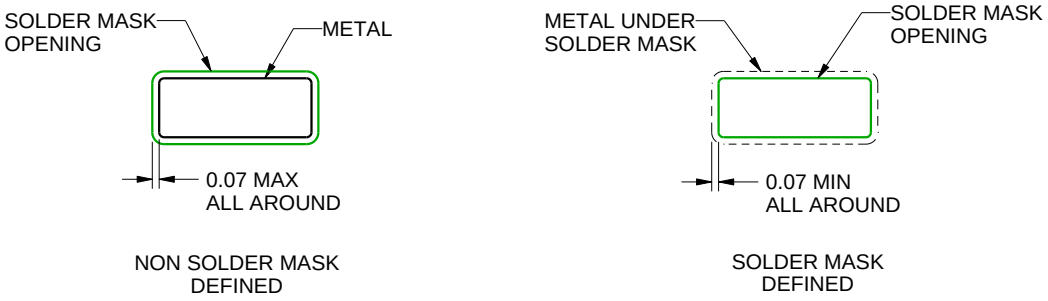


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

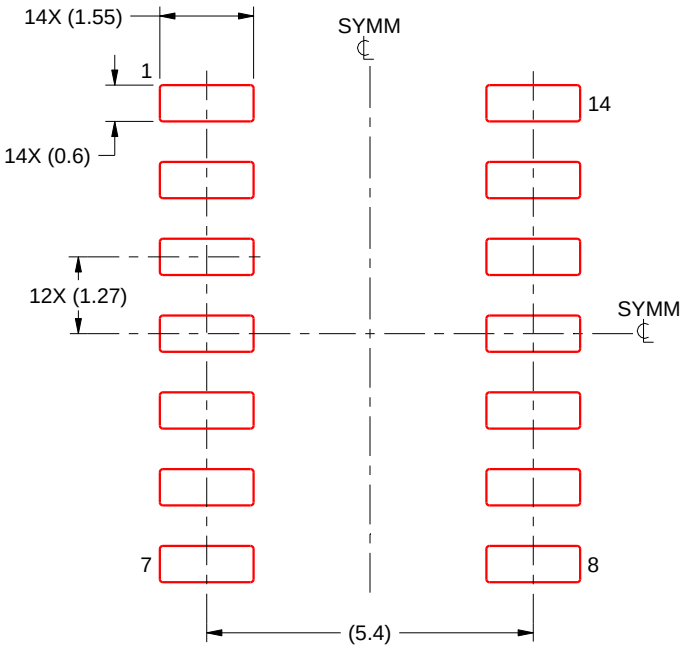
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

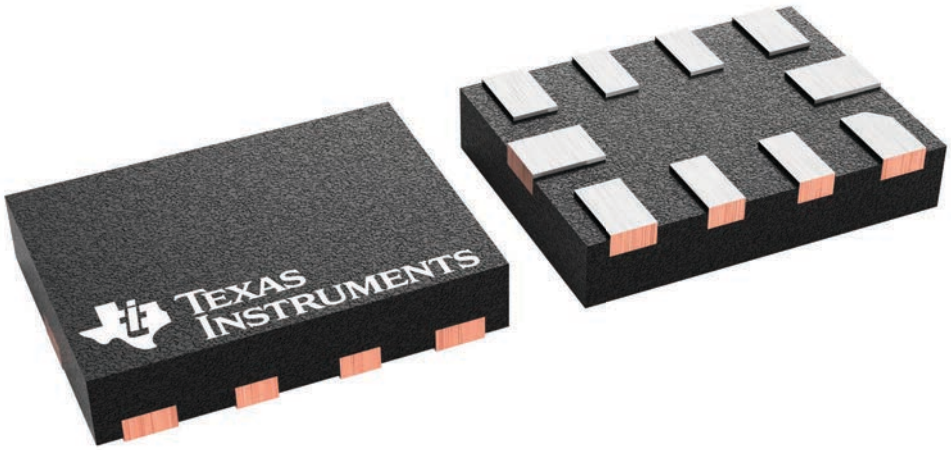
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



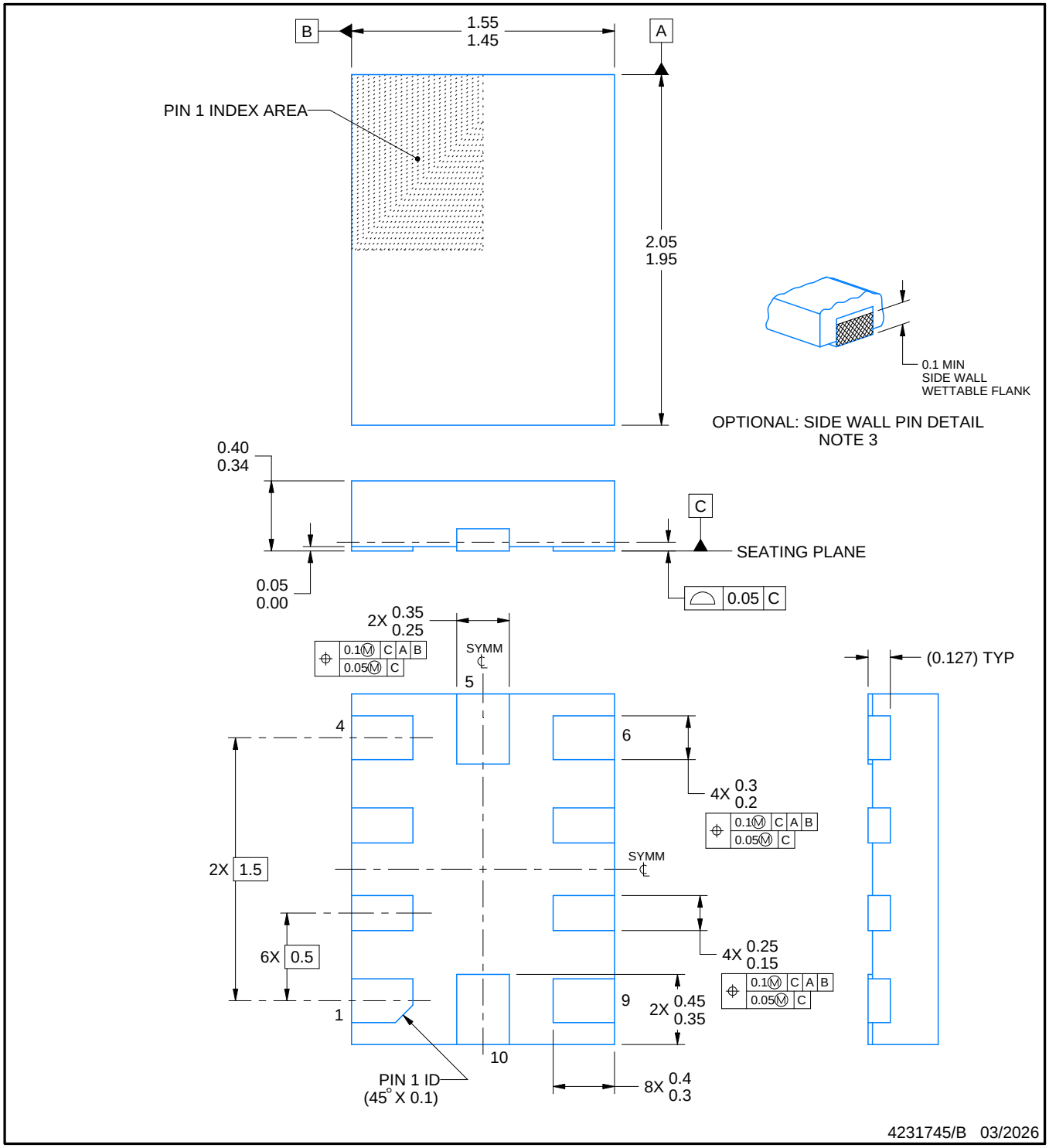
4231768/A

RUG0010A

PACKAGE OUTLINE

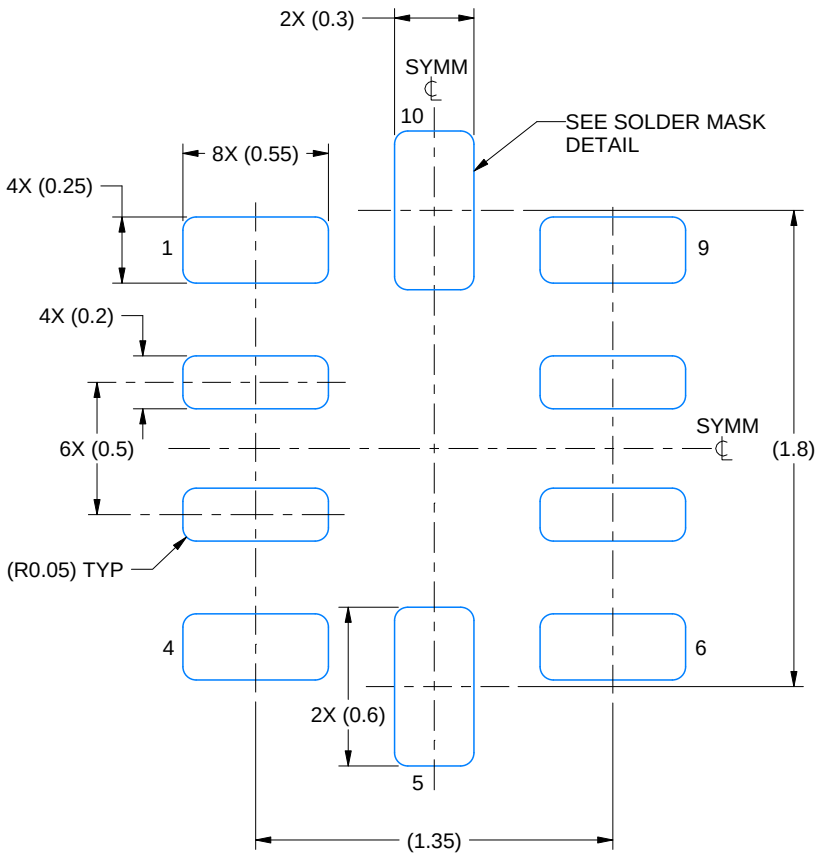
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

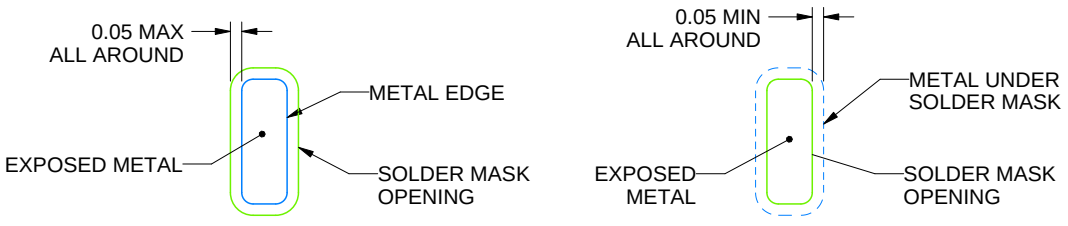


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

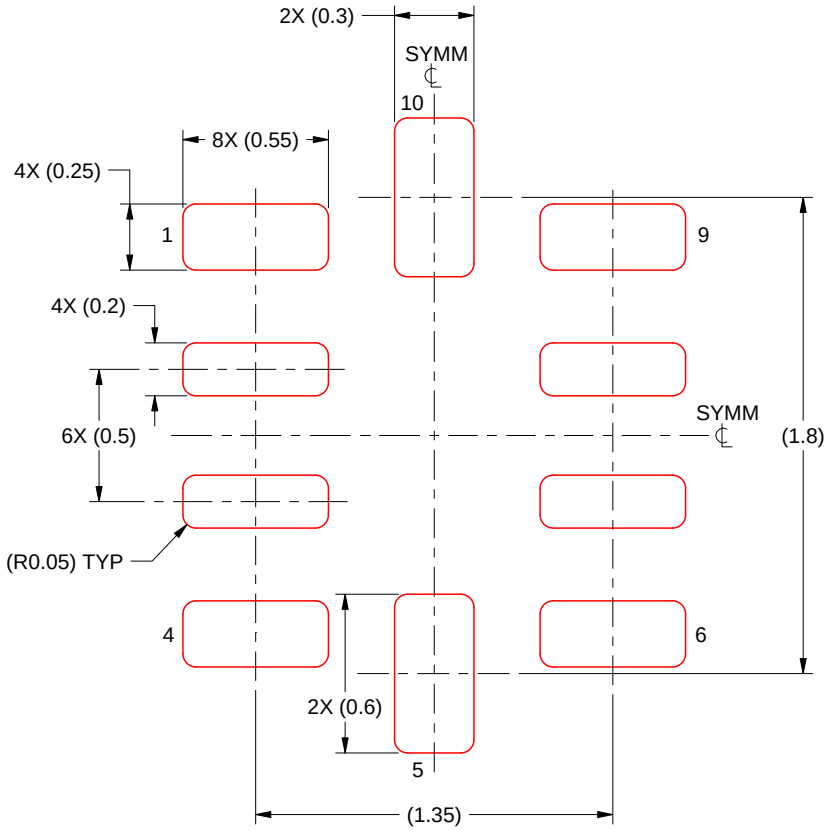
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

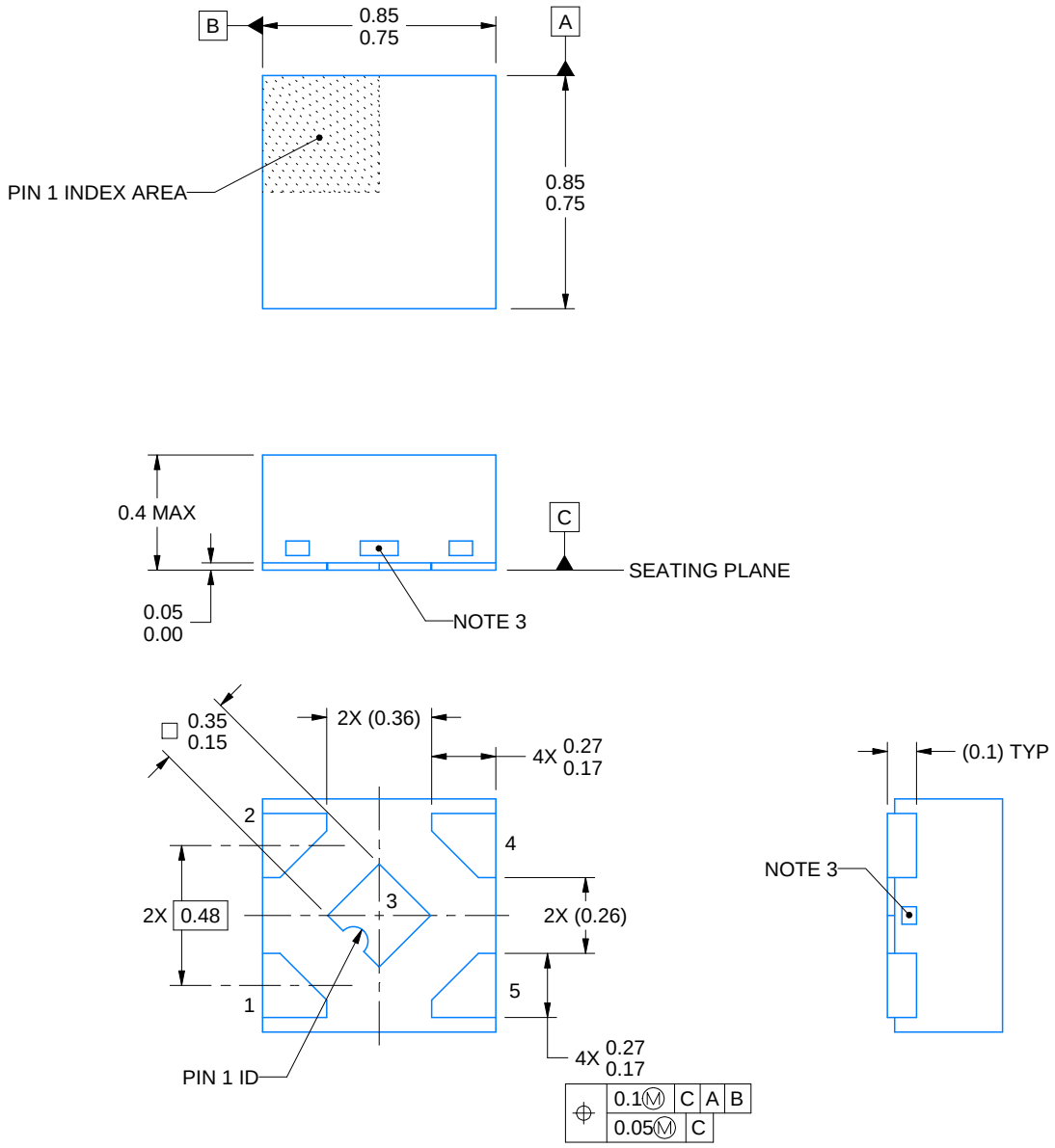
4211218-3/D

PACKAGE OUTLINE

DPW0005B

X2SON - 0.4 mm max height

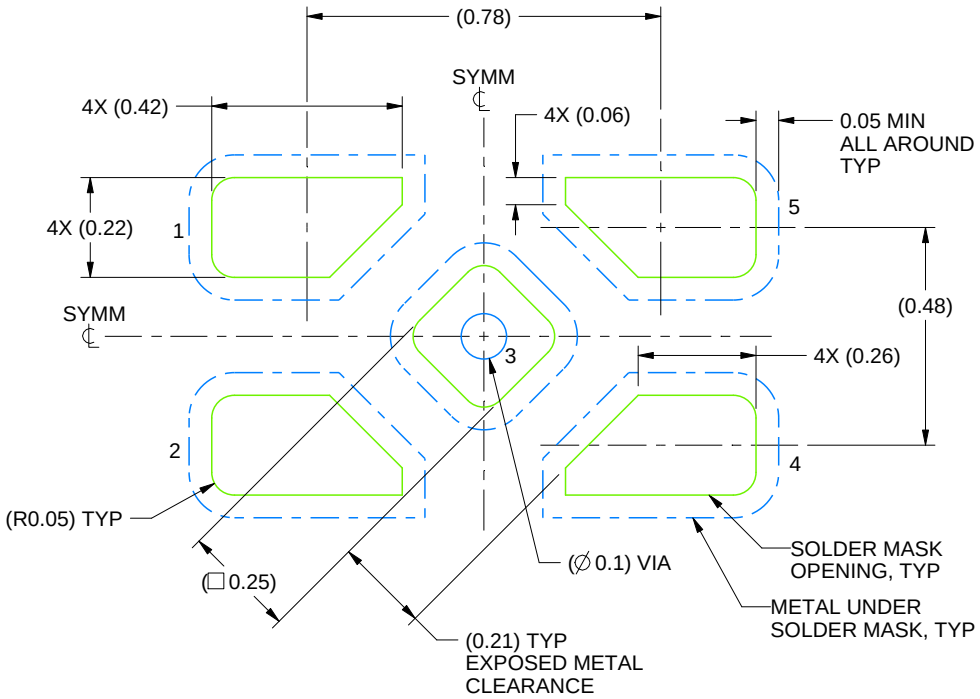
PLASTIC SMALL OUTLINE - NO LEAD



4228233/D 09/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

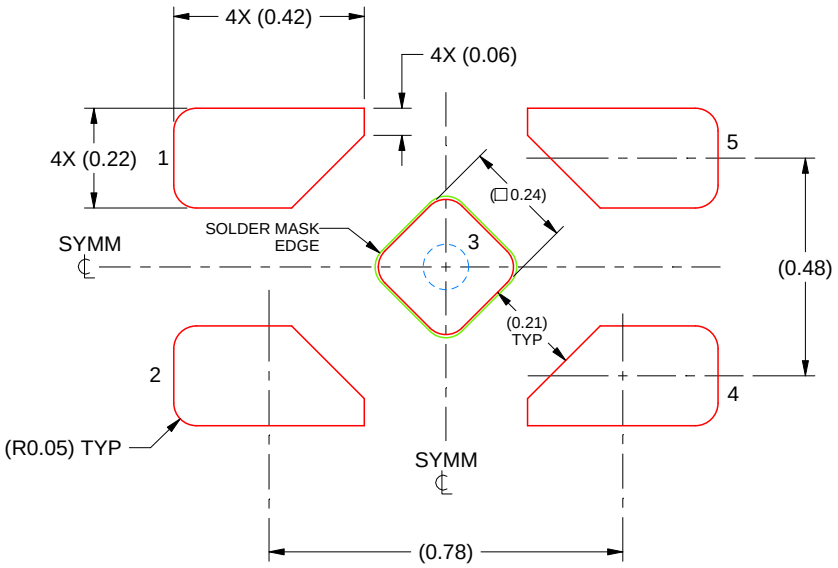


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 5
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

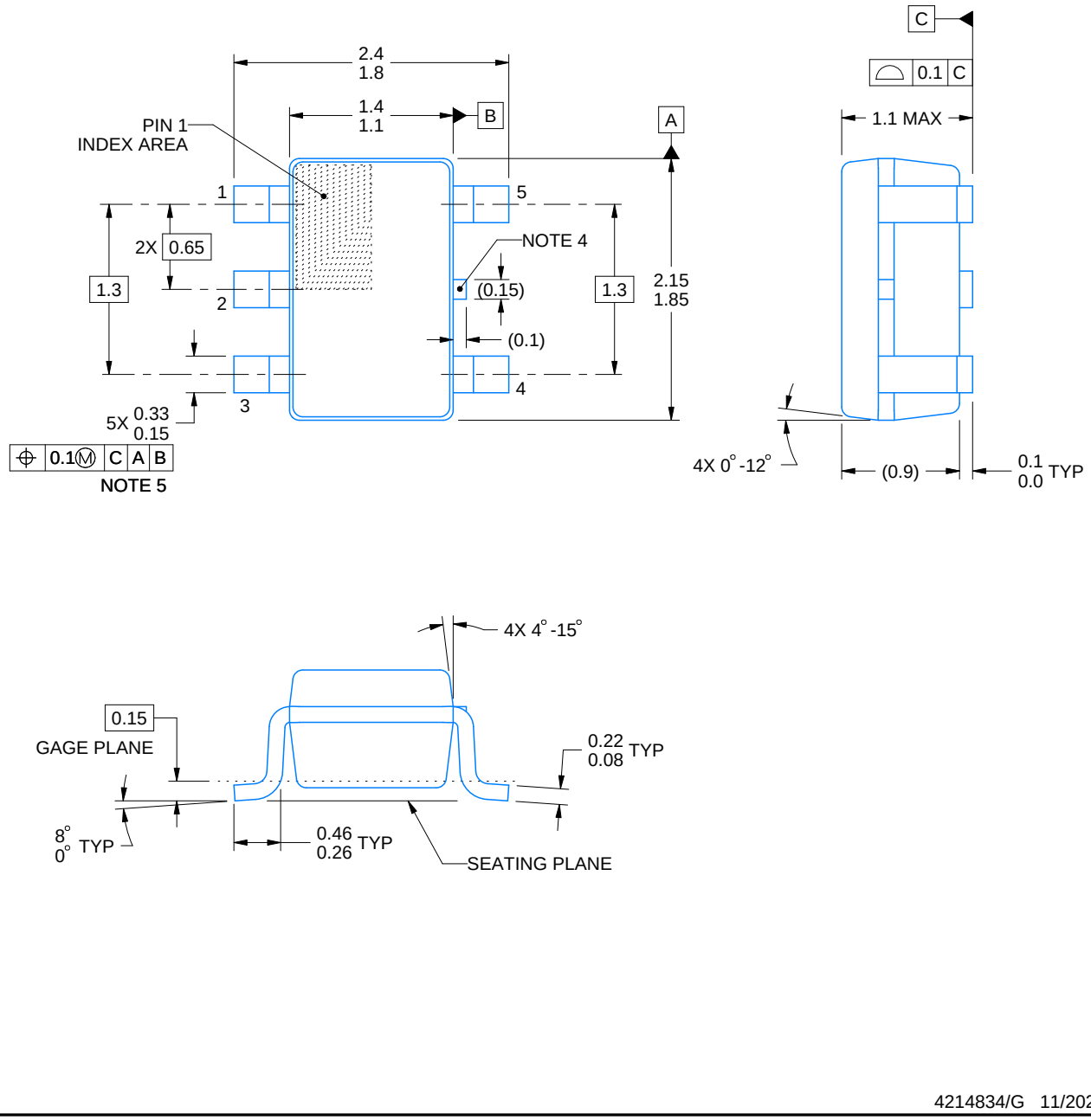
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

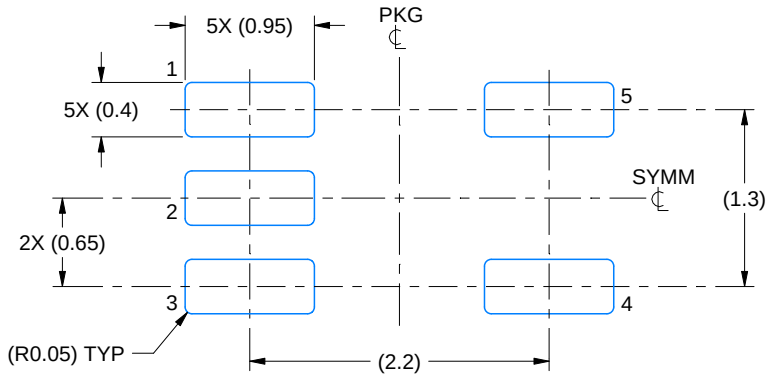
SMALL OUTLINE TRANSISTOR



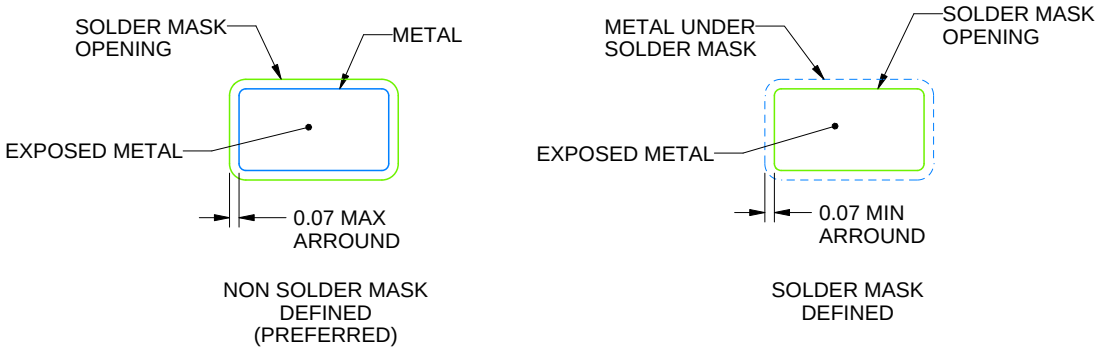
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

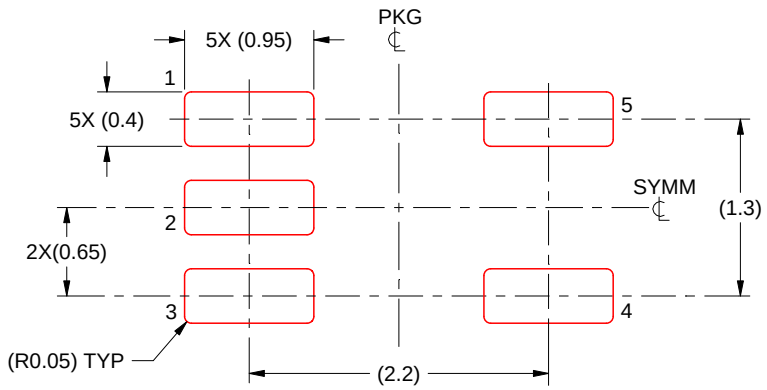


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

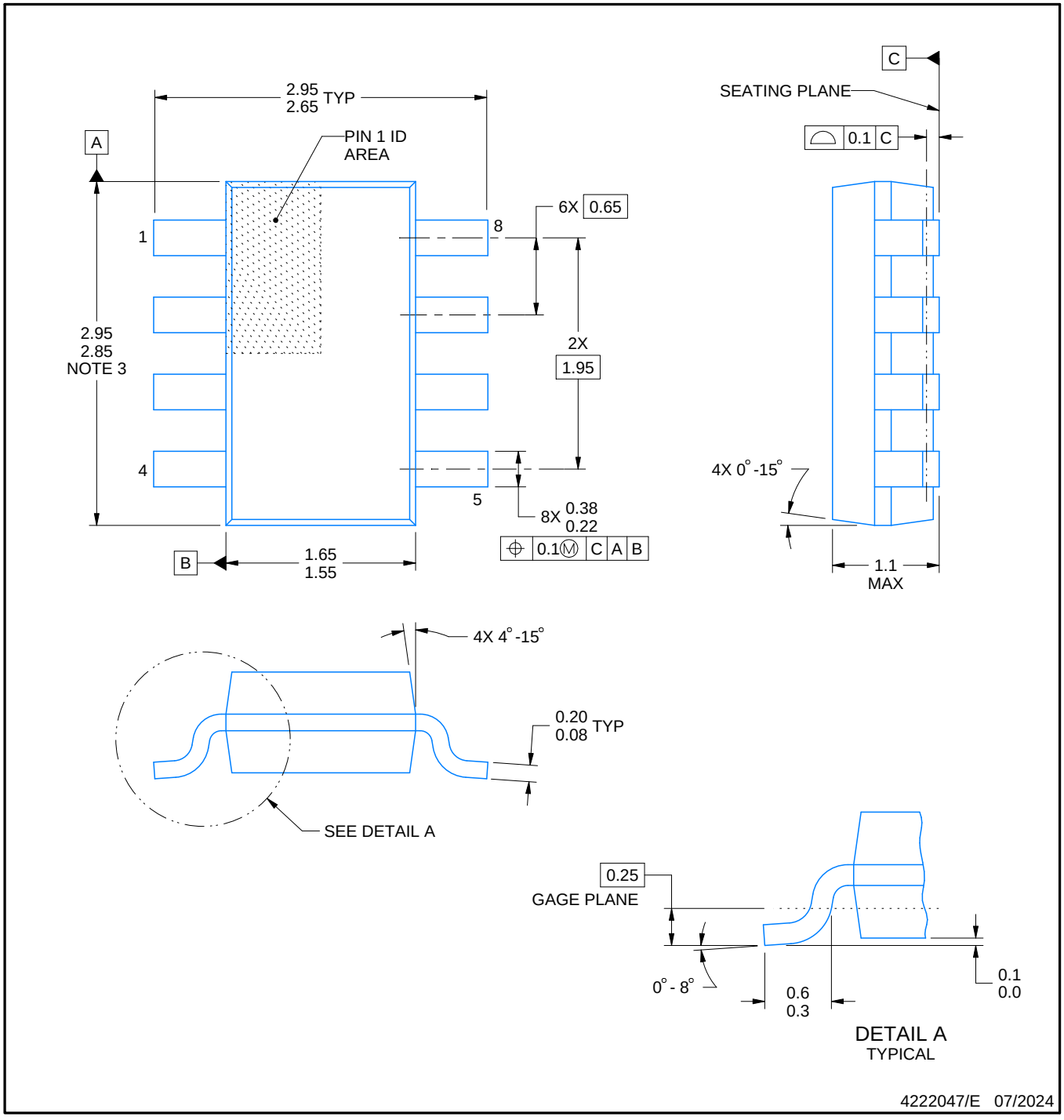
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

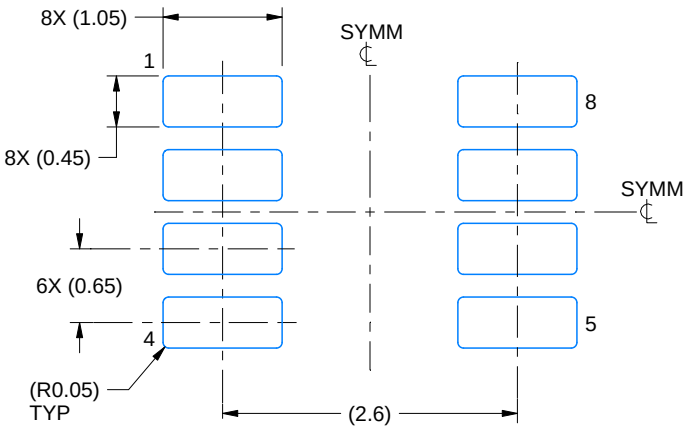
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

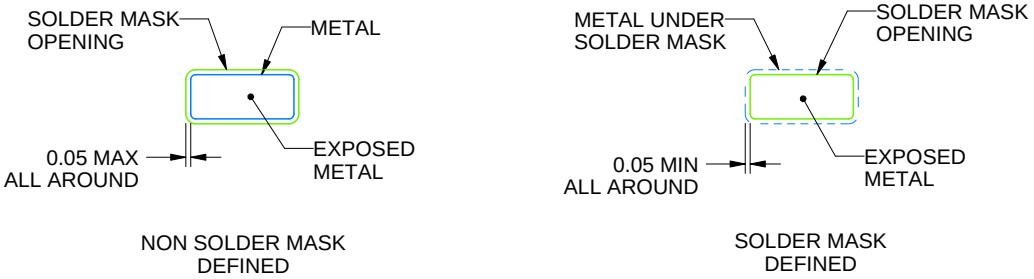


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

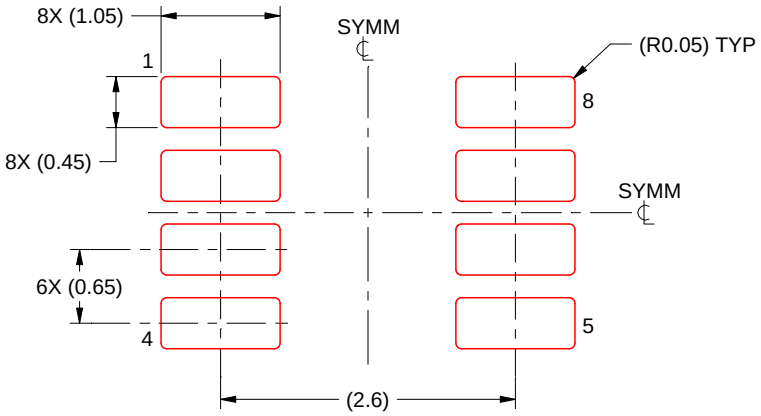
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

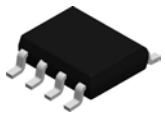


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

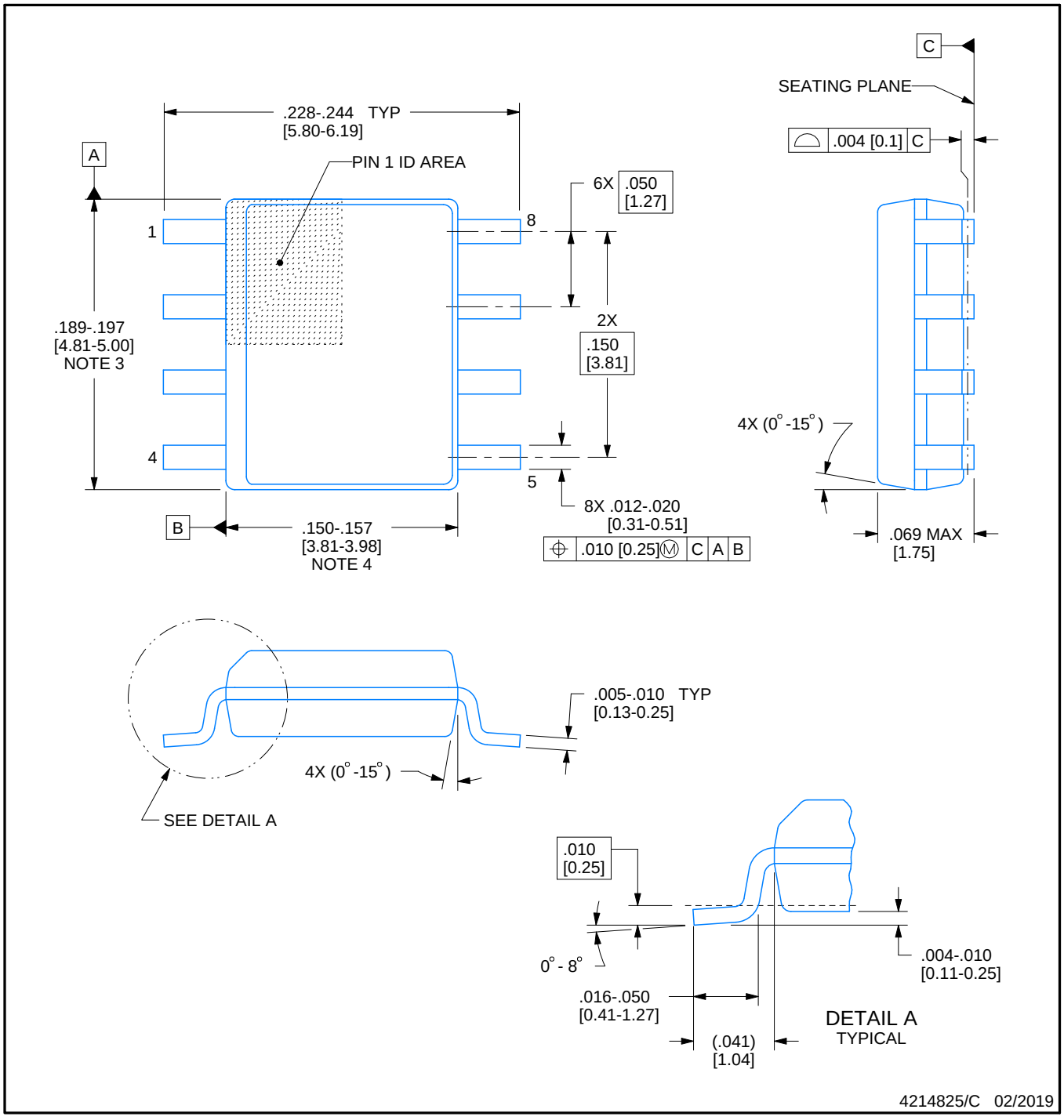


PACKAGE OUTLINE

D0008A

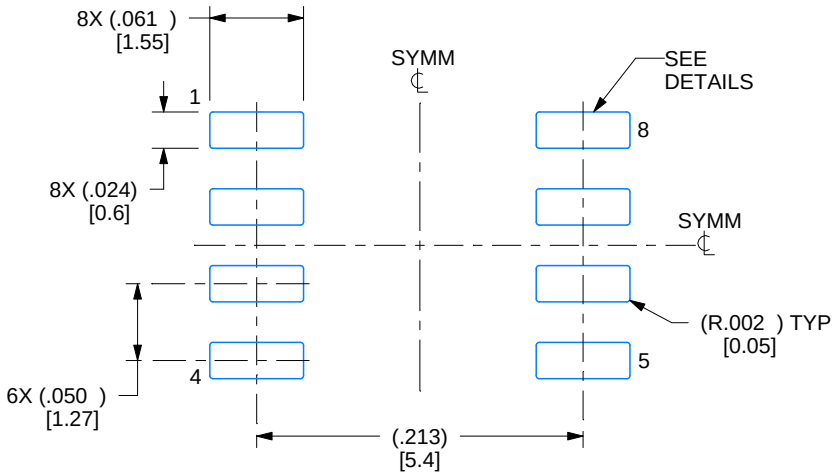
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

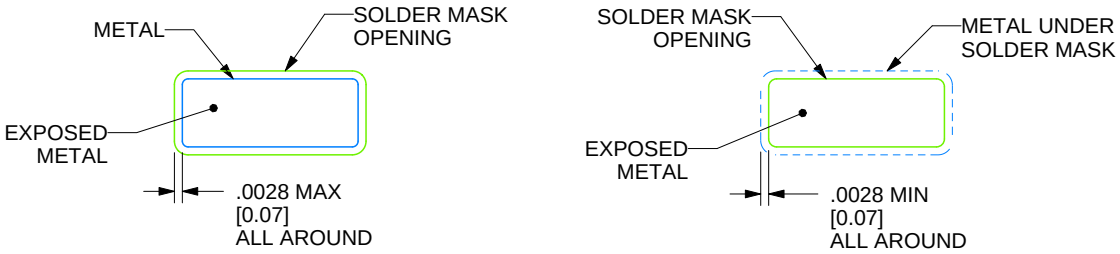


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

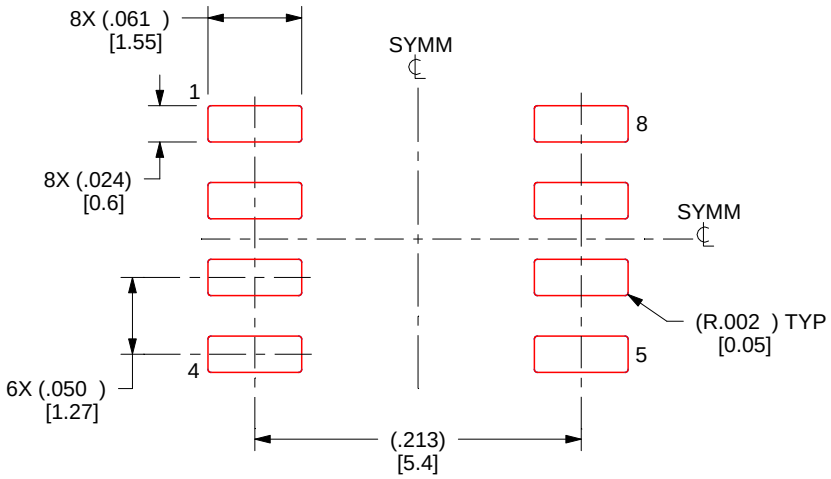
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

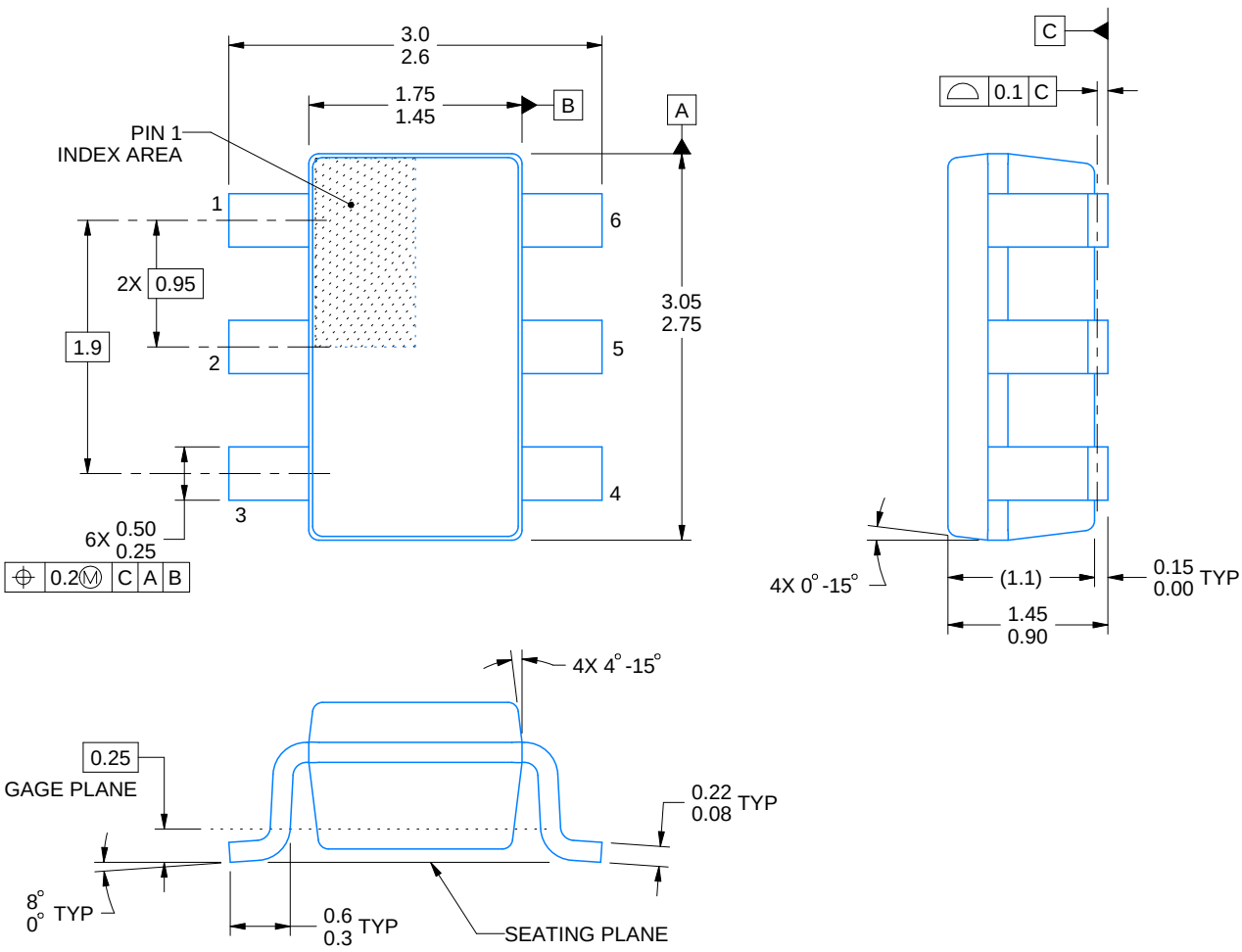
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

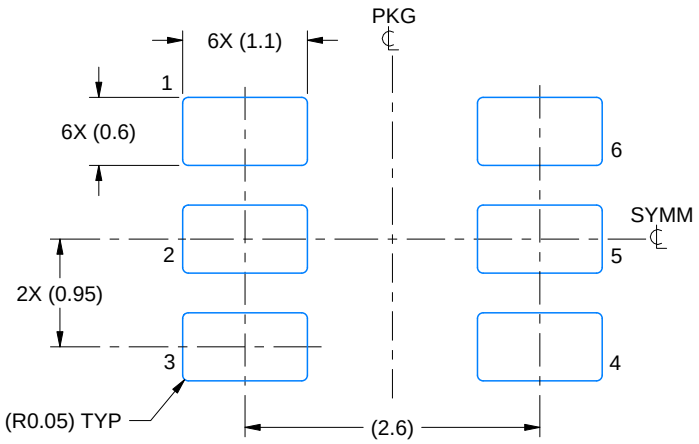
SMALL OUTLINE TRANSISTOR



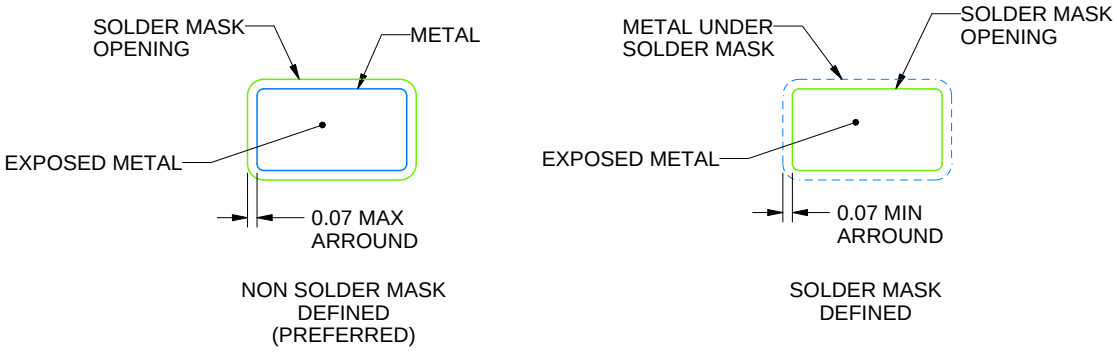
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

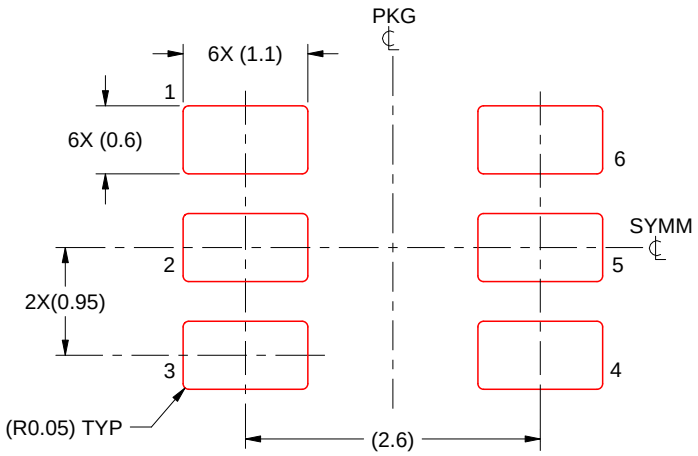


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

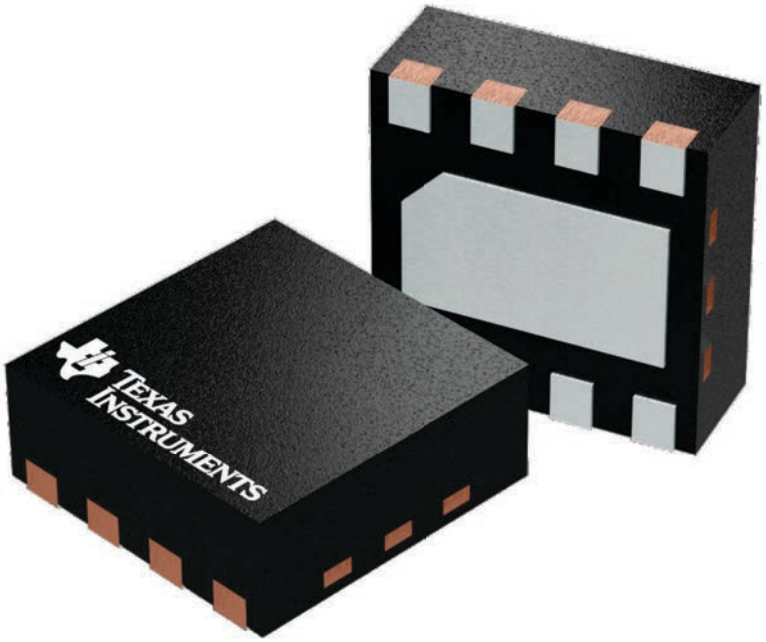
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



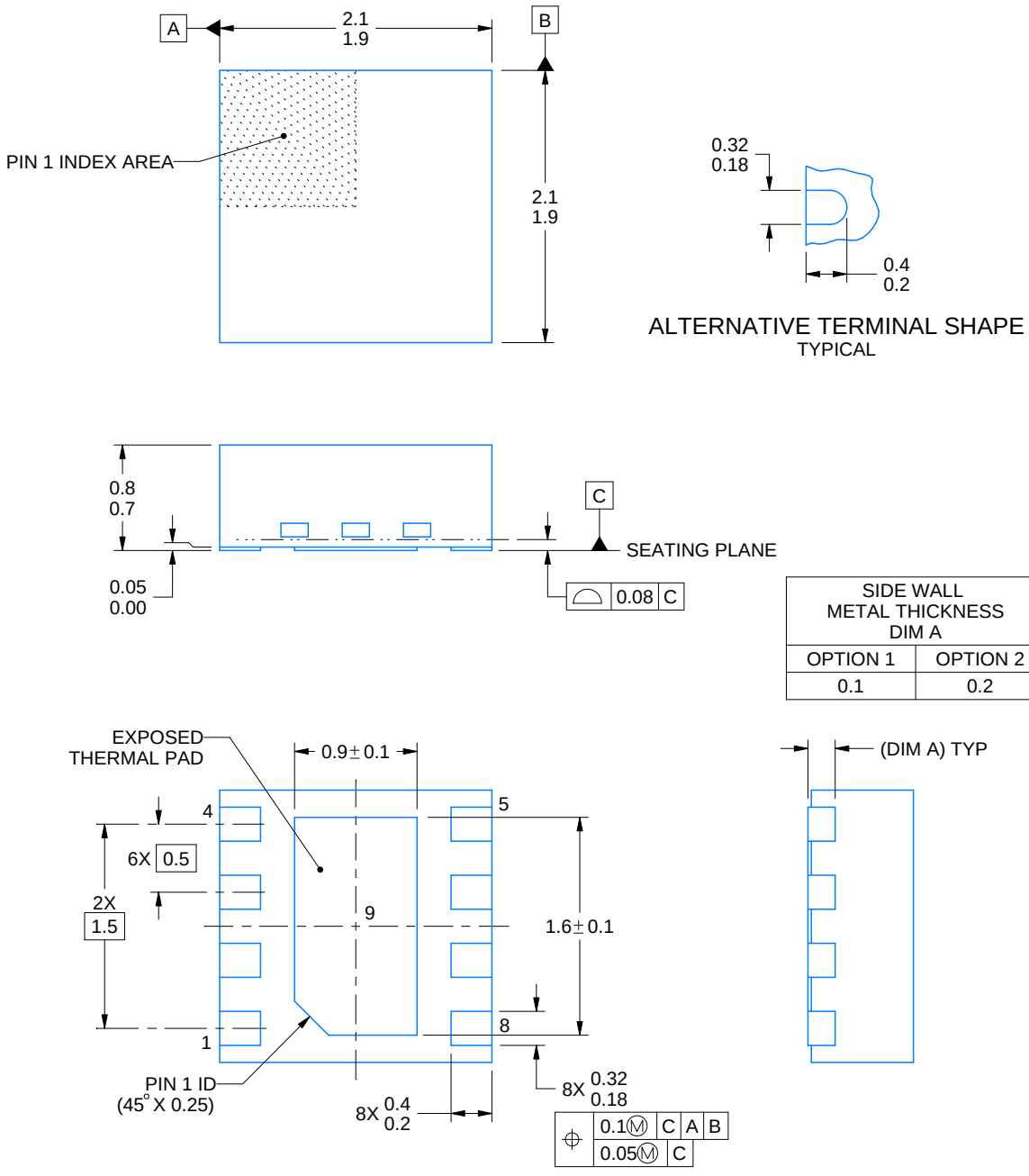
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

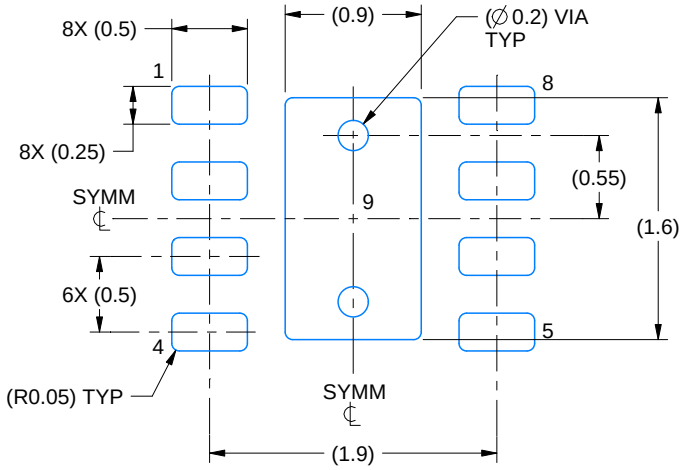
PLASTIC SMALL OUTLINE - NO LEAD



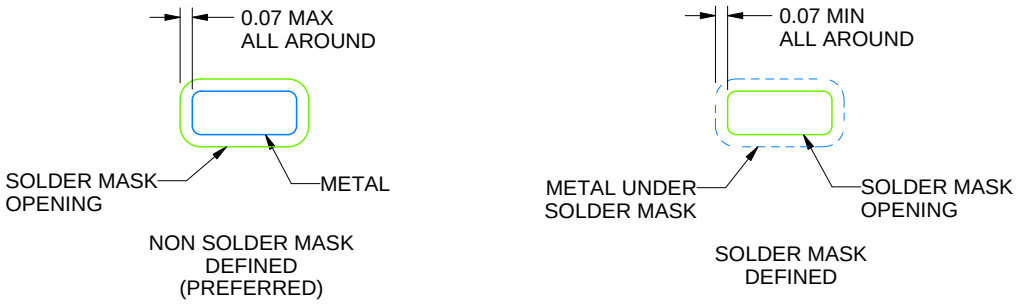
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

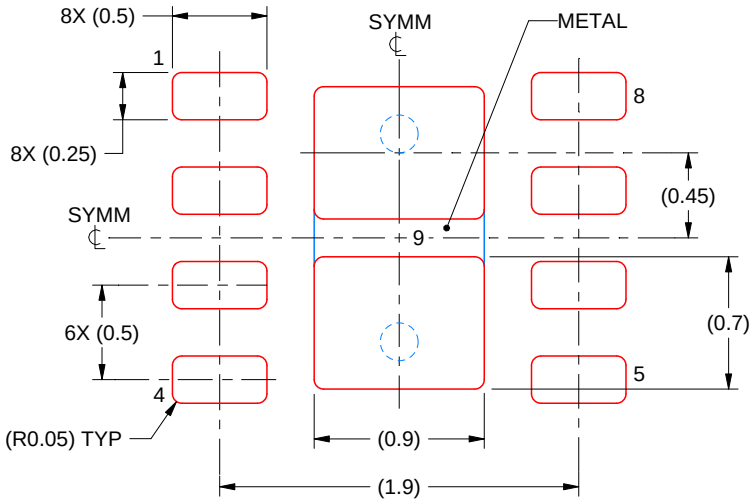


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

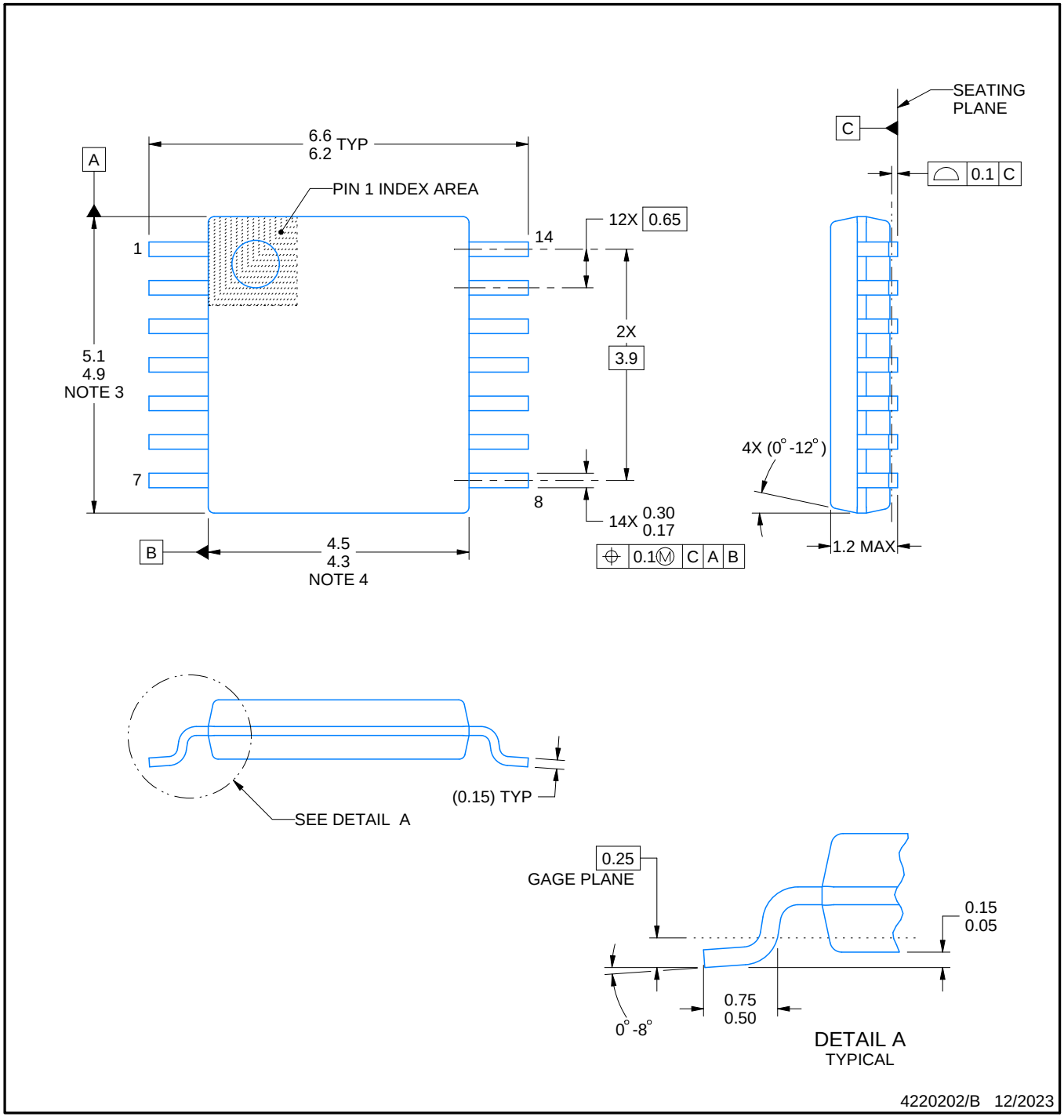
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

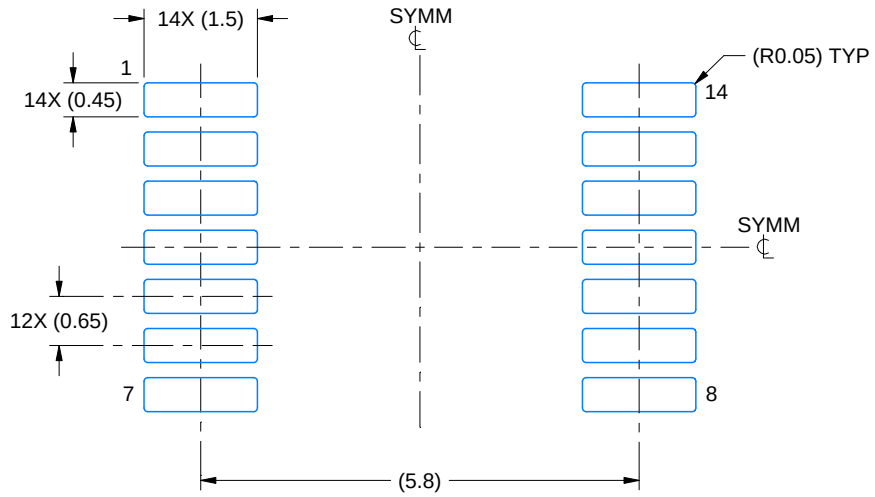
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

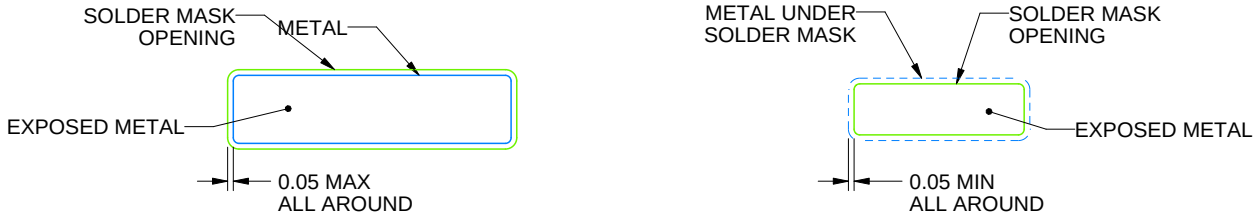


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

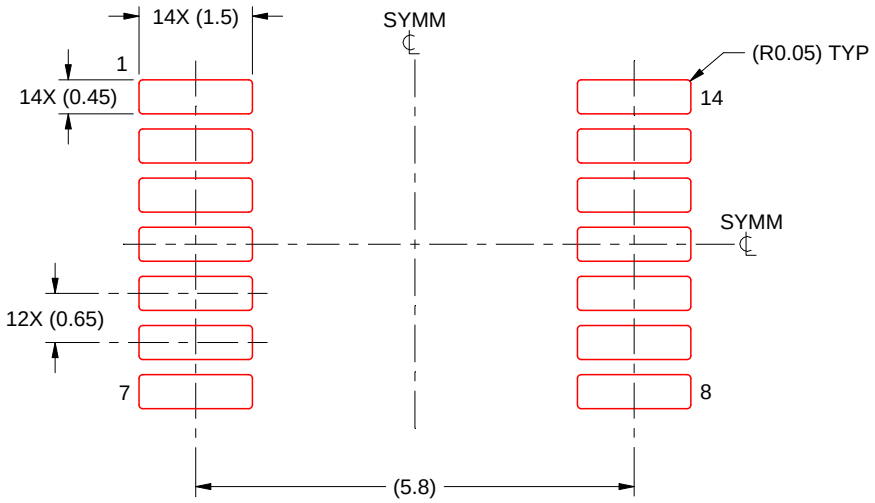


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

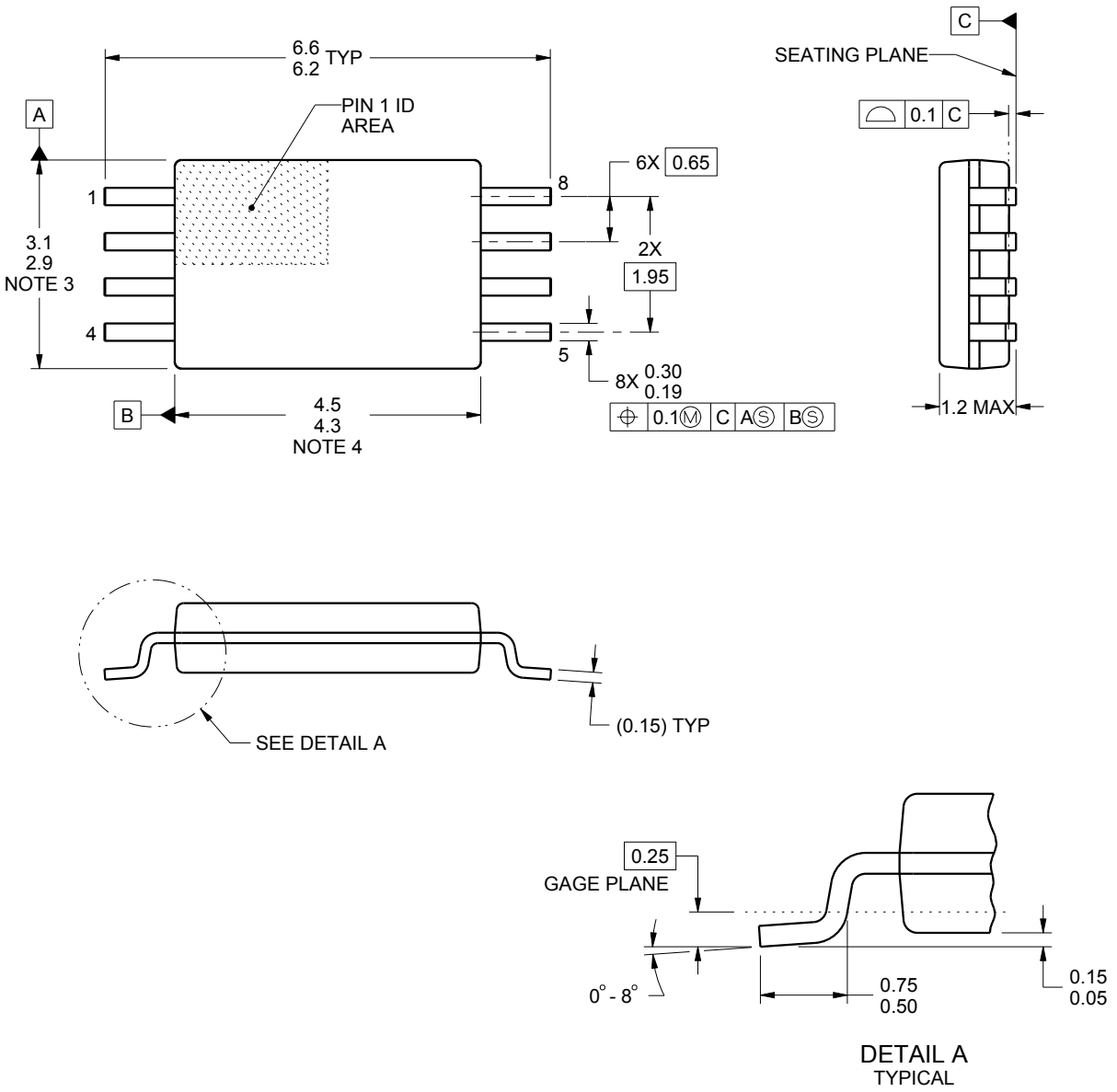
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

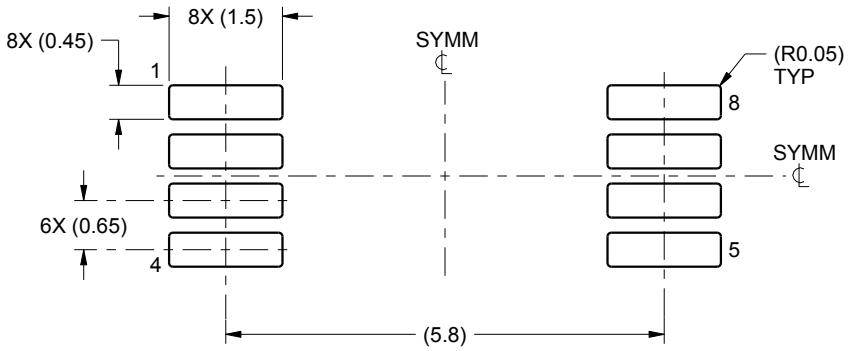
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

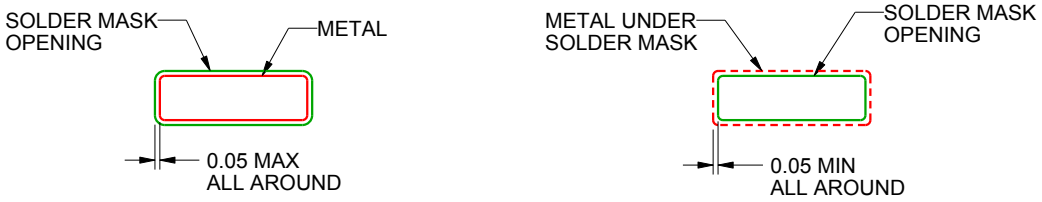


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

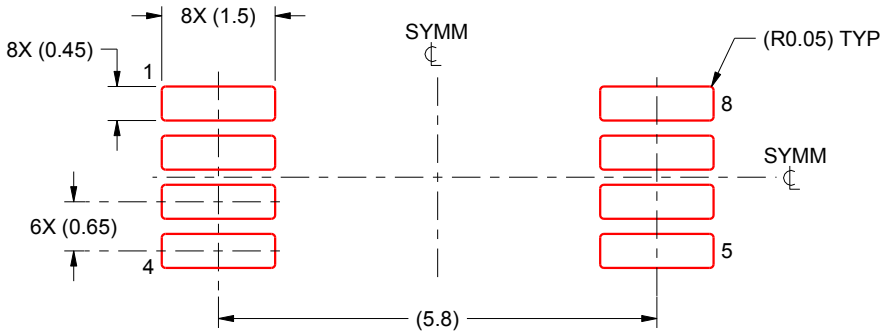


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

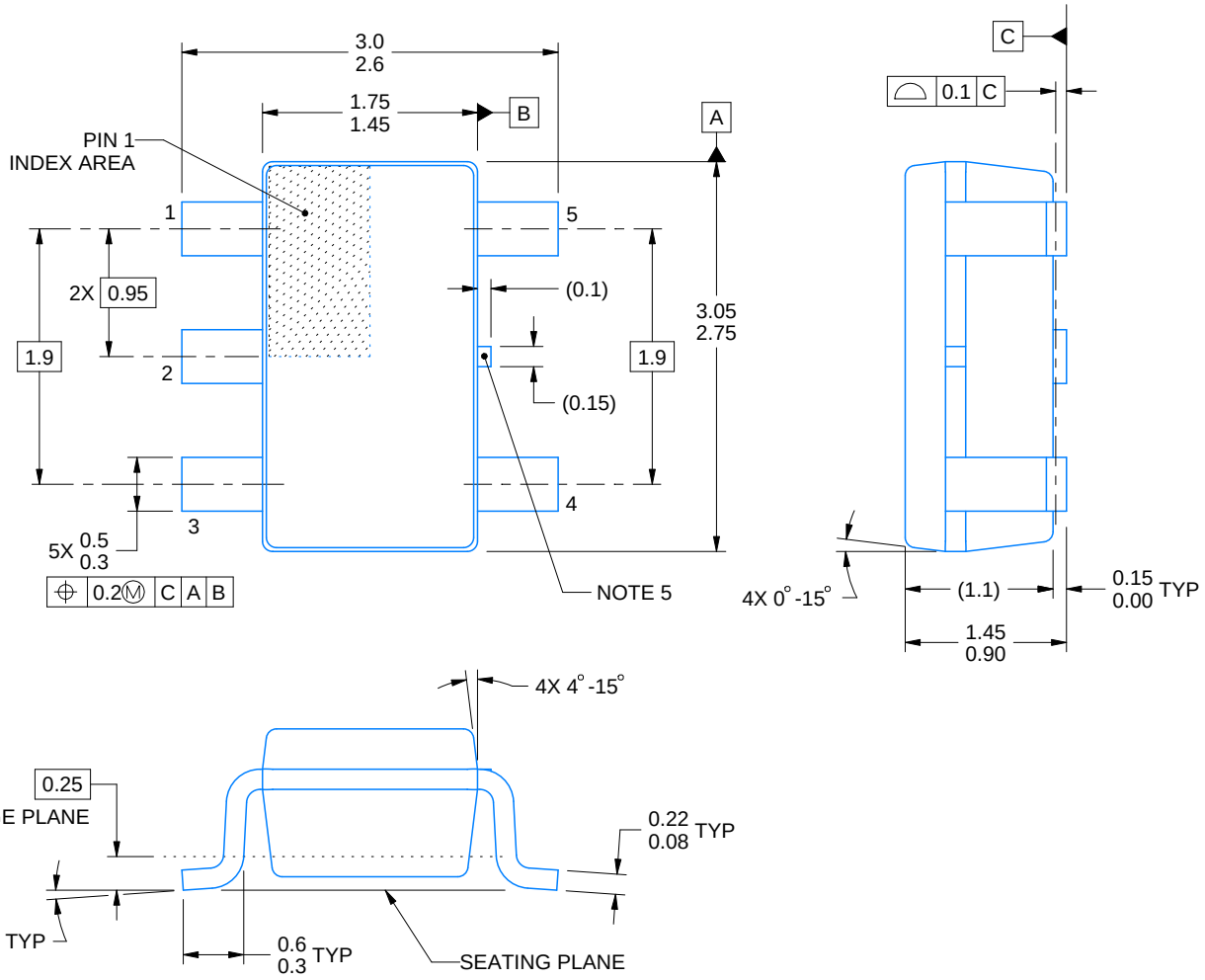
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

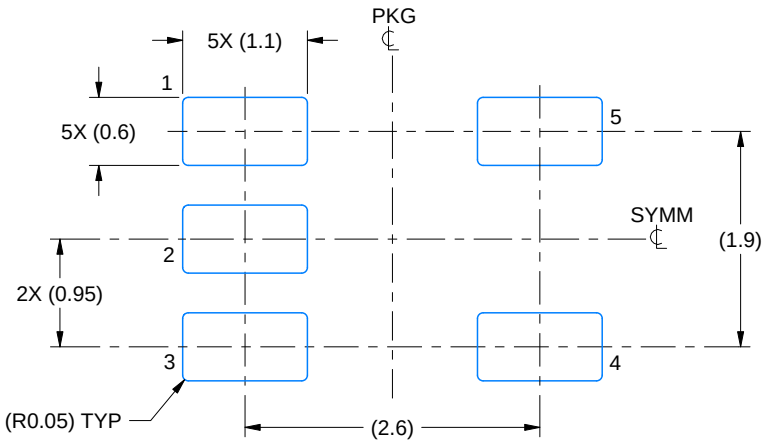
SMALL OUTLINE TRANSISTOR



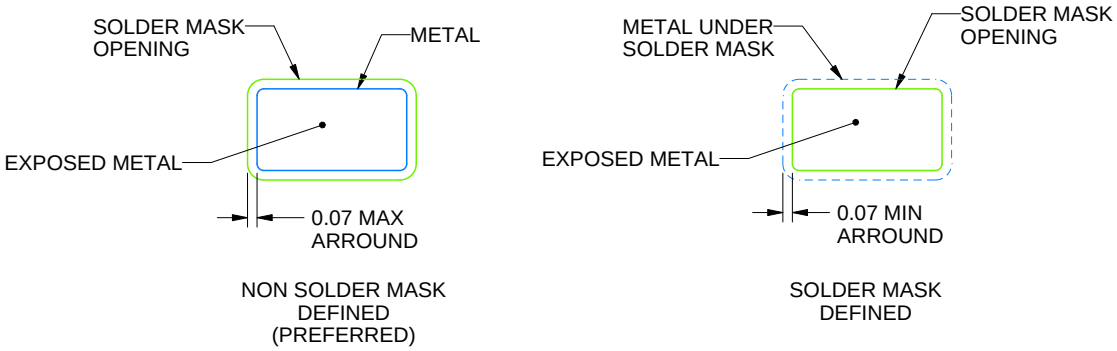
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

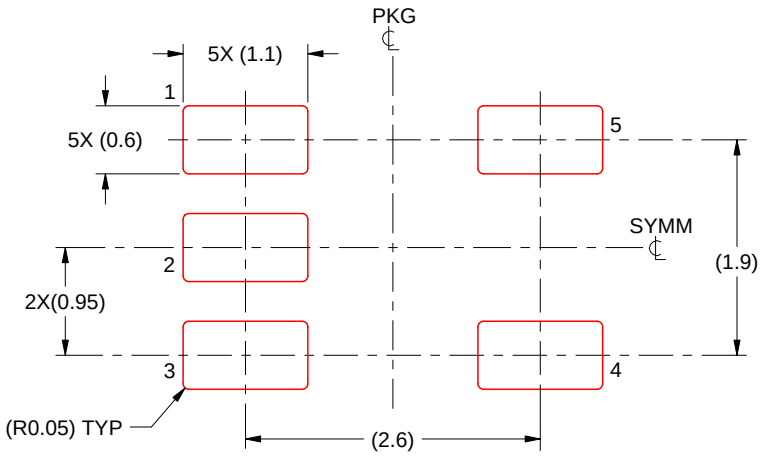


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

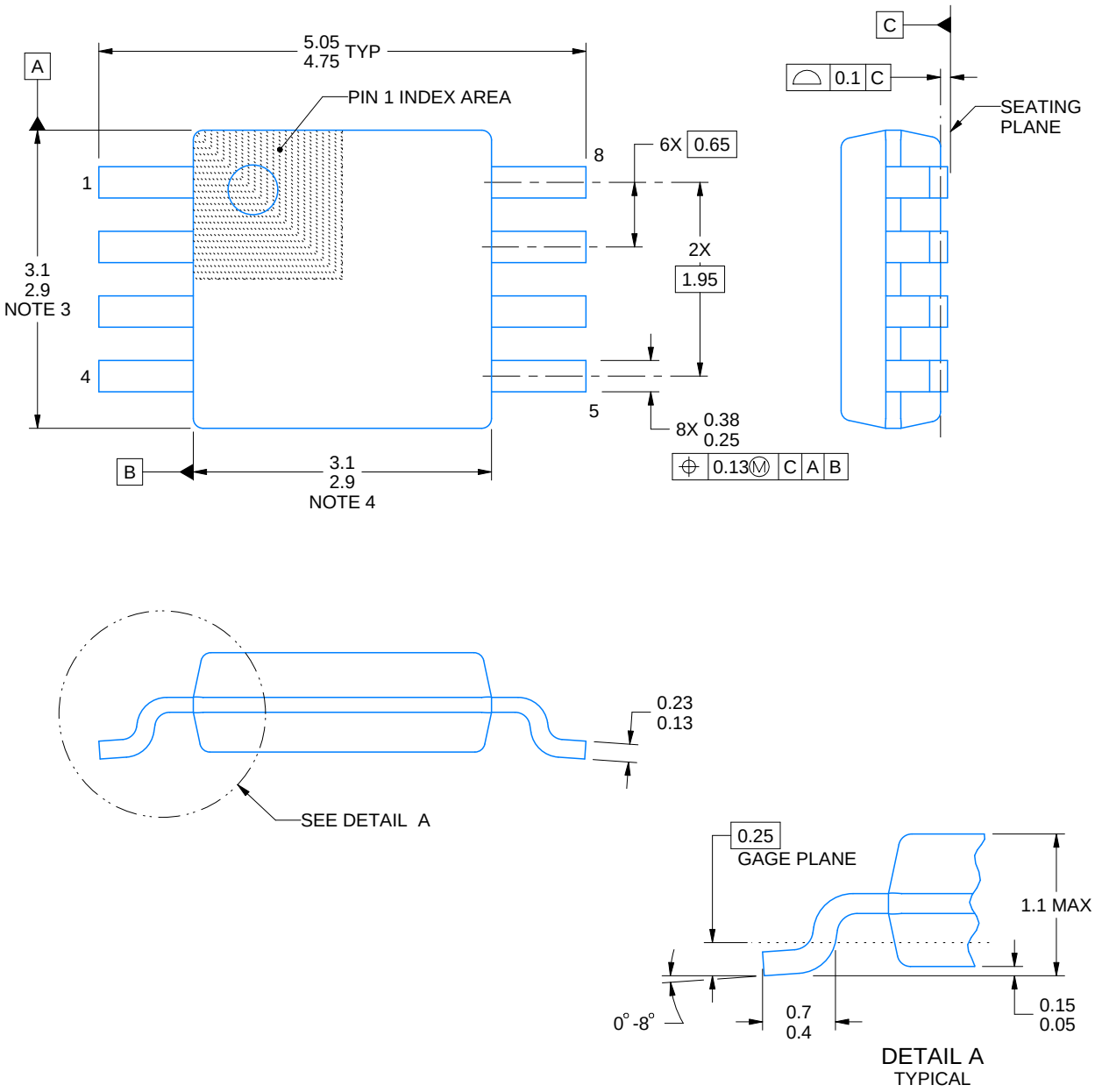
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

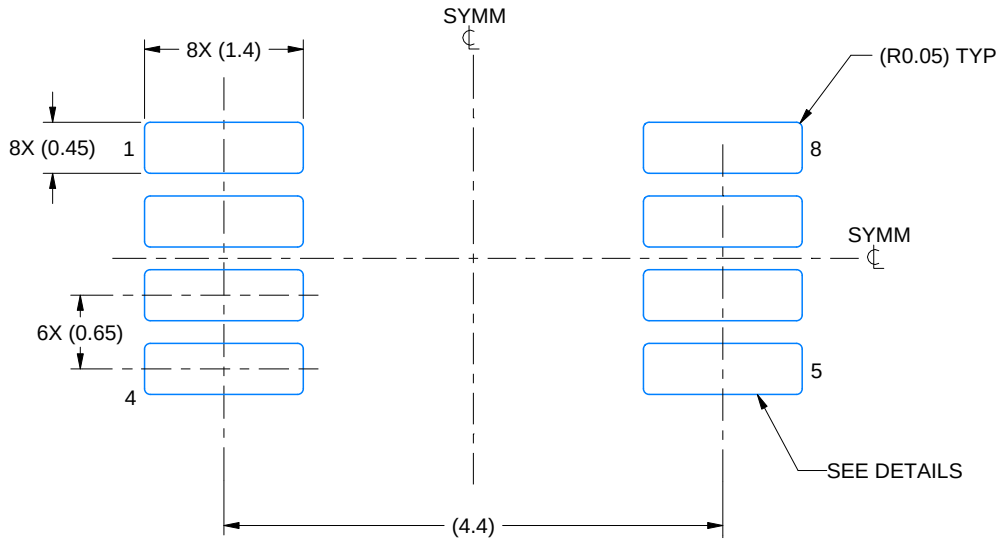
SMALL OUTLINE PACKAGE



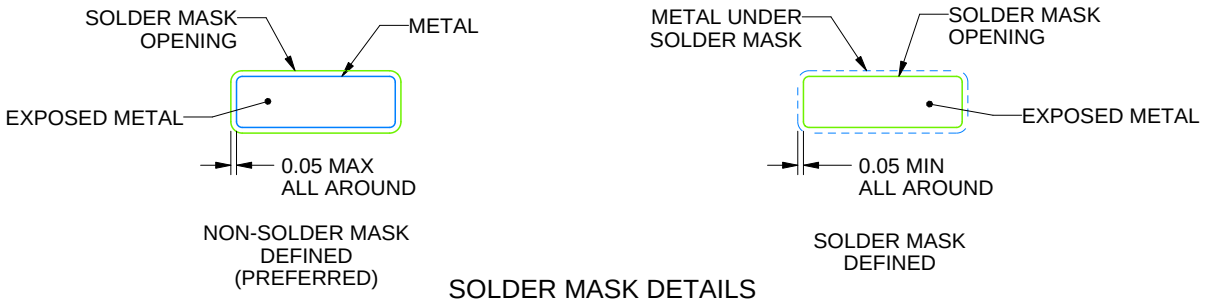
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

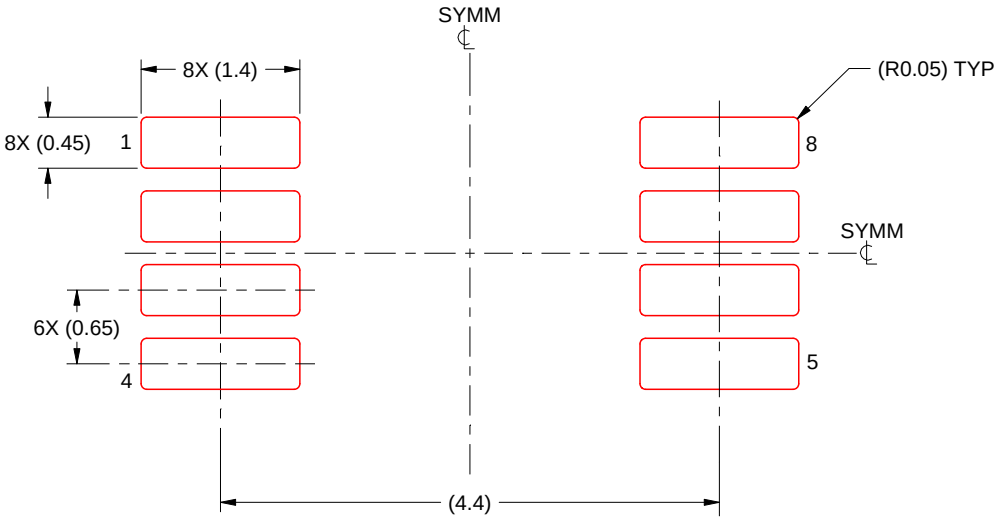


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

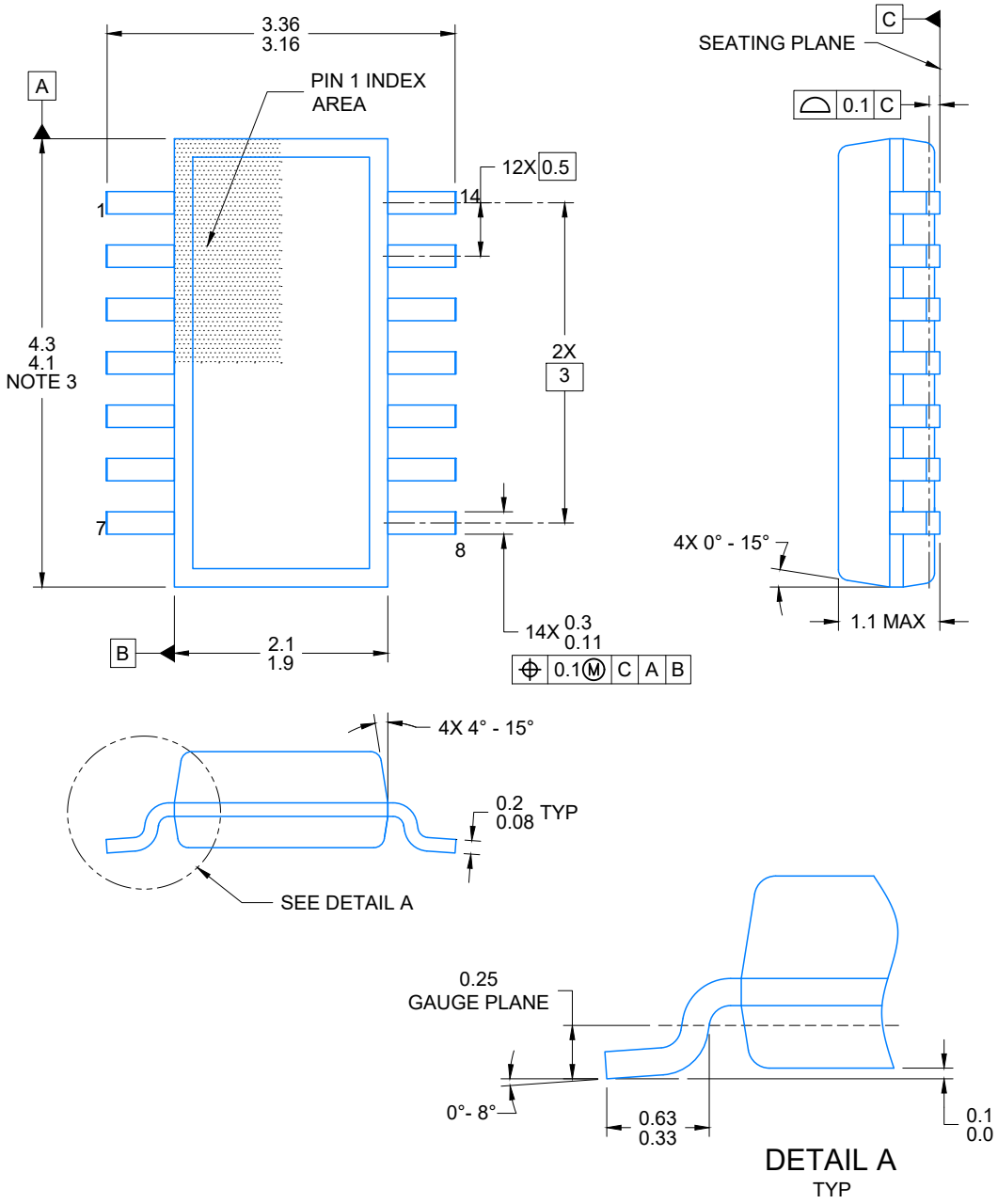
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

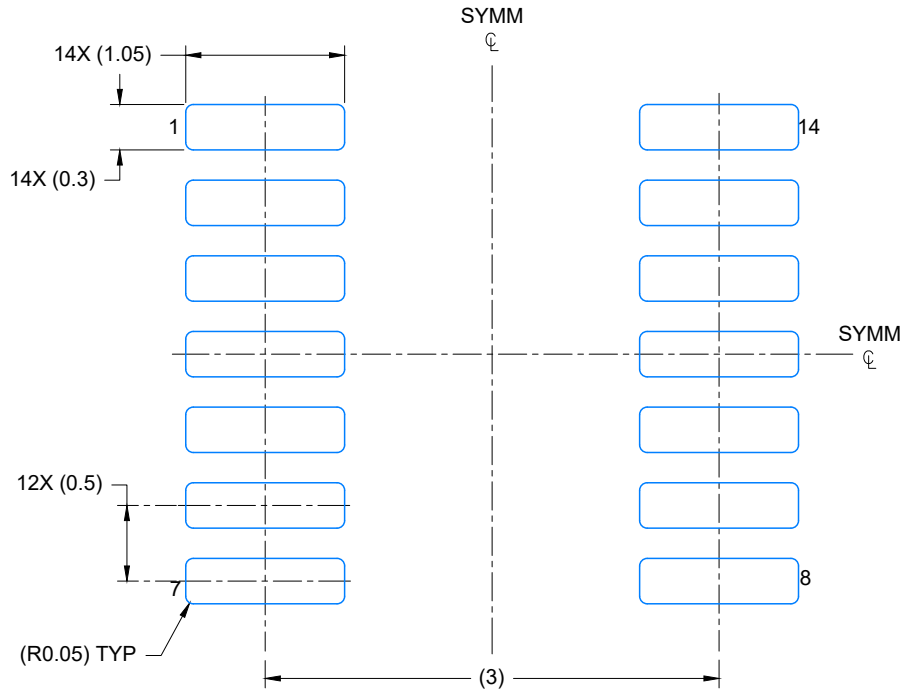
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

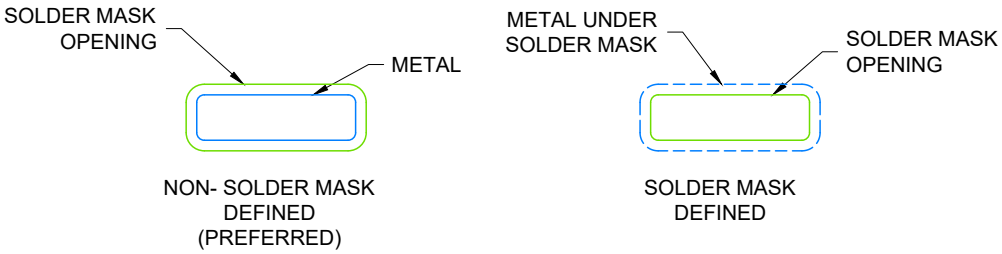


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

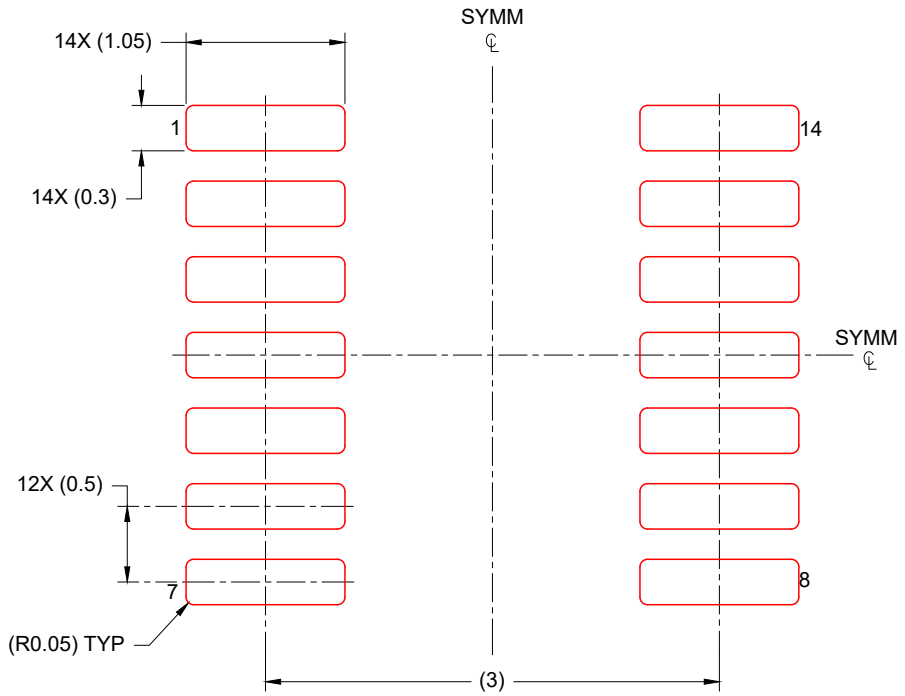


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月