TLV906xS コスト重視システム向け 10MHz、RRIO、CMOS オペアンプ

1 特長

- レール ツー レール入出力
- 低い入力オフセット電圧:±0.3mV
- ユニティ ゲイン帯域幅:10MHz
- 低い広帯域ノイズ:10nV/√Hz
- 低い入力バイアス電流:0.5pA
- 低い静止電流:538µA
- ユニティ ゲイン安定
- 内部 RFI および EMI フィルタ
- 最低 1.8V の電源電圧で動作
- 抵抗性の開ループ出力インピーダンスにより、大きな容量性負荷でも簡単に安定
- シャットダウン バージョン:TLV906xS
- 拡張温度範囲:-40℃～125℃

2 アプリケーション

- 電動アシスト自転車
- 煙感知器
- HVAC:暖房、換気、空調
- モーター制御:AC 誘導モーター
- 冷蔵庫
- ウェアラブル機器
- 洗濯機
- パワー モジュール
- アクティブ フィルタ
- ローサイド電流センシング

3 説明

TLV9061 (シングル)、TLV9062 (デュアル)、TLV9064 (クワッド) は、レール ツー レールの入力および出力スイング機能を備えたシングル / デュアル / クワッド低電圧 (1.8V～5.5V) オペアンプです。

これらのデバイスは、低電圧での動作、小さな占有面積、大きな容量性負荷の駆動が必要なアプリケーション向けの、コスト効率の優れた選択肢です。

TLV906x の容量性負荷駆動能力は 100pF ですが、開ループ出力インピーダンスは抵抗性なので、大きい容量性の負荷でも簡単に安定できます。これらのオペアンプは低電圧 (1.8V～5.5V) で動作し、OPAx316 および TLVx316 デバイスと同様の性能仕様を満たすよう、特別に設計されています。

TLV906xS デバイスにはシャットダウン モードが備わっており、標準消費電流 1µA 未満で、アンプをスタンバイ モードに切り替えることができます。

TLV906xS ファミリはユニティ ゲイン安定で、RFI および EMI 除去フィルタが内蔵され、オーバードライブ状況で位相反転が発生しないため、システムの設計を簡素化するため役立ちます。

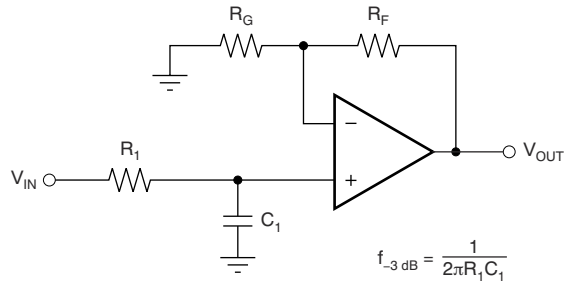
すべてのチャネル バリエーション (シングル、デュアル、クワッド) で、X2SON、X2QFN などのマイクロサイズ パッケージと、SOIC、MSOP、SOT-23、TSSOP などの業界標準パッケージが利用可能です。

製品情報

型番(3)	パッケージ (1)	本体サイズ (公称)(4)
TLV9061	DBV (SOT-23、5)	2.90mm × 1.60mm
	DCK (SC70、5)	2.00mm × 1.25mm
	DRL (SOT-553、5)(2)	1.60mm × 1.20mm
	DPW (X2SON、5)	0.80mm × 0.80mm
TLV9061S	DBV (SOT-23、6)	2.90mm × 1.60mm
	DRY (USON、6)(2)	1.45mm × 1.00mm
TLV9062	D (SOIC、8)	4.90mm × 3.90mm
	PW (TSSOP、8)	3.00mm × 4.40mm
	DGK (VSSOP、8)	3.00mm × 3.00mm
	DDF (SOT-23、8)	2.90mm × 1.60mm
	DSG (WSON、8)	2.00mm × 2.00mm
TLV9062S	DGS (VSSOP、10)	3.00mm × 3.00mm
	RUG (X2QFN、10)	2.00mm × 1.50mm
	YCK (DSBGA、9)	0.99mm × 0.99mm
TLV9064	D (SOIC、14)	8.65mm × 3.90mm
	PW (TSSOP、14)	5.00mm × 4.40mm
	RTE (WQFN、16)	3.00mm × 3.00mm
	RUC (X2QFN、14)	2.00mm × 2.00mm
TLV9064S	RTE (WQFN、16)	3.00mm × 3.00mm

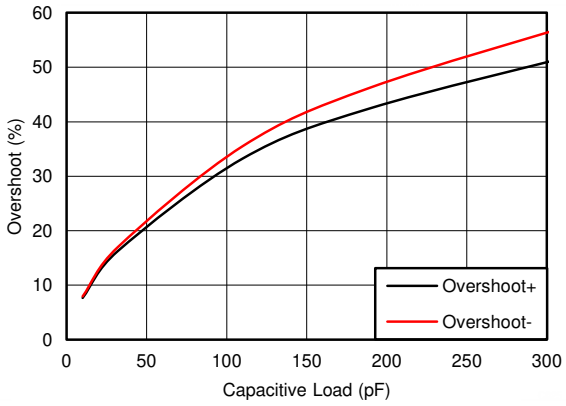
(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) このパッケージはプレビューのみです。
(3) 製品比較表を参照してください。
(4) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

シングル ポールのローパス フィルタ



小信号のオーバーシュートと負荷容量との関係

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 11
6.1 絶対最大定格 ... 11
6.2 ESD 定格 ... 11
6.3 推奨動作条件 ... 11
6.4 熱に関する情報：TLV9061 ... 12
6.5 熱に関する情報：TLV9061S ... 12
6.6 熱に関する情報：TLV9062 ... 12
6.7 熱に関する情報：TLV9062S ... 13
6.8 熱に関する情報：TLV9064 ... 13
6.9 熱に関する情報：TLV9064S ... 13
6.10 電気的特性 ... 14
6.11 代表的特性 ... 16
7 詳細説明 ... 22
7.1 概要 ... 22
7.2 機能ブロック図 ... 22
7.3 機能説明 ... 23
7.4 デバイスの機能モード ... 24
8 アプリケーションと実装 ... 25
8.1 使用上の注意 ... 25
8.2 代表的なアプリケーション ... 25
8.3 電源に関する推奨事項 ... 27
8.4 レイアウト ... 28
9 デバイスおよびドキュメントのサポート ... 30
9.1 ドキュメントのサポート ... 30
9.2 ドキュメントの更新通知を受け取る方法 ... 30
9.3 サポート・リソース ... 30
9.4 商標 ... 30
9.5 静電気放電に関する注意事項 ... 30
9.6 用語集 ... 30
10 改訂履歴 ... 30
11 メカニカル、パッケージ、および注文情報 ... 33

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	番号数	パッケージ リード														
		SOIC D	USON DRY	SOT-23 DBV	SC-70 DCK	VSSOP DGK	VSSOP DGS	DSBGA YCK	X2SON DPW	SOT-553 DRL	WSON DSG	TSSOP PW	SOT-23 DDF	WQFN RTE	X2QFN RUC	X2QFN RUG
TLV9061	1	8	—	5	5	—	—	—	5	5	—	—	—	—	—	—
TLV9061S		—	6	6	—	—	—	—	—	—	—	—	—	—	—	—
TLV9062	2	8	—	—	—	8	10	—	—	—	8	8	8	—	—	—
TLV9062S		—	—	—	—	—	10	9	—	—	—	—	—	—	—	10
TLV9064	4	14	—	—	—	—	—	—	—	—	—	14	—	16	14	—
TLV9064S		—	—	—	—	—	—	—	—	—	—	—	—	16	—	—

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

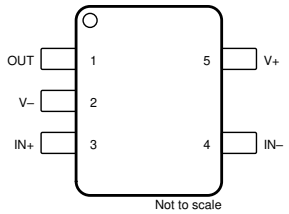


図 5-1. TLV9061 DBV または DRL パッケージ、5 ピン SOT-23 または SOT-553 (上面図)

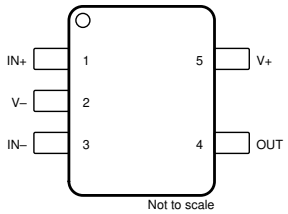


図 5-2. TLV9061 DCK パッケージ、5 ピン SC70 (上面図)

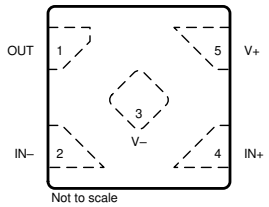


図 5-3. TLV9061 DPW パッケージ、 5 ピン X2SON (上面図)

表 5-1. ピンの機能：TLV9061

ピン				タイプ(1)	説明
名称	SOT-23、SOT-553	SC70	X2SON		
IN-	4	3	2	I	反転入力
IN+	3	1	4	I	非反転入力
OUT	1	4	1	O	出力
V-	2	2	3	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	5	5	5	I	正 (高) 電源

(1) I = 入力、O = 出力

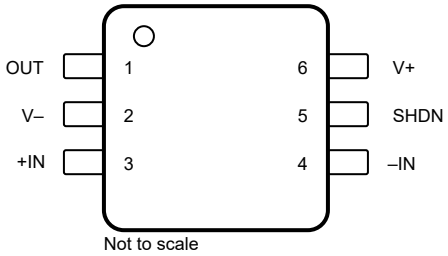


図 5-4. TLV9061S DBV パッケージ、 6 ピン SOT-23 (上面図)

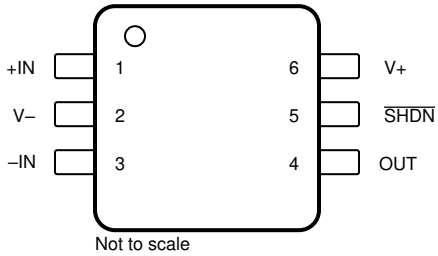


図 5-5. TLV9061S DRY パッケージ、6 ピン USON (上面図)

表 5-2. ピンの機能：TLV9061S

ピン			タイプ(1)	説明
名称	SOT-23	USON		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピンの機能：TLV9061S (続き)

ピン			タイプ(1)	説明
名称	SOT-23	USON		
$\overline{SHDN}$	5	5	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル。詳細については、「シャットダウン機能」セクションを参照してください。
V-	2	2	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	6	6	I	正 (高) 電源

(1) I = 入力、O = 出力

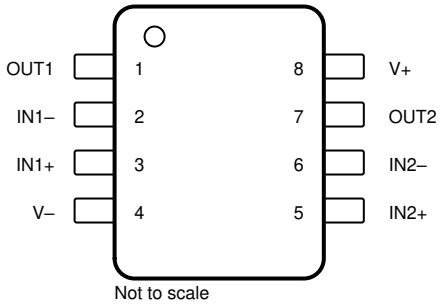
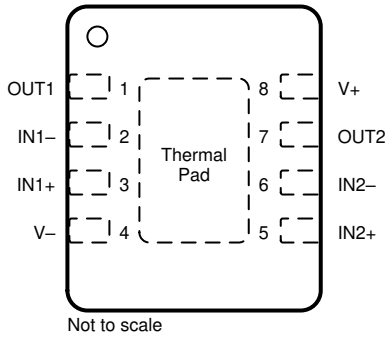


図 5-6. TLV9062 D、DGK、PW、または DDF パッケージ、 8 ピン SOIC、VSSOP、TSSOP、または SOT-23 (上面図)



A. サーマル パッドを V- に接続

図 5-7. TLV9062 DSG パッケージ、 8 ピン WSON (露出サーマル パッド付き) (上面図)

表 5-3. ピンの機能：TLV9062

ピン		タイプ(1)	説明
名称	番号		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	—	負 (最低) 電源またはグランド (単一電源動作の場合)
V+	8	—	正 (最高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

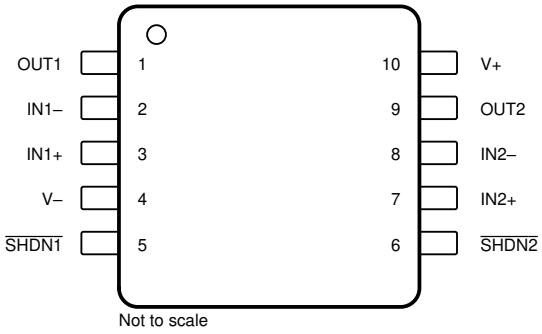


図 5-8. TLV9062S DGS パッケージ、 10 ピン VSSOP (上面図)

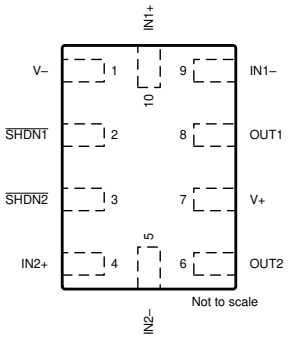


図 5-9. TLV9062S RUG パッケージ、 10 ピン X2QFN (上面図)

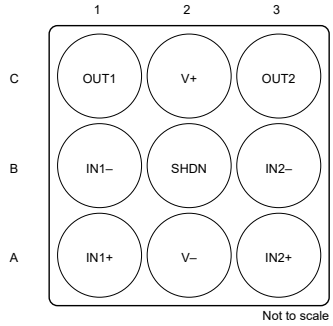


図 5-10. TLV9062S YCK パッケージ 9 ピン DSBGA (WCSP) 底面図

表 5-4. ピンの機能：TLV9062S

ピン				I/O	説明
名称	VSSOP	X2QFN	DSBGA (WCSP)		
IN1–	2	9	B1	I	反転入力、チャネル 1
IN1+	3	10	A1	I	非反転入力、チャネル 1
IN2–	8	5	B3	I	反転入力、チャネル 2
IN2+	7	4	A3	I	非反転入力、チャネル 2
OUT1	1	8	C1	O	出力、チャネル 1
OUT2	9	6	C3	O	出力、チャネル 2
$\overline{\text{SHDN1}}$	5	2	—	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 1。詳細については、*シャットダウン機能* を参照してください。
$\overline{\text{SHDN2}}$	6	3	—	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 1。詳細については、*シャットダウン機能* を参照してください。
$\overline{\text{SHDN}}$	—	—	B2		シャットダウン：Low=両方のアンプがディセーブル、High=両方のアンプがイネーブル
V-	4	1	A2	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	10	7	C2	I	正 (高) 電源

Copyright © 2026 Texas Instruments Incorporated

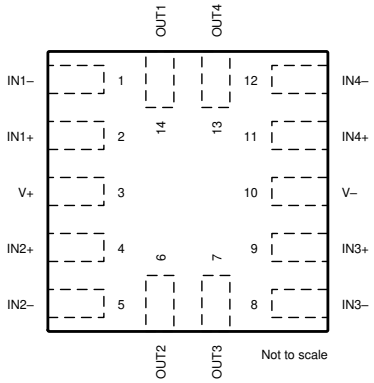
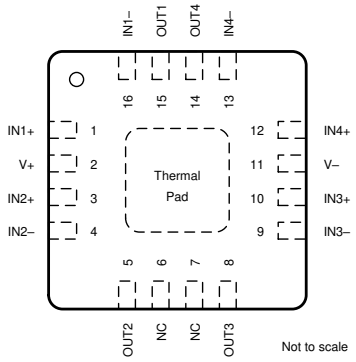


図 5-11. TLV9064 RUC パッケージ、 14 ピン X2QFN (上面図)



A. サーマル パッドを V- に接続

図 5-12. TLV9064 RTE パッケージ、 16 ピン WQFN (露出サーマル パッド付き) (上面図)

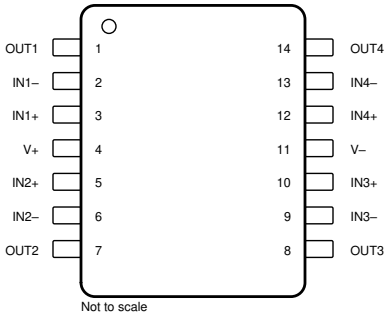


図 5-13. TLV9064 D または PW パッケージ、 14 ピン SOIC または TSSOP (上面図)

表 5-5. ピンの機能：TLV9064

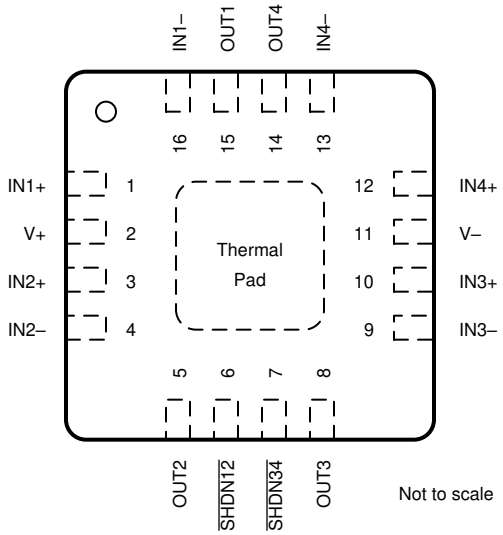
ピン				タイプ(1)	説明
名称	SOIC、TSSOP	WQFN	X2QFN		
IN1–	2	16	1	I	反転入力、チャネル 1
IN1+	3	1	2	I	非反転入力、チャネル 1
IN2–	6	4	5	I	反転入力、チャネル 2
IN2+	5	3	4	I	非反転入力、チャネル 2
IN3–	9	9	8	I	反転入力、チャネル 3
IN3+	10	10	9	I	非反転入力、チャネル 3
IN4–	13	13	12	I	反転入力、チャネル 4
IN4+	12	12	11	I	非反転入力、チャネル 4
NC	—	6、7	—	—	内部接続なし
OUT1	1	15	14	O	出力、チャネル 1
OUT2	7	5	6	O	出力、チャネル 2
OUT3	8	8	7	O	出力、チャネル 3
OUT4	14	14	13	O	出力、チャネル 4
V-	11	11	10	I または —	負 (低) 電源またはグランド (単電源動作の場合)

Copyright © 2026 Texas Instruments Incorporated

表 5-5. ピンの機能：TLV9064 (続き)

ピン				タイプ[1]	説明
名称	SOIC、TSSOP	WQFN	X2QFN		
V+	4	2	3	I	正 (高) 電源

(1) I = 入力、O = 出力



A. サーマル パッドを V- に接続

図 5-14. TLV9064S RTE パッケージ、 16 ピン WQFN (露出サーマル パッド付き) (上面図)

表 5-6. ピンの機能：TLV9064S

ピン		タイプ(1)	説明
名称	番号		
IN1–	16	I	反転入力、チャネル 1
IN1+	1	I	非反転入力、チャネル 1
IN2–	4	I	反転入力、チャネル 2
IN2+	3	I	非反転入力、チャネル 2
IN3–	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4–	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
OUT1	15	O	出力、チャネル 1
OUT2	5	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
$\overline{\text{SHDN12}}$	6	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル。チャネル 1。詳細については、「シャットダウン機能」セクションを参照してください。
$\overline{\text{SHDN34}}$	7	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル。チャネル 1。詳細については、「シャットダウン機能」セクションを参照してください。
V-	11	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	2	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
電源電圧 [(V+) - (V-)]			0	6	V
信号入力ピン	電圧 [2]	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	V
	電流[2]		-10	10	mA
出力短絡[3]			連続		mA
温度	規定、T_A		-40	125	°C
	接合部、T_J			150	
	保存、T_{stg}		-65	150	

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、これらの条件で、または「推奨動作条件」で示された条件を超えるそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力ピンは、電源レールに対してダイオード クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
(3) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

		値	単位
TLV9061 のパッケージ			
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠[2]	±1500	
他のすべてのパッケージ			
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±4000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠[2]	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧 (V_S = [V+] - [V-])	1.8	5.5	V
V_I	入力電圧範囲	(V–) – 0.1	(V+) + 0.1	V
V_O	出力電圧範囲	V-	V+	V
V_{SHDN_IH}	シャットダウン ピンでの High レベル入力電圧 (アンプがイネーブル)	1.1	V+	V
V_{SHDN_IL}	シャットダウン ピンでの Low レベル入力電圧 (アンプがディセーブル)	V-	0.2	V
T_A	規定温度	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報：TLV9061

熱評価基準(1)		TLV9061			単位
		DBV (SOT-23)	DCK (SC70)	DPW (X2SON)	
		5 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	221.7	263.3	467	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	144.7	75.5	211.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.7	51	332.2	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	26.1	1	29.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	49	50.3	330.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	125	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

6.5 熱に関する情報：TLV9061S

熱評価基準(1)		TLV9061S		単位
		DBV (SOT-23)	DRY (USON)	
		6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	216.5	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	155.1	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	96.2	未定	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	80.3	未定	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	95.9	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』を参照してください。

6.6 熱に関する情報：TLV9062

熱評価基準(1)		TLV9062					単位
		D (SOIC)	DGK (VSSOP)	DSG (WSON)	PW (TSSOP)	DDF (SOT-23)	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	157.6	201.2	94.4	205.1	184.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	104.6	85.7	116.5	93.7	112.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	99.7	122.9	61.3	135.7	99.9	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	55.6	21.2	13	25.0	18.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	99.2	121.4	61.7	134.0	99.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	34.4	該当なし	該当なし	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.7 熱に関する情報：TLV9062S

熱評価基準(1)		TLV9002S			単位
		YCK (DSBGA)	RUG (X2QFN)	DGS (VSSOP)	
		9 ピン	10 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	129.8	197.2	170.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.9	93.3	84.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	37.5	123.8	113.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	3.7	16.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	37.1	120.2	112.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.8 熱に関する情報：TLV9064

熱評価基準(1)		TLV9064				単位
		PW (TSSOP)	D (SOIC)	RTE (WQFN)	RUC (X2QFN)	
		14 ピン	14 ピン	16 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	135.8	106.9	65.1	205.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	64	64	67.9	72.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	79	63	40.4	150.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	15.7	25.9	5.5	3.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	78.4	62.7	40.2	149.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	23.8	該当なし	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

6.9 熱に関する情報：TLV9064S

熱評価基準(1)		TLV9064S	単位
		RTE (WQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	65.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	40.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	40.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	23.8	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.10 電気的特性

V_S (全電源電圧) = (V+) - (V-) = 1.8V ～ 5.5V、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 5V		±0.3	±1.6	mV
		V_S = 5V、T_A = -40°C ～ 125°C			±2	
dV_{OS}/dT	ドリフト	V_S = 5V、T_A = -40°C ～ 125°C		±0.53		µV/℃
PSRR	電源除去比	V_S = 1.8V～5.5V、V_{CM} = (V-)		±7	±80	µV/V
	チャネル セパレーション、DC	DC 時		100		dB
入力電圧範囲						
V_{CM}	同相電圧範囲	V_S = 1.8 V～5.5 V	(V–) – 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V_S = 5.5V、(V–) - 0.1V < V_{CM} < (V+) - 1.4V、T_A = -40°C～125°C	80	103		dB
		V_S = 5.5V、V_{CM} = -0.1V ～ 5.6V、T_A = -40°C ～ 125°C	57	87		
		V_S = 1.8V、(V-) - 0.1V < V_{CM} < (V+) - 1.4V、T_A = -40°C～125°C		88		
		V_S = 1.8V、V_{CM} = -0.1V ～ 1.9V、T_A = -40°C ～ 125°C		81		
入力バイアス電流						
I_B	入力バイアス電流			±0.5		pA
I_{OS}	入力オフセット電流			±0.05		pA
ノイズ						
E_n	入力電圧ノイズ (ピーク ツー ピーク)	V_S = 5V、f = 0.1Hz～10Hz		4.77		$µV_{PP}$
e_n	入力電圧ノイズ密度	V_S = 5V、f = 10kHz		10		nV/√Hz
		V_S = 5V、f = 1kHz		16		
i_n	入力電流ノイズ密度	f = 1kHz		23		fA/√Hz
入力容量						
C_{ID}	差動			2		pF
C_{IC}	同相			4		pF
開ループ ゲイン						
A_{OL}	開ループ電圧ゲイン	V_S = 1.8V、(V–) + 0.04V < V_O < (V+) – 0.04V、R_L = 10kΩ		100		dB
		V_S = 5.5V、(V–) + 0.05V < V_O < (V+) – 0.05V、R_L = 10kΩ	104	130		
		V_S = 1.8V、(V–) + 0.06V < V_O < (V+) – 0.06V、R_L = 2kΩ		100		
		V_S = 5.5V、(V–) + 0.15V < V_O < (V+) – 0.15V、R_L = 2kΩ		130		
周波数応答						
GBP	ゲイン帯域幅積	V_S = 5V、G = +1		10		MHz
$φ_m$	位相マージン	V_S = 5V、G = +1		55		°
SR	スルーレート	V_S = 5V、G = +1		6.5		V/µs
t_S	セトリング タイム	0.1% まで、V_S = 5V、2V 刻み、G = +1、C_L = 100pF		0.5		µs
		0.01% まで、V_S = 5V、2V 刻み、G = +1、C_L = 100pF		1		
t_{OR}	過負荷回復時間	V_S = 5V、V_{IN} × ゲイン > V_S		0.2		µs
THD + N	全高調波歪 + ノイズ(1)	V_S = 5.5V、V_{CM} = 2.5V、V_O = 1V_{RMS}、G = +1、f = 1kHz		0.0008%		
出力						

Copyright © 2026 Texas Instruments Incorporated

6.10 電気的特性 (続き)

V_S (全電源電圧) = (V+) - (V-) = 1.8V ～ 5.5V、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_O	電源レールからの電圧出力スイング	V_S = 5.5V、R_L = 10kΩ			20	mV
		V_S = 5.5V、R_L = 2kΩ			60	
I_{SC}	短絡電流	V_S = 5V		±50		mA
Z_O	オープン ループ出力インピーダンス	V_S = 5V、f = 10MHz		100		Ω
電源						
I_Q	アンプごとの静止電流	V_S = 5.5V、I_O = 0mA		538	750	μA
		V_S = 5.5V、I_O = 0mA、T_A = -40℃～125℃			800	
シャットダウン						
I_{QSD}	アンプごとの静止電流	V_S = 1.8V ～ 5.5V、すべてのアンプがディスエーブル、$\overline{SHDN}$ = Low		0.5	1.5	μA
Z_{SHDN}	シャットダウン時の出力インピーダンス	V_S = 1.8 V～5.5 V、アンプがディセーブル		10 || 8		GΩ || pF
$V_{SHDN_THR_HI}$	High レベル電圧シャットダウン スレッショルド (アンプがイネーブル)	V_S = 1.8 V～5.5 V		(V–) + 0.9V	(V–) + 1.1V	V
$V_{SDHN_THR_LO}$	Low レベル電圧シャットダウン スレッショルド (アンプがディセーブル)	V_S = 1.8 V～5.5 V	(V–) + 0.2V	(V–) + 0.7V		V
t_{ON}	アンプのイネーブル時間 (シャットダウン)(2)	V_S = 1.8V ～ 5.5V、フル シャットダウン、G = 1、V_{OUT} = 0.9 × V_S / 2、R_L を V- に接続		10		μs
t_{OFF}	アンプのディセーブル時間(2)	V_S = 1.8V～5.5V、G = 1、V_{OUT} = 0.1 × V_S / 2、R_L を V- に接続		0.6		μs
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごと)	V_S = 1.8V～5.5V、(V+) ≧ $\overline{SHDN}$ ≧ (V-) - 0.8V		130		pA
		V_S = 1.8V～5.5V、V- ≦ $\overline{SHDN}$ ≦ V- + 0.8V		40		

(1) 3 次フィルタ、-3dB で帯域幅 = 80kHz。
(2) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、$\overline{SHDN}$ ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との時間間隔として定義されます。

Copyright © 2026 Texas Instruments Incorporated

6.11 代表的特性

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)

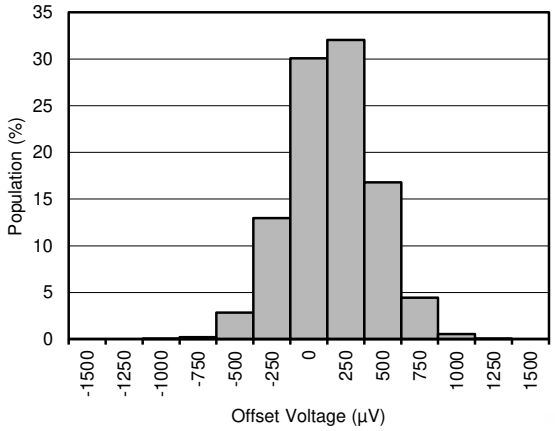
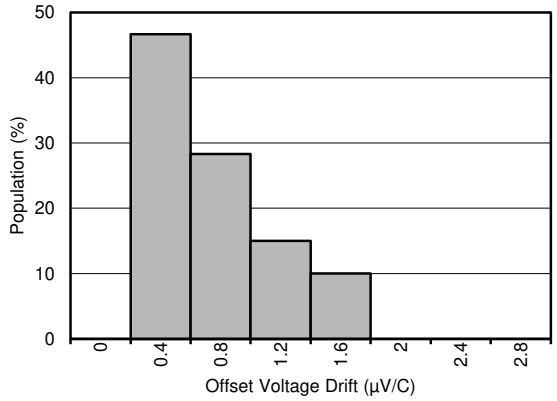


図 6-1. オフセット電圧の生産分布



T_A = –40°C ～ 125°C

図 6-2. オフセット電圧ドリフトの分布

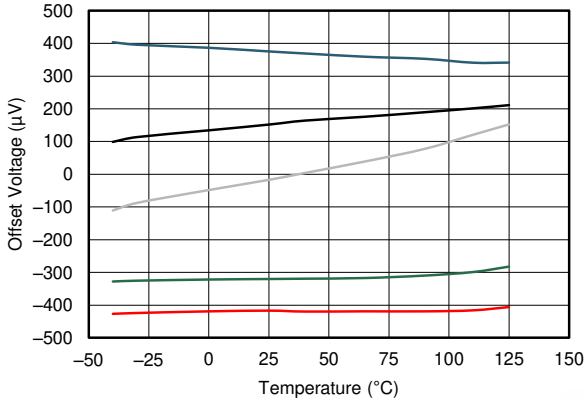
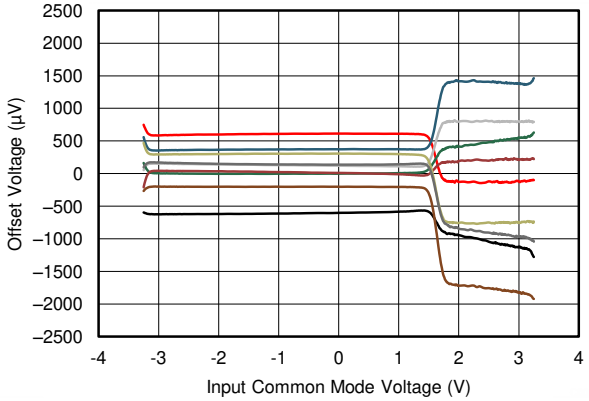
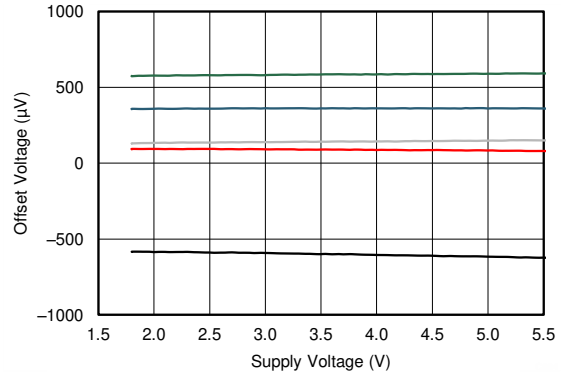


図 6-3. オフセット電圧と温度との関係



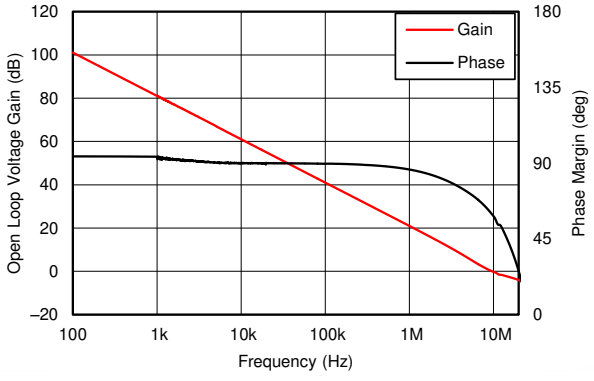
V+ = 2.75V　　V- = -2.75V

図 6-4. オフセット電圧と同相電圧との関係



V_S = 1.8 V～5.5 V

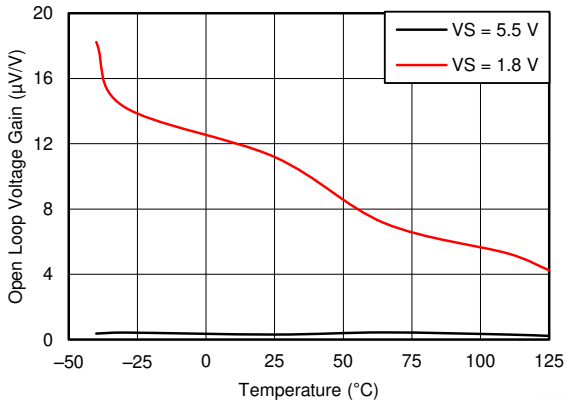
図 6-5. オフセット電圧と電源電圧との関係



C_L = 10pF

図 6-6. 開ループ ゲインおよび位相と周波数との関係

Copyright © 2026 Texas Instruments Incorporated



R_L = 2kΩ

図 6-7. 開ループ ゲインと温度との関係

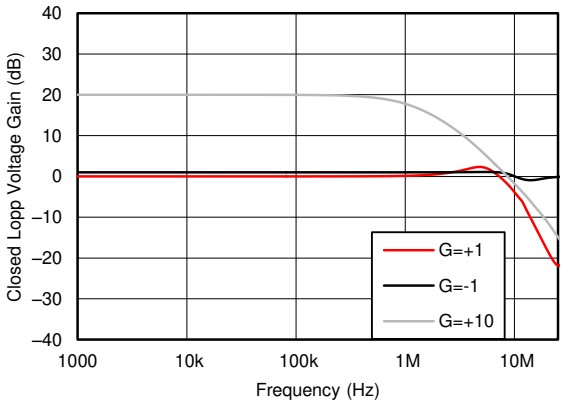


図 6-8. 閉ループ ゲインと周波数との関係

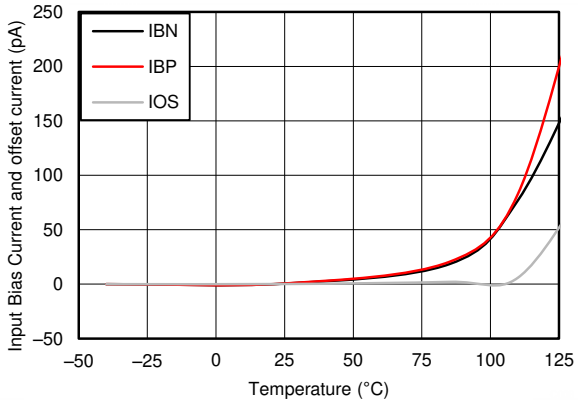
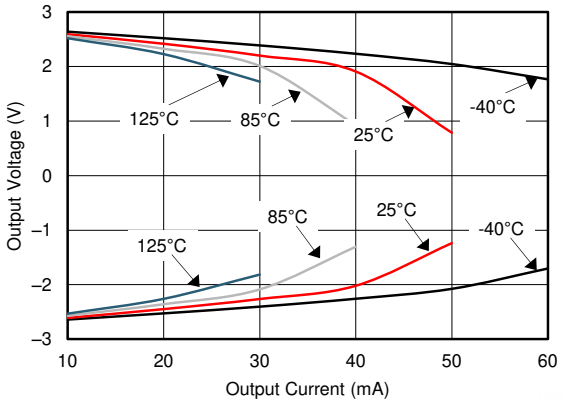


図 6-9. 入力バイアス電流と温度との関係



V+ = 2.75V V- = -2.75V

図 6-10. 出力電圧スイングと出力電流との関係

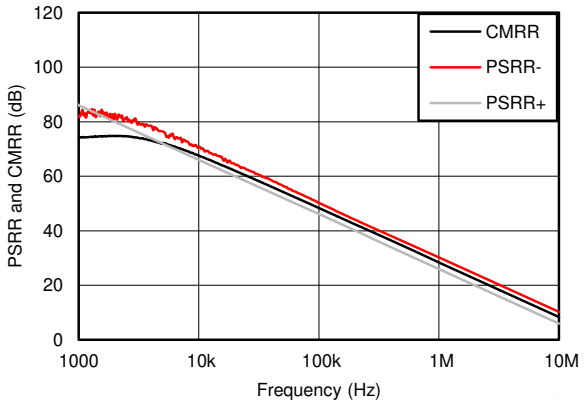
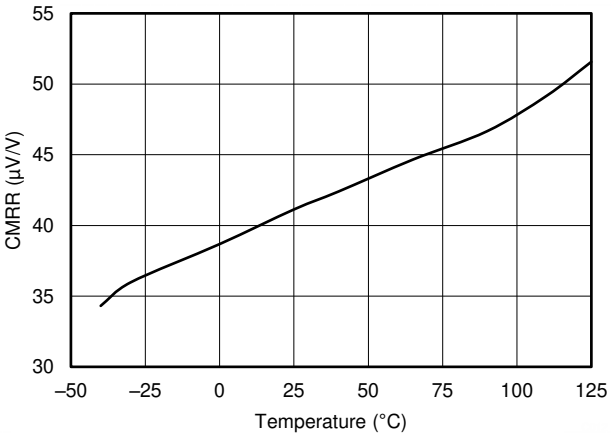
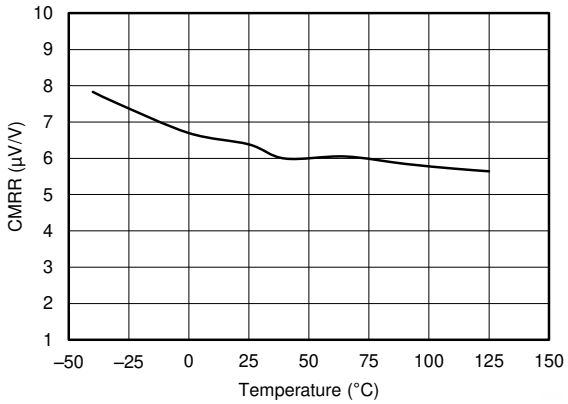


図 6-11. CMRR および PSRR と周波数との関係 (入力を基準)



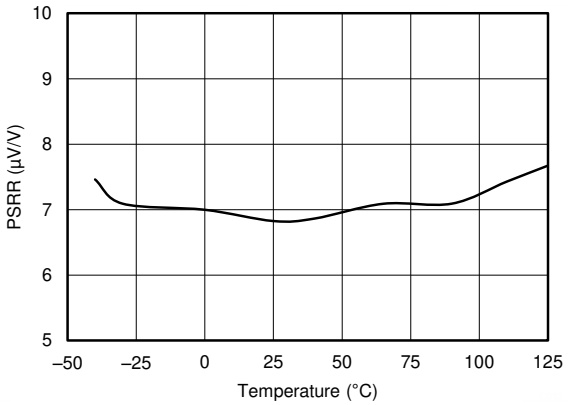
V_S = 5.5V V_{CM} = -0.1V～5.6V T_A = -40°C～125°C
R_L= 10kΩ

図 6-12. CMRR と温度との関係



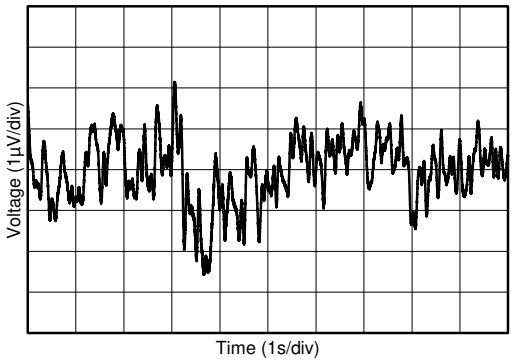
V_{CM} = (V-) -0.1V～(V+) - 1.4V
T_A = -40℃～125℃ R_L= 10kΩ V_S = 5.5V

図 6-13. CMRR と温度との関係



V_S = 1.8 V～5.5 V

図 6-14. PSRR と温度との関係



V_S = 1.8 V～5.5 V

図 6-15. 0.1Hz ～ 10Hz 入力電圧ノイズ

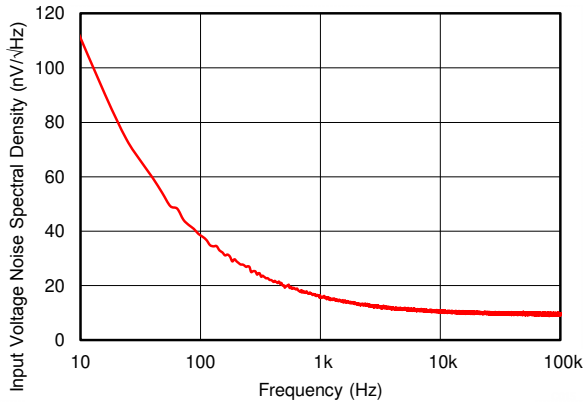
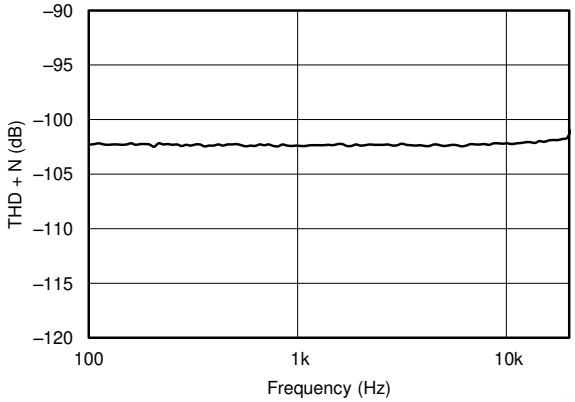
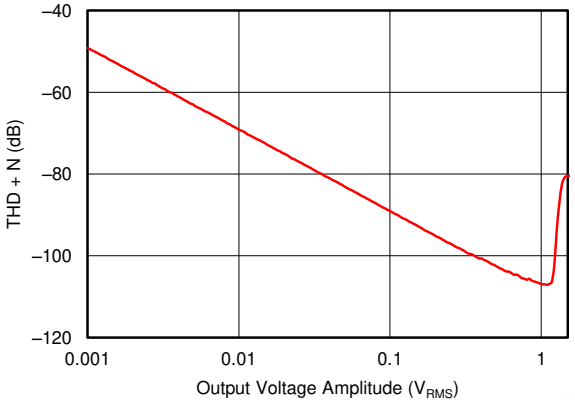


図 6-16. 入力電圧ノイズ スペクトル密度と周波数との関係



V_S = 5.5V V_{CM} = 2.5V R_L = 2kΩ
V_{OUT} = 0.5V_{RMS} BW = 80kHz G = +1

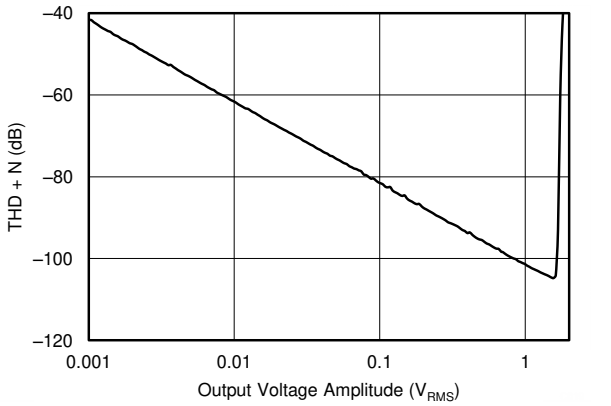
図 6-17. THD + N と周波数との関係



V_S = 5.5V R_L = 2kΩ G = +1
V_{CM} = 2.5V BW = 80kHz f = 1kHz

図 6-18. THD + N と振幅との関係

Copyright © 2026 Texas Instruments Incorporated



V_S = 5.5V　　V_{CM} = 2.5V　　R_L = 2kΩ
G = -1　　BW = 80kHz　　f = 1kHz

図 6-19. THD + N と振幅との関係

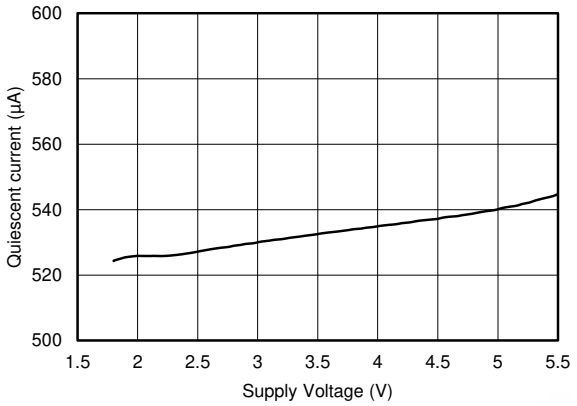


図 6-20. 静止電流と電源電圧との関係

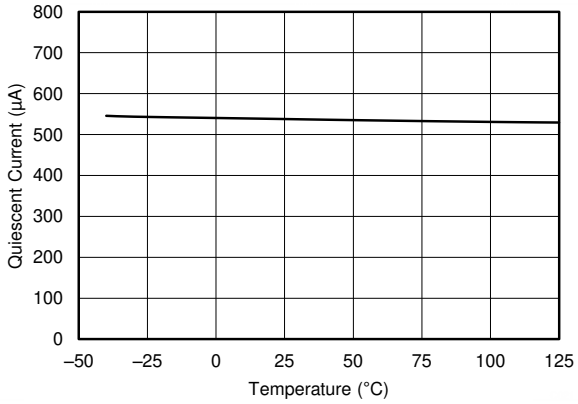


図 6-21. 静止電流と温度との関係

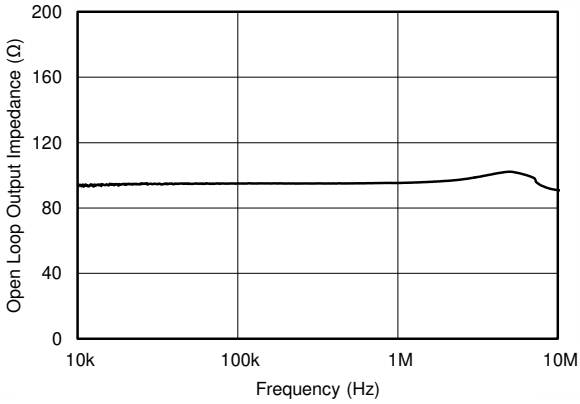
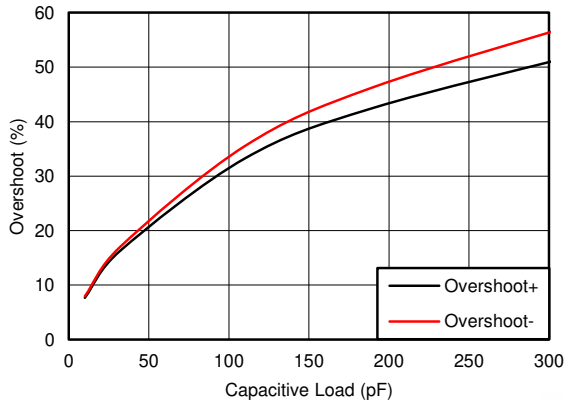
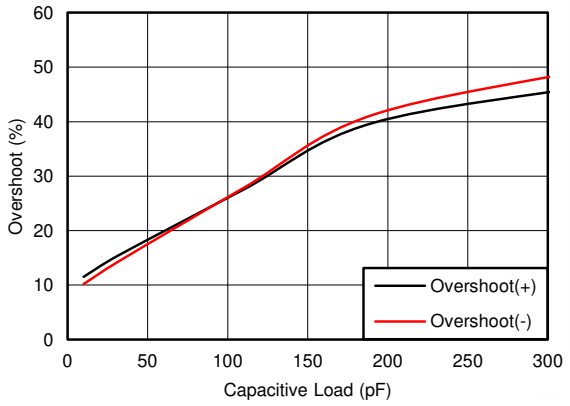


図 6-22. 開ループ出力インピーダンスと周波数との関係



V+ = 2.75V　　V- = -2.75V　　G = +1V/V
V_{OUT} ステップ=100mV_{p-p}　　R_L = 10kΩ

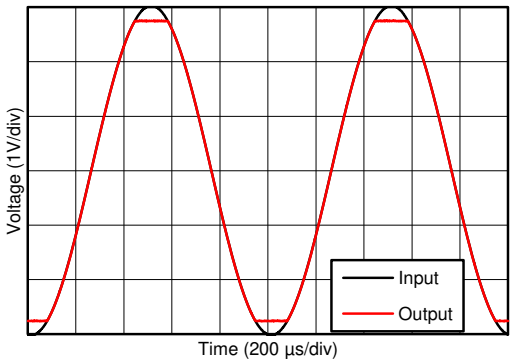
図 6-23. 小信号のオーバーシュートと負荷容量との関係



V+ = 2.75V　　V- = -2.75V　　G = -1V/V
V_{OUT} ステップ=100mV_{p-p}　　R_L = 10kΩ

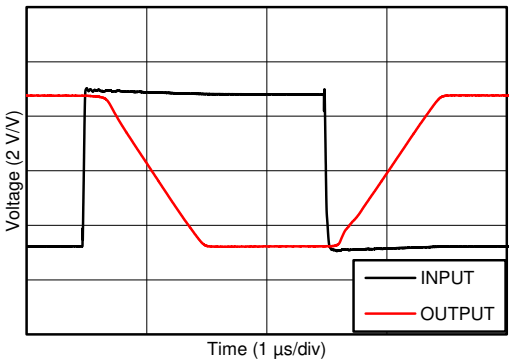
図 6-24. 小信号のオーバーシュートと負荷容量との関係

Copyright © 2026 Texas Instruments Incorporated



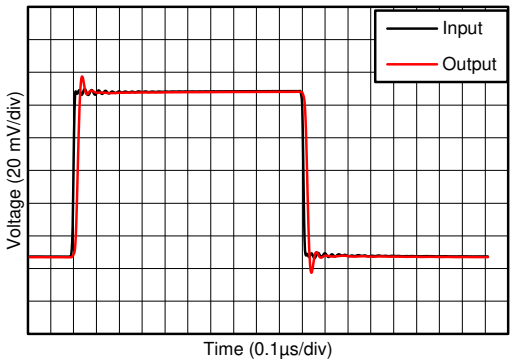
V+ = 2.75V V- = -2.75V

図 6-25. 位相反転が発生しない



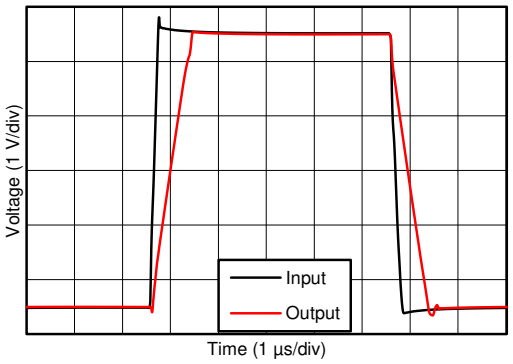
V+ = 2.75V V- = -2.75V G = -10V/V

図 6-26. 過負荷回復



V+ = 2.75V V- = -2.75V G = 1V/V

図 6-27. 小信号ステップ応答



V+ = 2.75V V- = -2.75V C_L = 100pF
G = 1V/V

図 6-28. 大信号ステップ応答

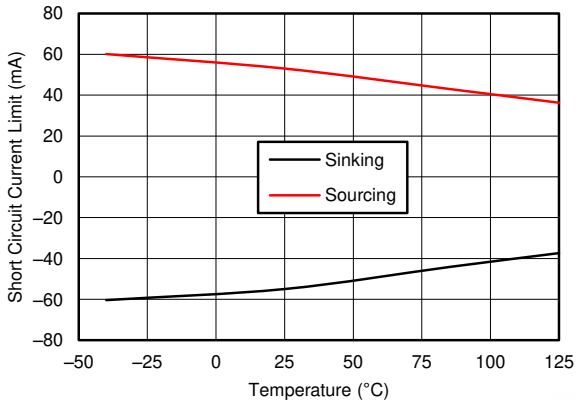
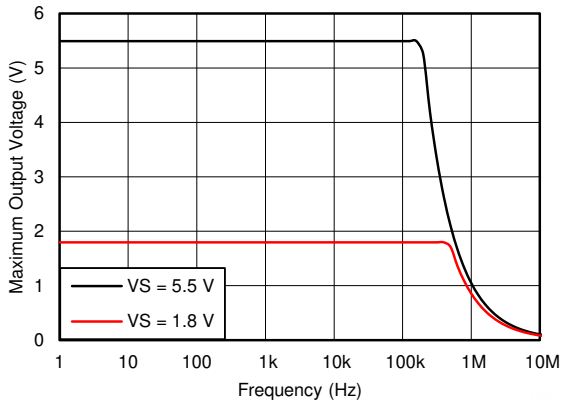


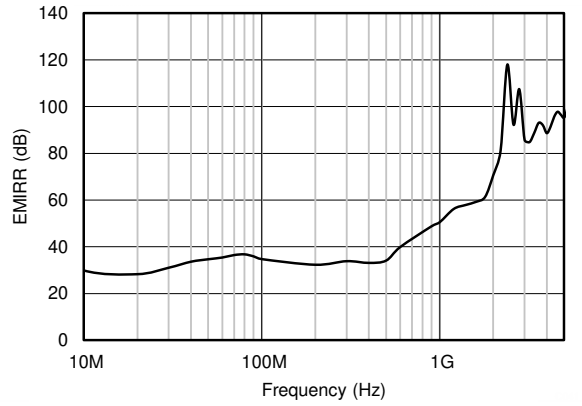
図 6-29. 短絡電流と温度との関係



R_L = 10kΩ C_L = 10pF

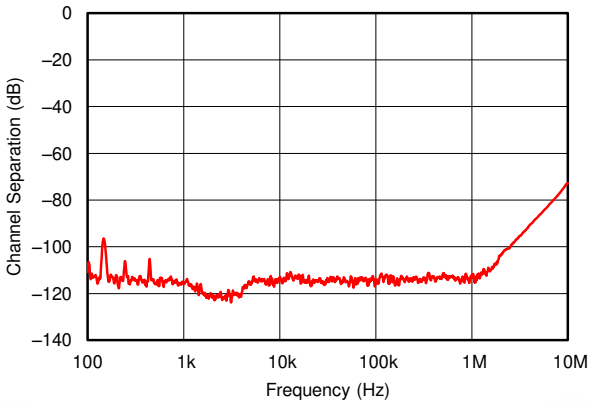
図 6-30. 最大出力電圧と周波数および電源電圧との関係

Copyright © 2026 Texas Instruments Incorporated



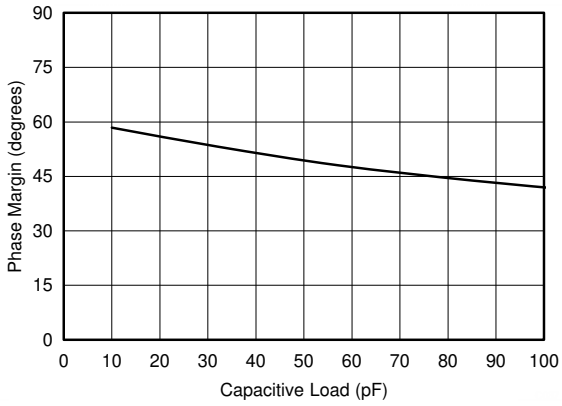
P_{RF} = –10dBm

図 6-31. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係



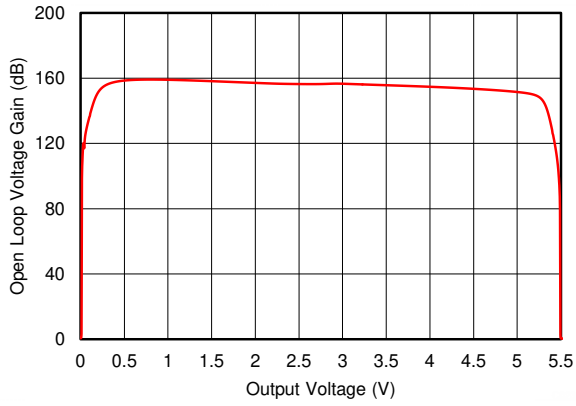
V+ = 2.75V V- = -2.75V

図 6-32. チャネル セパレーションと周波数との関係



V_S = 5.5V

図 6-33. 位相マージンと容量性負荷との関係



V_S = 5.5V

図 6-34. 開ループの電圧ゲインと出力電圧との関係

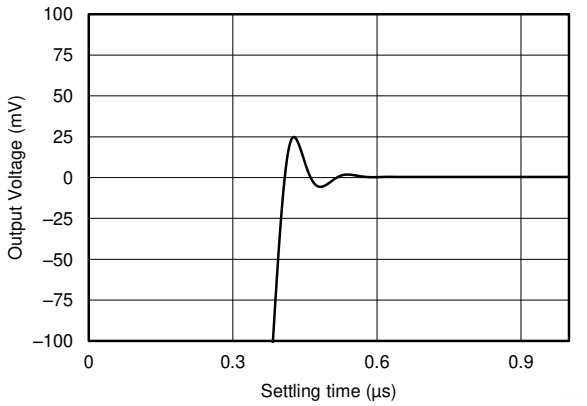


図 6-35. 大信号セトリング タイム (正)

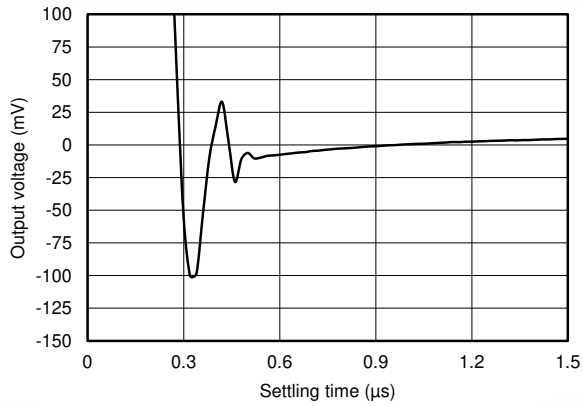


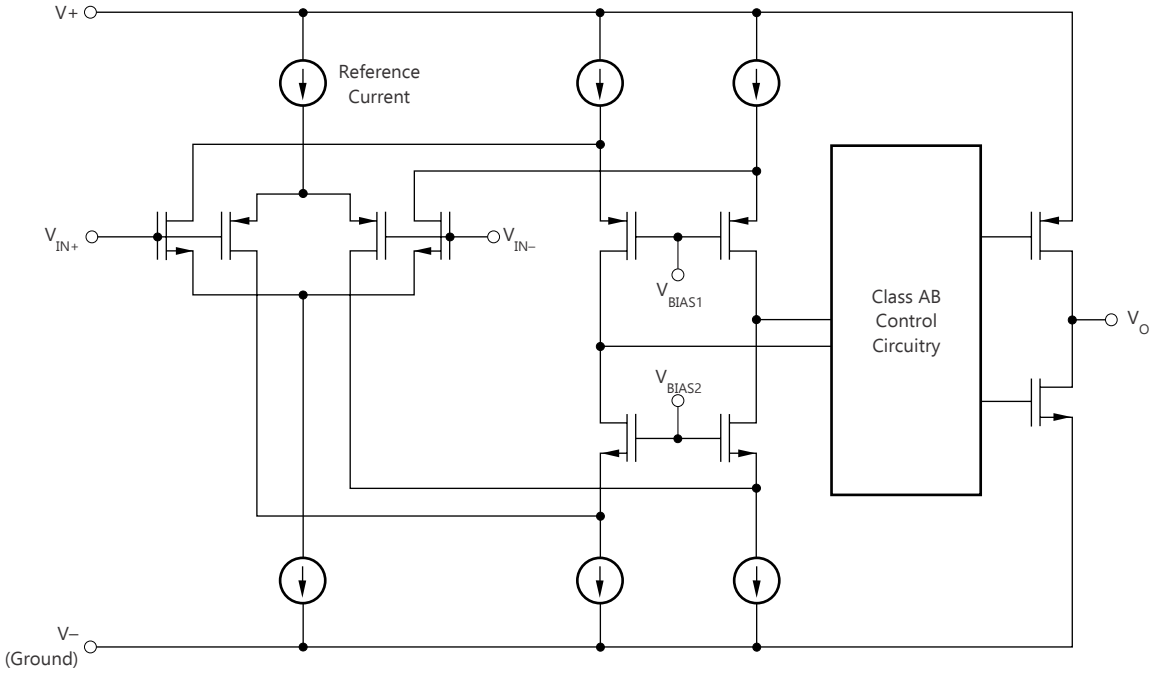
図 6-36. 大信号セトリング タイム (負)

7 詳細説明

7.1 概要

TLV906x デバイスは、低消費電力のレール ツー レール入出力オペアンプのファミリです。これらのデバイスは 1.8V ～ 5.5V で動作し、ユニティ ゲインで安定しており、幅広い汎用アプリケーションのために設計されています。入力同相電圧範囲には両方のレールが含まれており、TLV906x シリーズを事実上あらゆる単一電源アプリケーションで使用できます。レール ツー レールの入出力スイングは、特に低電源電圧アプリケーションで大きなダイナミック レンジが得られます。このファミリは帯域幅が広いため、A/D コンバータ (ADC) のサンプル ホールド回路を駆動できます。

7.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 レール ツー レール入力

TLV906x ファミリの入力同相電圧範囲は、1.8V ～ 5.5V の電源電圧範囲全体で、電源レールを 100mV 上回ります。この性能は、「機能ブロック図」に示すように、コンプリメンタリ入力段 (P チャネル差動ペアと並んで配置された N チャネル入力差動ペア) により達成されます。N チャネル ペアは、正のレールに近い入力電圧についてアクティブになります。通常は (V+) - 1.4V から、正の電源電圧よりも 200mV 高い電圧までです。一方、P チャネル ペアは負の電源電圧より 200mV 下から、(V+) - 1.4V 程度までの入力についてアクティブになります。両方のペアが動作する小さな遷移領域があり、通常は (V+) – 1.2V～(V+) – 1V の範囲です。この 200mV の遷移領域は、プロセスのバラツキにより、最大 200mV まで変動する可能性があります。したがって、過渡領域 (両方の段がオンになる) は、Low では (V+) - 1.4V～(V+) - 1.2V、High 側では最大 (V+) - 1V～(V+) - 0.8V の範囲になる可能性があります。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセット ドリフト、THD が劣化する可能性があります。

7.3.2 レール ツー レール出力

TLV906x シリーズは、低消費電力、低電圧のオペアンプとして設計されており、堅牢な出力駆動が可能です。共通ソース トランジスタを使用した Class AB 出力段により、完全なレール ツー レールの出力スイングを行えます。抵抗性負荷が 10kΩ の場合、印加されている電源電圧に関係なく、どちらの電源レールに対しても出力が 15mV 以内までスイングします。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

7.3.3 EMI 除去

TLV906x は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル コンポーネントを組み合わせた高密度実装の基板などのソースから引き起こされる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、TLV906x はこのような設計の改善を活用しています。テキサス インスツルメンツは、10MHz ～ 6GHz の幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化しています。TLV906x でこのテストを行った結果を、図 7-1 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における TLV906x の EMIRR IN+ 値を、表 7-1 に示します。詳細については、『オペアンプの EMI 除去率』アプリケーション ノートを参照してください。

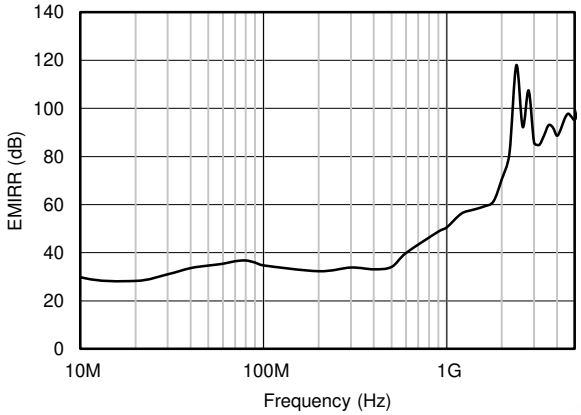


図 7-1. EMIRR テスト

表 7-1. 対象周波数における TLV906x の EMIRR IN+

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	59.5dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	68.9dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	77.8dB

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 対象周波数における TLV906x の EMIRR IN+ (続き)

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	78.0dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	88.8dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	87.6dB

7.3.4 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV906x ファミリの過負荷復帰時間は約 200ns です。

7.3.5 シャットダウン機能

TLV906xS デバイスには、オペアンプをディセーブルして低消費電力のスタンバイ モードに移行する $\overline{\text{SHDN}}$ ピンが搭載されています。このモードでは、オペアンプの消費電流は通常 1µA 未満です。$\overline{\text{SHDN}}$ ピンはアクティブ Low なので、$\overline{\text{SHDN}}$ ピンへの入力が有効なロジック Low のとき、シャットダウン モードがイネーブルになります。

$\overline{\text{SHDN}}$ ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 800mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を確保するため、スイッチング スレッショルドにはヒステリシスが含まれています。最適なシャットダウン動作を確保するため、$\overline{\text{SHDN}}$ ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V– と V– + 0.2V の間の電圧と定義されます。有効なロジック High は、V– + 1.2V と V+ の間の電圧と定義されます。シャットダウン ピンは、有効な High または Low の電圧に接続するか駆動する必要があり、オープンのままにしないでください。アンプを有効化するための内部プルアップは備わっていません。

$\overline{\text{SHDN}}$ ピンは高インピーダンスの CMOS 入力です。ロジック入力により、デュアル バージョンのオペアンプは独立して制御され、クワッド バージョンではペアで制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長することができます。すべてのチャネルを完全にシャットダウンする場合、イネーブル時間は 10µs、ディスエーブル時間は 6µs です。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、TLV906xS をゲートで開閉可能なアンプとして動作させること (または本デバイスの出力を 1 つのコモン アナログ出力バスにマルチプレクスすること) ができます。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にシャットダウン (ディスエーブル) を確実に実行するには、指定された 10kΩ 負荷を中間電源 (V_S/2) に接続する必要があります。TLV906xS を負荷なしで使用すると、結果的にターンオフ時間が大幅に増加します。

7.4 デバイスの機能モード

TLV906x ファミリは、電源電圧が 1.8V (±0.9V) ～ 5.5V (±2.75V) の範囲内のときに動作します。TLV906xS デバイスはシャットダウン モードを備えており、シャットダウン ピンに有効なロジック Low が印加されるとシャットダウンされます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TLV906x ファミリは、10MHz の帯域幅と 6.5V/µs のスルーレートが特長で、チャネルごとの消費電流がわずか 538µA なので、非常に低い消費電力で優れた AC 性能を実現します。DC アプリケーションは、10kHz で 10nV/√Hz の非常に低い入力ノイズ電圧、低い入力バイアス電流、標準 0.3mV の入力オフセット電圧で適切に動作します。

8.2 代表的なアプリケーション

8.2.1 代表的なローサイド電流検出アプリケーション

図 8-1 に、ローサイド電流センシング アプリケーション用に構成された TLV906x を示します。

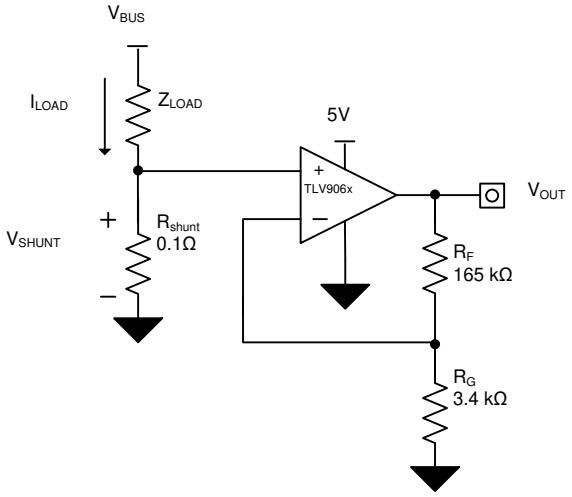


図 8-1. ローサイド電流センシング アプリケーションの TLV906x

8.2.2 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A ～ 1A
- 出力電圧:4.95V
- 最大シャント電圧:100mV

8.2.3 詳細な設計手順

図 8-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times GAIN \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

式 2 から、R_{SHUNT} は 100mΩ と計算されます。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は TLV906x によって増幅され、約 0V ～ 4.95V の出力電圧を生成します。式 3 では、必要な出力電圧を生成するために TLV906x で必要となるゲインを計算します。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

式 3 から、必要なゲインは 49.5V/V と計算されます。これは抵抗 R_F と R_G で設定されます。TLV906x のゲインを 49.5V/V に設定するための抵抗 R_F と R_G の大きさは、式 4 で計算します。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

R_F に 165kΩ を、R_G に 3.4kΩ を選択すると、ほぼ 49.5V/V になります。図 8-1 に示す回路で測定された伝達関数を、図 8-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定するインピーダンス レベルで決まります。インピーダンス レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。すべてのシステムで機能するような最適インピーダンス選択というものは存在しません。お使いのシステム パラメータに対して理想的なインピーダンスを選択する必要があります。

8.2.4 アプリケーション曲線

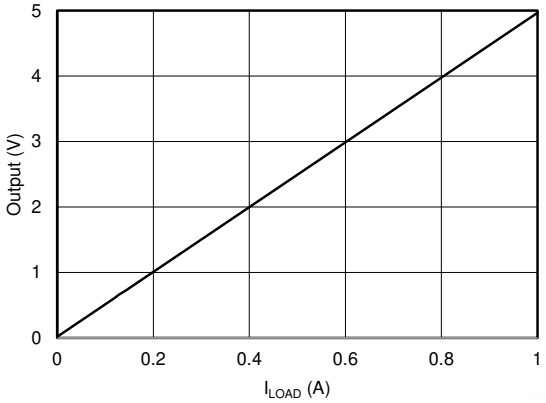


図 8-2. ローサイド、電流検出、伝達関数

Copyright © 2026 Texas Instruments Incorporated

8.3 電源に関する推奨事項

TLV906x シリーズは、1.8V ～ 5.5V (±0.9V ～ ±2.75V) で動作することが規定されています。また、多くの仕様は -40℃ ～ 125℃で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータを「代表的特性」に示します。

> **注意**
>
> 6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」表を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、レイアウト セクションを参照してください。

8.3.1 入力および ESD 保護

TLV906x シリーズは、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は主に入力ピンと電源ピンとの間に接続された電流ステアリング ダイオードで構成されます。これらの ESD 保護ダイオードは、「絶対最大定格」表に示すように、電流が 10mA に制限されている限り、回路内で入力オーバードライブ保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 8-3 に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

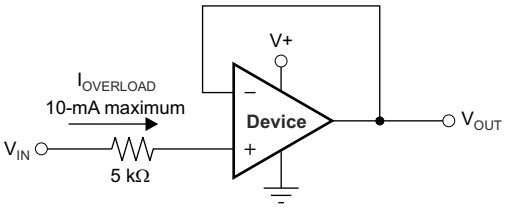


図 8-3. 入力電流保護

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプ自体の電源ピンを経由し、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス コンデンサを接続すれば十分です。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。詳細については、「回路基板のレイアウト技法」を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 8-5 に示すように、R_F と R_G を反転入力の近くに配置すると、反転入力の寄生容量が最小化されます。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに侵入した水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

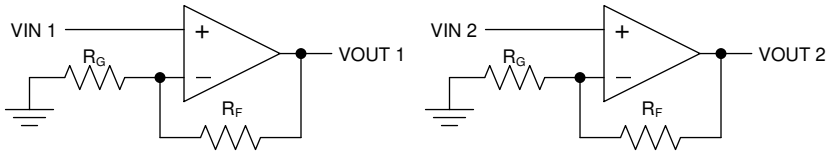


図 8-4. レイアウト例の回路概略図

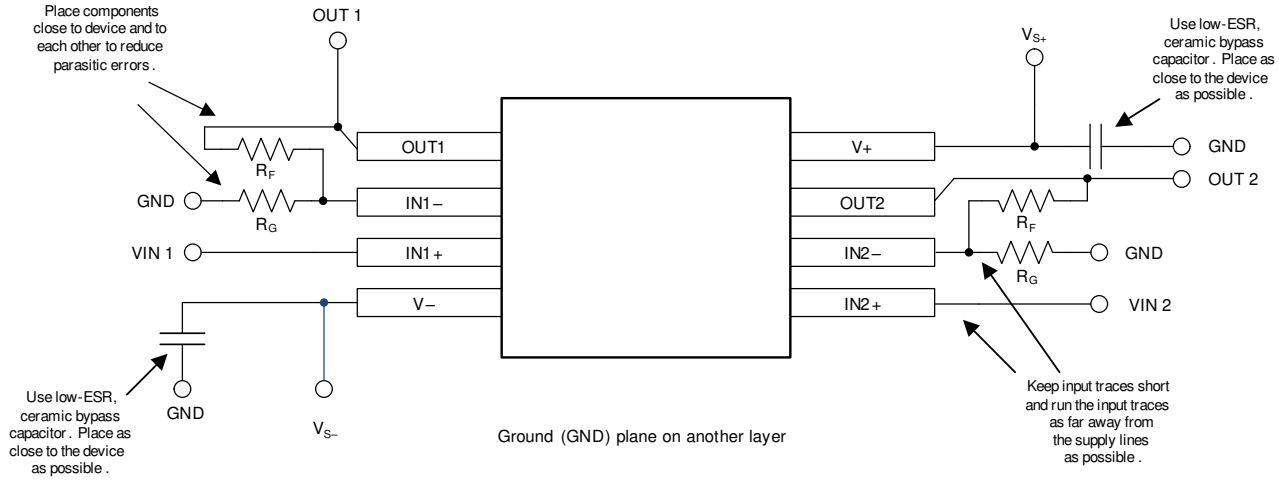


図 8-5. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『回路基板のレイアウト技法』
- テキサス インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション ノート
- テキサス・インスツルメンツ、『クワッド フラットパック リード端子なしロジック パッケージ』アプリケーション ノート
- テキサス インスツルメンツ、『シングルエンド入力から差動出力への変換回路』デザイン ガイド
- テキサス インスツルメンツ、『TLVx313 低消費電力、レール ツー レール入出力、オフセット標準値 500µV、低コスト システム用の 1MHz オペアンプ』データシート
- テキサス インスツルメンツ、『TLVx314 3MHz、低消費電力、内部 EMI フィルタ、RRIO オペアンプ』データシート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (December 2024) to Revision N (July 2026)	Page
• TLV9062S (YCK、DSBGA) のパッケージ寸法をパッケージ外形図と一致するように変更	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision L (September 2024) to Revision M (December 2024) **Page**

- TLV9061S DBV (SOT-23) ピン配置の図を「ピンの機能」の表と一致するように変更 5

Changes from Revision K (July 2024) to Revision L (September 2024) **Page**

- 「製品情報」表で TLV9062S (YCK、DSBGA) パッケージのプレビュー版の注を削除 1

Changes from Revision J (September 2019) to Revision K (July 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新....1
- 「製品情報」表を更新 1
- 「製品情報」表で TLV9062S (YCK、DSBGA) パッケージのプレビュー版の注を追加....1
- 「デバイス比較表」に YCK パッケージを追加 4
- 「ピン構成および機能」セクションに TLV9062S YCK (DSBGA) ピン配置の図を追加 5

Changes from Revision I (May 2019) to Revision J (September 2019) **Page**

- データシート全体にわたって TLV9062IDDFR (SOT-23、8) パッケージのプレビュー版の注を削除....1
- 「デバイス比較表」に業界標準のパッケージ名を追加 4
- サーマル パッド付きパッケージに、サーマル パッドを V- に接続する必要がある旨の注を追加....5
- $\overline{\text{SHDN}}$ ピンの機能行に、「シャットダウン機能」セクションへのリンクを追加 5
- 「機能説明」セクションに「EMI 除去」セクションを追加....23
- 「シャットダウン機能」セクションを変更し、詳細を追加 24

Changes from Revision H (April 2019) to Revision I (May 2019) **Page**

- 「未定」を置き換えるため、DDF (SOT-23) の「熱に関する情報」を追加....12

Changes from Revision G (December 2018) to Revision H (April 2019) **Page**

- 「製品情報」に (SOT-23、8) の情報を追加....1
- 「デバイス比較表」に DDF パッケージ列を追加 4
- 「ピンの機能」に DDF (SOT-23) パッケージを追加 5
- 「熱に関する情報」に DDF (SOT-23) パッケージを追加 12

Changes from Revision F (September 2018) to Revision G (December 2018) **Page**

- 「製品情報」表で TLV9064 RUC パッケージの名前を(WQFN、14) から(X2QFN、14) に変更....1
- RUC (X2QFN) パッケージのピン配置情報を「ピンの機能：TLV9064」の表に追加 TLV9064 の表....5
- 「ピン構成および機能」セクションに TLV9064 RUC (X2QFN) ピン配置の図を追加....5
- 「熱に関する情報：TLV9064」表に RUC (X2QFN) を追加 TLV9064 の表....13

Changes from Revision E (July 2018) to Revision F (September 2018) **Page**

- データシートのヘッダーからシャットダウン型番を削除....1
- 「製品情報」表から TLV9062 の (X2QFN、10) パッケージを削除....1
- 「概要」セクションにシャットダウン型番の参照を追加....1

Copyright © 2026 Texas Instruments Incorporated

- データシート全体にわたって TLV906xS シリーズを TLV906xS ファミリに変更 1
- 「デバイス比較表」にシャットダウン デバイスを追加 4
- 更新された命名規則を反映するように、すべてのピン配置の図のピン名を変更 5
- TLV9061S の「熱に関する情報」表を追加 12
- TLV9064S の「熱に関する情報」表を追加 13
- 部分的シャットダウン アンプのイネーブル時間を削除 14
- 「代表的なアプリケーション」セクションに、電流センシング アプリケーションのための抵抗の選択に関する詳細を追加 26
- 「レイアウトのガイドライン」の 3 番目の箇条書き項目の記述を変更 28

Changes from Revision D (June 2018) to Revision E (July 2018) **Page**

- 「製品情報」表に TLV9061S デバイスを追加 1
- 「製品情報」表に TLV9064S デバイスを追加 1
- 「デバイス比較表」に RUC および RUG パッケージを追加 4
- 「ピン構成および機能」セクションに TLV9061S DBV (SOT-23) ピン配置の図を追加 5
- 「ピンの機能：TLV9061S」の表に TLV9061S DBV (SOT-23) パッケージのピン配置情報を追加 TLV9061S」表で、5 ピン DBV (SOT-23) および DCK (SC70) を追加 5
- 「ピン構成および機能」セクションに TLV9062S RUG (VSSOP) パッケージのピン配置の図を追加 5
- TLV9064 RTE のピン配置情報を「ピンの機能：TLV9064」の表に追加 TLV9064」表で、5 ピン DBV (SOT-23) および DCK (SC70) を追加 5
- 「ピン構成および機能」セクションに TLV9064S RTE (WQFN) ピン配置の図を追加 5
- TLV9062S RUG (VSSOP) のパッケージのピン配置情報を「ピンの機能：TLV9062S」の表に追加 TLV9062S」表で、5 ピン DBV (SOT-23) および DCK (SC70) を追加 5
- 「ピン構成および機能」セクションに TLV9064 RTE (WQFN) ピン配置の図を追加 5

Changes from Revision C (March 2018) to Revision D (June 2018) **Page**

- ドキュメントのタイトルの「TLV906x」にシャットダウン接尾辞を追加 1
- 「特長」の箇条書き一覧に「シャットダウン バージョン」項目を追加 1
- 「製品情報」表に TLV9062S デバイスを追加 1
- 「概要 (続き)」セクションにシャットダウンのテキストを追加 1
- 「絶対最大定格」表に「(V_S = [V+] - [V–]) 電源電圧」パラメータを追加 11
- 「推奨動作条件」表に「入力電圧範囲」と「出力電圧範囲」のパラメータと値を追加 11
- 「推奨動作条件」表にシャットダウン ピンの推奨動作条件を追加 11
- 「推奨動作条件」表の「仕様温度」パラメータに「T_A」記号を追加 11
- 「熱に関する情報：*TLV9062S」の熱テーブル データを追加* 13
- 「電気的特性：*V_S (全電源電圧) = (V+) - (V-) = 1.8V ～ 5.5V」の表に「シャットダウン」セクションを追加* 14
- 「シャットダウン」セクションを追加 24

Changes from Revision B (October 2017) to Revision C (March 2018) **Page**

- デバイスのステータスを「量産データ / 混在ステータス」から「量産データ」に変更 1
- 「製品情報」表で TLV9061 (DPW、X2SON) パッケージのプレビュー版の注を削除 1
- TLV9061 DPW (X2SON) パッケージのピン配置の図からパッケージのプレビュー版の注を削除 5
- 「ESD 定格」表のフォーマットを、すべてのパッケージで異なる結果を示すように変更 11
- 「熱に関する情報：TLV9061」表の DPW (X2SON) パッケージからパッケージのプレビュー版の注を削除 TLV9061」表で、5 ピン DBV (SOT-23) および DCK (SC70) を追加 12

Copyright © 2026 Texas Instruments Incorporated

- 「熱に関する情報：TLV9061」表の DPW (X2SON) パッケージからパッケージのプレビュー版の注を削除 TLV9061」表で、5 ピン DBV (SOT-23) および DCK (SC70) を追加 12

Changes from Revision A (June 2017) to Revision B (October 2017) **Page**

- 「ピン構成および機能」セクションに 8 ピン PW パッケージを追加 5
- 「熱に関する情報」表に DSG (WSON) パッケージを追加 12
- TLV9062 の「熱に関する情報」表に PW (TSSOP) を追加 12
- 最大入力オフセット電圧値を ±1.6mV から 2mV に変更 14
- 最大入力オフセット電圧値を ±1.5 から ±1.6mV に変更 14
- 同相信号除去比の入力電圧範囲の最小値を 86dB から 80dB に変更 14
- 入力電流ノイズ密度の値 (標準値) を 10 から 23fA/$\sqrt{\text{Hz}}$ に変更 14
- THD + N のテスト条件を V_S = 5V から V_S = 5.5V に変更 14
- 「電気的特性」表の THD + N パラメータに V_{CM} = 2.5V のテスト条件を追加 14
- 出力電圧スイングの最大値を 25mV から 60mV に変更 14
- 出力電圧スイングの最大値を 15mV から 20mV に変更 14

Changes from Revision * (March 2017) to Revision A (June 2017) **Page**

- デバイス ステータスを「事前情報」から「量産データ」に変更 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

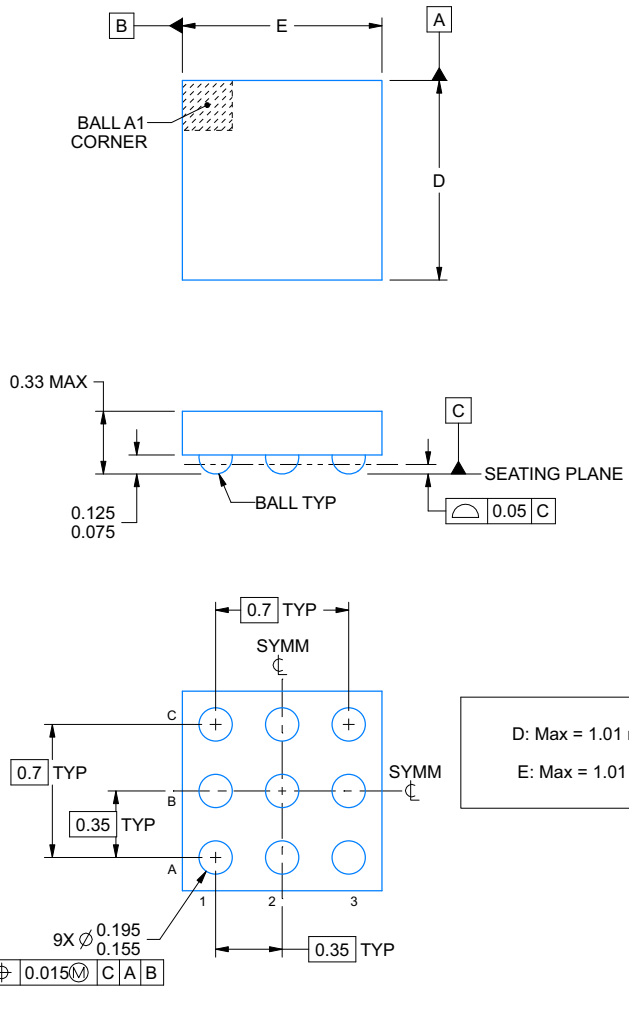
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

YCK0009-C01

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



4226891/A 06/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

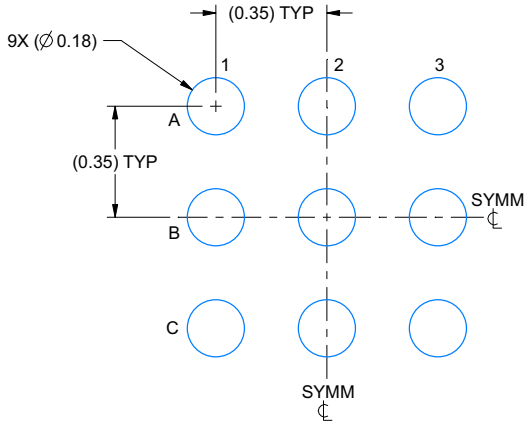
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

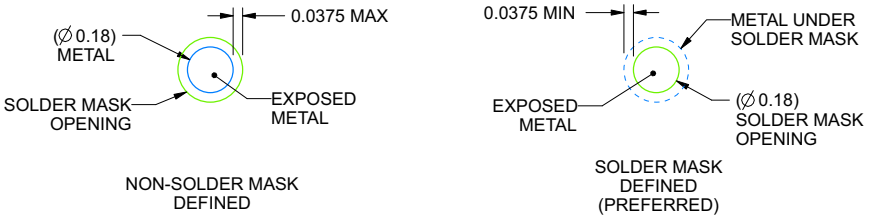
YCK0009-C01

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4226891/A 06/2021

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

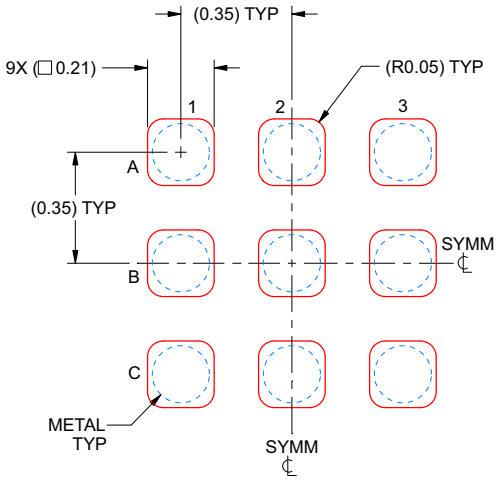
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YCK0009-C01

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4226891/A 06/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9061IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1OAF
TLV9061IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OAF
TLV9061IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OAF
TLV9061IDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OAF
TLV9061IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	1CA
TLV9061IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1CA
TLV9061IDPWR	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(C, CG)
TLV9061IDPWR.A	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(C, CG)
TLV9061SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1OEF
TLV9061SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OEF
TLV9061SIDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OEF
TLV9061SIDBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OEF
TLV9062IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	T062
TLV9062IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	T062
TLV9062IDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	T062
TLV9062IDGKT.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T062
TLV9062IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL9062
TLV9062IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL9062
TLV9062IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL9062
TLV9062IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL9062
TLV9062IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T062

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9062IDSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDSGT	Active	Production	WSON (DSG) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IDSGT.A	Active	Production	WSON (DSG) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T062
TLV9062IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TL9062
TLV9062IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TL9062
TLV9062SIDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1TDX
TLV9062SIDGSR.A	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1TDX
TLV9062SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	EOF
TLV9062SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	EOF
TLV9062SIYCKR	Active	Production	DSBGA (YCK) | 9	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	EH
TLV9062SIYCKR.A	Active	Production	DSBGA (YCK) | 9	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	EH
TLV9064IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9064D
TLV9064IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9064D
TLV9064IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TLV9064
TLV9064IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TLV9064
TLV9064IPWT	Active	Production	TSSOP (PW) | 14	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TLV9064
TLV9064IPWT.A	Active	Production	TSSOP (PW) | 14	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TLV9064
TLV9064IRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9064
TLV9064IRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9064
TLV9064IRUCR	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1DD
TLV9064IRUCR.A	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1DD
TLV9064IRUCRG4	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1DD
TLV9064IRUCRG4.A	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1DD
TLV9064SIRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T9064S
TLV9064SIRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T9064S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9061, TLV9062, TLV9064 :

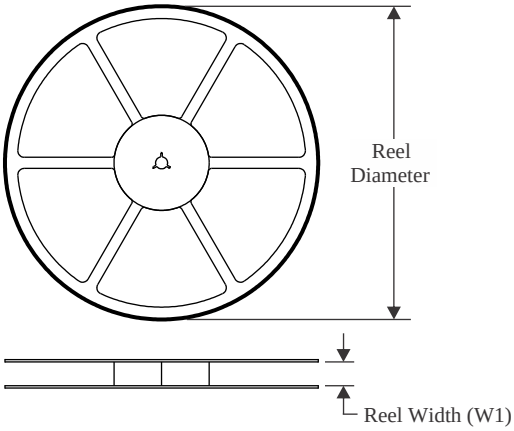
- Automotive : TLV9061-Q1, TLV9062-Q1, TLV9064-Q1

NOTE: Qualified Version Definitions:

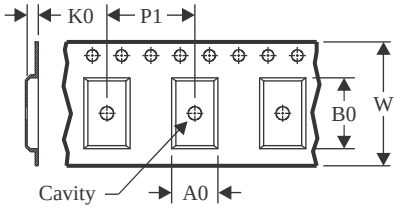
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

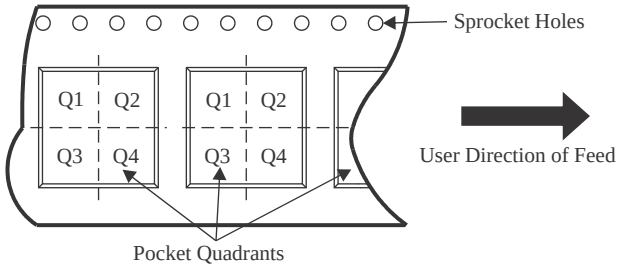


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

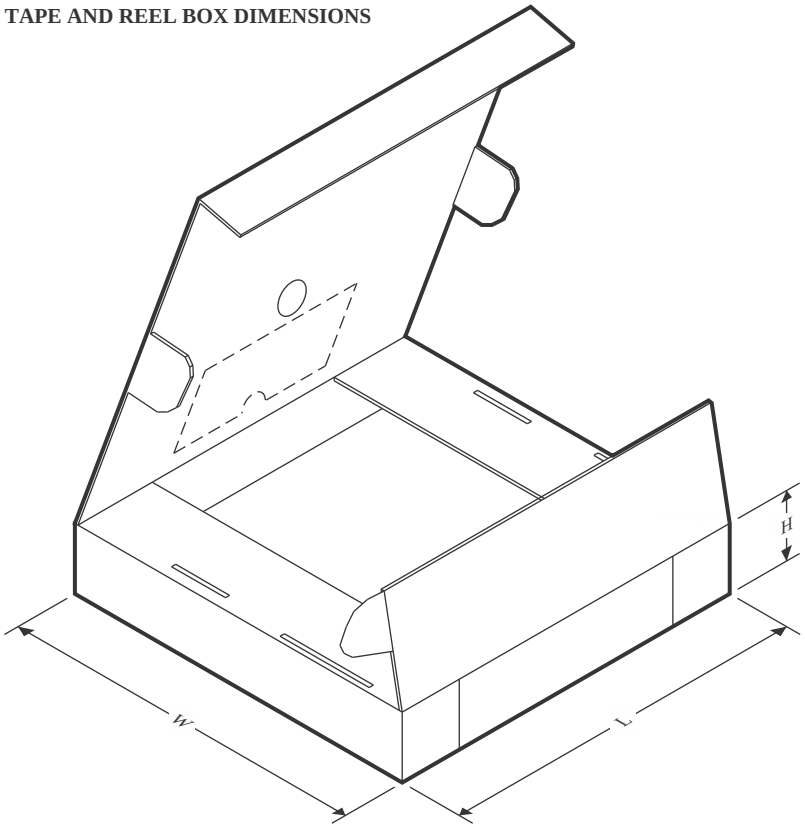


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9061IDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9061IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9061IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9061IDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV9061IDPWR	X2SON	DPW	5	3000	180.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9061SIDBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9061SIDBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9062IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9062IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9062IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062IDGKT	VSSOP	DGK	8	250	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9062IDSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9062IDSGT	WSON	DSG	8	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9062IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9062SIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9062SIRUGR	X2QFN	RUG	10	3000	178.0	8.4	1.75	2.25	0.56	4.0	8.0	Q1
TLV9062SIYCKR	DSBGA	YCK	9	3000	180.0	8.4	1.1	1.1	0.4	2.0	8.0	Q1
TLV9064IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9064IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9064IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9064IPWT	TSSOP	PW	14	250	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9064IRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLV9064IRUCR	QFN	RUC	14	3000	180.0	9.5	2.16	2.16	0.5	4.0	8.0	Q2
TLV9064IRUCRG4	QFN	RUC	14	3000	180.0	9.5	2.16	2.16	0.5	4.0	8.0	Q2
TLV9064SIRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9061IDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV9061IDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9061IDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9061IDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
TLV9061IDPWR	X2SON	DPW	5	3000	210.0	185.0	35.0
TLV9061SIDBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
TLV9061SIDBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9062IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9062IDGKR	VSSOP	DGK	8	2500	356.0	356.0	36.0
TLV9062IDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9062IDGKT	VSSOP	DGK	8	250	353.0	353.0	32.0
TLV9062IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV9062IDR	SOIC	D	8	2500	367.0	367.0	35.0
TLV9062IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
TLV9062IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9062IDSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9062IDSGT	WSON	DSG	8	250	210.0	185.0	35.0
TLV9062IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

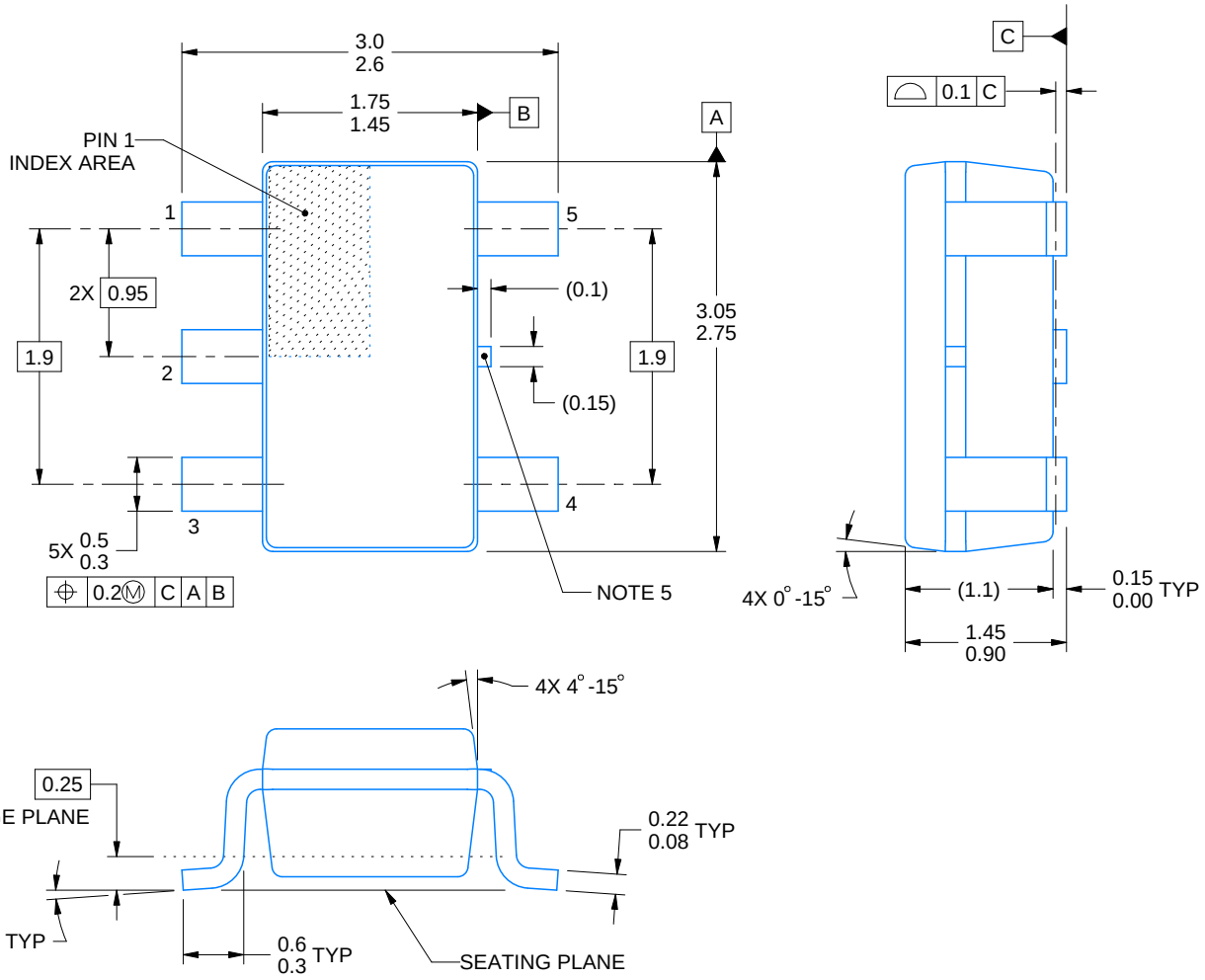
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9062SIDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
TLV9062SIRUGR	X2QFN	RUG	10	3000	205.0	200.0	33.0
TLV9062SIYCKR	DSBGA	YCK	9	3000	182.0	182.0	20.0
TLV9064IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV9064IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TLV9064IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV9064IPWT	TSSOP	PW	14	250	353.0	353.0	32.0
TLV9064IRTER	WQFN	RTE	16	3000	360.0	360.0	36.0
TLV9064IRUCR	QFN	RUC	14	3000	205.0	200.0	30.0
TLV9064IRUCRG4	QFN	RUC	14	3000	205.0	200.0	30.0
TLV9064SIRTER	WQFN	RTE	16	3000	360.0	360.0	36.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

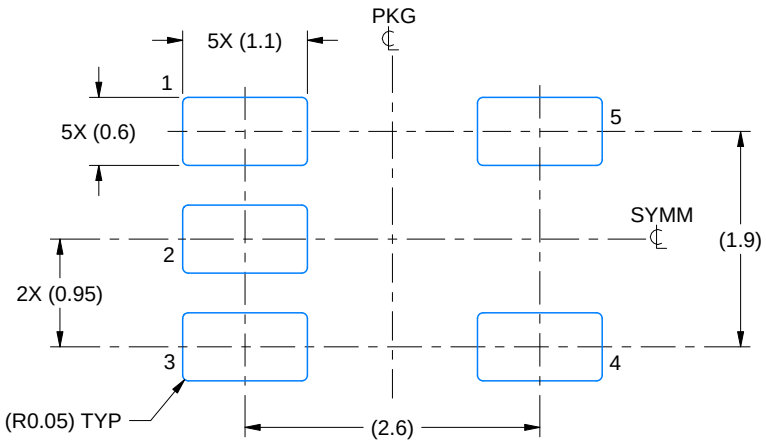
SMALL OUTLINE TRANSISTOR



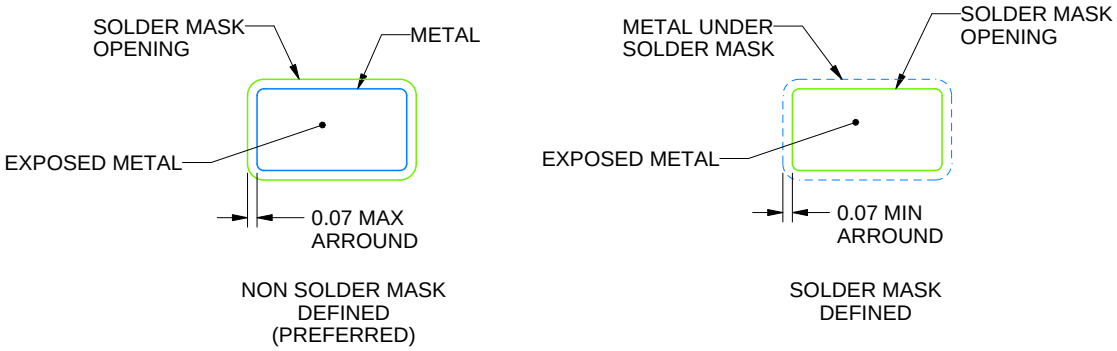
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

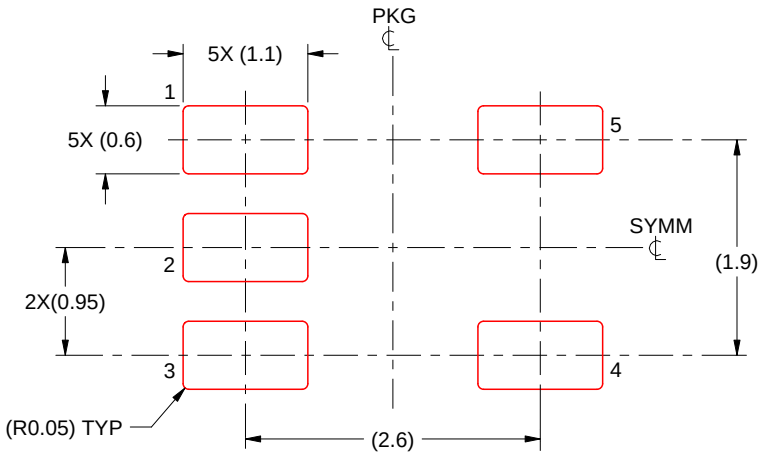


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

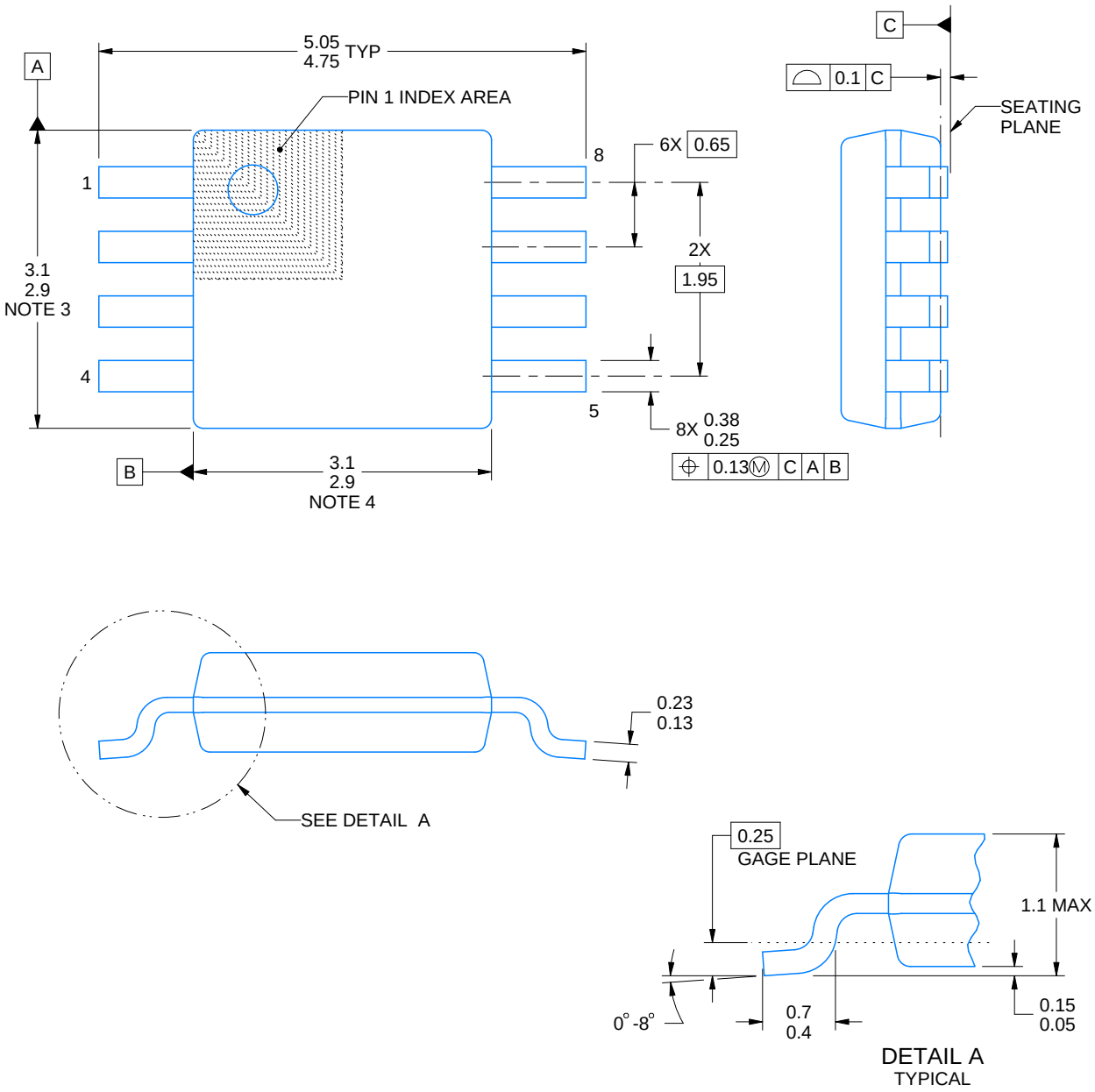
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

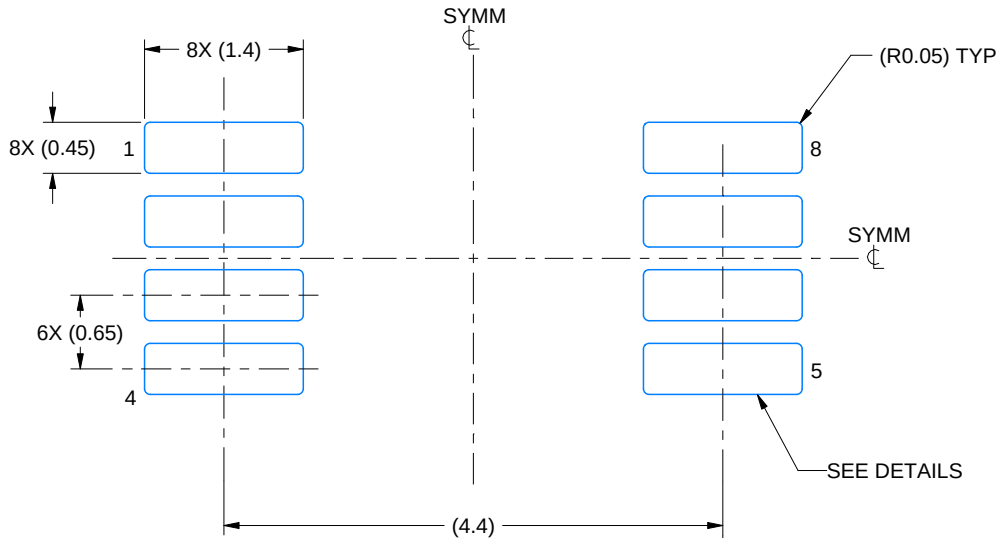
SMALL OUTLINE PACKAGE



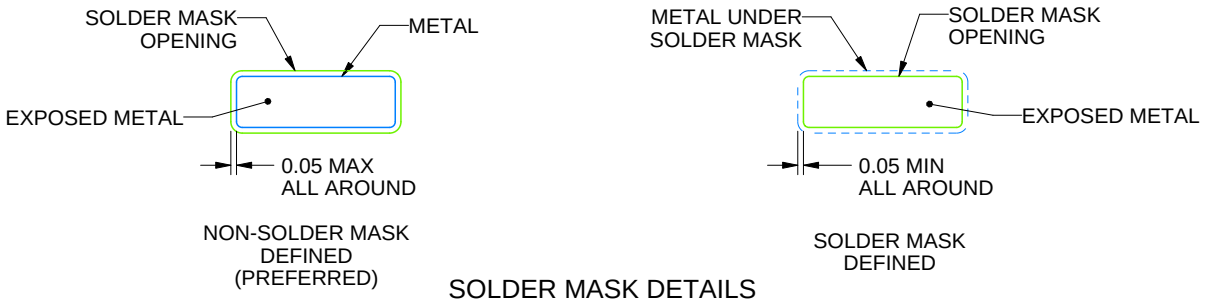
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

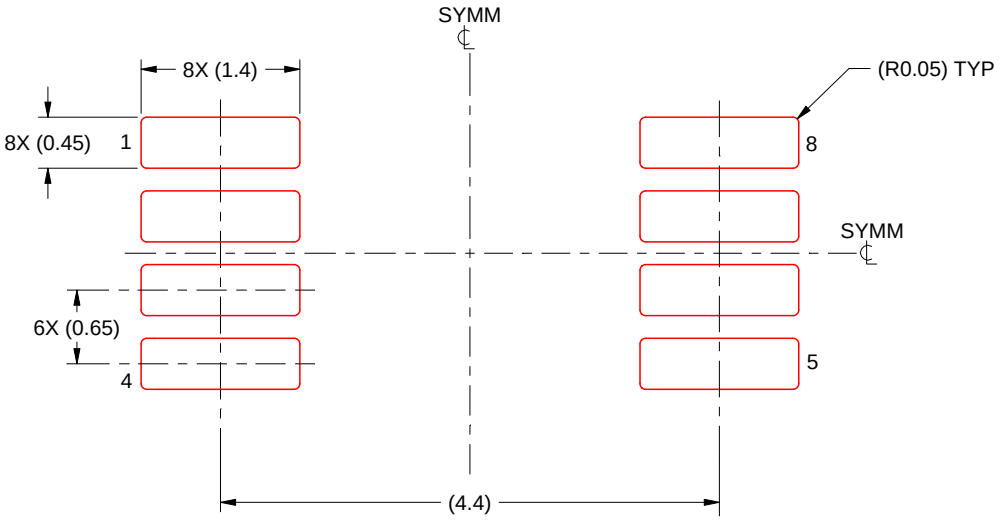


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

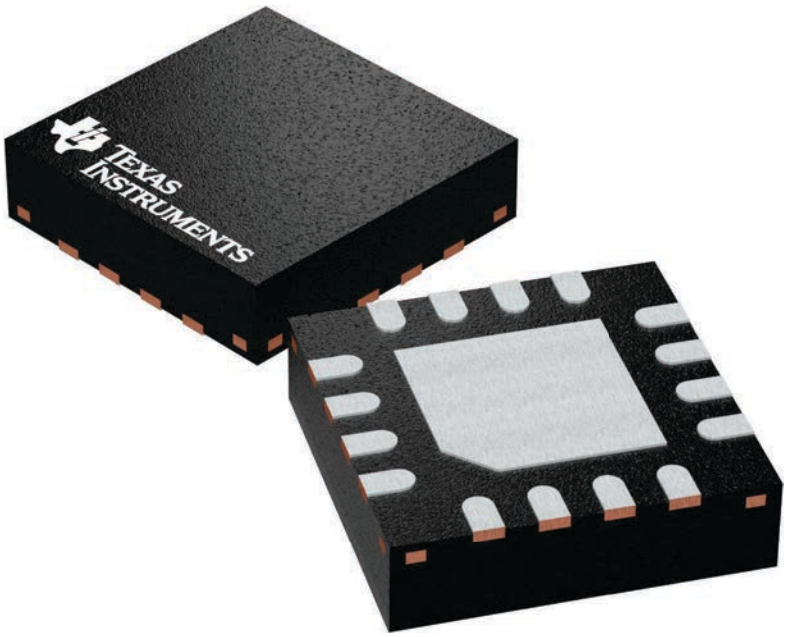
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

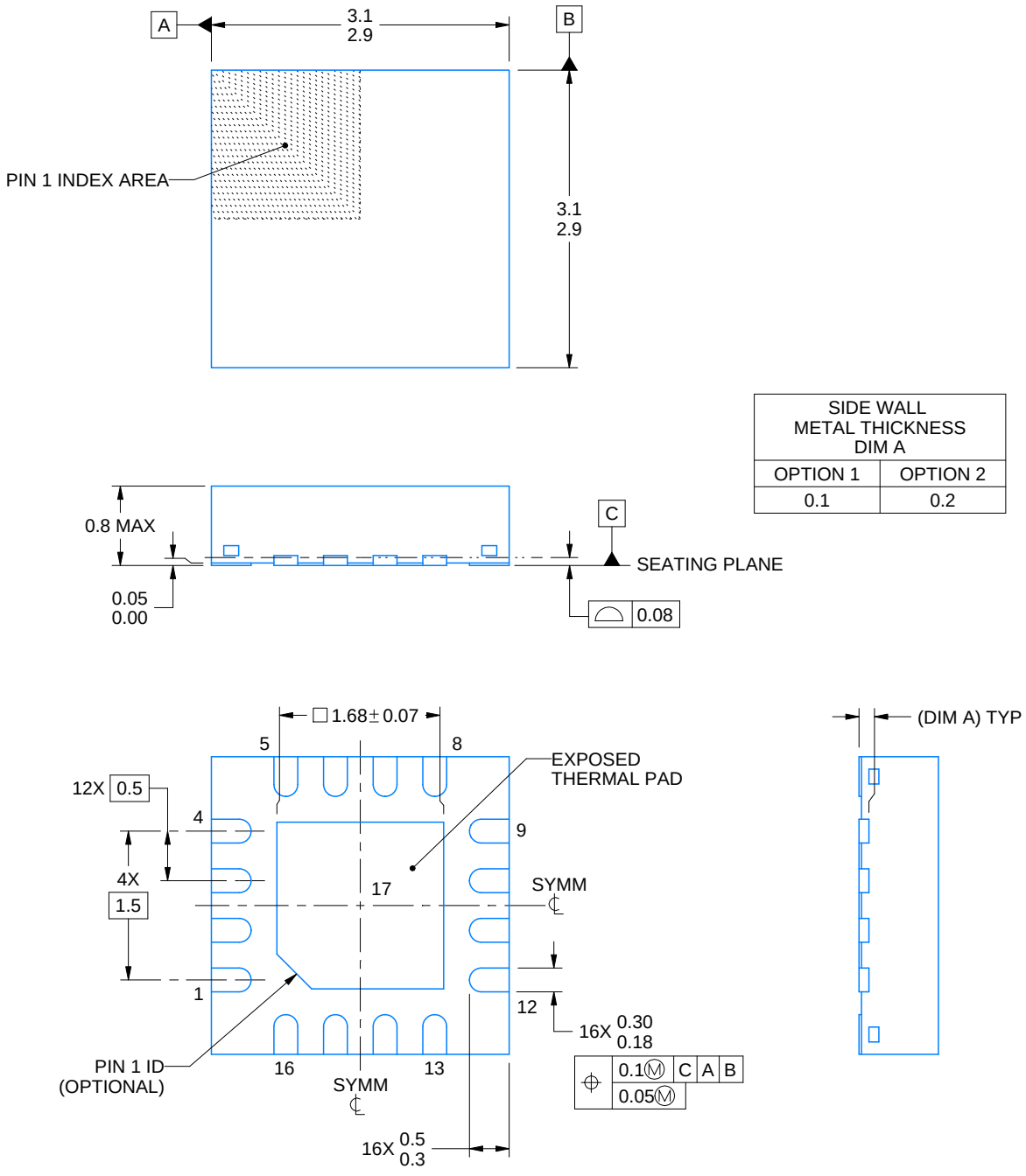


RTE0016C

PACKAGE OUTLINE

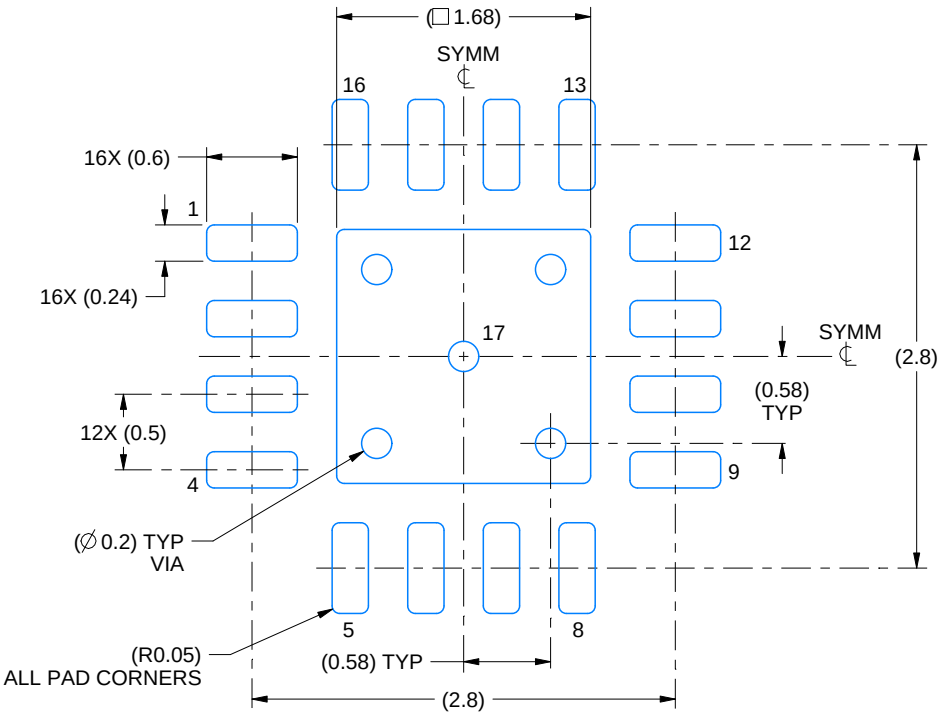
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

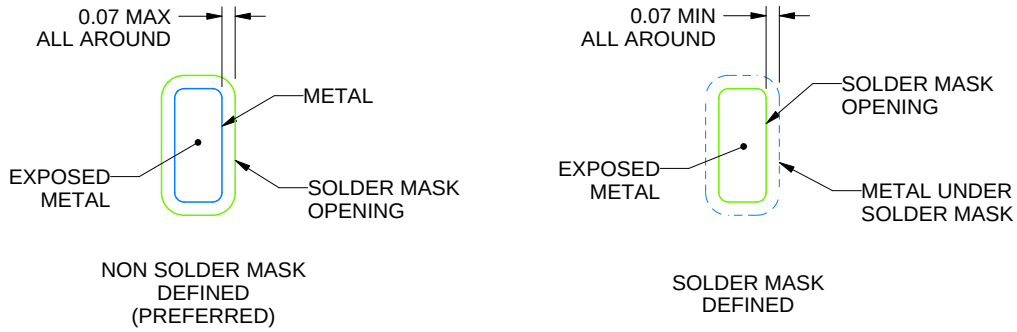


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

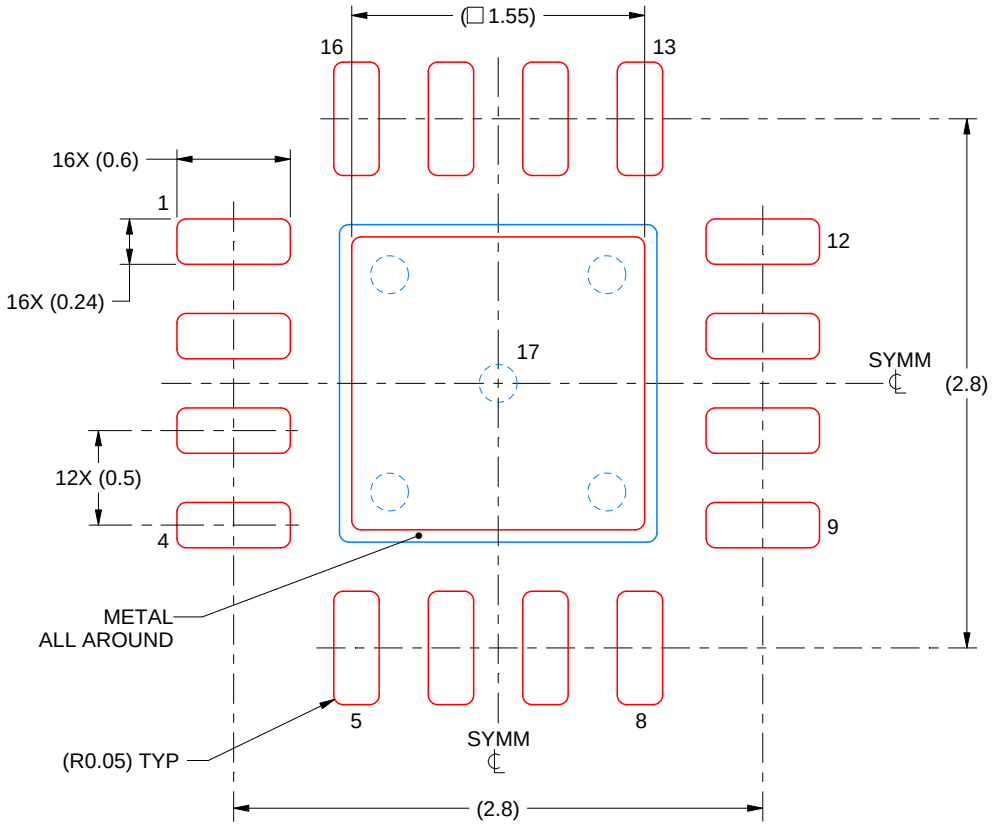


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



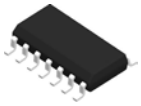
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

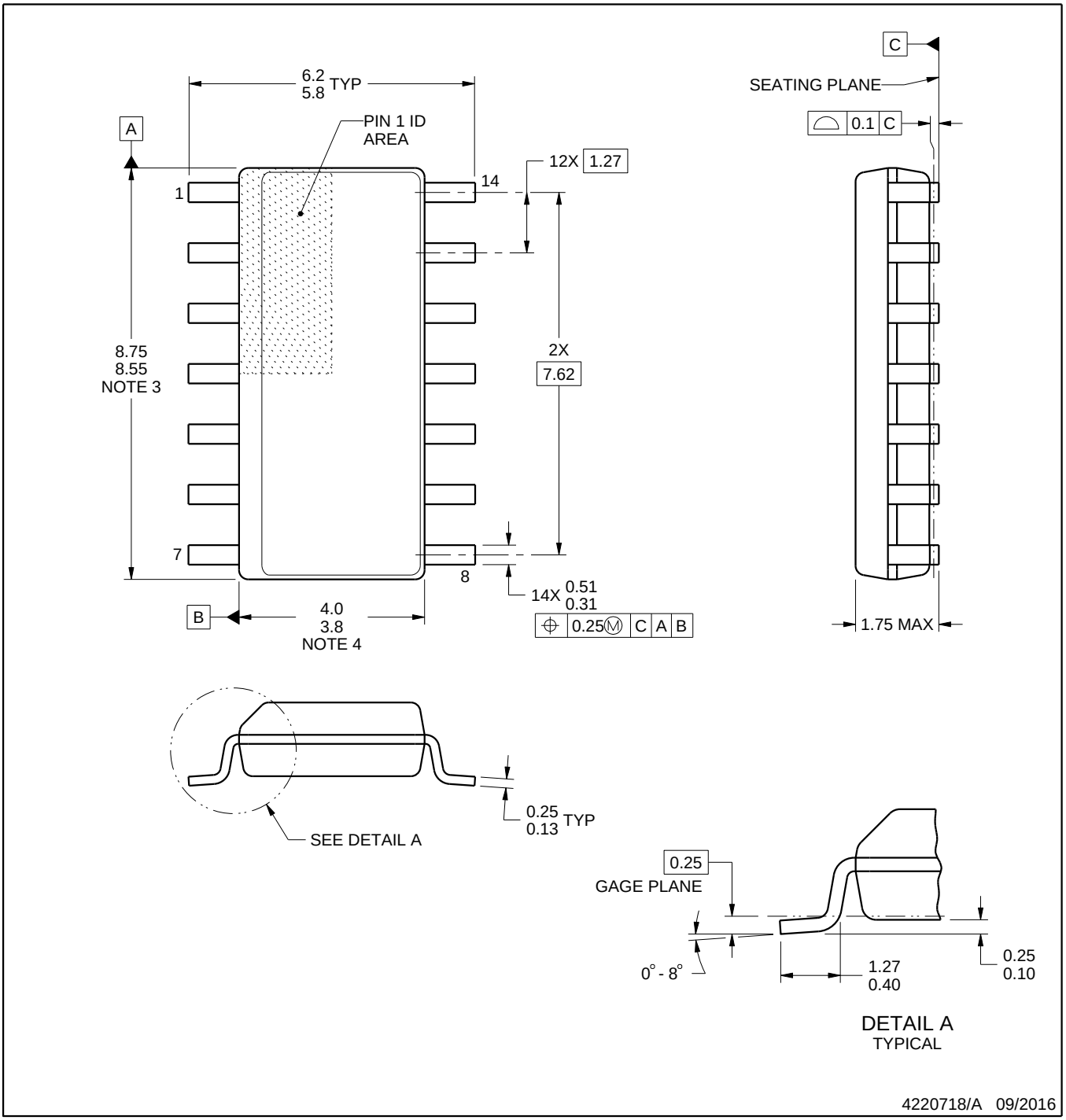


PACKAGE OUTLINE

D0014A

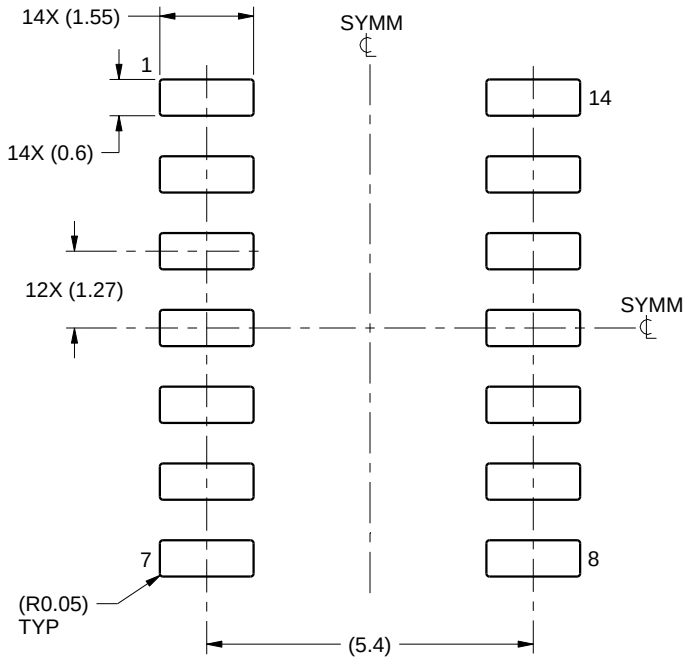
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

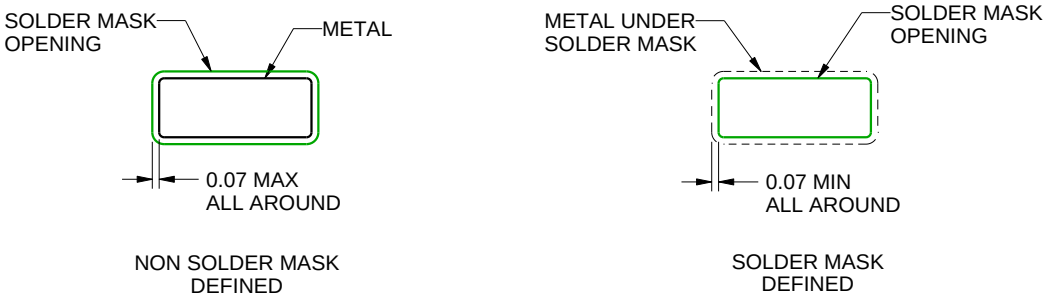


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

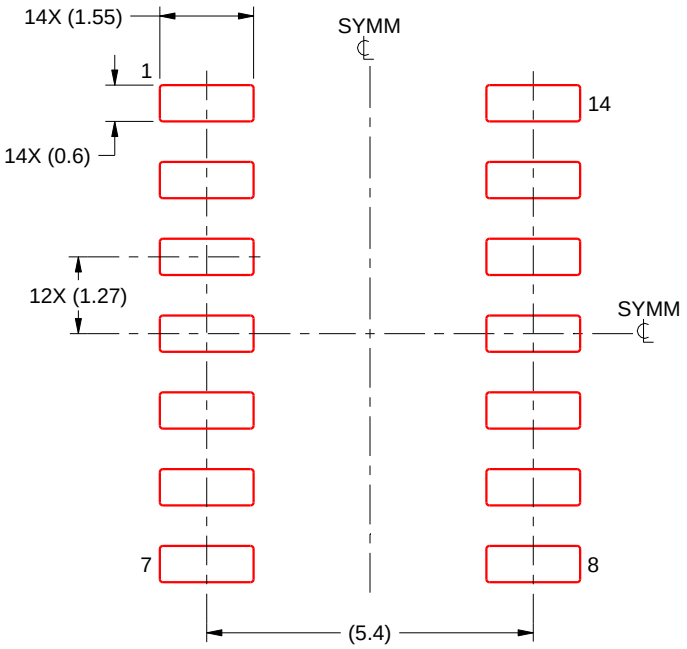
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

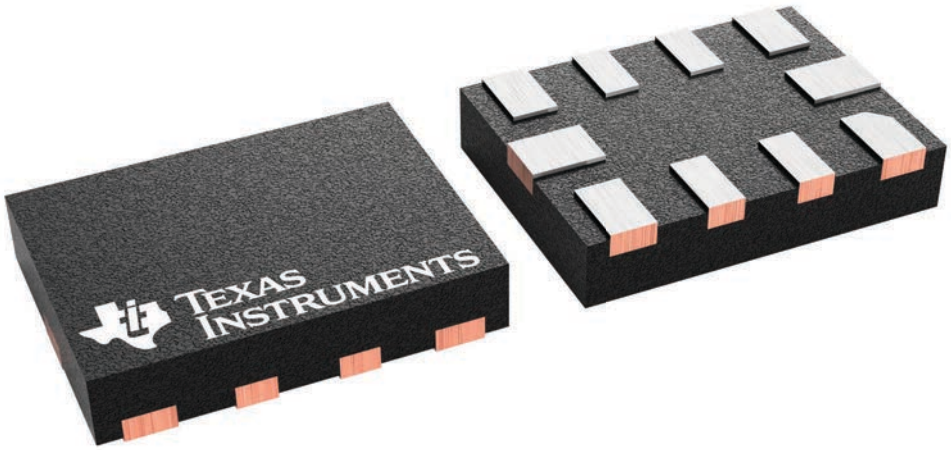
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



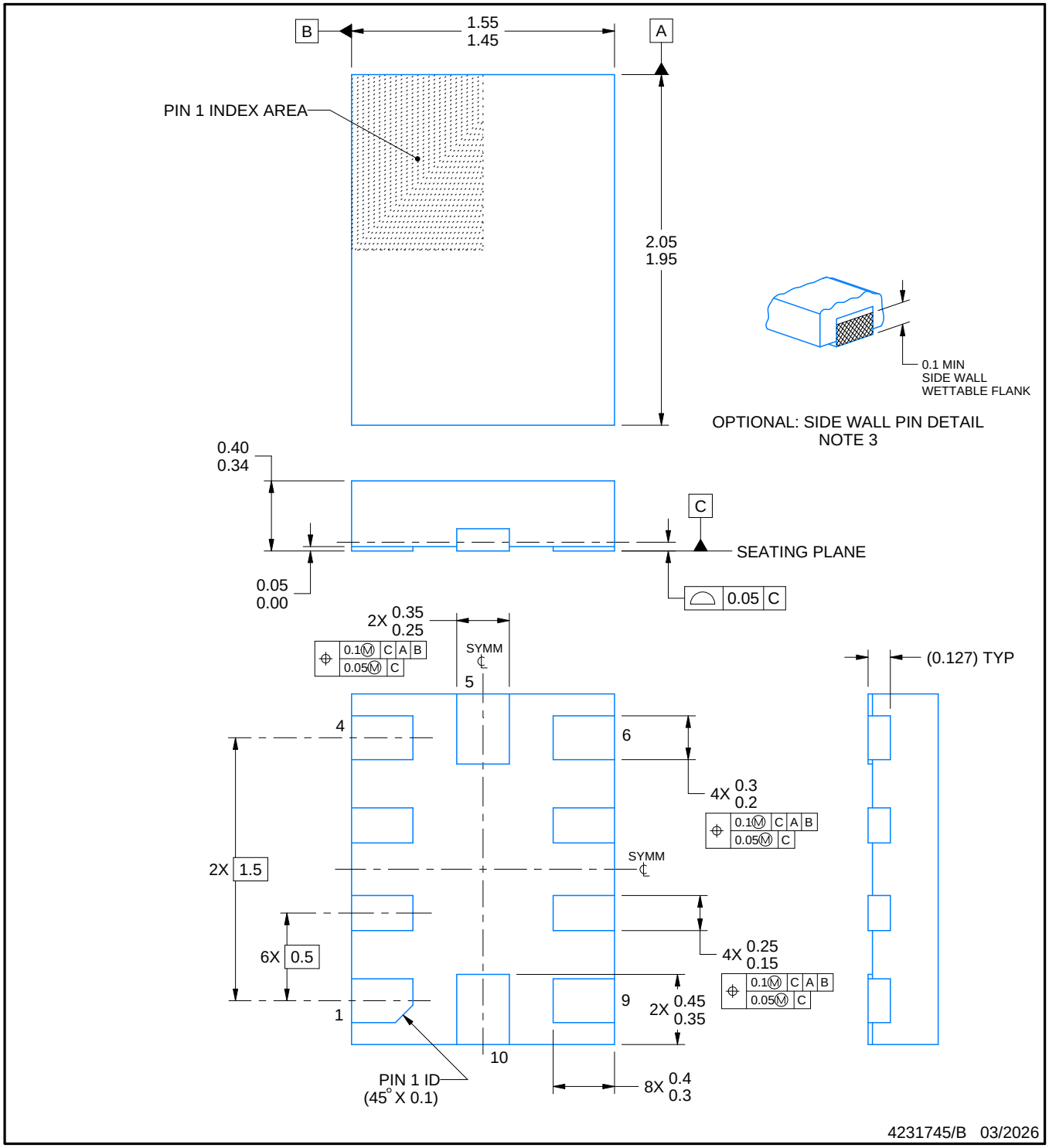
4231768/A

RUG0010A

PACKAGE OUTLINE

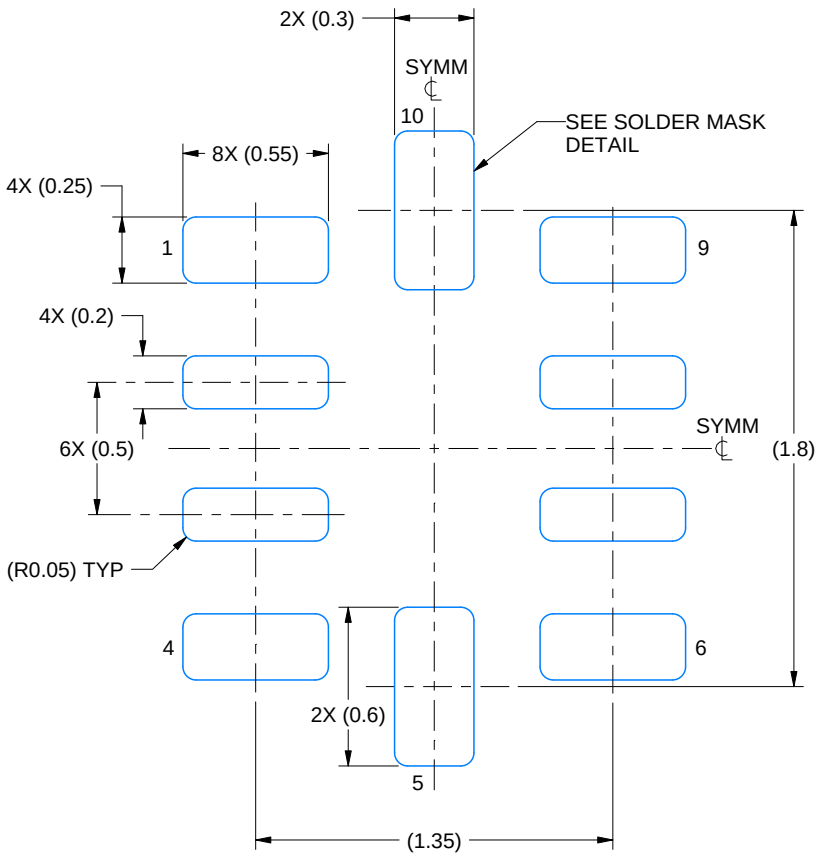
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

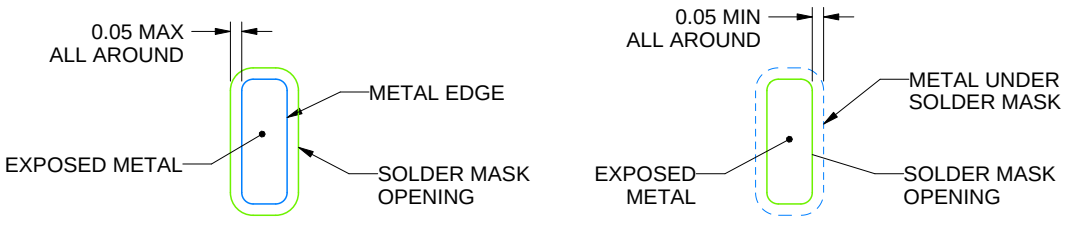


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

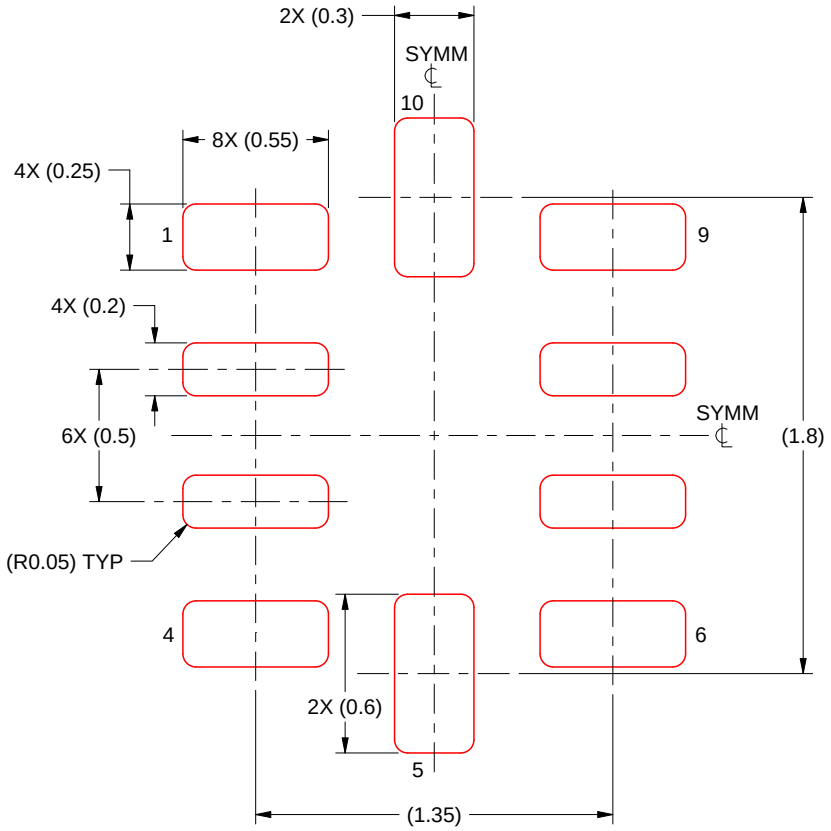
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

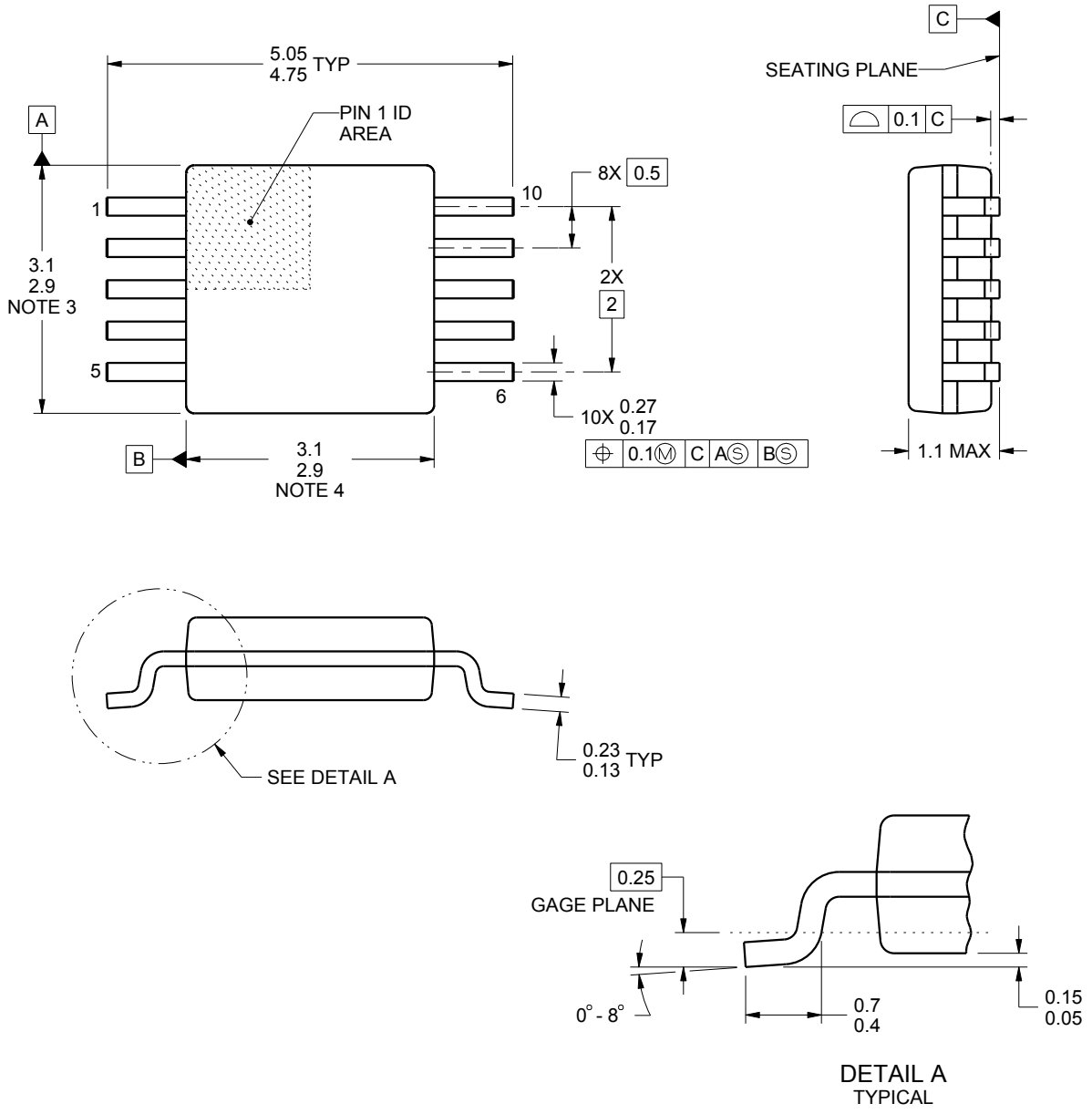
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

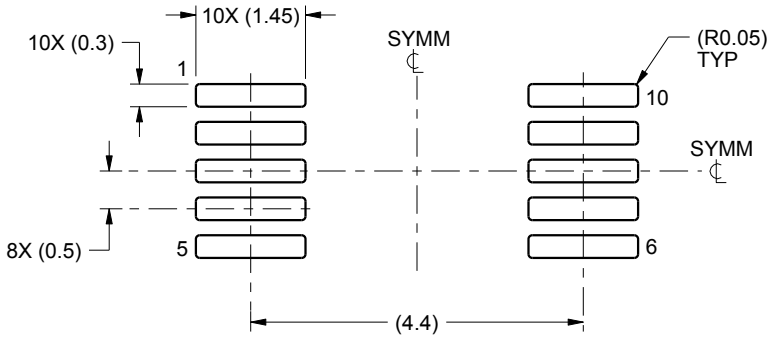
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

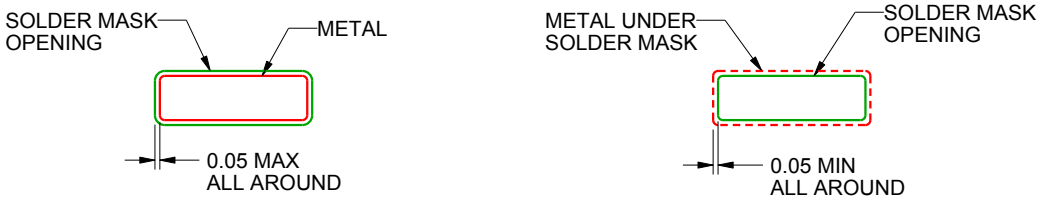


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

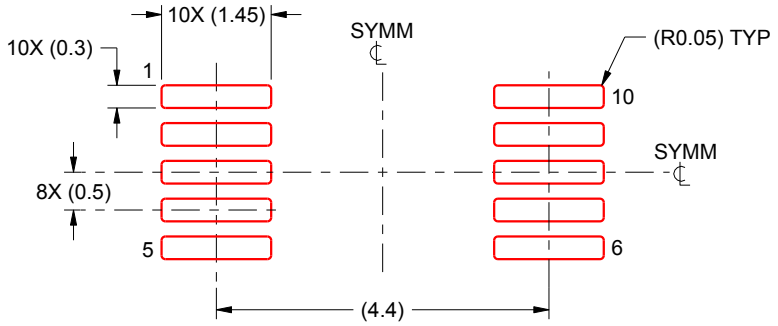


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

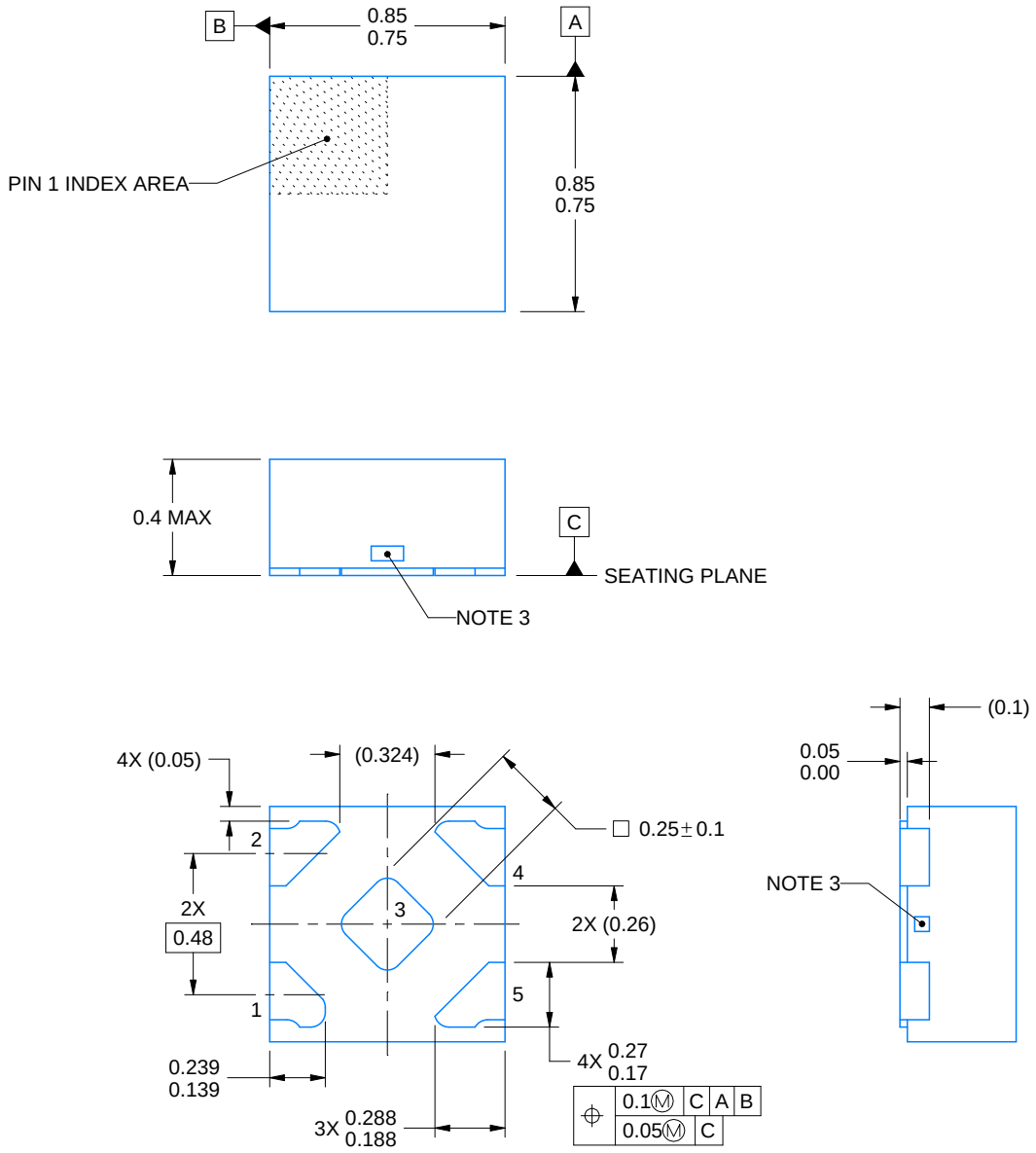
4211218-3/D

PACKAGE OUTLINE

DPW0005A

X2SON - 0.4 mm max height

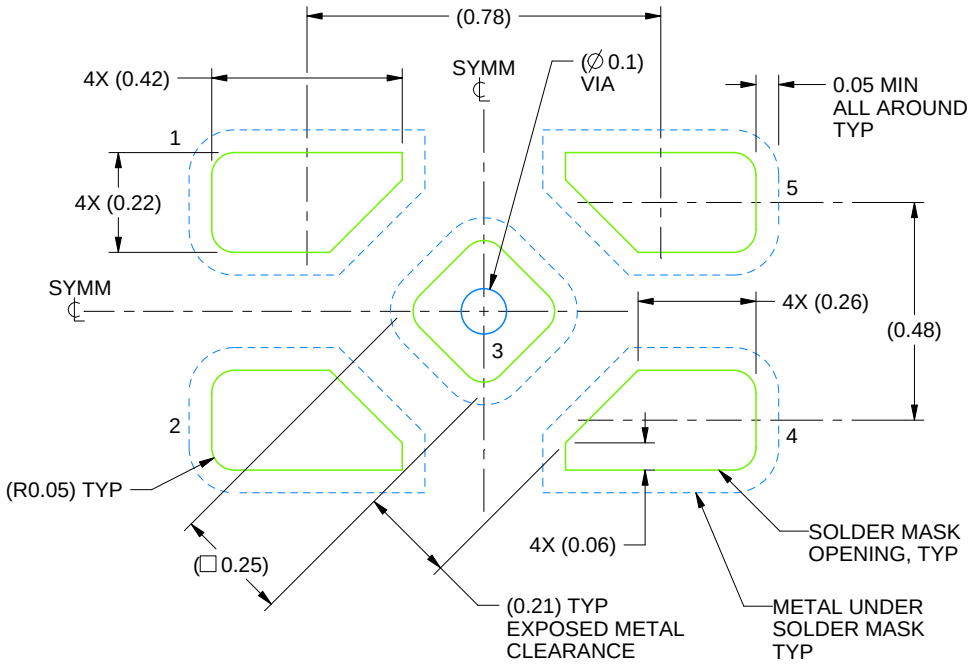
PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

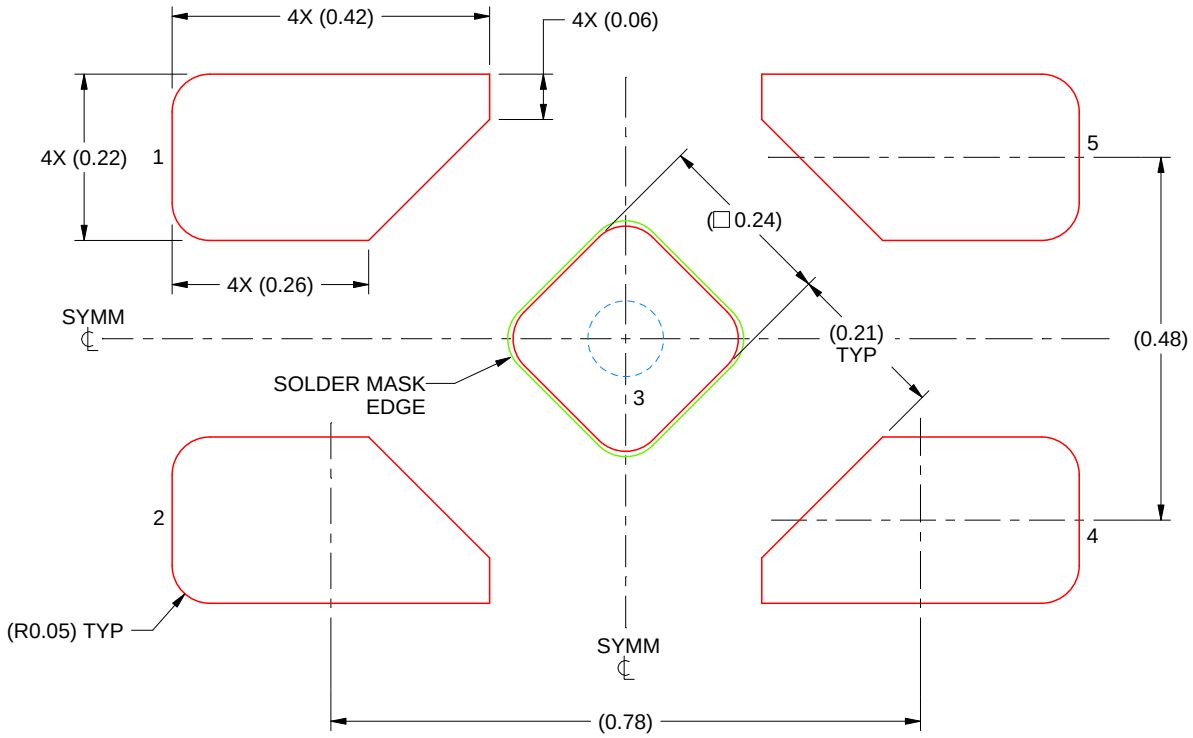
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

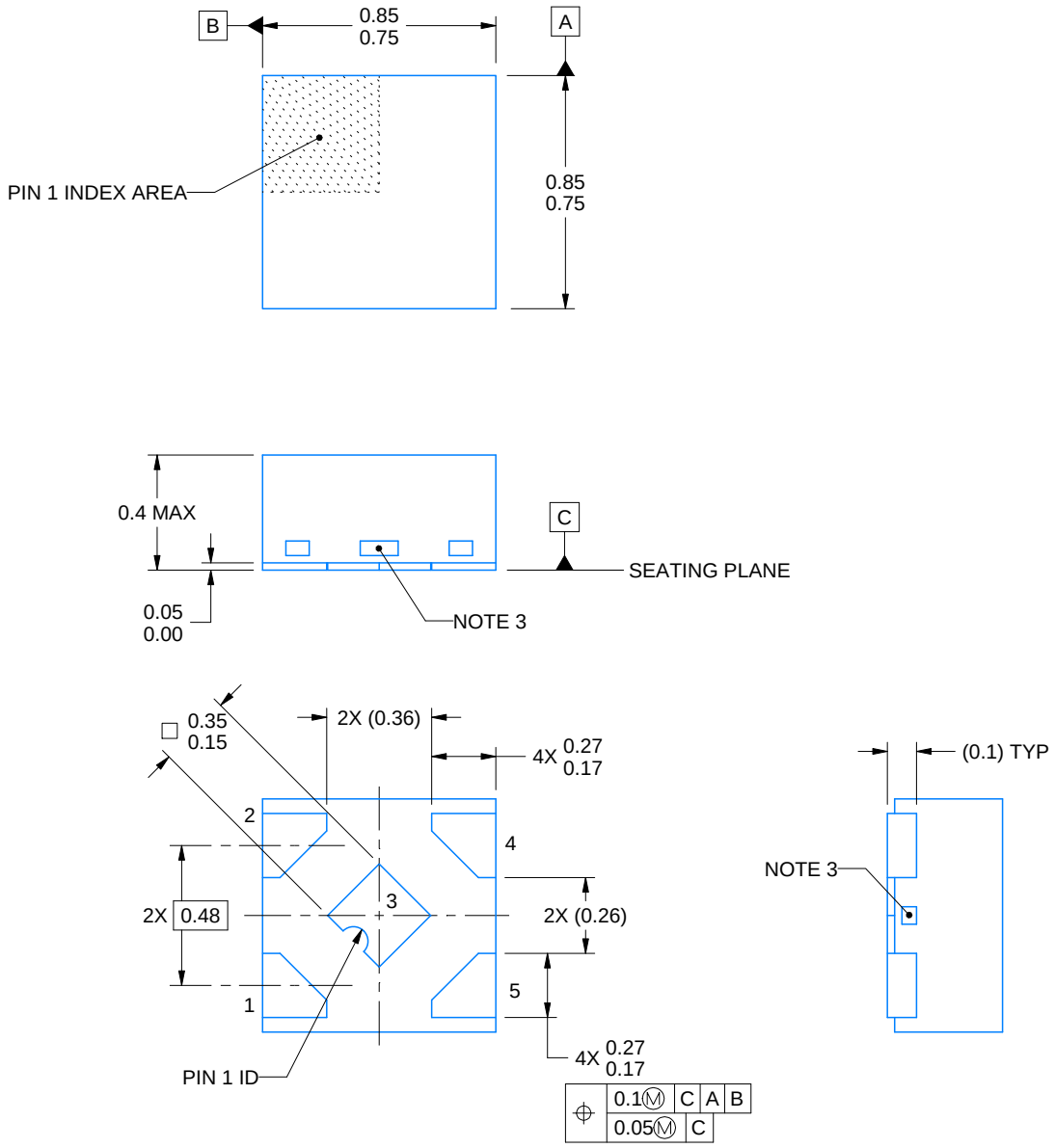
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DPW0005B

X2SON - 0.4 mm max height

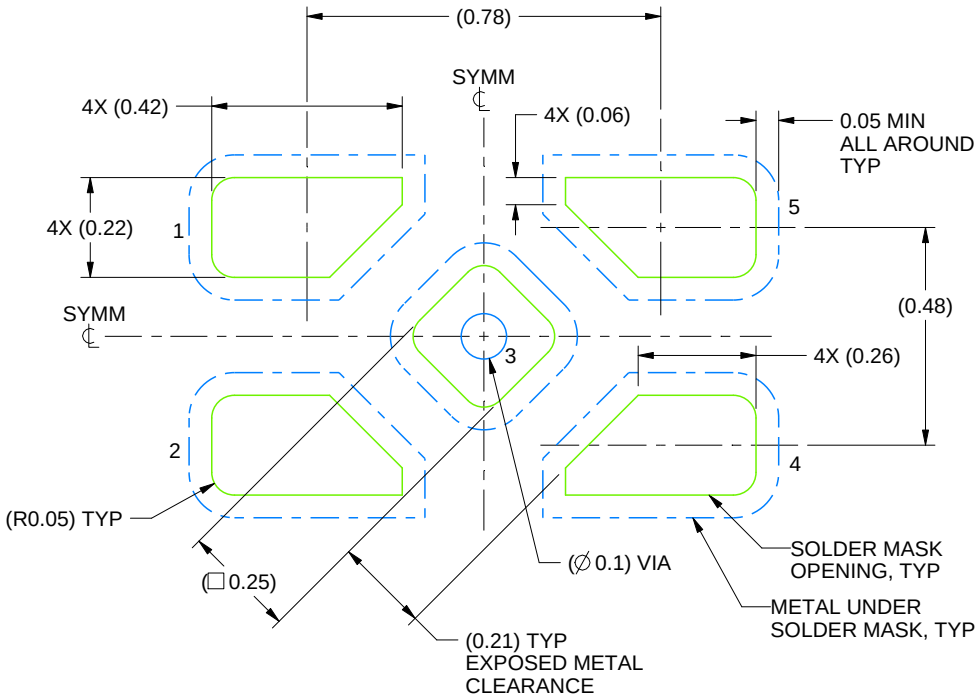
PLASTIC SMALL OUTLINE - NO LEAD



4228233/D 09/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

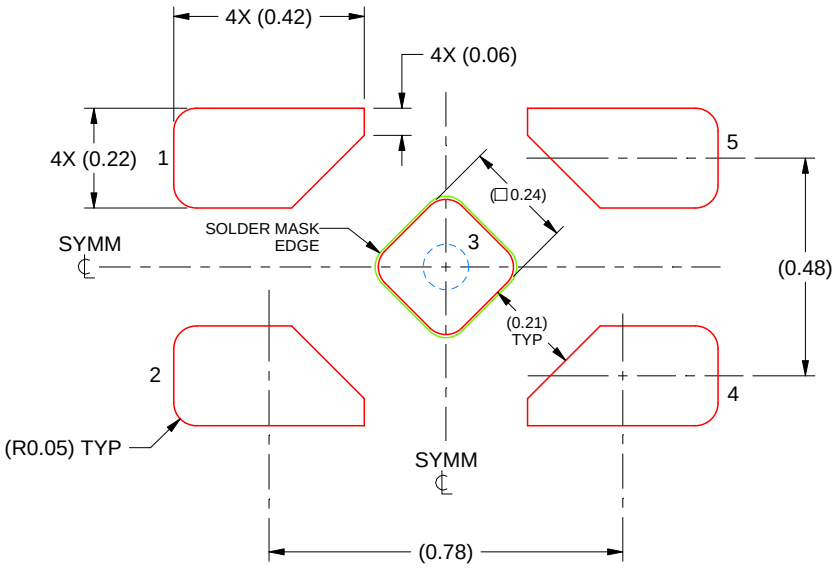


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 5
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

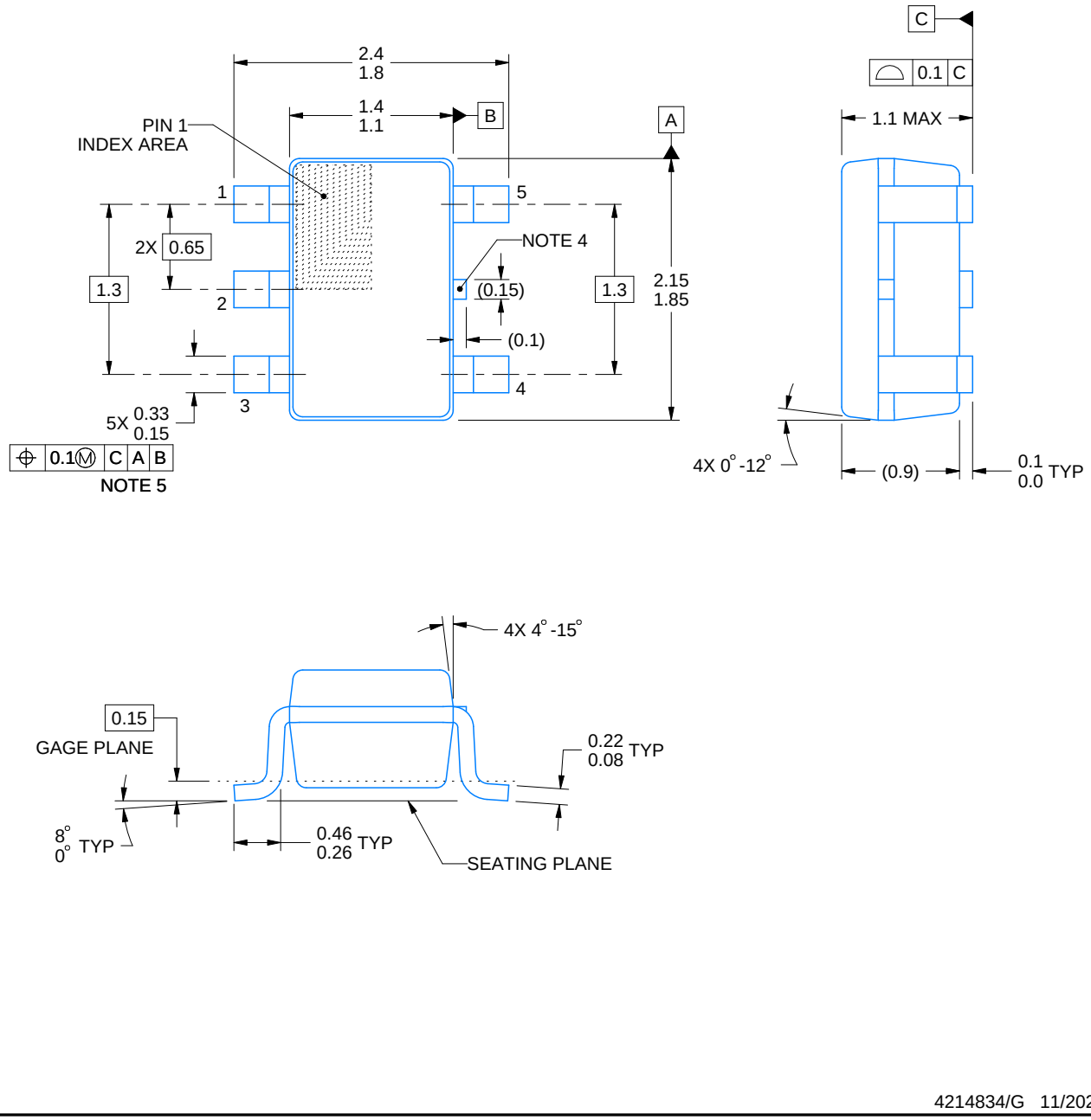
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

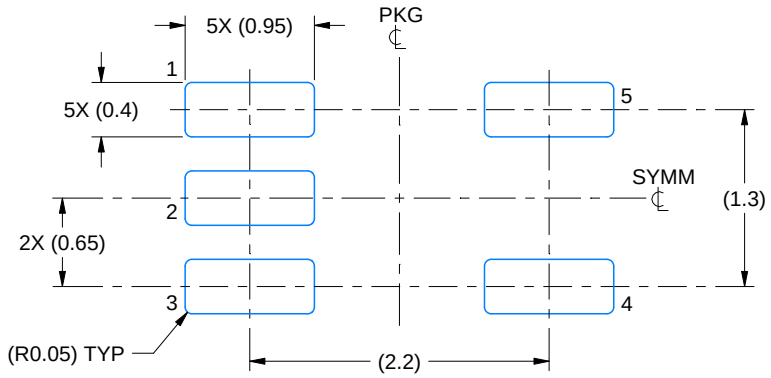
SMALL OUTLINE TRANSISTOR



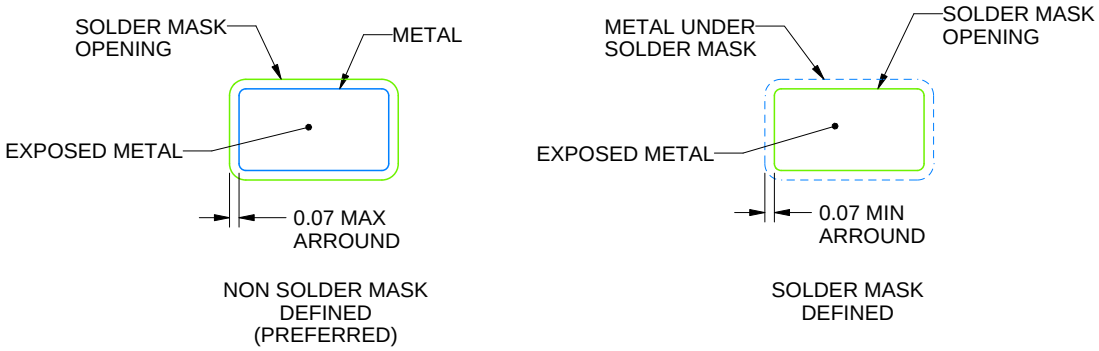
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

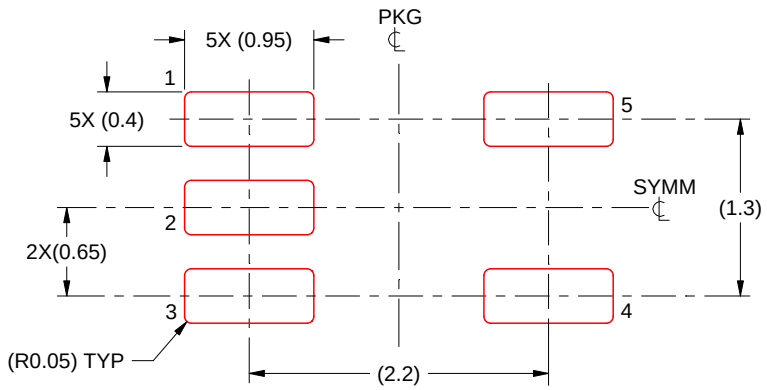


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

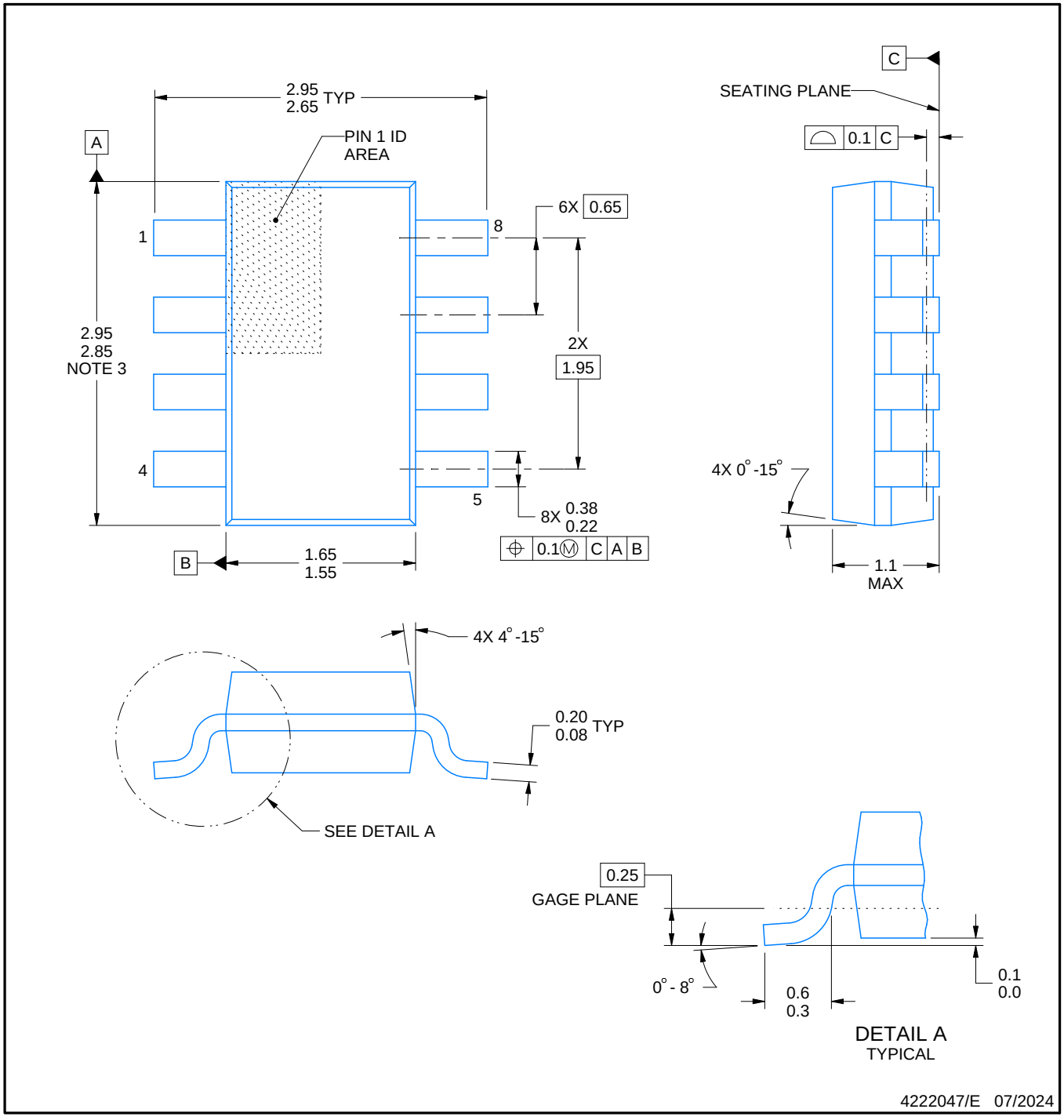
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

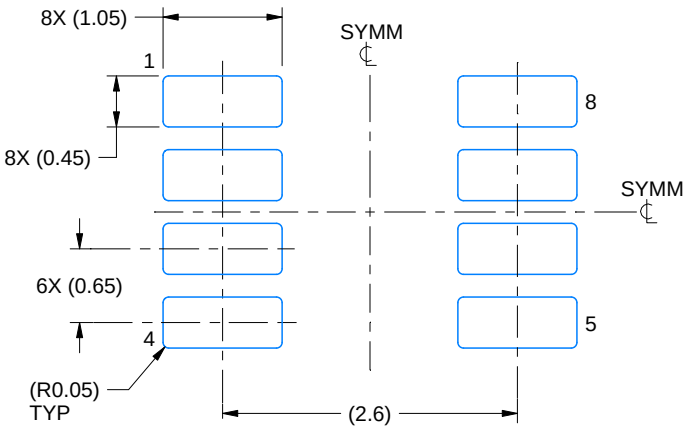
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

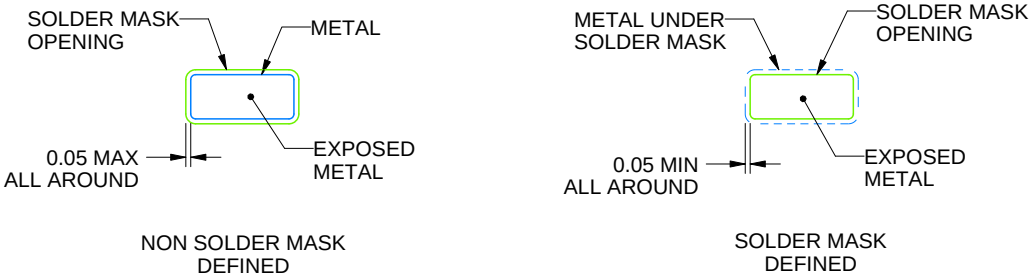


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

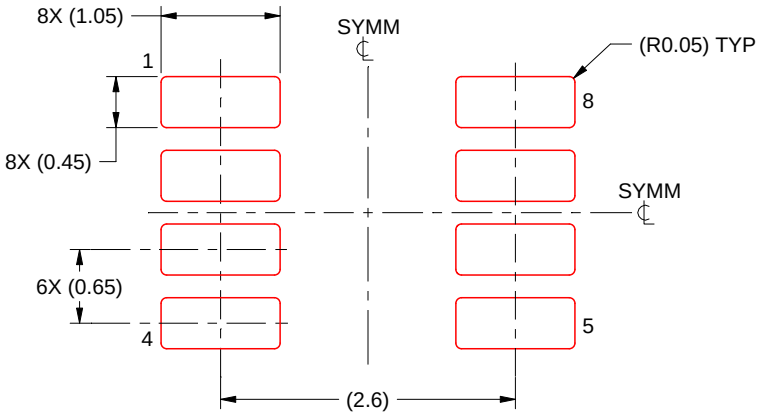
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

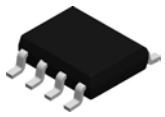


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

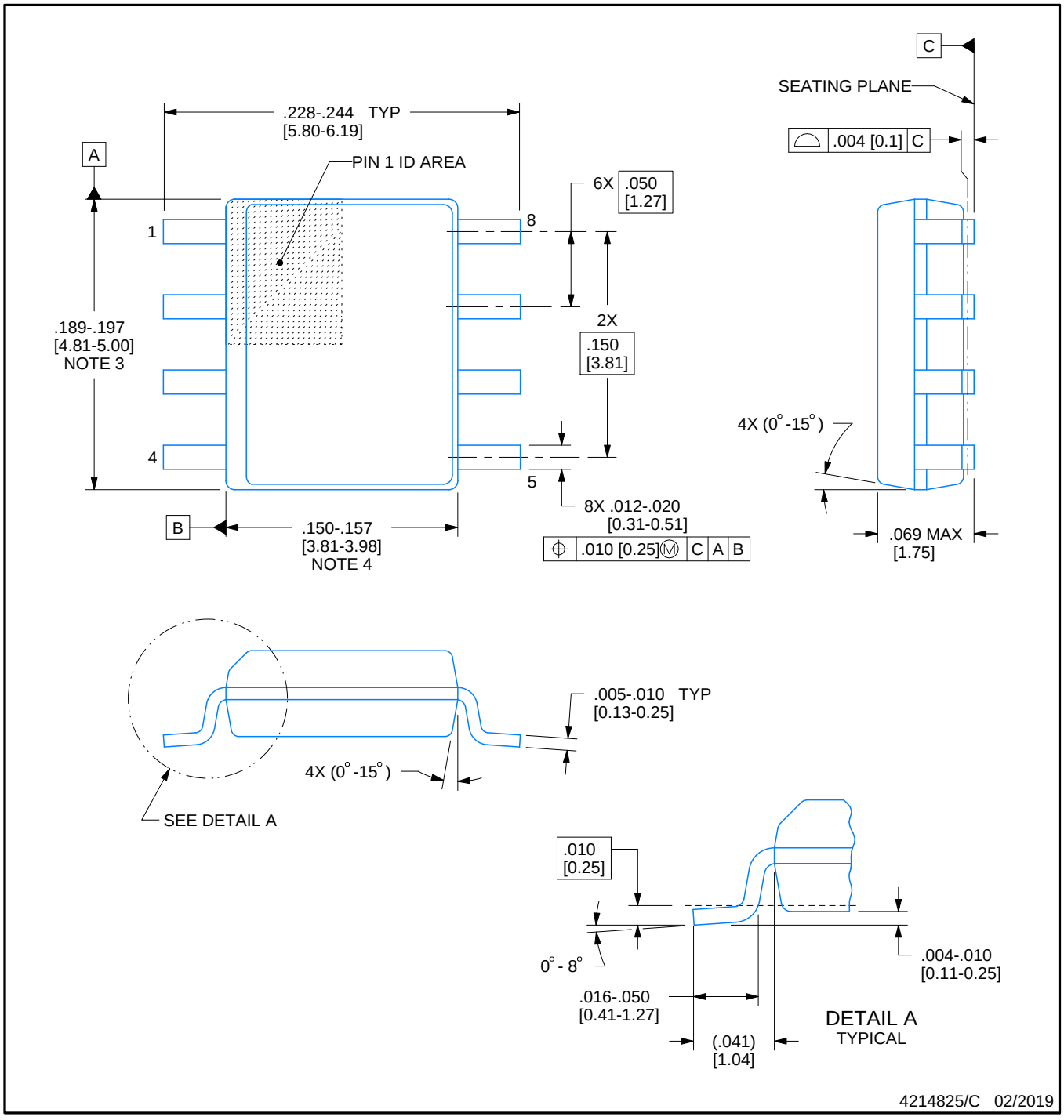


PACKAGE OUTLINE

D0008A

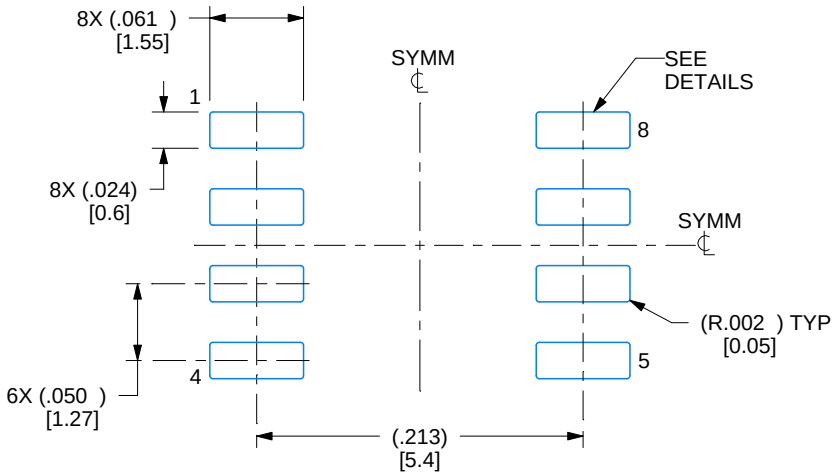
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

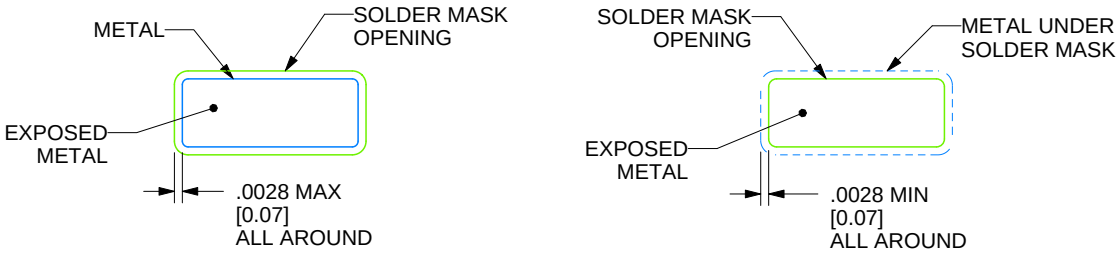


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

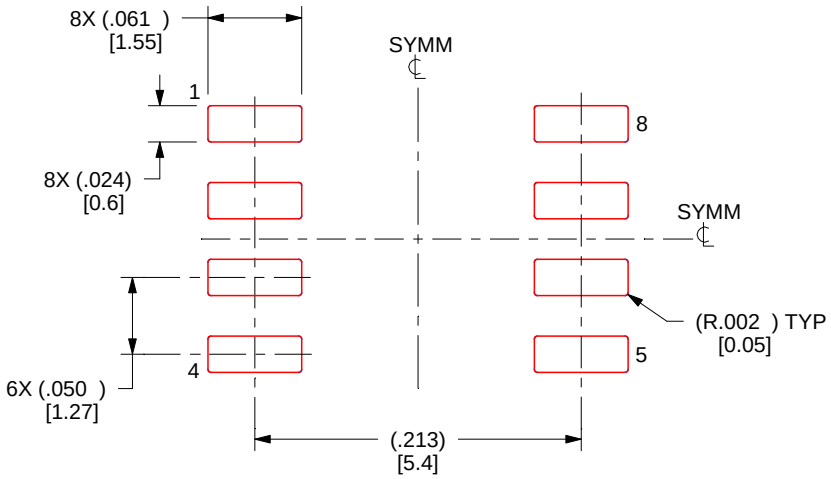
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

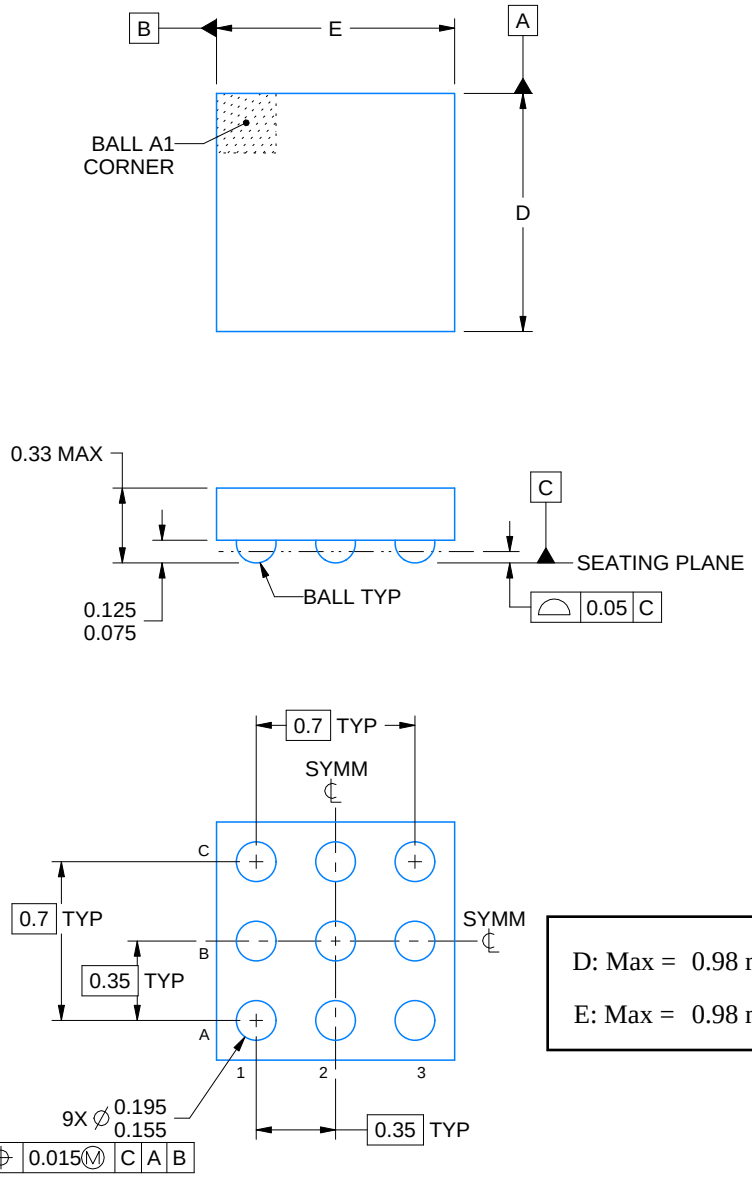
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

YCK0009

PACKAGE OUTLINE

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



D: Max = 0.98 mm, Min = 0.92 mm

E: Max = 0.98 mm, Min = 0.92 mm

4225837/A 04/2020

NOTES:

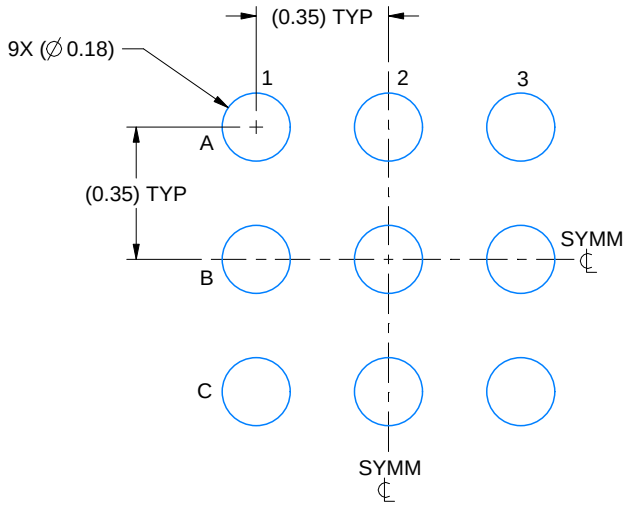
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

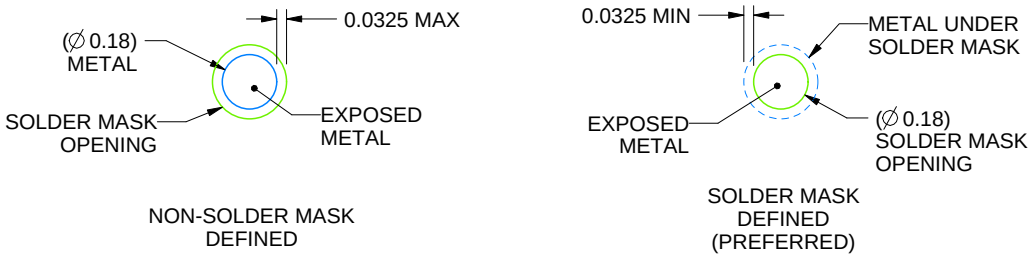
YCK0009

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4225837/A 04/2020

NOTES: (continued)

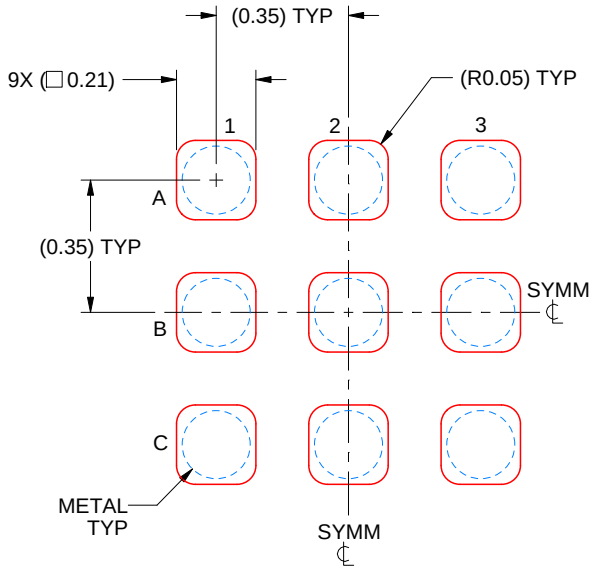
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YCK0009

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4225837/A 04/2020

NOTES: (continued)

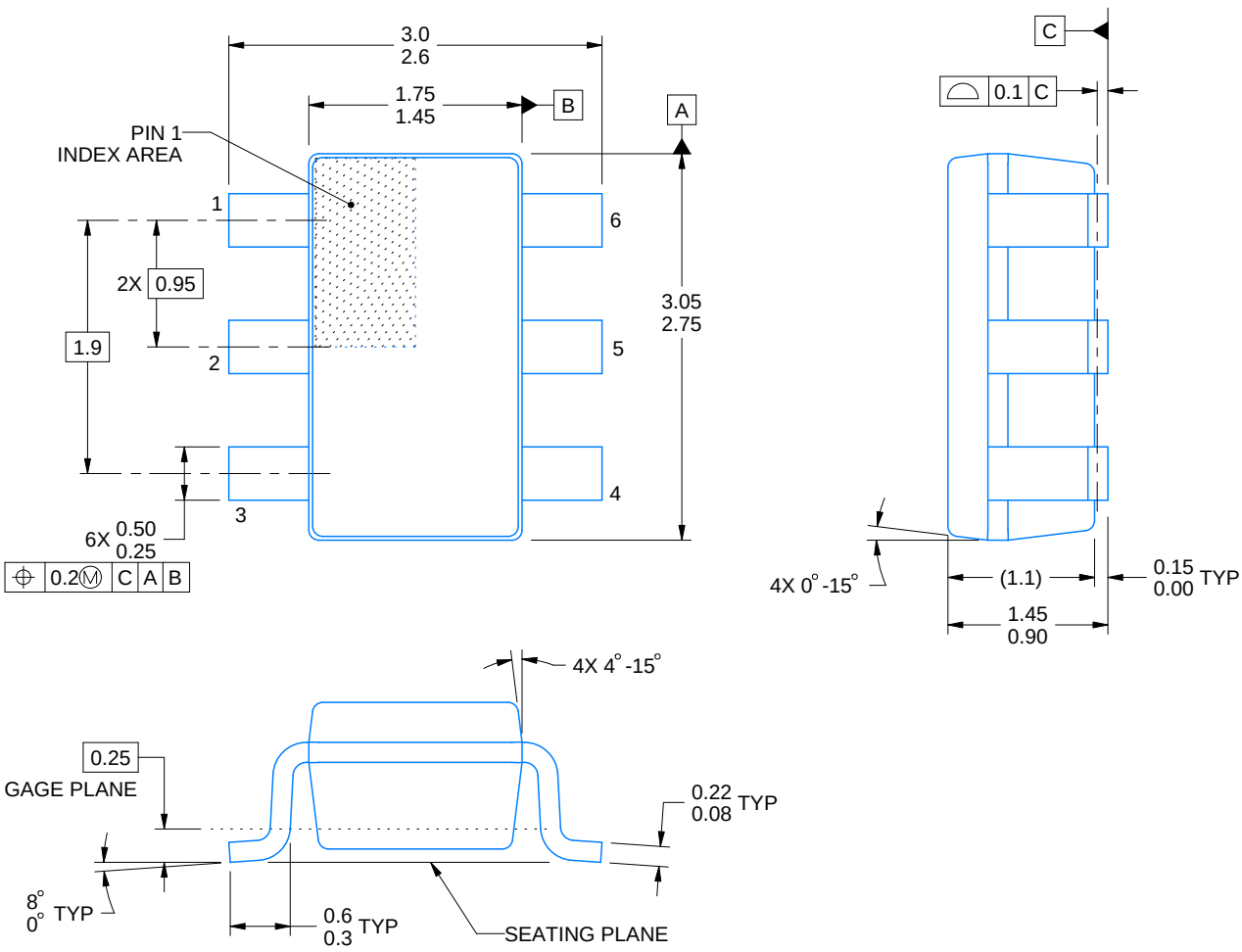
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

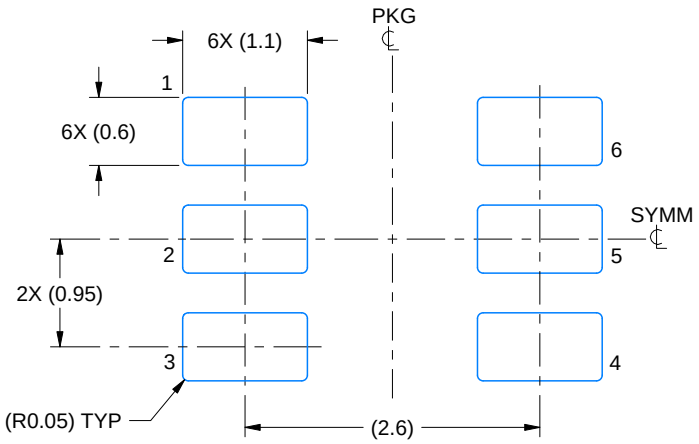
SMALL OUTLINE TRANSISTOR



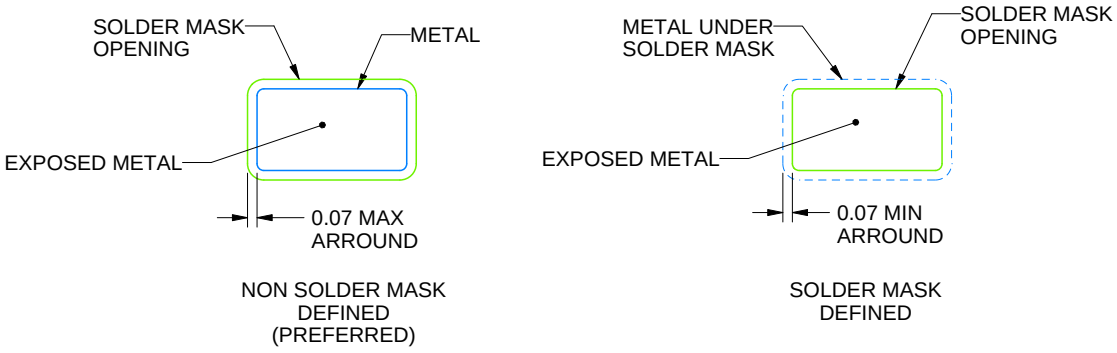
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

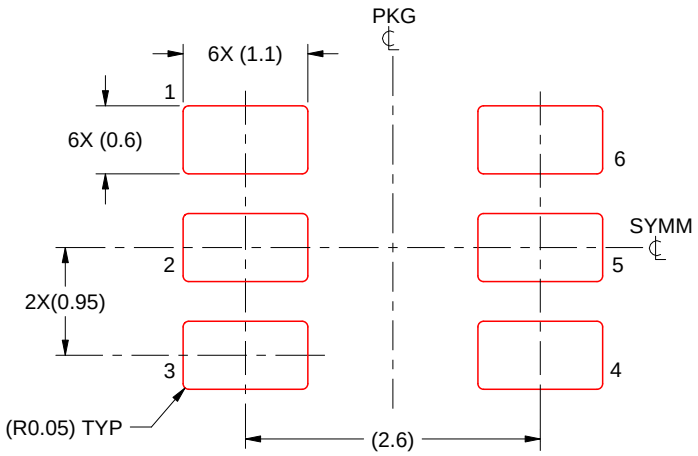


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

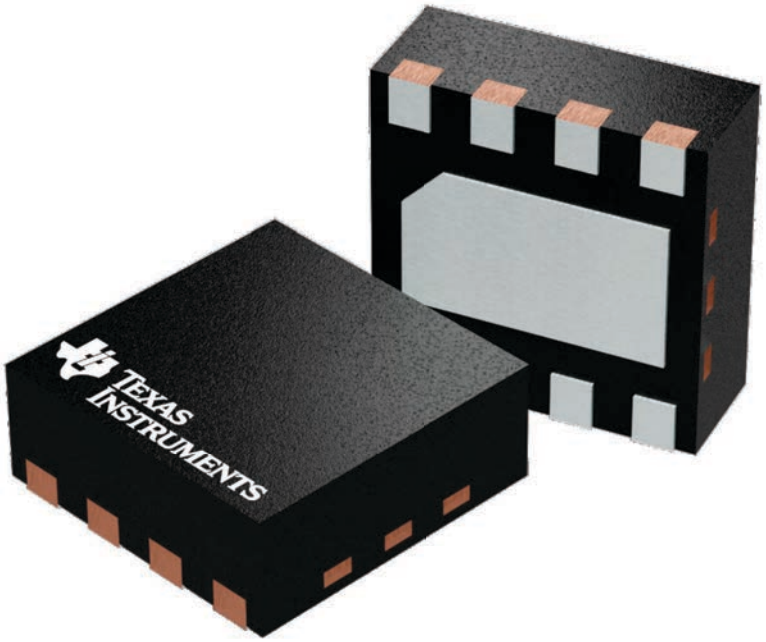
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



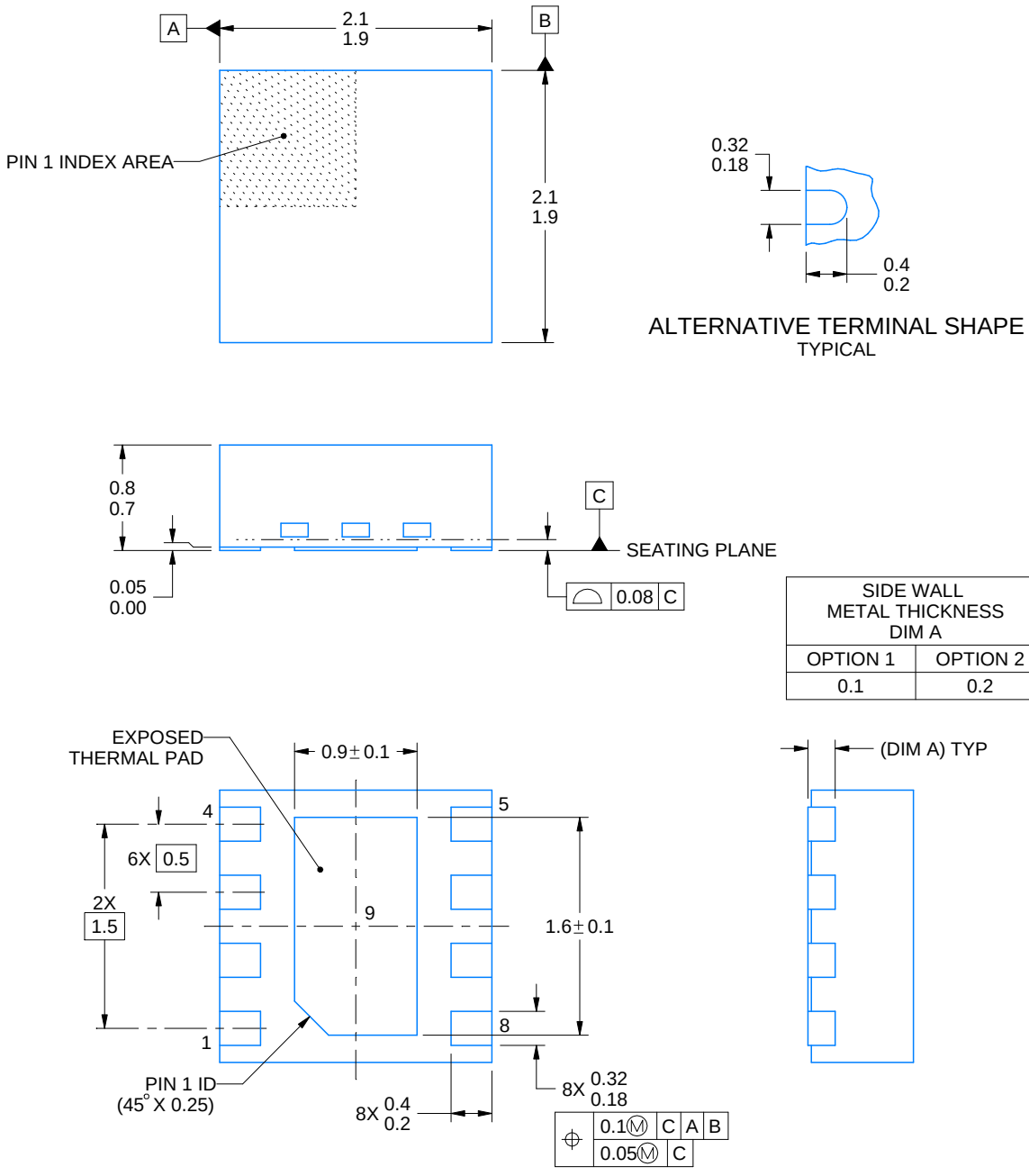
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

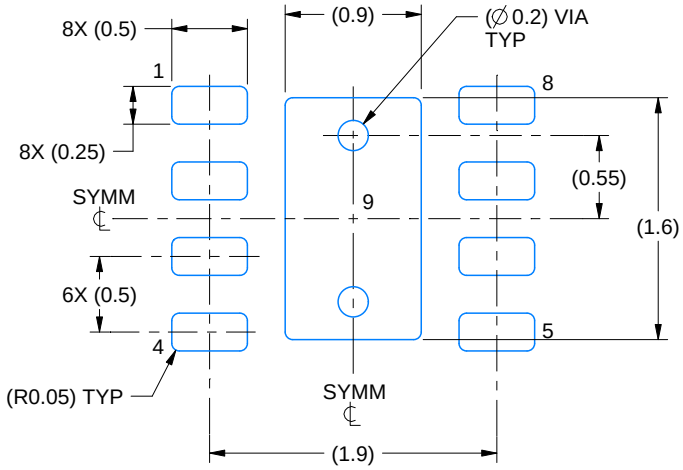
PLASTIC SMALL OUTLINE - NO LEAD



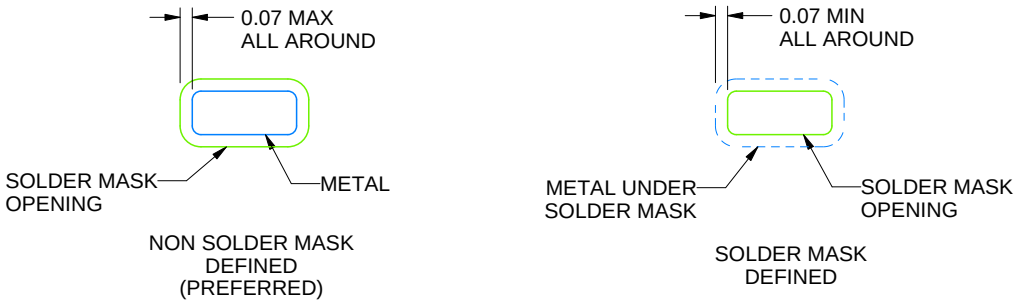
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

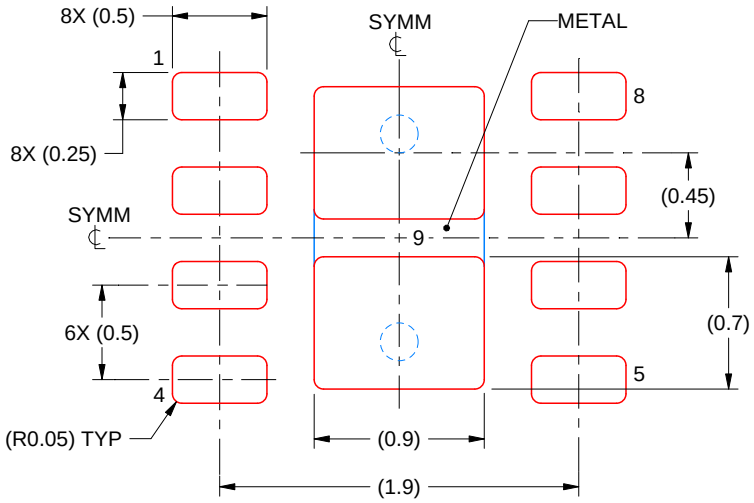


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

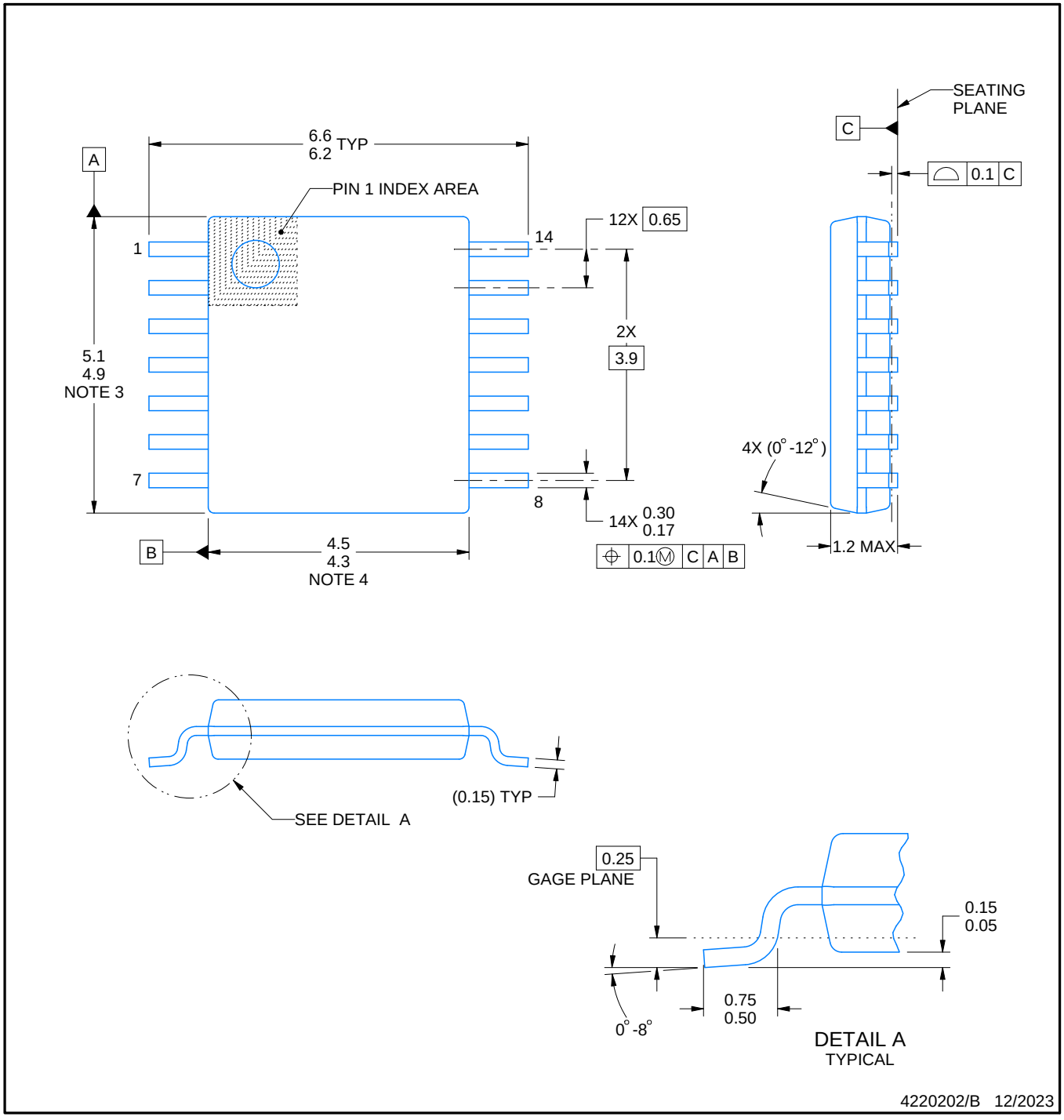
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

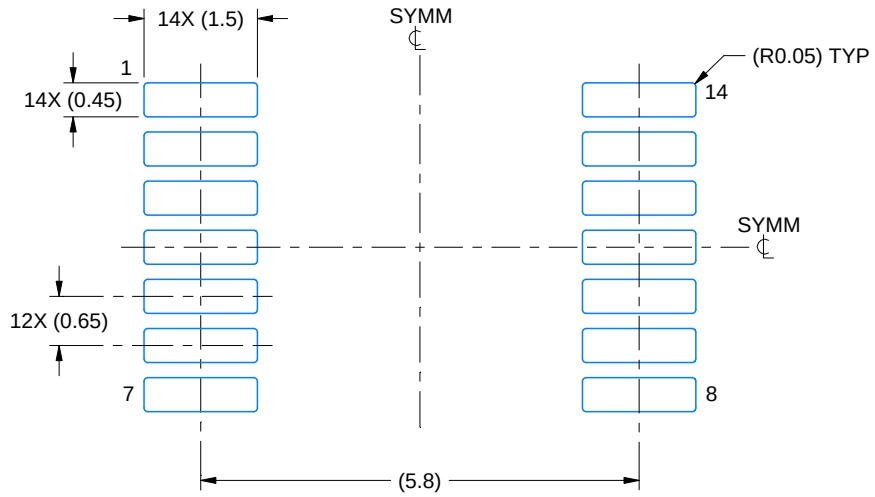
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

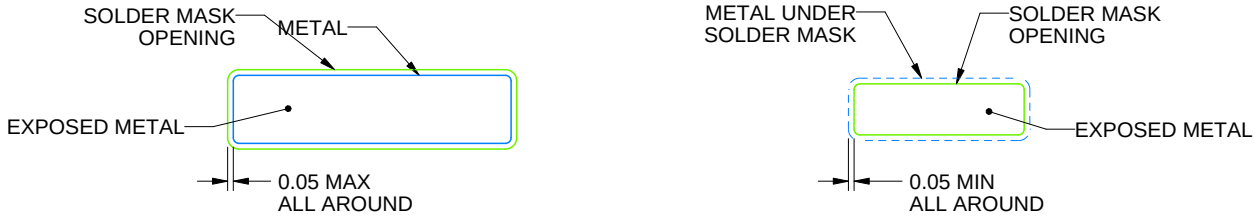


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

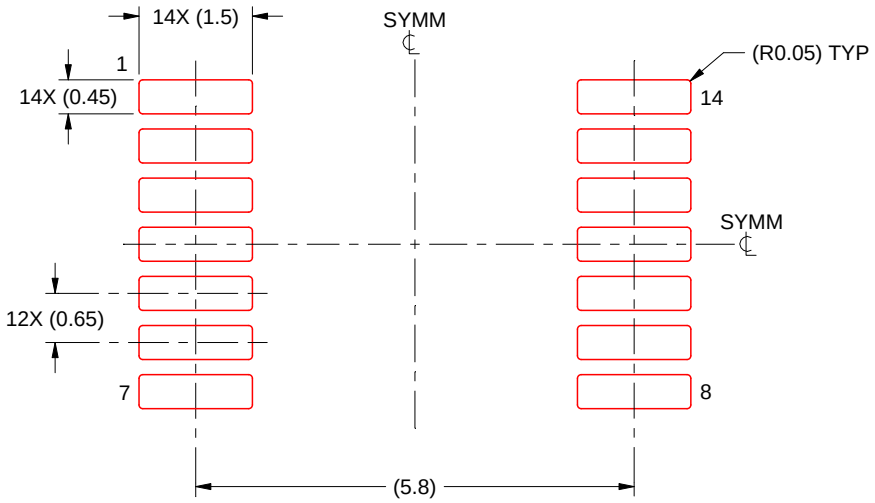


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

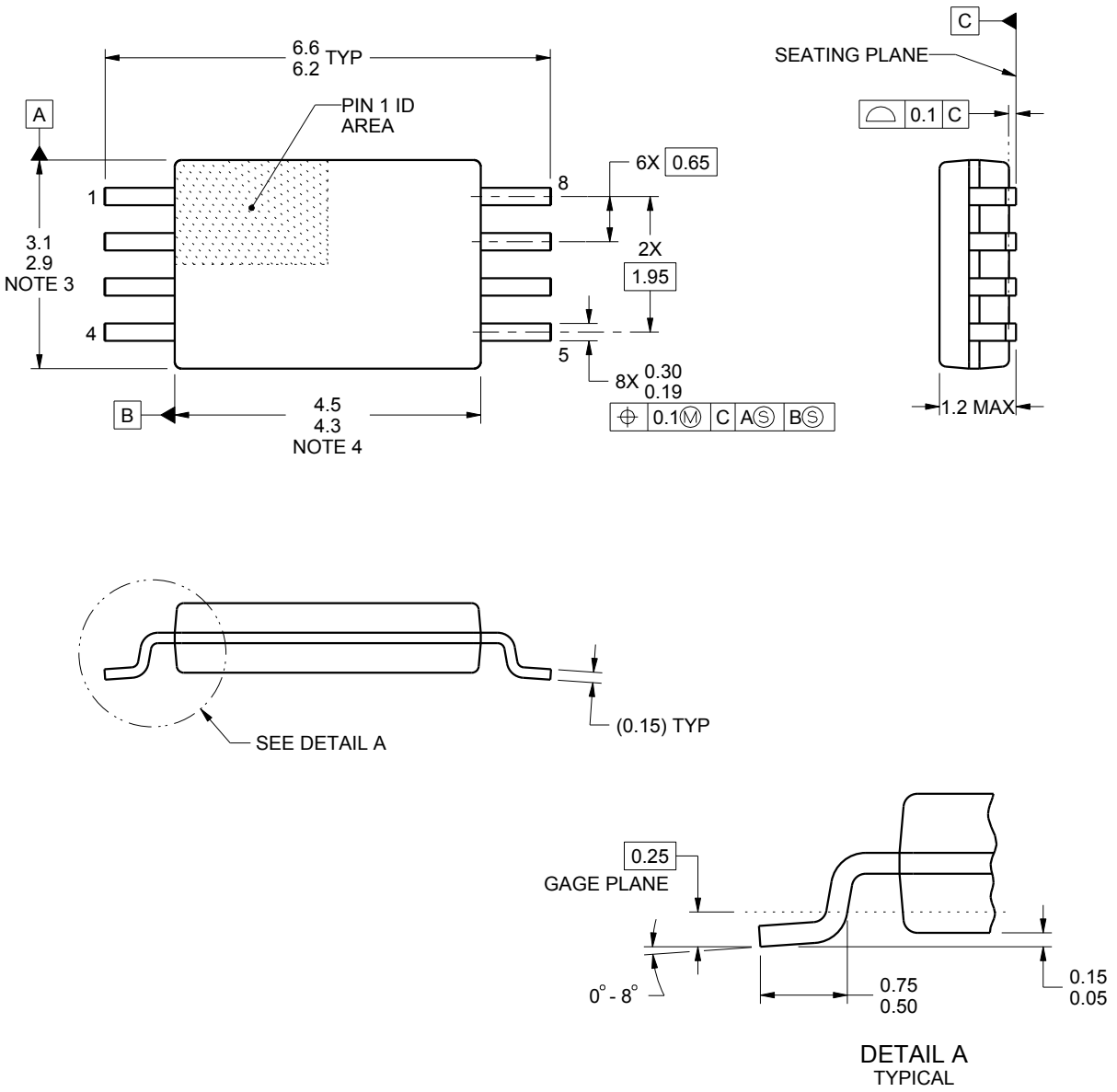
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

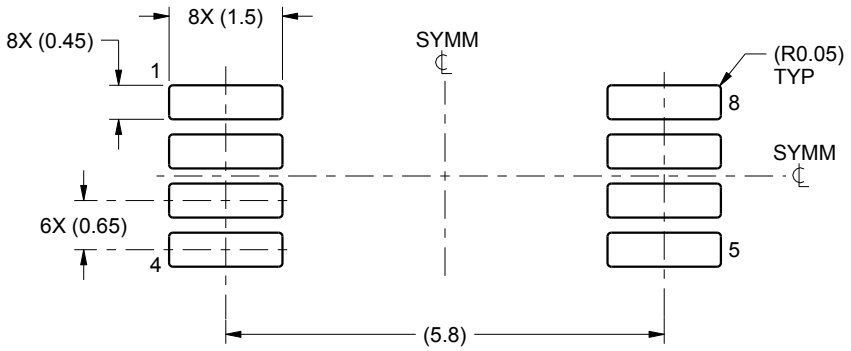
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

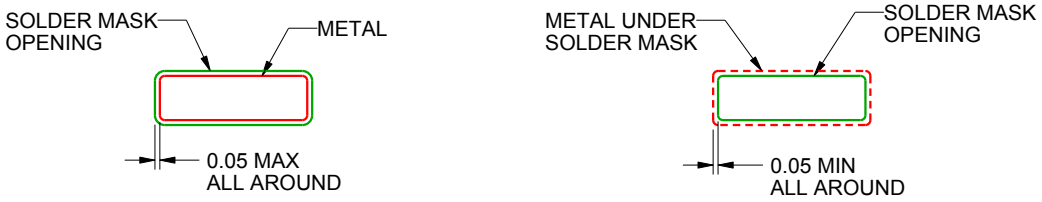


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

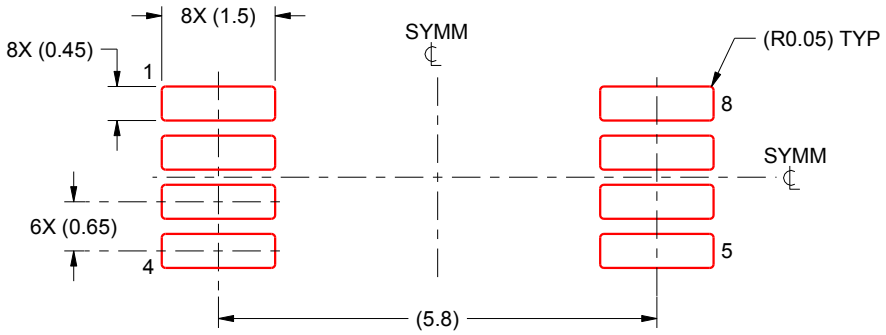


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

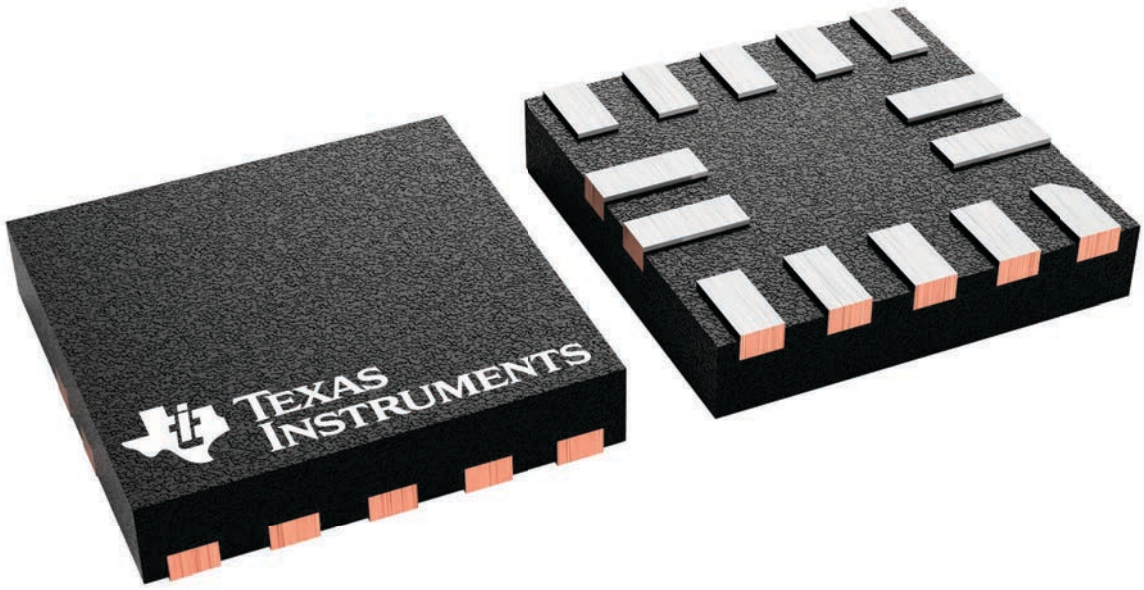
RUC 14

X2QFN - 0.4 mm max height

2 x 2, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

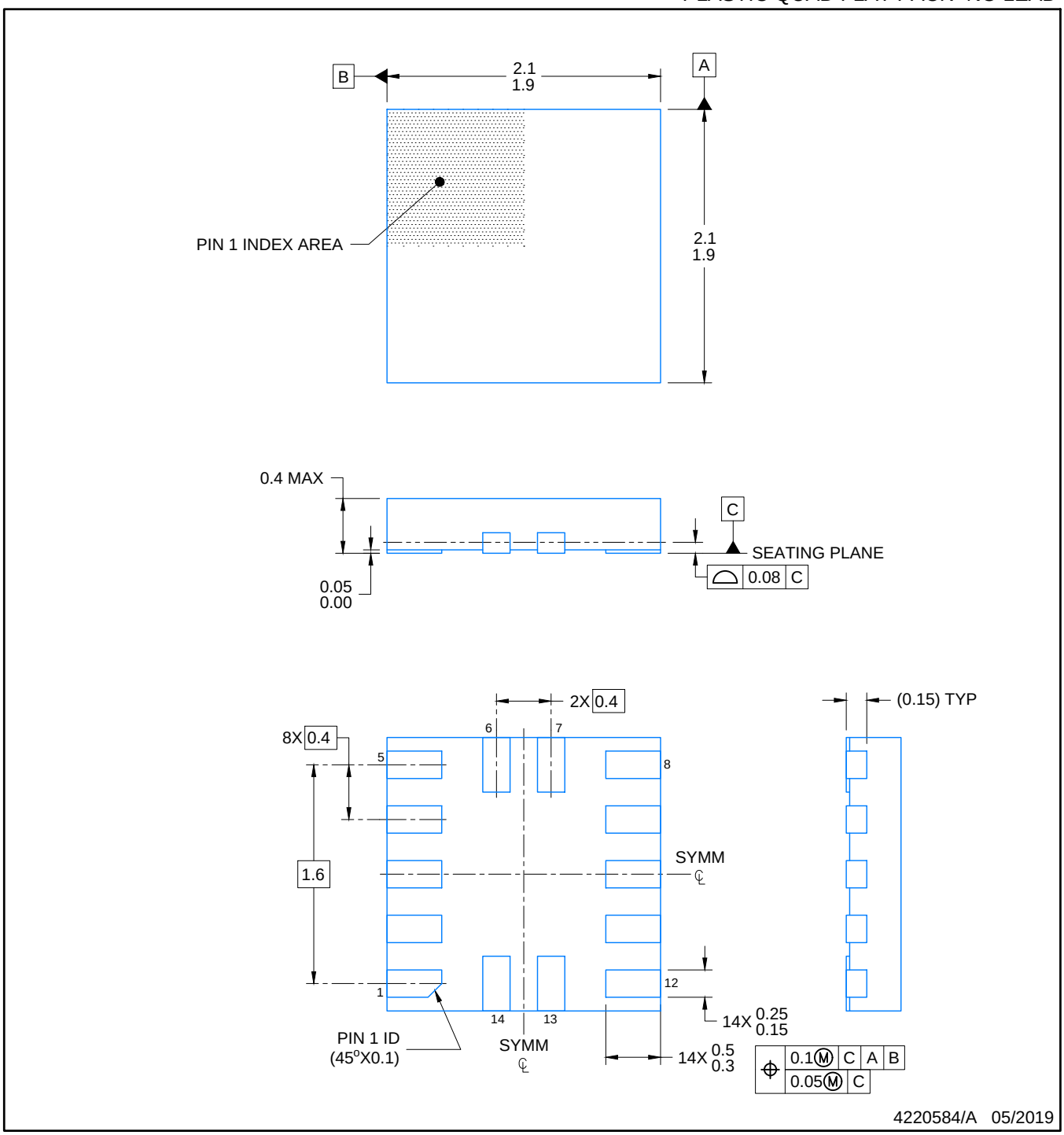


PACKAGE OUTLINE

RUC0014A

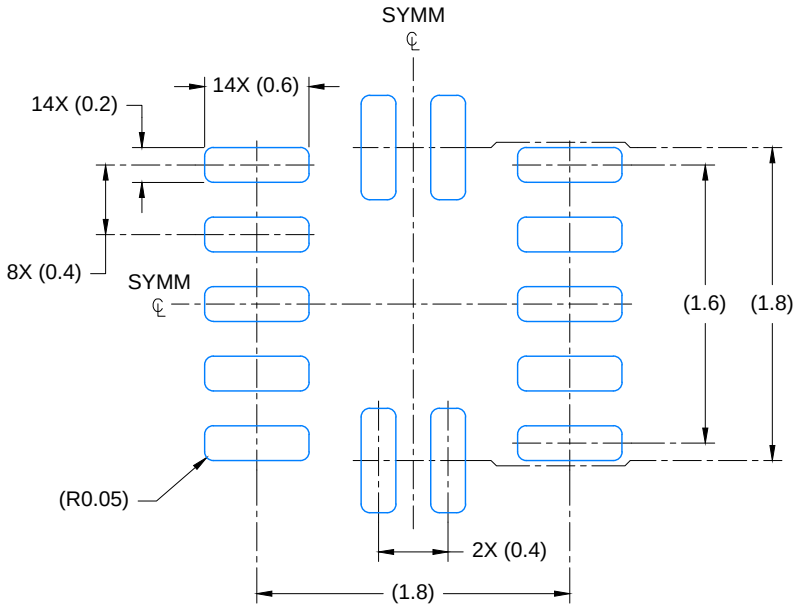
X2QFN - 0.4 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

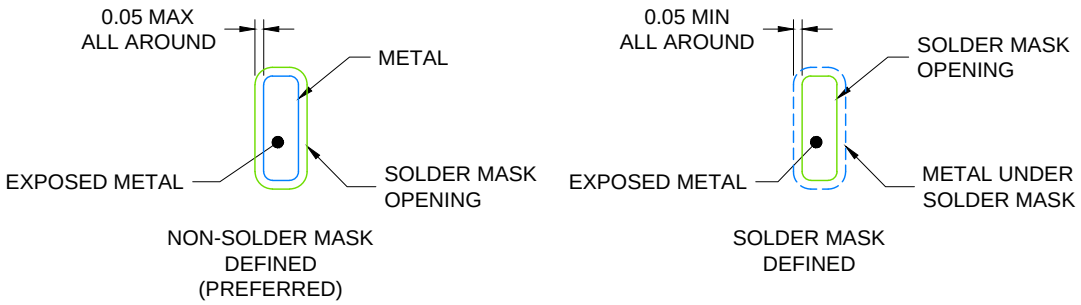


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 23X

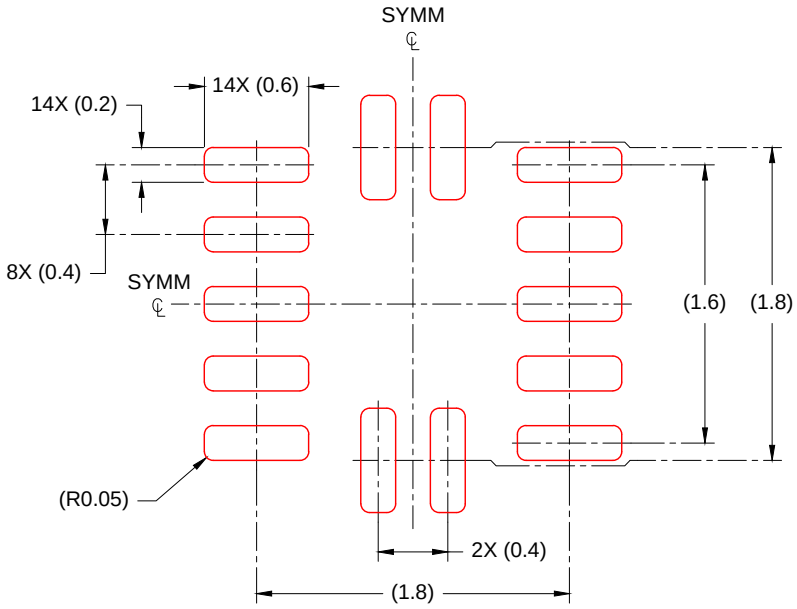


SOLDER MASK DETAILS

4220584/A 05/2019

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.100mm THICK STENCIL
SCALE: 23X

4220584/A 05/2019

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月