

TLV914x 18V、レール ツー レール入出力、110kHz 低消費電力 (6.6μA / チャネル) オペアンプ

1 特長

- 広い電源電圧範囲: 2.7V ~ 18V
- 低い静止電流: アンプあたり 6.6μA
- レール ツー レール入出力
- 低いオフセット電圧: $\pm 220\mu\text{V}$ (標準値)
- 低いオフセット電圧ドリフト: $\pm 0.65\mu\text{V}/^\circ\text{C}$ (標準値)
- 高 PSRR: 140dB (標準値)
- 広い帯域幅: 110kHz GBW、ユニティ ゲインで安定
- 大出力電流の駆動: $\pm 40\text{mA}$
- 低い 1/f フリッカーノイズ: $3.4\mu\text{Vp-p}$ ($f = 0.1\text{Hz} \sim 10\text{Hz}$)
- 大きい同相除去: 108dB
- 内部 RFI および EMI フィルタ付きの入力ピン
- 動作温度範囲: $-40^\circ\text{C} \sim 125^\circ\text{C}$

2 アプリケーション

- 煙感知器、熱感知器
- フィールドトランスミッタとセンサ
 - 流量トランスミッタ
 - 圧力トランスミッタ
 - 温度トランスミッタ
 - レベルトランスミッタ
- 血糖値測定器
- 酸素濃縮器
- IP ネットワーク カメラ
- モーション検出器

3 説明

TLV914x ファミリー (TLV9141、TLV9142、TLV9144) は、高電圧 (18V) レール ツー レール入出力 (RRIO) オペアンプのファミリーです。これらのデバイスは、チャネルあたり 6.6μA という低静止電流 (標準値) により、低消費電力アプリケーションで優れた性能を発揮します。

TLV914x ファミリーは、低いオフセット電圧 ($\pm 220\mu\text{V}$ 、標準値)、低いオフセット ドリフト ($\pm 0.65\mu\text{V}/^\circ\text{C}$ 、標準値)、40mA の短絡電流制限、140dB の高い PSRR、メイン入力ペア内の高電圧動作に対する 108dB の高い CMRR など、優れた DC 精度を提供します。また、これらのデバイスは、2.7V~18V の広い電源電圧範囲で動作します。これにより、TLV914x は高電圧産業用アプリケーション向けの柔軟かつ堅牢な高性能オペアンプになります。

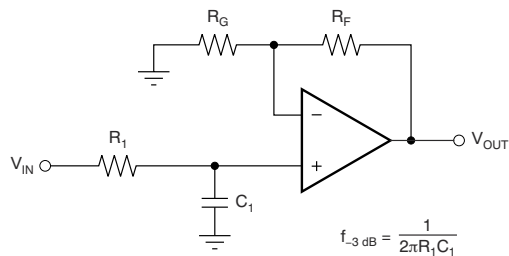
さらに、これらのデバイスは、110kHz のゲイン帯域幅積を備え、 $3.4\mu\text{V}_{\text{peak-to-peak}}$ (0.1Hz ~ 10Hz) という低い 1/f フリッカー ノイズを実現しています。このファミリーは、30 度以上の位相マージンを維持しつつ、ユニティ ゲインで小さな容量性負荷を直接駆動すること、またはより高いゲインで中程度の容量性負荷を駆動することができるように設計されています。TLV914x オペアンプ ファミリーは複数の業界標準パッケージで供給され、デバイスは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作温度が規定されています。

パッケージ情報

部品番号	チャネル数	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TLV9141	シングル	DBV (SOT-23, 5)	2.9mm × 2.8mm
		DCK (SC70, 5)	2mm × 2.1mm
		D (SOIC, 8)	4.9mm × 6mm
TLV9142	デュアル	D (SOIC, 8)	4.9mm × 6mm
		DDF (SOT-23, 8)	2.9mm × 2.8mm
		DGK (VSSOP, 8)	3mm × 4.9mm
		PW (TSSOP, 8)	3mm × 6.4mm
		RUG (X2QFN, 10)	1.5mm × 2mm
TLV9144	クワッド	D (SOIC, 14)	8.65mm × 6mm
		PW (TSSOP, 14)	5mm × 6.4mm
		N (PDIP, 14)	19.3mm × 7.94mm

- (1) 詳細については、を参照してください。 [セクション 10](#)
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





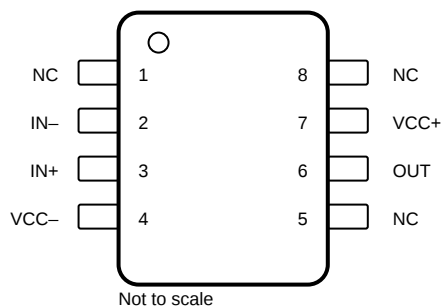
$$\frac{V_{\text{OUT}}}{V_{\text{IN}}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1 C_1}\right)$$

シングル ポールのローパス フィルタ

目次

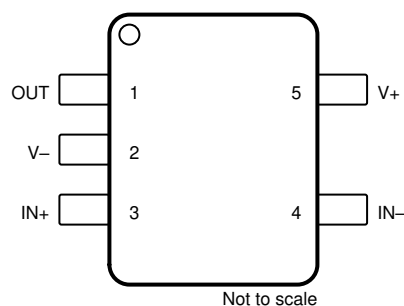
1 特長	1	6.4 デバイスの機能モード	26
2 アプリケーション	1	7 アプリケーションと実装	27
3 説明	1	7.1 使用上の注意.....	27
4 ピン構成および機能	4	7.2 代表的なアプリケーション.....	27
5 仕様	7	7.3 電源に関する推奨事項.....	28
5.1 絶対最大定格.....	7	7.4 レイアウト.....	29
5.2 ESD 定格.....	7	8 デバイスおよびドキュメントのサポート	32
5.3 推奨動作条件.....	7	8.1 デバイス サポート.....	32
5.4 シングル チャネルの熱に関する情報.....	8	8.2 ドキュメントのサポート.....	32
5.5 デュアル チャネルの熱に関する情報.....	8	8.3 ドキュメントの更新通知を受け取る方法.....	32
5.6 クワッド チャネルの熱に関する情報.....	8	8.4 サポート・リソース.....	32
5.7 電気的特性.....	9	8.5 商標.....	32
5.8 代表的特性.....	11	8.6 静電気放電に関する注意事項.....	33
6 詳細説明	19	8.7 用語集.....	33
6.1 概要.....	19	9 改訂履歴	33
6.2 機能ブロック図.....	19	10 メカニカル、パッケージ、および注文情報	33
6.3 機能説明.....	20		

4 ピン構成および機能

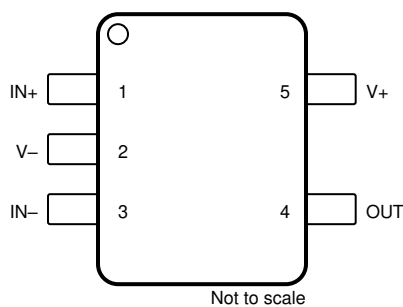


NC - 内部接続なし

**図 4-1. TLV9141 D パッケージ
8 ピン SOIC
(上面図)**



**図 4-2. TLV9141 パッケージ
5 ピン SOT-23
(上面図)**



**図 4-3. TLV9141 DCK パッケージ
5 ピン SC70
(上面図)**

表 4-1. ピンの機能 : TLV9141

名称	ピン			タイプ ⁽¹⁾	説明
	D	DBV	DCK		
IN-	2	4	3	I	反転入力
IN+	3	3	1	I	非反転入力
NC	1、5、8	—	—	—	接続しない
OUT	6	1	4	O	出力
V-	4	2	2	—	負 (最低) 電源
V+	7	5	5	—	正 (最高) 電源

(1) I = 入力、O = 出力

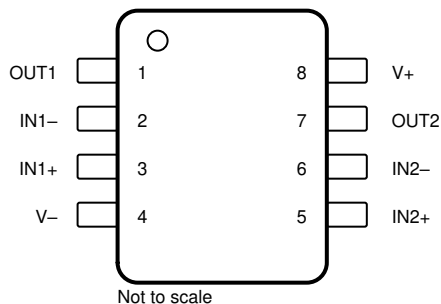
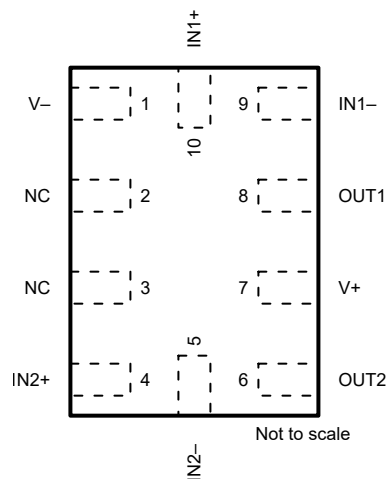


図 4-4. TLV9142 D、DDF、DGK、PW、N パッケージ、
8 ピン SOIC、TSSOP、PDIP
(上面図)



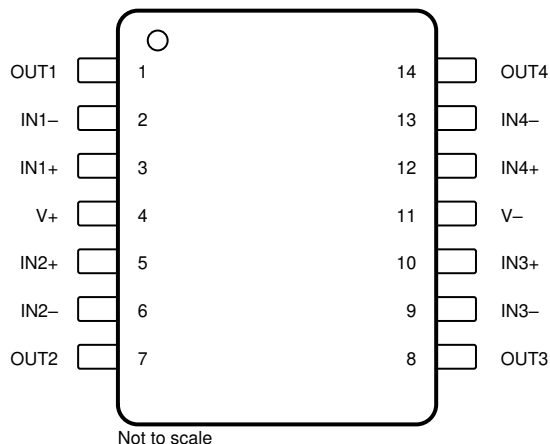
NC - 内部接続なし

図 4-5. TLV9142 RUG パッケージ、
10 ピン X2QFN
(上面図)

表 4-2. ピンの機能 : TLV9142

ピン			タイプ ⁽¹⁾	説明
名称	D、DDF、 DGK、PW、 N	RUG		
IN1+	3	10	I	非反転入力、チャンネル 1
IN1-	2	9	I	反転入力、チャンネル 1
IN2+	5	4	I	非反転入力、チャンネル 2
IN2-	6	5	I	反転入力、チャンネル 2
NC	—	2、3	—	接続しない
OUT1	1	8	O	出力、チャンネル 1
OUT2	7	6	O	出力、チャンネル 2
V+	8	7	—	正 (最高) 電源
V-	4	1	—	負 (最低) 電源

(1) I = 入力、O = 出力



**図 4-6. TLV9144 D および PW パッケージ
14 ピン SOIC および TSSOP
(上面図)**

表 4-3. ピンの機能 : TLV9144

ピン		タイプ ⁽¹⁾	説明
名称	番号		
IN1+	3	I	非反転入力、チャンネル 1
IN1–	2	I	反転入力、チャンネル 1
IN2+	5	I	非反転入力、チャンネル 2
IN2–	6	I	反転入力、チャンネル 2
IN3+	10	I	非反転入力、チャンネル 3
IN3–	9	I	反転入力、チャンネル 3
IN4+	12	I	非反転入力、チャンネル 4
IN4–	13	I	反転入力、チャンネル 4
OUT1	1	O	出力、チャンネル 1
OUT2	7	O	出力、チャンネル 2
OUT3	8	O	出力、チャンネル 3
OUT4	14	O	出力、チャンネル 4
V+	4	—	正 (最高) 電源
V–	11	—	負 (最低) 電源

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$		0	20	V
信号入力ピン	同相電圧 ⁽³⁾	$(V-) - 0.5$	$(V+) + 0.5$	V
	差動電圧 ⁽³⁾		$V_S + 0.2$	V
	電流 ⁽³⁾	-10	10	mA
出力短絡 ⁽²⁾		連続		
動作時周囲温度、 T_A		-55	150	°C
接合部温度、 T_J			150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に記載された範囲を超えるその他のいかなる条件においても、デバイスの機能動作を保証するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。デバイスは、過剰な出力電流による電氣的損傷を抑えるように設計されていますが、特に電源電圧が高い場合に短絡電流が増加すると過熱が発生し、最終的には熱破壊を引き起こす可能性があります。
- (3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超えることが想定される場合は、電流を 10mA 以下に制限する必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、 $(V+) - (V-)$	2.7	18	V
V_I	入力電圧範囲	$(V-) - 0.2$	$(V+) + 0.2$	V
T_A	規定温度	-40	125	°C

5.4 シングル チャネルの熱に関する情報

熱評価基準 ⁽¹⁾		TLV9141			単位
		D (SOIC)	DBV (SOT-23)	DCK (SC70)	
		8 ピン	5 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	139.2	196.7	213.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	77.9	94.1	130.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	88.4	63.3	72.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	24.2	30.8	39.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	87.2	62.9	72.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、「[半導体および IC パッケージの熱評価基準](#)」アプリケーション ノートを参照してください。

5.5 デュアル チャネルの熱に関する情報

熱評価基準 ⁽¹⁾		TLV9142					単位
		D (SOIC)	DDF (SOT-23)	DGK (VSSOP)	PW (TSSOP)	RUG (X2QFN)	
		8 ピン	8 ピン	8 ピン	8 ピン	10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	129.2	136.2	156.6	162.2	136.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	68.2	63.7	62.2	67.1	50.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	78.5	63.8	88.1	101.4	71.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	17.0	4.4	7.3	7.2	1.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	77.4	63.4	87.3	99.8	70.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、「[半導体および IC パッケージの熱評価基準](#)」アプリケーション ノートを参照してください。

5.6 クワッド チャネルの熱に関する情報

熱評価基準 ⁽¹⁾		TLV9144			単位
		PW (TSSOP)	D (SOIC)	N (PDIP)	
		14 ピン	14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	114.2	90.4	72.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	44.7	50.6	50.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	70.0	48.5	46.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.6	11.6	28.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	69.3	48.0	45.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.7 電気的特性

$V_S = (V+) - (V-) = 2.7V \sim 18V$ ($\pm 1.35V \sim \pm 9V$)、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$ の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	V _{CM} = V ₋		±0.220	±1	mV	
			T _A = -40℃ ～ 125℃		±1.5	mV	
dV _{OS} /dT	入力オフセット電圧ドリフト		T _A = -40℃ ～ 125℃	±0.65		μV/℃	
PSRR	入力オフセット電圧と電源との関係	V _{CM} = V ₋ 、V _S = 5V ～ 18V	T _A = -40℃ ～ 125℃	±0.112	±1	μV/V	
				139	115	dB	
		V _{CM} = V ₋ 、V _S = 2.7V～18V ⁽¹⁾	T _A = -40℃ ～ 125℃	±0.1	±1.8	μV/V	
				140	114	dB	
	チャンネル セパレーション	f = 0Hz		5		μV/V	
				106		dB	
入力バイアス電流							
I _B	入力バイアス電流 ^{(1) (2)}			±0.5	±10	pA	
I _{OS}	入力オフセット電流 ^{(1) (2)}			±0.5	±10	pA	
ノイズ							
E _N	入力電圧ノイズ	f = 0.1Hz～10Hz		3.4		μV _{PP}	
				0.5		μV _{RMS}	
e _N	入力電圧ノイズ密度	f = 1kHz		50		nV/√Hz	
i _N	入力電流ノイズ	f = 1kHz		10		fA/√Hz	
入力電圧範囲							
V _{CM}	同相電圧範囲			(V ₋) - 0.2	(V ₊) + 0.2	V	
CMRR	同相信号除去比	V _S = 18V、(V ₋) - 0.1V < V _{CM} < (V ₊) - 2V (メイン入力ペア)		99	108	dB	
			T _A = -40℃ ～ 125℃	99			
		V _S = 5V、(V ₋) - 0.1V < V _{CM} < (V ₊) - 2V (メイン入力ペア)		86	94		
			T _A = -40℃ ～ 125℃	85			
		V _S = 2.7V、(V ₋) - 0.1V < V _{CM} < (V ₊) - 2V (メイン入力ペア) ⁽¹⁾		75	85		
			T _A = -40℃ ～ 125℃	74			
		V _S = 2.7V ～ 18V、(V ₊) - 1V < V _{CM} < (V ₊) + 0.1V (補助入力ペア) ⁽¹⁾		95			
			T _A = -40℃ ～ 125℃	72			
V _S = 18V、(V ₋) - 0.2V < V _{CM} < (V ₊) + 0.2V (両方の入力ペア) ⁽¹⁾		80	91				
	T _A = -40℃ ～ 125℃	79					
	(V ₊) - 2V < V _{CM} < (V ₊) - 1V	T _A = -40℃ ～ 125℃	「入力オフセット電圧と同相電圧との関係」を参照				
入力容量							
Z _{ID}	差動			500 3		GΩ pF	
Z _{ICM}	同相			5 1		TΩ pF	

5.7 電気的特性 (続き)

$V_S = (V+) - (V-) = 2.7V \sim 18V$ ($\pm 1.35V \sim \pm 9V$), $T_A = 25^\circ C$, $R_L = 10k\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A _{OL}	開ループ電圧ゲイン	V _S = 18V、V _{CM} = V _− 、 (V _−) + 0.1V < V _O < (V ₊) − 0.1V		110	135	dB	
			T _A = −40°C ∼ 125°C		125		
		V _S = 5V、V _{CM} = V _− 、 (V _−) + 0.1V < V _O < (V ₊) − 0.1V		105	130		
			T _A = −40°C ∼ 125°C		125		
		V _S = 2.7V、V _{CM} = V _− 、 (V _−) + 0.1V < V _O < (V ₊) − 0.1V ⁽¹⁾		100	120		
			T _A = −40°C ∼ 125°C		115		
周波数応答							
GBW	ゲイン帯域幅積	R _L = 1MΩ			110		kHz
SR	スルーレート	V _S = 18V、G = +1、C _L = 20pF			0.1		V/μs
t _s	セトリング タイム	0.01% まで、V _S = 18V、V _{STEP} = 10V、G = +1、C _L = 20pF			135		μs
		0.01% まで、V _S = 18V、V _{STEP} = 2V、G = +1、C _L = 20pF			68		
		0.1% まで、V _S = 18V、V _{STEP} = 10V、G = +1、C _L = 20pF			121		
		0.1% まで、V _S = 18V、V _{STEP} = 2V、G = +1、C _L = 20pF			51		
PM	位相マージン	G = +1、R _L = 1MΩ、C _L = 20pF			50		°
t _{overload}	過負荷回復時間	V _{IN} × ゲイン > V _S			35		μs
THD+N	全高調波歪み + ノイズ ⁽³⁾	V _S = 18V、V _O = 1V _{RMS} 、G = 1、f = 1kHz、R _L = 1MΩ			0.02		%
					73		dB
		V _S = 18V、V _O = 1V _{RMS} 、G = 1、f = 1kHz、R _L = 100kΩ			0.07		%
					63		dB
出力							
	電圧出力スイング (レールから)	正および負のレールのヘッドルーム	V _S = 18V、R _L = 無負荷 ⁽¹⁾		5	10	mV
			V _S = 18V、R _L = 10kΩ		50	60	
			V _S = 18V、R _L = 2kΩ		266	300	
			V _S = 2.7V、R _L = 無負荷 ⁽¹⁾		1	5	
			V _S = 2.7V、R _L = 10kΩ		12	20	
			V _S = 2.7V、R _L = 2kΩ		58	80	
I _{SC}	短絡電流				±40		mA
C _{LOAD}	容量性負荷駆動能力			「位相マージンと容量性負荷との関係」を参照			pF
Z _O	オープン ループ出力インピーダンス	I _O = 0A		「開ループの出力インピーダンスと周波数との関係」を参照			Ω
電源							
I _Q	アンプごとの静止電流	V _{CM} = V _− 、I _O = 0A			6.6	9	μA
			T _A = −40°C ∼ 125°C			9.5	

(1) 最大値は特性評価のみによって規定されています。

(2) 入力差動電圧が 2.5V を超えると、 I_B が増加する可能性があります。

(3) 3 次フィルタ、-3dB で帯域幅 = 80kHz。

5.8 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = \pm 9\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

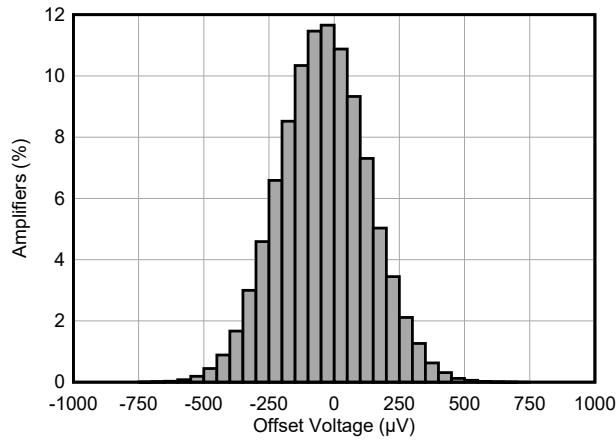


図 5-1. オフセット電圧の生産分布

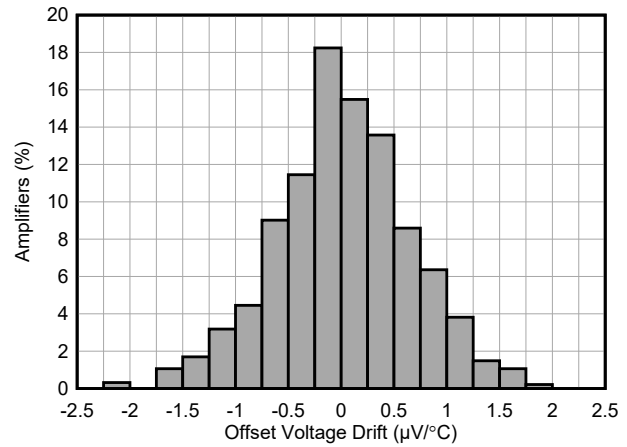


図 5-2. オフセット電圧ドリフトの分布

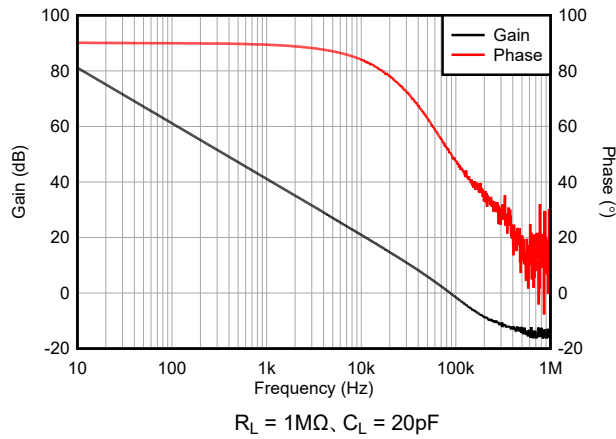


図 5-3. 開ループゲインおよび位相と周波数との関係

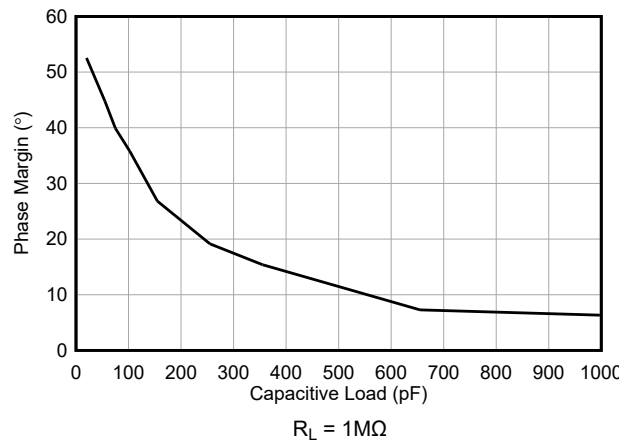


図 5-4. 位相マージンと容量性負荷との関係

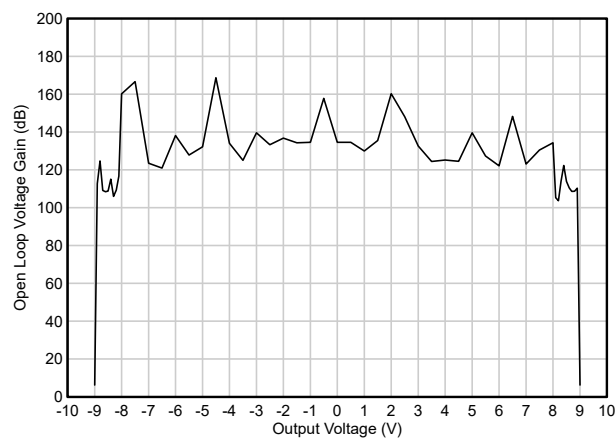


図 5-5. 開ループゲインと出力電圧との関係

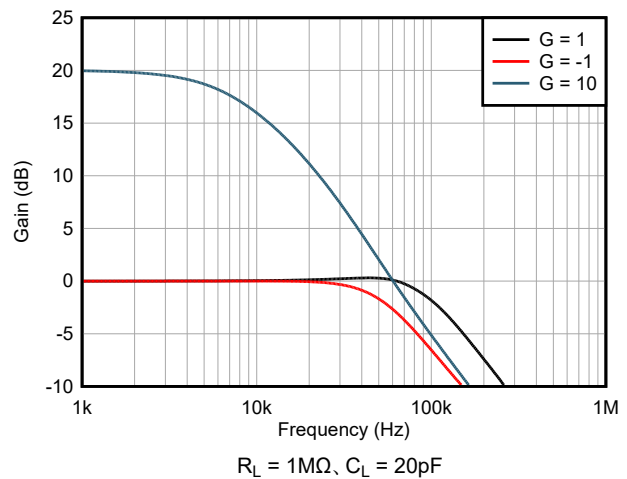


図 5-6. 閉ループゲインと周波数との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 9\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

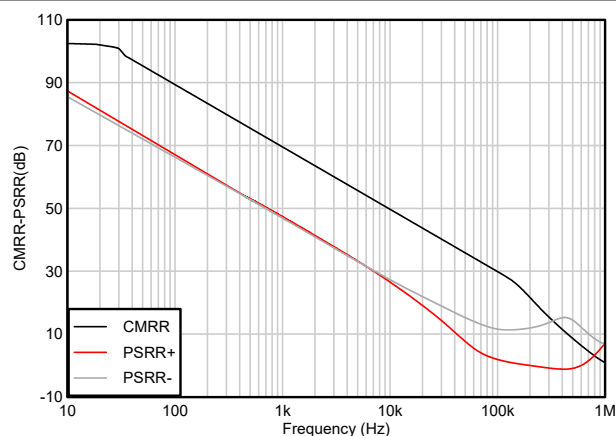


図 5-7. CMRR および PSRR と周波数との関係

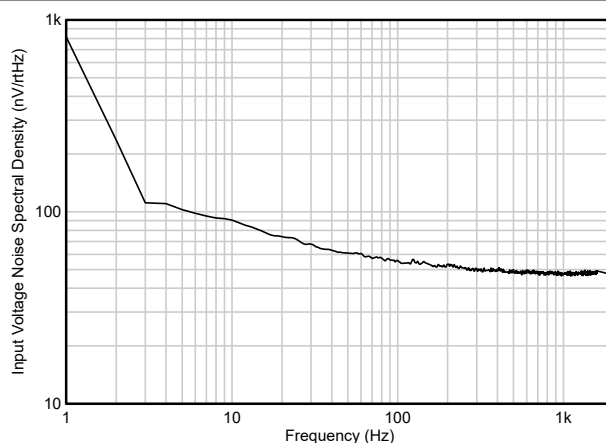
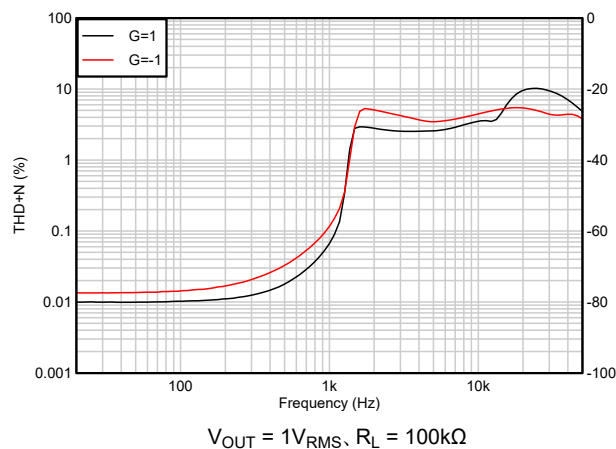
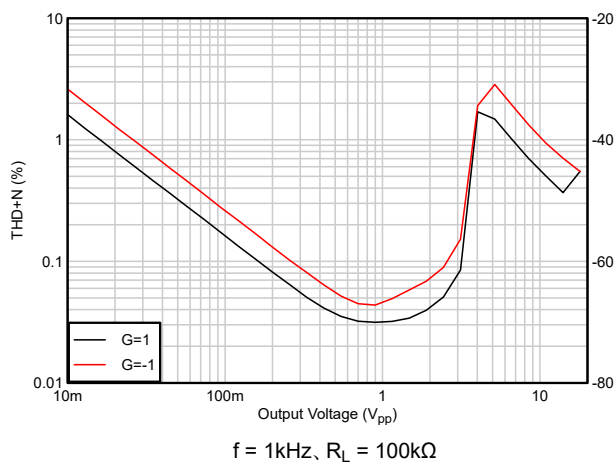


図 5-8. 入力電圧ノイズ密度と周波数との関係



$V_{OUT} = 1V_{RMS}$, $R_L = 100\text{k}\Omega$

図 5-9. THD+N と周波数との関係



$f = 1\text{kHz}$, $R_L = 100\text{k}\Omega$

図 5-10. THD+N と出力電圧との関係

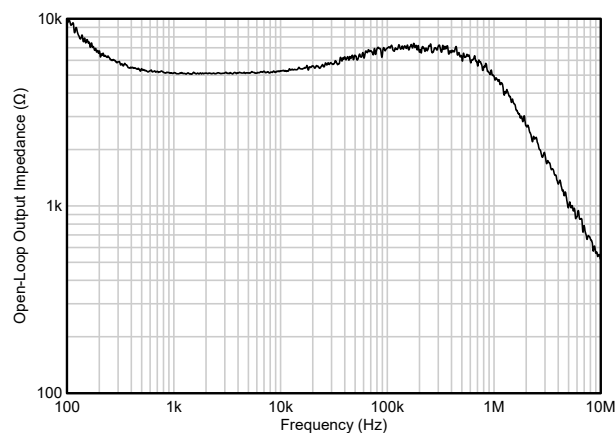


図 5-11. 開ループ出力インピーダンスと周波数との関係

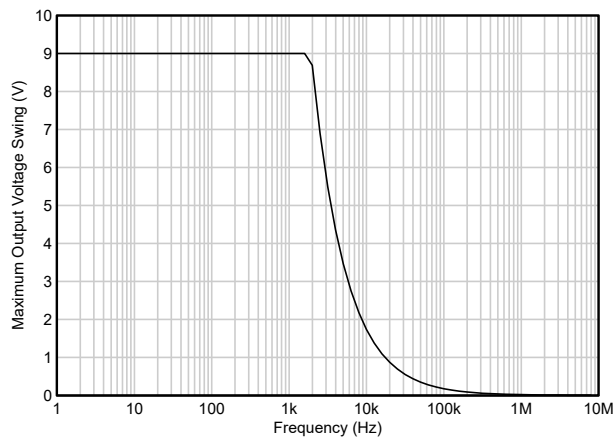


図 5-12. 最大出力電圧と周波数との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 9\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

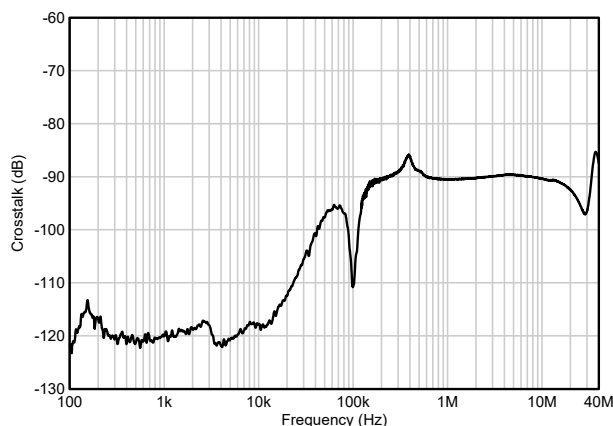


図 5-13. クロストークと周波数との関係

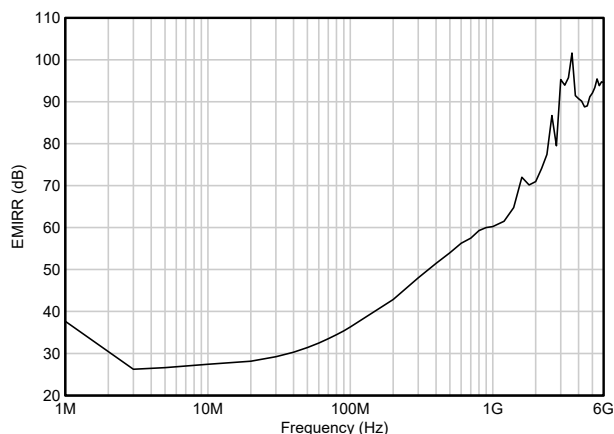


図 5-14. EMIRR と周波数との関係

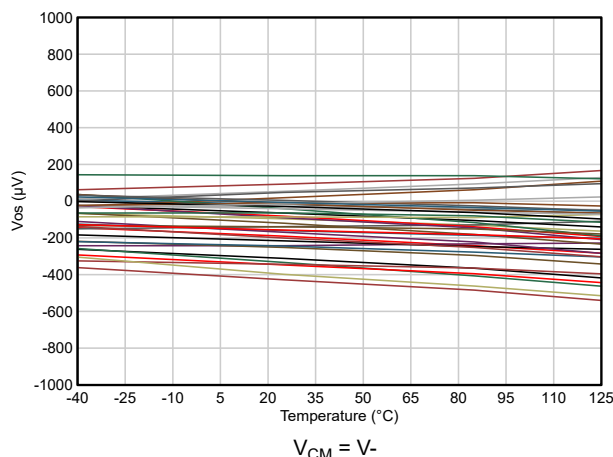


図 5-15. 入力オフセット電圧と温度との関係

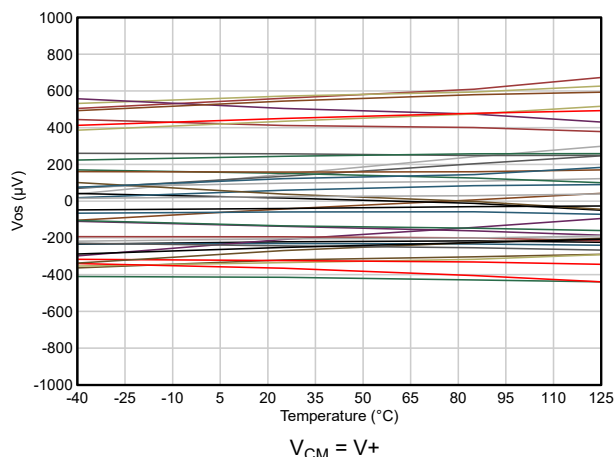


図 5-16. 入力オフセット電圧と温度との関係

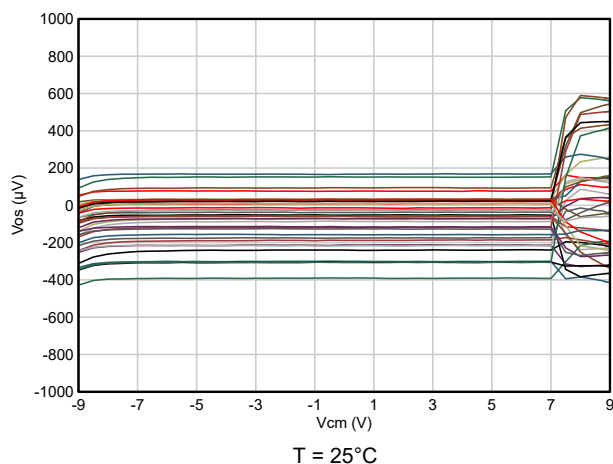


図 5-17. 入力オフセット電圧と同相電圧との関係

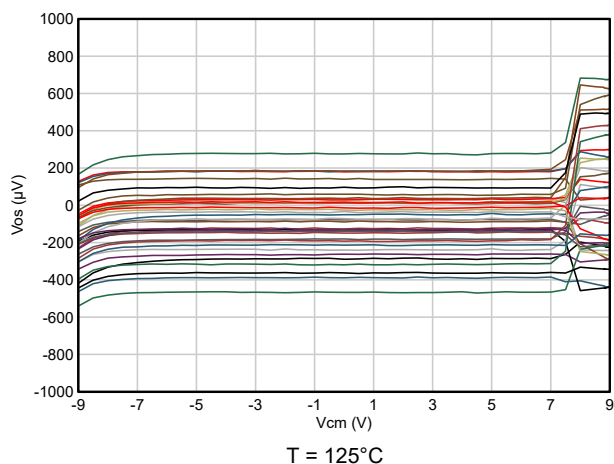


図 5-18. 入力オフセット電圧と同相電圧との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 9\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

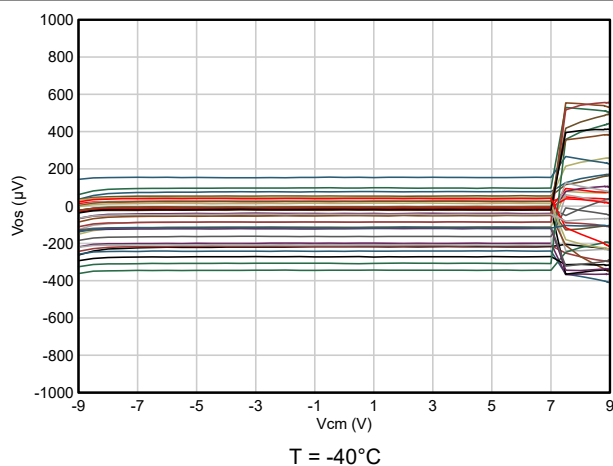


図 5-19. 入力オフセット電圧と同相電圧との関係

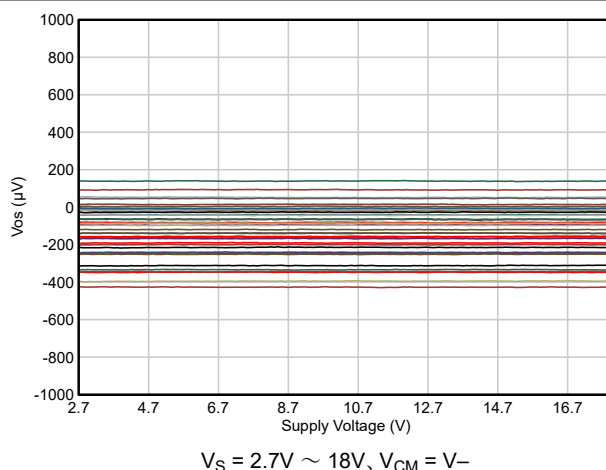


図 5-20. 入力オフセット電圧と電源電圧との関係

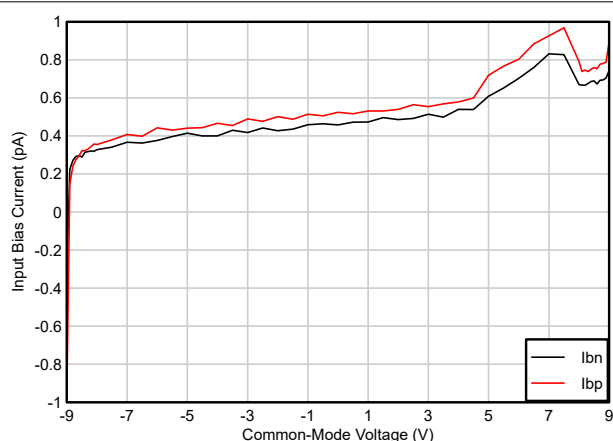


図 5-21. 入力バイアス電流と同相電圧との関係

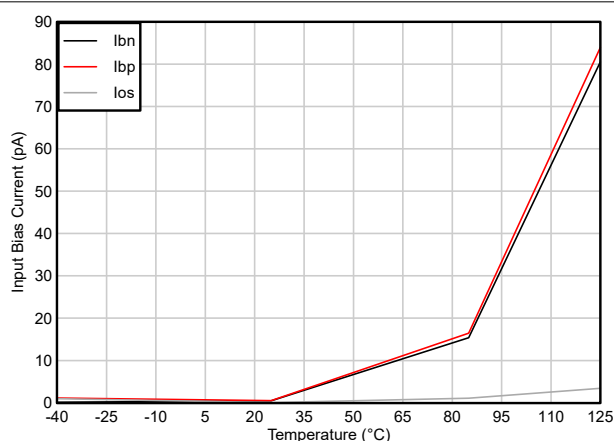


図 5-22. 入力バイアス電流と温度との関係

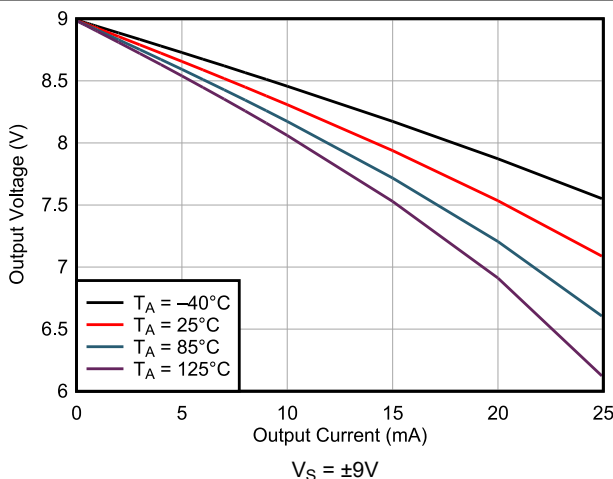


図 5-23. 出力電圧スイングと出力電流との関係 (ソース)

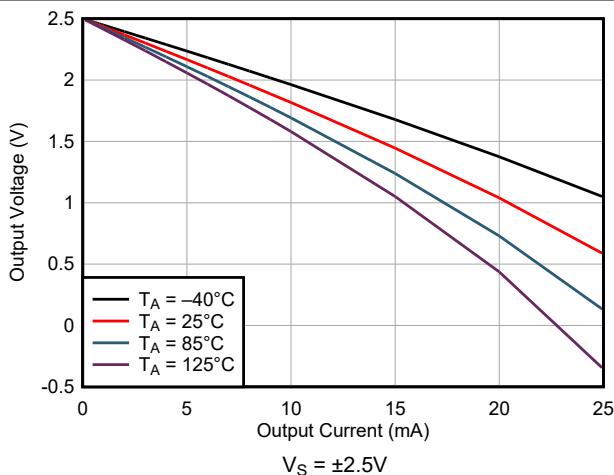


図 5-24. 出力電圧スイングと出力電流との関係 (ソース)

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 9\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

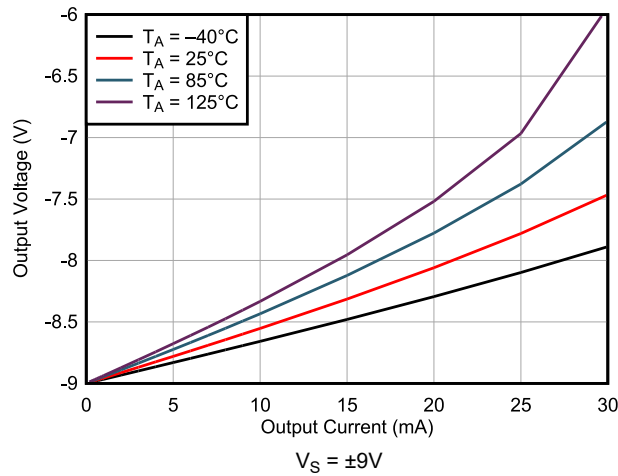


図 5-25. 出力電圧スイングと出力電流との関係 (シンク)

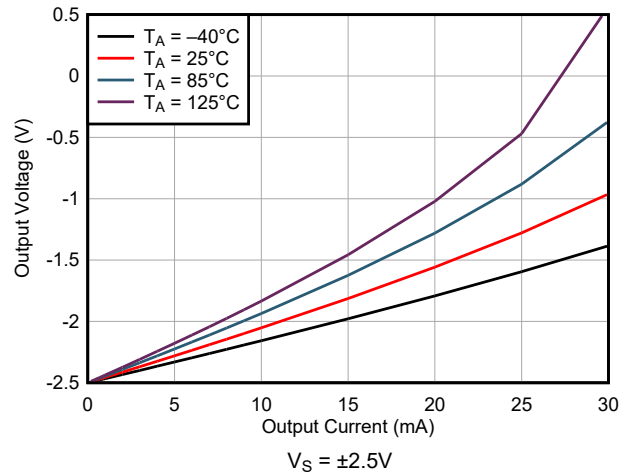


図 5-26. 出力電圧スイングと出力電流との関係 (シンク)

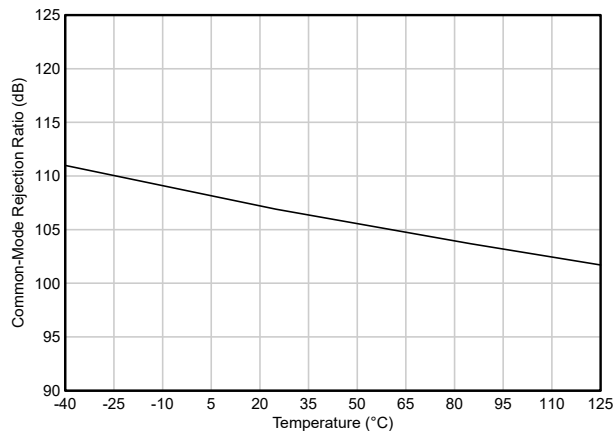


図 5-27. 同相除去比と温度との関係

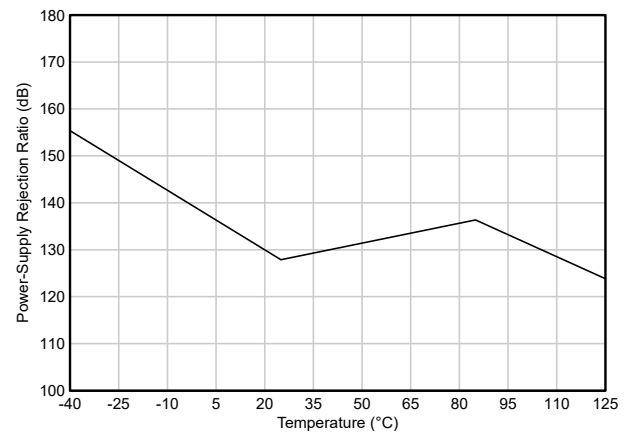


図 5-28. 電源除去比と温度との関係

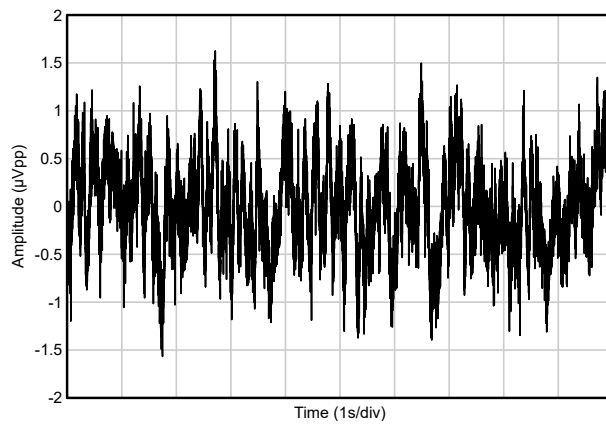


図 5-29. 0.1Hz~10Hz の積分電圧ノイズ

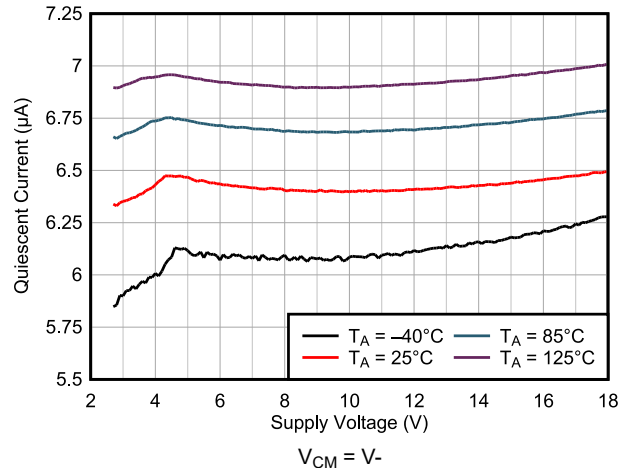


図 5-30. 静止電流と電源電圧との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 9\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

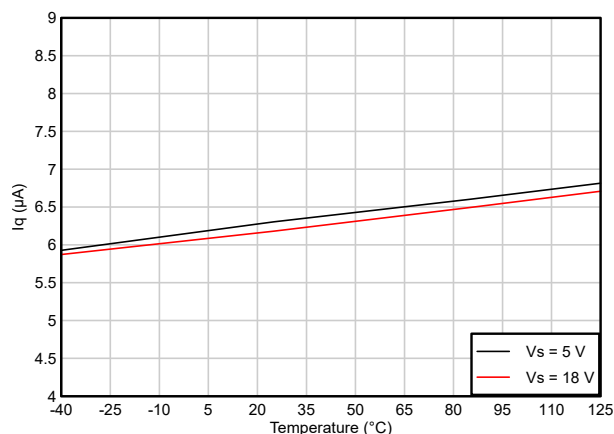


図 5-31. 静止電流と温度との関係

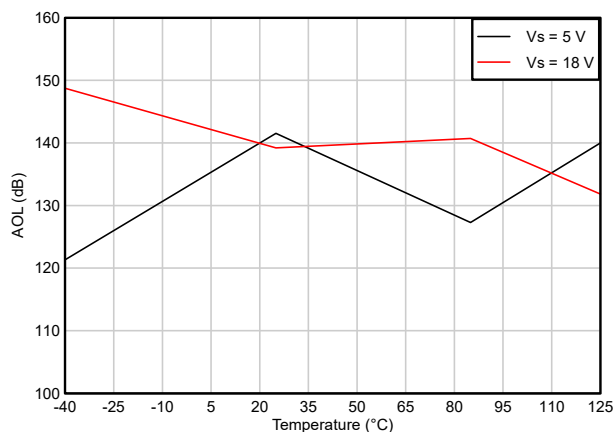
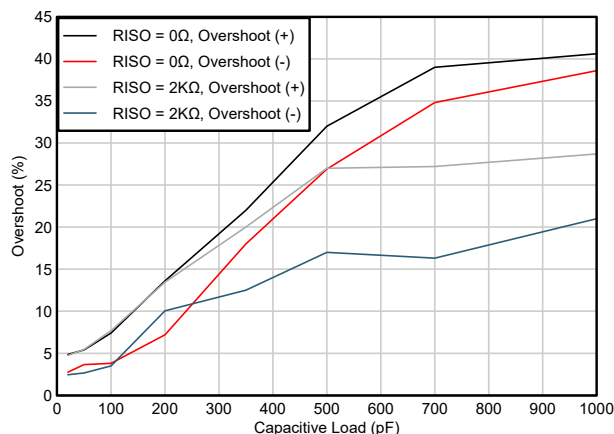
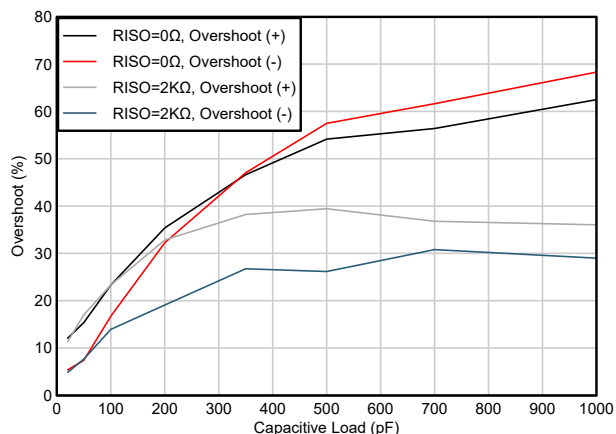


図 5-32. 開ループゲインと温度との関係



$G = 1$ 、 $V_{OUT} = 10\text{mV}_{PP}$

図 5-33. 小信号オーバーシュートと容量性負荷との関係



$G = -1$ 、 $V_{OUT} = 10\text{mV}_{PP}$

図 5-34. 小信号オーバーシュートと容量性負荷との関係

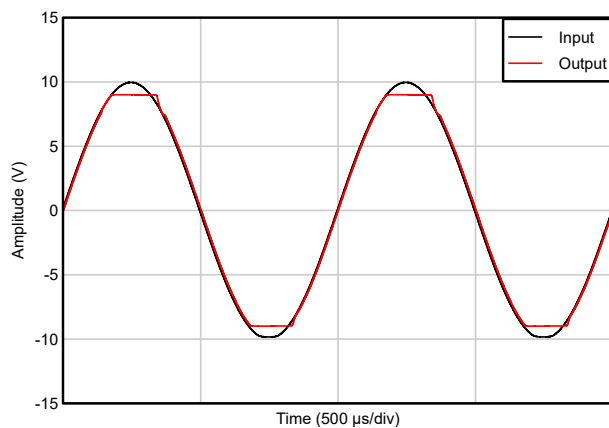


図 5-35. 位相反転が発生しない

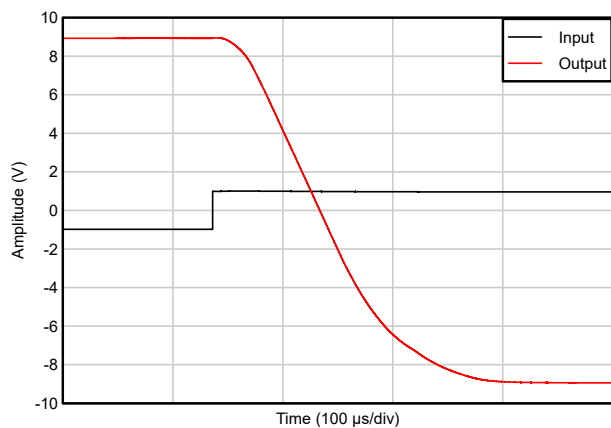


図 5-36. 過負荷復帰 (正)

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 9\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

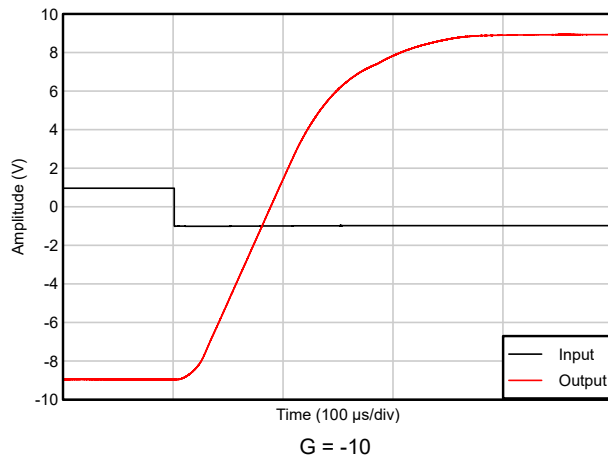


図 5-37. 過負荷復帰 (負)

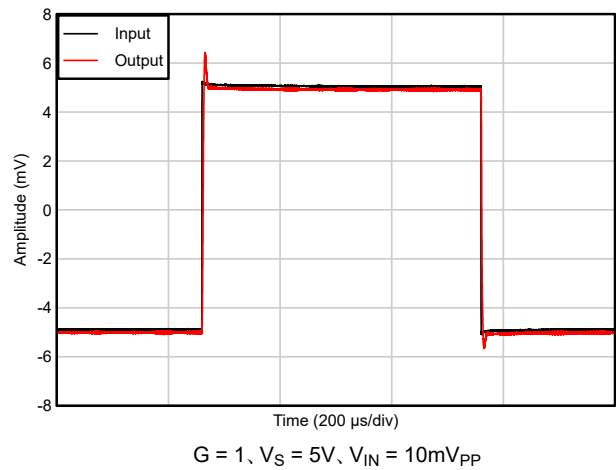


図 5-38. 小信号ステップ応答

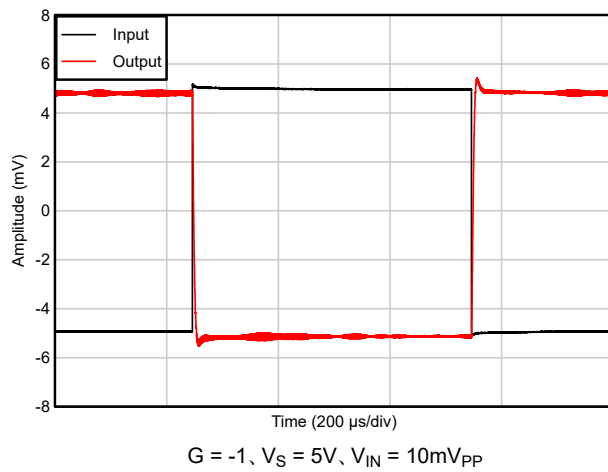


図 5-39. 小信号ステップ応答

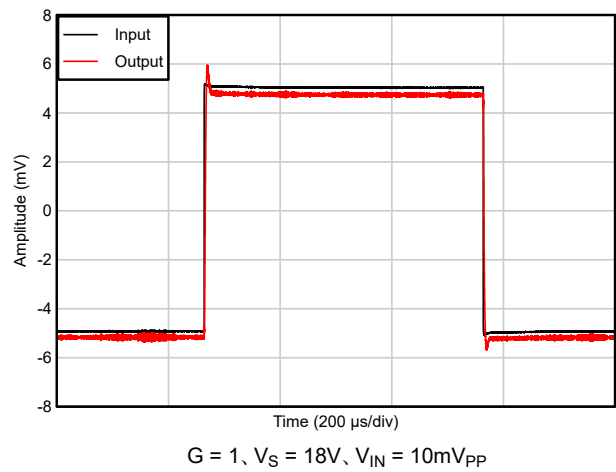


図 5-40. 小信号ステップ応答

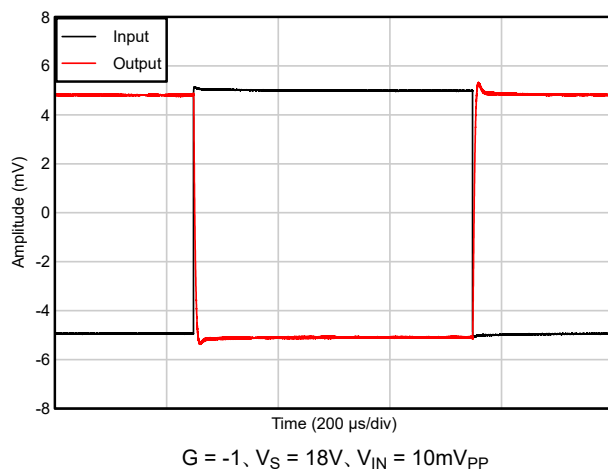


図 5-41. 小信号ステップ応答

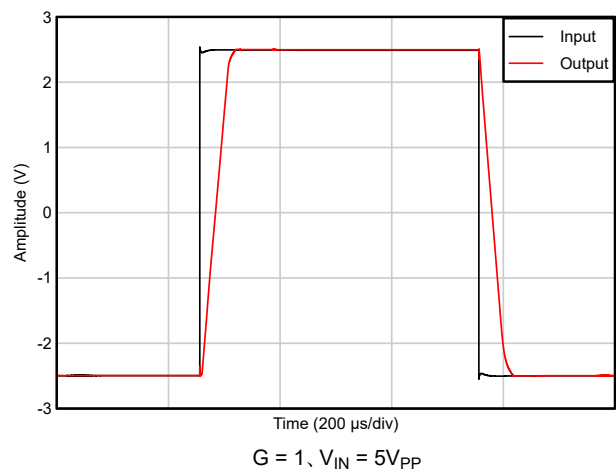


図 5-42. 大信号ステップ応答

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 9\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ (特に記述のない限り)

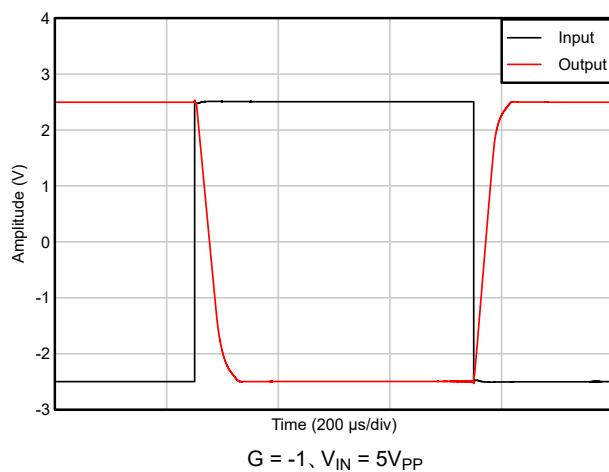


図 5-43. 大信号ステップ応答

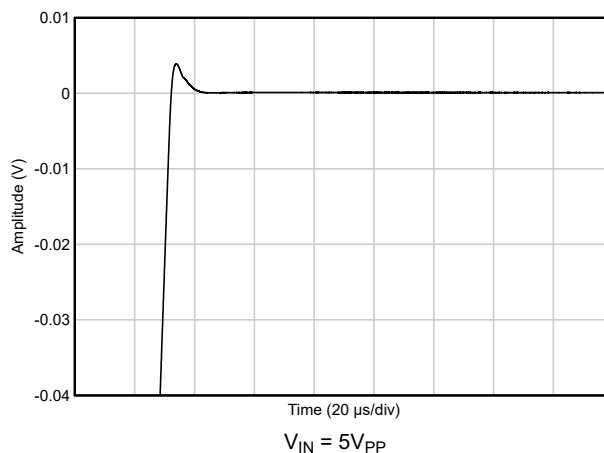


図 5-44. セトリングタイム (正)

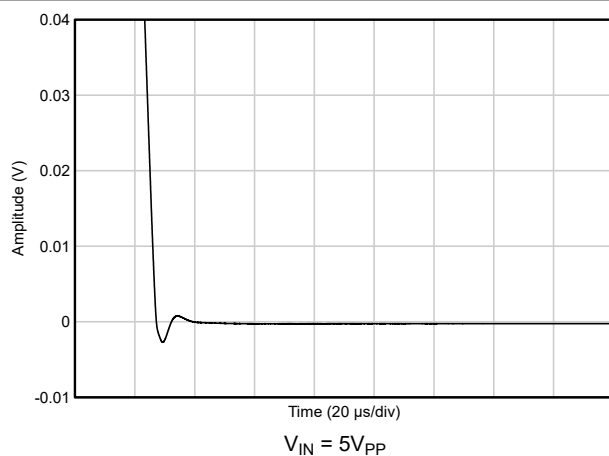


図 5-45. セトリングタイム (負)

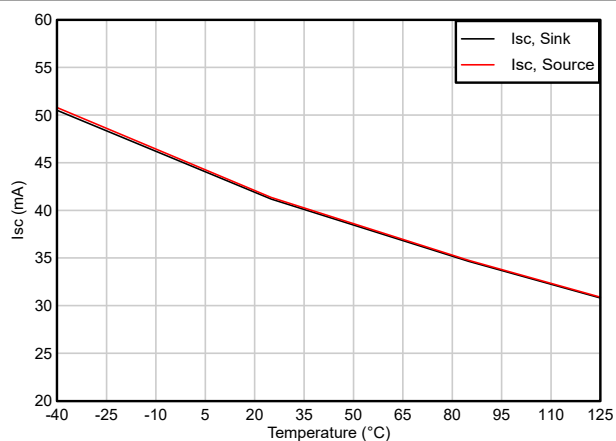


図 5-46. 短絡電流と温度との関係

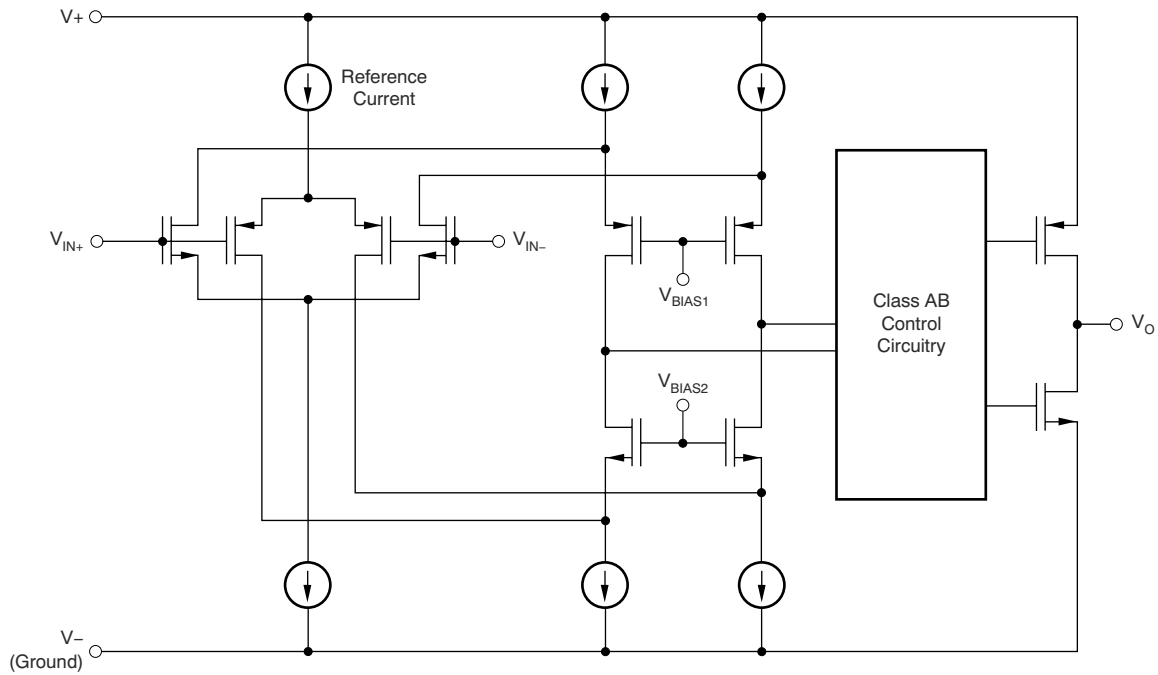
6 詳細説明

6.1 概要

TLV914x ファミリー (TLV9141, TLV9142, TLV9144) は、高電圧 (18V) の汎用オペアンプ ファミリーです。

TLV914x は、静止電流がチャネルあたり $6.6\mu\text{A}$ の低消費電力ファミリーです。これらのデバイスは、レール ツー レール入出力、低オフセット ($\pm 220\mu\text{V}$ 、標準値)、低オフセットドリフト ($\pm 0.65\mu\text{V}/^\circ\text{C}$ 、標準値) など、優れた DC 精度も提供します。さらに、これらのデバイスは、 110kHz のゲイン帯域幅積を備え、ピーク ツー ピークの $3.4\mu\text{V}$ ($0.1\text{Hz} \sim 10\text{Hz}$) という低い $1/f$ フリッカー ノイズを実現しています。これらの優れた AC と DC 特性により、TLV914x は高電圧の産業用アプリケーションにおいて、非常に高い柔軟性、堅牢性、高性能を兼ね備えたオペアンプとなります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 入力保護回路

TLV914x は、特別な入力アーキテクチャを使用して入力保護ダイオードを不要にするとともに、過渡条件下でも堅牢な入力保護を行います。図 6-1 に、高速過渡ステップ応答によってアクティブになる従来型の入力ダイオード保護方式を示します。図 6-2 に示されているように、この方法では、代替電流パスのため信号歪みとセトリング タイムの遅延が発生します。低ゲイン回路の場合、これらの高速ランプ入力信号は順バイアスの双方向ダイオードになり、入力電流が増加し、セトリング タイムが長くなります。

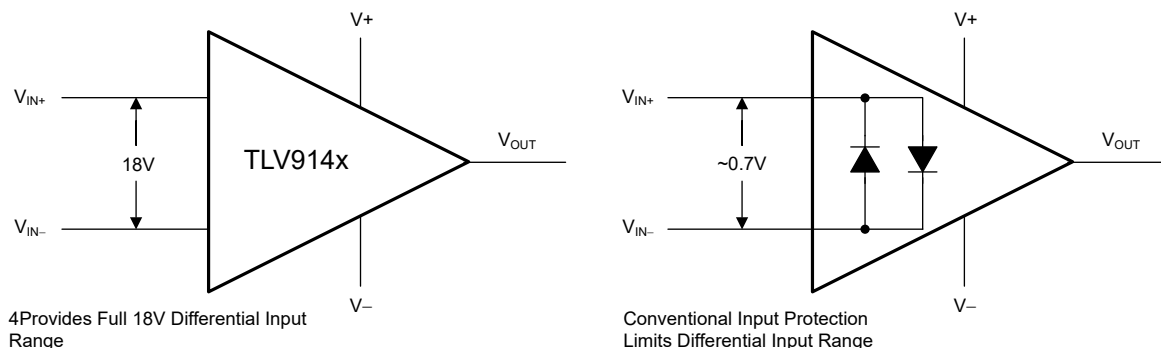


図 6-1. TLV914x の入力保護機能では差動入力能力が未制限

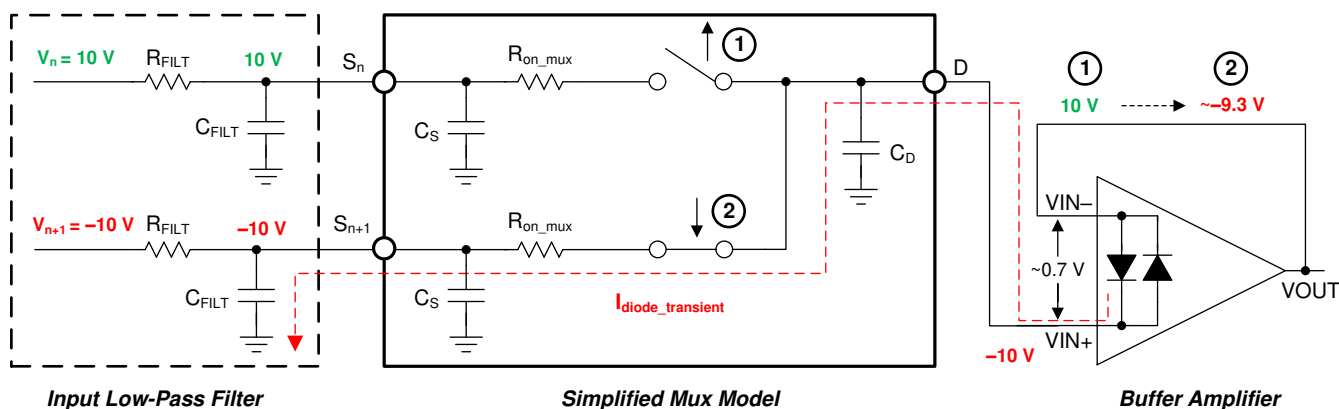


図 6-2. バック ツー バック ダイオードではセトリングの問題が発生する

TLV914x ファミリのオペアンプは、特許取得済みの入力保護アーキテクチャによって高電圧アプリケーション用に真のハイインピーダンス差動入力機能を提供します。このアーキテクチャでは、信号歪みの増加やセトリング タイムの遅延が発生しないため、マルチチャネルの高スイッチ入力アプリケーションに最適なオペアンプとなります。TLV914x は、最大 18V の差動スイング (オペアンプの反転ピンと非反転ピン間の電圧) に耐えることができるため、開ループ構成での使用が可能です。詳細については、『マルチプレクサ対応高精度オペアンプ』アプリケーション概要を参照してください。

6.3.2 同相電圧範囲

TLV914x は 18V の真のレール ツー レール入力オペアンプで、入力同相範囲が両方の電源レールまで拡張されています。この広い範囲は、図 6-3 に示すように、相補的な PMOS および NMOS の差動入力ペアを並列化することで実現されています。NMOS ペアは、正電源レール付近の入力電圧、通常は $(V+) - 1V$ から正電源までの範囲で動作します。PMOS ペアは、負の電源電圧から、ほぼ $(V+) - 2V$ までの入力でアクティブになります。両方の入力ペアが動作する小さな遷移領域があり、マルチチャネルでは通常 $(V+) - 2V \sim (V+) - 1V$ の範囲です。この遷移領域は、プロセス変動に応じてやや変化することがあります。この領域内での PSRR、CMRR、オフセット電圧、オフセットドリフト、ノイズ、THD 性能は、この領域外で動作させる場合と比べると低下することがあります。

入力電圧オフセットに関して、デバイスの標準的な遷移領域の詳細を、図 5-17 に示します。

同相電圧範囲および相補ペアの相互作用に関する詳細については、『相補ペア入力段を持つオペアンプ: 設計上のトレードオフとは?』(Analog Design Journal) を参照してください。

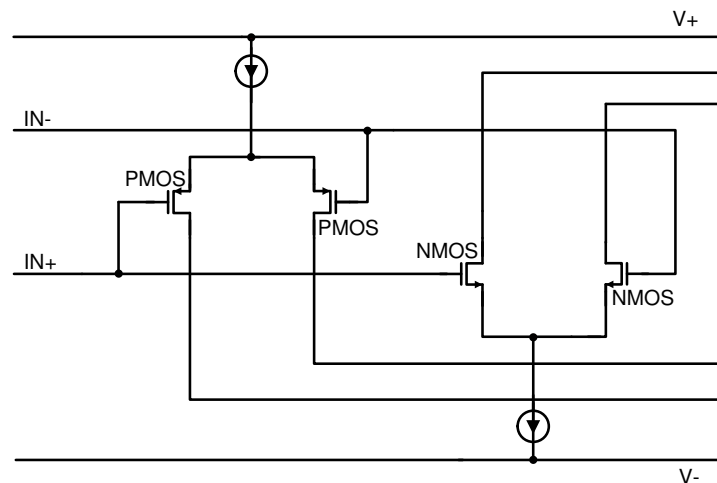


図 6-3. レール ツー レール入力段

6.3.3 EMI 除去

TLV914x は、統合型の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。TLV914x は、このような設計の改善を活用しています。テキサス インストルメンツは、10MHz ~ 6GHz の幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化しています。表 6-1 に、実際のアプリケーションで一般的に発生する特定の周波数での TLV914x の EMIRR IN+ 値を示します。『オペアンプの EMI 除去比』アプリケーション ノートには、EMIRR の性能およびオペアンプと EMIRR の関連性についての詳細情報が記載されています。これは、www.ti.com からダウンロード可能です。

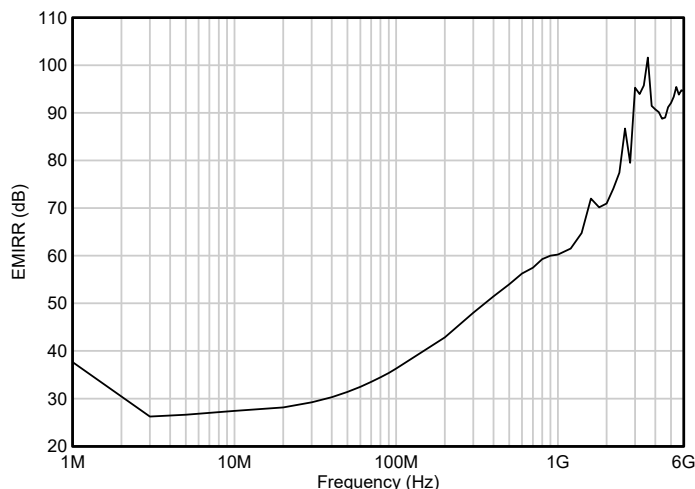


図 6-4. EMIRR テスト

表 6-1. 対象周波数における TLV914x の EMIRR IN+

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	50.0dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	56.3dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz~2GHz)	65.6dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz~4GHz)	70.0dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	78.9dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz~8GHz)	91.0dB

6.3.4 位相反転の防止

TLV914x ファミリーには、位相反転の防止機能が搭載されています。多くのオペアンプでは、入力リニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。TLV914x はレール ツー レール入力のおペアンプであるため、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。図 6-5 に、この特性を示します。位相反転に関する詳細については、『[相補ペア入力段を持つオペアンプ:トレードオフとは？](#)』(Analog Design Journal) を参照してください。

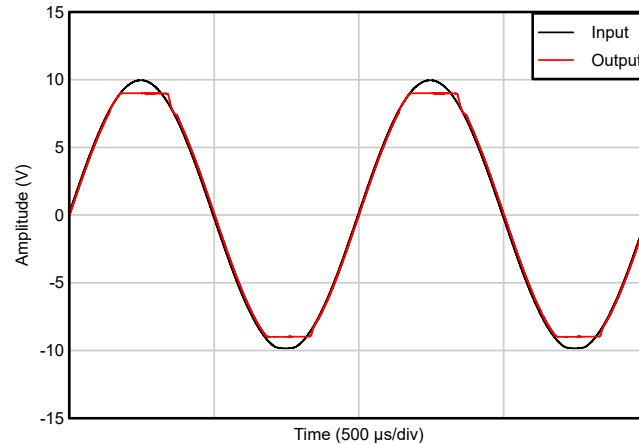


図 6-5. 位相反転が発生しない

6.3.5 電氣的オーバーストレス

設計者は多くの場合、オペアンプが電氣的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレイクダウン特性と、ピンに接続された特定の回路とで決まる電氣的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路、および電氣的オーバーストレス イベントとの関連性を十分に理解しておくことが、設計者にとって有益となります。図 6-6 に、TLV914x に含まれる ESD 回路の図を示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

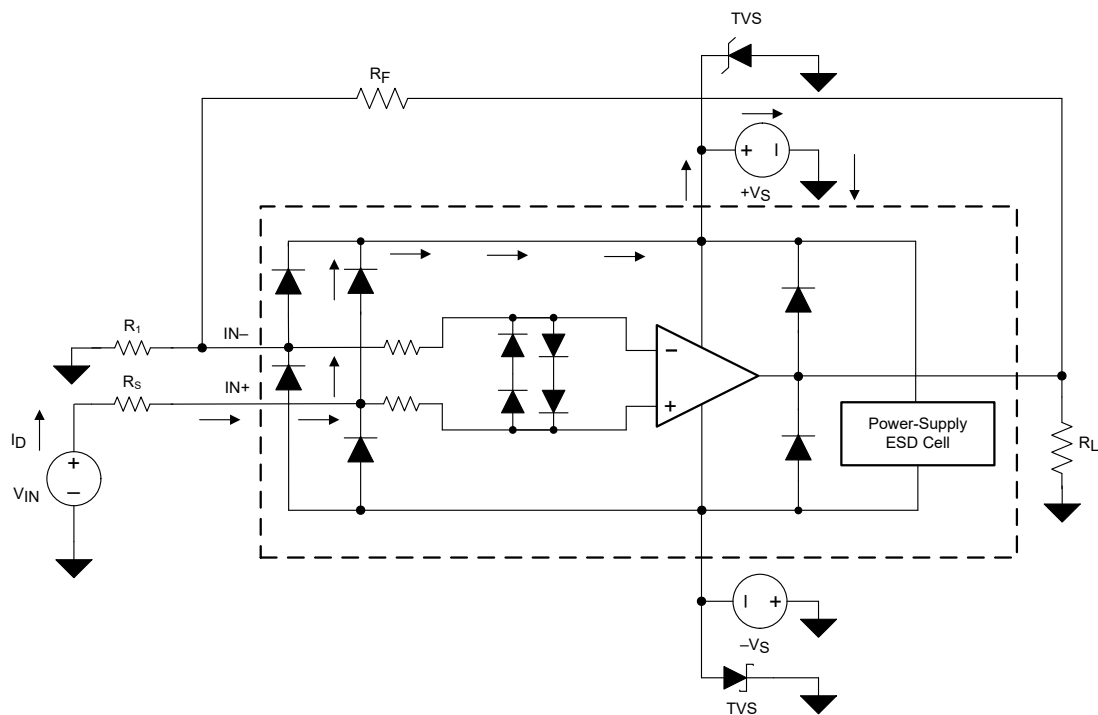


図 6-6. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通して放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

ESD 電圧がアンプの複数の端子間に発生すると、1 つ以上のステアリング ダイオードを通じて電流が流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスは、TLV914x の通常動作電圧より高く、かつデバイスのブレイクダウン電圧レベルより低いトリガ電圧 (スレッシュホールド電圧) を備えています。このスレッシュホールドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

オペアンプを回路に接続したとき (図 6-6 参照)、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。とはいえ、印加される電圧が特定の端子の動作電圧範囲を超える状況が発生することがあります。この状況が発生した場合、一部の内部 ESD 保護回路がオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。

図 6-6 は、入力電圧 (V_{IN}) が正電源電圧 ($+V_S$) を 500mV 以上上回る具体的な例を示しています。この回路で発生する現象の多くは、電源の特性によって異なります。 $+V_S$ が電流をシンクできる場合、上側の入力ステアリング ダイオードの 1 つが導通し、電流を $+V_S$ へ導きます。 V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、 V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

もう 1 つのよくある疑問は、電源 $+V_S$ または $-V_S$ が 0V の状態で入力に信号が印加された場合、アンプに何が起こるかという点です。ここでも、電源が 0V または入力信号の振幅より低いレベルにあるときの電源特性によって状況が変わります。見かけ上、電源のインピーダンスが高い場合、オペアンプの電流は入力ソースから電流ステアリング ダイオードを経由して供給されます。この状態は正常なバイアス状態ではありません。アンプは正常に動作しない可能性がきわめて高くなります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部ツェナー ダイオードを電源端子に追加します (図 6-6 を参照)。通常動作中にダイオードがオンにならないようなツェナー電圧を選択します。ただし、電源端子が安全な動作電源電圧レベルを超えそうになった場合にはツェナー ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。

TLV914x の入力端子は、双方向ダイオードにより、過剰な差動電圧から保護されています (図 6-6 を参照)。ほとんどの回路アプリケーションでは、入力保護回路は何の影響も及ぼしません。ただし、低ゲインまたは $G = 1$ の回路では、アンプの出力が入力ランプに十分な速さで応答できないため、これらのダイオードに高速ランプ入力信号によって順バイアスがかかる可能性があります。入力信号が十分に速く、この順バイアスの状況が発生する場合は、入力信号電流を 10mA 以下に制限してください。入力信号電流が本質的に制限されていない場合は、入力直列抵抗を使用して入力信号電流を制限できます。この入力直列抵抗は、TLV914x の低ノイズ性能を低下させます。図 6-6 に、電流を制限する帰還抵抗を実装する構成例を示します。

6.3.6 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV914x の過負荷復帰時間は約 400ns です。

6.3.7 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様についての疑問を抱きます。プロセス技術や製造工程では自然に差異が発生するため、入力オフセット電圧など、あらゆるアンプの仕様において、期待値からの多少の偏差が生じる場合があります。これらの偏差は多くの場合、ガウス分布 (正規分布またはベル曲線) に従います。回路設計者は、「電気的特性」表に最小値または最大値の仕様がいない場合でも、この情報を活用してシステムの最低限の品質を確保できます。

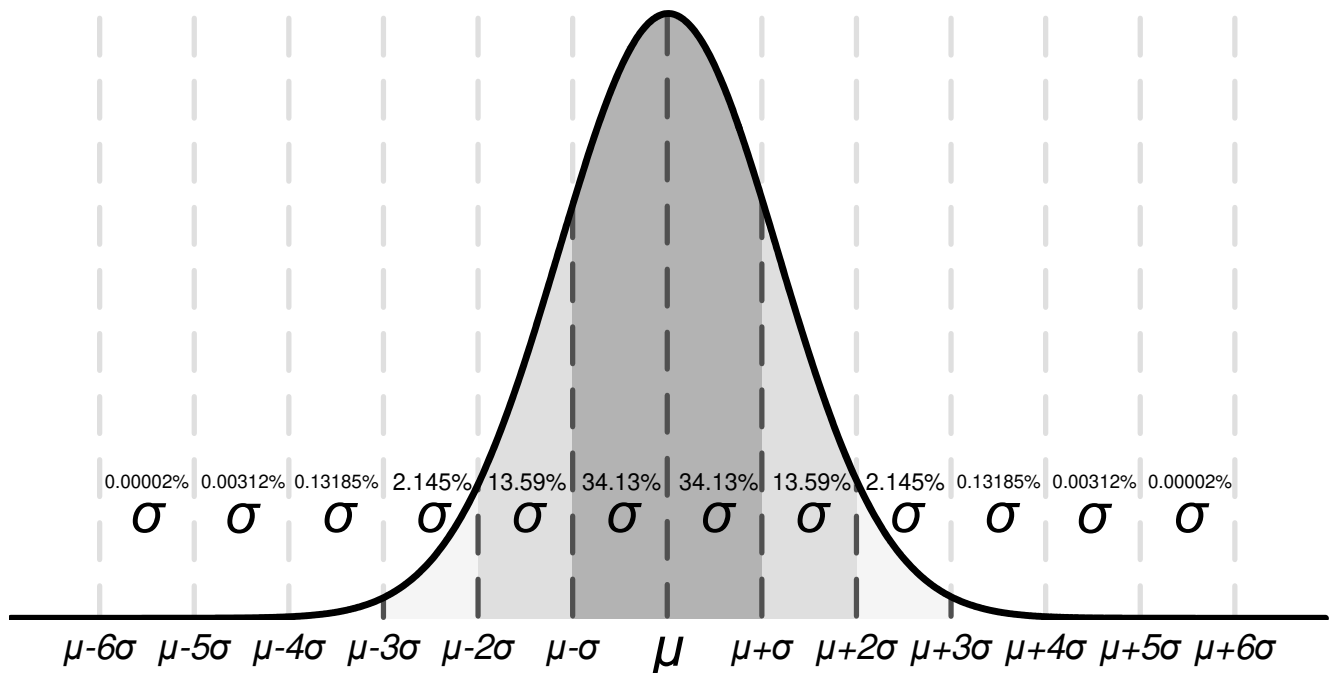


図 6-7. ガウス分布

図 6-7 に、分布の例を示します。ここで、 μ (ミュー) は分布の平均値、 σ (シグマ) はシステムの標準偏差です。このような分布を示す仕様では、すべてのユニットの約 2/3 (68.26%) が平均値から 1 標準偏差 (シグマ) 以内 ($\mu-\sigma$ から $\mu+\sigma$ ま) で存在していると予想できます。

「電気的特性」表の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。原則として、仕様の性質上平均値が 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。ただし、入力オフセット電圧のように、その性質上仕様の平均値が 0 に近い場合、最も正確に標準値を表すため、標準値は平均値に 1 標準偏差を加えた値 ($\mu + \sigma$) と等しくなります。

設計者はこのチャートを使用して、ユニットにおける仕様の概算確率を算出できます。たとえば、TLV914x の場合、標準的な入力電圧オフセットは $\pm 220\mu\text{V}$ です。そのため、すべての TLV914x デバイス中の 68.26% は、 $-220\mu\text{V}$ ~ $+220\mu\text{V}$ のオフセットを持つことが予想されます。4 σ では、分布の 99.994% が $\pm 760\mu\text{V}$ 以下のオフセット電圧を示しますが、これは全体の 0.0063% (約 15,787 ユニットに 1 つの割合) がこの制限値から外れることを意味します。

仕様の最小値または最大値の列に値が記載されているものは TI によってテストされており、これらの制限値を外れたユニットは生産から除去されます。たとえば、TLV914x ファミリの 25°C における最大オフセット電圧は 1mV です。これは 5 σ (約 170 万ユニットに 1 つの割合) をわずかに下回る値であり、それが発生する可能性は低いものの、1mV を超えるオフセットを持つユニットは製造工程から除外されます。

最小値または最大値の列に値が記載されていない仕様については、設計者のアプリケーションに十分な余裕のあるシグマ値を選択し、この値を使用して考えられる限り最悪の事態を考慮して設計することを検討してください。たとえば、 6σ という値は、約 5 億ユニットに 1 つという極めて低い発生率に相当します。これは、システム設計における広めの安全余裕として採用する選択肢となり得ます。この場合、TLV914x ファミリーにはオフセット電圧ドリフトの最大値または最小値がありません。 $\pm 0.65\mu\text{V}/^\circ\text{C}$ という標準値に基づく、オフセット電圧ドリフトの 6σ 値としての最大予測値はおよそ $\pm 3.85\mu\text{V}/^\circ\text{C}$ となります。システムで考えられる限り最悪の事態を想定した設計を行う際、実際の最小値や最大値なしでも、この値を用いることで、温度範囲全体において発生し得る最悪の事態のオフセットを推定できます。

なお、時間の経過に伴うプロセスの変動と調整によって、標準偏差と平均値が変動する可能性があるため、仕様の最小値または最大値の列に値が記載されていないものについて、TI はデバイスの最大性能を規定することはできません。この情報は、デバイスの性能を推定する目的でのみ使用してください。

6.4 デバイスの機能モード

TLV914x には単一機能モードがあり、電源電圧が 2.7V ($\pm 1.35\text{V}$) を上回ると動作します。TLV914x の最大電源電圧は 18V ($\pm 9\text{V}$) です。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TLV914x ファミリーは、DC 精度と AC 性能が優れています。これらのデバイスは、最高 18V の電源レールで動作し、真のレール ツー レール入出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、110kHz の帯域幅と、高い出力駆動を実現しています。これらの特長から、TLV914x は高電圧の産業用アプリケーションに適した堅牢で高性能なオペアンプです。

7.2 代表的なアプリケーション

7.2.1 ローサイド電流測定

図 7-1 に、ローサイド電流検出アプリケーション用に構成された TLV9141 を示します。理論、計算、シミュレーション、測定データを含め、図 7-1 に示されている回路の詳細な分析については、TI Precision Design『TIPD129、0A ~ 1A 単一電源ローサイド電流検出ソリューション』を参照してください。

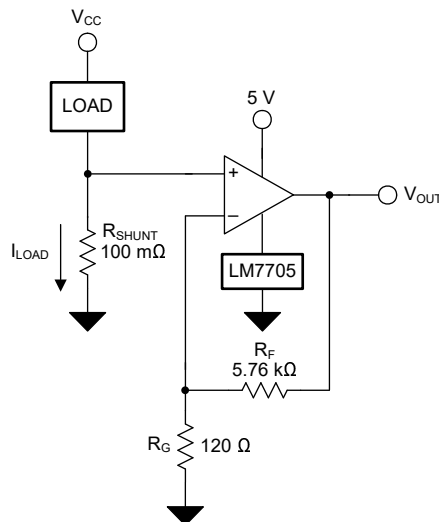


図 7-1. ローサイド電流検出アプリケーションの TLV914x

7.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流: 0A ~ 1A
- 最大出力電圧: 4.9V
- 最大シャント電圧: 100mV

7.2.1.2 詳細な設計手順

図 7-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times \text{Gain} \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

式 2 を使用して計算すると、 R_{SHUNT} は 100m Ω となります。 I_{LOAD} と R_{SHUNT} によって生成される電圧降下は TLV9141 によって増幅され、0V ～ 4.9V の出力電圧を生成します。TLV9141 が必要な出力電圧を生成するために必要なゲインは、式 3 を使用して計算します。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

式 3 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗 R_F と R_G で設定します。TLV9141 のゲインを 49V/V に設定するための抵抗 R_F と R_G のサイズは、式 4 を使用して計算します。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

R_F を 5.76k Ω とすると、 R_G は 120 Ω と計算されます。 R_F と R_G は、標準の値の抵抗で 49:1 の比率を生み出せるように 5.76k Ω と 120 Ω を選択します。49:1 の比率にできるなら、他の抵抗を使用してもかまいません。ただし、抵抗が過度に大きいと、オペアンプの固有ノイズを超える熱ノイズが生成されます。図 7-1 に示す回路で測定された伝達関数を 図 7-2 に示します。

7.2.1.3 アプリケーション曲線

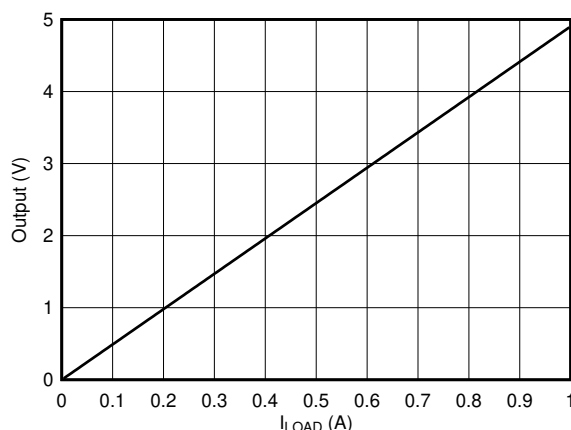


図 7-2. ローサイド、電流検出、伝達関数

7.3 電源に関する推奨事項

TLV914x は、2.7V ～ 18V ($\pm 1.35V$ ～ $\pm 9V$) で動作が規定されています。多くの仕様は $-40^{\circ}C$ ～ $125^{\circ}C$ 、または特定の電源電圧とテスト条件で適用されます。

注意

20V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、[レイアウト](#)を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズは、回路全体の電源ピンやオペアンプの電源ピンを介してアナログ回路に伝播する可能性があります。アナログ回路の近傍に低インピーダンスの電源を確保することで、こうした結合ノイズを低減するために、バイパス コンデンサが使用されます。
 - 各電源ピンとグランドとの間に、低 ESR の $0.1\mu\text{F}$ セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に確実に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。[図 7-5](#) に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の上に配置します。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガードリングを配置することを検討してください。ガードリングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに侵入した水分を除去することを推奨します。ほとんどの場合、洗浄後に 85°C で 30 分間の低温ベーキングを行えば十分です。

7.4.2 レイアウト例

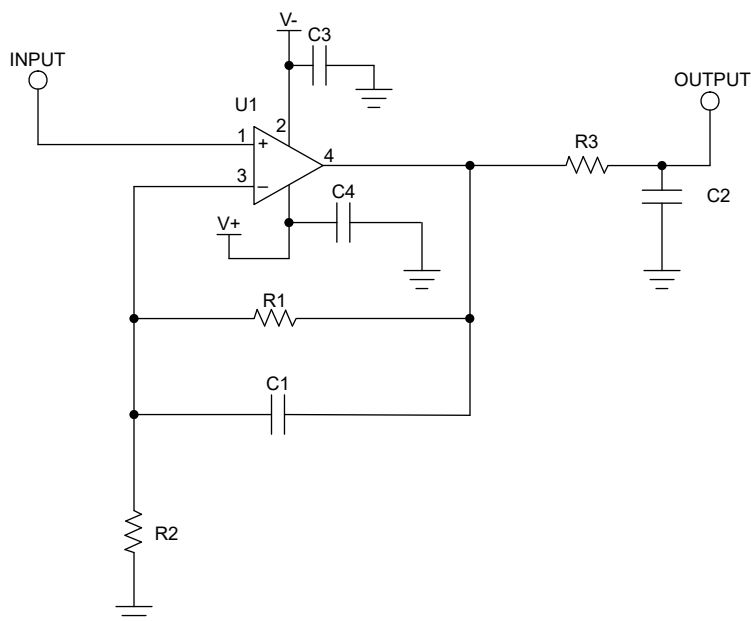


図 7-3. 非反転構成の回路図のレイアウト例

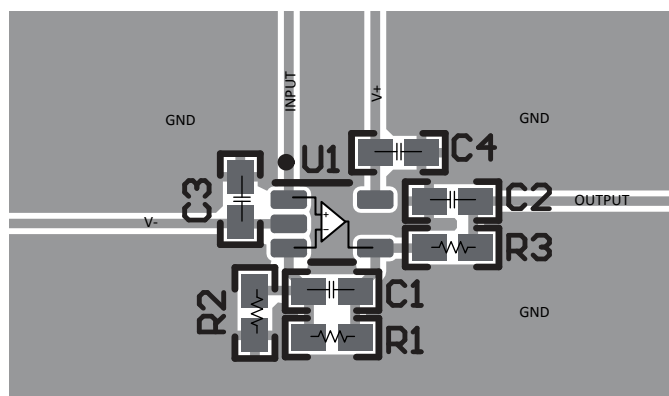


図 7-4. SC70 (DCK) パッケージの TLV9141 のレイアウト例

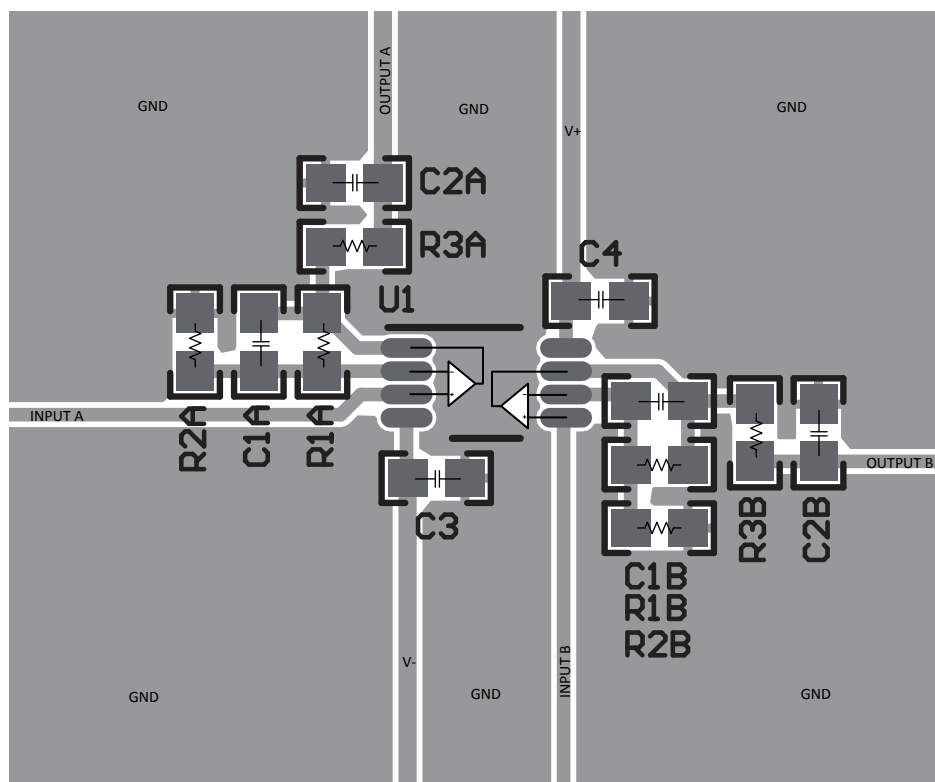


図 7-5. TLV9142 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 TINA-TI™ (無料のダウンロード ソフトウェア)

TINA™ は、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI は、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロ モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプロブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『マルチプレクサ対応高精度オペアンプ』アプリケーション概要
- テキサス インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス インスツルメンツ、『相補ペア入力段を持つオペアンプ:トレードオフとは?』(Analog Design Journal) を参照してください
- テキサス インスツルメンツ、0A ~ 1A、単一電源、ローサイドの電流センシング ソリューション、リファレンス デザイン

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (June 2026)	Page
• ドキュメント全体にわたり、 I_Q 、GBW、オフセット電圧、オフセット電圧ドリフトの標準値を変更.....	1
• TLV9141 DCK および TLV9142 DDF、DGK、RUG パッケージと関連コンテンツをドキュメントに追加.....	1
• 「概要」の容量性負荷を駆動するときの位相マージンの説明を更新	1
• V_{OS} の標準値を「 $\pm 265\mu V$ 」から「 $\pm 220\mu V$ 」に変更.....	9
• dV_{OS}/dT の標準値を「 $0.2\mu V/^\circ C$ 」から「 $0.65\mu V/^\circ C$ 」に変更.....	9
• i_N の標準値を「 $0.5fA/\sqrt{Hz}$ 」から「 $10fA/\sqrt{Hz}$ 」に変更.....	9
• GBW の標準値を「 $125kHz$ 」から「 $110kHz$ 」に変更.....	9
• PM テスト条件を「 $R_L = 100k\Omega$ 、 $C_L = 100pF$ 」から「 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 」に変更.....	9
• PM の標準値を「 40° 」から「 50° 」に変更.....	9
• THD+N の標準値を「 0.07% 」から「 0.02% (73dB)」に、「 0.02% 」から「 0.07% (63dB)」に変更.....	9
• I_Q の標準値を「 $7\mu A$ 」から「 $6.6\mu A$ 」に変更.....	9
• 図 5-1、図 5-2、図 5-3、図 5-4、図 5-6、図 5-23、図 5-24、図 5-25、図 5-26、図 5-30 を更新.....	11
• 図 5-4 のテスト条件の「 $R_L = 100k\Omega$ 」を「 $R_L = 1M\Omega$ 」に変更.....	11
• 「代表的な仕様と分布」のオフセットおよびオフセットドリフトに関するガイダンスを更新	25
• 「レイアウト例」に DCK パッケージの TLV9141 のレイアウト例を追加	30

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9141IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	94DBV
TLV9141IDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	94DBV
TLV9141IDCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3VCH
TLV9141IDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9141ID
TLV9141IDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9141ID
TLV9142IDDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3VDF
TLV9142IDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142ID
TLV9142IDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142ID
TLV9142IPWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142PW
TLV9142IPWR.A	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142PW
TLV9144IDR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9144IDR
TLV9144IDR.A	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9144IDR
TLV9144IN	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	9144IN
TLV9144IN.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	9144IN
TLV9144IPWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9144PW
TLV9144IPWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9144PW

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

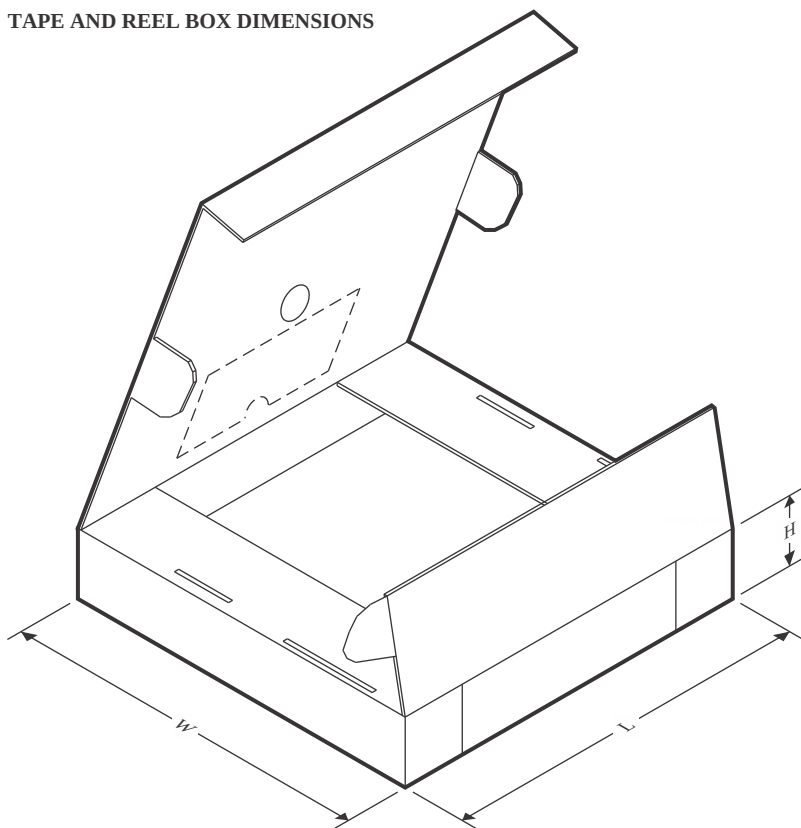
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9141IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9141IDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV9141IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9142IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9142IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9142IPWR	TSSOP	PW	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9144IDR	SOIC	D	14	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9144IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

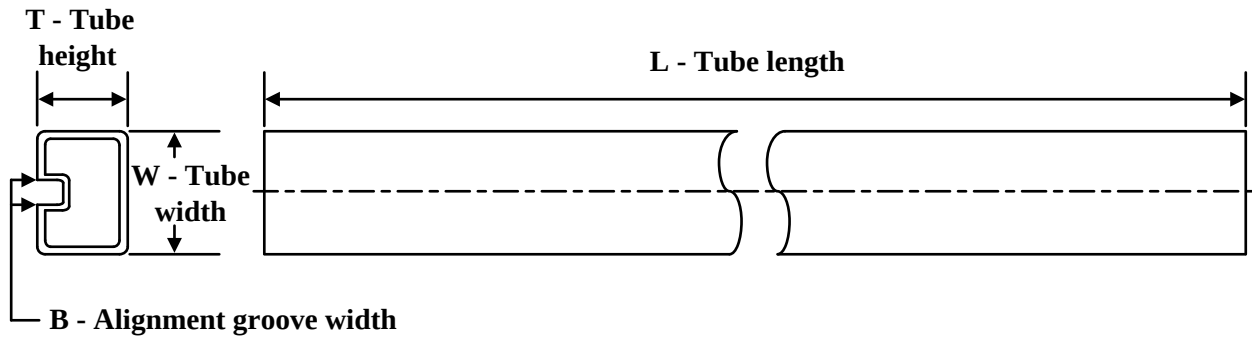
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9141IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9141IDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV9141IDR	SOIC	D	8	3000	340.5	338.1	20.6
TLV9142IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9142IDR	SOIC	D	8	3000	340.5	338.1	20.6
TLV9142IPWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV9144IDR	SOIC	D	14	3000	340.5	336.1	25.0
TLV9144IPWR	TSSOP	PW	14	3000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

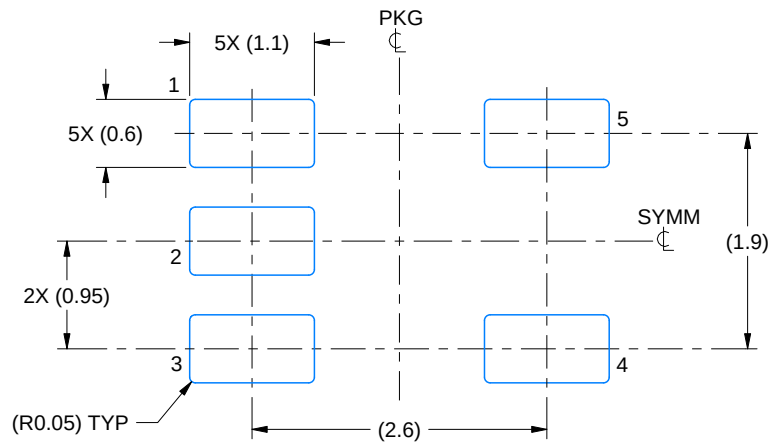
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLV9144IN	N	PDIP	14	25	506	13.97	11230	4.32
TLV9144IN.A	N	PDIP	14	25	506	13.97	11230	4.32

EXAMPLE BOARD LAYOUT

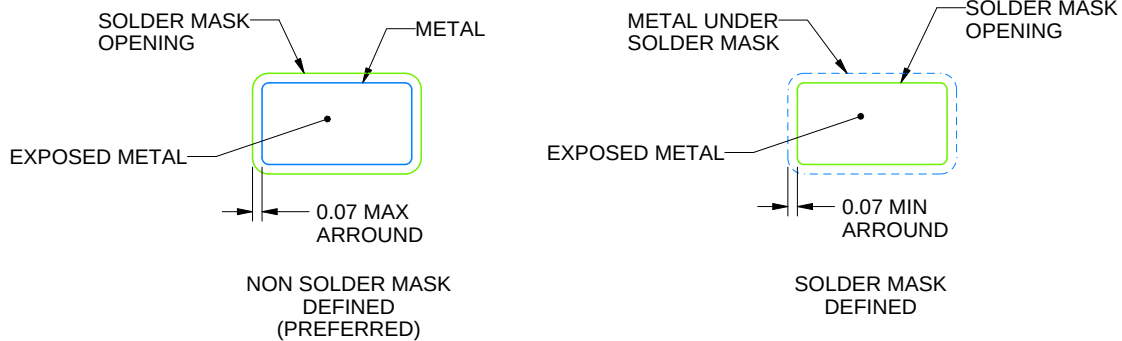
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

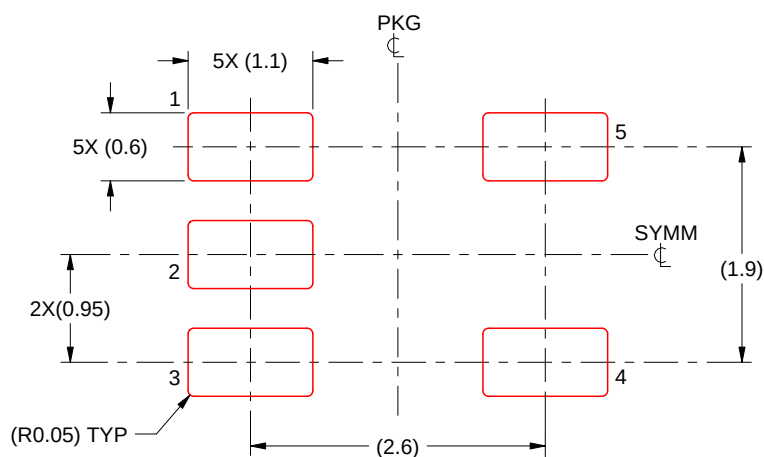
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

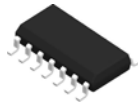


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

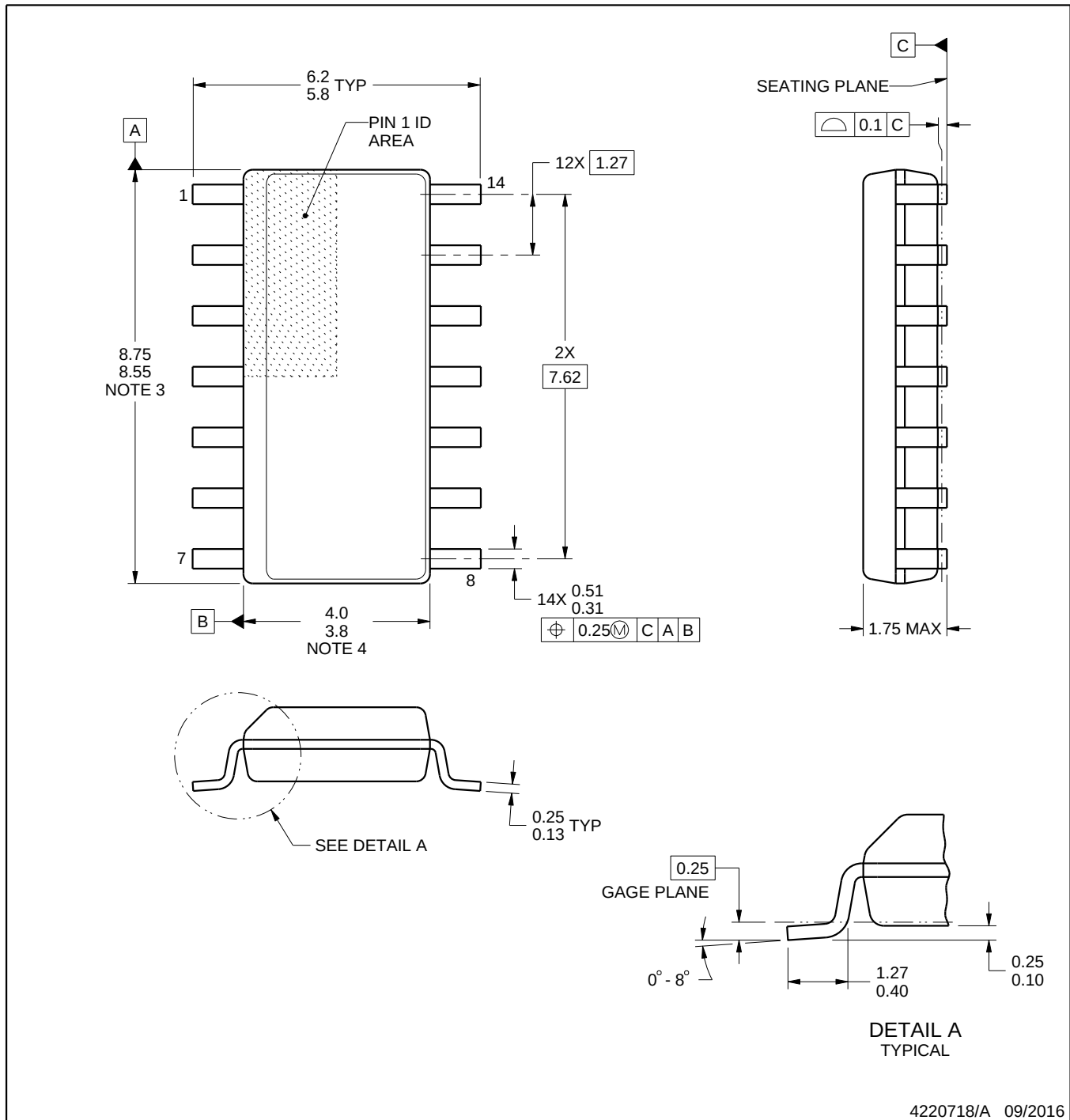
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT

**NOTES:**

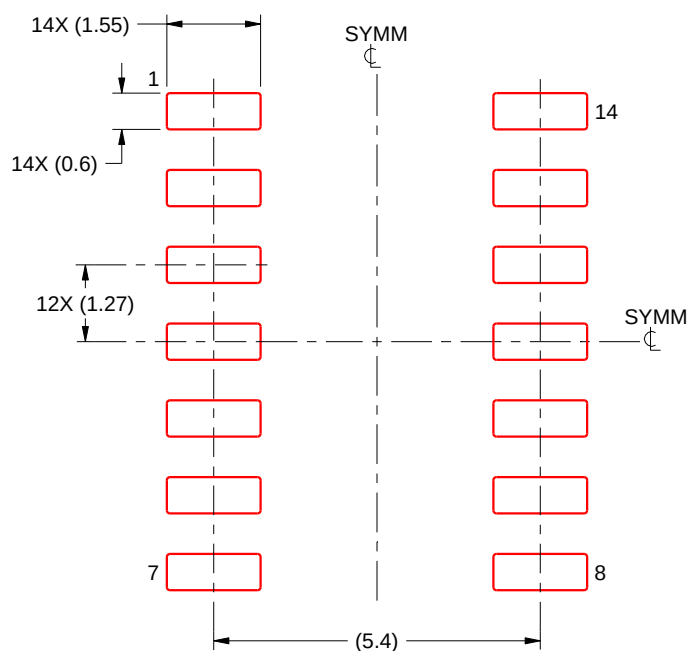
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

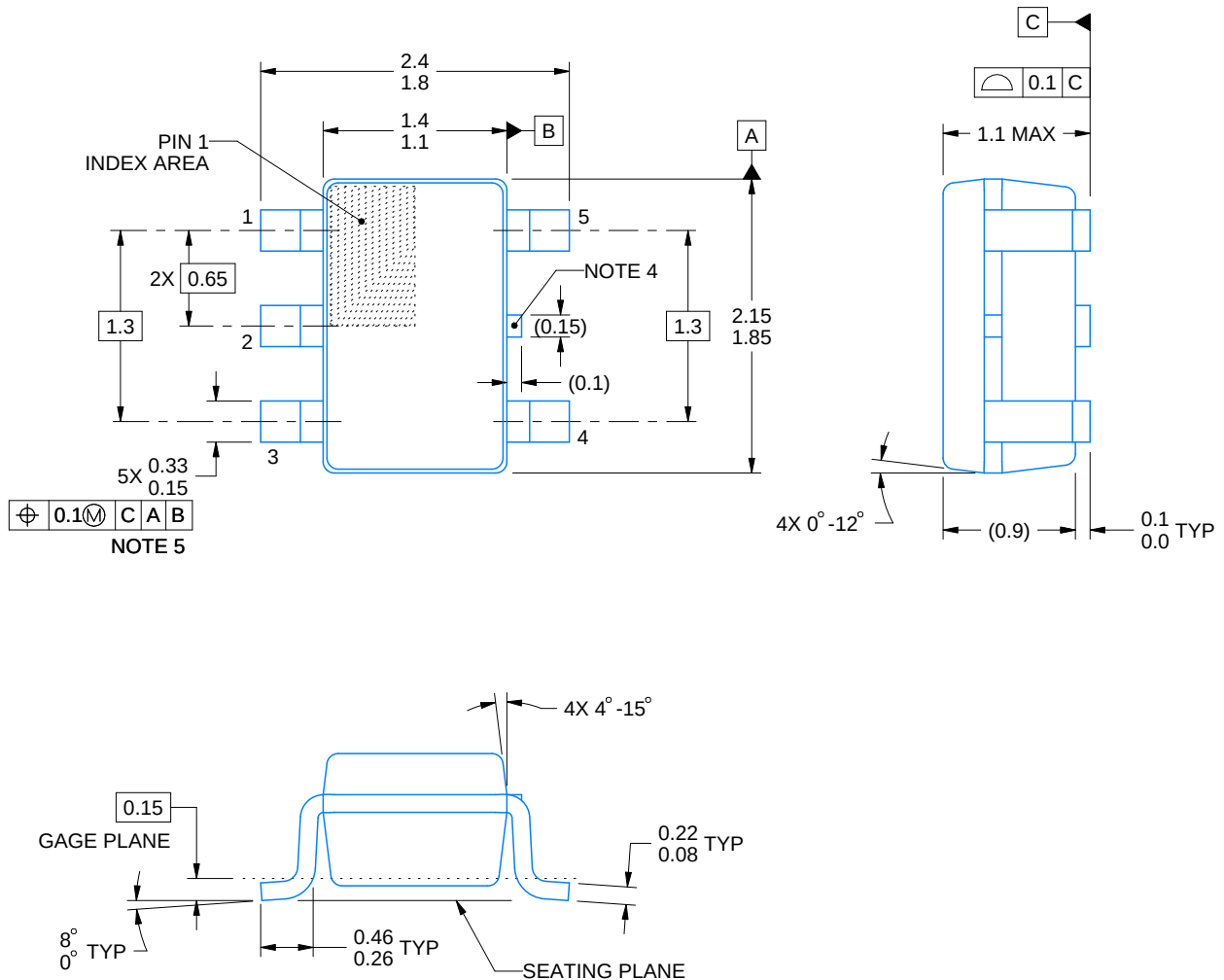


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

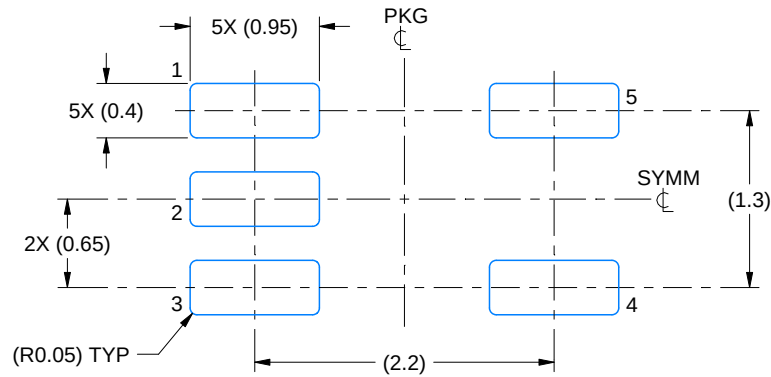
4220718/A 09/2016

NOTES: (continued)

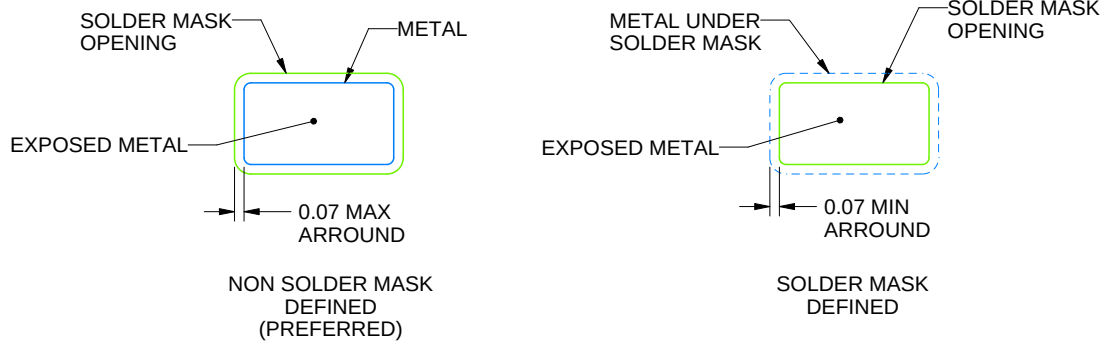
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4214834/G 11/2024



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

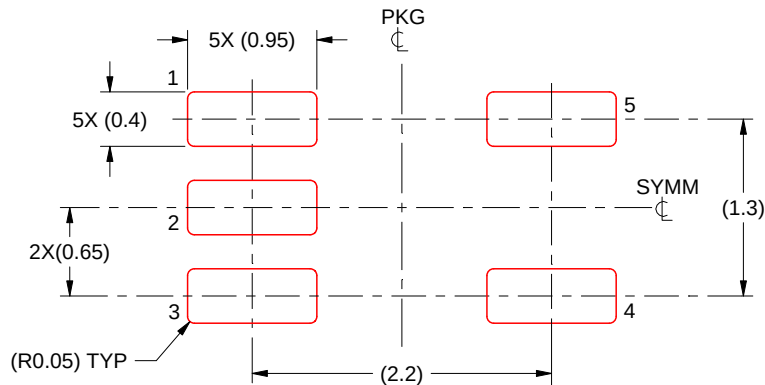


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

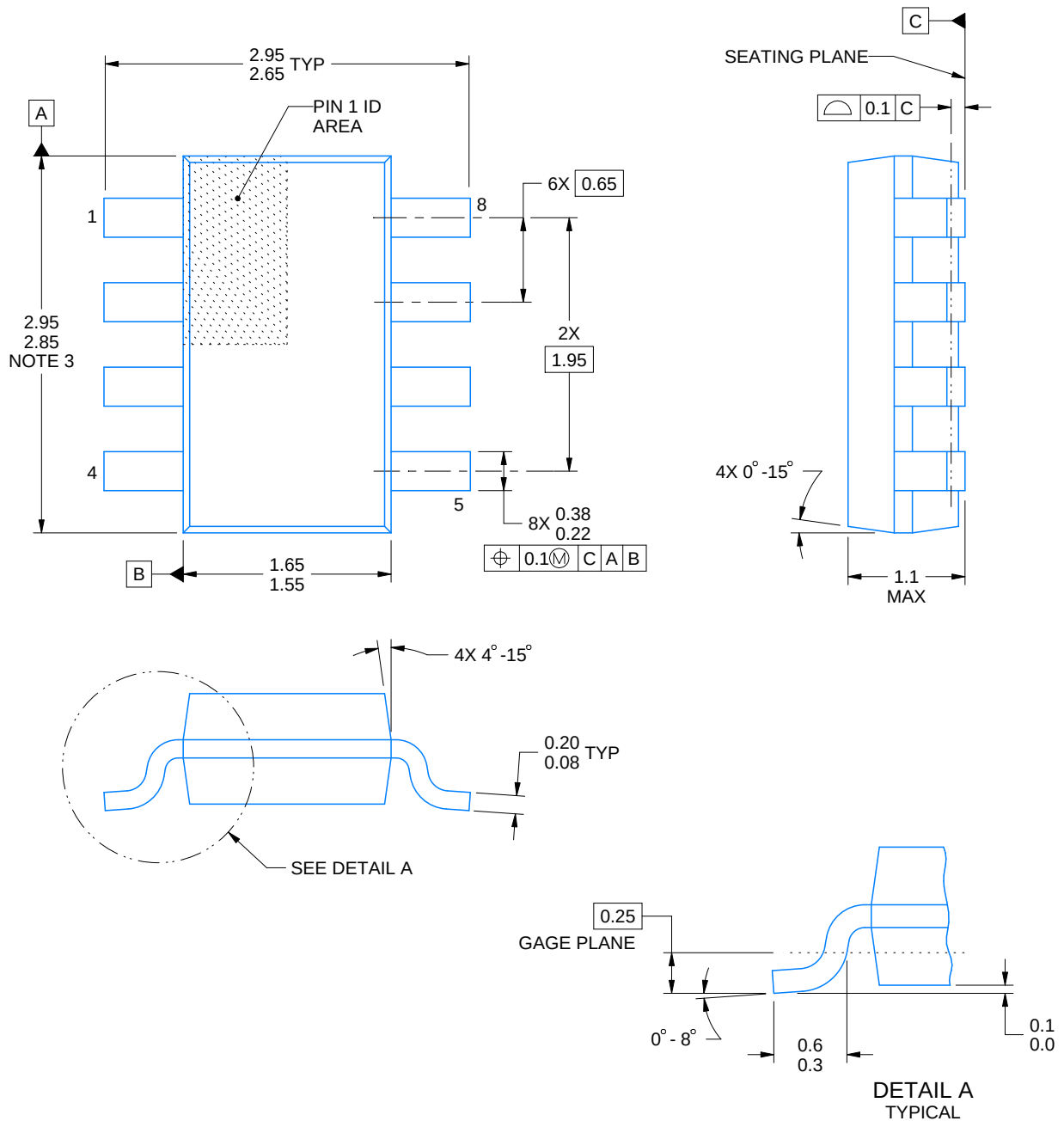
4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

DDF0008A**PACKAGE OUTLINE****SOT-23-THIN - 1.1 mm max height**

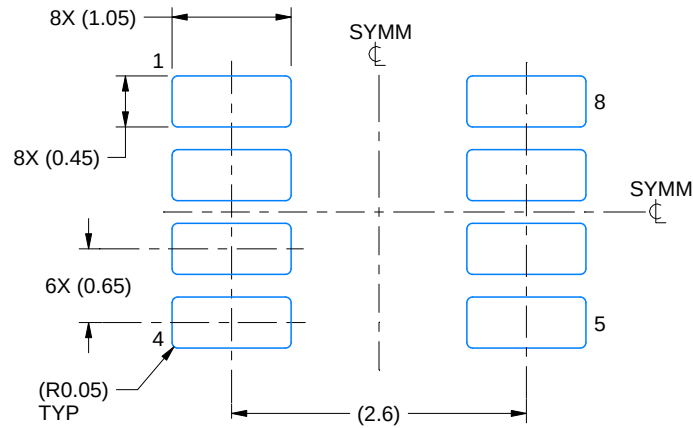
PLASTIC SMALL OUTLINE



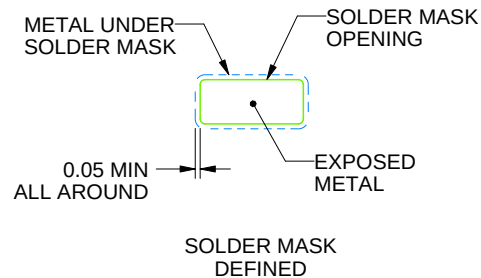
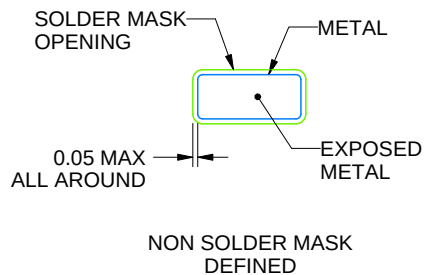
4222047/E 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

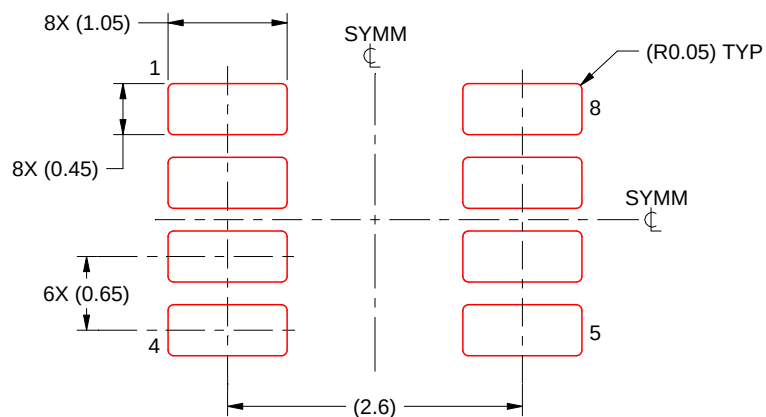
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

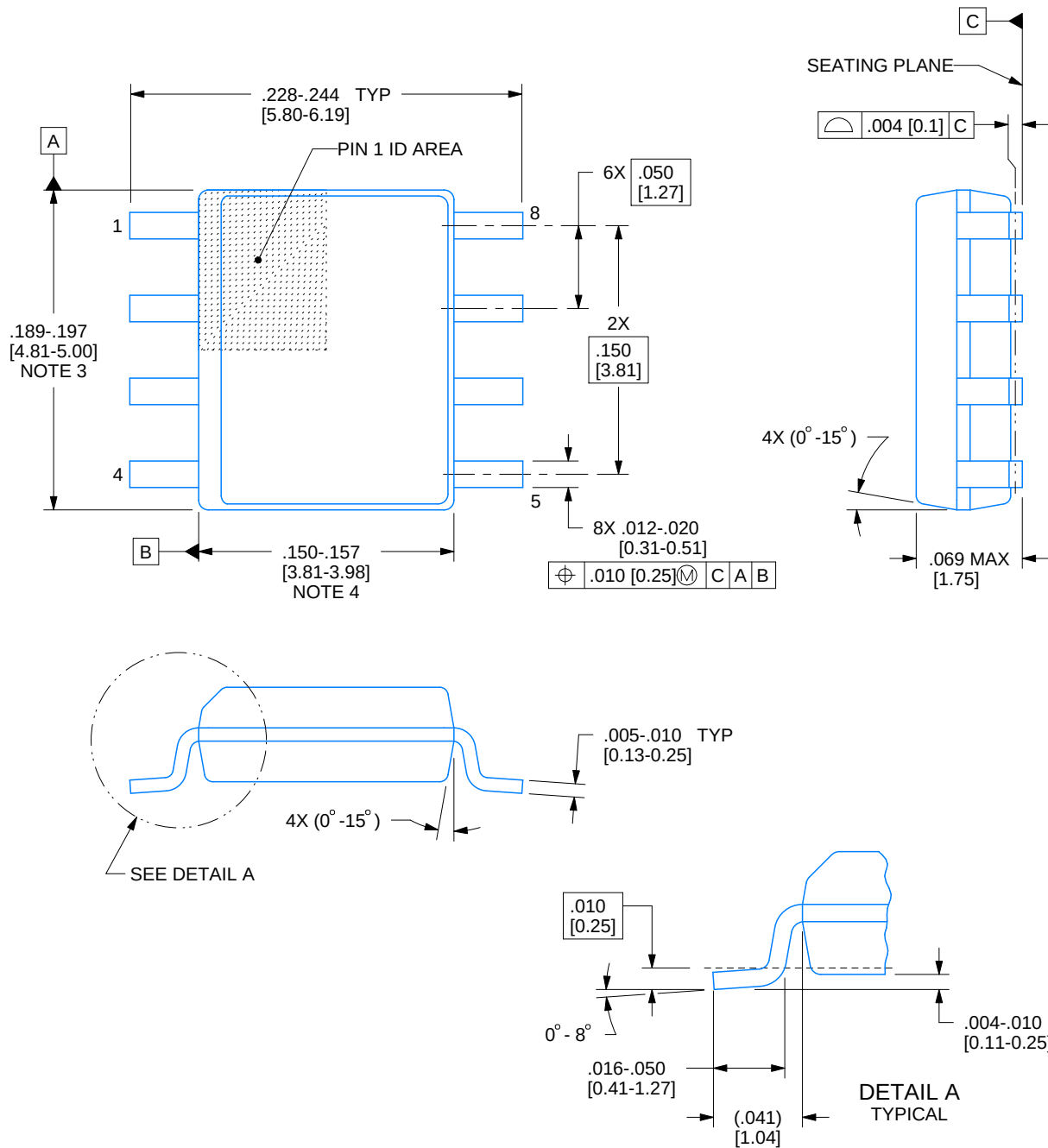
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

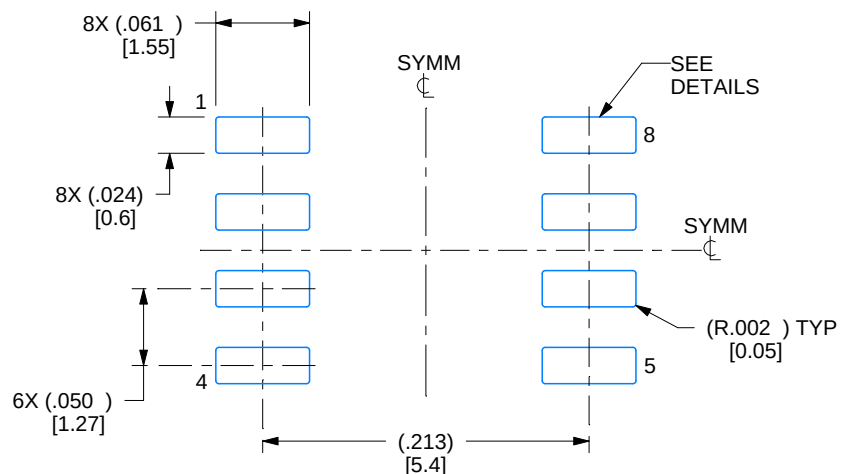
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

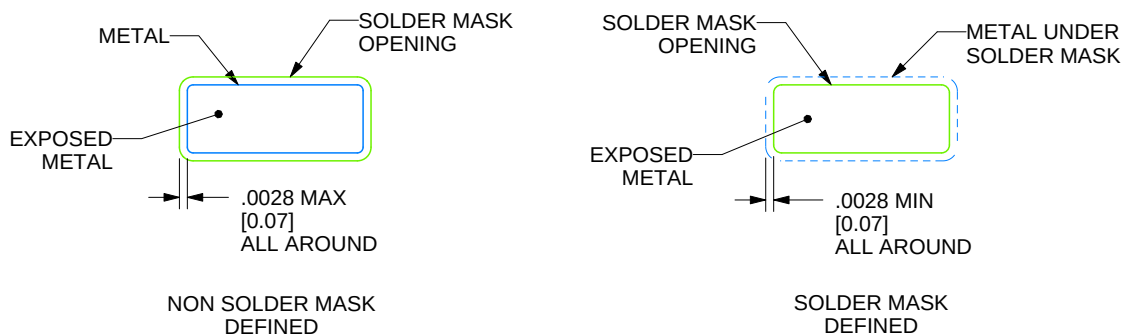
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

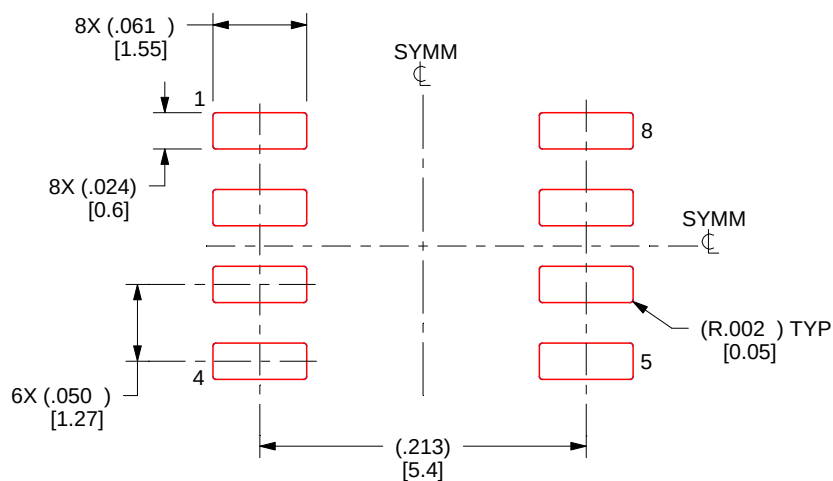
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

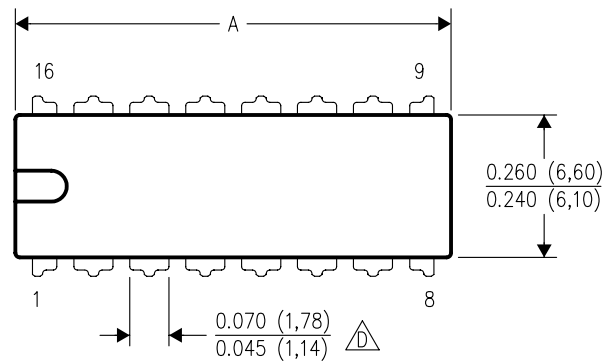
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

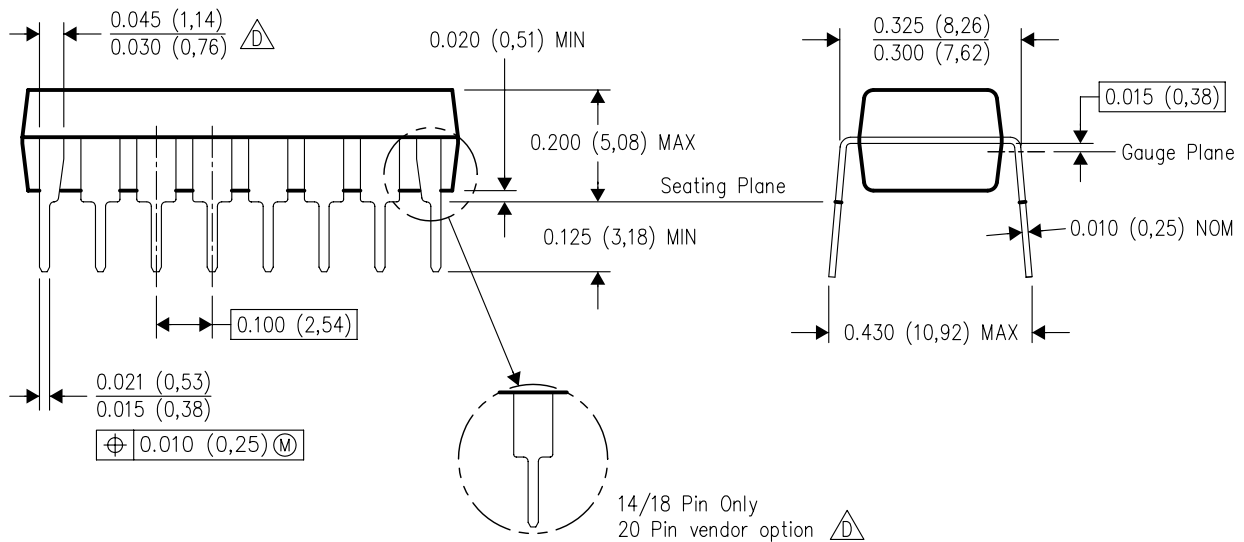
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



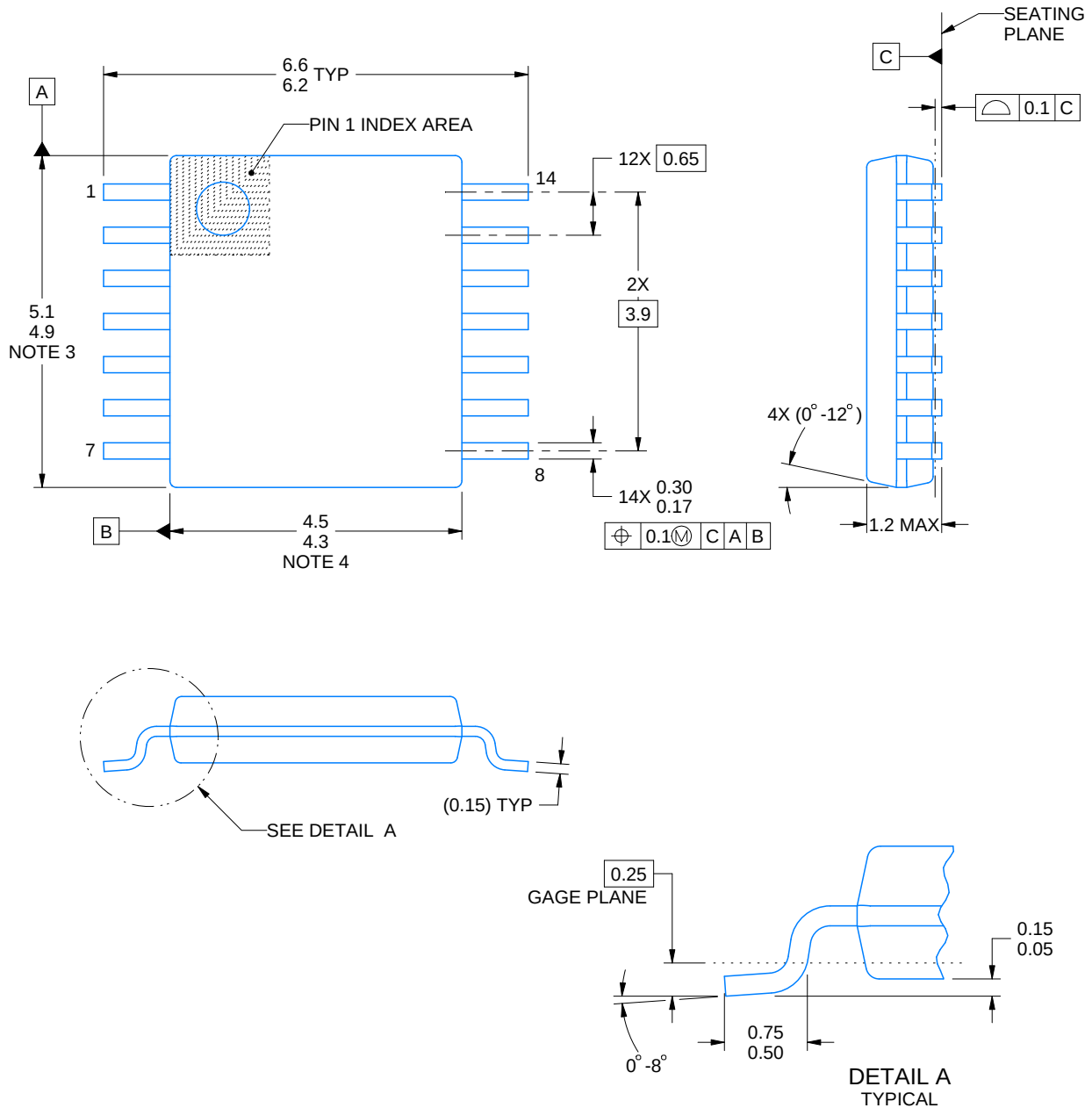
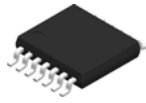
DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.



4220202/B 12/2023

NOTES:

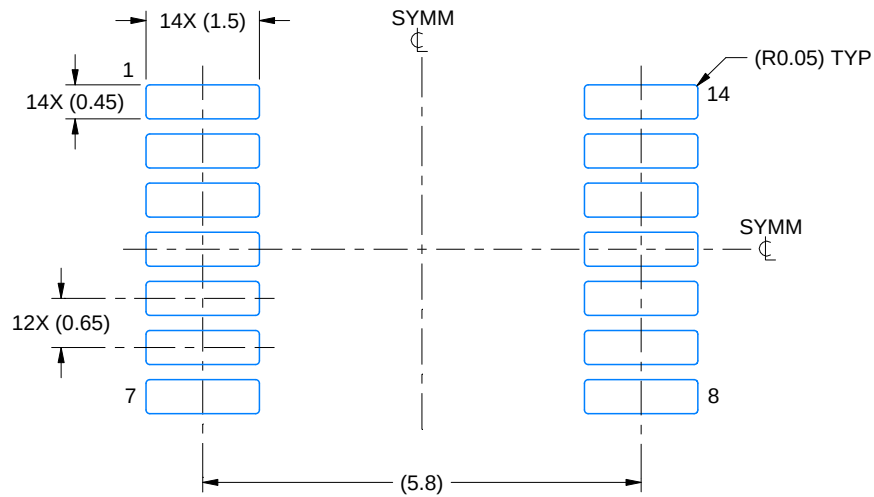
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

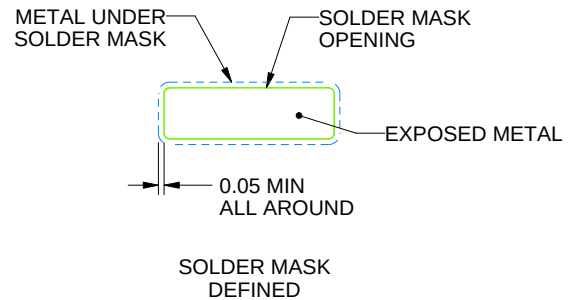
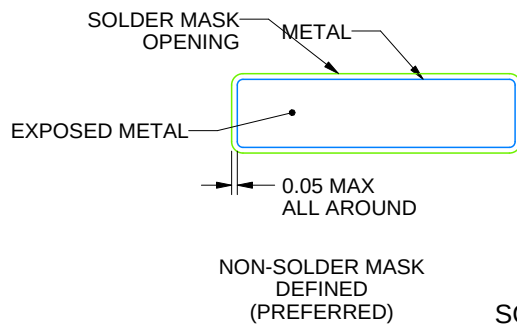
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

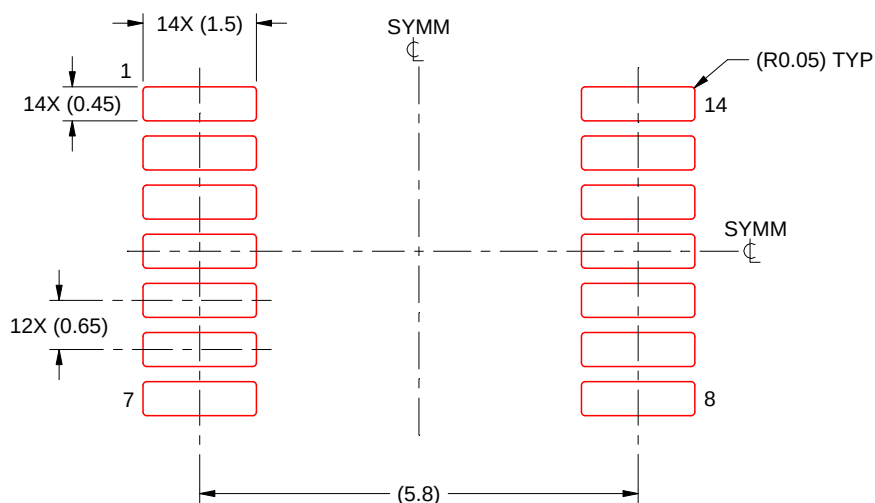
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

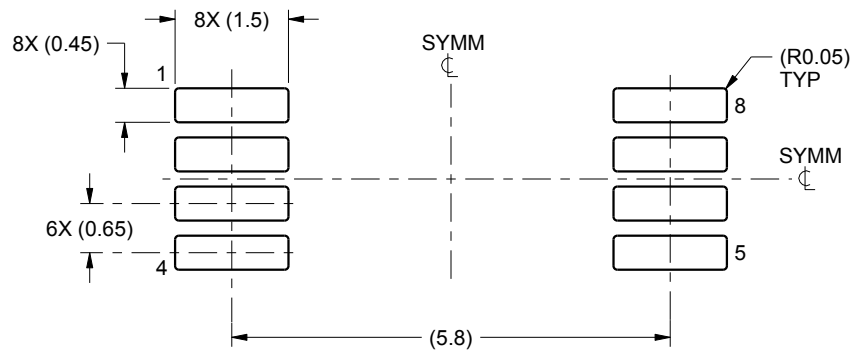
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

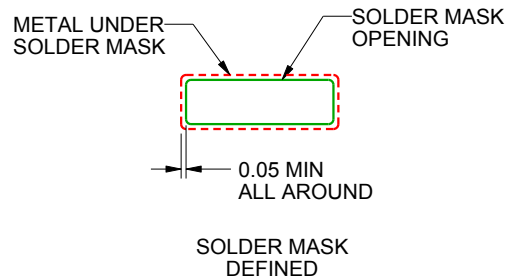
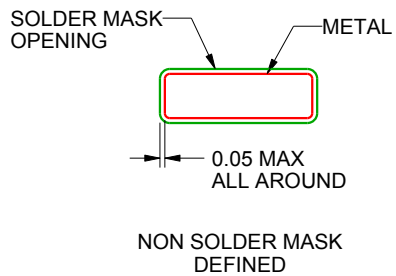
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

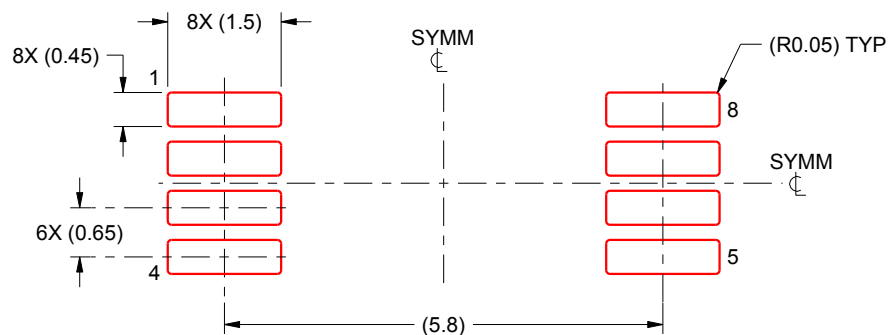
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月