TLV916x 16V、11MHz、レール ツー レール入出力、低オフセット電圧、低ノイズ オペアンプ

1 特長

- 低いオフセット電圧:±210μV
- 低いオフセット電圧ドリフト:±0.25μV/°C
- 低ノイズ:1kHz で 6.8nV/√Hz、広帯域で 4.2nV/√Hz
- 大きい同相除去:110dB
- 低いバイアス電流:±10pA
- レール ツー レール入出力
- 多重化対応 / コンパレータ入力
  - 電源レールまでの差動入力でアンプが動作
  - アンプを開ループで、またはコンパレータとして使用可能
- 広い帯域幅:11MHz GBW、ユニティ ゲインで安定
- 高いスルーレート:33V/μs
- 低い静止電流:アンプ 1 個あたり 2.4mA
- 広い電源範囲:±1.35V～±8V、2.7V～16V
- 堅牢な EMIRR 性能

2 アプリケーション

- 業務用マイク / ワイヤレス・システム
- 多重化データ・アクイジション・システム
- 試験および計測機器
- ファクトリ・オートメーションおよび制御
- ハイサイドおよびローサイドの電流検出

3 概要

TLV916x ファミリ (TLV9161、TLV9162、TLV9164) は、16V 汎用オペアンプ ファミリです。これらのデバイスは、レール ツー レール入出力、低オフセット (±210μV、標準値)、低オフセット ドリフト (±0.25μV/°C、標準値)、低ノイズ (1kHz 時に 6.8nV/√Hz、10kHz 時に 4.2nV/√Hz) など、非常に優れた DC 精度と AC 性能を備えています。

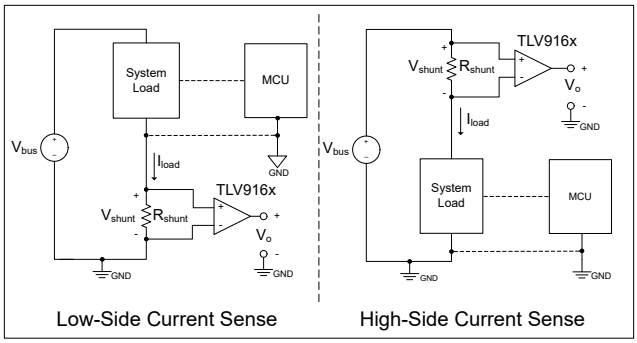
電源レールまでの差動および同相入力電圧範囲、大きい短絡電流 (±73mA)、大きいスルーレート (33V/μs) などの特長を備えた TLV916x は、産業用アプリケーションに適した柔軟で堅牢な高性能オペアンプです。

TLV916x ファミリのオペアンプは、標準パッケージ (SOT-23、SOIC、TSSOP など) だけでなく小型パッケージ (X2QFN、WSON など) でも供給され、-40°C～125°C で仕様が規定されています。

製品情報

部品番号(1)	チャネル数	パッケージ	パッケージ サイズ(2)
TLV9161	シングル	DCK (SC70、5)	2.00mm × 2.10mm
		DBV (SOT-23、5)	2.90mm × 2.80mm
TLV9161S	シングル、シャットダウン	DBV (SOT-23、6)	2.90mm × 2.80mm
TLV9162	デュアル	D (SOIC、8)	4.90mm × 6.00mm
		DDF (SOT-23、8)	2.90mm × 2.80mm
		PW (TSSOP、8)	3.00mm × 6.40mm
		DGK (VSSOP、8)	3.00mm × 4.90mm
		DSG (WSON、8)	2.00mm × 2.00mm
TLV9162S	デュアル、シャットダウン	RUG (X2QFN、10)	1.50mm × 2.00mm
TLV9164	クワッド	D (SOIC、14)	8.65mm × 6.00mm
		PW (TSSOP、14)	5.00mm × 6.40mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



TLV916x を使用した電流検出アプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 ESD 定格.....7
5.3 推奨動作条件.....7
5.4 シングル チャネルの熱に関する情報.....8
5.5 デュアル チャネルの熱に関する情報.....8
5.6 クワッド チャネルの熱に関する情報.....8
5.7 電気的特性.....9
5.8 代表的特性.....12
6 詳細説明.....19
6.1 概要.....19
6.2 機能ブロック図.....19
6.3 機能説明.....20
6.4 デバイスの機能モード.....27
7 アプリケーションと実装.....28
7.1 アプリケーション情報.....28
7.2 代表的なアプリケーション.....28
7.3 電源に関する推奨事項.....30
7.4 レイアウト.....30
8 デバイスおよびドキュメントのサポート.....33
8.1 デバイスのサポート.....33
8.2 ドキュメントのサポート.....33
8.3 ドキュメントの更新通知を受け取る方法.....33
8.4 サポート・リソース.....33
8.5 商標.....33
8.6 静電気放電に関する注意事項.....34
8.7 用語集.....34
9 Revision History.....34
10 メカニカル、パッケージ、および注文情報.....35

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

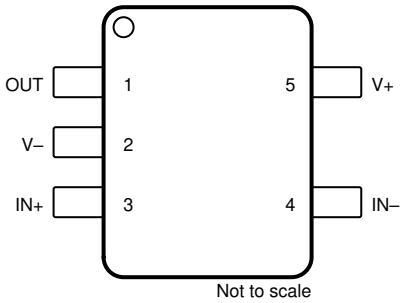


図 4-1. TLV9161 DBV パッケージ 5 ピン SOT-23 (上面図)

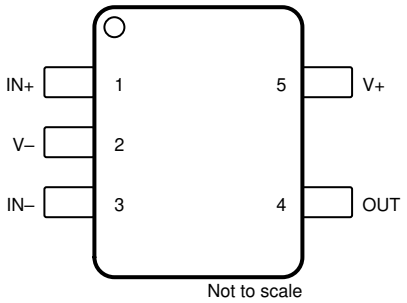


図 4-2. TLV9161 DCK パッケージ 5 ピン SC70 (上面図)

表 4-1. ピンの機能：TLV9161

ピン			I/O	説明
名称	SOT-23	SC70		
IN+	3	1	I	非反転入力
IN-	4	3	I	反転入力
OUT	1	4	O	出力
V+	5	5	—	正 (最高) 電源
V-	2	2	—	負 (最低) 電源

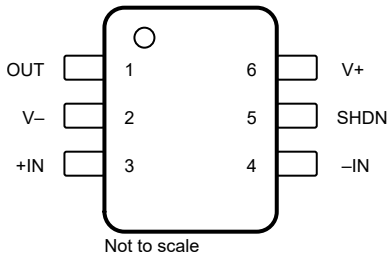


図 4-3. TLV9161S DBV パッケージ 6 ピン SOT-23 (上面図)

表 4-2. ピンの機能：TLV9161S

ピン		I/O	説明
名称	番号		
+IN	3	I	非反転入力
-IN	4	I	反転入力
OUT	1	O	出力
SHDN	5	I	シャットダウン：Low = アンプがイネーブル、High = アンプがディセーブル。
V+	6	—	正 (最高) 電源
V-	2	—	負 (最低) 電源

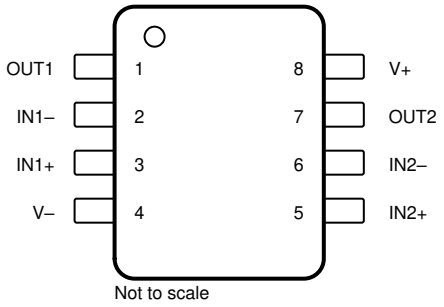
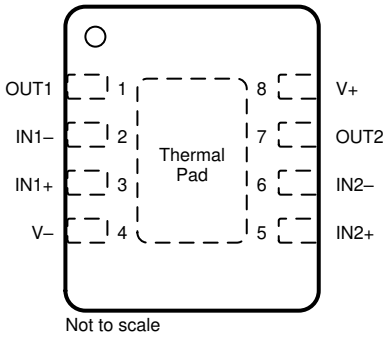


図 4-4. TLV9162 D、DDF、PW、DGK パッケージ 8 ピン SOIC、SOT-23、TSSOP、VSSOP (上面図)



A. サーマル パッドを V– に接続します。詳細については、「セクション 6.3.10」を参照してください。

図 4-5. TLV9162 DSG パッケージ(A) 8 ピン WSON (露出サーマル パッド付き) (上面図)

表 4-3. ピンの機能：TLV9162

ピン		I/O	説明
名称	番号		
IN1+	3	I	非反転入力、チャネル 1
IN1-	2	I	反転入力、チャネル 1
IN2+	5	I	非反転入力、チャネル 2
IN2-	6	I	反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

Copyright © 2024 Texas Instruments Incorporated

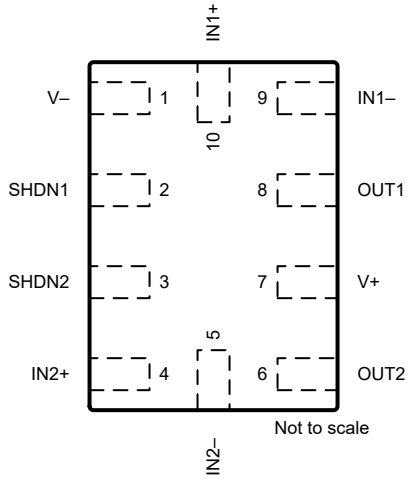


図 4-6. TLV9162S RUG パッケージ
10 ピン X2QFN
(上面図)

表 4-4. ピンの機能：TLV9162S

ピン		I/O	説明
名称	番号		
IN1+	10	I	非反転入力、チャネル 1
IN1-	9	I	反転入力、チャネル 1
IN2+	4	I	非反転入力、チャネル 2
IN2-	5	I	反転入力、チャネル 2
OUT1	8	O	出力、チャネル 1
OUT2	6	O	出力、チャネル 2
SHDN1	2	I	シャットダウン、チャネル 1：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、*セクション 6.3.11* を参照してください。
SHDN2	3	I	シャットダウン、チャネル 2：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、*セクション 6.3.11* を参照してください。
V+	7	—	正 (最高) 電源
V-	1	—	負 (最低) 電源

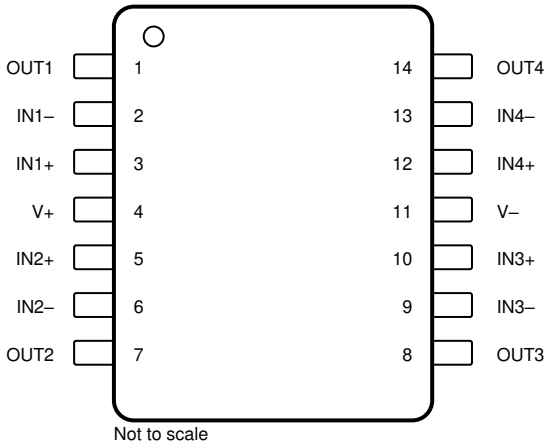


図 4-7. TLV9164 D および PW パッケージ
14 ピン SOIC および TSSOP
(上面図)

表 4-5. ピンの機能：TLV9164

ピン		I/O	説明
名称	番号		
IN1+	3	I	非反転入力、チャネル 1
IN1-	2	I	反転入力、チャネル 1
IN2+	5	I	非反転入力、チャネル 2
IN2-	6	I	反転入力、チャネル 2
IN3+	10	I	非反転入力、チャネル 3
IN3-	9	I	反転入力、チャネル 3
IN4+	12	I	非反転入力、チャネル 4
IN4-	13	I	反転入力、チャネル 4
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V+	4	—	正 (最高) 電源
V-	11	—	負 (最低) 電源

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) [1]

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	20	V
信号入力ピン	同相電圧[3]	(V-) - 0.5	(V+) + 0.5	V
	差動電圧[3]		V_S + 0.2	V
	電流[3]	-10	10	mA
シャットダウン ピンの電圧		V-	V+	
出力短絡[2]		連続		
動作時周囲温度、T_A		-55	150	℃
接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」に示す定格を超えて本デバイスを動作させた場合、デバイスに永続的な損傷が発生します。これらはプロセスと設計の制約に基づくストレス定格に過ぎず、「推奨動作条件」に示された以外の条件で動作するようにはこのデバイスは設計されていません。絶対最大定格条件を含め、推奨動作条件以外のいかなる条件にも長時間さらすと、デバイスの信頼性と性能に影響を及ぼす可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。
(3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	±1500	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	2.7	16	V
V_I	同相電圧範囲	V-	V+	V
V_{IH}	シャットダウン ピンでの High レベル入力電圧 (アンプがディセーブル)	(V-) + 1.1	V+	V
V_{IL}	シャットダウン ピンでの Low レベル入力電圧 (アンプがイネーブル)	V-	(V-) + 0.2	V
T_A	規定温度	-40	125	℃

5.4 シングル チャネルの熱に関する情報

熱評価基準[1]		TLV9161、TLV9161S			単位
		DBV (SOT-23)		DCK (SC70)	
		5 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	185.4	166.9	198.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	83.9	83.9	94.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	52.5	47.1	45.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	25.4	25.9	16.9	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	52.1	47.0	45.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 デュアル チャネルの熱に関する情報

熱評価基準[1]		TLV9162、TLV9162S						単位
		D (SOIC)	DDF (SOT-23)	DGK (VSSOP)	DSG (WSON)	PW (TSSOP)	RUG (X2QFN)	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	131.0	149.6	174.2	74.8	183.4	131.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	73.0	85.3	65.9	93.6	72.4	52.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	74.5	68.6	95.9	42.1	114.0	62.0	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	25.0	7.9	11.0	3.8	12.1	1.1	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	73.8	68.4	94.4	41.9	112.3	61.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	17.0	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.6 クワッド チャネルの熱に関する情報

熱評価基準[1]		TLV9164		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	99.0	118.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	55.1	47.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	54.8	61.9	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	16.7	5.5	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	54.4	61.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.7 電気的特性

V_S = (V+) - (V-) = 2.7 V～16 V (±1.35 V～±8 V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	代表値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = V-			±0.21	±1	mV
			T_A = -40℃～125℃			±1.2	
dV_{OS}/dT	入力オフセット電圧ドリフト	V_{CM} = V-	T_A = -40℃～125℃		±0.25		μV/℃
PSRR	入力オフセット電圧と電源との関係	TLV9161、TLV9162、V_{CM} = V–、V_S = 5 V～16 V			±0.45	±2	μV/V
			T_A = -40℃～125℃		±0.45	±3	
		TLV9162SIRUGR、V_{CM} = V–、V_S = 5V～16V(1)			±0.45	±2.8	
			T_A = -40℃～125℃		±0.45	±3.1	
		TLV9164、V_{CM} = V–、V_S = = 5 V～16 V			±0.45	±2.2	
			T_A = -40℃～125℃		±0.45	±3.8	
		TLV9161、TLV9162、TLV9164、V_{CM} = V–、V_S = 2.7 V～16 V (1)	T_A = -40℃～125℃		±2	±12	
	DC チャネル セパレーション				0.4		μV/V
入力バイアス電流							
I_B	入力バイアス電流				±10		pA
I_{OS}	入力オフセット電流				±10		pA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz～10Hz			2.7		$μV_{PP}$
					0.49		$μV_{RMS}$
e_N	入力電圧ノイズ密度	f = 1kHz			6.8		nV/√Hz
		f = 10 kHz			4.2		
i_N	入力電流ノイズ密度	f = 1kHz			55		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧範囲			(V-)		(V+)	V
同相信号除去比	同相除去比	V_S = 16V、V– < V_{CM} < (V+) - 2V (PMOS ペア)	T_A = -40℃～125℃	85	110		dB
		V_S = 5V、V– < V_{CM} < (V+) - 2V (PMOS ペア)(1)		75	98		
		V_S = 2.7V、V– < V_{CM} < (V+) - 2V (PMOS ペア)			90		
		V_S = 2.7～16V、(V+) - 1V < V_{CM} < V+ (NMOS ペア)			78		
		(V+) - 2V < V_{CM} < (V+) - 1V		図 5-6 を参照してください			
入力インピーダンス							
Z_{ID}	差動				100 || 9		MΩ || pF
Z_{ICM}	同相				6 || 1		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 16V、V_{CM} = V_S / 2、(V–) + 0.1V < V_O < (V+) - 0.1V		120	136		dB
			T_A = -40℃～125℃		136		
		V_S = 5V、V_{CM} = V_S / 2、(V–) + 0.1V < V_O < (V+) - 0.1V(1)		104	125		
			T_A = -40℃～125℃		125		
		V_S = 2.7 V、V_{CM} = V_S / 2、(V–) + 0.1V < V_O < (V+) - 0.1V(1)		90	105		
			T_A = -40℃～125℃		105		
周波数応答							
GBW	ゲイン帯域幅積				11		MHz

5.7 電気的特性 (続き)

V_S = (V+) - (V-) = 2.7 V～16 V (±1.35 V～±8 V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
SR	スルー レート	V_S = 16V、G = +1、V_{STEP} = 10V、C_L = 20pF[3]		33		V/µs
t_S	セトリング時間	0.1% まで、V_S = 16V、V_{STEP} = 10V、G = +1、C_L = 20pF		0.70		µs
		0.1% まで、V_S = 16V、V_{STEP} = 2V、G = +1、C_L = 20pF		0.22		
		0.01% まで、V_S = 16V、V_{STEP} = 10 V、G = +1、C_L = 20pF		0.89		
		0.01% まで、V_S = 16V、V_{STEP} = 2V、G = +1、C_L = 20pF		0.42		
	位相マージン	G = +1、R_L = 10kΩ、C_L = 20pF		64		°
	過負荷回復時間	V_{IN} × ゲイン > V_S		120		ns
THD+N	全高調波歪み + ノイズ	V_S = 16V、V_O = 3V_{RMS}、G = 1、f = 1kHz		0.00005%		
				126		dB
		V_S = 10 V、V_O = 3 V_{RMS}、G = 1、f = 1 kHz、R_L = 128 Ω		0.0032%		
				90		dB
		V_S = 10 V、V_O = 0.4V_{RMS}、G = 1、f = 1 kHz、R_L = 32 Ω		0.00032%		
				110		dB

Copyright © 2024 Texas Instruments Incorporated

5.7 電気的特性 (続き)

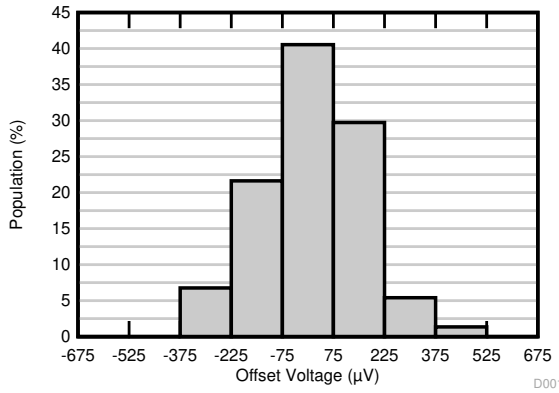
V_S = (V+) - (V-) = 2.7 V～16 V (±1.35 V～±8 V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	代表値	最大値	単位
出力							
	電圧出力スイング (レールから)	正および負のレールのヘッドルーム	V_S = 16 V、R_L=無負荷		6		mV
			V_S = 16 V、R_L = 10kΩ		25	60	
			V_S = 16 V、R_L = 2kΩ		85	300	
			V_S = 2.7 V、R_L=無負荷		0.5		
			V_S = 2.7 V、R_L = 10kΩ		5	20	
			V_S = 2.7 V、R_L = 2kΩ		20	50	
I_{SC}	短絡電流				±73		mA
C_{LOAD}	容量性負荷駆動能力				図 5-33 を参照		pF
Z_O	オープン ループ出力インピーダンス	I_O = 0 A			図 5-30 を参照		Ω
電源							
I_Q	アンプごとの静止電流	TLV9162、TLV9164、I_O = 0A			2.4	2.8	mA
			T_A = -40℃～125℃			2.84	
		TLV9161、I_O = 0A			2.48	2.92	
			T_A = -40℃～125℃			2.98	
シャットダウン							
I_{QSD}	アンプごとの静止電流	V_S = 2.7V～16 V、すべてのアンプがディセーブル、SHDN = V- + 2V			36	45	µA
Z_{SHDN}	シャットダウン時の出力インピーダンス	V_S = 2.7 V～16 V、アンプがディセーブル			10 || 2		GΩ || pF
V_{IH}	ロジック High スレッショルド電圧 (アンプがディセーブル)	有効な入力が High の場合、SHDN ピンの電圧は最大スレッショルドより高く、かつ V+ 以下の必要があります				(V–) + 1.1V	V
V_{IL}	ロジック Low スレッショルド電圧 (アンプがイネーブル)	有効な入力が Low の場合、SHDN ピンの電圧は最小スレッショルドより低く、かつ V- 以上の必要があります		(V–) + 0.2V			V
t_{ON}	アンプのイネーブル時間 (シャットダウン以降) (2)	V_S = ±8V、G = +1、V_{CM} = V_S / 2、R_L = 10kΩ で V- に接続			5		µs
t_{OFF}	アンプのディセーブル時間 (2)	V_S = ±8V、G = +1、V_{CM} = V_S / 2、R_L = 10kΩ で V- に接続			3		µs
	SHDN ピンの入力バイアス電流 (ピンごとの)	V_S = 2.7V～16V、V+ ≥ SHDN ≥ (V–) + 0.9V			500		nA
		V_S = 2.7 V～16 V、(V–) ≤ SHDN ≤ (V–) + 0.7V			400		

(1) 特性評価のみによって規定されています。
(2) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、SHDN ピンに印加される信号の 50% ポイントと、出力電圧が最終値の 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との間の時間間隔として定義されます。
(3) 詳細については、図 5-15 を参照してください。

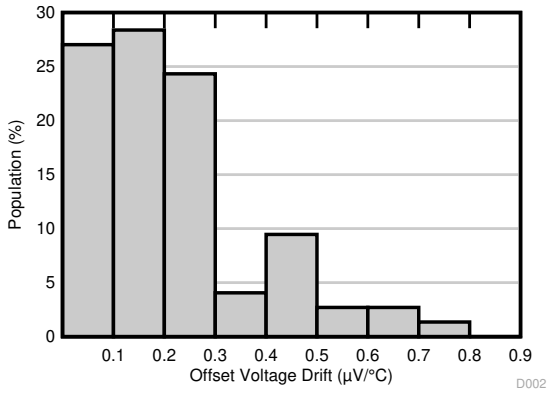
5.8 代表的特性

T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)



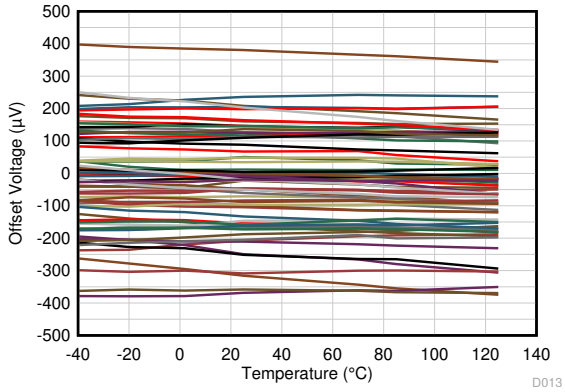
74 個のアンプにおける分布、T_A = 25℃

図 5-1. オフセット電圧の生産分布



74 個のアンプにおける分布

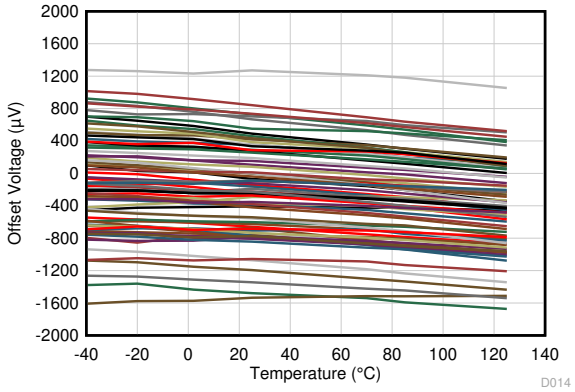
図 5-2. オフセット電圧ドリフトの分布



V_{CM} = V–

74 個のアンプにおけるデータ

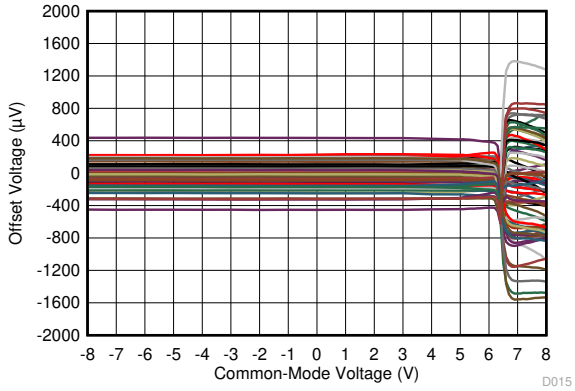
図 5-3. オフセット電圧と温度との関係



V_{CM} = V+

74 個のアンプにおけるデータ

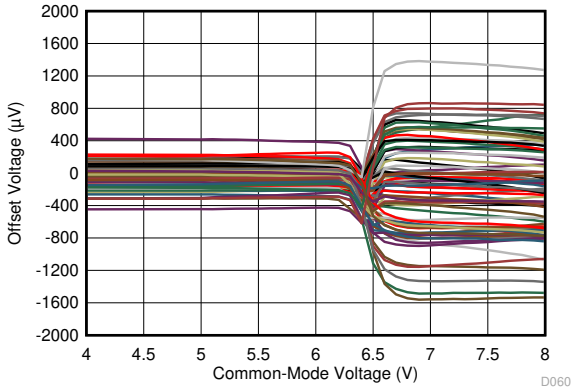
図 5-4. オフセット電圧と温度との関係



T_A = 25℃

74 個のアンプにおけるデータ

図 5-5. オフセット電圧と同相電圧との関係



T_A = 25℃

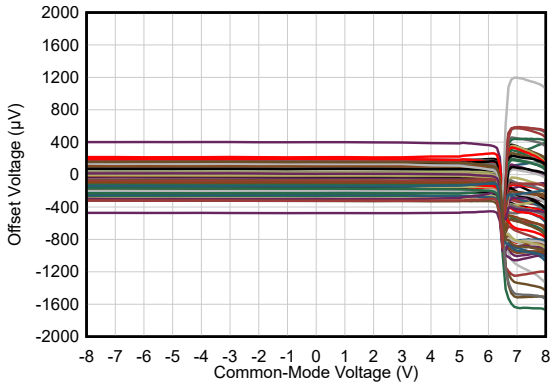
74 個のアンプにおけるデータ

図 5-6. オフセット電圧と同相電圧との関係 (遷移領域)

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

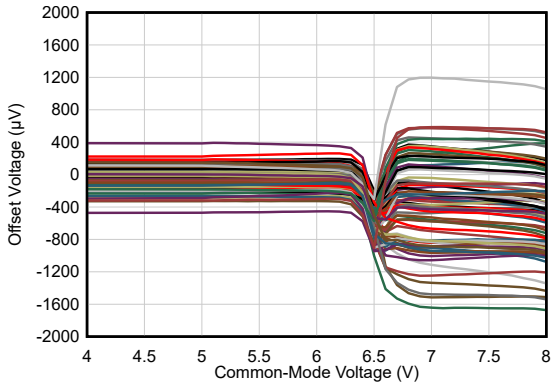
T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)



T_A = 125℃

74 個のアンプにおけるデータ

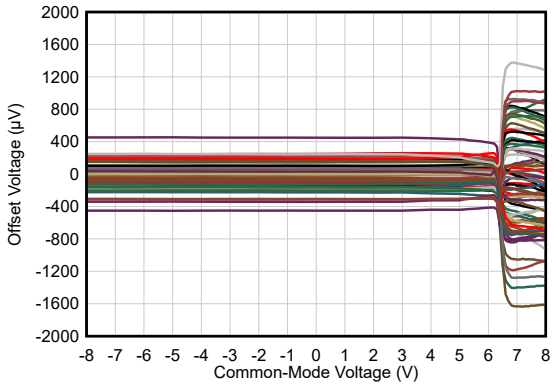
図 5-7. オフセット電圧と同相電圧との関係



T_A = 125℃

74 個のアンプにおけるデータ

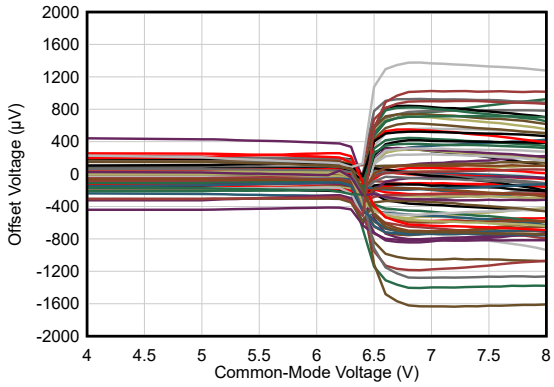
図 5-8. オフセット電圧と同相電圧との関係 (遷移領域)



T_A = -40℃

74 個のアンプにおけるデータ

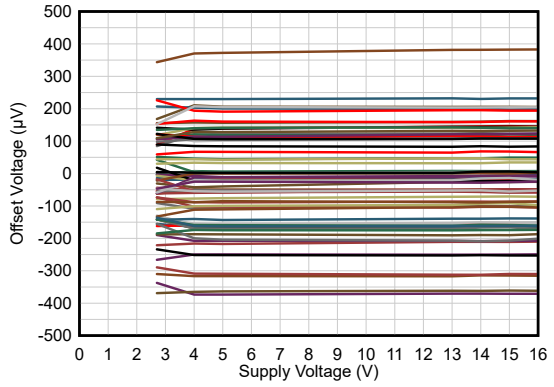
図 5-9. オフセット電圧と同相電圧との関係



T_A = -40℃

74 個のアンプにおけるデータ

図 5-10. オフセット電圧と同相電圧との関係 (遷移領域)



V_{CM} = V–

74 個のアンプにおけるデータ

図 5-11. オフセット電圧と電源電圧との関係

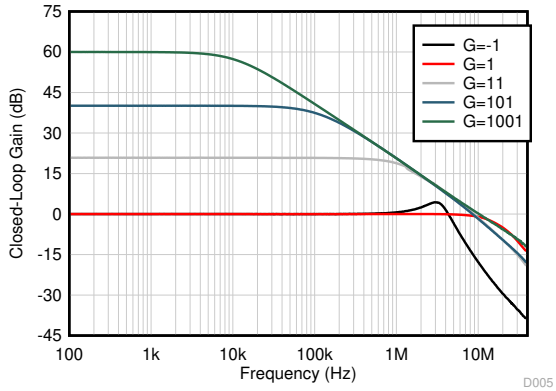
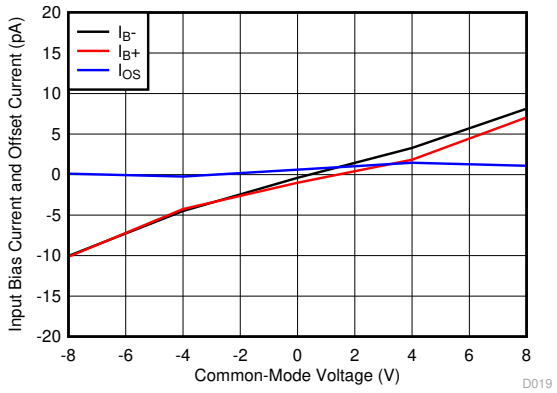


図 5-12. 閉ループ ゲインと周波数との関係

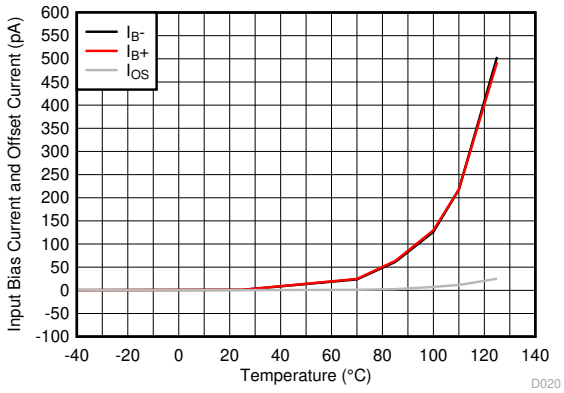
5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)



無負荷

図 5-13. 入力バイアス電流およびオフセット電流と同相温度との関係



無負荷

図 5-14. 入力バイアス電流およびオフセット電流と温度との関係

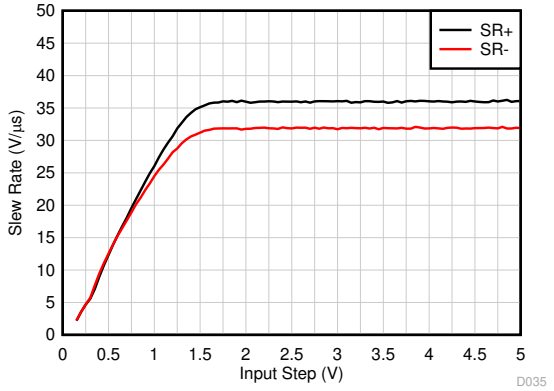
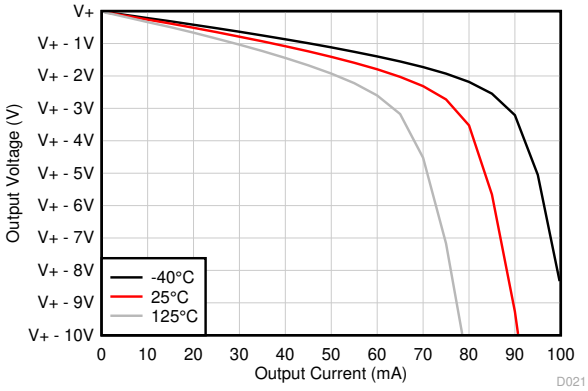
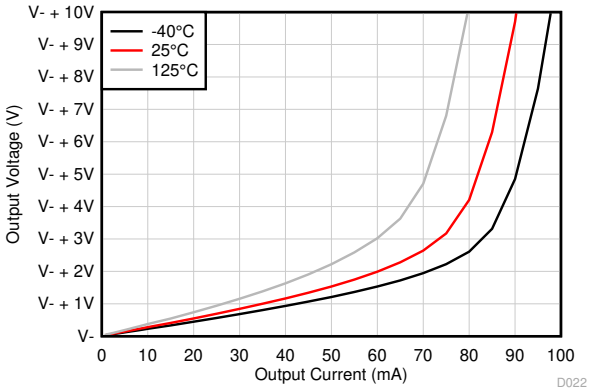


図 5-15. スルーレートと入力ステップ電圧との関係



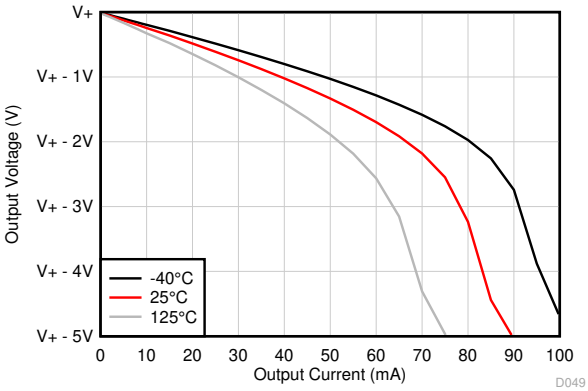
V_S = 16V

図 5-16. 出力電圧スイングと出力電流との関係 (ソース)



V_S = 16V

図 5-17. 出力電圧スイングと出力電流との関係 (シンク)



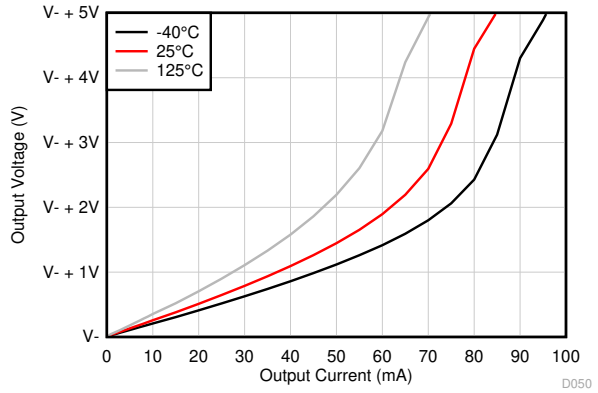
V_S = 5V

図 5-18. 出力電圧スイングと出力電流との関係 (ソース)

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)



V_S = 5V

図 5-19. 出力電圧スイングと出力電流との関係 (シンク)

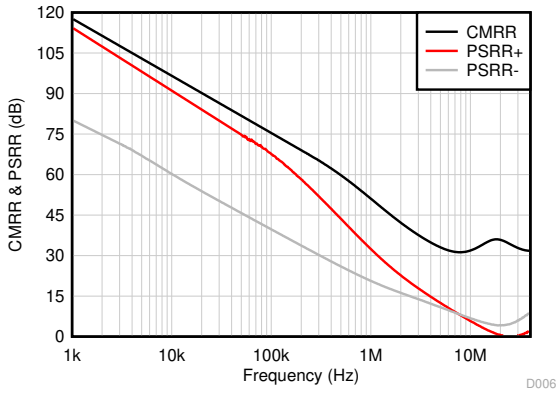
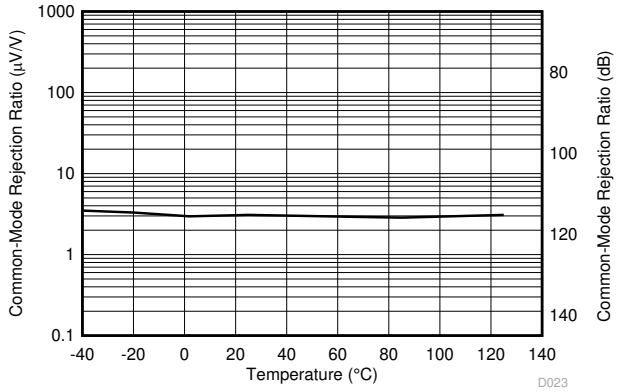
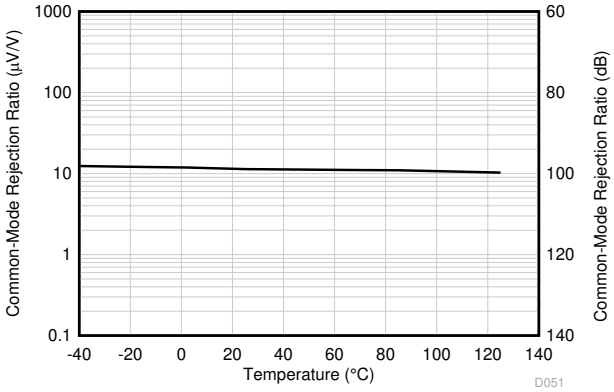


図 5-20. CMRR および PSRR と周波数との関係



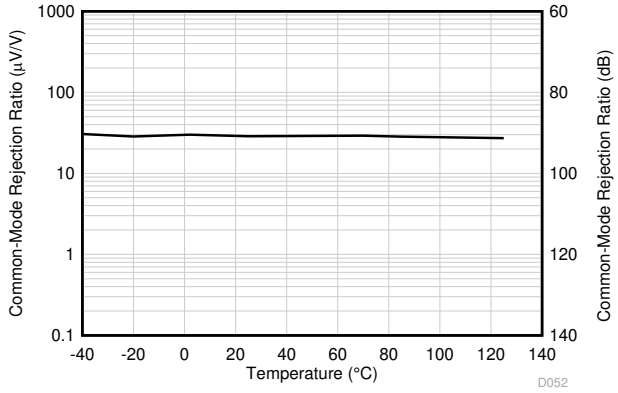
V_S = 16V、V_{CM} = V–

図 5-21. CMRR と温度との関係



V_S = 5V、V_{CM} = V–

図 5-22. CMRR と温度との関係



V_S = 2.7V、V_{CM} = V–

図 5-23. CMRR と温度との関係

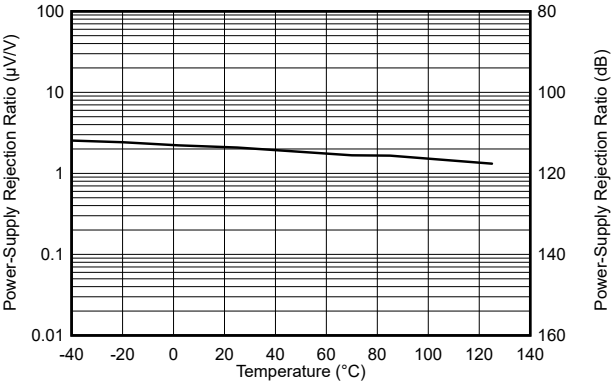


図 5-24. PSRR と温度との関係

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)

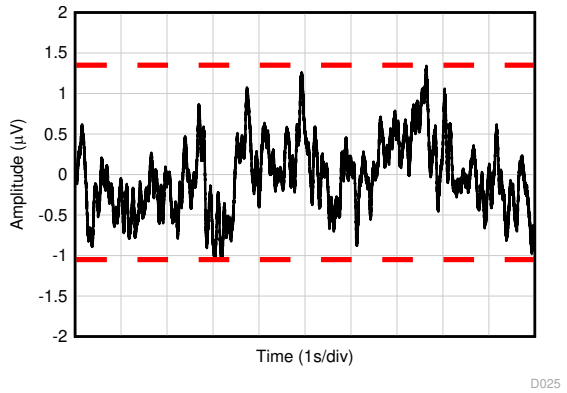


図 5-25. 0.1Hz～10Hz のノイズ

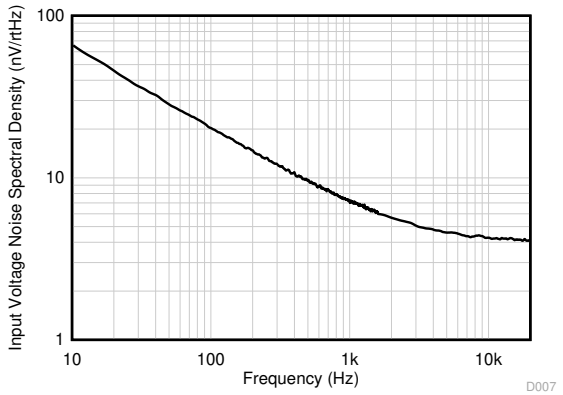
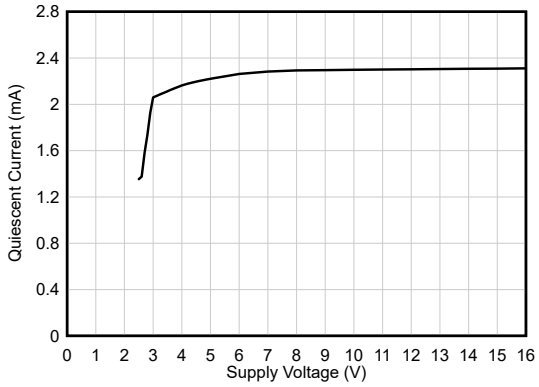
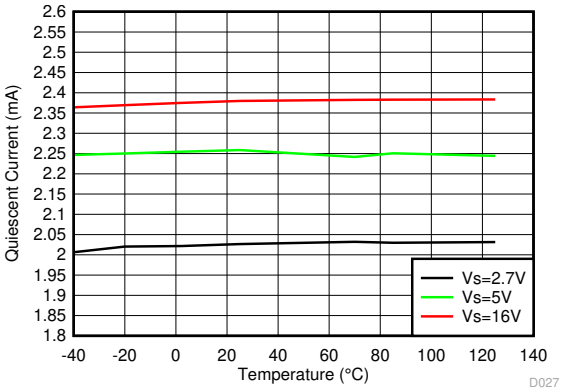


図 5-26. 入力電圧ノイズ スペクトル密度と周波数との関係



V_{CM} = V-

図 5-27. 静止電流と電源電圧との関係



V_{CM} = V–

図 5-28. 静止電流と温度との関係

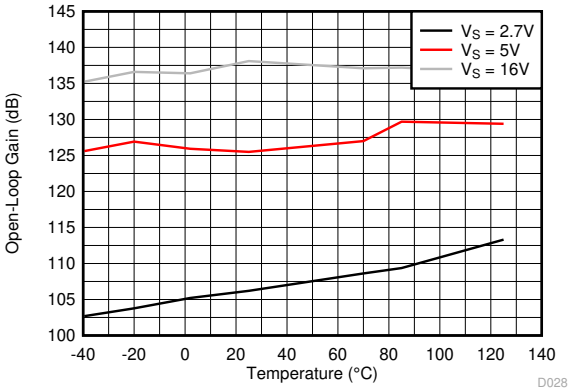


図 5-29. 開ループ電圧ゲインと温度との関係 (dB)

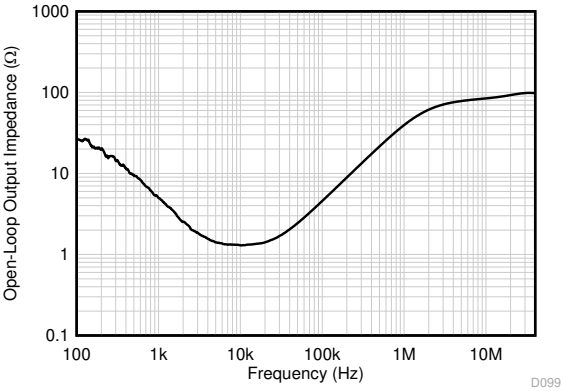
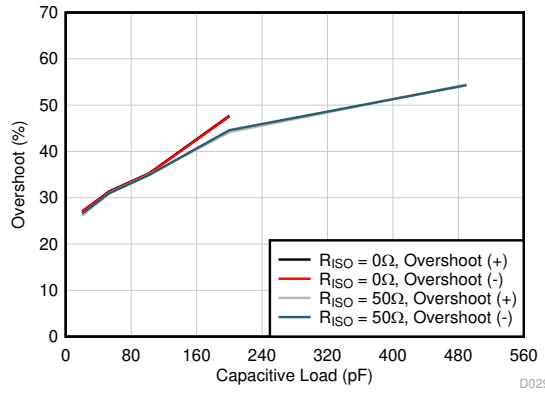


図 5-30. 開ループ出力インピーダンスと周波数との関係

Copyright © 2024 Texas Instruments Incorporated

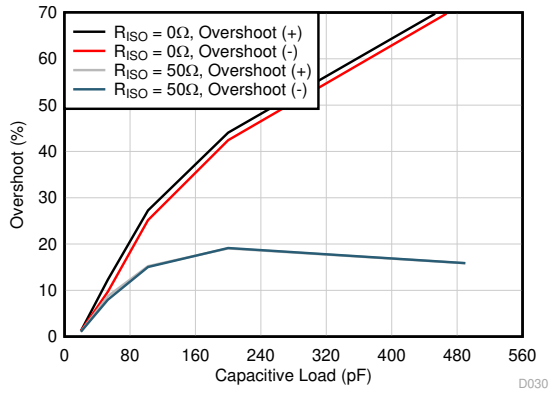
5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)



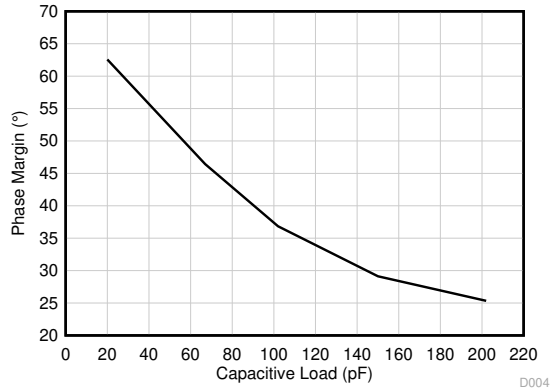
出力ステップ 20mV$_{pp}$、G = –1

図 5-31. 小信号オーバーシュートと容量性負荷との関係



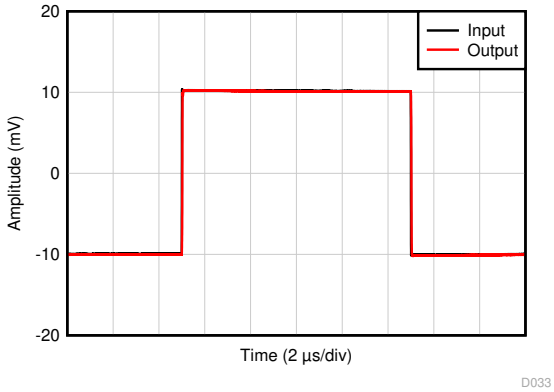
出力ステップ 20mV$_{pp}$、G = +1

図 5-32. 小信号オーバーシュートと容量性負荷との関係



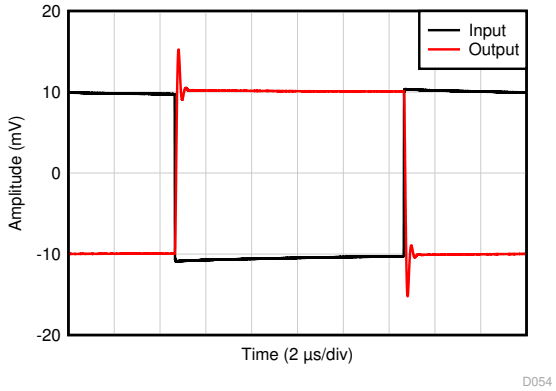
G = +1

図 5-33. 位相マージンと容量性負荷との関係



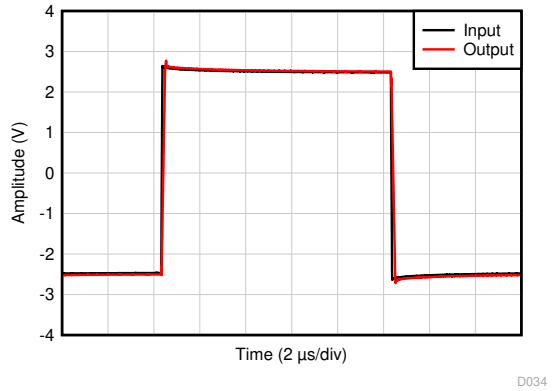
C_L = 20pF、G = 1、20mV$_{pp}$ ステップ応答

図 5-34. 小信号ステップ応答



C_L = 20pF、G = -1、20mV$_{pp}$ ステップ応答

図 5-35. 小信号ステップ応答

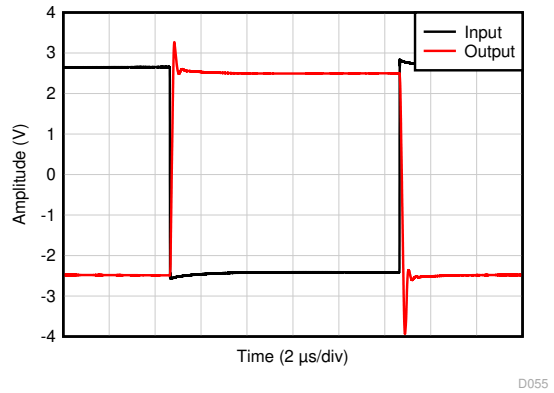


C_L = 20pF、G = 1、5V$_{pp}$ ステップ応答

図 5-36. 大信号ステップ応答

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±8V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ (特に記述のない限り)



C_L = 20pF、G = -1、$5V_{pp}$ ステップ応答

図 5-37. 大信号ステップ応答

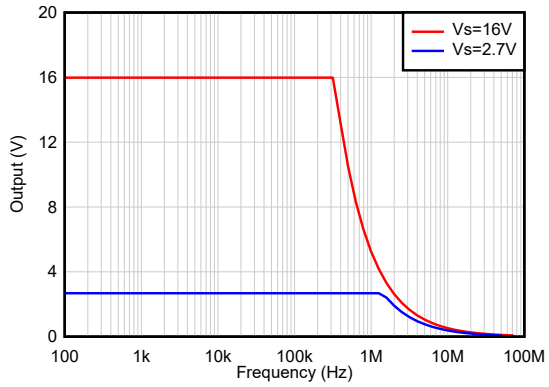


図 5-38. 最大出力電圧と周波数との関係

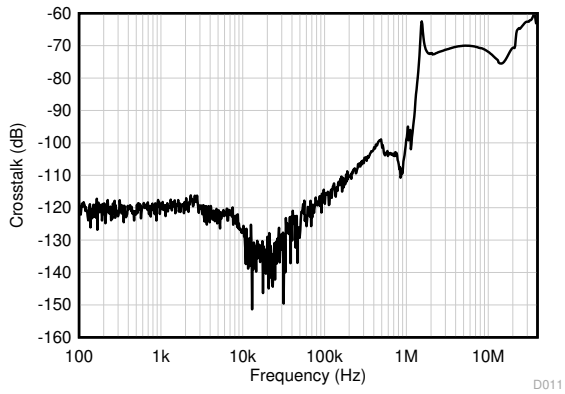


図 5-39. チャネル セパレーションと周波数との関係

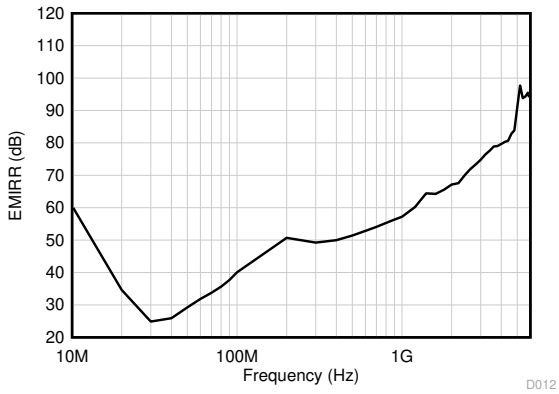


図 5-40. EMIRR (電磁干渉除去比) と周波数との関係

Copyright © 2024 Texas Instruments Incorporated

6 詳細説明

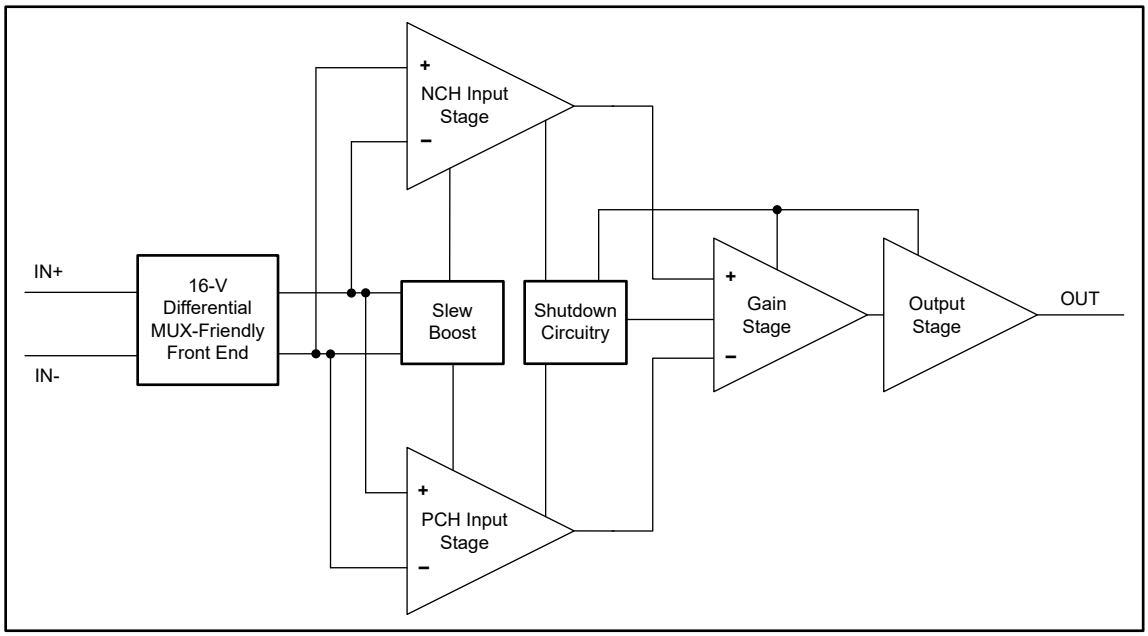
6.1 概要

TLV916x ファミリ (TLV9161、TLV9162、TLV9164) は、16V 汎用オペアンプ ファミリです。

これらのデバイスは、レール ツー レールの入出力、低いオフセット (±210µV、標準値)、低いオフセット ドリフト (±0.25µV/℃、標準値)、11MHz の帯域幅などの優れた DC 精度と AC 性能を備えています。

電源レールまでの差動および同相入力電圧範囲、大きい短絡電流 (±73mA)、大きいスルーレート (33V/µs)、シャットダウンなどの特長を備えた TLV916x は、16V 産業用アプリケーションに適した柔軟で堅牢な高性能オペアンプです。

6.2 機能ブロック図



6.3 機能説明

6.3.1 入力保護回路

TLV916x は、特別な入力アーキテクチャを使用して入力保護ダイオードを不要にするとともに、過渡条件下でも堅牢な入力保護を行います。高速過渡ステップ応答によってアクティブになる従来型の入力ダイオード保護方式を、図 6-1 に示します。この方法では図 6-2 に示すように、代替電流パスのため信号歪みとセトリング時間の遅延が発生します。低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバック ツー バック ダイオードを順バイアスし、セトリング時間が延びます。

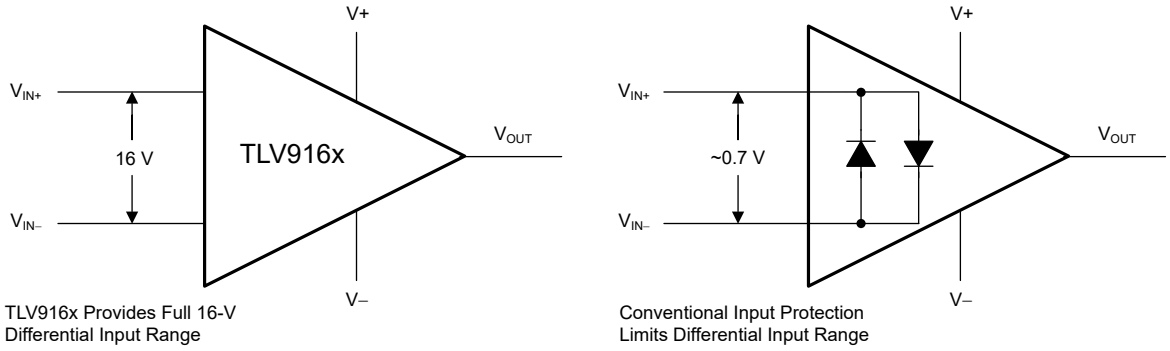


図 6-1. TLV916x の入力保護機能は差動入力能力を制限しない

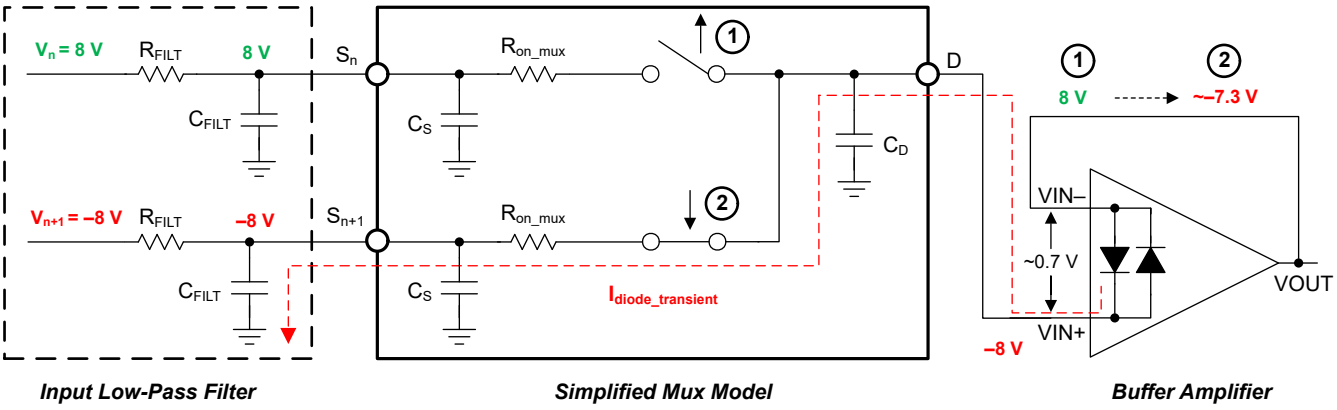


図 6-2. バック ツー バック ダイオードではセトリングの問題が発生する

TLV916x ファミリのオペアンプは、特許取得済みの入力保護アーキテクチャによって真の高インピーダンス差動入力機能を提供します。このアーキテクチャでは、信号歪みの増加やセトリング時間の遅延が発生しないため、マルチチャネルの高スイッチ入力アプリケーションに最適なオペアンプとなります。TLV916x は最大 16V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータとして、またはデータ アクイジション システムなどの高速ランプ入力信号を使用するアプリケーションに適しています。詳細については、TI TechNote『MUX 対応高精度オペアンプ』を参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.3.2 EMI 除去

TLV916x は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品が混在する高密度実装の基板などのソースによる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、TLV916x はこのような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。TLV916x でこのテストを行った結果を、図 6-3 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における TLV916x の EMIRR IN+ 値を、表 6-1 に示します。『オペアンプの EMI 除去率』アプリケーション レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.ti.com からダウンロードできます。

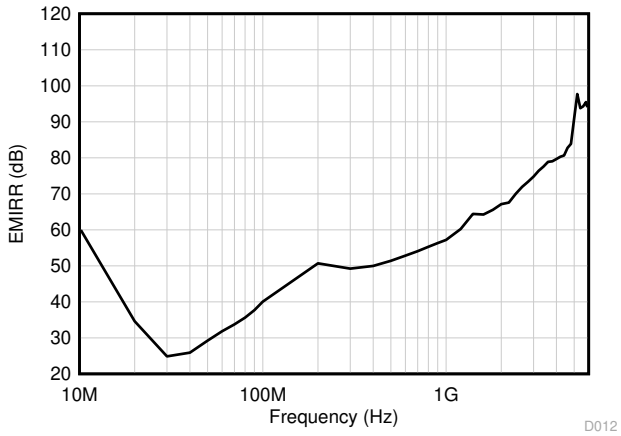


図 6-3. EMIRR テスト

表 6-1. 対象周波数における TLV9161 の EMIRR IN+

周波数	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	50.0dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	56.3dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	65.6dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	70.0dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	78.9dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	91.0dB

6.3.3 過熱保護動作

あらゆるアンプは、内部消費電力によって内部 (接合部) の温度が上昇します。この現象を「自己発熱」と呼びます。TLV916x の絶対最大接合部温度は 150℃です。この温度を超えると、デバイスが損傷します。TLV916x には過熱保護機能があり、自己発熱による損傷を低減できます。この保護機能はデバイスの温度を監視し、温度が 170℃を超えるとオペアンプの出力ドライブをオフにします。TLV9162 の消費電力 (0.627W) のために自己発熱が大きくなるアプリケーションの例を、図 6-4 に示します。この例では、どちらのチャネルも静止消費電力を持ち、一方のチャネルには大きな負荷があります。熱に関する計算から、周囲温度が 60℃の場合、デバイスの接合部温度は 175℃に達することが示されます。しかし、実際のデバイスでは出力ドライブがオフになるので、接合部の温度は安全域に回復します。過熱保護時の回路の動作を、図 6-4 に示します。通常の動作では、デバイスはバッファとして動作し、出力は 5V になります。自己発熱によりデバイスの接合部温度が内部制限値を超えた場合、過熱保護機能によって出力が強制的に高インピーダンス状態になり、出力は抵抗 R_L によってグランドにプルダウンされます。過剰な消費電力を引き起こした条件が解消されない場合、出力の障害が修正されるまで、アンプはシャットダウン状態とイネーブル状態をいったりきたりします。熱性能は、選択したパッケージと PCB レイアウト設計によって大きく異なる場合があることに注意してください。この例では、TSSOP (8)パッケージの熱性能を使用しています。

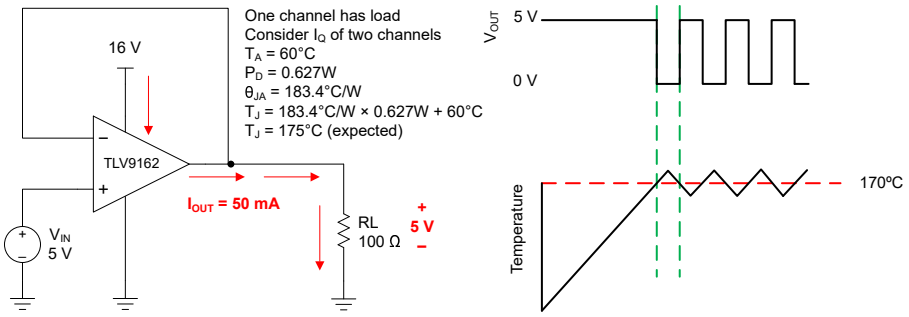


図 6-4. 過熱保護動作

6.3.4 容量性負荷および安定度

TLV916x は出力段を採用しており、中程度の容量性負荷を駆動できます。また、絶縁抵抗を活用することで、より大きな容量性負荷を駆動するよう簡単に構成できます。ゲインを大きくするとアンプの能力が拡張され、より大きな抵抗性負荷を駆動できるようになります。図 6-5 および図 6-6 を参照してください。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。

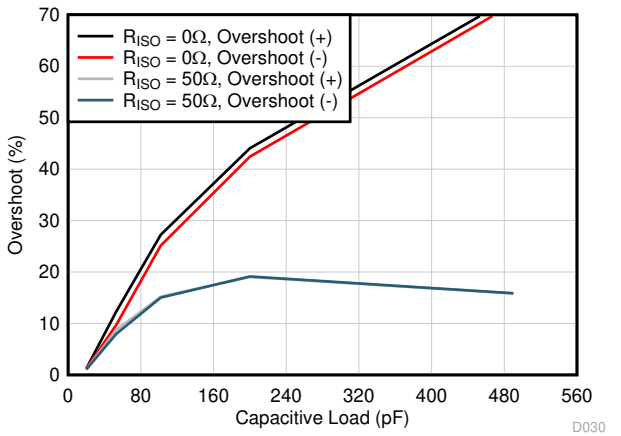


図 6-5. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 20mV$_{pp}$、G = +1)

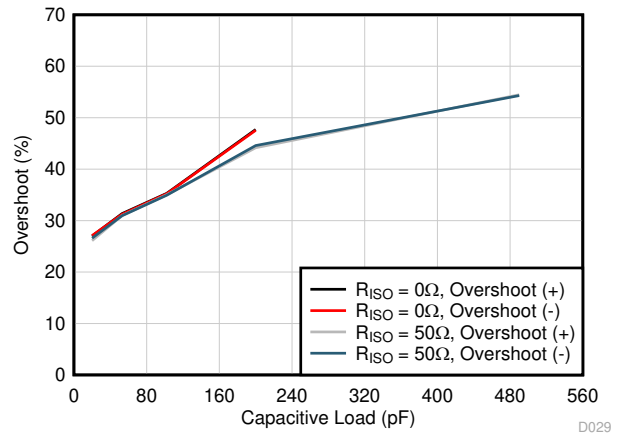


図 6-6. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 20mV$_{pp}$、G = -1)

Copyright © 2024 Texas Instruments Incorporated

ユニティ ゲイン構成で駆動能力を高めるため、図 6-7 に示すように、小さな抵抗 R_{ISO} を出力と直列に挿入し、容量性負荷の駆動能力を増やします。この抵抗は、リンギングを大幅に低減し、純粋な容量性負荷に対して DC 性能を維持します。ただし、容量性負荷と抵抗性負荷が並列に接続されている場合、分圧回路が生まれるため、出力にゲイン誤差が生じ、出力スイングがわずかに減少します。発生する誤差は R_{ISO} / R_L の比に比例し、一般に低い出力レベルでは無視できます。TLV916x は容量性負荷の駆動能力が大きいため、リファレンス バッファ、MOSFET ゲート ドライブ、ケーブル シールド ドライブなどのアプリケーションに最適です。図 6-7 に示す回路は、絶縁抵抗 R_{ISO} を使用してオペアンプの出力を安定させます。R_{ISO} は、システムの開ループ ゲインを変更して位相マージンを変更します。

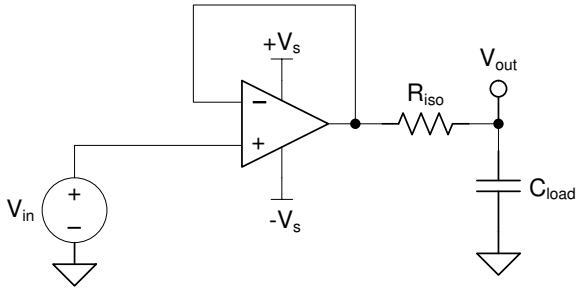


図 6-7. TLV9161 により容量性負荷の駆動能力を拡張

6.3.5 同相電圧範囲

TLV916x は 16V のレール ツー レール入力オペアンプで、入力同相範囲が両方の電源レールまで拡張されています。図 6-8 に示すように、相補型 N チャネルと P チャネルの差動入力ペアを並列接続することで、この広い範囲を実現しています。N チャネル ペアは、正のレールに近い入力電圧、通常は (V+) - 1V から正の電源電圧までの範囲でアクティブになります。P チャネル ペアは、負の電源電圧から、ほぼ (V+) - 2V までの入力でアクティブになります。小さな遷移領域、通常は (V+) - 2V から (V+) - 1V において、両方の入力ペアがオンになります。この遷移領域は、プロセス変動に応じてやや変化することがあります。この領域内での PSRR、CMRR、オフセット電圧、オフセット ドリフト、ノイズ、THD 性能は、この領域外で動作させる場合と比べると低下することがあります。

入力電圧オフセットに関して、デバイスの標準的な遷移領域の詳細を、図 5-5 に示します。

同相電圧範囲と PMOS/NMOS ペアの相互作用の詳細については、「相補型ペア入力段を持つオペアンプ」アプリケーション ノートを参照してください。

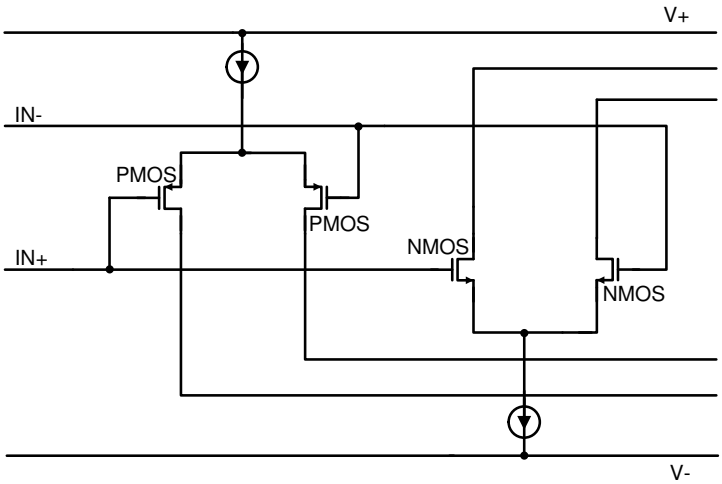


図 6-8. レール ツー レール入力段

6.3.6 位相反転の防止

TLV916x ファミリには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、入力が指定された同相電圧範囲を超えて駆動されると、出力は逆のレールに反転します。TLV916x はレール・ツー・レール入力のオペアンプなので、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。位相反転の詳細については、『相補型ペア入力段を持つオペアンプ』アプリケーション・ノートを参照してください。

6.3.7 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。TLV916x に含まれる ESD 回路の図を、図 6-9 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

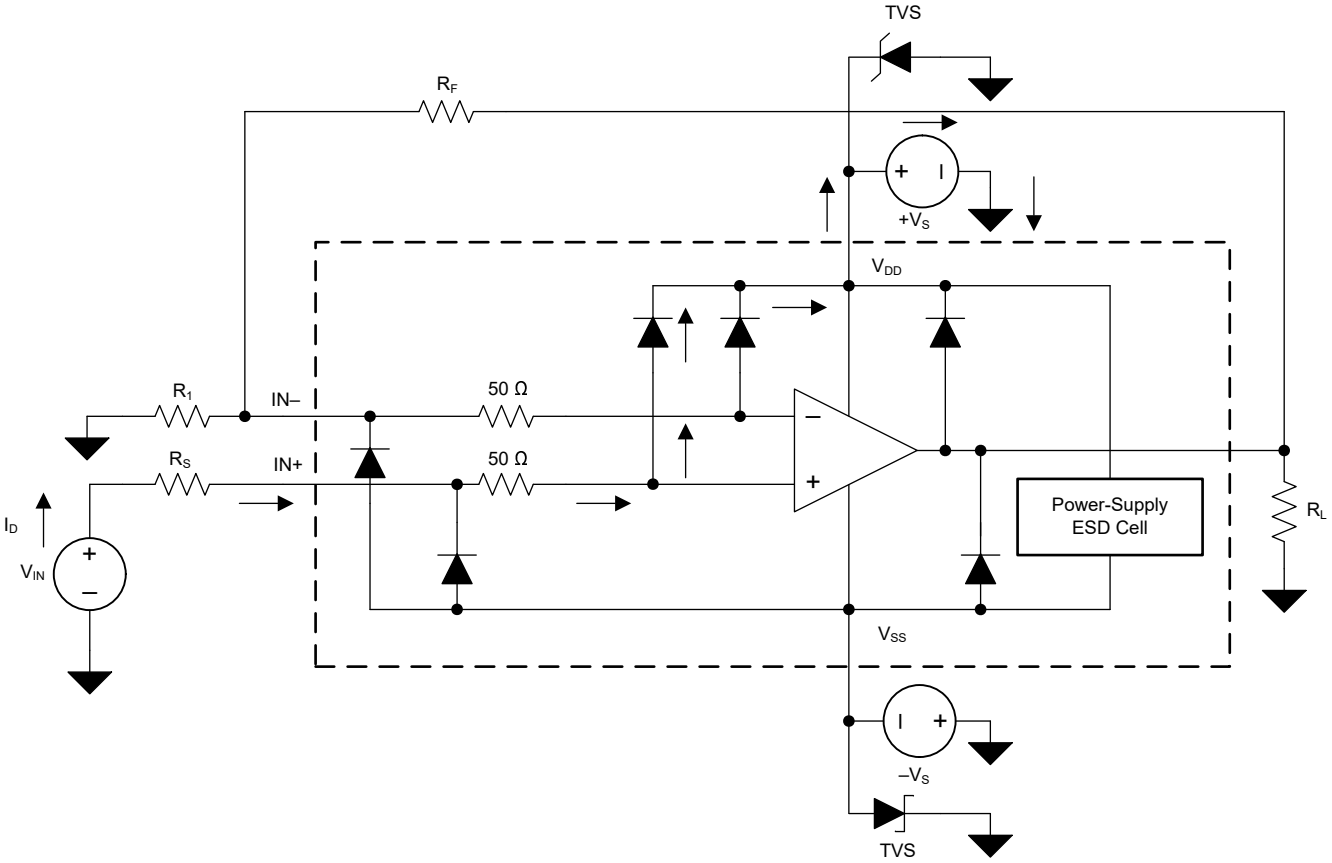


図 6-9. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントは持続時間が非常に短く、電圧が非常に高い (例:1kV、100ns) のに対して、EOS イベントは持続時間が長く、電圧も低くなります (例:50V、100ms)。ESD ダイオードは、回路外の ESD 保護 (つまり、PCB にはんだ付けする

Copyright © 2024 Texas Instruments Incorporated

前にデバイスの組み立て、テスト、保管を行うとき) を目的として設計されています。ESD イベントの間、ESD 信号は ESD ステアリング ダイオードを通過して吸収回路 (「ESD 電源回路」とラベル付けされています) に渡されます。ESD 吸収回路は、電源を安全なレベルにクランプします。

この動作は回路外保護のためには必要なものですが、回路内でこの動作をアクティブにすると、過大な電流と損傷が発生します。過渡電圧サプレッサ (TVS) を使用すると、回路内の ESD イベント発生時に ESD 吸収回路がオンになることで生じる損傷を防止できます。適切な電流制限抵抗と、TVS ダイオードを使用すると、デバイスの ESD ダイオードで EOS イベントからの保護を行えます。

6.3.8 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV916x の過負荷復帰時間は約 120ns です。

6.3.9 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様についての疑問を抱きます。プロセス テクノロジーや製造手順には自然に差異が発生するため、アンプのすべての仕様は、アンプの入力オフセット電圧など、理想的な値からある程度の偏差が生じます。これらの偏差は多くの場合、ガウス分布 (正規分布またはベル曲線) に従います。回路設計者は、「電気的特性」表に最小値または最大値の仕様がない場合でも、この情報を活用してシステムの最低限の品質を確保できます。

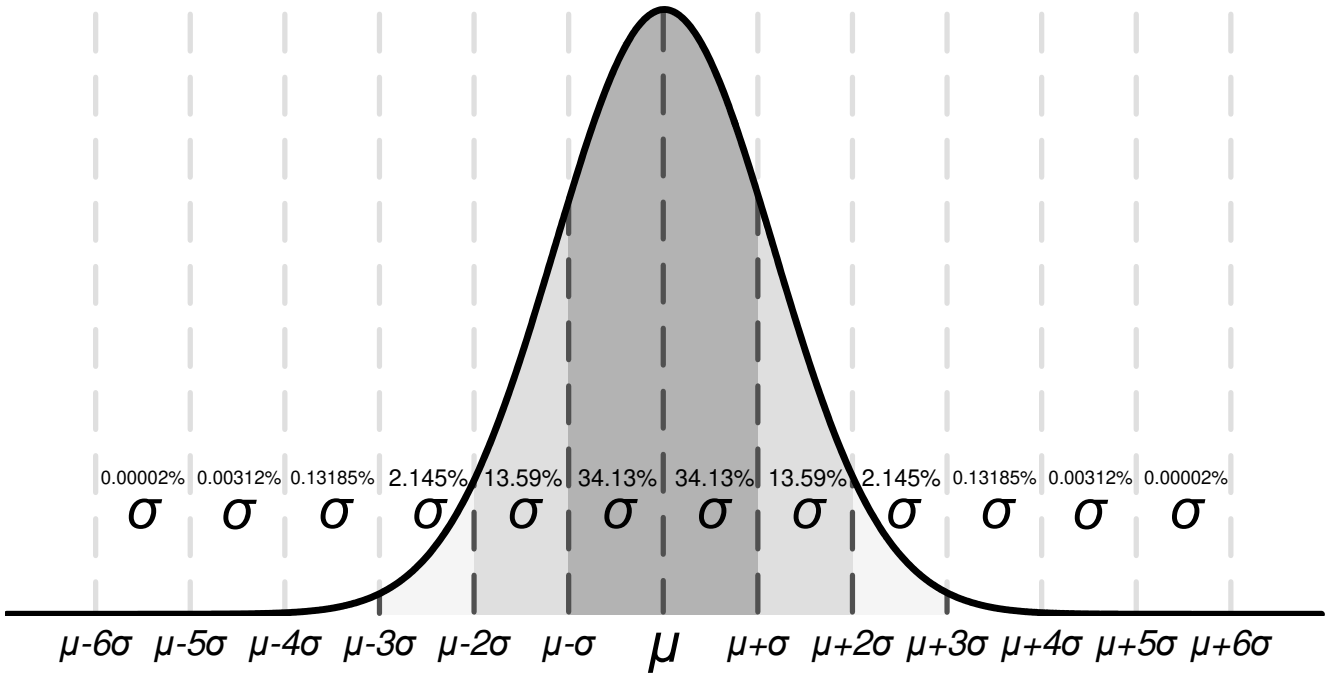


図 6-10. 理想的なガウス分布

分布の例を、図 6-10 に示します。ここで、μ (ミュー) は分布の平均値、σ (シグマ) はシステムの標準偏差です。このような分布を示す仕様では、すべてのユニットのうち約 2/3 (68.26%) の値は、平均値から 1 標準偏差、すなわち 1 シグマ (μ –σ から μ + σ まで) 以内と推定できます。

「電気的特性」表の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。一般的な目安として、仕様の性質上平均値が 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。ただし、入力オフセット電圧のように、その性質上仕様の平均値が 0 に近い場合、最も正確に標準値を表すため、標準値は平均値に 1 標準偏差を加えた値 (μ + σ) と等しくなります。

このグラフを使用して、ユニットの仕様のおおよその確率を計算できます。たとえば TLV916x の場合、入力電圧オフセットの標準値は 210μV なので、すべての TLV916x デバイスのうち 68.2% は -210μV～210μV のオフセットを持つと予想されます。4σ (±840μV) では、分布の 99.9937% のオフセット電圧は ±840μV 未満です。これは、母集団のうちこの制限値を超えているものは 0.0063%、15,873 ユニットのうち約 1 個ということです。

仕様の最小値または最大値の列に値が記載されているものはテキサス・インスツルメンツによって指定されており、これらの制限値を超えたユニットは生産から除去されます。たとえば、TLV916x ファミリの最大オフセット電圧は 25℃において 1mV で、これは約 5σ (約 170 万ユニットのうち 1 つ) に相当し、確率としては非常に低く、オフセット電圧が 1mV を超えるユニットは生産から除去されます。

最小値または最大値の列に値が記載されていない仕様については、アプリケーションに十分な余裕のあるシグマ値を選択し、この値を使用してワーストケース条件を設計することを検討してください。たとえば、6σ の値は約 5 億ユニットのうち 1 つです。これは非常に可能性が低く、システムの設計で大きな余裕を持たせるために適切な可能性があります。この場合、TLV916x ファミリにはオフセット電圧ドリフトの最大値または最小値はありませんが、「電気的特性」表の標準値である 0.25μV/℃に基づいて、オフセット電圧ドリフトの 6σ 値は約 1.5μV/℃と計算できます。ワーストケースのシステム条件を設計する場合、この値を使用すると、実際の最小値または最大値を使用せずに、温度範囲全体で可能性があるワーストケースのオフセットを推定できます。

ただし、時間の経過に伴うプロセスの変動と調整によって、標準偏差と平均値の標準値が変動する可能性があるため、仕様の最小値または最大値の列に値が記載されていないものについて、テキサス・インスツルメンツはデバイスの性能を保証できません。この情報は、デバイスの性能を推定する目的でのみ使用してください。

6.3.10 露出サーマル・パッド付きパッケージ

TLV916x ファミリは、露出サーマル・パッド付きの WSON-8 (DSG) パッケージで供給されます。パッケージ内で、ダイは導電性コンパウンドを使用して、このサーマル・パッドに取り付けられます。このため、露出サーマル・パッド付きのパッケージを使用する場合、サーマル・パッドは V– に接続するか、フローティングのままにする必要があります。V– 以外の電位にサーマル・パッドを取り付けることは許可されず、これを行った場合にデバイスの性能は保証されません。

6.3.11 シャットダウン

TLV916xS デバイスには、オペアンプをディセーブルして低消費電力のスタンバイ モードに移行する 1 つ以上のシャットダウン ピン (SHDN) が搭載されています。このモードでは、オペアンプの消費電流は通常約 36μA です。SHDN ピンはアクティブ High なので、SHDN ピンへの入力が有効なロジック High のとき、シャットダウン モードがイネーブルになります。このアンプは、SHDN ピンへの入力が有効なロジック Low のときイネーブルになります。

SHDN ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 800mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を提供するため、スイッチング スレッショルドにはヒステリシスが含まれています。最適なシャットダウン動作を確保するため、SHDN ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V– と V– + 0.2V の間の電圧と定義されます。有効なロジック High は、V– + 1.1V と V+ の間の電圧と定義されます。シャットダウン ピン回路にはプルダウン抵抗が内蔵されており、シャットダウン ピン回路が駆動されていなければ、ピンの電圧は本質的に負の電源レールにプルされます。したがって、アンプをイネーブルするには、SHDN ピンをフローティングのままにするか、有効なロジック Low に駆動する必要があります。アンプをディセーブルするには、SHDN ピンを有効なロジック High に駆動する必要があります。SHDN ピンで許容される最高電圧は V+ です。V+ を超えると、デバイスが損傷します。

Copyright © 2024 Texas Instruments Incorporated

SHDN ピンは高インピーダンスの CMOS 入力です。シングルおよびデュアル オペアンプ パッケージのチャネルは独立して制御され、クワッド オペアンプ パッケージのチャネルはペアで制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長することができます。シャットダウンからの標準的なイネーブル時間は 5µs、ディセーブル時間は 3µs です。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、TLV916xS ファミリはゲート付きアンプ、マルチプレクサ、またはプログラマブル ゲイン アンプとして動作できます。。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にデバイスをシャットダウン (ディセーブル) するには、指定された 10kΩ 負荷を V– に接続する必要があります。TLV916xS を負荷なしで使用すると、結果的にターンオフ時間が大幅に増加します。

6.4 デバイスの機能モード

TLV916x には単一機能モードがあり、電源電圧が 2.7V (±1.35V) を上回ると動作します。TLV916x の最大電源電圧は 16V (±8V) です。

TLV916xS デバイスにはシャットダウン ピンがあり、オペアンプを低消費電力モードに設定するために使用できます。詳細については、「シャットダウン」セクションを参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TLV916x ファミリは、DC 精度と AC 性能が優れています。これらのデバイスは、最高 16V の電源レールで動作し、真のレール ツー レール入出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、11MHz の帯域幅と、高い出力駆動を実現しています。TLV916x は、これらの特長を持つ、16V 産業用アプリケーション向けの、堅牢で高性能なオペアンプです。

7.2 代表的なアプリケーション

7.2.1 ローサイド電流測定

ローサイド電流検出アプリケーションに構成された TLV9161 を、図 7-1 に示します。理論、計算、シミュレーション、測定データを含む図 7-1 の回路の完全な分析については、TI Precision Design『TIPD129、0A～1A のシングル電源ローサイド電流センシング・ソリューション』を参照してください。

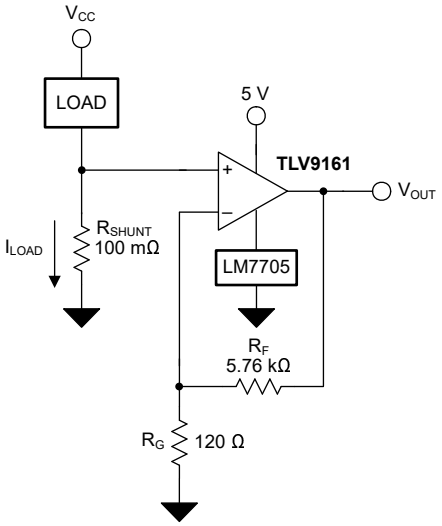


図 7-1. ローサイド電流検出アプリケーションの TLV9161

7.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A～1A
- 出力電圧:4.9V
- 最大シャント電圧:100mV

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2 詳細な設計手順

図 7-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \tag{2}$$

式 2 から、R_{SHUNT} は 100mΩ と計算されます。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は TLV9161 によって増幅され、0V～4.9V の出力電圧を生成します。TLV9161 が必要な出力電圧を生成するために必要なゲインは、式 3 を使用して計算されます。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \tag{3}$$

式 3 から、必要なゲインは 49V/V と計算されます。これは抵抗 R_F と R_G で設定します。TLV9161 のゲインを 49V/V に設定するための抵抗 R_F と R_G のサイズは、式 4 で計算します。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \tag{4}$$

R_F を 5.76kΩ とすると、R_G は 120Ω と計算されます。R_F と R_G は、標準の値の抵抗で 49:1 の比率を生み出せるよう、5.76kΩ と 120Ω を選択します。49:1 の比率にできるなら、他の抵抗を使用してもかまいません。ただし、抵抗が過度に大きいと、オペアンプの固有ノイズを超える熱ノイズが生成されます。図 7-1 に示す回路で測定された伝達関数を図 7-2 に示します。

7.2.1.3 アプリケーション曲線

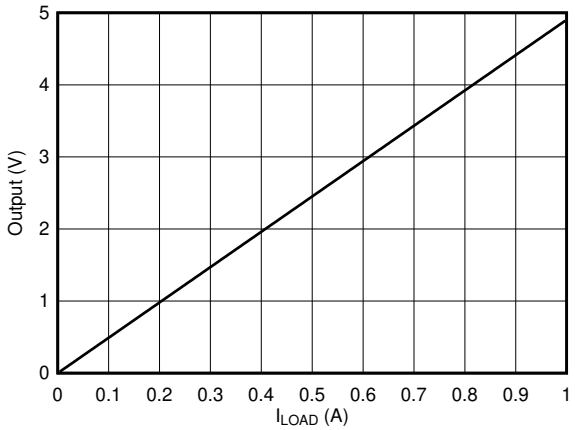


図 7-2. ローサイド、電流検出、伝達関数

7.2.2 バッファ付きマルチプレクサ

TLV916xS シャットダウン・デバイスは、バッファ付きマルチプレクサを作り出すように構成できます。出力は共通バス上で互いに接続でき、シャットダウン・ピンを使用して、パススルーする目的のチャネルを選択できます。アンプ回路は、イネーブル遷移よりも高速にディセーブル遷移が発生するように設計されているため、アンプは自然に「ブレイク・ビフォー・メイク」のスイッチ・トポロジとなります。アンプの出力はシャットダウン時に高インピーダンス状態になるため、複数のチャネル出力を互いに接続してもバス競合のリスクはありません。さらに、出力は入力から絶縁されているため、各チャネルの入力のインピーダンスと出力のインピーダンスとの間で、アンプのゲイン段や ADC ドライバ回路のような望ましくない相互作用が発生する心配はありません。また、このトポロジでは MOSFET スイッチの代わりにアンプを使用するため、R_{ON} 効果による電荷注入や信号誤差など、他のマルチプレクサの一般的な問題も解消されます。

基本的な 2:1 マルチプレクサのトポロジ例を、図 7-3 に示します。SEL が Low のとき、チャネル 1 が選択され、アクティブになります。SEL が High のとき、チャネル 2 が選択され、アクティブになります。TLV916xS シャットダウン機能の使用方法の詳細については、セクション 6.3.11 の「シャットダウン」セクションを参照してください。

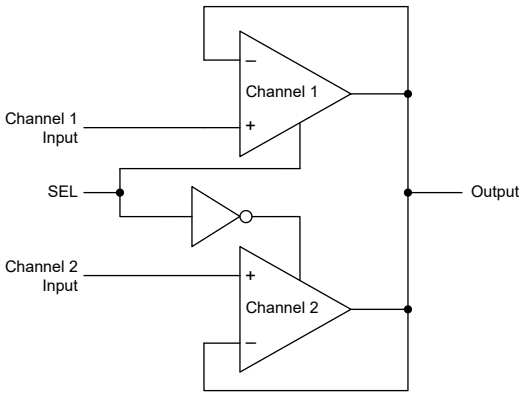


図 7-3. 高精度リファレンス・バッファ

7.3 電源に関する推奨事項

TLV916x は、2.7V～16V (±1.35V～±8V) で動作が規定されています。多くの仕様は -40℃～125℃、または特定の電源電圧とテスト条件で適用されます。

> **注意**
>
> 20V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」セクションを参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス コンデンサを接続します。

Copyright © 2024 Texas Instruments Incorporated

- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドが物理的に分離されていることを確認します。
- 寄生カップリングを低減するには、入力配線を電源配線や出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 7-5 に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の近くに配置します。
- 入力配線は、できる限り短くします。入力配線は、回路の最も影響を受ける部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード リングを配置することを検討します。ガード リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの場合、清掃後に 85℃で 30 分間の低温ベーキングを行えば十分です。

7.4.2 レイアウト例

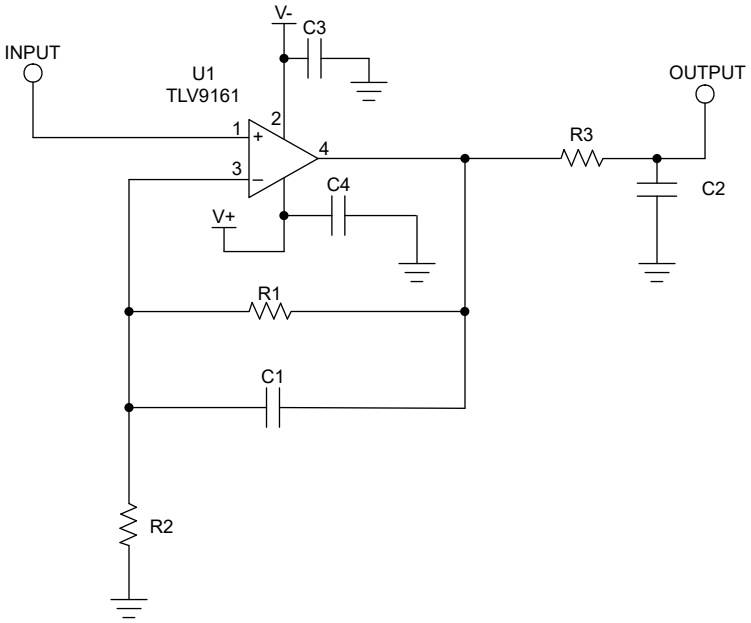


図 7-4. 非反転構成の回路図のレイアウト例

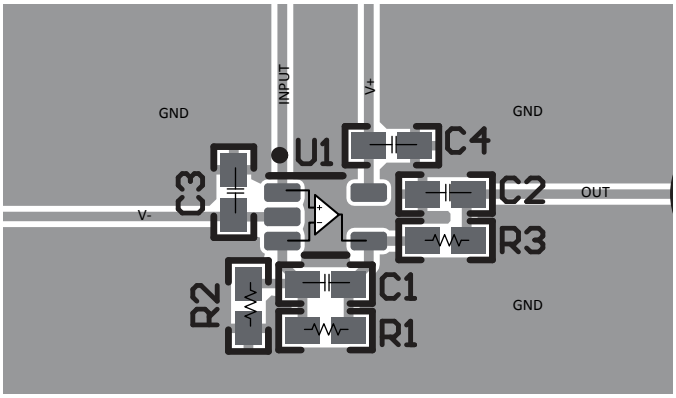


図 7-5. 非反転構成のオペアンプ基板のレイアウト - SC70 (DCK) パッケージ

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイスのサポート

8.1.1 開発サポート

8.1.1.1 TINA-TI™ (無料のダウンロード・ソフトウェア)

TINA™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI は、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロ・モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『アナログ エンジニア向け回路クックブック:アンプ』
- テキサス・インスツルメンツ、『AN-31 アンプ回路コレクション』アプリケーション ノート
- テキサス・インスツルメンツ、『MUX 対応高精度オペアンプ』アプリケーション ブリーフ
- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス・インスツルメンツ、『相補型ペア入力段を持つオペアンプ』アプリケーション ノート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (January 2024) to Revision D (March 2024) — **Page**

- TLV9162SIRUGR の PSRR 値を追加 9

Changes from Revision B (August 2022) to Revision C (January 2024) — **Page**

- 「製品情報」表の TLV9164 X2QFN (10) パッケージからプレビューの注を削除 1

Changes from Revision A (December 2021) to Revision B (August 2022) — **Page**

- 「製品情報」表に TLV9162 X2QFN (10) パッケージをプレビュー版として追加 1
- 「ピン構成および機能」セクションに TLV9162 X2QFN パッケージ (RUG) をプレビュー版として追加 3
- 「推奨動作条件」セクションに V_{IH} および V_{IL} を追加 7
- 「電気的特性」表にシャットダウンを追加 7

Changes from Revision * (November 2021) to Revision A (December 2021) — **Page**

- 「製品情報」表の TLV9164 の SOIC (14) パッケージからプレビュー版の注を削除 1
- 「製品情報」表の TLV9164 の TSSOP (14) パッケージからプレビュー版の注を削除 1
- 「ピン構成および機能」セクションの TLV9164 D パッケージ (SOIC) からプレビュー版の注を削除 3
- 「ピン構成および機能」セクションの TLV9164 PW パッケージ (TSSOP) からプレビュー版の注を削除 3
- 「クワッド チャネルの熱に関する情報」セクションの TLV9164 D パッケージ (SOIC) からプレビュー版の注を削除 8
- 「クワッド チャネルの熱に関する情報」セクションの TLV9164 PW パッケージ (TSSOP) からプレビュー版の注を削除 8
- 「電気的特性」セクションに TLV9164 リリースの PSRR 仕様を追加 9
- 16 V PSRR 仕様にすべてのチャネル バリエーションの仕様であることを明確にするために V_S = 2.7 V の記述を追加 9

Copyright © 2024 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9161IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T61DB
TLV9161IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T61DB
TLV9161IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1JT
TLV9161IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1JT
TLV9161SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91SD
TLV9161SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T91SD
TLV9162IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ICF
TLV9162IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2ICF
TLV9162IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2JVT
TLV9162IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2JVT
TLV9162IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162D
TLV9162IDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162D
TLV9162IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2HZH
TLV9162IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2HZH
TLV9162IPWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162P
TLV9162IPWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9162P
TLV9162SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NA
TLV9162SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NA
TLV9164IDR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9164D
TLV9164IDR.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9164D
TLV9164IPWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T9164PW
TLV9164IPWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9164PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9161, TLV9162, TLV9164 :

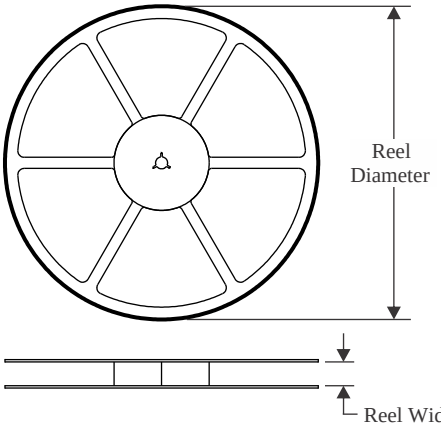
- Automotive : TLV9161-Q1, TLV9162-Q1, TLV9164-Q1

NOTE: Qualified Version Definitions:

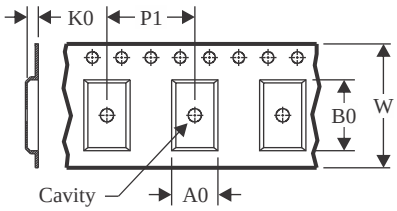
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

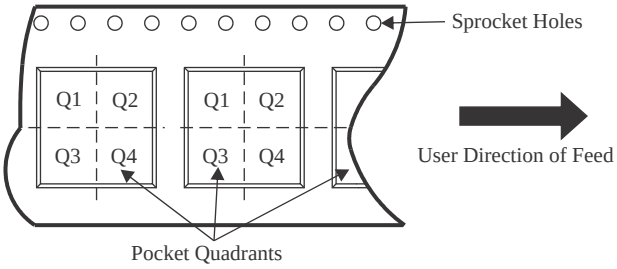


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

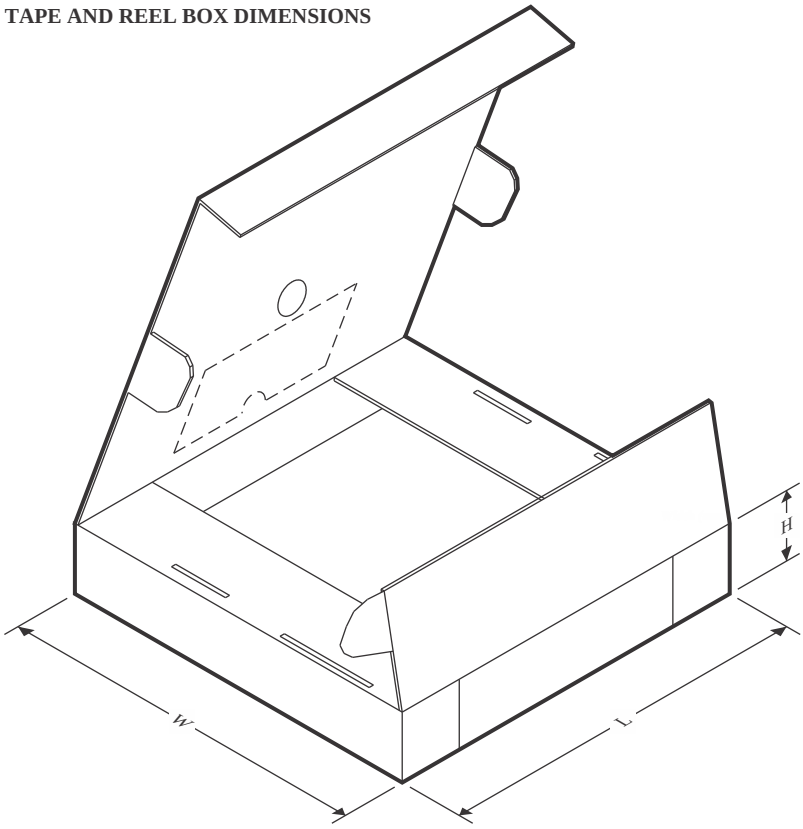
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

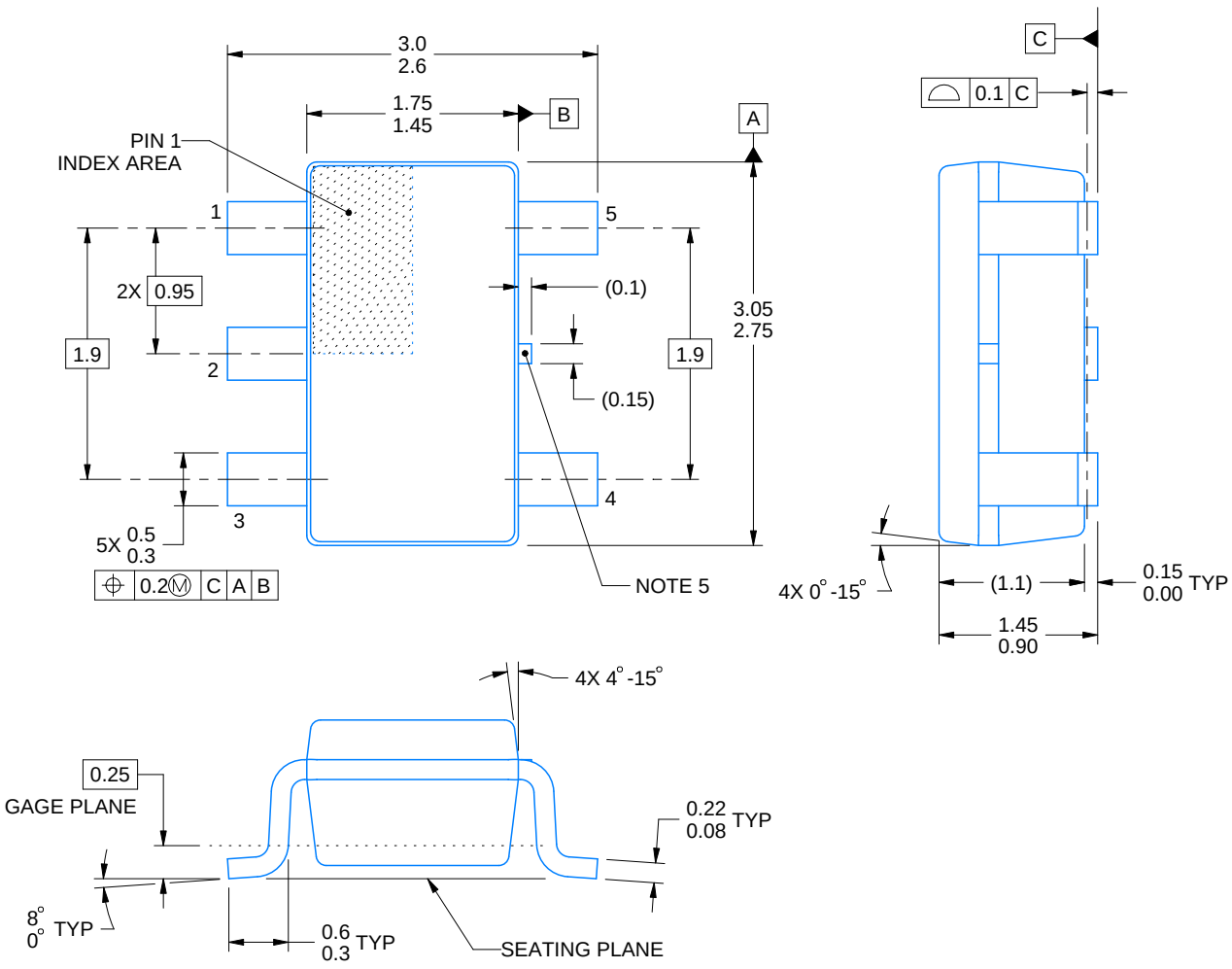
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9161IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9161IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9161SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9162IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9162IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9162IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9162IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9162IPWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9162SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV9164IDR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9164IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

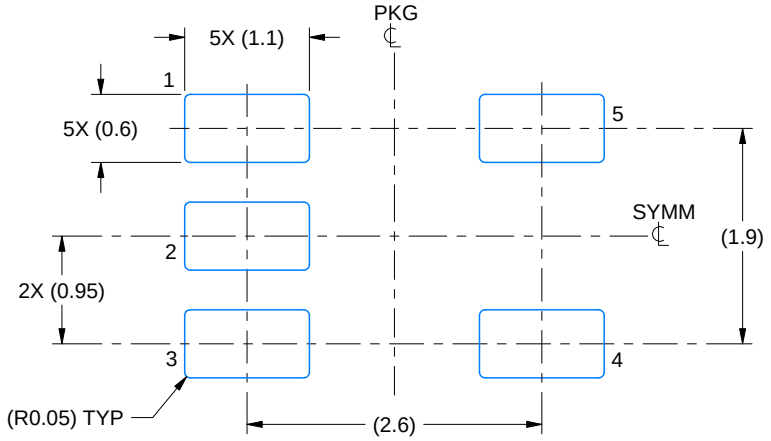
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9161IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9161IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV9161SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9162IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9162IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9162IDR	SOIC	D	8	3000	353.0	353.0	32.0
TLV9162IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9162IPWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV9162SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV9164IDR	SOIC	D	14	3000	353.0	353.0	32.0
TLV9164IPWR	TSSOP	PW	14	3000	356.0	356.0	35.0



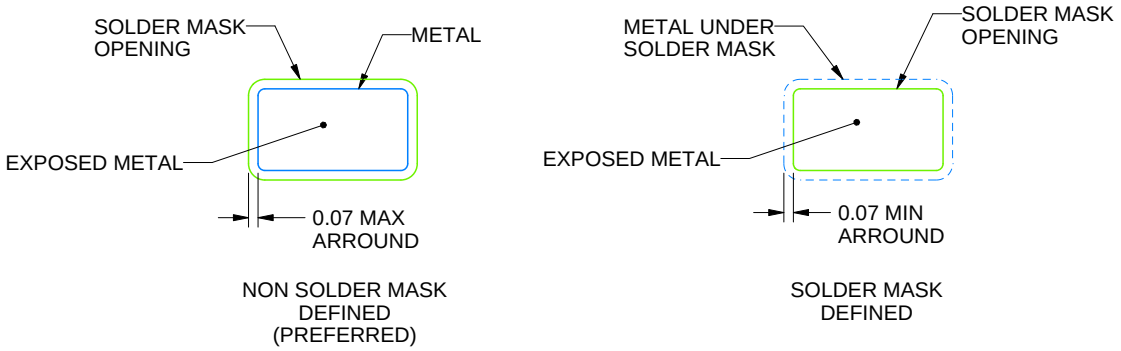
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

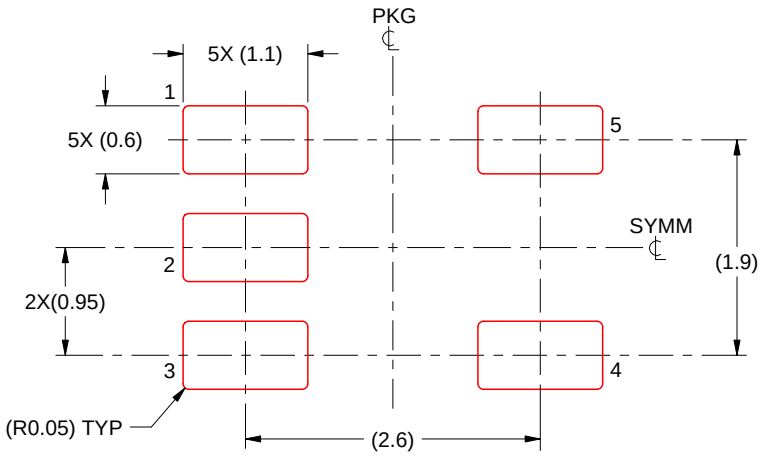


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

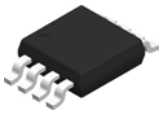
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

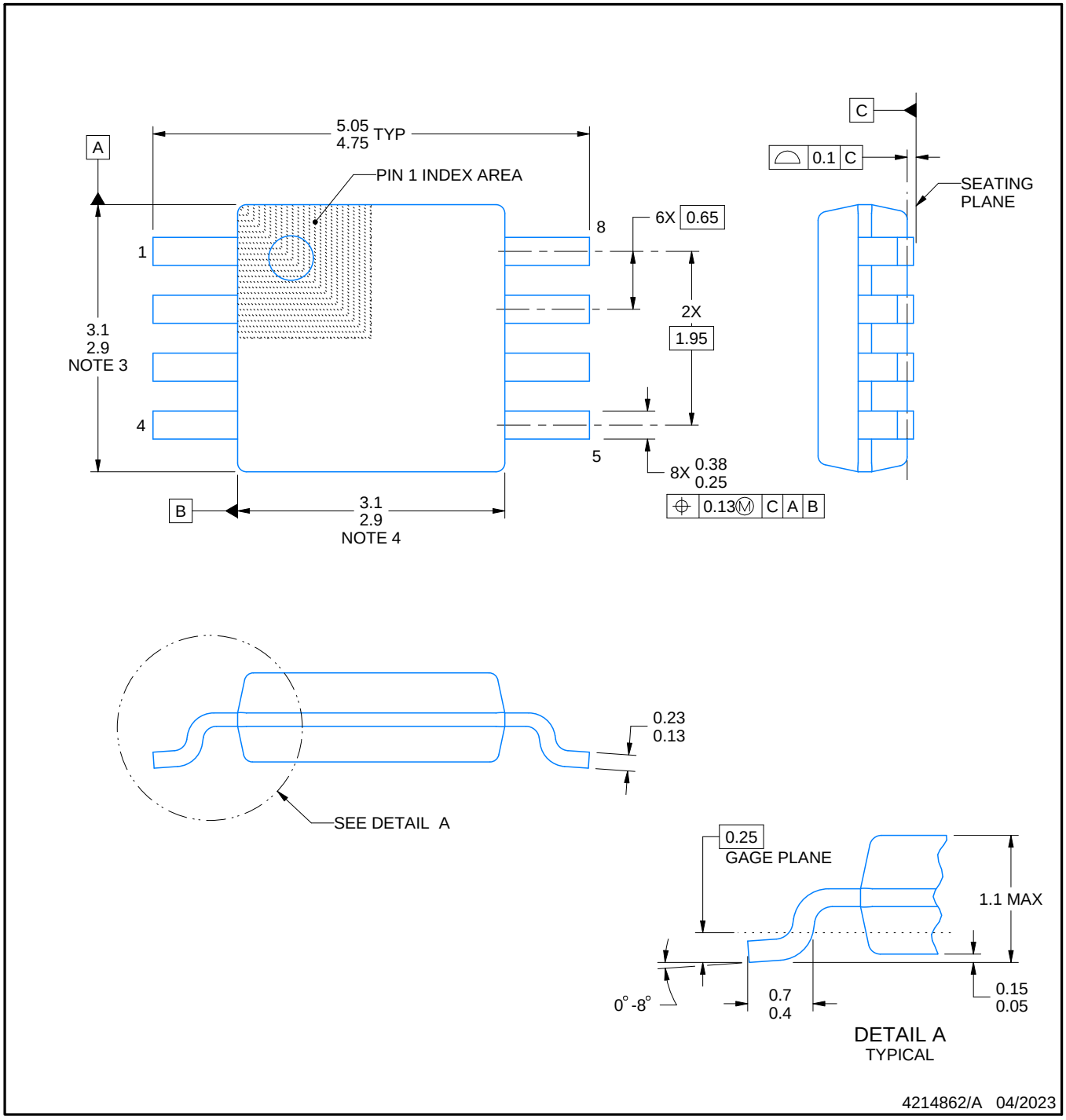
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

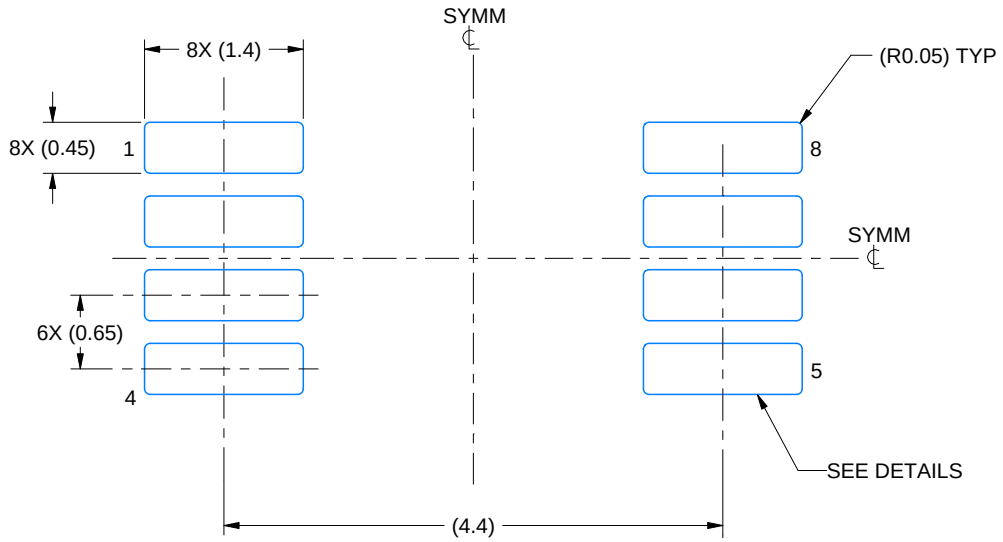
SMALL OUTLINE PACKAGE



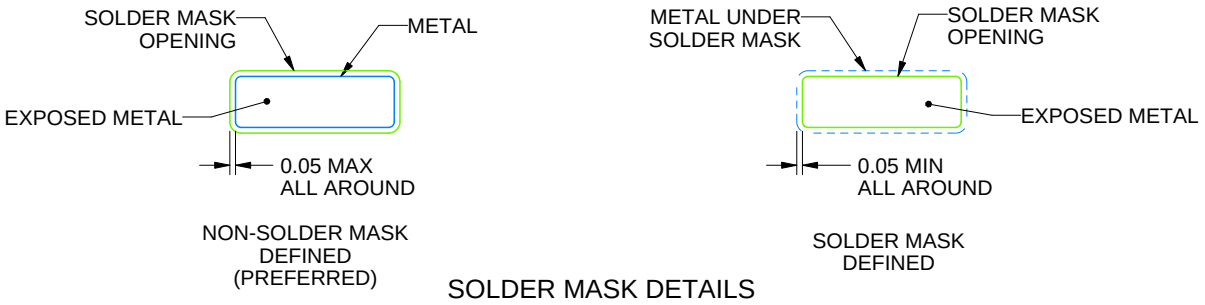
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

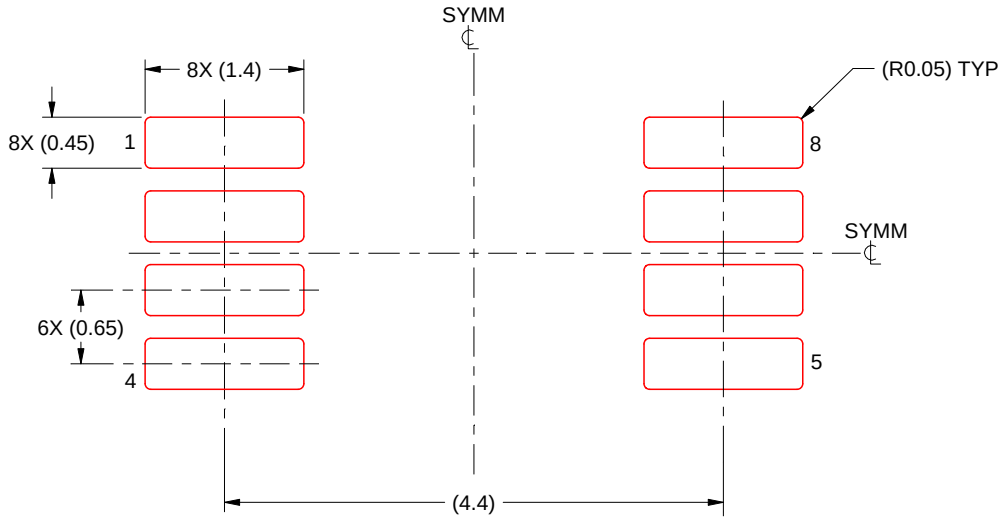


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

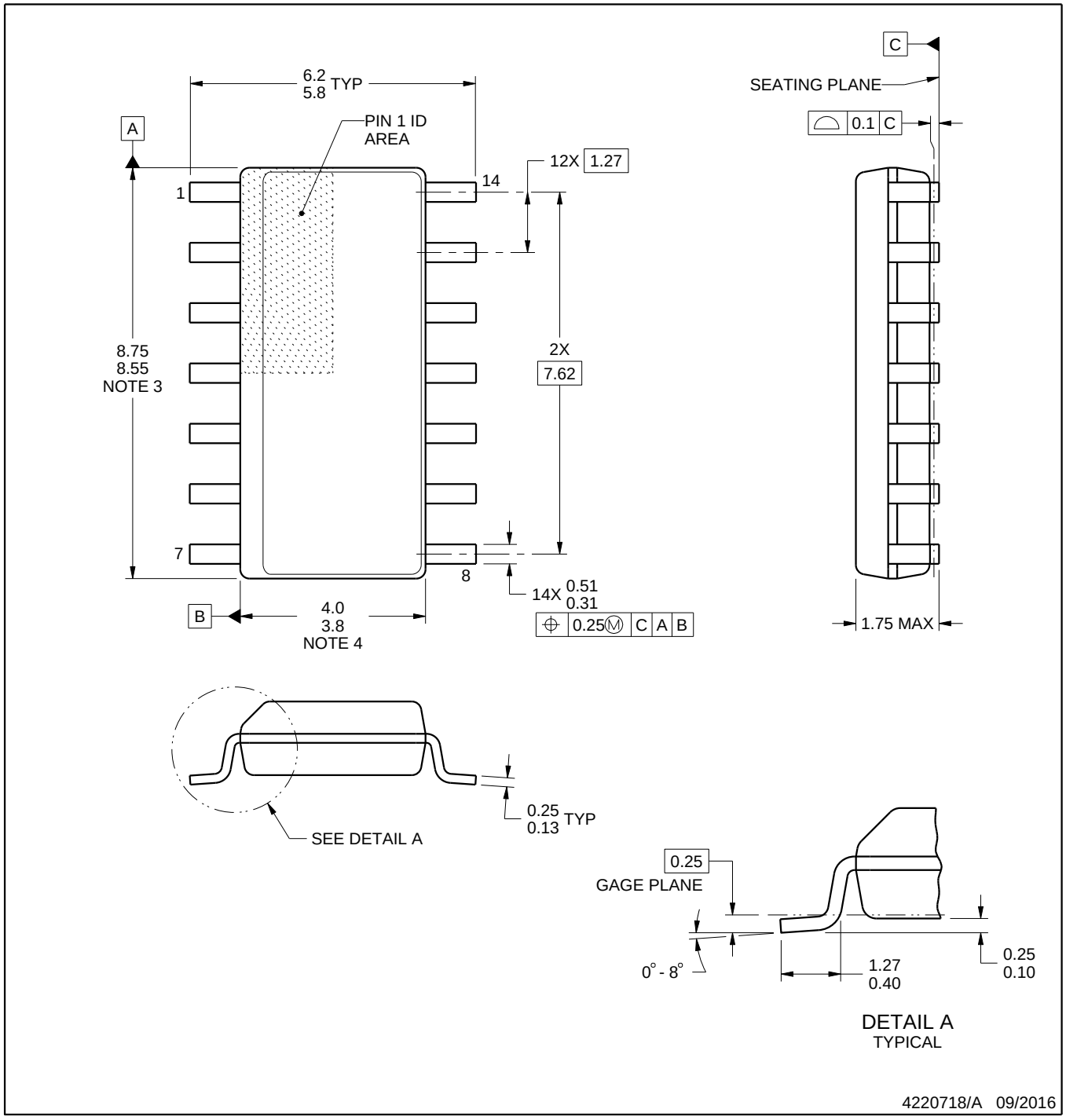


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

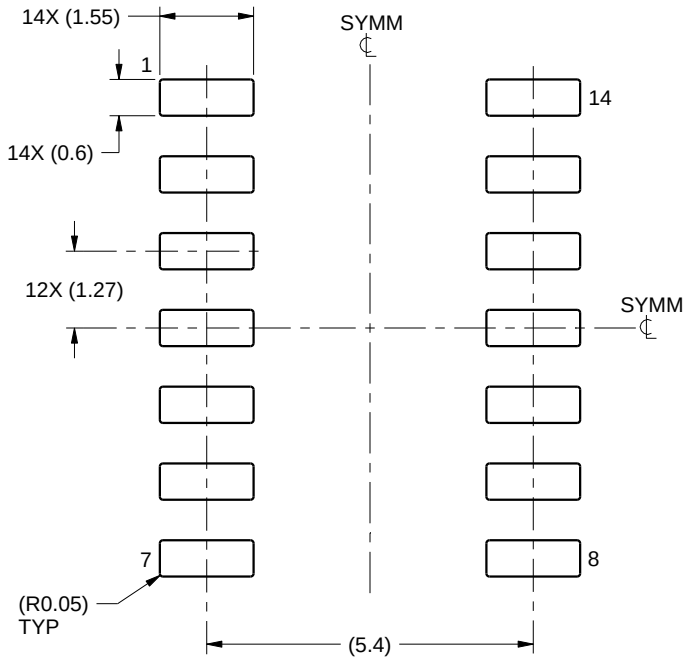
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

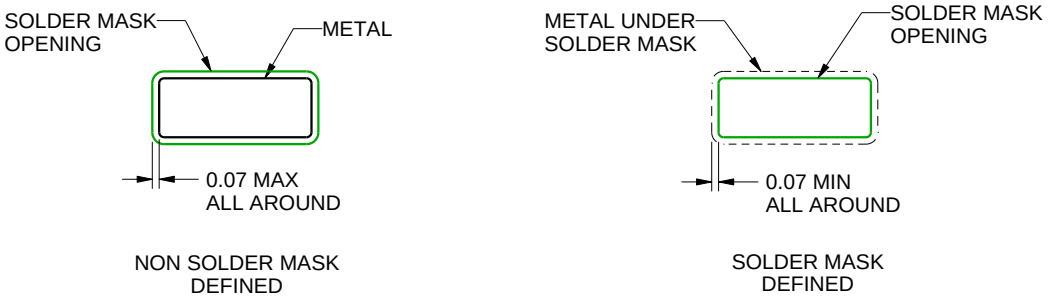


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

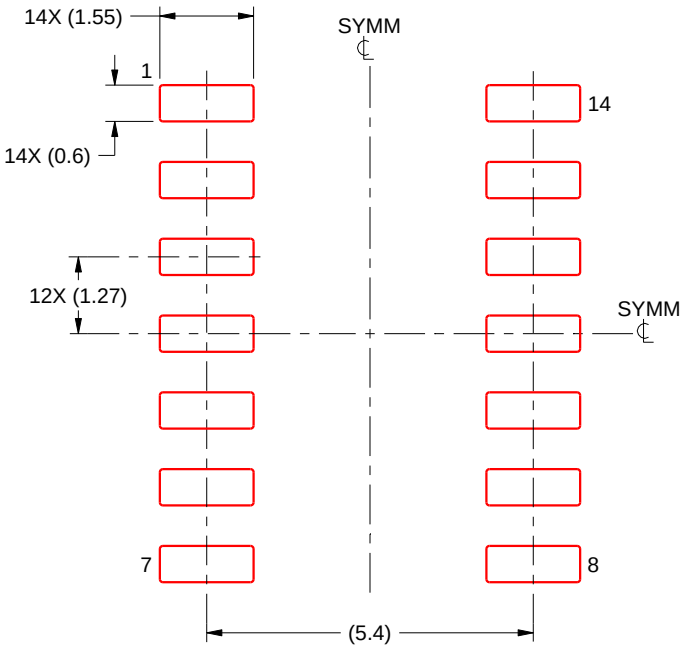


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

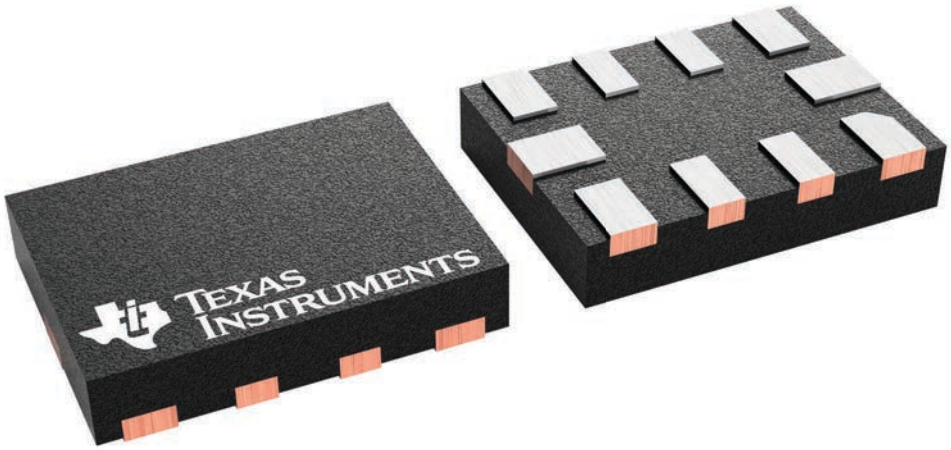
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

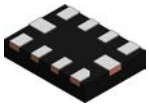
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231768/A

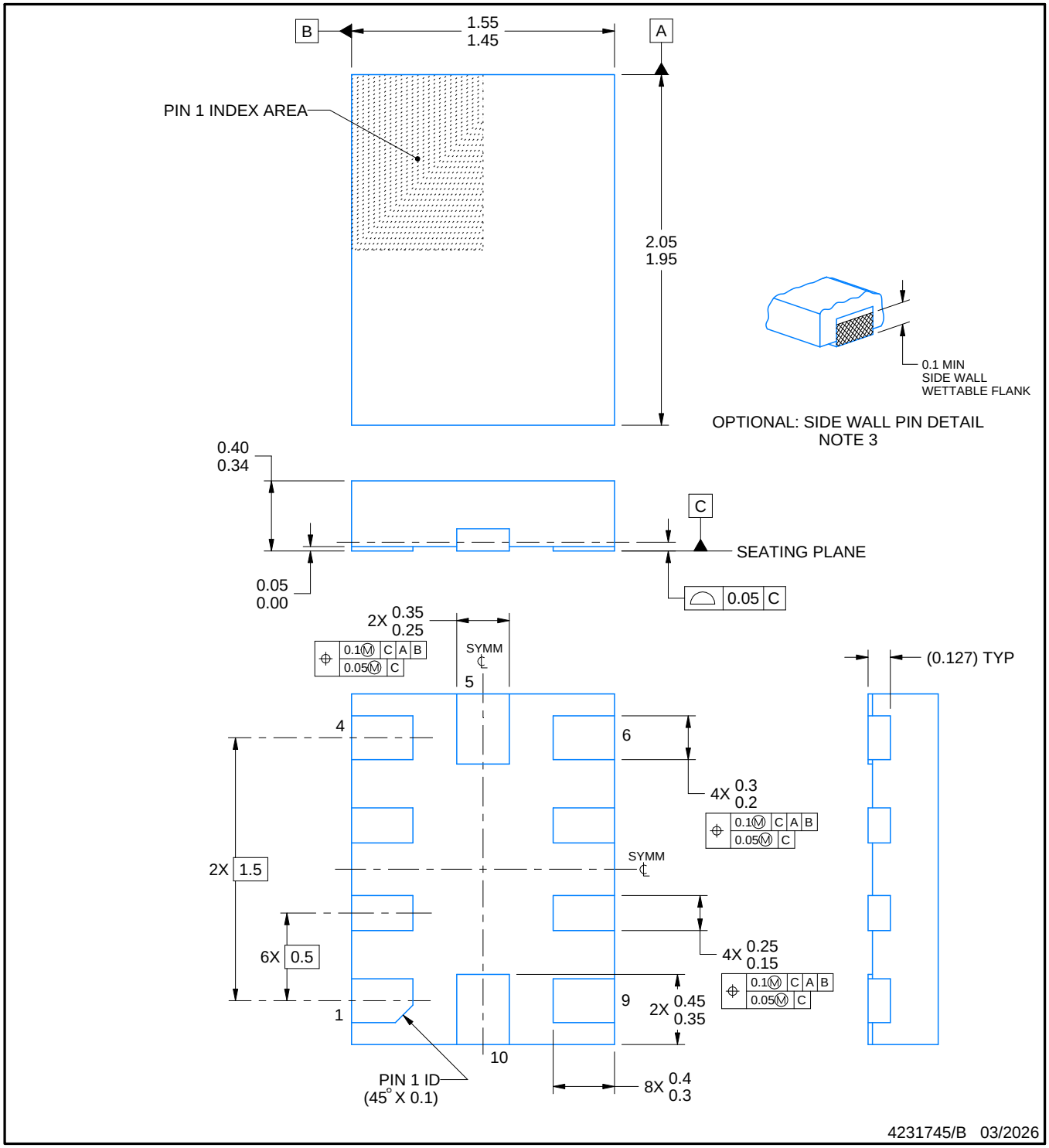
PACKAGE OUTLINE

RUG0010A



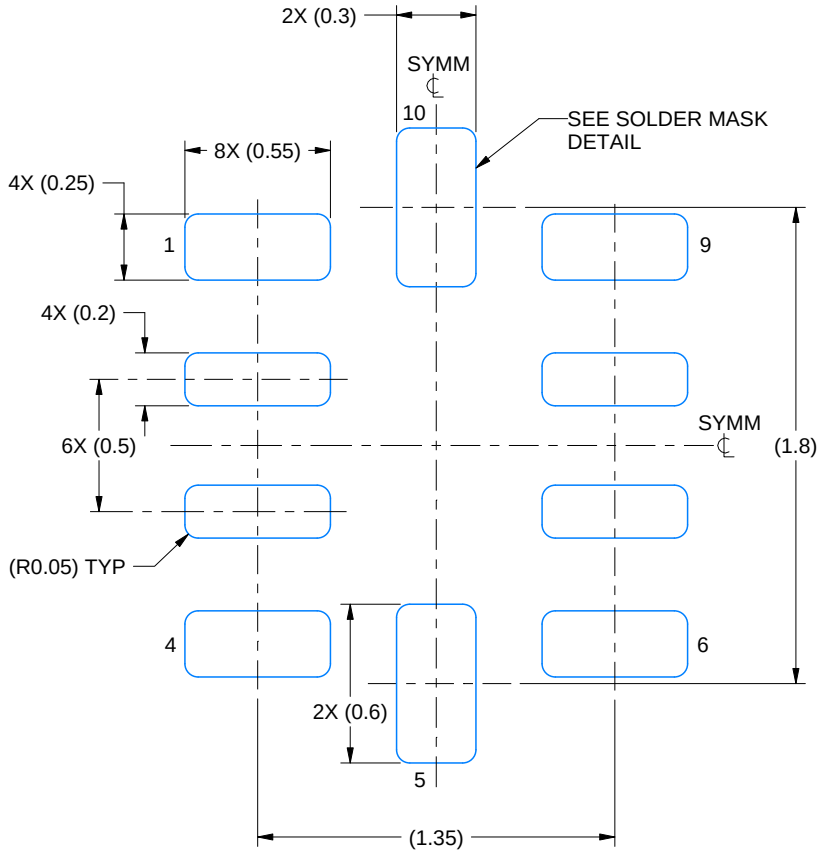
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

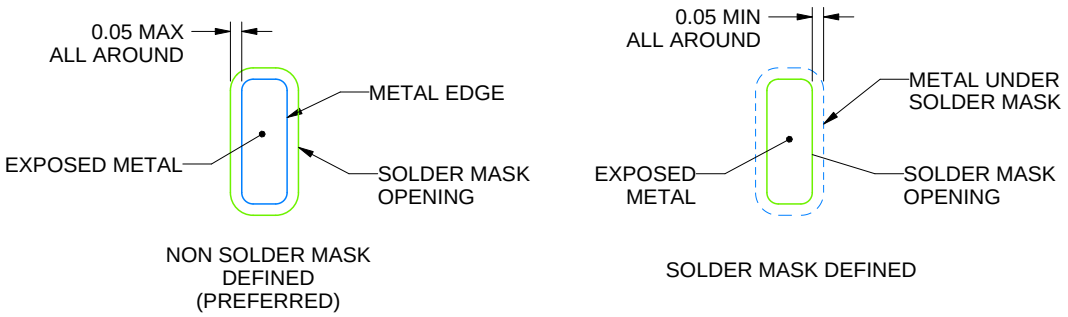


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X

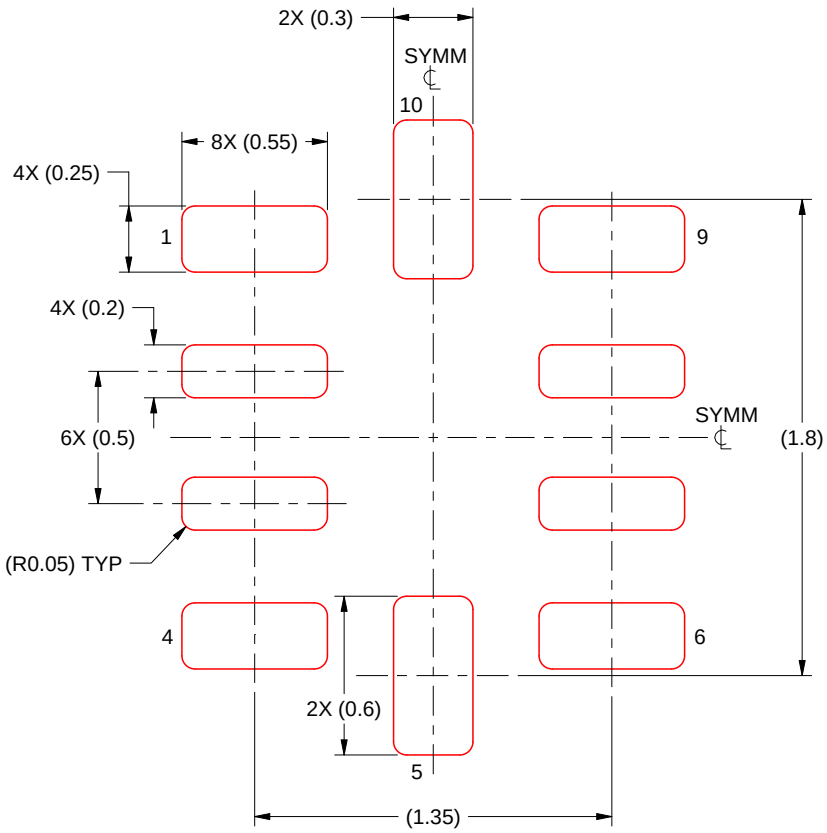


SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

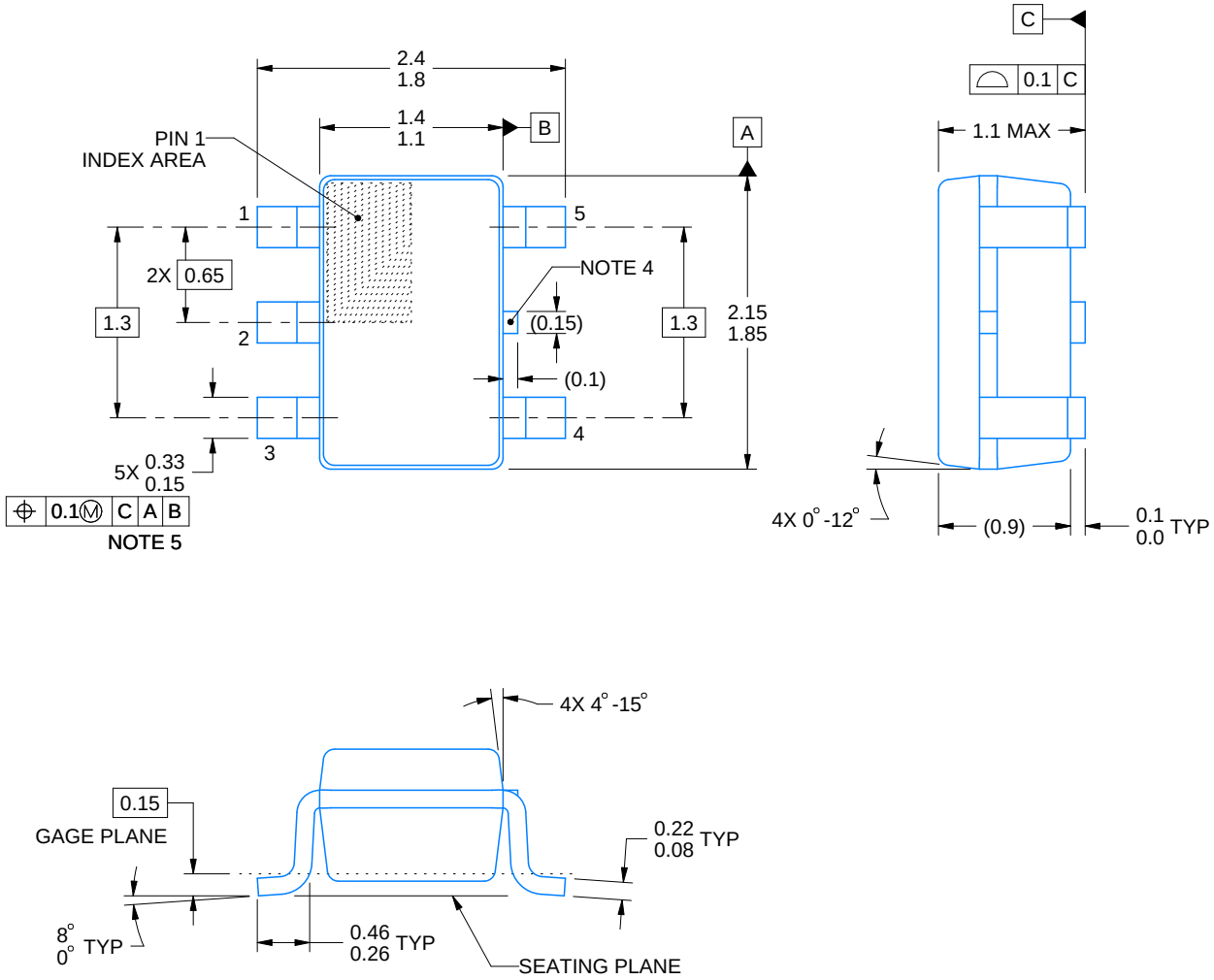


SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

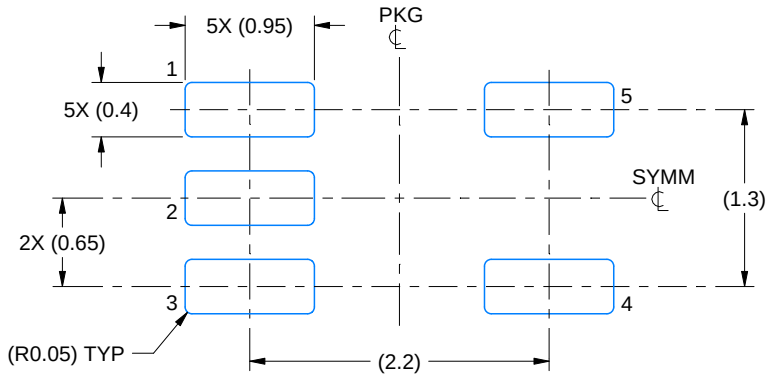
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

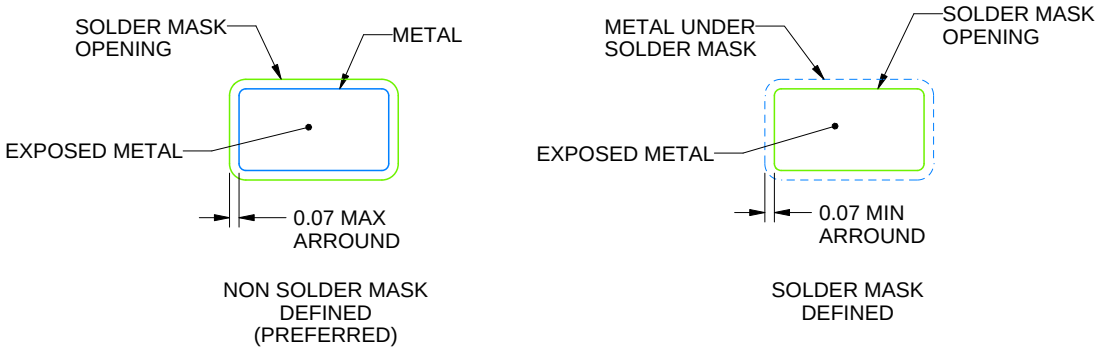


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

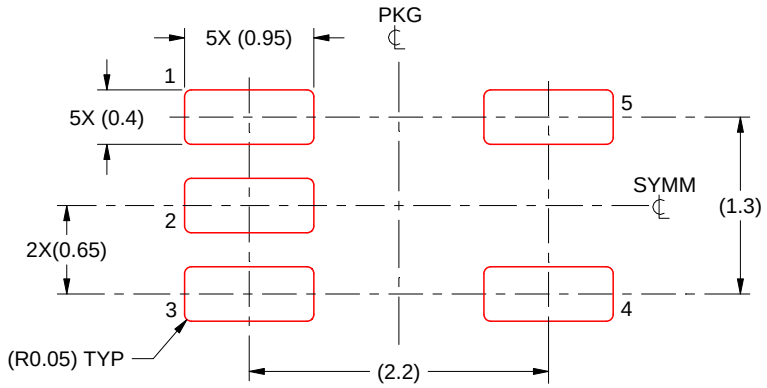


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

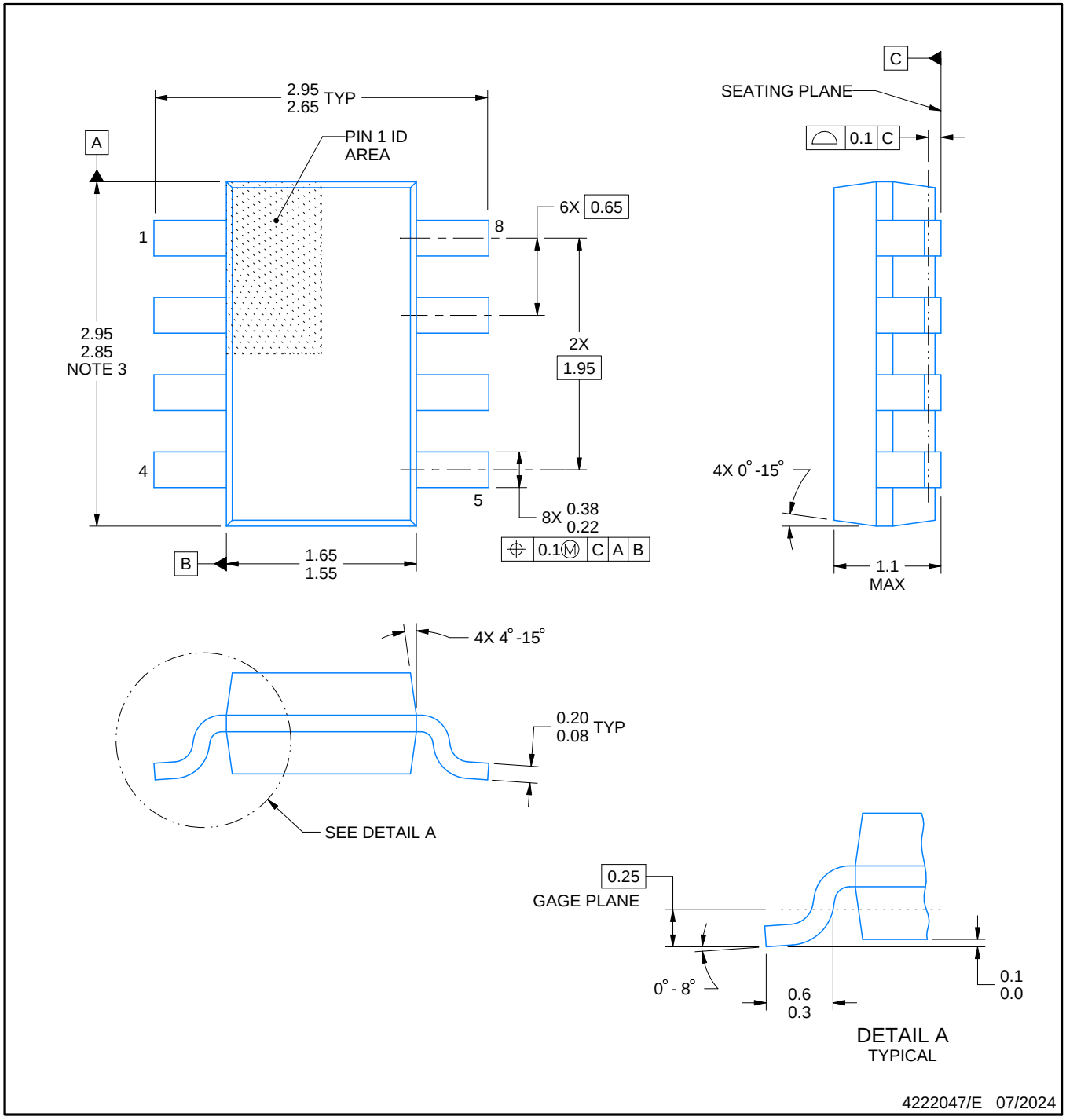


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

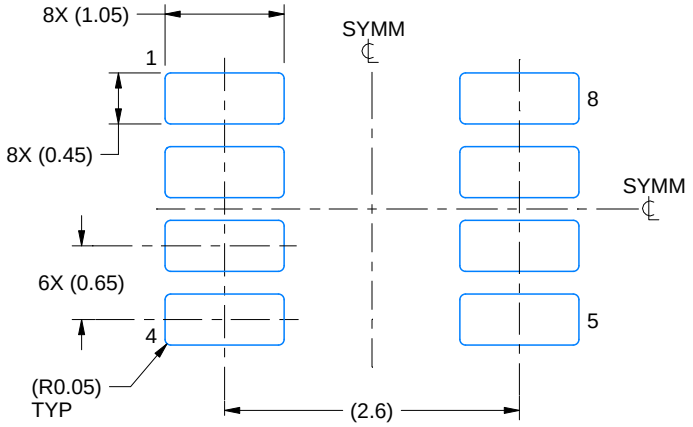
NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

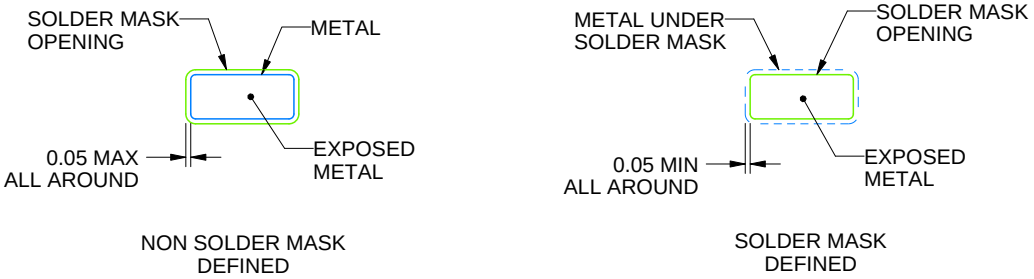


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

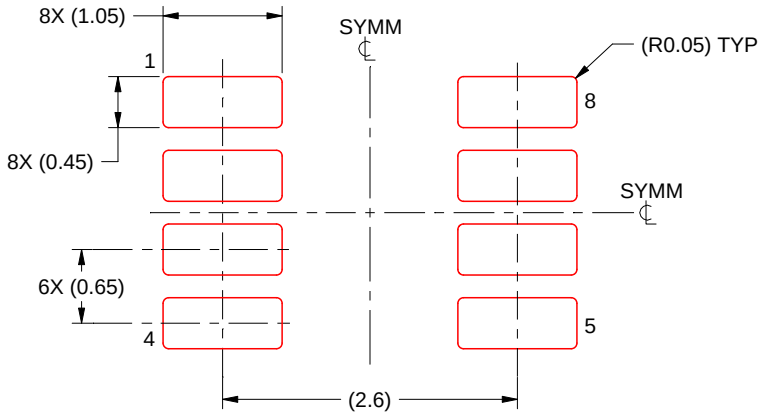


SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

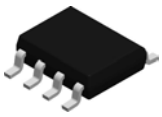


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

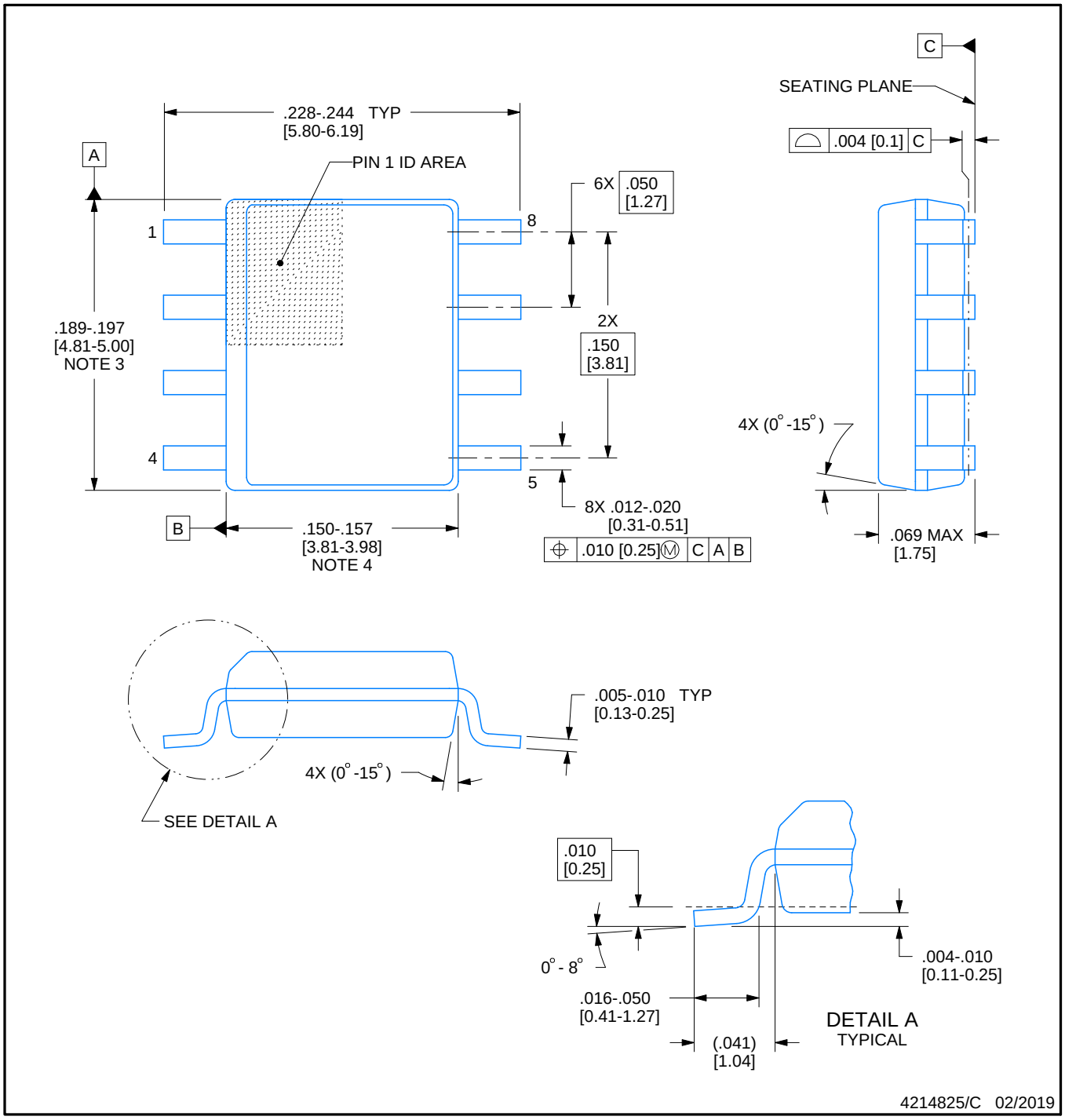


PACKAGE OUTLINE

D0008A

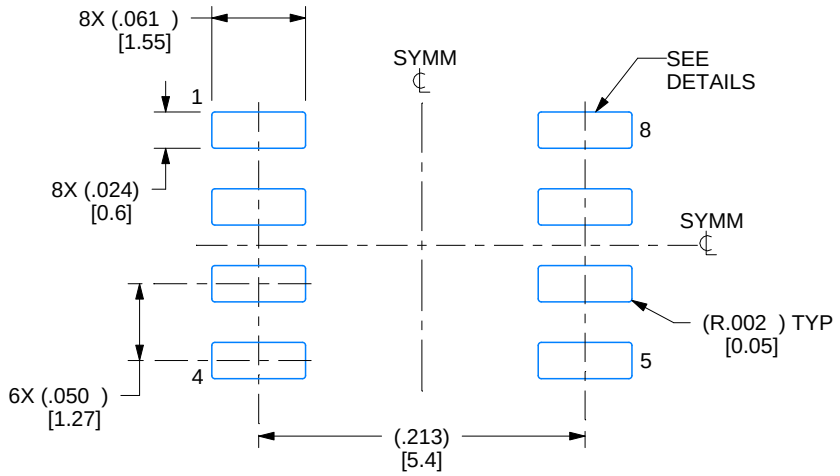
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

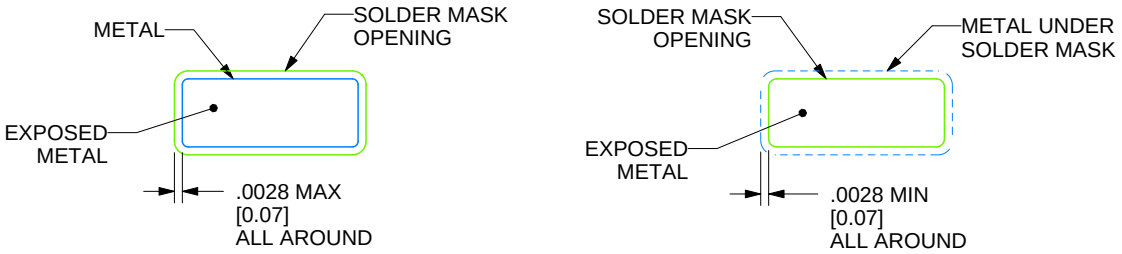


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

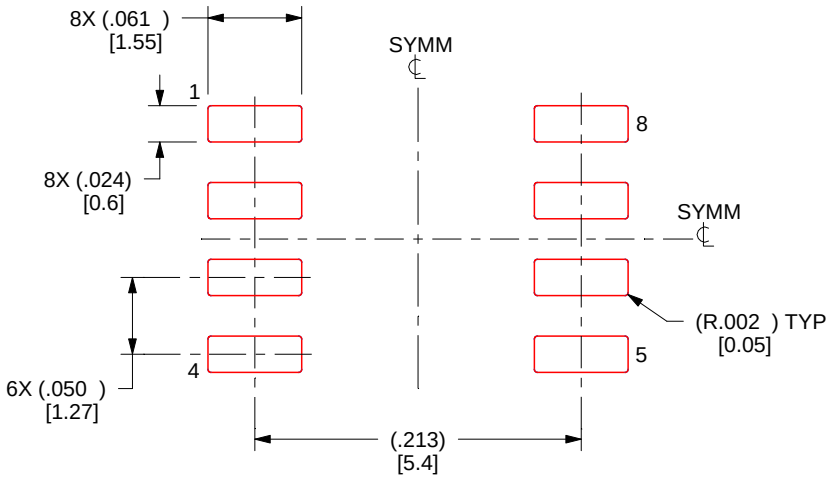


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

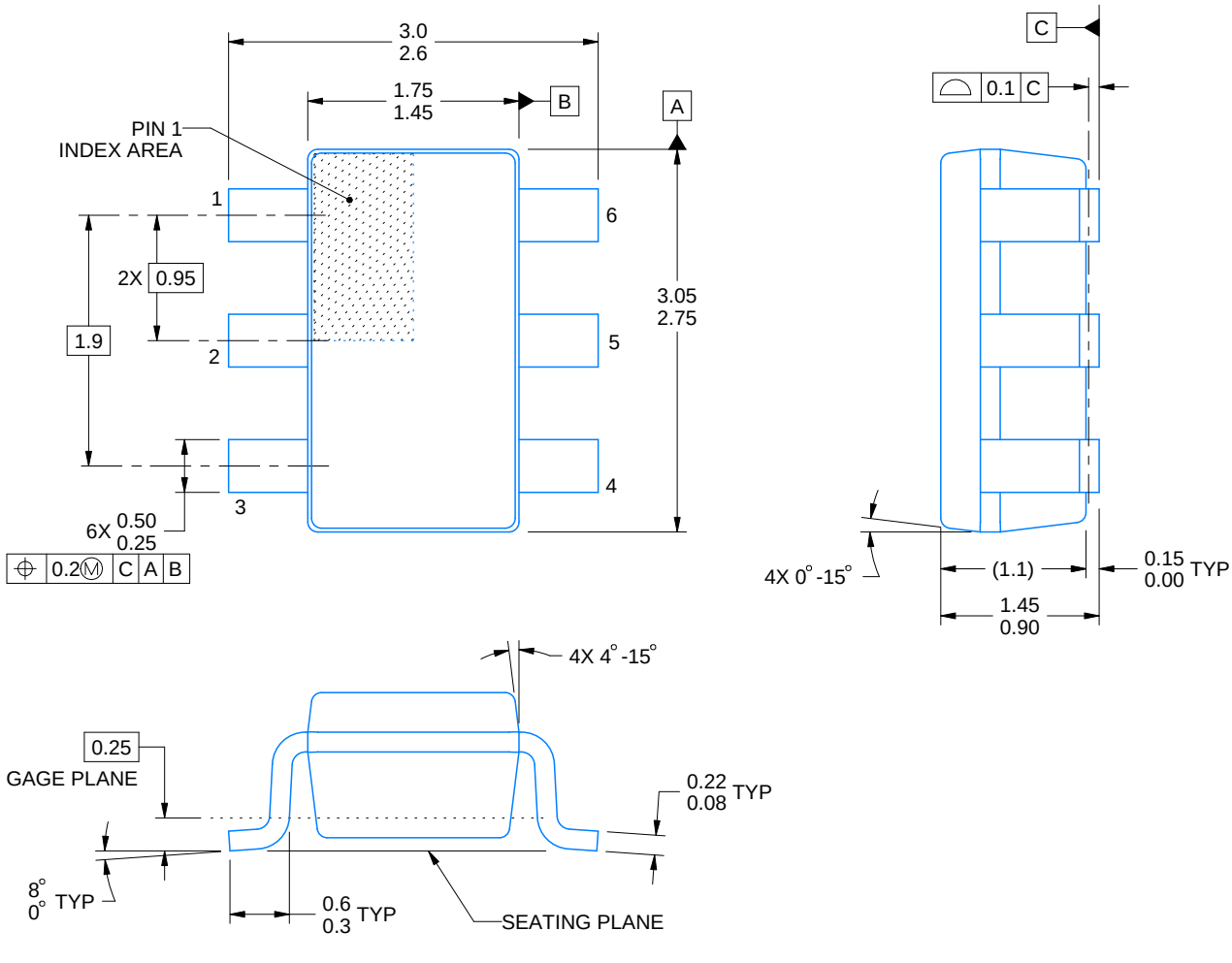


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

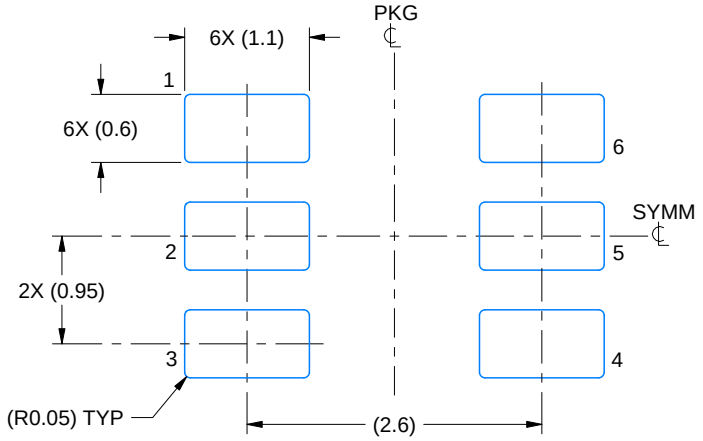
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



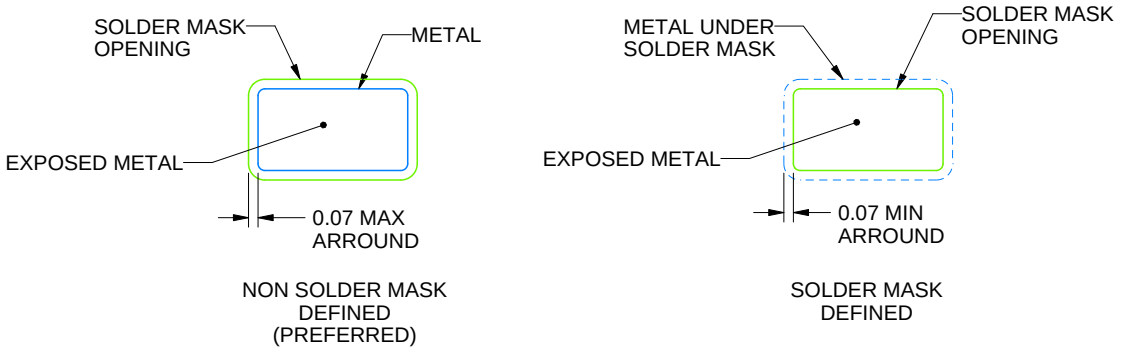
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

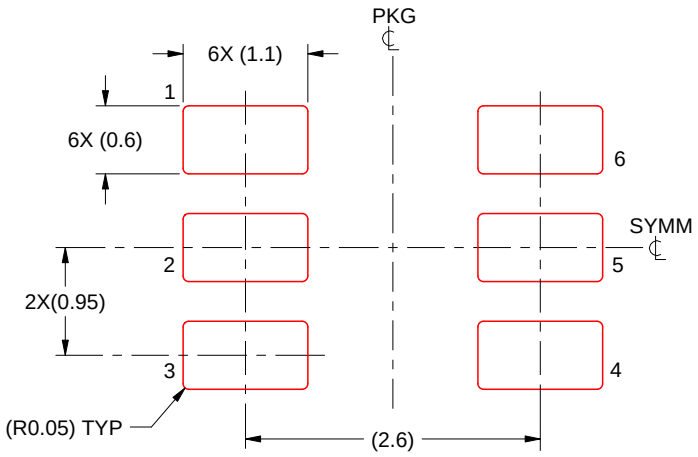


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

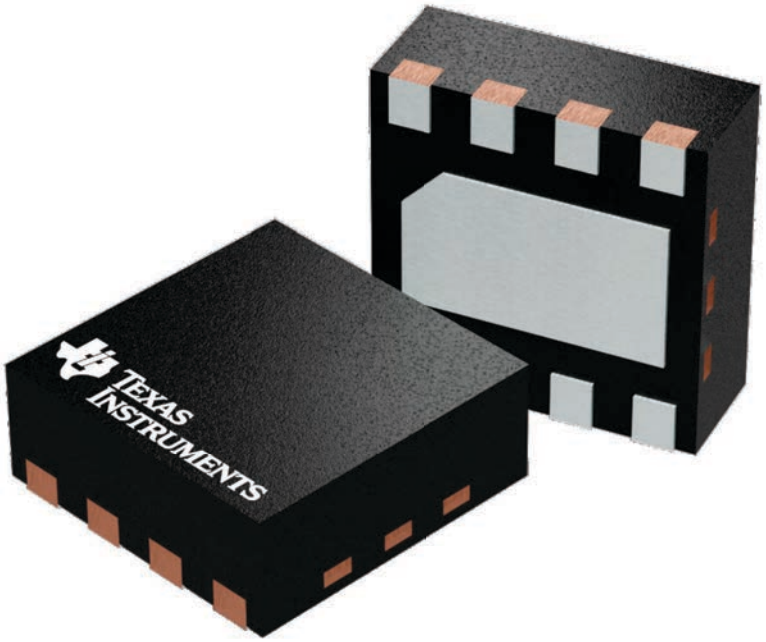
DSG 8

WSON - 0.8 mm max height

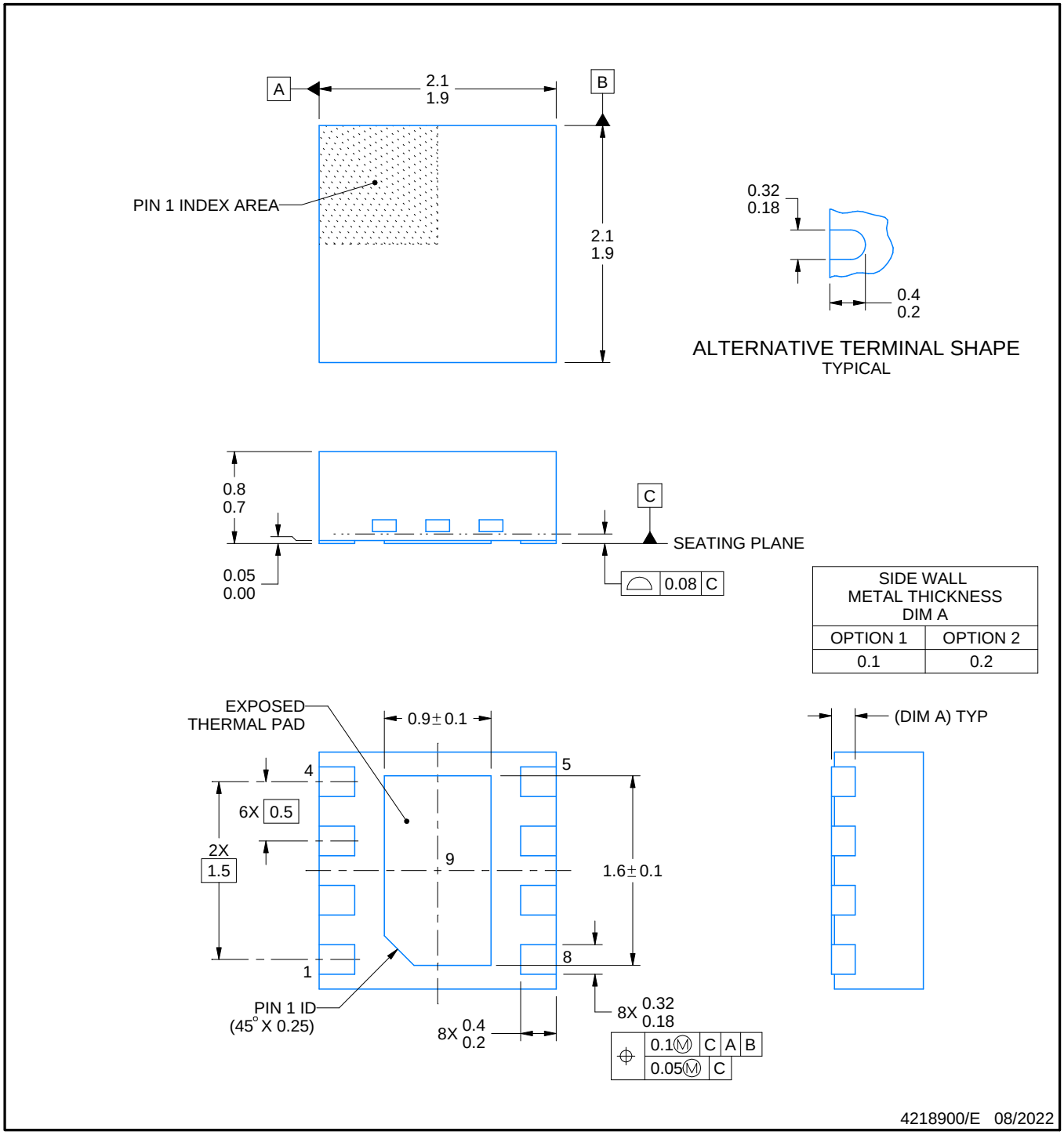
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

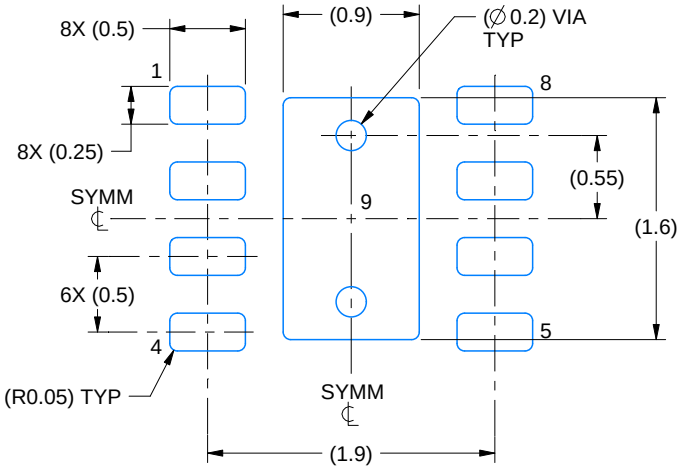


4224783/A

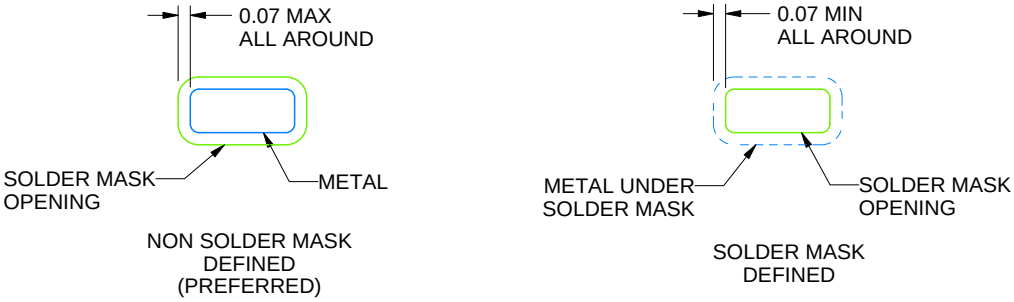


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

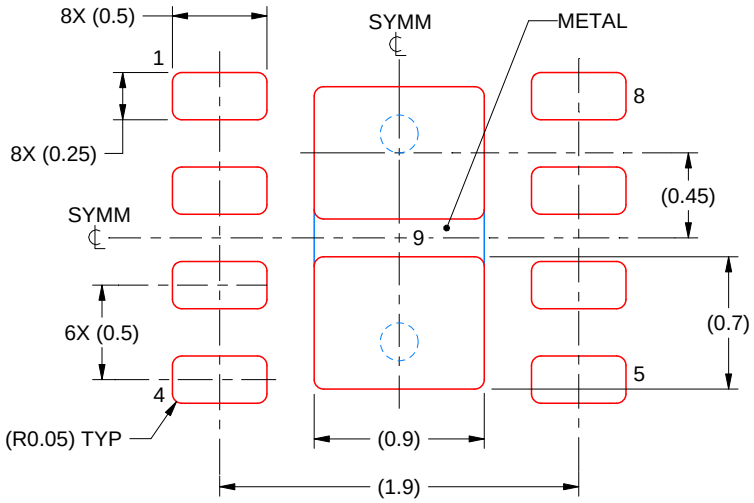


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

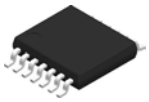
EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

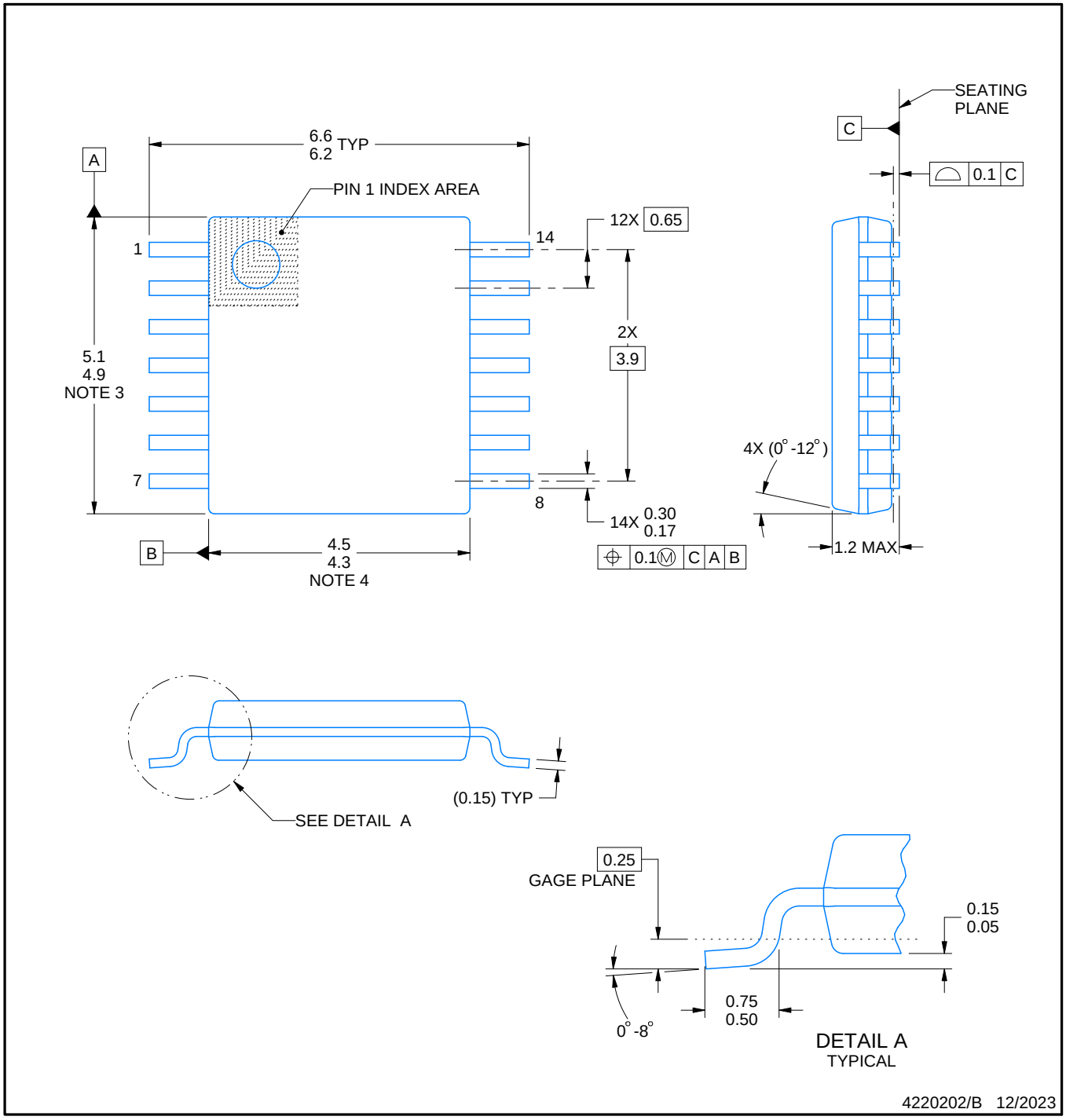
PW0014A



PACKAGE OUTLINE

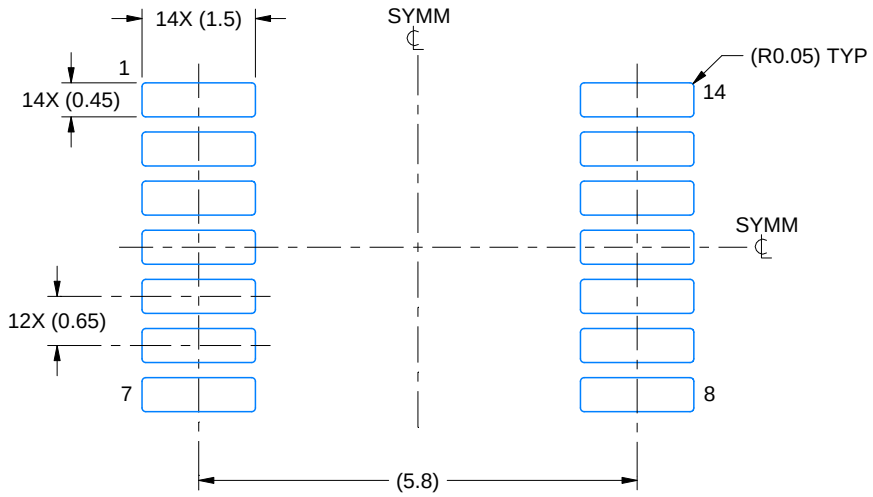
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

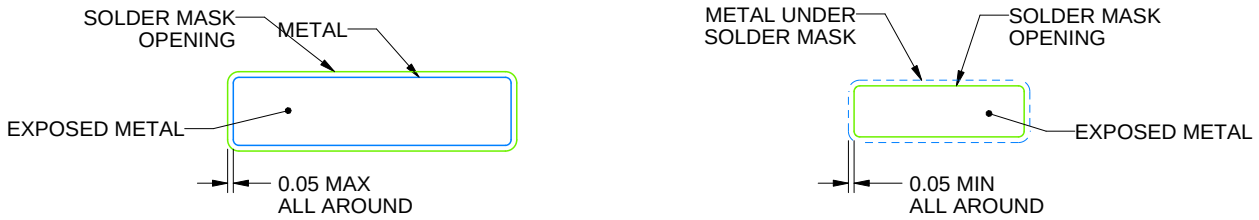


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

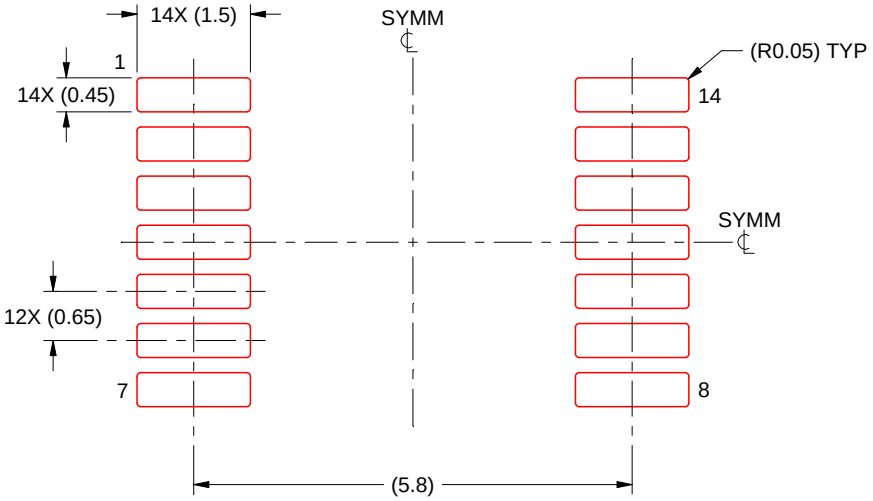
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

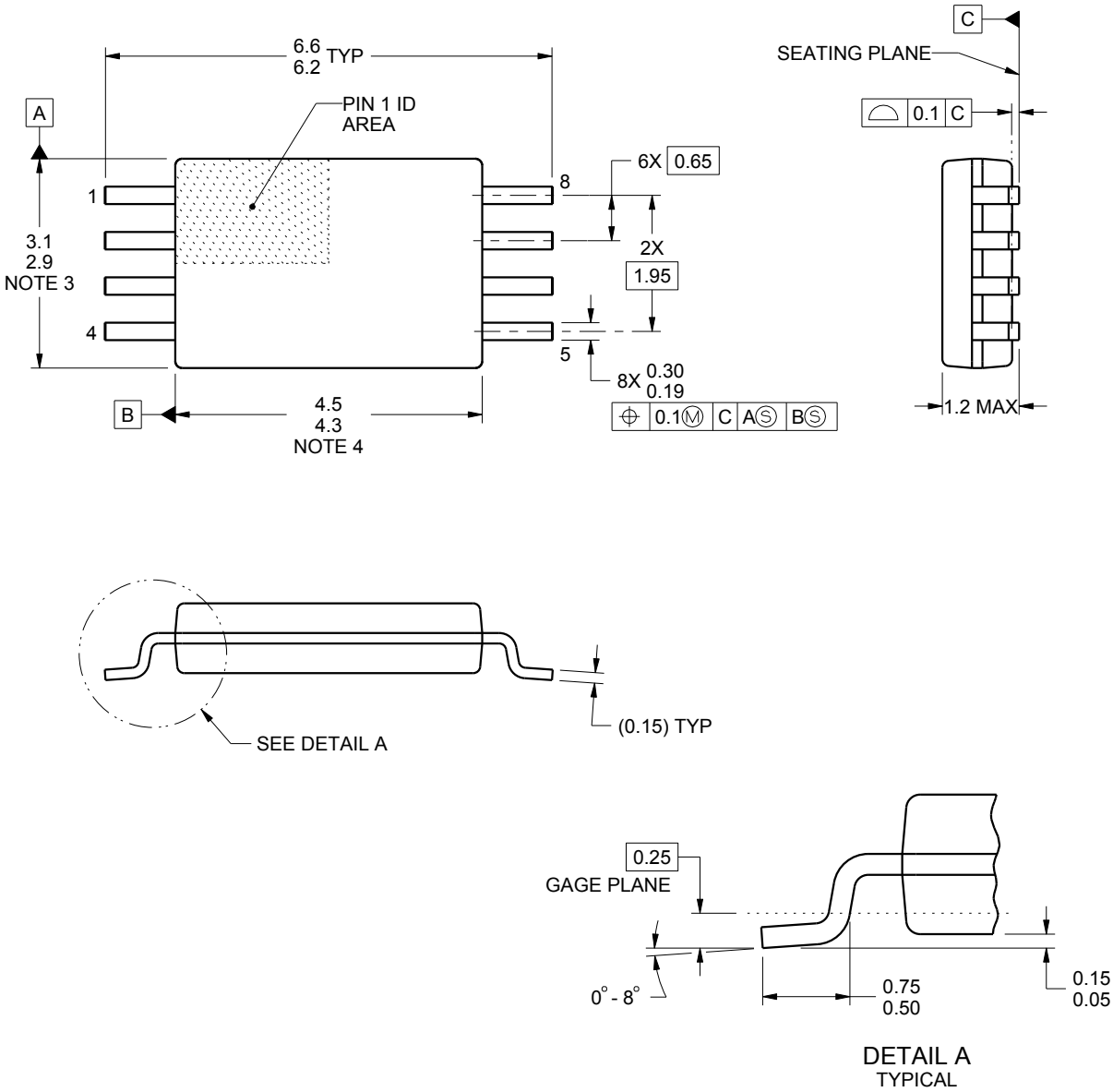


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

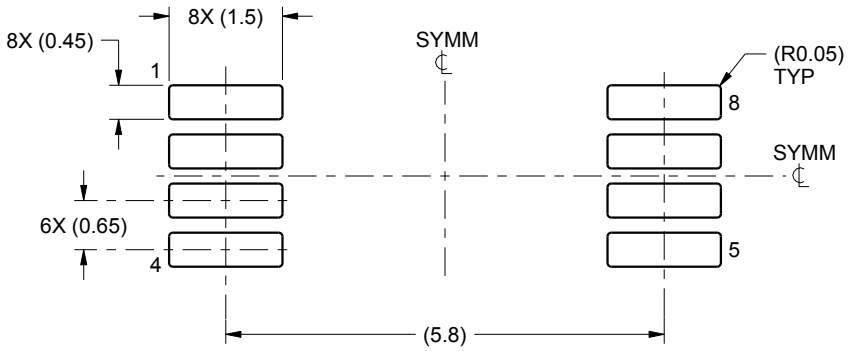
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

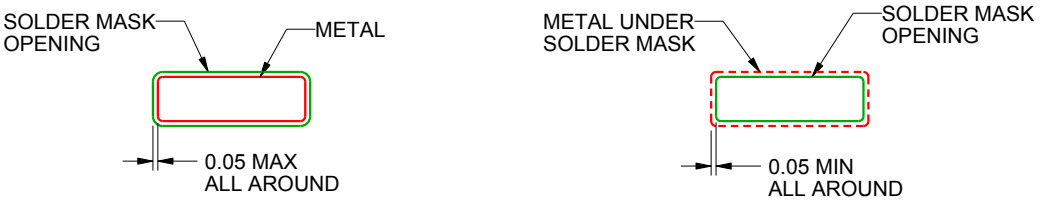


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X



NON SOLDER MASK
DEFINED

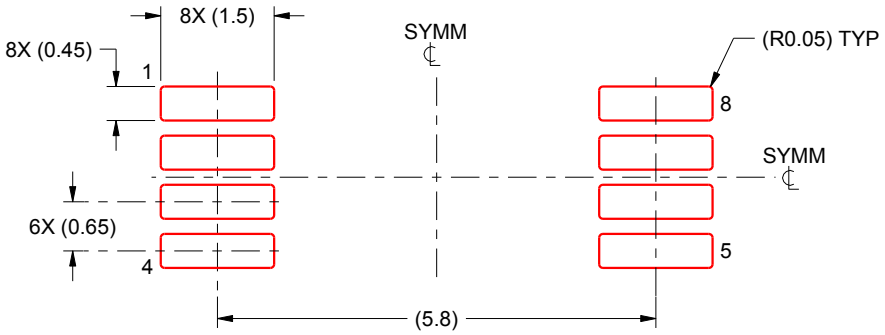
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月