TLVM65030 高密度、3V ～ 65V 入力、1V ～ 16V 出力、3A 同期整流降圧 DC/DC パワー モジュール、Enhanced HotRod™ QFN パッケージ

1 特長

- 多用途な同期整流降圧 DC/DC モジュール
  - MOSFET、インダクタ、コンデンサ、コントローラを内蔵
  - 3V～65V の広い入力電圧範囲
  - 40ns という短い最小オン時間により、2.2MHz で 36V から 3.3V への変換が可能
  - 接合部温度範囲：-40℃～125℃
  - 露出型インダクタ付きの 5.80mm × 5.20mm × 2.93mm 強化 HotRod™ QFN パッケージ
  - ピンで構成可能な 400kHz および 2.2MHz
- 全負荷範囲にわたって極めて高い効率を実現
  - 92% 超のピーク効率 ($24V_{IN}$、$5V_{OUT}$、400kHz)
  - 2.1µA 標準 PFM 無負荷時入力電流
- 超低 EMI 要件に合わせて最適化
  - CISPR 32 クラス B 準拠を促進
  - 対称型ピン配置付き拡張 HotRod QFN パッケージ
  - 周波数を 300kHz～2.2MHz の範囲で変更可能
  - VIN、VCC、ブート コンデンサを内蔵
  - ピンで構成可能な自動または FPWM 動作
- 出力電圧および電流オプション
  - 3.3V または 5V の V_{OUT} 固定出力バリアント
  - 出力電圧を 1V～16V の範囲で調整可能
  - 3A の出力電流オプション
- 堅牢な設計用の本質的な保護機能
  - 高精度のイネーブル入力とオープン ドレインのパワーグッド インジケータによるシーケンシング、制御、VIN UVLO
  - 過電流およびサーマル シャットダウン保護機能
- WEBENCH® Power Designer により、TLVM65030 を使用するカスタム設計を作成

2 アプリケーション

- 産業用輸送システム
- ファクトリ オートメーション / 制御システム
- 医療用画像処理システム
- 試験 / 測定システム
- 航空宇宙および防衛
- ビル オートメーション
- パワー デリバリー
- ロボット

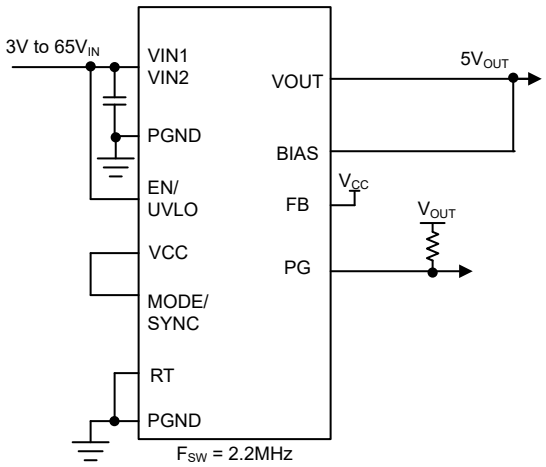
3 説明

TLVM65030 は、3A、65V (70V 許容) 入力の同期整流降圧 DC/DC パワー モジュールで、パワー MOSFET、内蔵インダクタ、受動部品をコンパクトで使いやすい 5.8mm × 5.2mm × 2.93mm の 19 ピン拡張 HotRod QFN パッケージに統合しています。ピン選択可能、固定出力電圧 3.3V および 5V、可変出力電圧 1V ～ 16V の TLVM65030 は、小さな PCB フットプリントで低 EMI の設計を迅速かつ容易に実装できるよう設計されています。このモジュールは設計の完了に入力および出力用フィルタ コンデンサのみが必要です。設計プロセスで磁気および補償部品を選択する必要はありません。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TLVM65030	VCG (QFN-FCMOD、19)	5.2mm × 5.8mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

TLVM65030 モジュールは、スペースに制約のあるアプリケーション向けに小型でシンプルな設計となっていますが、堅牢な性能を実現するための多くの機能を備えています。電流モード制御アーキテクチャの標準最小オン時間は 30ns で、高周波数での高い変換比、高速過渡応答、優れた負荷およびライン レギュレーションを実現します。高精度の EN 機能により、スタートアップおよびシャットダウン中もデバイスを精密に制御できます。オープンドレインの PGOOD 出力により、実際の出力電圧のステータスを示します。TLVM65030 には正確な過電流および温度保護機能が搭載されているため、TLVM65030 は幅広い産業用アプリケーションに電力を供給するのに最適なデバイスとなっています。MODE/SYNC ピンにより、FPWM と AUTO モード間のシームレスな移行と無負荷時のスタンバイ静止電流 2.1µA (標準) が可能となり、負荷電流範囲全体にわたって高い効率と優れた過渡応答を実現します。

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 4
5 仕様 6
5.1 絶対最大定格 6
5.2 ESD 定格 6
5.3 推奨動作条件 6
5.4 熱に関する情報 7
5.5 電気的特性 7
5.6 代表的特性 9
6 詳細説明 11
6.1 概要 11
6.2 機能ブロック図 12
6.3 機能説明 13
6.4 デバイスの機能モード 19
7 アプリケーションと実装 23
7.1 使用上の注意 23
7.2 代表的なアプリケーション 24
7.3 設計のベスト プラクティス 32
7.4 電源に関する推奨事項 32
7.5 レイアウト 32
8 デバイスおよびドキュメントのサポート 35
8.1 デバイス サポート 35
8.2 ドキュメントのサポート 35
8.3 ドキュメントの更新通知を受け取る方法 35
8.4 サポート・リソース 36
8.5 商標 36
8.6 静電気放電に関する注意事項 36
8.7 用語集 36
9 改訂履歴 36
10 メカニカル、パッケージ、および注文情報 37

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

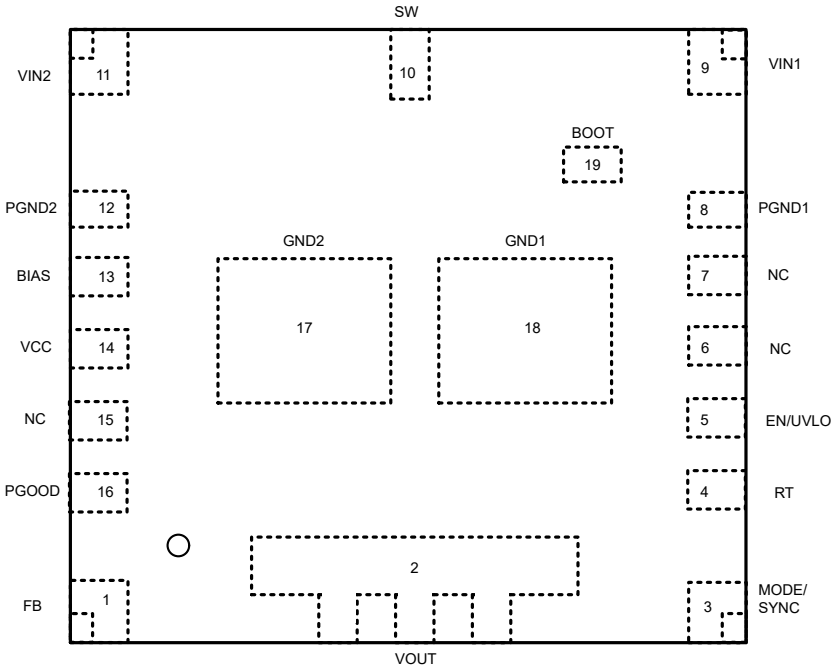


図 4-1. 19 ピン VCG、QFN-FCMOD パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
FB	1	A	帰還構成ピン。3.3V の固定出力電圧を構成するには、GND に接続します。5V の固定出力電圧を構成するには、VCC に接続します。可変出力オプションの場合、帰還分圧器にこのピンを接続します。レギュレーション閾値は 0.8V です。
VOUT	2	O	出力電圧。このピンは、内部の出力インダクタに接続されています。ピンを出力負荷に接続し、ピンと PGND との間に外部出力コンデンサを接続します。
MODE/SYNC	3	I/O	MODE および同期入力ピン。GND に接続するか、このピンを Low に駆動して、自動モードで動作させます。VCC に接続するか、ピンを High に駆動するか、同期クロック信号を送信して FPWM モードで動作させます。外部クロックに同期している場合、RT ピンを使用して内部周波数を同期した周波数に近い値に設定します。
RT	4	I/O	スイッチング周波数のプログラミング用ピン。このピンは、400kHz 動作の場合は VCC に、2.2MHz 動作の場合は GND に接続します。このピンを抵抗を介してグランドに接続すると、スイッチング周波数を 300kHz ～ 2200kHz に設定できます。フローティングにはしないでください。
EN/UVLO	5	P	高精度イネーブル ピン。High = オン、Low = オフ。このピンは VIN に直接接続できます。この入力には高精度スレッショルドがあるため、調整可能な UVLO として使用できます。安全アプリケーション用に構成されている場合、このピンは、内部冗長回路に電力を供給する常時オンのレギュレータへの入力としても使用されます。フローティングにはしないでください。
NC	6	—	接続の無いピン。フローティングのままにします。
NC	7	—	接続の無いピンフローティングのままにします。
PGND1	8	G	ローサイド MOSFET の電源グランド。システム グランドに接続。このピンと VIN1 との間に高品質のバイパス コンデンサ 1 つまたは複数のコンデンサを接続します。
VIN1	9	P	レギュレータへの入力電源。このピンと PGND1 との間に高品質のバイパス コンデンサを接続します。VIN2 との間に低インピーダンス接続を確立します。
SW	10	P	電源モジュールのスイッチ ノード。このピンに外部部品を配置したり、信号に接続したりしないでください。ノイズや EMI の問題を防止するため、これらのピンに配置する銅の量は最小限に抑える必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
VIN2	11	P	レギュレータへの入力電源。このピンと PGND2 との間に高品質のバイパス コンデンサを接続します。VIN1 との間に低インピーダンス接続を確立します。
PGND2	12	G	内部ローサイド MOSFET の電源グランド。システム グランドに接続。このピンと VIN2 との間に高品質のバイパス コンデンサを接続します。
BIAS	13	P	内部電圧レギュレータへの入力。固定 VOUT 用に構成されている場合、このピンを VOUT ノードに接続して、制御ループを閉じます。可変 VOUT を構成している場合、このピンを VOUT ノードに接続するか、または 3.3V ～ 30V の外部バイアス電源に接続します。外部電源を使用しない場合、このピンを GND に接続してください。
VCC	14	P	内部 LDO 出力。内部制御回路への電源として使用されます。このピンは、いずれの外部負荷にも接続しないでください。制御またはフラグ ピンのロジック プルアップに使用できます。2.2µF のコンデンサが内部で VCC から AGND に接続されています。
NC	15	—	接続の無いピン。フローティングのままにします。
PG	16	O	パワー グッド フラグの出力。VOUT が指定されたレギュレーション ウィンドウの範囲外である場合に Low になるオープン ドレイン出力。
GND	17、18	G	露出したグランド パッド。PCB 上のシステム GND に接続。このピンはダイの主要な放熱パスです。このパッドは、PCB 上の GND 銅箔に半田付けすることで、ヒートシンクに使用する必要があります。サンプル基板レイアウトで推奨されているようにできるだけ多くのサーマル ビアを実装することで、最小限のパッケージ熱抵抗と可能な限り最高の放熱性能が保証されます。
BOOT	19	P	内部ハイサイド ドライバ回路のブートストラップ ピン。このピンからモジュール内の SW に 100nF のブートストラップコンデンサが内部接続されており、これによってブートストラップ電圧が供給されています。

(1) I = 入力、O = 出力、A = アナログ、P = 電源、G = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時接合部温度範囲 –40℃～ +150℃ (特に記載がない限り)(1)

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	70	V
入力電圧	EN/UVLO から PGND へ	-0.3	70	V
入力電圧	RT から PGND	-0.3	70	V
入力電圧	BIAS から PGND へ	-0.3	40	V
入力電圧	MODE/CLKIN から PGND へ	-0.3	5.5	V
入力電圧	FB から PGND	-0.3	5.5	V
出力電圧	SW～PGND	-0.6	V_{IN}	V
出力電圧	PG から PGND	-0.3	40	V
出力電圧	BST から SW へ	-0.3	5.5	V
出力電圧	VCC から PGND へ	-0.3	5.5	V
動作時接合部温度	T_J	-40	150	°C
保存温度	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時接合部温度範囲 –40℃～ +125℃ (特に記載がない限り)

		最小値	最大値	単位
入力電圧	VIN	3	65	V
入力電圧	EN	0	65	V
入力電圧	バイアス、PG	0	30	V
入力電圧	FB	0	5.5	V
入力電圧	MODE/SYNC、RT	0	5.5	V
プルアップ抵抗	$R_{PU(PG)}$	4		kΩ
プルアップ リファレンス電圧	$V_{PU(PG)}$	0.8	30	V
出力電圧	VOUT	1	24	V
動作時接合部温度	T_J	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		デバイス VCG (QFN-FCMOD) 19 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.2	℃/W
$R_{\theta JA}$	接合部から周囲への熱抵抗 (JESD 51-7) (2)	35.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	24.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	14	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	13.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6.8	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) この表に示す $R_{\Theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。この熱パラメータは、実際のアプリケーションで得られた性能を表すものではありません。を参照してください。

5.5 電気的特性

特に記載のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 –40℃ ～ +125℃にわたって適用されます。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、V_{EN} = V_{IN}、V_{OUT} = 3.3V、f_{SW} = 2.2MHz、R_{nFAULT} = 100 kΩ (V_{IN} へのプルアップ)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN ピン)						
VIN_{UVLO_R}	VIN UVLO 立ち上がりスレッショルド	V_{IN} の立ち上がり (起動に必要)、I_{VCC} = 0A	3.25	3.5	3.65	V
VIN_{UVLO_H}	VIN UVLO ヒステリシス			0.9		V
I_{Q-SD}	V_{IN} のシャットダウン時の電源電流	V_{EN} = 0V、T_J = 25℃			0.85	μA
I_{VIN}	VIN ピン入力電流、スイッチングなし	V_{BIAS} = 3.3V + 2%		0.83		μA
$I_{BIAS(FIX-3.3V)}$	BIAS ピン入力電流、3.3V 固定出力、スイッチングなし	V_{BIAS} = 3.3V + 2%、自動モード イネーブル、		8.0		μA
$I_{Q(FIX-3.3V)}$	V_{IN} 静止電流の合計、3.3V 固定出力、スイッチングなし	V_{IN} = 24V、V_{BIAS} = 3.3V + 2%、T_J = 25℃、自動モード イネーブル		2.1	3.5	μA
		T_J =			3.4	μA
$I_{BIAS(ADJ-3.3V)}$	BIAS ピン入力電流、調整可能な 3.3V 出力、スイッチングなし	V_{FB} = 0.8V + 2%、自動モード		6.5		μA
$I_{Q(ADJ-3.3V)}$	V_{IN} 静止電流の合計、調整可能な 3.3V 出力、スイッチングなし	V_{IN} = 24.0V、V_{FB} = 0.8V + 2%、自動モード		2.5		μA
イネーブル (EN ピン)						
$V_{EN_TH_R}$	イネーブル電圧立ち上がりスレッショルド	V_{EN} 立ち上がり	1.15	1.25	1.35	V
$V_{EN_TH_F}$	イネーブル入力 Low スレッショルド	V_{EN} 立ち下がり	0.9	1	1.1	V
V_{EN_HYS}	イネーブル電圧のヒステリシス			250		mV
I_{EN_LKG}	イネーブル入力リーク電流	V_{EN} = V_{IN}		0.2	1.0	μA
内部 LDO (VCC ピン)						
V_{VCC}	内部 LDO 出力電圧	3.4V ≤ V_{IN} ≤ 65V、V_{BIAS} = 0V		3.35		V
		3.4V≤V_{BIAS}≤30V		3.35		V
$V_{VCC-UVLO_R}$	VCC UVLO 立ち上がりスレッショルド	VCC 低電圧立ち上がりスレッショルド、I_{VCC} = 0A	3.20	3.50	3.65	V
$V_{VCC-UVLO_H}$	VCC UVLO ヒステリシス	$V_{VCC-UVLO_R}$ 未満でのヒステリシス		0.9		V
電圧リファレンス (FB ピン)						
V_{FB}	内部フィードバック リファレンス電圧	FPWM モード	0.792	0.8	0.808	V
固定出力電圧 (BIAS ピン)						
$V_{OUT(3.3V)}$	3.3V 固定出力電圧	FB は GND に短絡	3.265	3.3	3.333	V
$V_{OUT(5V)}$	5.0V 固定出力電圧	FB は VCC に短絡	4.935	5	5.05	V
スタートアップ (SS ピン)						
t_{EN_HIGH}	イネーブル High からスイッチング開始までの遅延	V_{FB} = V_{RT} = V_{MODE} = GND, V_{BIAS} = V_{OUT}		3		ms

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記載のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 –40℃ ～ +125℃にわたって適用されます。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、V_{EN} = V_{IN}、V_{OUT} = 3.3V、f_{SW} = 2.2MHz、R_{nFAULT} = 100 kΩ (V_{IN} へのプルアップ)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{SS}	内部固定ソフトスタート時間	最初の SW パルスから V_{REF} が設定点の 90% に達するまでの時間。	2.9	5.5	8.1	ms
電流制限およびヒカップ						
I_{HS-LIM}	ハイサイド ピーク電流制限	デューティ サイクルを 0% に近付ける	3.9	4.8	5.4	A
I_{LS-LIM}	ローサイド バレー電流制限	LS FET のバレー電流制限	3	3.9	4.4	A
$I_{L-PEAK-MIN}$	最小デューティ サイクルでの最小ピーク インダクタ電流	V_{VCC} = 3.3V、tpulse ≤100ns 自動モード	0.85	1.2	1.55	A
$I_{L-PEAK-MAX}$	最大デューティ サイクルでの最小ピーク インダクタ電流	V_{VCC} = 3.3V, tpulse ≥ 1µs、自動モード		0.48		A
$I_{LS-NEG-LIM}$	ローサイド負電流制限	LS FET のシンク電流制限、FPWM モード	-6	-4.3	-2.5	A
$I_{L-ZC-LIM}$	ゼロクロスの電流制限値	V_{VCC} = 3.3V、自動モード		45		mA
V_{HIC}	FB ピンの過電流ヒカップ スレッショルド	LS FET オン時間 > 165ns、ソフトスタート中ではない		0.32		V
t_{HIC_DLY}	ヒカップ モードの起動遅延			64		サイクル
t_{HIC}	ヒカップ モードの持続時間			45		ms
パワー グッド (PG ピン)						
$V_{PG-OVP-R}$	PG 過電圧立ち上がりスレッショルド	FB 電圧 (可変) またはバイアス電圧 (固定) の %	103	105	107	%
$V_{PG-OVP-F}$	PG 過電圧立ち下がりスレッショルド	FB 電圧 (可変) またはバイアス電圧 (固定) の %	101	104	106	%
$V_{PG-UVP-R}$	PG 低電圧立ち上がりスレッショルド	FB 電圧 (可変) またはバイアス電圧 (固定) の %	94	96	98	%
$V_{PG-UVP-F}$	PG 低電圧立ち下がりスレッショルド	FB 電圧 (可変) またはバイアス電圧 (固定) の %	93	95	97	%
$t_{PG-DEGLITCH-F}$	PG 立ち下がりエッジでのグリッチ除去フィルタ遅延		55	122	175	µs
$t_{PG-DEGLITCH-R}$	PG 立ち上がりエッジでのグリッチ除去フィルタ遅延		1.4	2	4.5	ms
$V_{IN-PG-VALID}$	有効な PG 出力の最小 VIN	$V_{OL(PG)}$ < 0.4V, R_{PU} = 50kΩ, V_{PU} = 5V			1.25	V
V_{OL-PG}	出力 LOW 電圧	I_{OL} = 1mA, V_{IN} = 1.2V			0.4	V
R_{ON-PG}	PGOOD オン抵抗	I_{PG} = 1mA		40	125	Ω
同期 (MODE/SYNC ピン)						
$V_{IH(MODE/CLKIN)}$	MODE/CLKIN 入力の High レベル スレッショルド				1.3	V
$V_{IL(MODE/CLKIN)}$	MODE/CLKIN 入力の Low レベル スレッショルド		0.45			V
$f_{CLKIN-RANGE(FPWM)}$	2.2MHz f_{SW} を設定する同期周波数範囲	R_{RT} = 6.81kΩ、1%	1.76		2.64	MHz
$t_{CLKIN(TON)}$	外部 SYNC 信号の最小正パルス幅				80	ns
$t_{CLKIN(TOFF)}$	外部 SYNC 信号の最小負パルス幅				80	ns
$t_{CLKIN-SW-DLY}$	CLKIN から SW への遅延時間(1)		-15		15	ns
サーマル シャットダウン						
T_{SD}	サーマル シャットダウン(1)	シャットダウン スレッショルド	155	165	177	ºC
		復帰スレッショルド		156		ºC

(1) 設計により規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

特に記述のない限り、V_{IN} = 13.5V。

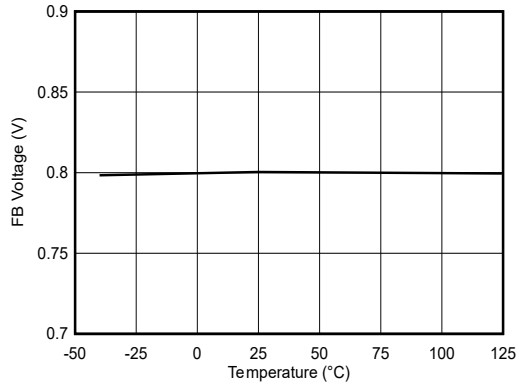
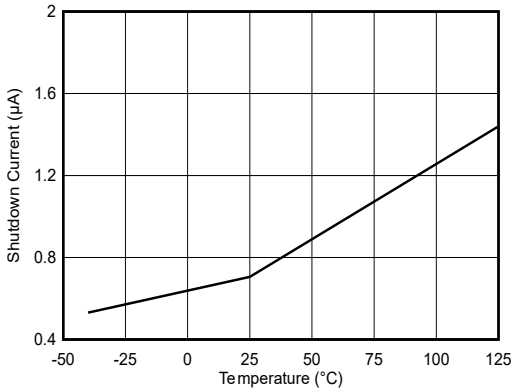


図 5-1. 帰還電圧



EN = 0V

図 5-2. シャットダウン入力電流

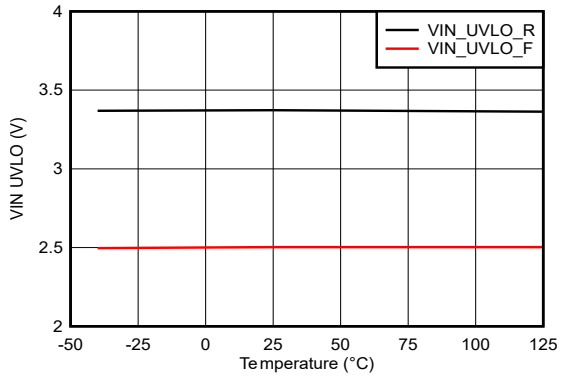


図 5-3. UVLO をイネーブルにします

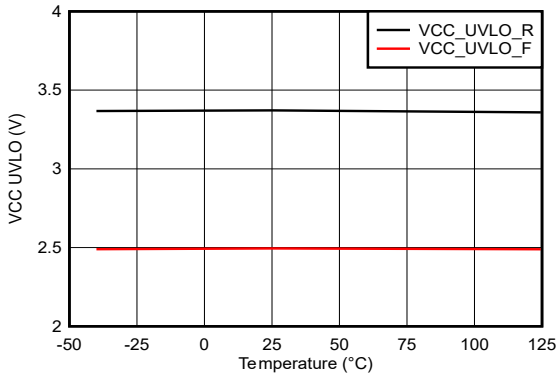


図 5-4. V_{CC} UVLO

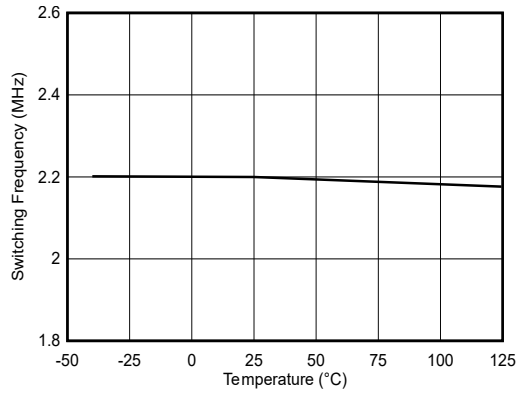


図 5-5. f_{SW} 2.2MHz

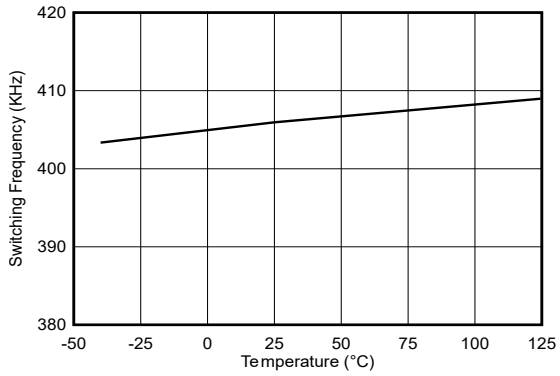


図 5-6. f_{SW} 400kHz

5.6 代表的特性 (続き)

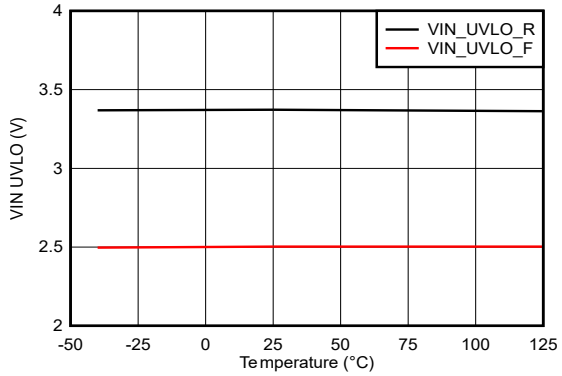


図 5-7. V_{IN} UVLO

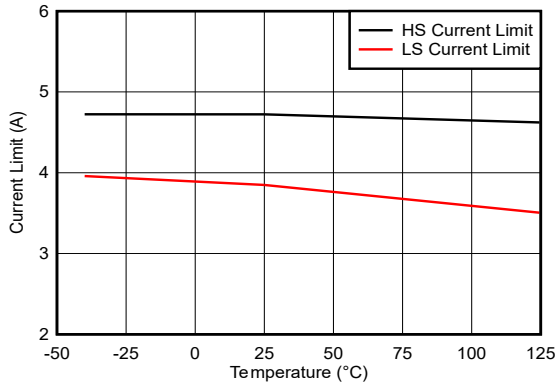


図 5-8. 電流制限

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TLVM65030 は、3V ～ 65V (70V 許容) の電源電圧で動作する、高電力密度の使いやすい同期降圧 DC/DC 電源モジュールです。TLVM65030 は、3.3V および 5V または可変出力構成でのピン選択可能な固定出力電圧を備えています。電源コントローラ、インダクタ、MOSFET、その他必要な部品を内蔵した TLVM65030 は、非常に小さな設計サイズで、最大 3A の DC 負荷電流を高効率、低入力静止電流で供給します。このデバイスは実装が簡単になるように設計されていますが、対象アプリケーションに応じて使用を最適化する柔軟性があります。

最小オン時間 30ns の電流モード制御アーキテクチャにより、高周波数での高い変換比、高速過渡応答、優れた負荷およびライン レギュレーションを可能にします。最小オン時間または最小オフ時間が目的の変換比をサポートしない場合、スイッチング周波数は自動的に低下します。この機能により、広範囲にわたる V_{IN} 変動中もレギュレーションを維持できます。

このデバイスは、高性能産業用環境で動作しながら、最終製品のコストとサイズが最小化されるように設計されています。TLVM65030 は、RT ピンを使用して固定 400kHz または固定 2.2MHz で動作させるか、300kHz ～ 2.2MHz の可変モードで動作するように設定できます。内蔵の補償回路と高精度の電流制限方式を組み合わせることで、部品表コストと部品点数を最小化できます。

TLVM65030 は、低 EMI を意図して設計されています。このデバイスには、次のような事項が含まれます。

- 寄生パッケージのインダクタンスを最小化する対称型のピン配置
- AM ラジオ帯域より上、および下の周波数範囲での動作
- 外部クロック同期機能とともに、自動または FPWM モードをピンで構成可能

これらの機能により、シールドとその他の高価な EMI 軽減対策を不要にできます。

TLVM65030 には、堅牢なシステム要件に必要な保護機能も内蔵されています。

- 電源レールのシーケンシングと障害報告用のオープンドレイン PGOOD インジケータ
- 以下の機能を提供するヒステリシス付き高精度イネーブル入力
  - プログラム可能なライン低電圧誤動作防止 (UVLO)
  - リモート オン / オフ特性
- サイクル単位のピーク電流制限とバレー電流制限によるヒカップ モード過電流保護
- 自動回復機能付きサーマル シャットダウン。

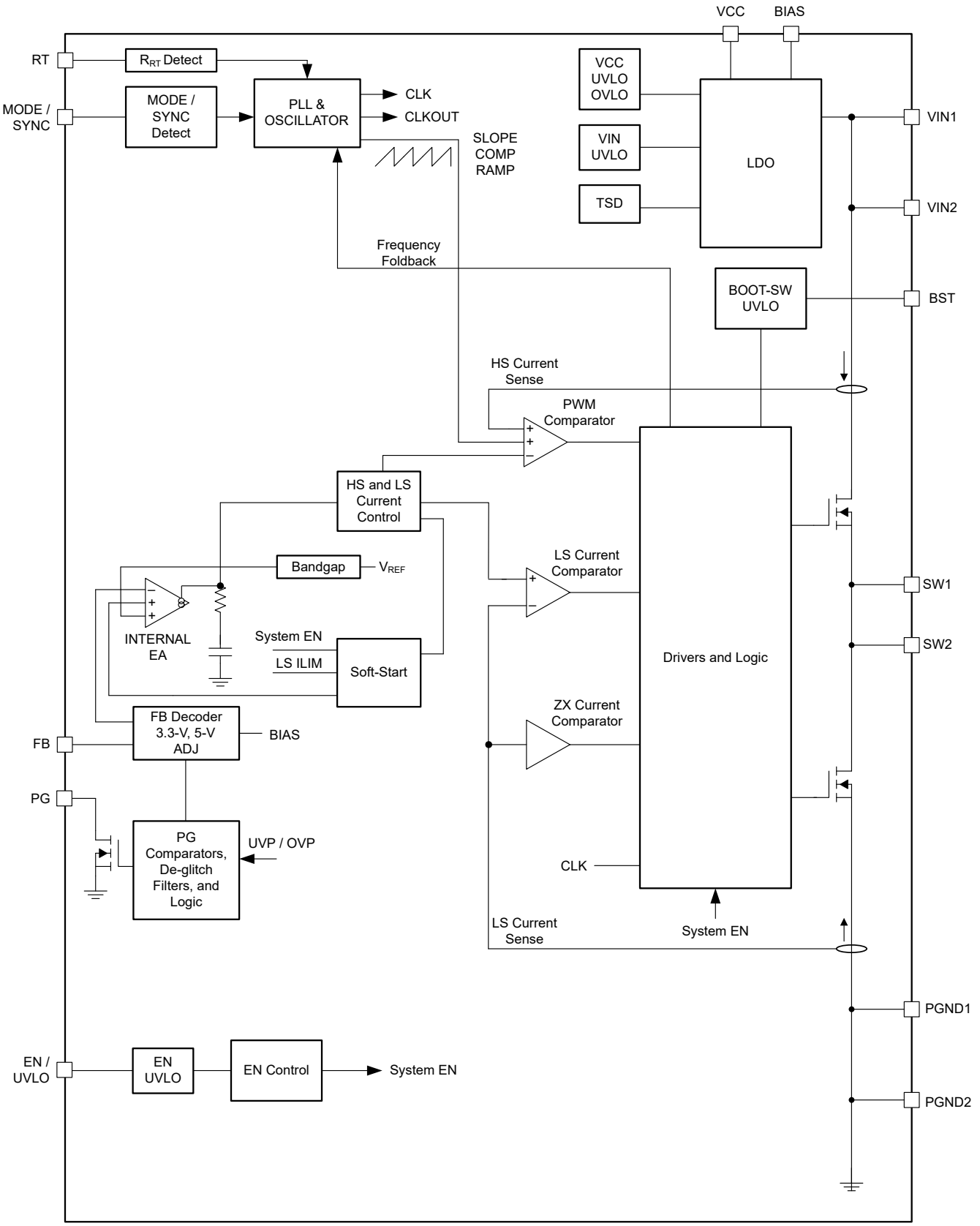
TLVM65030 は追加の監視機能も備えています。以下の機能が含まれています。

- 出力 UV/OV 保護機能付きパワー グッド モニタおよびオープンドレイン PG ピン出力
- ヒカップ モードによる過電流および出力短絡保護回路
- サーマル シャットダウン

このデバイスを信頼性を重視する環境で使用するため、TLVM65030 は大型化したコーナー端子付きパッケージを採用しており、ボードレベルの信頼性を向上させます。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 出力電圧の選択

TLVM65030 は、固定出力電圧モードと可変出力電圧モードをピンで選択できることが特徴です。固定出力電圧モードでは、出力電圧は FB ピンによって選択されます。FB ピンを GND に接続して固定 3.3V 出力を選択するか、VCC に接続して固定 5V 出力を選択します。固定出力電圧モードを選択すると、BIAS ピンを VOUT に直接接続します。このモードでは、BIAS ピンがレギュレータの帰還ループを閉じ、内部バイアス レギュレータに入力電力を供給します。内部 LDO にはこのピンから電力が供給されるため、信頼性の高いボード線図を固定出力電圧モードでは取得できませんが、この測定は可変モードで行うことができます。図 7-1 に示すように、BIAS を VOUT に接続します。

表 6-1. 出力電圧の選択

FB	VOUT
GND への短絡	3.3V
VCC への短絡	5V
帰還抵抗分圧器に接続します (図 6-1)	ADJ

可変出力電圧モードでは、レギュレータの出力電圧と FB ピンとの間に分圧器を接続します。抵抗値は、目的の出力電圧とレギュレータの 0.8V 電圧リファレンスに基づいて計算します。接続の詳細については、図 6-1 を参照してください。

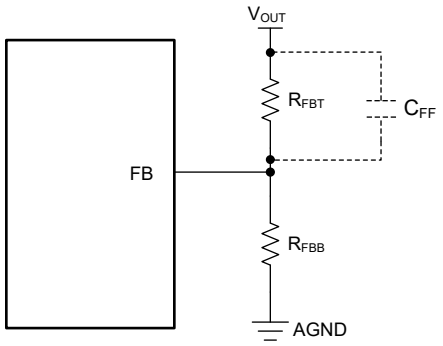


図 6-1. 可変バージョンの出力電圧の設定

R_{FBT} の目的の値に基づいて R_{FBB} の値を選択するには、式 1 を使用します。R_{FBT} の値を 100kΩ 以下に制限するのが最適なやり方です。抵抗値が大きいと、環境汚染によって PCB 上のリーク電流の影響を受けやすくなり、目的の出力電圧がシフトする可能性があります。PCB の過剰なリーク電流がない場合、無負荷時の電源電流を低減するために、約 1MΩ までの値を使用できます。

$$R_{FBB} = R_{FBT} \times \frac{0.8}{V_{OUT} - 0.8} \quad (1)$$

場合によっては、可変モードを使用する際に、フィードフォワード コンデンサを使用することで、ループ位相マージンまたは負荷過渡応答を改善できます。C_{FF} の正確な値は、設計の初期ベンチ評価時に経験的に選択するのが最適です。開発中のいずれかの段階で必要に応じて、このコンデンサのためのプレースホルダを PCB レイアウトに配置します。

表 6-2. 標準 $R_{FBT/B}$ 値、推奨 F_{SW}、最小 C_{OUT}

V_{OUT} (V)	R_{FBT} (kΩ)	R_{FBB} (kΩ)	推奨 F_{SW} (kHz)	$C_{OUT(MIN)}$ (µF) (実効値)
1.8	205	164	400	200
3.3	205	65.7	650	75
5	205	39	1000	40
12	205	14.7	1800	15

Copyright © 2026 Texas Instruments Incorporated

6.3.2 EN ピンおよび V_{IN} UVLO としての使用

起動とシャットダウンは、EN 入力により制御されます。この入力には高精度のスレッショルドが搭載されており、必要に応じて、外付け分割電圧を使用して可変の入力低電圧ロックアウト (UVLO) を行えます。$V_{EN_TH_R}$ を超える電圧を印加すると、本デバイスは完全にイネーブルになり、本デバイスは起動モードに移行し、ソフトスタート期間を開始できます。EN 入力が $V_{EN_TH_F}$ を下回ると、レギュレータはスイッチングを停止し、VIN 入力電流は 0.85µA (最大値) 未満でシャットダウン モードに移行します。この機能が必要ない場合は、EN 入力を VIN に直接接続できます。イネーブル ピンがフローティング状態になるとデバイスがオフになるので、イネーブルをフローティングにしないでください。各種の EN スレッショルドの値については、電気的特性表を参照してください。

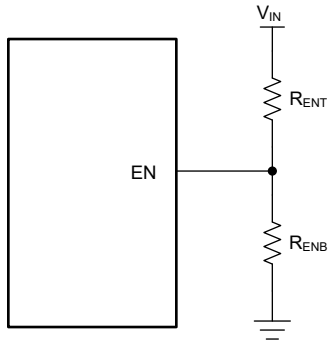


図 6-2. EN ピンを使った VIN/UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。この機能は、特別なシーケンシング、または電源ケーブルが過度に長いことによる入力電圧の発振の防止に使用できます。外付けの UVLO は、図 6-2 に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON}、オフする入力電圧を V_{OFF} と表します。精度を維持するため、分圧器の電流は EN 入力に流れる電流 (I_{EN_LKG}) より大きくする必要があります。R_{ENB} の値が 10kΩ と 50kΩ の間であれば妥当です。次に 式 2 を使って R_{ENT} を計算し、式 3 を使って V_{OFF} を計算します。

$$R_{ENT} = R_{ENB} \times \left(\frac{V_{ON}}{V_{EN_TH_R}} - 1 \right) \quad (2)$$

$$V_{OFF} = V_{ON} \times \left(\frac{V_{EN_TH_F}}{V_{EN_TH_R}} \right) \quad (3)$$

ここで、

- V_{ON} = V_{IN} のターンオン電圧
- V_{OFF} = V_{IN} のターンオフ電圧

6.3.3 モード選択

MODE/SYNC ピンは、動作モードを設定し、さらに外部の同期信号の入力として機能するマルチファンクション ピンです。このピンが接地されているか、ロジック Low に駆動されると、コンバータは自動モードで動作します。このピンが VCC に接続されているか、ロジック High に駆動されている場合、または外部クロック ソースに同期している場合、コンバータは FPWM モードで動作します。

Copyright © 2026 Texas Instruments Incorporated

表 6-3. モード選択

MODE/SYNC	モード
GND に短絡または Low に駆動	自動
VCC に短絡または High に駆動	FPWM
信号の同期	FPWM

デバイスを自動モードから FPWM モードに移行するには、ピンを Low から High に駆動するか、同期信号を送信する必要があります。デバイスを FPWM モードから自動モードに遷移させるには、ピンを High から Low に駆動するか、同期信号の送信を停止する必要があります。グランドへの短絡または VCC へのプルアップには、200Ω 未満の抵抗が必要であることに注意してください。

6.3.3.1 MODE/SYNC ピンによる同期

TLVM65030 の MODE/SYNC ピンを使用して、内部発振器を外部クロックに同期することができます。内部発振器は、立ち上がりエッジをピンにカップリングすることで同期できます。内部同期パルス検出器をトリップさせるには、ピンの結合エッジ電圧が SYNC 振幅スレッショルド ($V_{IH(SYNC)}$) を上回る必要があります。最小 SYNC オンパルスおよびオフパルス幅は、それぞれ $t_{SYNC(TON-MIN)}$ および $t_{SYNC(TOFF-MIN)}$ よりも長くする必要があります。TLVM65030 のスイッチング動作は、300kHz ～ 2.2MHz の外部クロックと同期することが可能です。

外部同期信号は、ピンの検出の前または後にのみ適用できることに注意してください。ピン検出中に印加されると、SYNC 信号は検出できません。

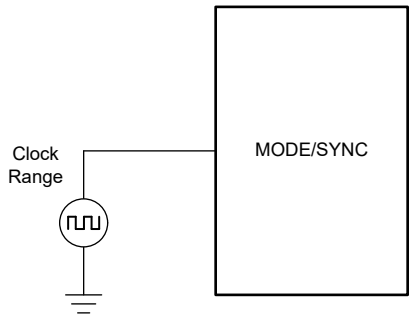
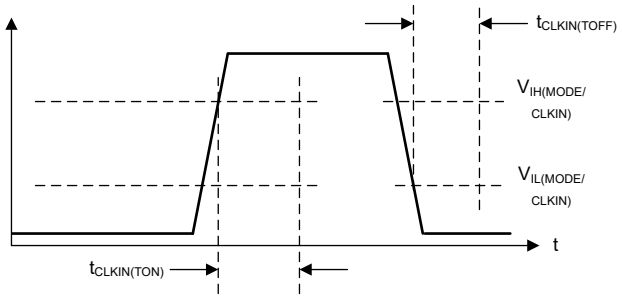


図 6-3. MODE/SYNC ピンを使用した同期ができる代表的な実装



この図に、同期信号を検出するために必要な条件を示します。

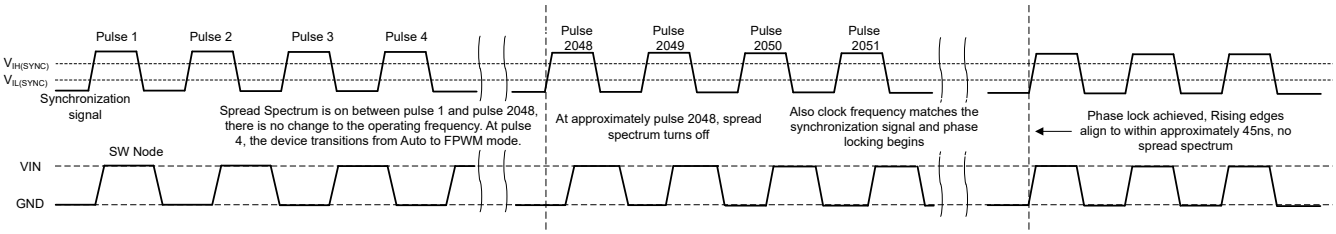
図 6-4. 代表的な SYNC 波形

6.3.3.2 クロックのロック

有効な同期信号が検出された後、クロック ロック手順が開始されます。約 2048 パルスの後、クロック周波数は同期信号の周波数にロックされます。スイッチング周波数が調整されると同時に、そのクロック サイクルは、デフォルトの周波数で動作する際のクロック サイクルと同期周波数で動作する際のクロック サイクルとの中間の長さになるように位相が維持されま

Copyright © 2026 Texas Instruments Incorporated

す。長すぎる、または短すぎるパルスはありません。周波数が調整された後、立ち上がり同期エッジが立ち上がり SW ノード パルスに対応するように、数 10 サイクルかけて位相が調整されます。次の図を参照してください。



4 番目のパルスで、同期信号が検出されます。約 2048 パルスの後、同期信号は同期する準備ができ、グリッチ フリーの手法を使用して周波数を調整し、位相をロックします。

図 6-5. 同期プロセス

6.3.4 可変スイッチング周波数

RT ピンは設定可能です。このピンを VCC に接続すると 400kHz で動作し、グランドに接続すると 2.2MHz で動作します。また、抵抗を GND に接続すると可変動作周波数に設定することが可能です。表 6-4 を参照してください。抵抗値が推奨範囲外になると、TLVM65030 が 400kHz または 2.2MHz に戻ることに注意してください。強制的に同期させる目的で、このピンにパルス信号を印加することはしないでください。同期が必要な場合は、セクション 6.3.3.1 の SYNC/MODE ピンを参照してください。RT ピンと GND との間に抵抗を配置することで、スイッチング周波数を 300kHz ～ 2200kHz の範囲でプログラムできます。式 4 と 図 6-6 を参照してください。

$$R_T(k\Omega) = \frac{16.4}{F_{SW}(MHz)} - 0.633 \quad (4)$$

たとえば、f_{SW} = 400kHz、R_T = 40.37kΩ の場合、最も近い値として 40.2kΩ 抵抗を選択できます。

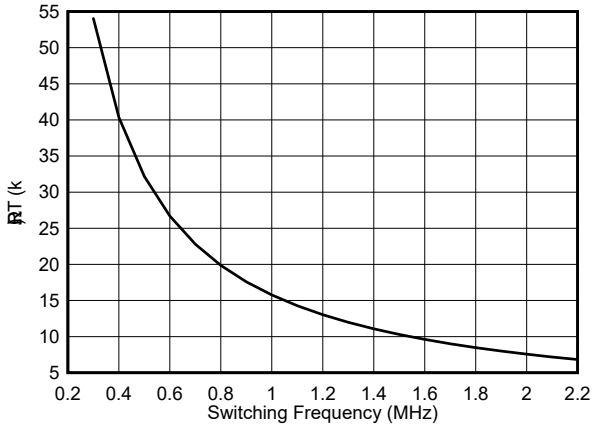


図 6-6. スイッチング周波数と RT との関係

表 6-4. スイッチング周波数の設定

RT	スイッチング周波数
VCC	400kHz
GND	2200kHz
RT 抵抗から GND へ	300kHz ～ 2200kHz

グランドへの短絡または VCC へのプルアップには、200Ω 未満の抵抗が必要であることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

6.3.5 内部 LDO、VCC UVLO、BIAS 入力

TLVM65030 は、VCC レギュレータ用のデュアル入力を備えており、VIN または BIAS から供給されます。TLVM65030 がアクティブになった後、BIAS が約 3.1V 未満の場合、VIN から電力が供給されます。しかし、BIAS が 3.2V (最大値) より大きい場合、BIAS から電力が供給されます。VCC は大半の条件下で通常 3.3V ですが、VIN が低い場合はそれより低くなる可能性があります。不適切な動作を防止するため、VCC には、内部電圧が低すぎる場合にスイッチングを止める UVLO が備わっています。「電気的特性」の $V_{CC-UVLO_R}$ および $V_{CC-UVLO_HYST}$ を参照してください。

6.3.6 ブートストラップ電圧 (BST ピン)

電源スイッチ (HS スイッチ) のドライバには、HS スイッチがオンのときに、VIN より高いバイアス電圧が必要となります。BST と SW の間に内部接続されたコンデンサは、BST 端子の電圧を (SW + VCC) に昇圧するチャージ ポンプとして機能します。物理的な設計サイズを最小化するため、TLVM65030 のダイにはブート ダイオードが内蔵されています。

6.3.7 ソフトスタートとドロップアウトからの回復

TLVM65030 を使用して設計する場合、ドロップアウトからの回復に起因する出力電圧のゆっくりとした上昇とソフト スタートは、個別の事象と見なす必要があります。ソフト スタートは、以下のいずれかの条件によってトリガされます。

- 本デバイスをオンにするために EN が使われた。
- ヒカップ待機期間からの回復。セクション 6.3.8.3 参照。
- 過熱保護によるシャットダウンから回復した。
- IC の VIN に電力が供給されるか、VCC の UVLO が解除されています。

ソフトスタートが開始された後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと 0 から上昇します。その結果、出力電圧が (それまで 0V だった場合)、t_{SS} の時間をかけて制御値の 90% に達します。
- 動作モードが自動的に設定され、ダイオード エミュレーションを有効化する。この動作により、電圧がすでに出力されていても、出力電圧を Low にすることなく起動できます。
- ヒカップは、ソフトスタート中ディセーブルになります (セクション 6.3.8.3 を参照)。

これらの動作をすべて組み合わせることで、スタートアップを制御でき、突入電流も制限できます。また、これらの動作により、起動時に電流を制限する原因となる可能性がある出力コンデンサと負荷条件を、ヒカップをトリガすることなく使用できます。また、出力電圧がすでに存在している場合、出力電圧は放電しません。

どのような理由であれ、出力電圧が数 % 以上低くなると、出力電圧はゆっくりと上昇してきます。この動作はドロップアウト条件からの回復で、ソフトスタートとは以下の 3 つの重要な点で異なります。

- 出力電圧がその設定点の 40% 未満である場合に限り、ヒカップが許可される。ドロップアウト レギュレーションの間、ヒカップは禁止されることに注意します。セクション 6.3.8.3 を参照してください。
- ドロップアウトからの回復中、FPWM モードが許可される。外部電源によって出力電圧が突然プルアップされた場合、TLVM65030 は出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグランドに短絡した場合にデバイスを保護していることに注意します。
- 基準電圧は、現在の出力電圧を実現するために必要な値よりも約 1% 高い値に設定されます。基準電圧はゼロからはスタートしません。

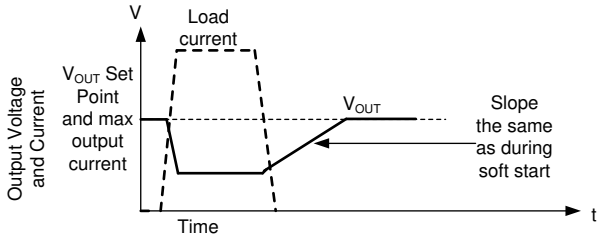
名前にもかかわらず、十分に長い間、出力電圧が設定点よりも数パーセント以上低くなると、必ずドロップアウトからの回復がアクティブになるので次のいずれかになります。

- デューティ係数が、最小オン時間によって制御されるか、あるいは、
- デバイスが電流制限で動作している。

この動作は主に、以下の条件で発生します。

- ドロップアウト: 目的の出力電圧を生成するのに十分な入力電圧がない場合。
- ヒカップをトリガするのに十分な大きさではない過電流、または期間が短すぎてヒカップをトリガできない場合。セクション 6.3.8.3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated



出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は上昇します。ドロップアウトが原因でヒカップがトリガされなかったとしても、回復中、128 クロック サイクル以上にわたって出力電圧が設定点の 0.4 倍を下回った場合、原則として、回復中にヒカップがトリガされます。

図 6-7. ドロップアウトからの回復

6.3.8 監視機能

TLVM65030 は、以下の安全機能セットを備えています。

- 出力低電圧 (UV) および過電圧 (OV) 保護機能を備えたパワーグッドモニタ
- ヒカップ モードによる過電流および出力短絡保護回路
- サーマル シャットダウン (TSD)

6.3.8.1 パワー グッド モニタ

TLVM65030 は、システムの電源シーケンシングと監視を簡素化するためのパワーグッド機能を備えています。パワー グッド機能を使用すると、TLVM65030 から電源を供給されるダウンストリームの回路をイネーブルにしたり、ロード スイッチなどのダウンストリームの保護回路を制御したり、あるいはシーケンス電源を起動したりできます。この機能は、可変 V_{OUT} の設定では FB ピンを、固定 V_{OUT} の設定では BIAS ピンを使用して、ウィンドウ コンパレータにより出力電圧を監視します。パワー グッド出力 (PG) は、出力電圧がレギュレーション状態のときに、高インピーダンスのオープン ドレイン状態に切り替わります。出力電圧が設定電圧から ±5% の範囲を超えると、PG ピンが LOW (< $V_{OL(PG)}$) に駆動され、出力の過電圧または低電圧状態をシステムに警告します。PG の立下りエッジの 114µs のグリッチ除去フィルタにより、遷移中のパワー グッド信号の誤トリップが防止されます。出力電圧がレギュレーションウィンドウ内に戻ると、PG の立ち上がりエッジに 2ms のフィルタが接続されているため、ダウンストリーム部品のための追加の処理時間が得られます。

TI は、PG ピンと関連する 30V 以下のロジック レールとの間に 100kΩ プルアップ抵抗を入れることを推奨しています。ソフトスタート中および TLVM65030 がディセーブルのとき、PG は Low にアサートされます。

6.3.8.2 過電流および短絡保護

TLVM65030 は、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

下限側 MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。HS スイッチ電流は、短いブランキング時間の後に HS がオンになると検出されます。固定電流設定点と、電圧レギュレーション ループの出力からスロープ補償を引いた値のどちらか小さい方と HS スイッチ電流がスイッチング サイクルごとに比較されます。電圧ループには最大値があり、スロープ補償はデューティ サイクルに対応して大きくなるため、デューティ サイクルが 35% より大きい場合、デューティ サイクルが大きくなると HS 電流制限値は下がります。

LS スイッチがオンになると、LS スイッチを流れる電流も検出、監視されます。ローサイド MOSFET は、ハイサイド MOSFET と同様に、電圧制御ループの指示に従ってオフになります。ローサイド デバイスでは、発振器が正常に新しいスイッチング サイクルを開始したとしても、電流制限を超えるとターンオフは禁止されます。また、ハイサイド デバイスと同様に、ターンオフ電流に許容される高さに限界があります。この制限値はローサイド電流制限と呼ばれます。値については、「*電気的特性*」を参照してください。LS 電流制限を超えた場合、LS MOSFET はオン状態を維持し、HS スイッチはタ

Copyright © 2026 Texas Instruments Incorporated

ーンオンしません。LS 電流が制限値を下回ると、LS スイッチがオフになります。HS デバイスが最後にオンになってから 1 クロック周期以上が経過しさえすれば、HS スイッチは再度オンになります。

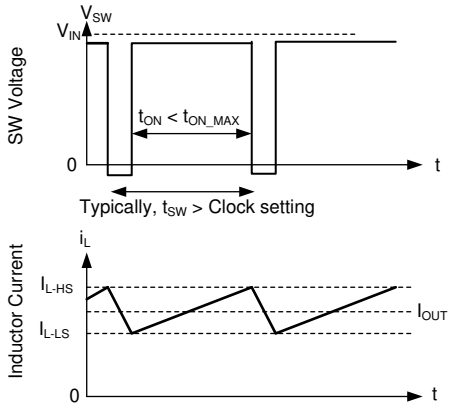


図 6-8. 電流制限波形

ハイサイドおよびローサイド電流制限の動作による正味の影響は、IC がヒステリシス制御で動作することです。電流波形は I_{L-HS} と I_{L-LS} の間の値をとるため、デューティ サイクルが極めて高い場合を除き、出力電流はこれらの 2 つの値の平均値に近い値になります。電流制限での動作後、出力電圧がゼロに近づくにつれて、ヒステリシス制御が使われ電流は増加しなくなります。

過負荷状態が解消されると、本デバイスはソフトスタート中であるかのように回復します (セクション 6.3.7 を参照)。出力電圧が意図した出力電圧の約 0.4 倍を下回ると、ヒカップがトリガされる可能性があることに注意してください。

6.3.8.3 ヒカップ

TLVM65030 は、128 の連続スイッチング サイクルにわたって、以下のすべての条件が満たされる場合、ヒカップ過電流保護に入ります。

- ソフトスタートが開始されてから、t_{SS} 以上の時間が経過した (セクション 6.3.7 を参照)。
- 出力電圧が、出力設定点の約 0.4 倍を下回っている。
- 本デバイスがドロップアウト (最小オフ時間がデューティ係数によって制御されている状態) で動作していない。

ヒカップ モードに入ると、本デバイスはシャットダウンし、t_{HI} 後にソフトスタートを試みます。ヒカップ モードは、極度の過電流と短絡状態の際に本デバイスの消費電力を低減するのに役立ちます。

6.3.8.4 サーマル シャットダウン

サーマル シャットダウンでは、本 IC の接合部温度が 165°C (標準値) を超え、パワーグッド (PG) がアサートされたときに内部スイッチをオフにすることで、総電力損失を制限します。サーマル シャットダウンは 155℃未満ではトリガされません。サーマル シャットダウンが作動した後、ヒステリシスにより、接合部温度が約 156℃に低下するまで本デバイスのスイッチングが止められます。接合部温度が 156℃ (標準値) を下回ると、TLVM65030 はソフトスタートを試みます。

6.4 デバイスの機能モード

6.4.1 シャットダウンモード

EN ピンは、本デバイスの電気的オン / オフ制御に使用できます。EN ピンの電圧が 0.9V を下回ると、レギュレータと内部 LDO の両方が電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、静止電流が 0.85µA 未満にまで低下します。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 アクティブ モード

TLVM65030 は、次の事象が発生するとアクティブ モードになります。

- EN ピンが $V_{EN_TH_R}$ を上回る。
- V_{IN} が $V_{IN_UVLO_R}$ を上回る。
- V_{IN} が、V_{IN} の最小動作入力電圧を満たすのに十分な大きさである。
- その他の障害条件は存在しない。

保護機能については、セクション 6.3 を参照してください。この動作を可能にする最も簡単な方法は、EN ピンを VIN に接続することです。これにより、印加された入力電圧が最小 $V_{IN_OPERATE}$ を超えると自動的に起動できます。

アクティブ モードでは、負荷電流、入力電圧、出力電圧に応じて、TLVM65030 は次の 6 つのサブモードのいずれかになります。

- 固定スイッチング周波数とピーク電流モード動作による連続導通モード (CCM)
- 不連続導通モード (DCM) (自動モードのときに負荷電流がインダクタ リップル電流の 1/2 未満である場合)電流が減少し続けると、デバイスはパルス周波数変調 (PFM) に移行します。これにより、軽負荷時にスイッチング周波数が低下して、スイッチング損失を低減しながらレギュレーションを維持し、高効率を実現します。
- 要求された低デューティサイクルでの全周波数動作に必要なデバイスのオン時間の最小オン時間動作は、T_{ON_MIN} ではサポートされていません
- 固定スイッチング周波数の CCM に類似した強制パルス幅変調 (FPWM)、ただし、動作の固定周波数範囲を全負荷から無負荷まで拡張
- 出力電圧が出力設定点の 0.4 倍を上回ったままの電流制限条件
- 低下を最小限に抑えるためにスイッチング周波数が低下したときのドロップアウト モード
- 出力電圧の設定点を除く他の動作モードと類似のドロップアウトからの回復は、プログラムされた設定点に達するまで徐々に上昇します。

6.4.2.1 ピーク電流モード動作

TLVM65030 の以下の動作の説明では、セクション 6.2 と 図 6-9 の波形を参照しています。両方とも、内蔵ハイサイド (HS) およびローサイド (LS) NMOS スイッチを各種デューティ サイクル (D) でオンにすることで、制御された出力電圧を供給します。HS スイッチのオン時間の間、SW 端子の電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドより低い電圧まで強制的にスイングさせます。一定の出力電圧を維持するため、レギュレータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。$D = T_{ON} / (T_{ON} + T_{OFF})$。

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。$D = V_{OUT} / V_{IN}$。

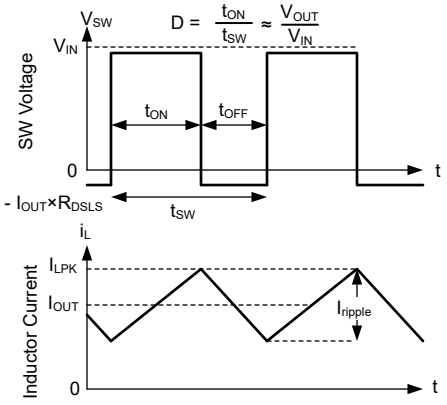


図 6-9. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

Copyright © 2026 Texas Instruments Incorporated

高精度の DC 負荷レギュレーションを実現するため、電圧帰還ループを使用しています。ピーク電流モード制御と電流保護のために、ピークおよびバレー インダクタ電流を検出します。負荷レベルが最小ピーク インダクタ電流の 1/2 を上回っている場合、レギュレータは一定のスイッチング周波数の連続導通モードで動作します。内部的に補償された制御ネットワークは、小型外付け部品と低 ESR コンデンサを使った高速で安定した動作を実現します。

6.4.2.2 自動モード動作

軽負荷時、TLVM65030 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間をシームレスに移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。TLVM65030 がどちらのモードで動作するかは、SYNC/MODE ピンによって決まります。SYNC/MODE が High のとき、本デバイスは FPWM モードになります。SYNC/MODE が Low の場合、本デバイスは PFM モードになります。

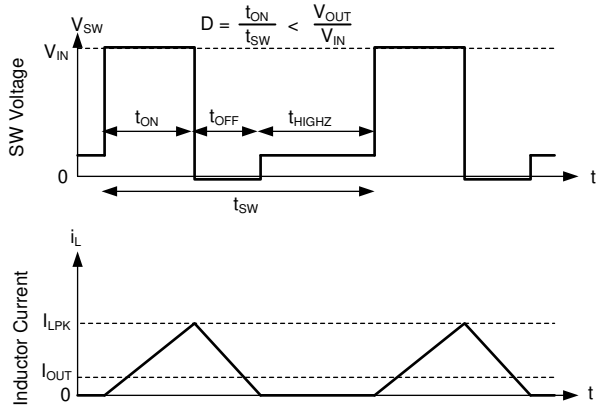
自動モード時、定格最大出力電流の約 1/10 未満の負荷の場合、TLVM65030 では軽負荷動作が使われます。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

- DCM 動作が可能なダイオード エミュレーション
- 周波数フォールドバック

これら 2 つの機能が同時に動作することで、非常に優れた軽負荷動作を実現しますが、互いに独立して動作することに注意します。

6.4.2.2.1 ダイオード エミュレーション

ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。固定ピーク インダクタ電流の場合、レギュレートするために周波数をより低くする必要があります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。ピーク インダクタ電流が $I_{PEAK-MIN}$ を下回ると、周波数が低下します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



自動モードでは、インダクタ電流がゼロに近づくとローサイド デバイスはオフになります。その結果、出力電流が CCM でインダクタリップルの 1/2 未満になると、本デバイスは DCM で動作します。この動作は、ダイオード エミュレーションが機能していると言うことと等価です。

図 6-10. PFM 動作

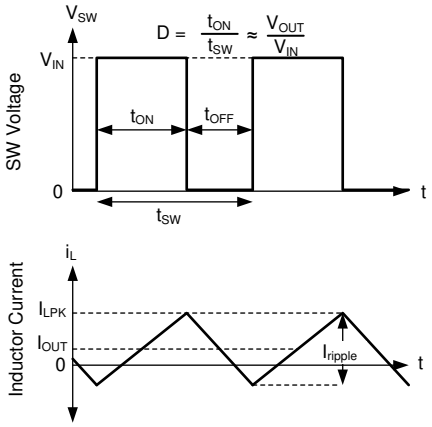
自動モードでは、TLVM65030 は最小ピーク インダクタ電流設定値を持っています。しかしながら、入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モード レギュレーションと呼びます。

6.4.2.3 FPWM モード動作

自動モード動作と同様に、軽負荷動作時の FPWM モード動作は SYNC/MODE ピンを使って選択します。

Copyright © 2026 Texas Instruments Incorporated

FPWM モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により、逆電流が制限されます。逆電流制限の値については、「電気的特性」を参照してください。



FPWM モードの 連続導通 (CCM) は、I_{OUT} が Iripple の半分未満でも可能です。

図 6-11. FPWM モード動作

FPWM モードでは、軽負荷時でも最小オン時間を指示できるほど出力電圧が高ければ周波数の低減が可能です。これにより、フォルト中であっても、出力をプルアップすることを含む良好な動作が可能です。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TLVM65030 降圧 DC/DC モジュールは、3A の最大出力電流で、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。TLVM65030 の部品を選択する際には、次の設計手順を使用します。

注

以下のアプリケーション情報に記載されているすべての容量値は、特に記述のない限り実効値を指しています。実効値は、定格値や銘板値ではなく、DC バイアスおよび温度における実際の容量として定義されます。X7R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。DC バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。この対策により、個別のコンデンサの RMS 電流要件も緩和されます。実効静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

図 7-1 に、可変出力モードまたは固定出力モードを使用する場合の TLVM65030 の代表的なアプリケーション回路をそれぞれ示します。本デバイスは、幅広い外付け部品とシステム パラメータで機能するように設計されています。しかし、内部補償は、一定の範囲の外付けインダクタンスおよび出力容量に合わせて設計されています。

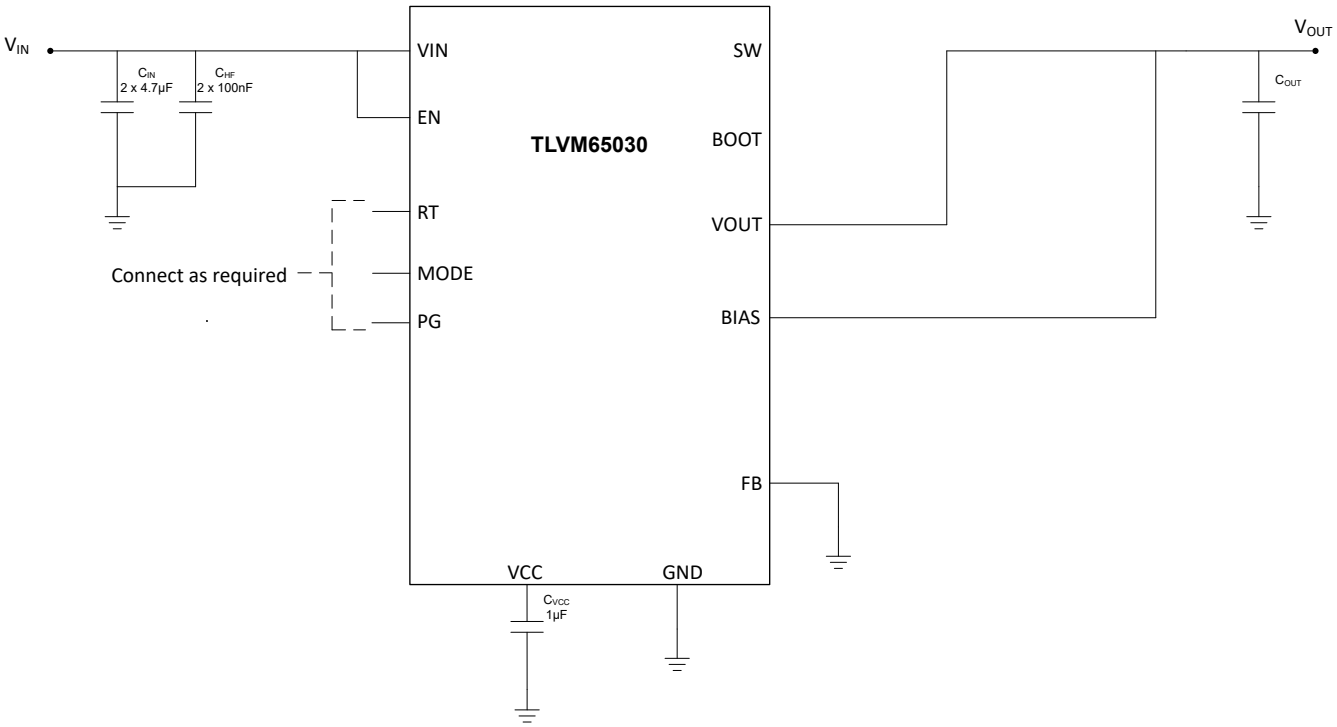


図 7-1. TLVM65030 を用いた固定出力電圧モードのアプリケーション回路例

表 7-1. 可変出力電圧用の標準 $R_{FBT/B}$ 値、推奨 F_{SW}、最小 C_{OUT}

出力電圧	R_{FT}(KΩ)	R_{FB}(KΩ)	推奨 F_{SW} (kHz)	$C_{OUT(MIN)}$ (µF) (実効値)
1.8V	205	164	400	200
12V	205	14.7	1800	15

表 7-2. 固定出力電圧用の標準 $R_{FBT/B}$ 値、推奨 F_{SW}、最小 C_{OUT}

出力電圧	FB	推奨 F_{SW} (kHz)	$C_{OUT(MIN)}$ (µF) (実効値)
3.3V	GND への短絡	650	75
5V	VCC	1000	40

Copyright © 2026 Texas Instruments Incorporated

7.2.1 設計要件

以下の例では、表 7-3 に示した仕様に基づく詳細な設計手順を示します。

表 7-3. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	24V (標準値)
出力電圧	5V
最大出力電流	0A ～ 3A
スイッチング周波数	400kHz

7.2.2 詳細な設計手順

以下の設計手順は、図 7-1 と 表 7-3 に適用されます。

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH® Power Designer により、TLVM65030 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.2.2 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。このアプリケーション例では、400kHz の周波数を選択します。この場合、RT ピンを VCC ピンへ接続します。セクション 6.3.4 も参照してください。

7.2.2.3 可変または固定出力電圧モード用 FB

この例では、可変出力電圧モードを使用します。外部分圧器は出力ノードと FB ピンとの間に接続する必要があり、式 5 および 式 6 を使用して分圧値を決定します。

$$R_{FBB} = R_{FBT} \times \frac{0.8}{V_{OUT} - 0.8} \quad (5)$$

$$100k\Omega \geq R_{FBB} \| R_{FBT} \geq 4k\Omega \quad (6)$$

式 6 では、R_{FBB} と R_{FBT} の並列組み合わせは、4kΩ より大きく、100kΩ より小さい必要があると述べていることに注意してください。出力電圧モードを正しく設定するため、レギュレータはスタートアップ シーケンス中、FB ピンの状態を確実に検出する必要があるのでこの制限が必要です。

Copyright © 2026 Texas Instruments Incorporated

この例では可変出力電圧モードを選択しているため、R_{FBT} = 205kΩ かつ R_{FBB} = 39kΩ の値は 式 5 と 式 6 の両方を満たします。

セクション 6.3.1 も参照してください。

7.2.2.4 出力コンデンサの選択

TLVM65030 デバイスは、電流モード制御方式により、広い範囲の出力容量で動作できます。出力コンデンサ バンクは、通常、出力電圧リップルではなく負荷過渡要件および安定性によって制限されます。一般に、出力キャパシタンスが高く、スイッチング周波数が高いと、出力容量は小さくなります。また、可変出力電圧モードを使用する場合、C_{FF} コンデンサを使用してループ性能を最適化できます。

実際には、過渡応答とループ位相マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミック コンデンサを配置すると、高周波ノイズを低減するのに役立ちます。小さいケース サイズで 1nF～100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに非常に役立ちます。

最大出力キャパシタンスは、設計値の約 10 倍、または 1000µF のいずれか小さい方に制限する必要があります。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討する必要があります。

この例では、出力キャパシタンス 70µF を使用しています。この値は、D.C. バイアス ディレーティングを印加した後の値を表すものであること、および容量に適用されるその他の許容誤差を表していることに注意してください。この記述は、表に示されているすべての値に当てはまります。5V バイアスの 70µF を実現する、X7R 以上の誘電体を使用したセラミック コンデンサ、またはコンデンサの組み合わせで使用できます。この表に示す値は、安定した設計を実現するために、標準値と考える必要があります。上記のように、出力キャパシタンスの最大制限値および最小制限値は、アプリケーションをテストすることで求められます。

7.2.2.5 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。レギュレータの入力には、少なくとも 2 つの 4.7µF のセラミック コンデンサが必要です。パッケージの両側に 1 個のコンデンサを配置し、デバイスの VIN および GND ピンに直接接続します。このコンデンサは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があり、可能であれば、最大入力電圧の 2 倍が推奨されます。この値を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。また、入力に 2 つの 100nF のセラミック コンデンサを高周波バイパス キャパシタンスとして使用し、レギュレータのできるだけ近くに配置する必要があります。パッケージの両側に 1 個のコンデンサを配置し、デバイスの VIN および GND ピンに直接接続します。この要件により、デバイス内部の制御回路に高周波バイパスができます。

この例では、2 × 4.7µF、100V、X7R (またはそれ以上) のセラミック コンデンサを選択しています。また、100nF コンデンサも、X7R 誘電体を使用した 100V 定格とする必要があります。

多くの場合、入力にセラミックと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続したり、入力 EMI フィルタを使用したりする場合に特に当てはまります。ここに中程度の ESR を持つコンデンサを使うことは、入力のインダクタンスによる入力電源のリンギングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

7.2.2.6 C_{BOOT}

TLVM65030 は、BOOT ピンと SW ピンの間に内部ブートストラップ コンデンサが接続されています。このコンデンサは、他の重要な制御回路と共に、パワー MOSFET のハイサイド ゲート ドライバに電力を供給するために使用するエネルギーを蓄積します。

Copyright © 2026 Texas Instruments Incorporated

7.2.2.7 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。このニーズは、図 7-2 に示す回路を使うことで実現できます。ターンオン電圧は V_{ON}、ターンオフ電圧は V_{OFF} と指定されています。最初に、R_{ENB} の値を 10kΩ～100kΩ の範囲で選択し、次に、式 7 および 式 8 を使って R_{ENT} と V_{OFF} を計算します。

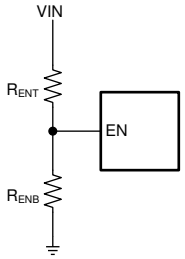


図 7-2. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = R_{ENB} \times \left(\frac{V_{ON}}{V_{EN-H}} - 1 \right) \quad (7)$$

$$V_{OFF} = V_{EN-L} \times \left(\frac{V_{ON}}{V_{EN-H}} \right) \quad (8)$$

ここで、

- V_{ON} = V_{IN} のターンオン電圧
- V_{OFF} = V_{IN} のターンオフ電圧

7.2.2.8 最大周囲温度

他の電力変換デバイスと同様に、レギュレータは動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。TLVM65030 の最大接合部温度は、125°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 9 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、$R_{\theta JA}$ が高いほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。$R_{\theta JA}$ の正確な値を推定するのは、より困難です。『*半導体および IC パッケージの熱評価基準』アプリケーション ノート*で述べているように、*「熱に関する情報」*表に記載されている値は、設計目的には有効ではなく、アプリケーションの熱性能の推定には使用してはなりません。この表に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。$R_{\theta JC(bott)}$と Ψ_{JT} のデータは、放熱性能を判定する際に役立ちます。詳細とリソースについては、*このセクションの末尾にある『半導体および IC パッケージの熱評価基準』アプリケーションノートを*参照してください。

$$I_{OUT_{MAX}} = \left(\frac{T_J - T_A}{R_{\theta JA}} \right) \times \left(\frac{\eta}{1-\eta} \right) \times \left(\frac{1}{V_{OUT}} \right) \quad (9)$$

ここで、

- η = 効率

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度、フロー
- PCB 面積
- 銅箔ヒートシンク面積

- パッケージの下にあるサーマル ビアの数
- 隣接する部品の配置

このレギュレータで採用されている高度なパッケージには、ダイ接着パドル、または「サーマルパッド」(DAP) を使用しており、PCB の放熱用銅箔へのはんだ付け箇所を提供します。この機能により、レギュレータの接合部から放熱板への優れた熱伝導経路が確保され、PCB の放熱用銅箔に適切にはんだ付けされる必要があります。図 7-3 に、銅基板面積に対する $R_{\theta JA}$ の代表曲線を示します。グラフに示す銅箔面積は、各層に対するものです。最上層と最下層はそれぞれ 2 オンスの銅箔であり、内層は 1 オンスです。このグラフに記載されているデータは、説明のみを目的としており、特定のアプリケーションにおける実際の性能は、前述のすべての要因に依存することに注意してください。*一例として、この TLVM65030EVM では、約 58cm² の銅箔面積の場合、約 25°C/W の $R_{\theta JA}$ を示します。*

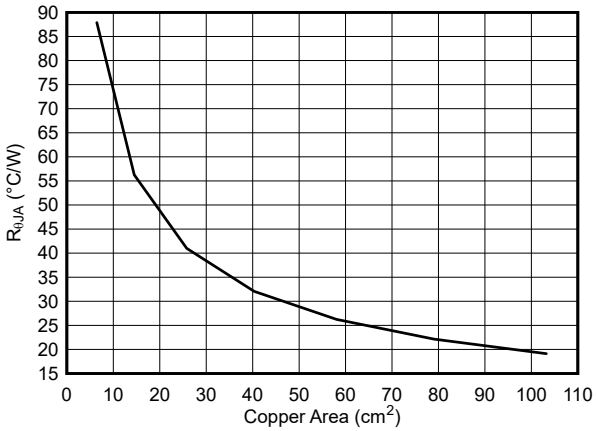


図 7-3. 熱抵抗と銅面積との関係

最適な PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

- *『過去ではなく、現在の識見による熱設計』アプリケーション ノート*
- *『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート*
- *『熱評価基準を使用して接合部温度を適切に評価する方法』アプリケーション ノート*

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

特記のない限り、次の条件が適用されます。V_{IN} = 24V、T_A = 25℃。

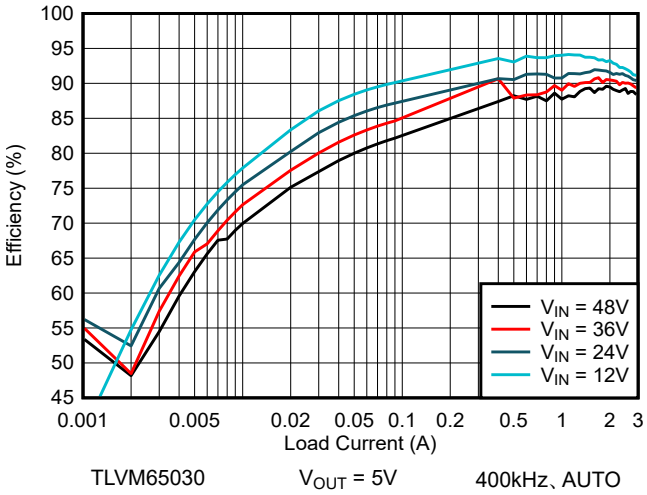


図 7-4. 効率

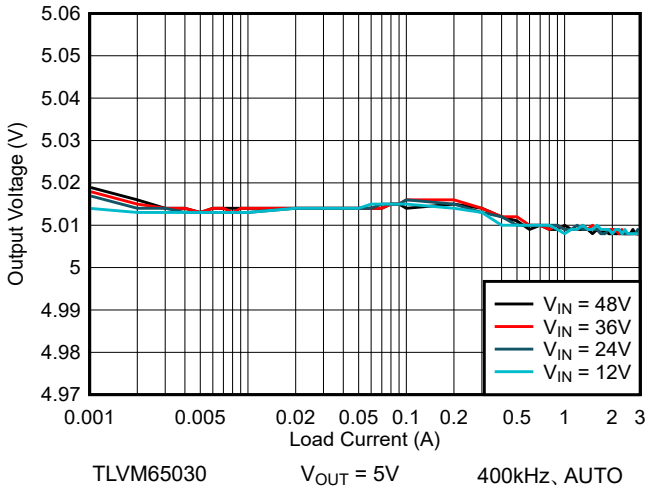


図 7-5. ラインおよびロード レギュレーション

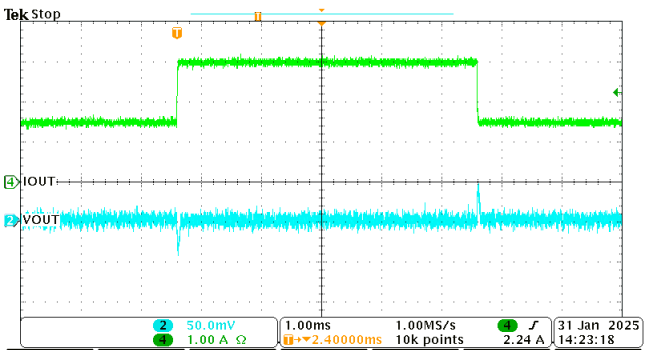


図 7-6. 負荷過渡 (50% ～ 100%)

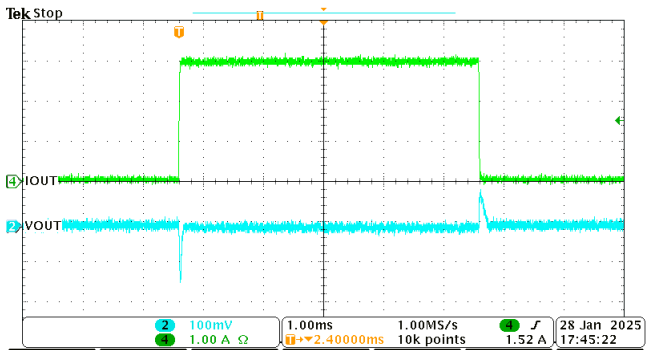


図 7-7. 負荷過渡 (0% ～ 100%)

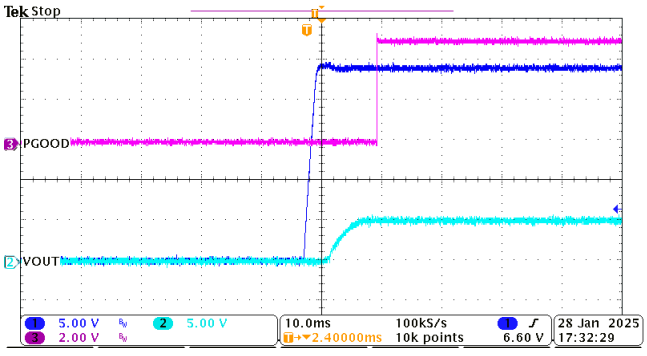


図 7-8. スタートアップ

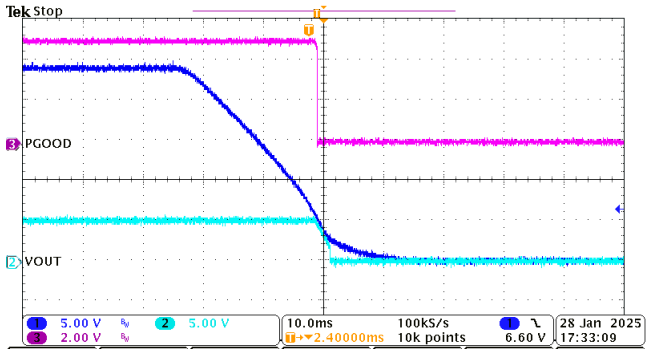
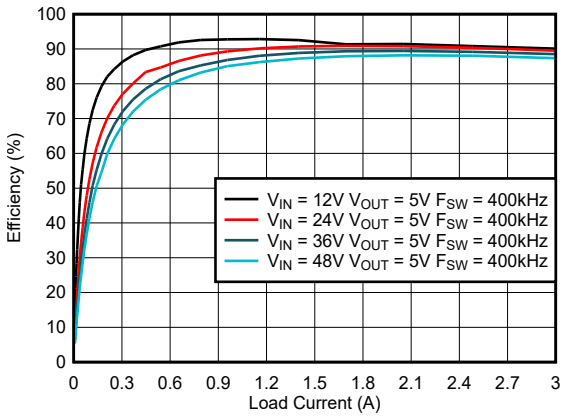


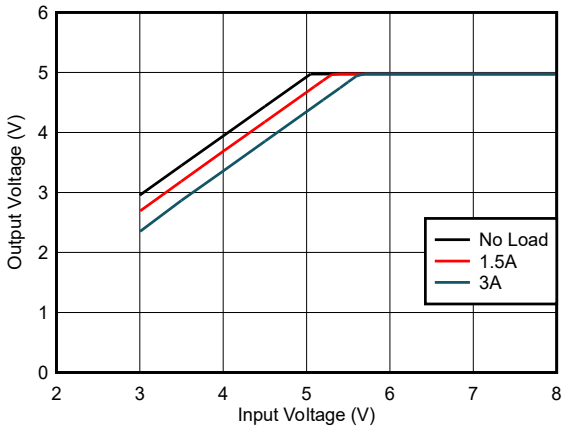
図 7-9. シャットダウン

Copyright © 2026 Texas Instruments Incorporated



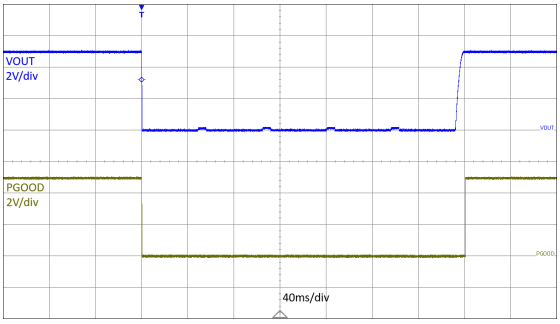
TLVM65030 V_{OUT} = 5V 400kHz、FPWM

図 7-10. 効率



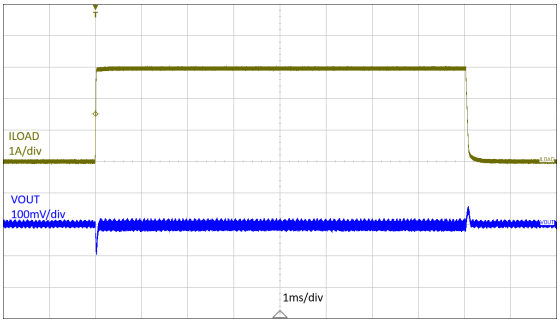
TLVM65030 V_{OUT} = 5V 400kHz、FPWM

図 7-11. ドロップアウト



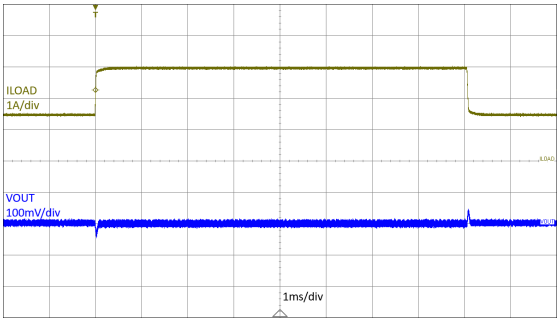
TLVM65030 V_{IN} = 24V V_{OUT} = 5V、FPWM 5A から短絡

図 7-12. 短絡発生



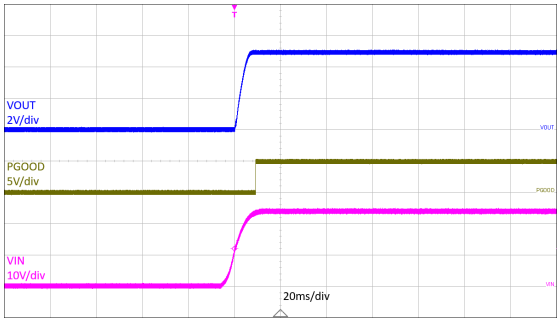
TLVM65030 I_{OUT} = 0 ～ 3A V_{OUT} = 5V、AC 結合、FPWM V_{IN} = 24V

図 7-13. 負荷過渡 (0 ～ 100%)



TLVM65030 I_{OUT} = 1.5 ～ 3A V_{OUT} = 5V、AC 結合、FPWM V_{IN} = 24V、FPWM

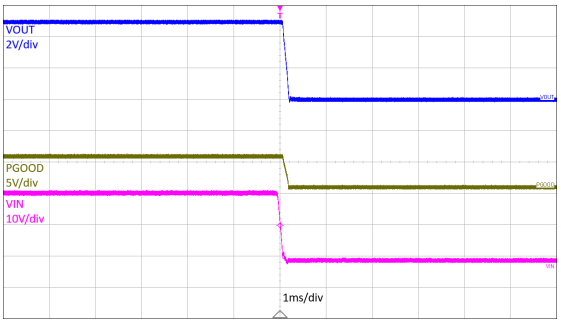
図 7-14. 負荷過渡 (50 ～ 100%)



TLVM65030 I_{OUT} = 3A V_{IN} = 24V V_{OUT} = 5V、FPWM

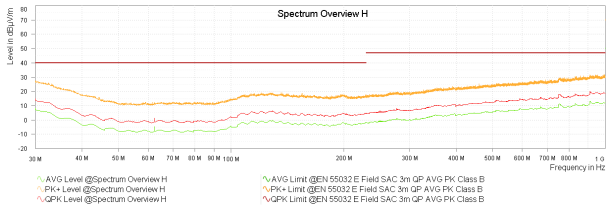
図 7-15. スタートアップ

Copyright © 2026 Texas Instruments Incorporated



TLVM65030 I_{OUT} = 3A V_{IN} = 24V V_{OUT} = 5V、FPWM

図 7-16. シャットダウン



TLVM65030 固定 V_{OUT} = 5VV_{IN} = 12V F_{SW} = 400kHzI_{OUT} = 3A

図 7-17. 標準的な CISPR 32 放射 EMI 30MHz ～ 1GHz 黄：ピーク検出、緑 = 平均検出

7.3 設計のベスト プラクティス

- 絶対最大定格を超過してはなりません。
- *推奨動作条件* を超過してはなりません。
- *ESD 定格* を超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグランドを下回らないようにしてください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

7.4 電源に関する推奨事項

入力電源は、負荷時のレギュレータに必要な入力電流を供給できる特性を持っている必要があります。式 10 を使用して平均入力電流を推定します。

$$I_{IN} = \frac{V_{IN}}{V_{OUT}} \times \frac{I_{OUT}}{\eta} \quad (10)$$

ここで、

η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路を形成することが可能です。この動作により、レギュレータへの入力で過電圧過渡が発生したり、UVLO のトリップが発生したりする可能性があります。ハーネスの寄生抵抗とインダクタンスや電源の特性に応じて、負荷過渡が出力に発生したときに、電源電圧が低下する可能性があることを考慮してください。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。この種の問題を解決する最善策は、入力電源からレギュレータまでの距離を短くすることです。さらに、セラミック入力コンデンサと並列にアルミニウム入力コンデンサを使用してください。中程度の ESR を持つこのタイプのコンデンサを使うことは、入力共振回路の振動を減衰させ、あらゆるオーバーシュートまたはアンダーシュートを低減するのに有効です。通常、20µF～100µF の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

入力電圧は、出力電圧を下回ることはできません。この状況 (入力短絡テストなど) では、出力コンデンサは、本デバイスの VIN ピンと SW ピンの間に形成された内部寄生ダイオードを通じて放電されます。この状況では電流は制御できなくなる可能性があり、デバイスが損傷するおそれがあります。このシナリオが想定される場合は、入力電源と出力の間にショットキー ダイオードを使用してください。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、優れた設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトに大きく依存します。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グランドによって形成されるループです (図 7-18 を参照)。このループには、パターンのインダクタンスに応答して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正常な

Copyright © 2026 Texas Instruments Incorporated

動作を妨げます。このことから、このループ内のパターンは広く短くして、ループ領域をできる限り小さくし、寄生インダクタンスを低減する必要があります。セクション 7.5.2 に、TLVM65030 の重要な部品の推奨レイアウトを示します。

- *入力コンデンサは VIN ピンにできる限り近づけて配置し、短くて幅の広いパターンでグランドに接続します。*
- *入力コンデンサは、対称配置にします。*
- *帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。*R_{FBB}、R_{FBT}、C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。FB および GND への接続は、短くする必要があり、かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、この後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- *内層の 1 つを使って、少なくとも 1 つのグランド プレーンを配置します。*このプレーンは、ノイズ シールドと放熱経路として機能します。
- *サーマル パッドをグランド プレーンに接続します。*B1QFN パッケージは、サーマル パッド (PAD) 接続を備えており、PCB のグランド プレーンに半田付けできます。このパッドはヒートシンク接続として機能します。この半田接続の完全性は、アプリケーションの総合的な実効 $R_{\theta JA}$ に直接影響します。
- *VIN、VOUT、GND に広いプレーンを使用します。*コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。
- *適切なヒートシンクのために十分な PCB 領域を確保します。*最大負荷電流と周囲温度に見合った低 $R_{\theta JA}$ を実現するため、十分な銅箔面積を確保してください。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とします。B1QFN パッケージでは、ヒートシンク ビアを使用して、サーマル パッドから PCB グランド層の残りの部分の放熱を支援します。PCB 設計に複数の銅層を使用している場合は (推奨設計)、サーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。
- *スイッチングする領域は小さく保ちます。*スイッチ ピンへの接続を追加しないでください。放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- *AN-1149 スイッチング電源レイアウトのガイドラインアプリケーション レポート*
- *AN-1229 SIMPLE SWITCHER® PCB レイアウト ガイドラインアプリケーション レポート*
- 『独自電源の構築 - レイアウトの考慮事項』セミナー
- *LM4360x および LM4600x による低放射 EMI レイアウトの簡素化アプリケーション レポート*

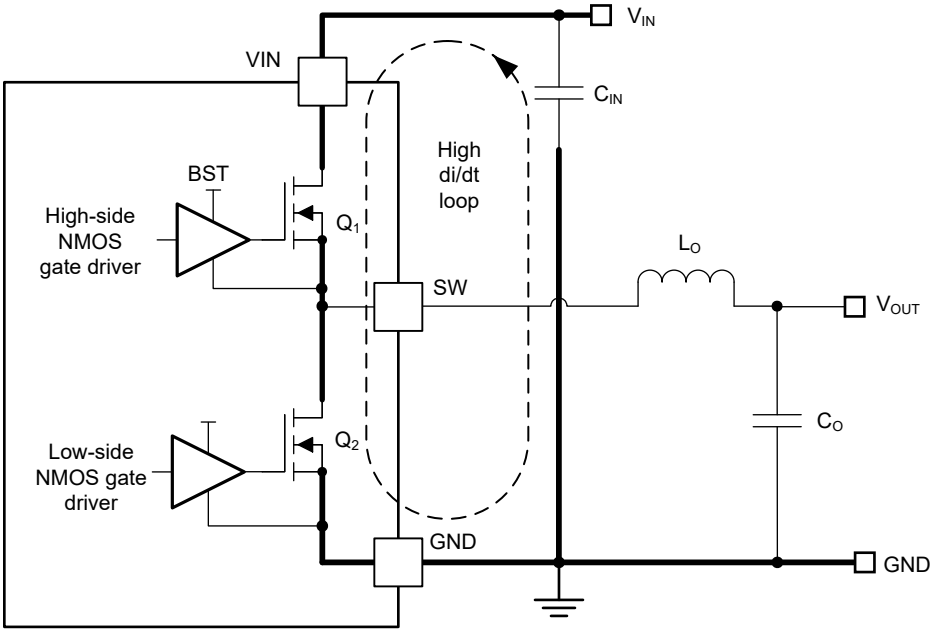


図 7-18. 高速エッジを持つ電流ループ

7.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは、ノイズの影響を受けやすい回路とパターンにシールドを提供します。また、グランド プレーンは、制御回路に対して、低ノイズのリファレンス電位も提供します。PGND ピンは、ローサイド MOSFET スイッチのソースに直接接続し、入力および出力コンデンサのグランドにも直接接続します。PGND にはスイッチング周波数におけるノイズが含まれており、負荷変動により戻ってくる場合があります。PGND パターンは、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。2oz / 1oz / 1oz / 2oz。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

7.5.2 レイアウト例

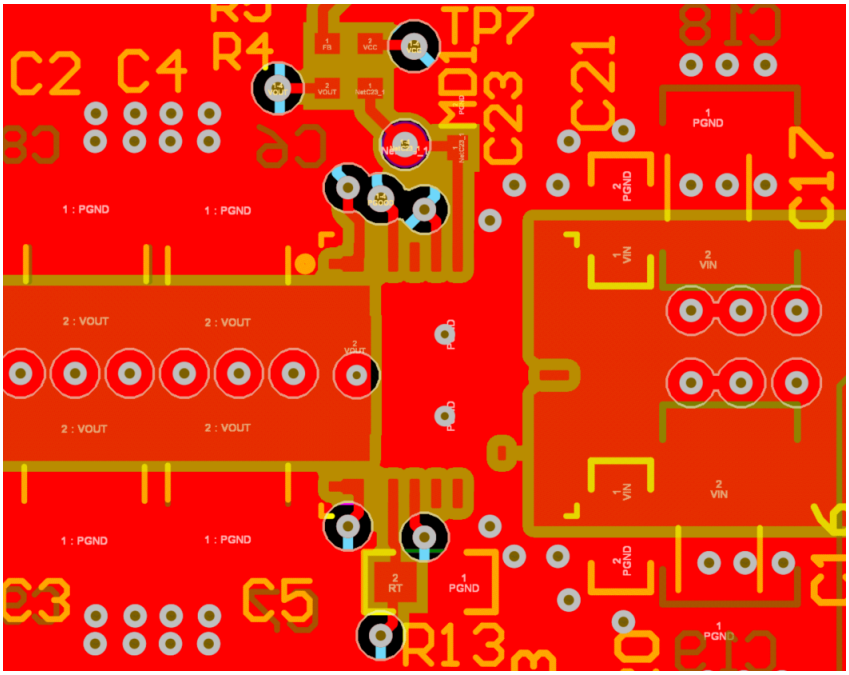


図 7-19. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.1.2 開発サポート

8.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH® Power Designer により、TLVM65030 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*AN-2020『過去ではなく、現在の識見による熱設計』アプリケーション ノート*
- テキサス・インスツルメンツ、*AN-1520『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート*
- テキサス インスツルメンツ、*『熱評価基準を使用して接合部温度を適切に評価する方法』アプリケーション ノート*
- テキサス・インスツルメンツ、*AN-1149『スイッチング電源のレイアウトのガイドライン』アプリケーション ノート*
- テキサス インスツルメンツ、*『AN-1229 SIMPLE SWITCHER® PCB レイアウト ガイドライン』アプリケーション ノート*
- テキサス インスツルメンツ、*『独自電源の構築 - レイアウトの考慮事項』セミナー*
- テキサス インスツルメンツ、*『LM4360x および LM4600x による低放射 EMI レイアウトのシンプル設計』アプリケーション ノート*
- テキサス インスツルメンツ、*『 半導体および IC パッケージの熱評価基準』アプリケーション ノート*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
May 2026	*	初版リリース

Copyright © 2026 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLVM65030VCGR	Active	Production	QFN-FCMOD (VCG) | 19	1500 | LARGE T&R	Yes	NIPDAU	Level-2-250C-1 YEAR	-40 to 125	030

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

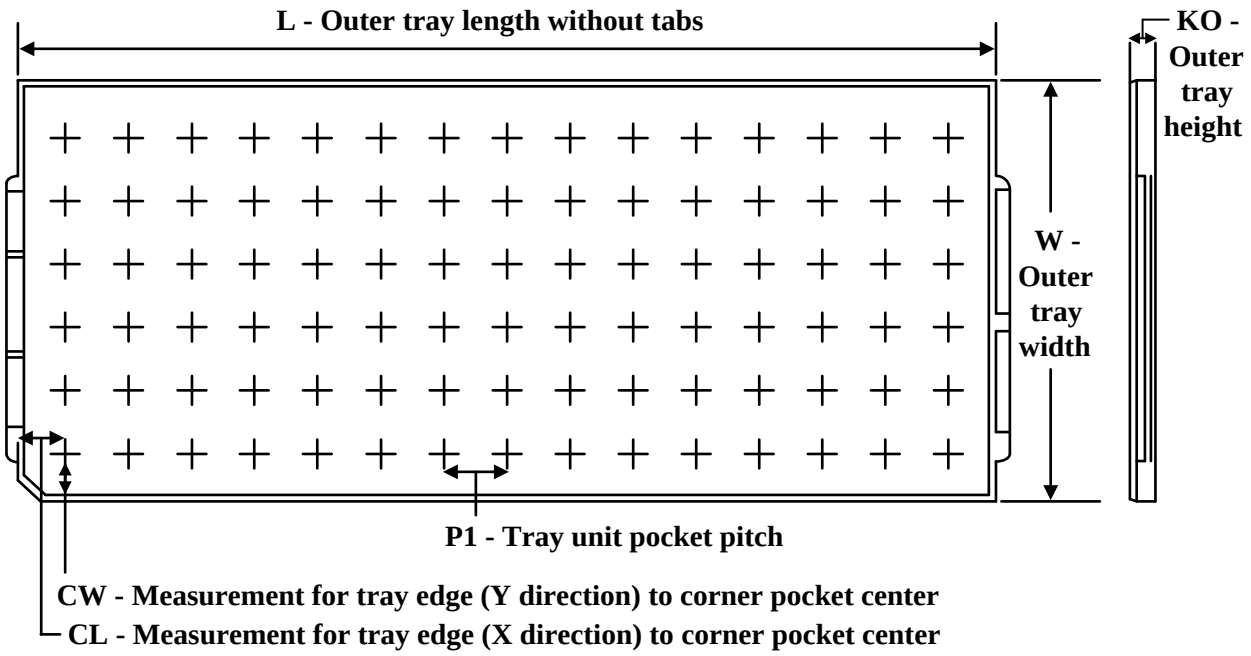
(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

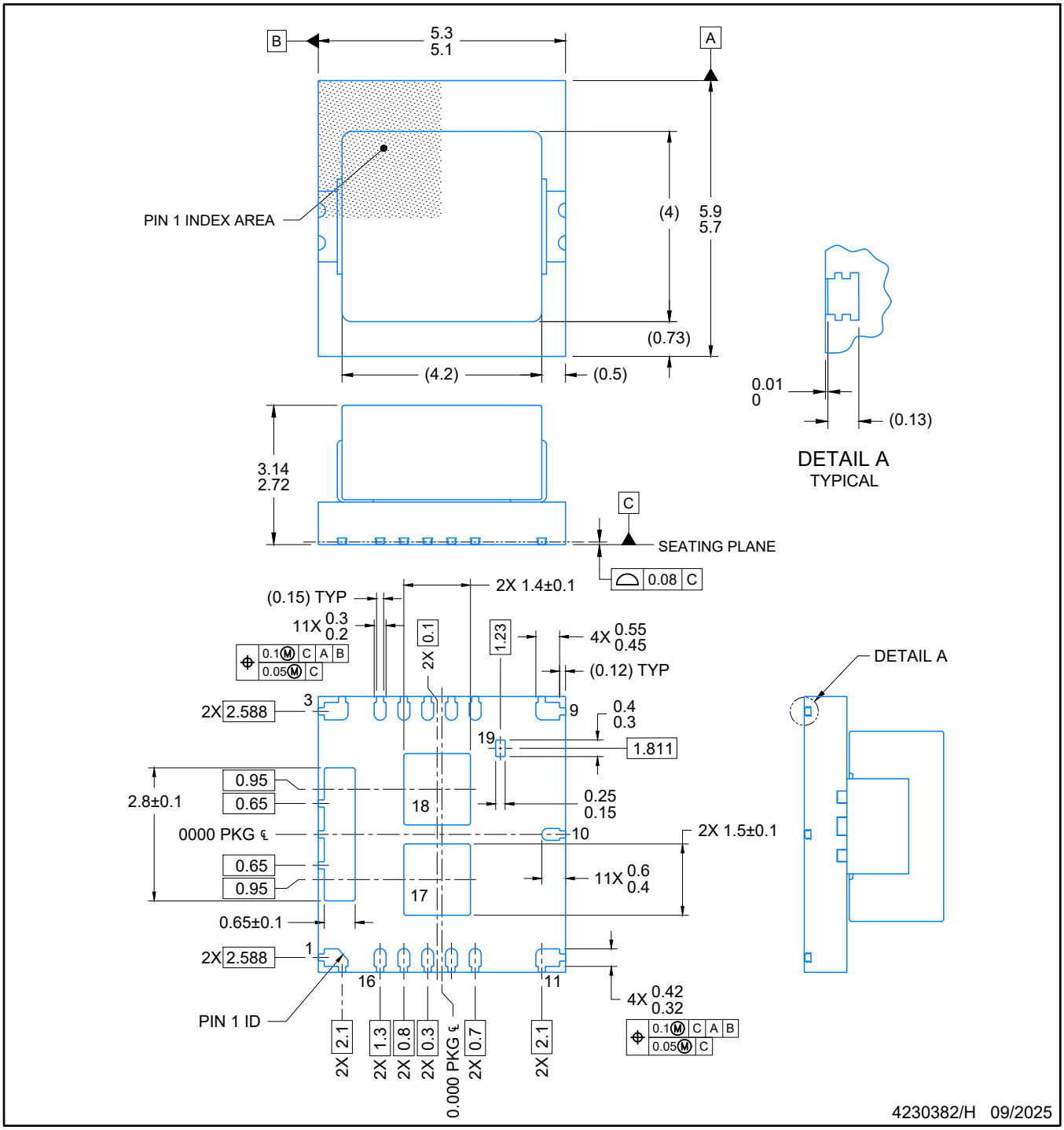
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TLVM65030VCGR	VCG	QFN-FCMOD	19	1500	35 X 14	150	315	135.9	7620	8.8	7.9	8.15

PACKAGE OUTLINE

VCG0019A

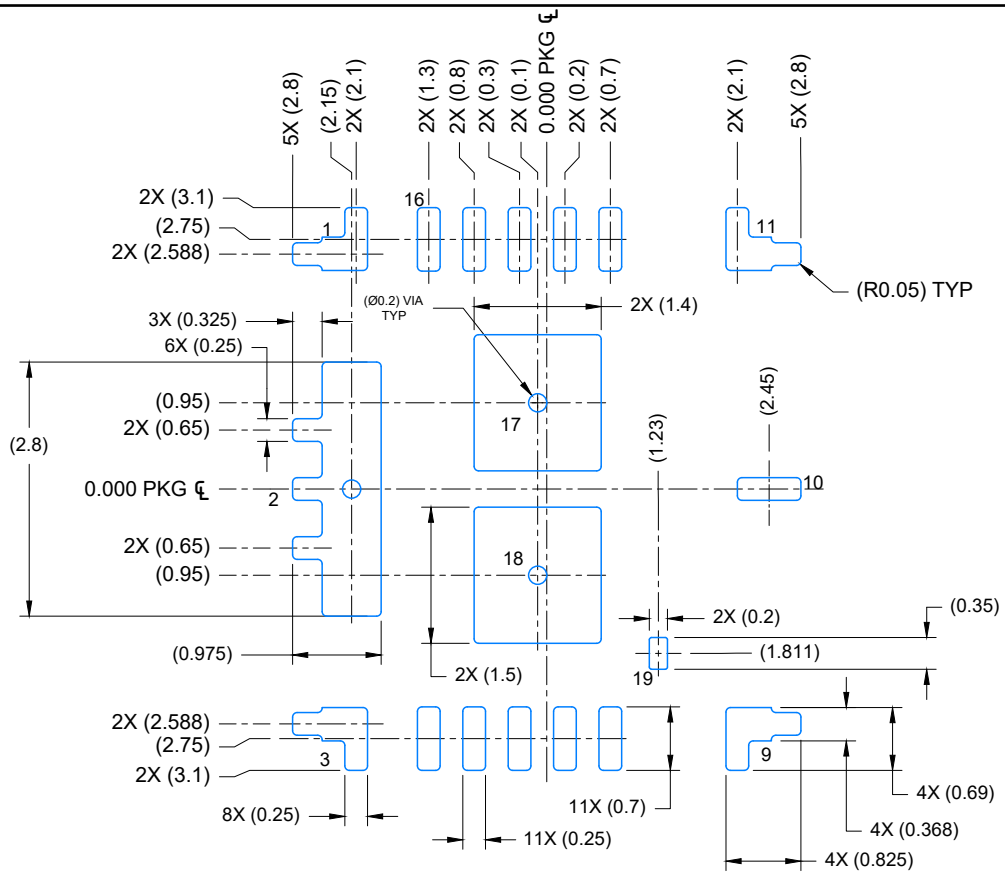
B1QFN - 3.14 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

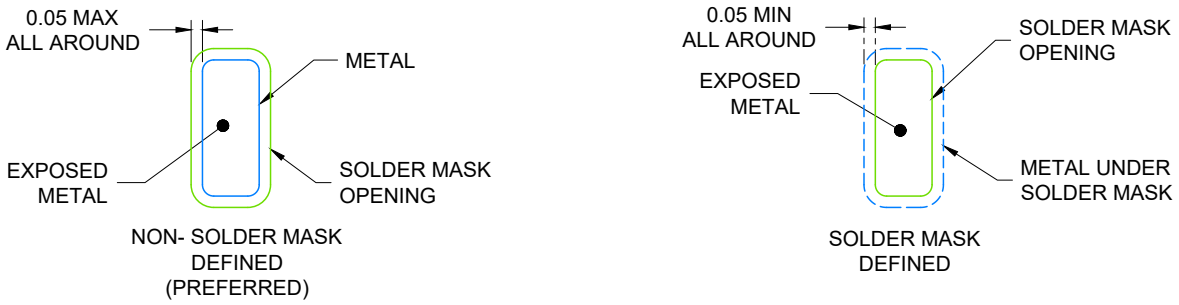
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 12X



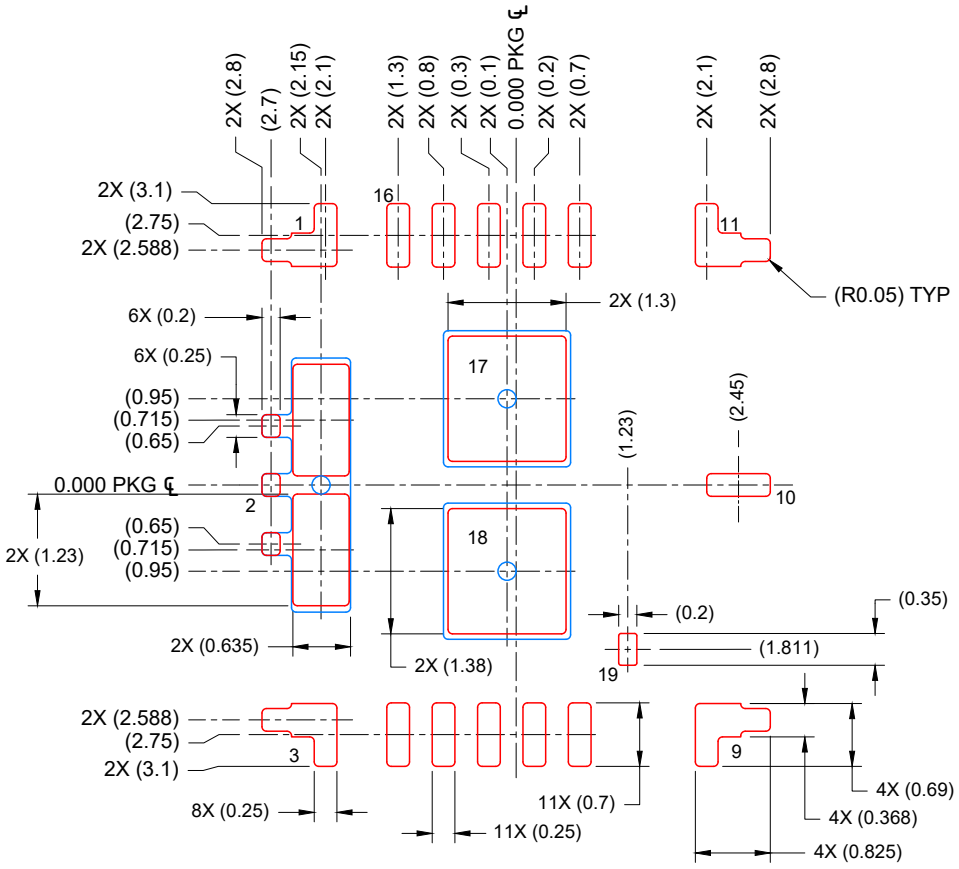
SOLDER MASK DETAILS

NOT TO SCALE

4230382/H 09/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 12X

4230382/H 09/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月