

TMF0008 8K ビット シリアル FRAM、SDQ インターフェイス搭載

1 特長

- 複数のページに分割された、ユーザー プログラマブルな構成データを保存するための 7680 ビットの FRAM
- 基板の配線を削減するシングルワイヤ インターフェイス
- 15.4kbps (標準速度) および 90Kbps (オーバードライブ速度) で通信
- デバイス内蔵のスイッチポイントヒステリシスおよびフィルタリングにより、ノイズの存在下でも性能を向上
- IEC 61000-4-2 レベル 4 ESD 保護 (接触 $\pm 8\text{kV}$ 、気中 $\pm 15\text{kV}$ 、標準値)
- 工場出荷時設定の固有の 64 ビット ID 番号
- 動作温度範囲: $-10^{\circ}\text{C} \sim 85^{\circ}\text{C}$
- 動作電圧範囲: $5\text{V} \pm 5\%$ (標準速度およびオーバードライブ速度)
- 動作電圧範囲: $3.3\text{V} \pm 5\%$ (標準速度のみ)
- TO-92 (LP)、WSON (DRS)、SO (PS) パッケージで供給

2 アプリケーション

- 医療用ケーブルの識別
- アセットトラッカー (資産追跡機能)
- ネットワーク接続の周辺機器とプリンタ
- 偽造ハードウェアの防止

3 説明

TMF0008 は、8K ビットのシリアル不揮発性メモリ (NVM) デバイスであり、工場出荷時にプログラムされる 48 ビットの識別番号と 8 ビットファミリーコードを内蔵しています。このメモリは FRAM ベースであり、他の NVM 技術と比較して耐久性が高くなっています (10^6 R/W サイクル)。

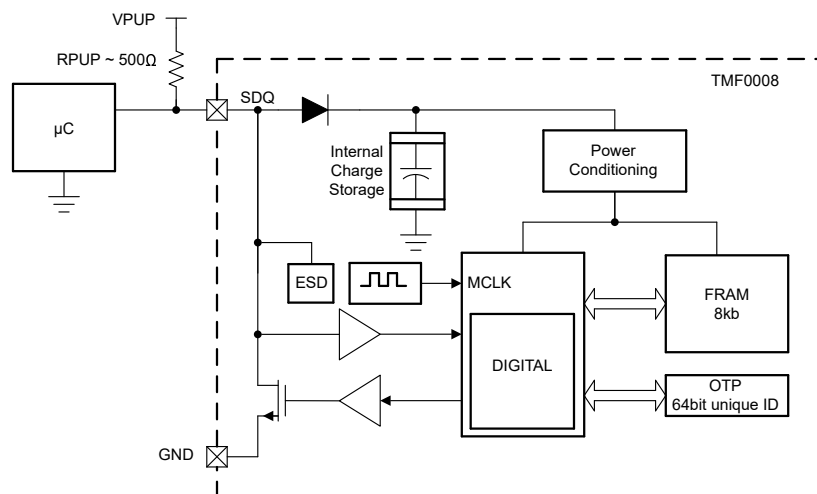
このデバイスは、SDQ™ 1 線式インターフェイスで通信を行い、15.4kbps および 90kbps の両方の速度をサポートしています。SDQ ピンは、デバイスの通信および電源として機能します。メモリは、それぞれ 256 ビットの 30 ページで構成されています。データは、FRAM メモリにコピーされる前に、検証のために 32 バイトのスクラッチパッドに書き込まれます。

このデバイスは、2 つの電源電圧範囲で動作します。3.3V $\pm 5\%$ および 5V $\pm 5\%$ であり、 $10^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の範囲で仕様が規定されています。この動作範囲はほとんどのアプリケーションに対応していると同時に、低コストの開発向けに最適化された設計が可能です。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ (公称)
TMF0008LP	TO-92 (LP)	5.20mm × 3.68mm	4.83mm × 4.83mm
TMF0008DRS	WSON (DRS)	3.00mm × 3.00mm	3.00mm × 3.00mm
TMF0008PS	SO (PS)	6.20mm × 7.80mm	6.20mm × 5.30mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



ブロック図



目次

1 特長	1	6.3 機能説明	8
2 アプリケーション	1	6.4 デバイスの機能モード	11
3 説明	1	6.5 プログラミング	12
4 ピン構成および機能	3	7 アプリケーションと実装	26
5 仕様	4	7.1 アプリケーション情報	26
5.1 絶対最大定格.....	4	7.2 代表的なアプリケーション	26
5.2 ESD 定格.....	4	7.3 電源に関する推奨事項	27
5.3 推奨動作条件.....	4	7.4 レイアウト	28
5.4 熱に関する情報.....	4	8 デバイスおよびドキュメントのサポート	29
5.5 電気的特性.....	5	8.1 ドキュメントの更新通知を受け取る方法	29
5.6 タイミング要件.....	6	8.2 サポート・リソース	29
5.7 機能テスト.....	7	8.3 商標	29
5.8 代表的特性.....	7	8.4 静電気放電に関する注意事項	29
6 詳細説明	8	8.5 用語集	29
6.1 概要.....	8	9 改訂履歴	29
6.2 機能ブロック図.....	8	10 メカニカル、パッケージ、および注文情報	29

4 ピン構成および機能

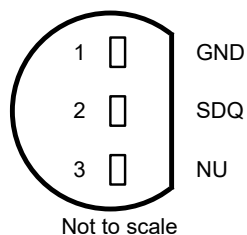


図 4-1. TMF0008 LP パッケージ、3 ピン TO-92 (底面 図 4-2. TMF0008 DRS パッケージ、6 ピン WSON (上面 図)

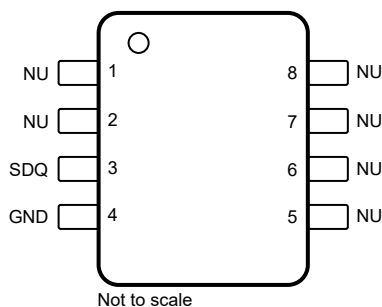
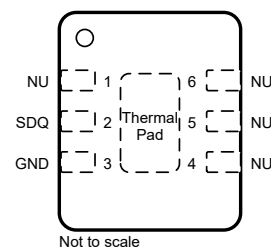


図 4-3. TMF0008 PS パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン				タイプ	説明
名称	TMF0008				
	TO-92	WSON	SOIC		
EP	—	EP	—	—	露出したサーマル パッド。GND に接続。
GND	1	3	4	GND	グラウンド
NU	3	1、4、5、6	1、2、5、6、 7、8	—	使用できない端末。接続しないでください。
SDQ	2	2	3	I/O	データ。オープンドレイン には外付けの 500Ω プルアップ抵抗が必要です。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{PUP}	データに印加される DC 電圧	-0.3	5.5	V
I _{OL}	Low レベル出力電流		30	mA
T _{STG}	保存温度	-40	125	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±250	
	ESD IEC 61000-4-2 エア放電、SDQ および GND	±15000	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{PUP}	動作プルアップ電圧	3.13		5.25	V
R _{PUP}	シリアル通信インターフェイスのプルアップ抵抗		500		Ω
T _A	自由空気での動作温度	-10		85	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TMF0008			単位
		DRS (WSON)	PS (SO)	TO-92 (LP)	
		6 ピン	8 ピン	3 ピン	
R _{θJA}	接合部から周囲への熱抵抗	70.2	109.9	133.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	66.5	55.6	99.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	38.2	61.6	103.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.2	16.4	28.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	38.2	60.6	103.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	11.0	-	-	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電気的特性

最小および最大仕様は、 $T_A = -10^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の範囲に適用されます。標準仕様は、 25°C 、 $V_{PUP} = 3.3\text{V}$ および 5V (特に記載がない限り) の値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IO ピン: 一般データ						
V_{PUP}	プルアップ電圧	$\pm 5\%$ の誤差	3.13	3.3	3.46	V
			4.75	5	5.25	V
R_{PUP}	プルアップ抵抗	注: (1)、(2)、(5)		500		Ω
C_{CABLE}	ケーブル容量	注: (4)、(11)			1.7	nF
C_{IO}	入力容量	注: (3)、(4)		2000		pF
I_L	入力負荷電流	注(6)		7	14	μA
V_{IL}	入力 Low 電圧	注(7)			0.5	V
V_{OL}	出力 LOW 電圧	$R_{PUP} = 500\Omega$ 、 $V_{PUP} = 3.3\text{V}$ で測定		0.4	0.5	V
		$R_{PUP} = 500\Omega$ 、 $V_{PUP} = 5\text{V}$ で測定		0.4	0.5	V
V_{TL}	High から Low へのスイッチング スレッショルド (注(4)、(5) (8))	$V_{PUP} = 3.3\text{V}$	0.84		1.72	V
		$V_{PUP} = 5\text{V}$	2		3	V
V_{TH}	Low から High へのスイッチング スレッショルド (注(4)、(5) (9))	$V_{PUP} = 3.3\text{V}$	1.64		2.75	V
		$V_{PUP} = 5\text{V}$	3.2		4.3	V
V_{HY}	スイッチング ヒステリシス (注(4)、(5) (10))	$V_{PUP} = 3.3\text{V}$	0.44		1.1	V
		$V_{PUP} = 5\text{V}$	0.9		1.3	V

- (1) 最大許容プルアップ抵抗は、接続されているデバイスの数と復帰時間によって異なります。規定値は、6 つのデバイスがシステム内で接続されていると仮定し、最小復帰時間です。
- (2) 抵抗の許容誤差の誤差は 1% 以下です。
- (3) 最大容量値は、 V_{PUP} が最初に印加されたときの内部寄生容量を表します。寄生電荷ストレージ容量が充電されると、通常のロジック遷移に影響はありません。
- (4) 設計、特性評価、シミュレーションによる規定のみ。実製品の検査は行っていません。
- (5) V_{TL} 、 V_{TH} 、 V_{HY} は内部電源電圧の関数で、 v_{pup} 、 r_{pup} 、 1_{PUP} 、 R_{PUP} 、1 線式タイミング、SDQ ピンの容量性負荷の関数です。 V_{PUP} が低く、 R_{PUP} が大きく、 t_{REC} が短く、容量性負荷が大きいと、 V_{TL} 、 V_{TH} 、 V_{HY} の値が小さくなります。
- (6) SDQ が HIGH (V_{PUP} 時) で、デバイスがアイドル モード (デジタル アクティビティやメモリ アクセスなし) の場合に適用されます。数値は、スタンバイ消費電流を示しています。
- (7) ホストが SDQ をロジック 0 レベルに駆動しているときは、常に SDQ の電圧が V_{ILMAX} 以下である必要があります。
- (8) その電圧を下回ると、SDQ の立ち下がりがエッジで、ロジック 0 が検出されます。
- (9) その電圧を上回ると、SDQ の立ち上がりがエッジで、ロジック 1 が検出されます。
- (10) SDQ ピンの立ち上がりエッジ中に V_{TH} を超えた後、SDQ の電圧は、ロジック 0 として検出されるには、少なくとも V_{HY} の分だけ低下する必要があります。
- (11) システム要件。

5.6 タイミング要件

最小および最大仕様は、 $T_A = -10^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の範囲に適用されます。標準仕様は、 25°C 、 $V_{PUV} = 3.3\text{V}$ および 5V (特に記載がない限り) の値です。

			最小値	公称値	最大値	単位
IO ピン: 一般データ						
t _{STARTUP}	起動時間	デバイスがプレゼンス パルスで応答する前に、最小 SDQ が HIGH である必要があります	10			ms
t _{REC}	復帰時間	標準速度 ^{(1)、(2)}	5			μs
		オーバードライブ速度 ^{(1)、(2)}	5			μs
t _{REH}	立ち上がりエッジ ホールド オフ時間	標準速度 ^{(1)、(2)}	0.5		5	μs
t _{SLOT}	タイム スロット期間	標準速度 ⁽³⁾	65			μs
		オーバードライブ速度 ⁽³⁾	11			μs
IO ピン: 1 線式リセット、存在検出サイクル						
t _{RSTL}	リセット Low 時間	標準速度	480		550	μs
		オーバードライブ速度	48		80	μs
t _{PDH}	存在検出 High パルス	標準速度	15		60	μs
		オーバードライブ速度	2		6	μs
t _{PDL}	存在検出 Low 時間	標準速度	60		240	μs
		オーバードライブ速度	8		24	μs
t _{PDS}	存在検出サンプル ⁽⁴⁾ 時間、 ⁽⁵⁾	標準速度	60	70	75	μs
		オーバードライブ速度	6	8.7	10	μs
IO ピン: 1 線式書き込み						
t _{W0L}	Write-Zero Low 時間	標準速度 ⁽⁶⁾	60		120	μs
		オーバードライブ速度 ⁽⁶⁾	6		15.5	μs
t _{W1L}	Write-One Low 時間	標準速度 ⁽⁶⁾	1		15	μs
		オーバードライブ速度 ⁽⁶⁾	1		2	μs
IO ピン: シングルワイヤ読み取り						
t _{RL}	読み取り Low 時間	標準速度 ^{(2)、(7)}	5		15 - t _{RC}	μs
		オーバードライブ速度 ^{(2)、(7)}	1		2 - t _{RC}	μs
t _{RDS}	読み取りサンプル時間 ⁽⁸⁾	標準速度 ^{(2)、(7)}	t _{RL} + t _{RC}		15	μs
		オーバードライブ速度 ^{(2)、(7)}	t _{RL} + t _{RC}		3	μs
FRAM						
NCY	書き込み / 消去サイクル (耐久性) ⁽²⁾				1M	サイクル
t _{PROG}	プログラミング時間 ⁽²⁾	7.5Kb のすべてのメモリ用			1	ms
t _{DR}	データ保持期間 ⁽⁹⁾	80°C で	10		年	
		85°C で	7			

(1) ホストが SDQ をロジック 0 レベルに駆動しているときは、常に SDQ の電圧が V_{ILMAX} 以下である必要があります。

(2) 設計、特性評価、シミュレーションによる規定のみ。実製品の検査は行っていません。

(3) 最大ビット レートを定義します。

(4) t_{RSTL} 後のインターバル。TMF0008 が存在する場合に、バスホストが SDQ のロジック 0 を読み出すことができる期間。存在検出パルスはこの間隔外ですが、電源投入後 2ms 以内に完了します。この動作は、1 線式デバイスの電源が長時間オフ (バスが low) になったシナリオを示します。その後、バス電力が印加されます。このデバイスは誤動作が発生し、プレゼンス タイミング仕様に違反するプレゼンス パルスを生成します。しかし、通常は 10ms 以内に異常状態は解消されます。

(5) システム要件

- (6) 図 6-17 の t_e および 図 6-18 は、プルアップ回路が SDQ ピンの電圧を V_{IL} から V_{TH} に上昇させるために必要な時間を表します。したがって、ホストがラインを low にプルする実際の最大期間は、それぞれ $t_{W1LMAX} + t_F - t_e$ および $t_{W0LMAX} + t_F - t_e$ です。
- (7) 図 6-19 の t_{RC} は、プルアップ回路によって SDQ ピンの電圧を V_{IL} からホスト デバイスの入力 high スレッシュホルドに上昇させるために必要な時間を表します。したがって、ホストがラインを low にプルする実際の最大持続時間は $t_{RLMAX} + t_F$ です。
- (8) 前の立ち上がりエッジで V_{TH} に達した後、負のエッジが認識できる最小時間を表します。
- (9) T_A が増加すると、データ保持時間が低下します。高温での長期保存はお勧めできません。

5.7 機能テスト

動作自由気流での温度範囲内、 $V_{PUP} = 3.3V$ および $5V$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
マルチターゲット バス	すべての TMF0008 は、複数のレスポнда デバイスが存在するネットワーク内で通信する必要があります。 複数レスポндаの設定 に、3 つのレスポнда デバイス (DUT を含む) の構成例を示します。(1)		0		マルチレスポнда バスに障害が発生しました

- (1) [機能テストのテスト手順](#)を参照してください。

5.8 代表的特性

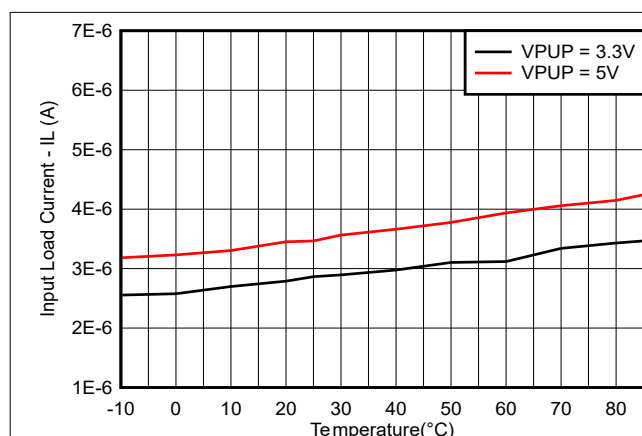


図 5-1. 入力負荷電流 (I_L) と温度との関係 (標準速度)

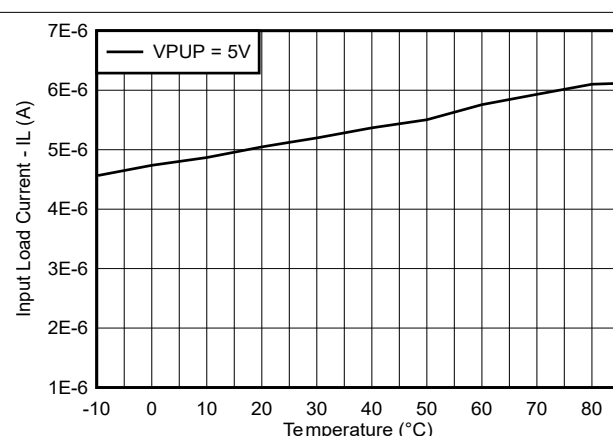


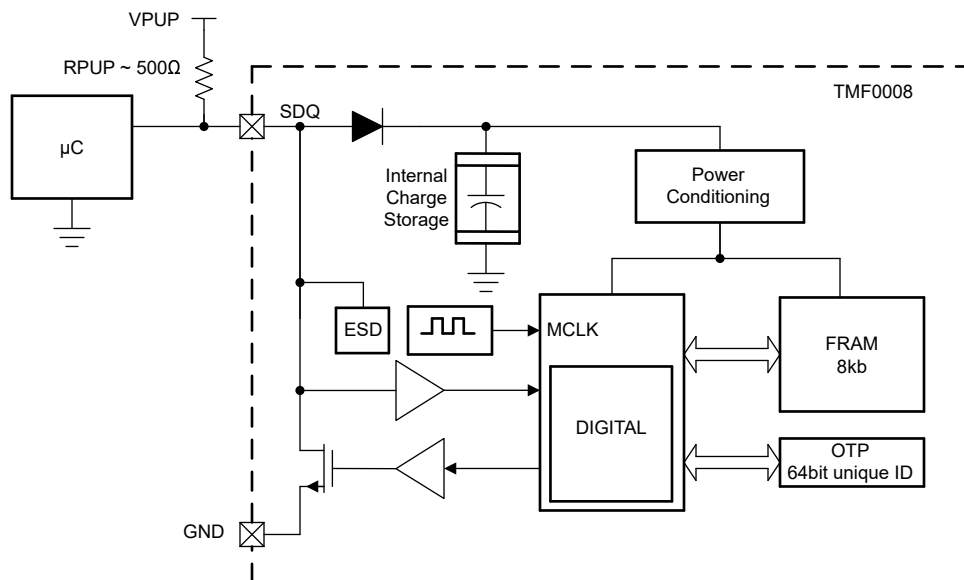
図 5-2. 入力負荷電流 (I_L) と温度との関係 (オーバードライブ速度)

6 詳細説明

6.1 概要

機能ブロック図セクションでは、TMF0008 デバイスのオンチップ ブロックレベル コンポーネントを示します。TMF0008 には、工場出荷時にプログラムされた 64 ビット ROM、8 ビット ファミリ コード、48 ビットの識別番号と 8 ビットの CRC 値、7680 ビットの FRAM データ メモリが含まれています。読み取り/書き込み動作の電力は、SDQ ピンから生成されます。内部コンデンサは、信号ラインが high の間にエネルギーを蓄積し、SDQ ピンが high に戻ってコンデンサの電荷が補充されるまで、SDQ ピンが low の間にエネルギーを解放します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 7680 ビット FRAM

表 6-1 は、TMF0008 の 7680 ビット FRAM セクションのメモリ マップで、それぞれ 30 ページの 32 バイトとして構成されています。隣接する 4 つのページが 1 つの 128 バイト ブロックを形成します。FRAM メモリのプログラミング時は、32 バイトの揮発性スクラッチパッド バッファが使用されます。FRAM メモリへの書き込みプロセスには、2 つのステップがあります。データは、まずスクラッチパッド バッファに書き込まれます。次に、データが適切に受信されたことを確認するスクラッチパッド バッファを読み取ることでデータが検証されます。バッファの内容が正しい場合は、スクラッチパッド バッファ を FRAM メモリにコピーする スクラッチパッド コピー コマンドが発行されます。このプロセスにより、メモリをプログラムするときにデータの整合性が検証されます。TMF0008 の 7680 ビット FRAM 部分のプログラミングと読み出しの詳細は、このデータシートの**メモリ機能コマンド**セクションに記載されています。

表 6-1. FRAM データ メモリ マップ

アドレス範囲	タイプ ⁽¹⁾	説明	保護コード (注記)
0000h~007Fh	R/(W)	データ メモリ ページ 0 ~ 3 (ブロック 0)	(アドレス 03C0h で制御される保護)
0080h~00FFh	R/(W)	データ メモリ ページ 4 ~ 7 (ブロック 1)	(アドレス 03C1h で制御される保護)
0100h~017Fh	R/(W)	データ メモリ ページ 8 ~ 11 (ブロック 2)	(アドレス 03C2h で制御される保護)
0180h~01FFh	R/(W)	データ メモリ ページ 12 ~ 15 (ブロック 3)	(アドレス 03C3h で制御される保護)
0200h~027Fh	R/(W)	データ メモリ ページ 16 ~ 19 (ブロック 4)	(アドレス 03C4h で制御される保護)
0280h~02FFh	R/(W)	データ メモリ ページ 20 ~ 23 (ブロック 5)	(アドレス 03C5h で制御される保護)
0300h~037Fh	R/(W)	データ メモリ ページ 24 ~ 27 (ブロック 6)	(アドレス 03C6h で制御される保護)
0380h~03BFh	R/(W)	データ メモリ ページ 28 ~ 29 (ブロック 7)	(アドレス 03C7h で制御される保護)

(1) R = 読み取り、W = 書き込み

FRAM デバイスでは、デジタル情報は誘電体内の偏波として保存されます。この分極は、温度に依存する速度で失われる可能性があります。温度が上昇すると、脱分極率が上昇します。データ保持メトリックは、「電気的特性」表に記載されています。

6.3.2 FRAM ステータス メモリ

表 6-1 に示すように、TMF0008 のデータ メモリは、8 つの連続する FRAM メモリ ブロックで構成されます。ブロック 0 ～ 6 はそれぞれ 128 バイトであり、4 つの隣接するメモリ ページによって形成されます。一方、ブロック 7 は 64 バイトで、2 つの隣接するメモリ ページ (データ メモリ ページは 32 個の隣接するメモリ バイト) によって形成されます。

TMF0008 は、データ メモリに加えて、アドレス 03C0h から始まるステータ スメモリで構成されます (表 6-2 を参照)。ステータス メモリのレジスタ ページは、8 つの保護制御バイト、6 つのユーザー EEPROM、各 1 バイトで構成されており、メモリ ブロックとレジスタ ページをロックします。

8 つの保護制御バイトとメモリ ブロック ロック バイトの組み合わせにより、8 つのデータ メモリ ブロックへのアクセスが制御されます。デフォルトでは、メモリ ブロックはオープン アクセスに設定されています。保護バイト値 55h を設定すると、対応するメモリ ブロックが書き込み保護モードに設定され、保護バイト値 AAh を設定すると、対応するメモリ ブロックが EPROM モードに設定されます。

メモリ ブロック ロック バイトが 55h または AAh にプログラムされている場合、書き込み保護されているすべてのデータ メモリ ブロックに対してコピー保護が設定されます (EPROM モードのメモリ ブロックは影響を受けません)。同様に、レジスタ ページのロック バイトを 55h と AAh のどちらかにプログラムすると、レジスタ ページ全体に対してコピー保護が設定されます。

メモリ位置を書き込み保護モードに設定すると、コピー スクラッチ パッド操作が可能になりますが、データの変更はできません。これにより、同じデータを使用してメモリを再プログラムでき、データ保持の耐用期間を確保するために、分極がリフレッシュされます。

書き込み保護と比較して、コピー保護はスクラッチパッド コピー機能をブロックします。この機能は、書き込み保護されたすべてのブロックと関連する保護制御バイトが最終値に設定された後にのみ使用します。コピー保護では、デバイス間でのデータのコピーは禁止されないことに注意してください。55H または AAh に設定すると、保護制御レジスタとロック バイトは自身を書き込み保護します。その他の設定では、無制限の書き込みアクセスが許可されます。

オプションのメーカー ID をプログラミングするためにアドレス 03D1h および 03D2h を使用できます。これらの値はホストが読み取ることができます。たとえば、エンドユーザー製品を TMF0008 に関連付けることができます。アドレス 03D0h には、TMF0008 にメーカー ID をロックするためのバイトが保存され、デフォルト値は 00h です。この位置に AAh または 55h を書き込んだ後、メーカー ID とロック バイトは永続的に書き込み保護されます。

表 6-2. FRAM ステータス メモリ マップ

アドレス範囲	タイプ ⁽¹⁾	説明	保護コード (注記)
03C0h	R/(W)	保護制御バイト (ブロック 0)	55h: 書き込み保護ブロック 0、 AAh: EPROM モード ブロック 0、 55h または AAh: 書き込み保護 03C0h
03C1h	R/(W)	保護制御バイト (ブロック 1)	55h: 書き込み保護ブロック 1、 AAh: EPROM モード ブロック 1、 55h または AAh: 書き込み保護 03C1h
03C2h	R/(W)	保護制御バイト (ブロック 2)	55h: 書き込み保護ブロック 2、 AAh: EPROM モード ブロック 2、 55h または AAh: 書き込み保護 03C2h
03C3h	R/(W)	保護制御バイト (ブロック 3)	55h: 書き込み保護ブロック 3、 AAh: EPROM モード ブロック 3、 55h または AAh: 書き込み保護 03C3h
03C4h	R/(W)	保護制御バイト (ブロック 4)	55h: 書き込み保護ブロック 4、 AAh: EPROM モード ブロック 4、 55h または AAh: 書き込み保護 03C4h

表 6-2. FRAM ステータス メモリ マップ (続き)

アドレス範囲	タイプ (1)	説明	保護コード (注記)
03C5h	R/(W)	保護制御バイト (ブロック 5)	55h: 書き込み保護ブロック 5、 AAh: EPROM モード ブロック 5、 55h または AAh: 書き込み保護 03C5h
03C6h	R/(W)	保護制御バイト (ブロック 6)	55h: 書き込み保護ブロック 6、 AAh: EPROM モード ブロック 6、 55h または AAh: 書き込み保護 03C6h
03C7h	R/(W)	保護制御バイト (ブロック 7)	55h: 書き込み保護ブロック 7、 AAh: EPROM モード ブロック 7、 55h または AAh: 書き込み保護 03C7h
03C8h-03CDh	R/(W)	ユーザー EEPROM	
03CEh	R/(W)	メモリ ブロック ロック	55H または AAh: コピー保護書き込み保護 データ メモリ ページ 55h または AAh: 書き込み保護 03CEh
03CFh	R/(W)	レジスタ ページ ロック	55H または AAh: コピー保護 03C0h-03CFh
03D0h	R/(W)	工場バイト	55H または AAh: 書き込み保護 03D0h-03D2h その他: 03D0h-03D2h は、プログラム可能です
03D1h	R/(W)	メーカー ID	
03D2h	R/(W)	メーカー ID	
03D3h	R	予約済み	

(1) R = 読み取り、W = 書き込み

6.3.3 アドレス レジスタ転送ステータス

TMF0008 は、は 3 つのアドレス レジスタを使用します。TA1、TA2、および E/S (図 6-1、図 6-2、および 図 6-3)。

レジスタ TA1 および TA2 には、データの書き込み先またはデータの読み取り元のターゲット アドレスがロードされます。レジスタ E/S は、書き込みコマンドによってデータの整合性を検証するために使用される読み取り専用転送ステータス レジスタです。書き込みスクラッチパッド コマンドの実行中、E/S ビット E[4:0] には最初に着信 T[4:0] がロードされ、その後着信する各データ バイトごとに増分されます。したがって、E[4:0] は 32 バイトのスクラッチ パッド内の終了オフセット カウンタです。E/S レジスタの PF ビットは部分的バイト フラグであり、電力の喪失により受信バイトが部分的 (8 の整数倍でないデータ ビット) である場合、またはスクラッチパッドのデータが無効な場合に設定されます。

スクラッチパッドへの書き込みが成功すると、PF ビットはクリアされます。E/S レジスタの AA (認証承認) ビットは、Copy Scratchpad コマンドの実行中に認証が一致した場合に設定されます。AA = 1 かつ PF = 0 の場合、これらの値は、スクラッチパッドに保存されているデータがターゲット メモリにすでにコピーされていることを示します。データがスクラッチパッドに書き込まれると、AA フラグはクリアされます。AA フラグは、PF フラグが 0 の場合にのみ有効です。

図 6-1. ターゲット アドレス (TA1)

7	6	5	4	3	2	1	0
T7	T6	T5	T4	T3	T2	T2	T0

図 6-2. ターゲット アドレス (TA2)

7	6	5	4	3	2	1	0
T15	T14	T13	T12	T11	T10	T9	T8

図 6-3. データ ステータス付き終了アドレス (E/S) (読み取り専用)

7	6	5	4	3	2	1	0
AA	0	PF	E4	E3	E2	E1	E0

6.3.4 FRAM へのデータの書き込み

TMF0008 デバイスでは、ホストから FRAM メモリへの直接書き込みは許可されていません。ホストから FRAM メモリへの直接書き込みは、スクラッチパッドを中間リポジトリとして使用して行います。スクラッチパッドに書き込むには、ホストがまずスクラッチパッド書き込みコマンドを発行し、次に目的のターゲット アドレスと、スクラッチパッドに書き込むデータを送信します。スクラッチパッド書き込みコマンド セクションに記載されている条件に応じて、ホストはスクラッチパッド書き込みコマンド シーケンスの終了時に、スクラッチパッド書き込みシーケンス全体 (スクラッチパッド書き込みコマンド、アドレス、データ) の反転 CRC16 を受信できます。

ホストが CRC16 値を受信した場合、ホストはこの値を予測される計算値と比較できます。一致する場合、スクラッチパッド書き込み通信は成功し、ホストはスクラッチパッド コピー コマンドに進むことを決定できます。

ホストが CRC16 値を受信しない場合、ホストはスクラッチパッド読み取りコマンドを使用して、スクラッチパッドに保存されているデータの整合性を検証できます。スクラッチパッド読み取りコマンドを受信した後、TMF0008 は最初にターゲット アドレス レジスタ (TA1、TA2) と E/S レジスタの内容を送信します。PF フラグがセットされている場合、または AA フラグがセットされていて、PF フラグがクリアされている場合、前の スクラッチパッド書き込みコマンドは成功しません。この場合、ホストはスクラッチパッド読み取りシーケンスを終了し、スクラッチパッドにデータを書き込む試みを再度開始できます。前のスクラッチパッド書き込みが成功すると、両方のフラグがクリアされ、読み取られる E[4:0] は、スクラッチパッドに最後に書き込まれたバイトのアドレスを示します。この場合、ホストは TMF0008 からの読み取りを続行し、すべてのデータ バイトを検証できます。一致がある場合、ホストはスクラッチパッド コピー コマンドとそれに続く、ホストがスクラッチパッドを読み取ることで取得したレジスタ TA1、TA2、E/S の正確なデータを送信できます。スクラッチパッド コピー シーケンスの最後に、認可パターンが一致している場合、TMF0008 はスクラッチパッド データの要求された場所へのコピーを開始します。コピー保護が設定されておらず、PF フラグがクリアされ、書き込みスクラッチパッド コマンドとコピースクラッチパッド コマンドの間に読み取りメモリまたは拡張読み取りメモリ コマンドが発行されていない場合です。

6.3.5 TMF0008 デバイス ID

64 ビット ID は、各 TMF0008 を識別します。48 ビットのシリアル番号は、テキサス インストルメンツによってプログラムされます。デフォルトのファミリー コードは 23h です。

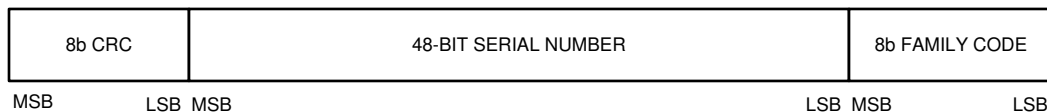


図 6-4. 64 ビットの工場出荷時にプログラミングされた EPROM

6.3.6 バス終端

TMF0008 の駆動出力は、オープンドレインの N チャネル MOSFET であり、適切に動作させるには、500Ω の外部プルアップ抵抗を SDQ バスに接続する必要があります (図 7-1 を参照)。

6.4 デバイスの機能モード

6.4.1 機能テストのテスト手順

このセクションでは、「機能テスト」に記載されているパラメータを取得するために使用される具体的なテスト手順の概要を示します。

6.4.1.1 複数レスポンドの設定

このテストでは、マルチドロップの使用事例で TMF0008 の動作を検証します。ホストは、SDQ バス上で複数のデバイスと通信する必要があります。他の DUT が存在する場合、選択した DUT との通信に影響を与えてはなりません。

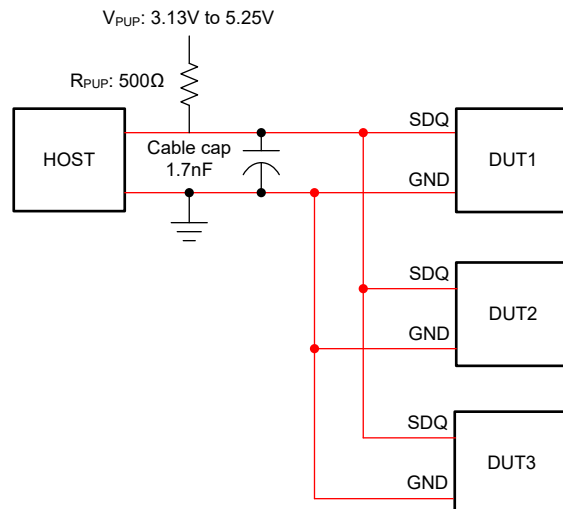


図 6-5. 複数ターゲット構成

通信が正常に行われると、次の一連の命令を失敗なく実行する必要があります。

1. 標準速度でリセットを発行し、プレゼンスパルスを確認します。
2. ROMサーチコマンドを発行して、SDQバス上のレスポンスデバイスのIDを識別します。
3. 標準速度でリセットを発行し、プレゼンスパルスを確認します。
4. ROMサーチコマンドで識別されたレスポンスデバイスの特定のIDを指定してROMサーチコマンドを発行し、ターゲットの1つを選択します。
5. メモリコマンドを発行して、メモリをプログラムまたはメモリから読み取ります。
6. SDQバス上の他のレスポンスデバイスについても、手順3、4、5を繰り返します。

6.5 プログラミング

6.5.1 シリアル通信

ホストは、図 6-6 に示すように、SDQ インターフェイスのコマンド構造を使用して TMF0008 のステータスを読み取り、プログラム、またはチェックします。コマンド構造には、ROM およびメモリコマンドが含まれます。

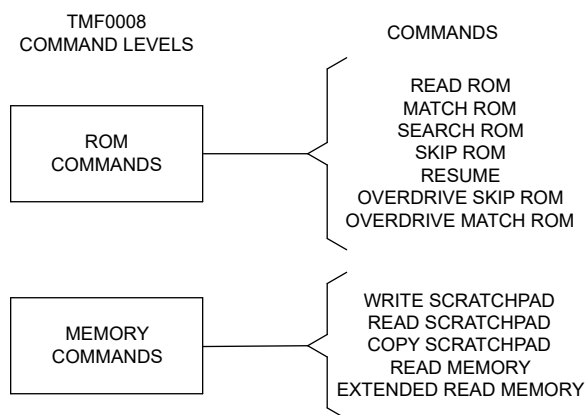


図 6-6. TMF0008 のコマンド構造

6.5.2 初期化

ホストは、常に初期化プロセスにより TMF0008 (レスポンス) デバイスとのトランザクションを開始します。初期化プロセスは、リセットパルスと存在パルスで構成されます。ホストはリセットパルスを生成し、レスポンスデバイスはプレゼンスパル

スでリセット パルスをアクノリッジします。ホストは、SDQ バスを 480μs 以上の間 low に駆動してレスポнда デバイスをリセットします。プレゼンス パルスにより、SDQ バス上に 1 つまたは複数のレスポнда デバイスがあることをホストは認識できます。

6.5.3 ROM コマンド

ホストが SDQ バス上に 1 つまたは複数のレスポнда デバイスの存在を検出した後、ホストは図 6-6 に示す 8 ビット ROM 機能コマンドを送信できます。このセクションでは、各 ROM コマンドを発行できるシナリオについて説明します。これらのコマンドのリストについては、図 6-6 を参照してください。

6.5.3.1 ROM 読み取りコマンド [33h]

ROM 読み取りコマンド シーケンス (図 6-7 を参照) は、ホストが少なくとも 480μs の RESET パルスを生成することから開始します。デバイスは、プレゼンス パルスで応答します。次に、ホストは読み取り ROM コマンド 33h を発行し続け、56 ビット ファミリ コードとシリアル番号をリードバックし、その後、データ フレーム中に読み取り信号を使用して 8 ビットの CRC を読み取ります (「読み取り/書き込み信号」セクションを参照)。ROM 読み取りコマンドは、SDQ バス上に 1 つのレスポнда デバイスがある場合にのみホストが発行できます。SDQ バス上に 1 つ以上のレスポнда デバイスがあるときにホストがこのコマンドを発行すると、すべてのレスポнда デバイスがホストに回答しようとするため、データ衝突が発生します。ホストは、読み取り ROM シーケンスからの CRC を、計算された CRC と比較することでデータの不一致を識別できます。これにより、不一致が生じます。

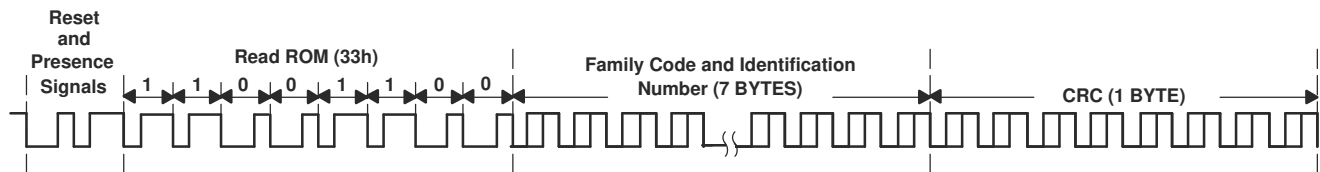


図 6-7. ROM シーケンスの読み取り

6.5.3.2 ROM マッチ コマンド [55h]

バス上に複数のレスポнда デバイスがある場合、一致 ROM コマンド 55h は、ファミリ コードと識別番号がわかっているときにホストが特定のレスポнда デバイスを選択するために使用されます。ホストが ROM サーチ コマンドを発行してから、ファミリ コード、シリアル番号、CRC バイトを送信します。64 ビットのシリアル ID と一致するレスポнда デバイスが選択され、以後のメモリ機能コマンドを実行するために使用されます。一致 ROM コマンドは、バス上の 1 つのレスポнда デバイスでも使用できます。

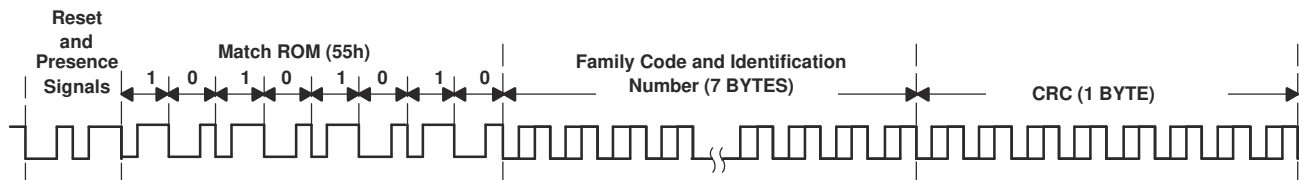


図 6-8. ROM シーケンスと一致

6.5.3.3 ROM スキップ コマンド [CCh]

ROM スキップ コマンド シーケンス (図 6-9 を参照) は、ホストがレスポнда デバイスとのトランザクションを開始できる最速のシーケンスです。ROM スキップ コマンド CCh を使用すると、ホストは 64 ビットのシリアル ID を発行せずにメモリ機能にアクセスできます。ROM スキップ コマンドの直後に、メモリ機能コマンドが続きます。ROM スキップ コマンドは、SDQ バス上に 1 つのデバイスが存在する場合にのみ発行されます。SDQ バス上に複数のレスポнда デバイスがある場合に ROM スキップ コマンドが発行されると、すべてのレスポнда デバイスが後続のメモリコマンドに回答し始め、バス上でのデータ衝突が発生します。

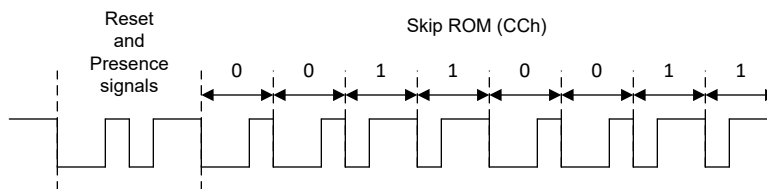


図 6-9. ROM スキップ シーケンス

6.5.3.4 ROM サーチ コマンド [F0h]

ROM サーチコマンドは、ホストが SDQ バス上のデバイス数を認識していないときに、最初のシステム起動時に、デバイス数と各デバイスの 64 ビットの固有 ID を識別するのに役立ちます。ROM サーチ コマンド シーケンスは、ホストが少なくとも 480 μ s のリセット パルスを生成することから開始されます。SDQ バス上のすべてのレスポнда デバイスは、プレゼンス パルスで応答します。次に、ホストは ROM サーチ コマンド F0h を発行して続行します。ROM サーチ コマンドの後、図 6-10 に示すように、ホストは 64 ビット シリアル ID の各ビットに対して 3 つのタイム スロットを発行します。最初のタイム スロットで、レスポнда デバイスは、最下位ビットから始まる 64 個のシリアル ID ビットの送信を開始します。2 番目のタイム スロットでは、レスポнда デバイスはビットの補数を送信します。3 番目のタイム スロットでは、ホストが選択するビットを書き込みます。このプロセスは、64 ビットのシリアル ID が終了するまで継続されます。3 番目のタイム スロットでホストによって書き込まれたビットと一致しないレスポнда デバイスはすべて、検索プロセスを終了します。ホストが最初の 2 つのタイム スロットでゼロを読み取ると、衝突状態が発生しています。ホストは SDQ バス上に複数のデバイスが存在することを認識します。書き込みするビット値を選択することで、ホストは分岐して、競合する 1 つまたは複数のレスポнда デバイスを除去します。最初の実行シーケンスの最後に、ホストは単一のデバイスのシリアル ID を認識します。その後、このシーケンスが繰り返され、SDQ バス上の残りのデバイスのシリアル ID が識別されます。

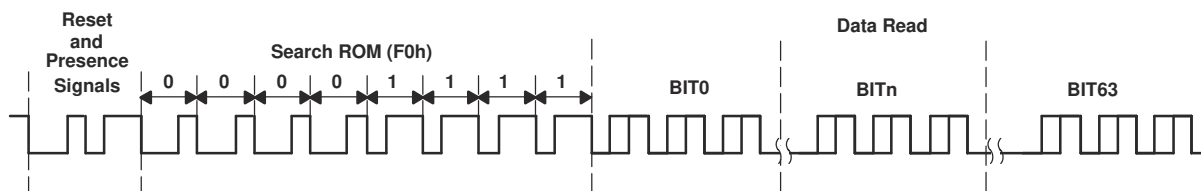


図 6-10. ROM シーケンスを検索します

6.5.3.5 レジューム コマンド [A5h]

SDQ バス上に複数のレスポнда デバイスがある場合、レジューム コマンド A5h を使用すると、レスポнда デバイスの選択に必要なビットトランザクション数を減らすことで、データ スループットを最大化できます。レジューム コマンドを発行する前に、ホストは最初に ROM マッチまたはオーバードライブ ROM マッチ コマンド シーケンスを発行してレスポнда デバイスを選択する必要があります。これにより、レスポнда デバイスが選択されます。他のすべてのレスポнда デバイスは、以後のメモリ機能コマンドやコマンド再開機能には応答しません。

6.5.3.6 ROM オーバードライブ スキップ コマンド [3Ch]

TMF0008 は、オーバードライブ モードと呼ばれる高速モードをサポートしています。OVERDRIVE SKIP ROM コマンド シーケンスは、ホストが少なくとも 480 μ s の RESET パルスを生成することから開始します。デバイスは、プレゼンス パルスで応答します。次に、ホストは標準速度で OVERDRIVE SKIP ROM コマンド 3Ch を発行し続けます。デバイスがオーバードライブ モードになります。ターゲット デバイスとのそれ以降のすべての通信がオーバードライブ速度であることを確認します。ホストは 480 μ s 以上のリセット パルスを発行することで、すべてのレスポнда デバイスを標準速度に戻すことができます。

SDQ バス上に複数のレスポнда デバイスがあるときに、OVERDRIVE SKIP ROM コマンドが発行された場合。すべてのレスポнда デバイスがオーバードライブ モードに移行します。それ以降のすべての通信アドレスは、特定のデバイスです。この手順は、オーバードライブ速度でリセット パルスを発行し、続いて OVERDRIVE Match ROM または Search ROM のコマンド シーケンスを発行することで開始します。このシーケンスにより、検索プロセスの時間が短縮されます。

SDQ バス上に複数のレスポンス デバイスがあるときに OVERDRIVE SKIP ROM コマンドが発行された場合、すべてのレスポンス デバイスが後続のメモリ コマンドに応答を開始し、バス データの衝突が発生します。

6.5.3.7 ROM オーバードライブ マッチ コマンド [69h]

ROM オーバードライブ マッチ コマンドは、SDQ バス上に複数のレスポンス デバイスがある場合に特定のレスポンス デバイスを選択し、同時にデバイスをオーバードライブ モードに設定するために使用されます。ROM オーバードライブ マッチ コマンドは、バス上の 1 つのレスポンス デバイスでも使用できます。64 ビットのシリアル ID と一致するレスポンス デバイスを選択され、それ以降のメモリ機能コマンドをオーバードライブ速度で実行できます。すでにオーバードライブ モードになっている他のレスポンス デバイスは、ホストが 480μs 以上のリセット パルスを発行してすべてのレスポンス デバイスを標準速度に戻すまでオーバードライブ モードを続けます。

6.5.4 メモリ機能コマンド

6.5.4.1 スクラッチパッド書き込みコマンド [0Fh]

スクラッチパッド書き込みコマンド 0Fh は、スクラッチパッドに書き込むために使用されます。ROM コマンドを使用してターゲット TMF0008 を選択すると、ホストは 2 バイトのアドレスの後にデータを送信します。TMF0008 は、2 バイトアドレスの 5 LSB ビットをスクラッチパッド オフセット アドレスとして設定します。また、E/S レジスタ (E[4:0]) の 5LSB ビットにもスクラッチパッド オフセット アドレスがロードされます。それ以降のデータ バイトごとに、スクラッチパッド オフセット アドレスと E/S ビット (E[4:0]) の両方がインクリメントされます。データ バイトが部分的である場合、そのデータ バイトは無視され、部分バイトフラグ (PF) と呼ばれるエラーフラグがセットされます。2 バイトのアドレス全体が受信されない場合にも、このフラグがセットされます。デバイスが完全な 2 バイト アドレスを受信すると、このフラグはクリアされます。

スクラッチパッド書き込みコマンドの実行中、内部 CRC ジェネレータが、スクラッチパッド書き込みコマンド (0Fh)、2 バイトアドレス、データ バイトを含むデータ ストリームに基づいて 16 ビット CRC を計算します。この CRC は、CRC ジェネレータを最初にクリアすることにより、CRC16 多項式 ($X^{16} + X^{15} + X^2 + 1$) を使用して生成されます。スクラッチパッド書き込みのコマンド シーケンスは、ホストが RESET コマンドを発行することでいつでも終了できます。ホストは、スクラッチパッド オフセット アドレスが 11111b に達すると、TMF0008 によって生成された 16 ビット CRC を読み取ることができます。

TMF0008 のメモリ アドレス範囲は 0000h ~ 03D3h なので、ホストがアドレス範囲を超えて書き込みを試みると、2 バイトアドレスが内部アドレス レジスタにシフトされるため、デバイスの内部回路によって上位 6 ビットのアドレス ビットが 0 に設定されます。この変更されたアドレスは、スクラッチパッド読み取りコマンドから読み取ることができます。ホストがスクラッチパッドを読み取り、アドレスとデータバイトを検証せずにスクラッチパッド コピー コマンドを発行した場合、スクラッチパッドのメモリ内容はターゲット FRAM メモリにコピーされません。ホストが書き込み保護されているメモリ領域への書き込みを試みると、デバイスはホストによって書き込まれるデータ バイトではなく、FRAM メモリから 2 バイトのアドレスからスクラッチパッドにデータ バイトをコピーします。同様に、ホストが EEPROM で保護されているメモリ位置に書き込もうとすると、デバイスはホストによって書き込まれたデータ バイトと FRAM メモリの 2 バイト アドレスのデータ バイトのビット単位の論理 AND をスクラッチパッドにコピーします。

6.5.4.2 スクラッチパッド読み出しコマンド [AAh]

スクラッチパッドを読み出すには、ホストが スクラッチパッド読み出しコマンド [AAh] を発行してから、2 バイトのアドレス、終了オフセット / データ ステータス バイト (E/S) を読み出し、最後にスクラッチパッドのオフセット アドレスから開始されるスクラッチパッドのデータを読み出します。ホストは、アドレス、E/S バイト、およびスクラッチパッド データが、スクラッチパッド書き込みコマンド中に送信された情報と一致していることを検証します。2 バイトアドレスとスクラッチパッドのデータの有効性は、スクラッチパッド読み取りコマンドで確認できます。スクラッチパッドの終了に達すると、ホストは反転 CRC16 を読み取ることができます。2 CRC バイトを読み取った後もホストが引き続き読み出しを行う場合、ホストは 1 秒のみを受信します。

6.5.4.3 スクラッチパッド コピー [55h]

スクラッチパッドから FRAM メモリにデータをコピーするには、ホストはスクラッチパッド コピー コマンド (55h) を発行し、その後スクラッチパッドの読み取りコマンドから取得された 2 バイトのアドレスと E/S バイト (認証コードと呼ばれます) を発行します。デバイスは、ターゲット アドレスから始まり、ターゲット アドレスから末尾にターゲット アドレスに記載されたターゲット アドレスにスクラッチパッド オフセット アドレスを加算して E/S バイトに記載されたスクラッチパッド オフセット アドレス

スを加算した値にスクラッチパッドを **FRAM** メモリにコピーします。承認コードが **E/S** バイトと一致している場合、**PF** フラグは設定されず、ターゲット アドレスがアドレス可能範囲内である場合にのみです。ホストが読み取りを続行する場合、デバイスは **0** 秒と **1** 秒を交互に送信します。ホストは、**t_{PROG}** 期間が経過した後にのみリセット パルスを発行することで、スクラッチパッド コピー コマンド シーケンスを終了できます。メモリ ページがコピー保護されているページである場合、または **PF** フラグがセットされている場合、**TMF0008** では **AA** フラグをリセットすることでメモリ コピーを許可しません。この動作は、スクラッチパッド 読み取りコマンドで **E/S** バイトの **AA** フラグ ビットを読み取ることで確認できます。

6.5.4.4 メモリ読み取り [F0h]

ホストは、メモリ読み取りコマンド (**F0h**) を発行し、その後に **2** バイトのアドレスを発行することで、**FRAM** メモリを読み取ることができます。ホストが **03D3h** より大きなアドレスを発行すると、デバイスは最上位 **6** ビットを **0** に設定します。その後ホストは、アドレス **03D3h** に達するまで、アドレス範囲内のアドレスまたは変更されたアドレスからデータを読み取ることができます。ホストがそれ以上読み出しを続ける場合、**TMF0008** は **1** を送信します。ホストは、リセット パルスを発行することでメモリの読み取りコマンド シーケンスを終了できます。

6.5.4.5 メモリ拡張読み取り [A5h]

拡張読み取りメモリ コマンドは、各メモリ ページの末尾で送信される **2** バイトの **CRC** を除いて、メモリの読み取りコマンドと同様に機能します。ホストは、拡張読み出しメモリ コマンド (**A5h**) を発行し、その後に **2** バイトのアドレスを発行することで、**FRAM** メモリを読み取ることができます。ホストが **03D3h** より大きなアドレスを発行すると、デバイスは最上位 **6** ビットを **0** に設定します。ホストは、アドレス範囲内のアドレスまたは変更されたアドレスから、**32** バイト ページが終了するまでデータを読み取ることができます。メモリ ページの最後で、ホストは **2** バイトの反転 **CRC** を読み出します。ホストが読み取りを継続すると、ホストは次のページの先頭に対応するデータを受信し、その後、終了アドレス **03D3h** に達するまでこのデータを受信されます。ホストがそれ以上読み出しを続ける場合、**TMF0008** は **1** を送信します。ホストは、リセット パルスを発行することでメモリの読み取りコマンド シーケンスを終了できます。

6.5.4.6 メモリ コマンド フローチャート

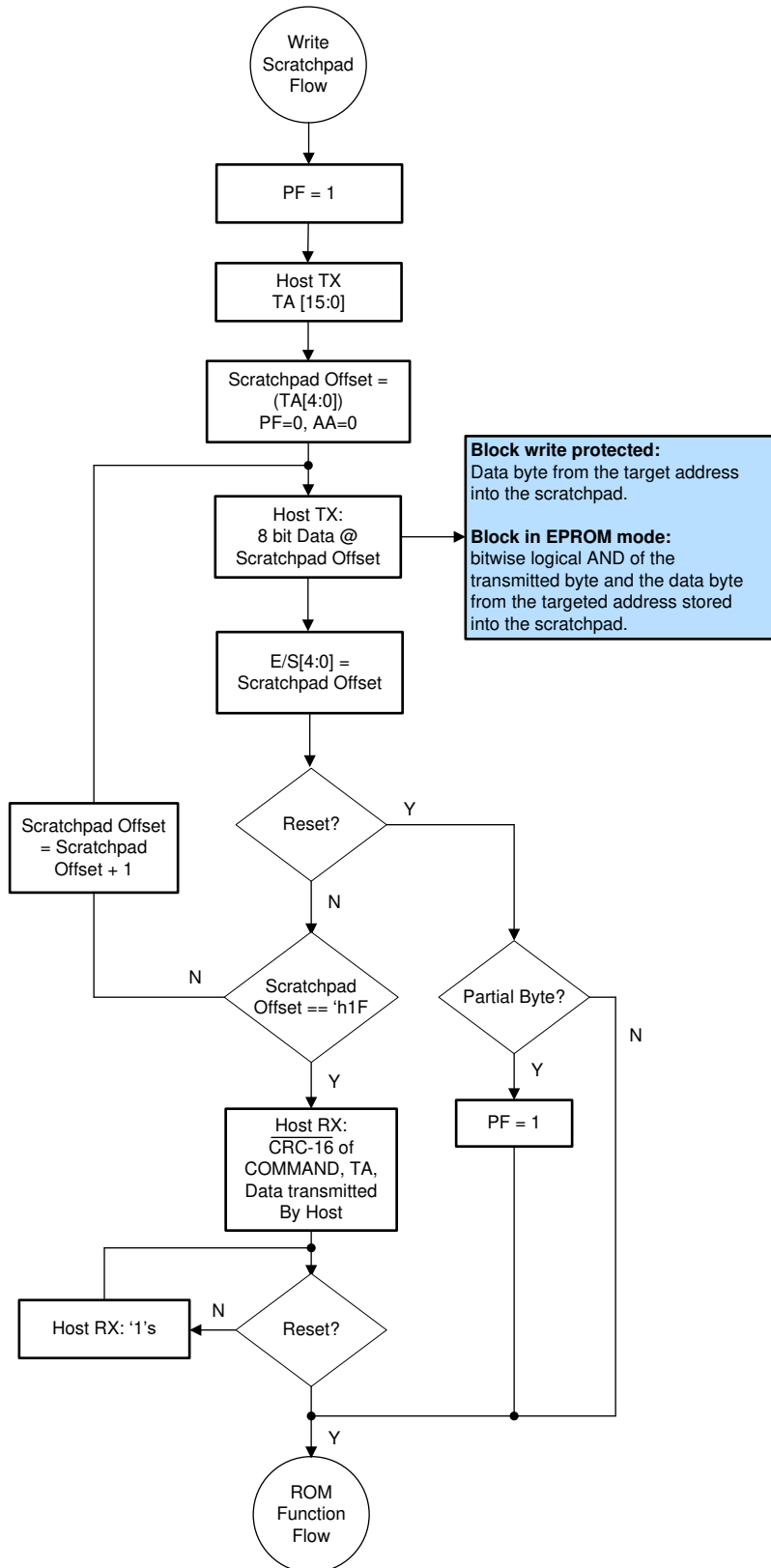


図 6-11. スクラッチパッド書き込みフローチャート

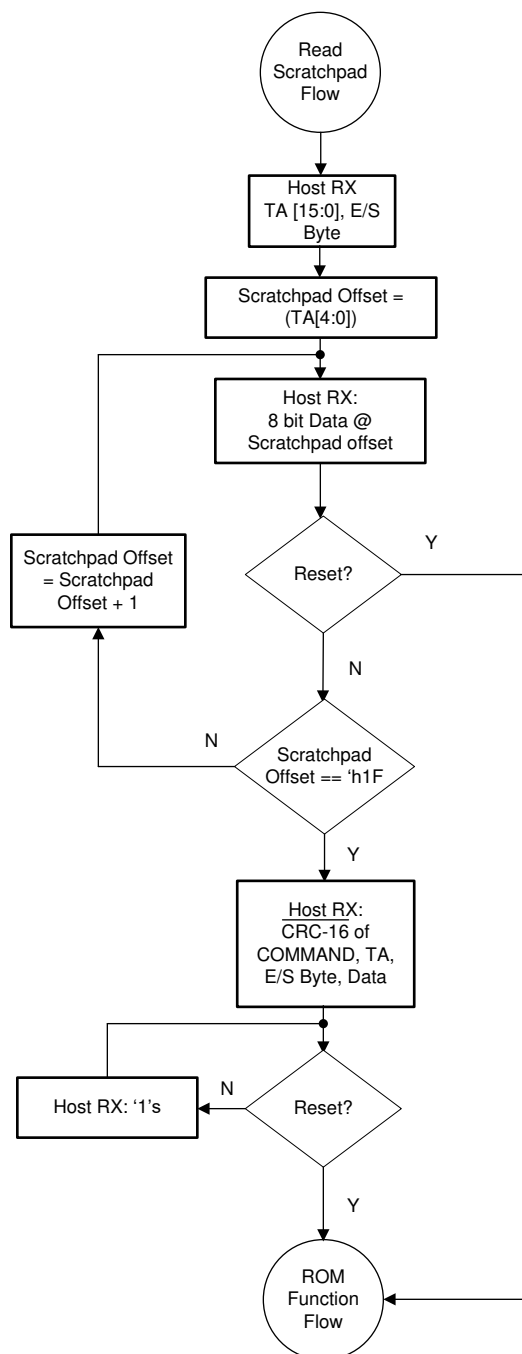


図 6-12. スクラッチパッド読み取りフローチャート

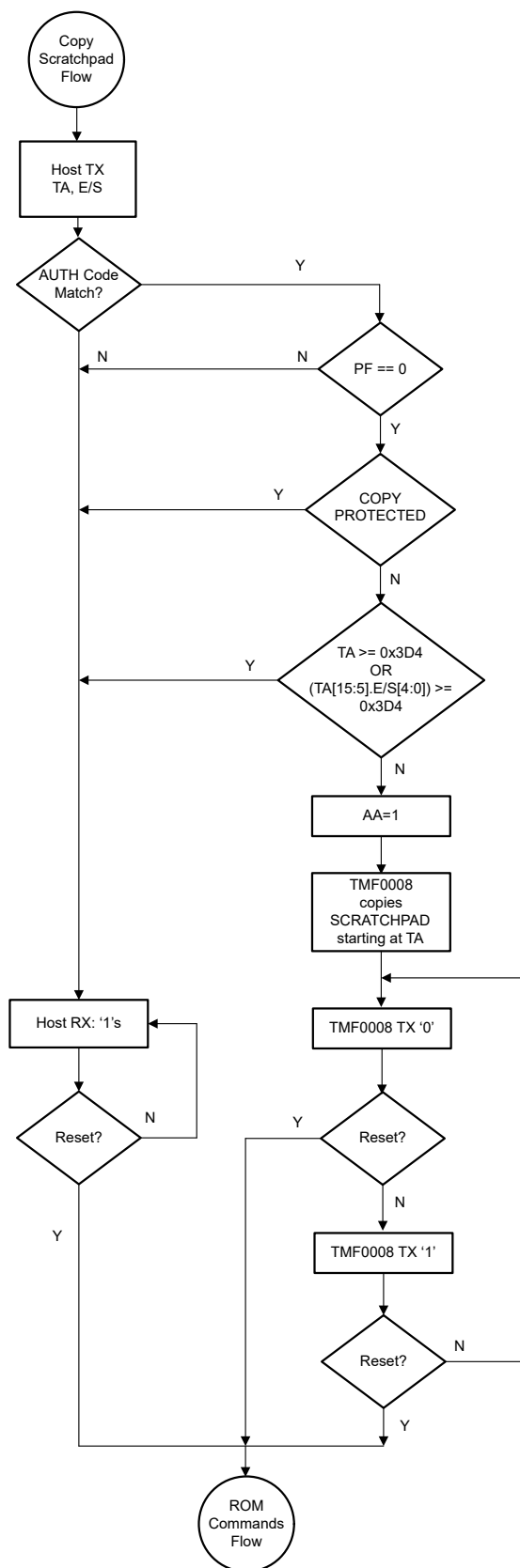


図 6-13. スクラッチパッド コピー フローチャート

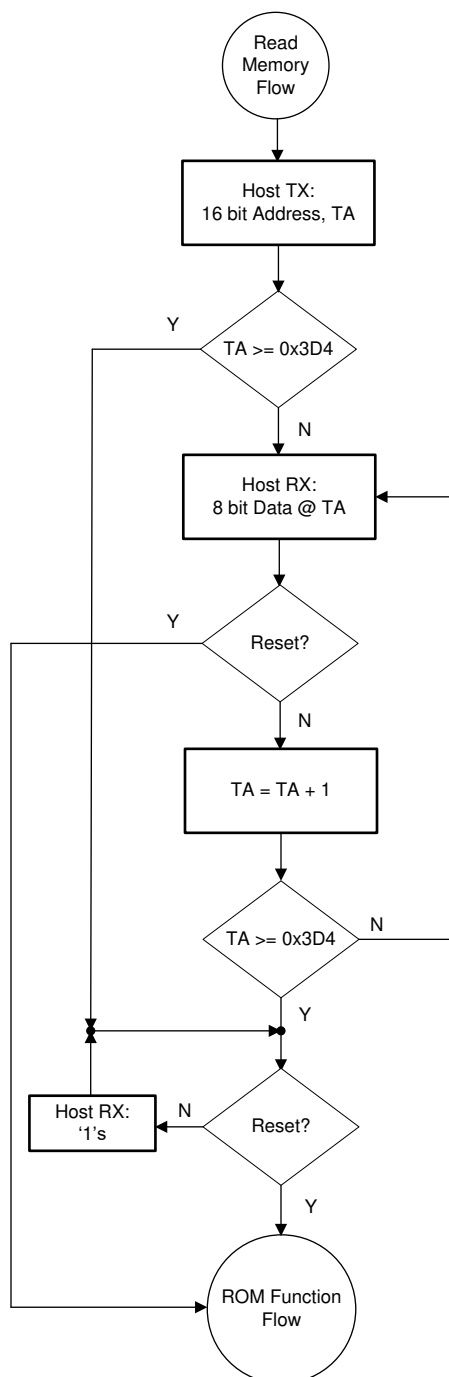


図 6-14. メモリ読み取りフローチャート

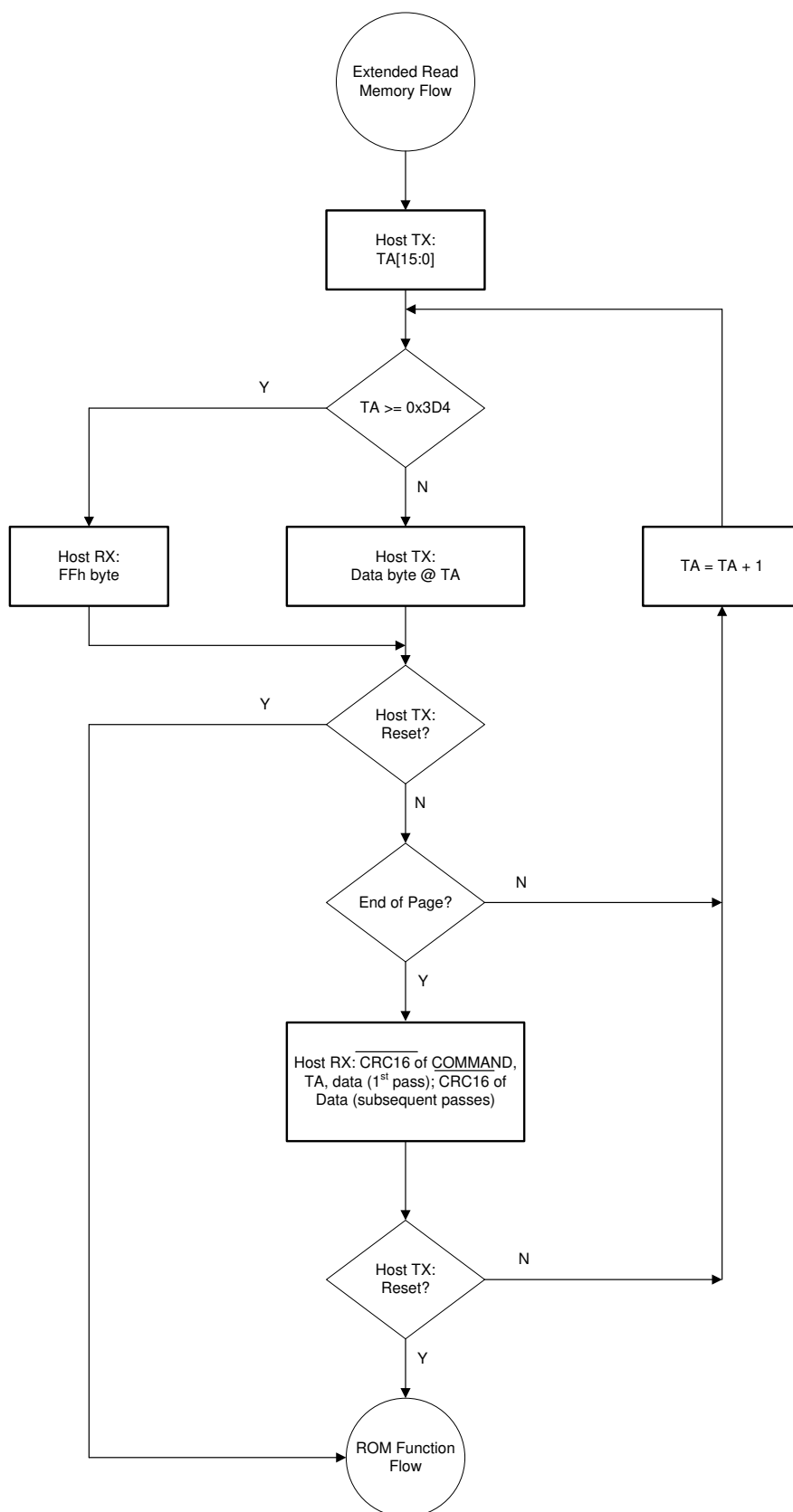


図 6-15. 拡張メモリ読み取りフローチャート

6.5.5 SDQ シグナリング

1 線式通信には基準クロックがなく、データの整合性を維持するために厳格なタイミング プロトコルに準拠するために重要です。タイミング プロトコルは、次の 4 種類のシグナリングで構成されています。

1. リセット パルスと存在パルスを使用するリセット シーケンス
2. Write-zero タイミング シーケンス
3. Write-one タイミング シーケンス
4. Read-data タイミング シーケンス

ホストは、SDQ バス上のレスポнда デバイスにより開始されるプレゼンス パルスを除き、SDQ ラインを **low** にすることで通信を開始します。レスポнда デバイスは、標準速度とオーバードライブ速度の 2 つの異なる速度で通信できます。レスポнда デバイスはデフォルトでは、デバイスがオーバードライブ モードに設定されていない限り、標準速度でのみ通信を行います。このモードでは、レスポнда デバイスはオーバードライブ タイミング (高速タイミング) で発行されたコマンドに応答します。以下に示すすべてのタイミング波形は、標準タイミングとオーバードライブ タイミングの両方に適用できます。

すべての SDQ 信号は、デバイスの初期化から開始し、その後、ホストがバスを **low** に駆動して 1 または 0 を書き込むか、またはビット読み取りの開始フレームを開始します。図 6-16 に初期化タイミングを示し図 6-18、図 6-17 の一方、および図 6-19 に、開始期間 t_{W1L} / t_{W0L} / t_{RL} の間 SDQ バスを **low** に駆動することで、ホストが各ビットを開始することを示します。ビットの開始後、ホストが書き込み中にバスの制御を継続するか、またはレスポнда デバイスが読み取り中に 0 ビットを転送するようバスを制御します。

6.5.5.1 リセットおよび存在パルス

リセット シーケンスのとき、SDQ バスが 120 μ s より長い間 **low** に駆動された場合、レスポнда デバイスはリセットできます。SDQ バスが 480 μ s を超えて **low** に駆動されている場合、レスポнда デバイスはリセットされ、プレゼンス パルスにより応答することで、デバイスは通信準備ができたことを示します。TMF0008 がオーバードライブ モードで、ホストが 480 μ s 以上の t_{RSTL} 持続時間を発行すると、デバイスはオーバードライブ モードを終了し、標準速度に戻ります。デバイスがオーバードライブ モードにあり、 t_{RSTL} が 80 μ s より長くない場合、デバイスはオーバードライブ モードにとどまります。デバイスがオーバードライブ モードにあり、 t_{RSTL} が 80 μ s と 480 μ s の間にある場合、デバイスはリセットされますが、通信速度は不定になります。

図 6-16 に、ホストによって開始されるリセット パルスと、TMF0008 (ターゲット) から開始される応答存在パルスを示します。

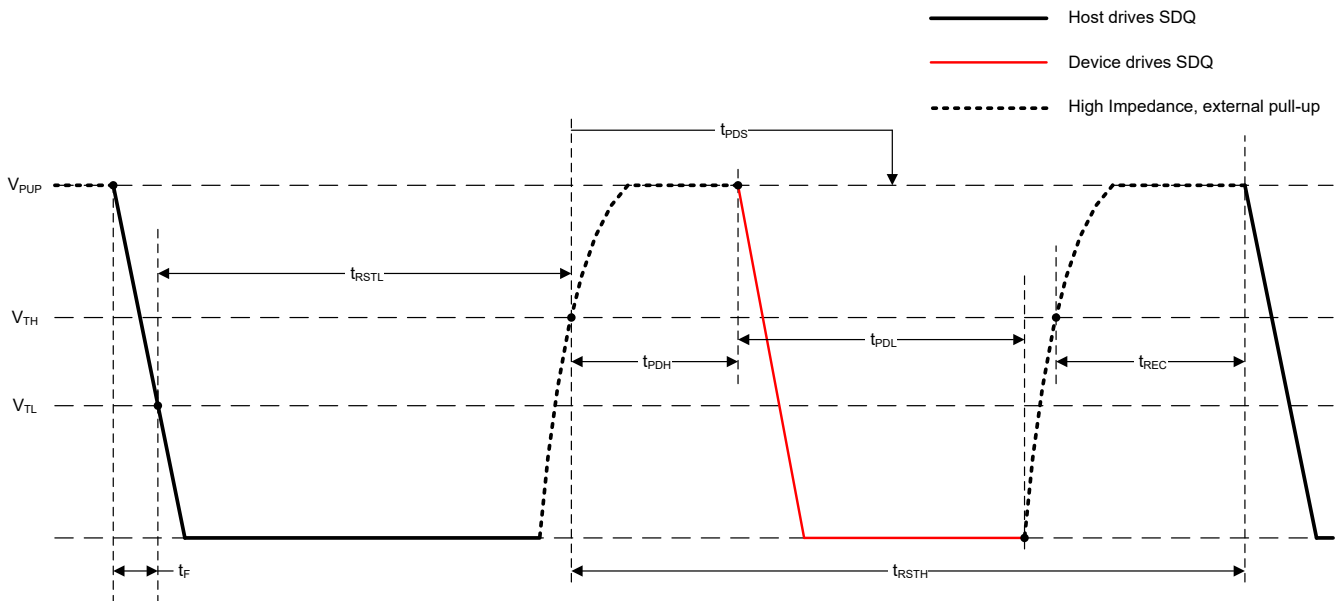


図 6-16. リセット シーケンスのタイミング図

6.5.5.2 読み取り書き込みタイム スロット

1 線式インターフェイス通信には、基準クロックがありません。したがって、すべての通信は、固定時間スロット (t_{SLOT}) と、ロジック 0 および 1 を示す可変パルス幅を使用して非同期に実行されます。アイドル状態のときは、外部プルアップ抵抗によってラインが High に保持されます。すべてのビット通信が書き込みであるか読み取りであるかに関係なく、どちらもホストによってデータ ラインを低く駆動することによって開始され、ビット値はデータ ラインが低く保持されている時間としてデコードされます。

通信は一度に 1 ビットずつ行われますが、ホストとデバイス間のデータの交換はバイト単位で実行されます。すべてのバイトは LSB ファーストで送信されます。不完全なバイトが送信された場合、デバイスの動作は検証されません。

図 6-17 図中の Write-One タイミング図は、ホストが SDQ バスを $t_F + t_{W1L} - t_E$ の間 low にプルダウンし、その後 SDQ バスを解放することで Write-One 転送を開始することを示しています。同様に、図 6-18 図中の Write-Zero タイミング図は、ホストが SDQ バスを $t_F + t_{W0L} - t_E$ の間 low にプルダウンし、その後 SDQ バスを解放することで Write-Zero 転送を開始することを示しています。SDQ バスの電圧がスレッショルド V_{TL} を下回ると、デバイスは内部タイミング ジェネレータを起動し、書き込みタイム スロット中に SDQ ラインをサンプリングするタイミングを決定します。このタイミング ジェネレータは、ビットが 1 か 0 かを判定します。デバイスは、SDQ ラインを最大 t_{W1L} 期間から最小 t_{W0L} 期間までの一定の時間サンプリングします。

図 6-19 の読み取りデータのタイミング図に、ホストが $t_F + t_{RL}$ 期間の間 SDQ バスを low にすることで、このビットの送信を開始することを示しています。次にデバイスは、SDQ バスを low に駆動して読み出し 0 を送信するか、SDQ バスを解放して読み出し 1 を送信することにより応答します。ホストは、プルアップ抵抗とバス容量による立ち上がり時間を考慮して、デバイスから送信されたビットレベルをサンプリングするサンプリング ウィンドウ、または次の読み取りビット時間スロットを駆動するタイミングを決定する必要があります。

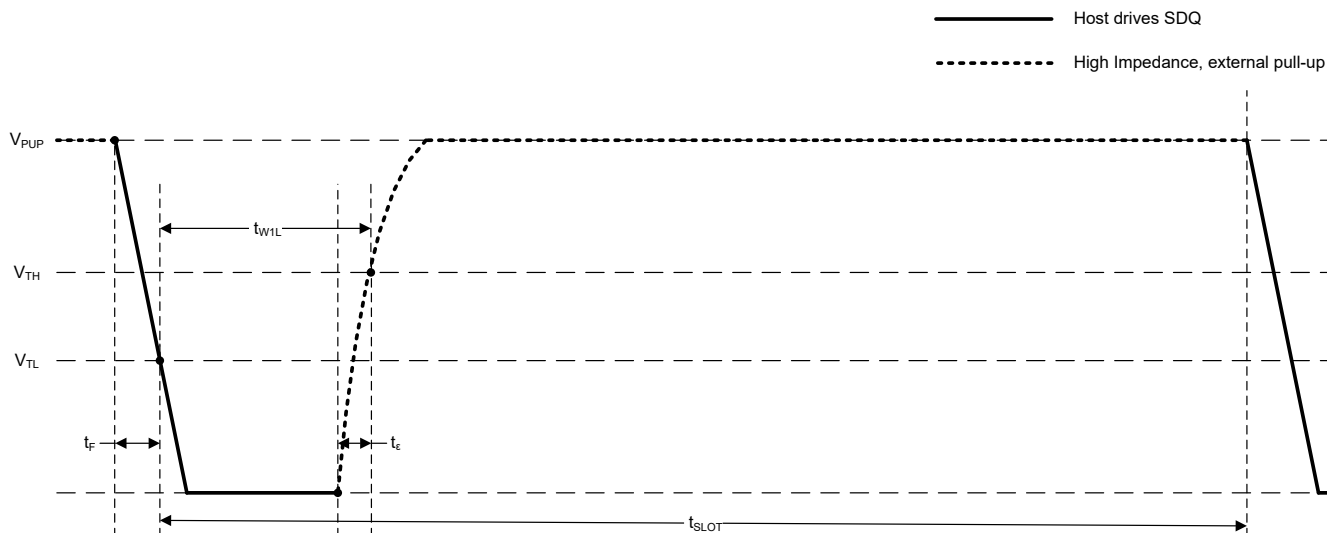


図 6-17. Write-One タイミング図

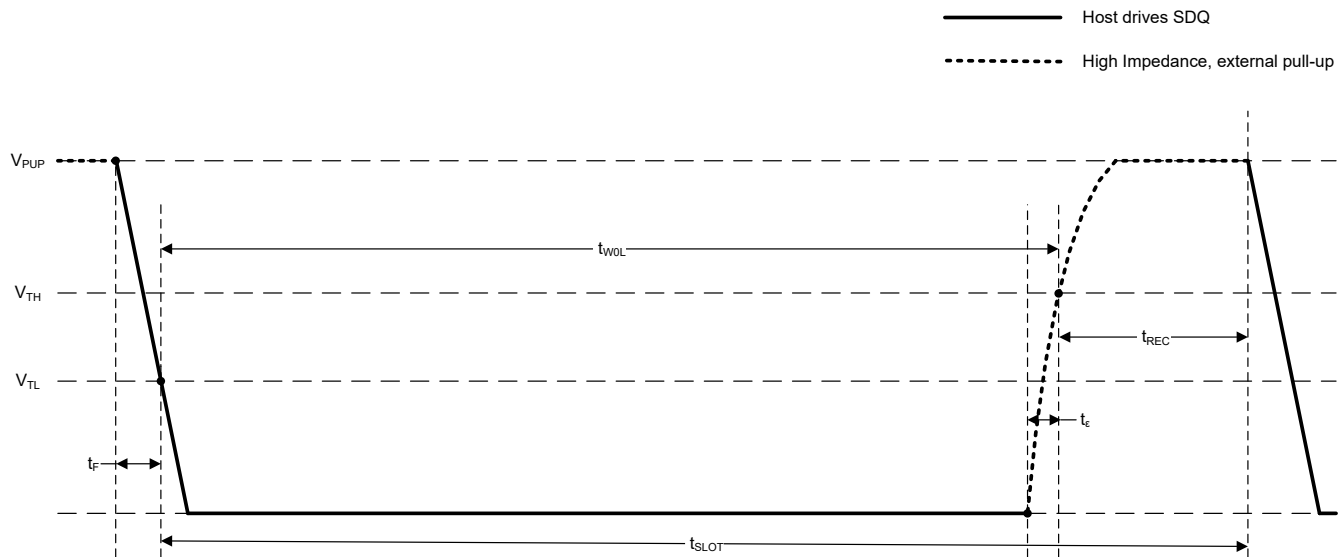


図 6-18. Write-Zero タイミング図

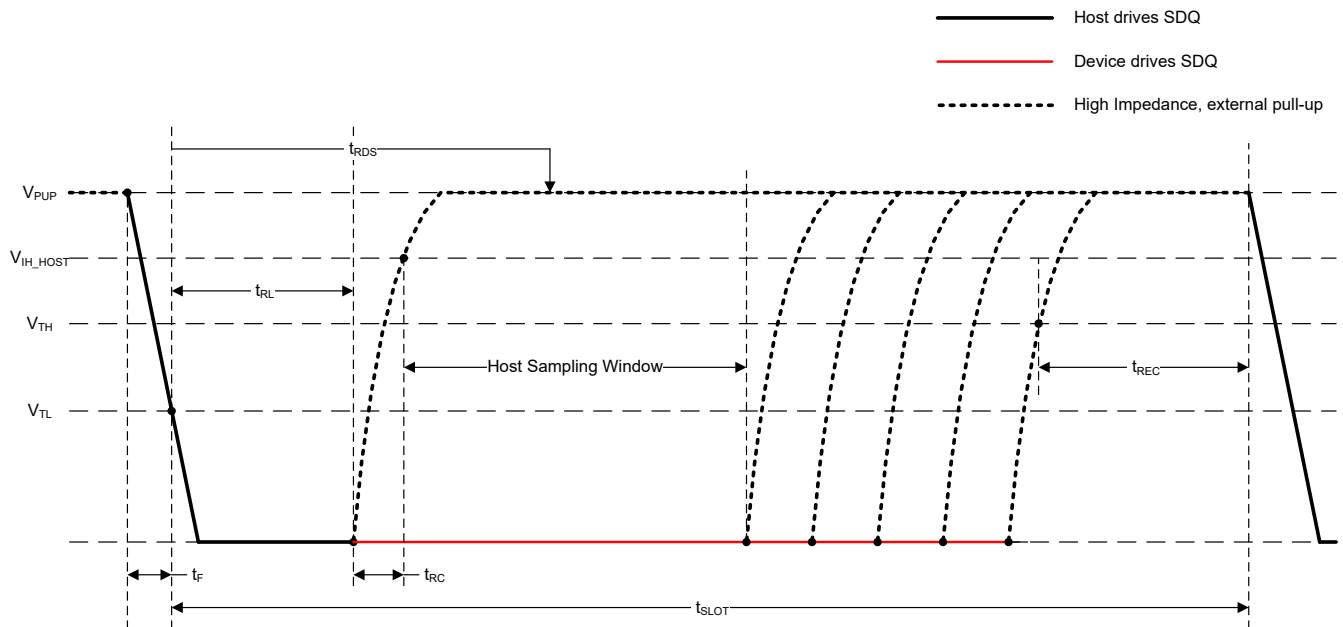


図 6-19. Read-Data タイミング図

6.5.6 IDLE

SDQ バスが high の場合、バスは IDLE 状態。バス トランザクションは、SDQ バスをアイドル状態のままにすると一時停止できます。バス トランザクションは、IDLE 状態からいつでも再開できます。

6.5.7 CRC 生成

TMF0008 には、64 ビット ROM の最上位バイトに 8 ビット CRC が格納されています。バス ホストは、64 ビット ROM の最初の 56 ビットから CRC 値を計算し、これらのビットを TMF0008 に格納されている値と比較することで、ROM データがバス ホストによってエラー フリーで受信されたかどうかを判定できます。この CRC の等価多項式関数は次のとおりです。 $X^8 + X^5 + X^4 + 1$ 。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

代表的なアプリケーションは、マイクロ コントローラが SDQ 通信ホスト デバイスとして構成され、TMF0008 が SDQ レスポンダ デバイスとして構成されます。ホストおよびレスポндаにはオープン ドレイン機能があり、外付けプルアップ抵抗 (標準値 500Ω) が必要で、3.13V ~ 5.25V の範囲のプルアップ電圧に接続されています。

7.2 代表的なアプリケーション

SDQ バス上の追加容量は避けてください。C_{CABLE} より大きな容量は通信障害を引き起こす可能性があります。SDQ ラインにデカップリングやバイパス コンデンサを追加しないでください。

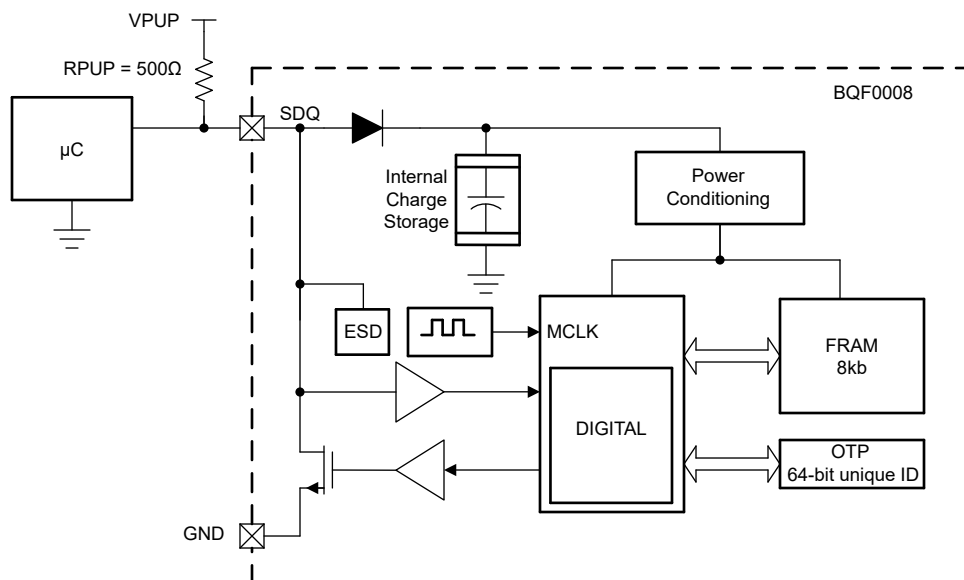


図 7-1. 代表的なアプリケーション回路

7.2.1 設計要件

設計パラメータ	数値の例
プルアップ電圧	3.13V ~ 5.25V
自由空気での動作温度	-10°C ~ 85°C
プルアップ抵抗	500 Ω

7.2.2 詳細な設計手順

GPIO 経由でビット バンギングを使用して SDQ ホストを実装することも可能です。この場合、TMF0008 のリセット ルーチンの追加エラー チェックを検討し、レスポндаがバス上で期待どおりに動作していることを確認します。

ホストがリセットを送信するたびに、レスポнда デバイスはプレゼンス パルスでリセットをアクノリッジします。ホストは、プレゼンス パルスの前に、バスが解放されて high レベルに戻ったことを確認する必要があり、バスが予期せず low に保持されていることは何も示していないことを示します。最小 t_{PDH} は 15 μ s であるため、リセット後にバスを解放した後にホストがバス 10 μ s のロジック high を確認すると、バスが解放されてレスポнда デバイスがアクノリッジを返すのに十分です。

7.2.3 アプリケーション曲線

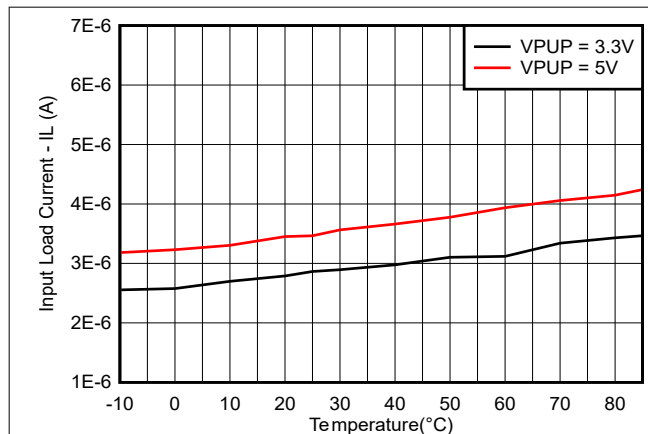


図 7-2. 入力負荷電流 (I_L) と温度との関係 (標準速度)

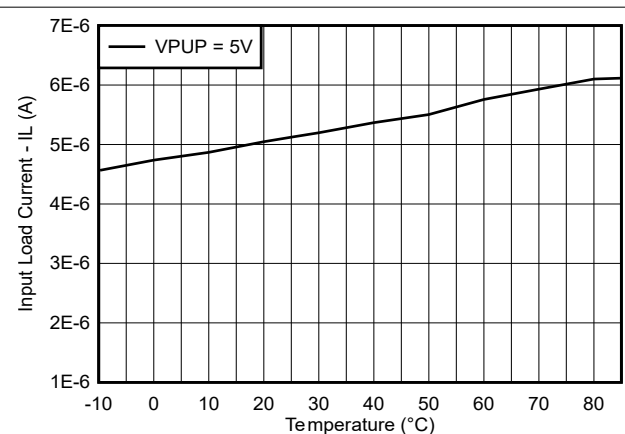


図 7-3. 入力負荷電流 (I_L) と温度との関係 (オーバードライブ速度)

7.3 電源に関する推奨事項

TMF0008 は低消費電力デバイスで、通信時にのみオンにする必要があります。デバイスの電源は、システム内のデジタル I/O に使用される電源電圧から供給されます。デバイスに専用の VCC ピンが存在しません。デバイスは SDQ 通信入力から電力を受け取り、通常の通信動作中も持続できます。SDQ ラインにはコンデンサを取り付けしないでください。

電源が最初に印加されたときの SDQ 電圧のランプ時間は、ソースからの電流制限により遅くなる可能性があります。200 μ s よりも大きいランプ時間を超えると、POR 回路に望ましくないバウンスが発生し、デバイスが存在パルスを生成しない可能性があります。デバイスへのこの望ましくない影響を考慮するために、通信ホストのベストプラクティスは、SDQ ラインを 5ms を超える時間プルダウンし、その後、SDQ バスを解放することで、デバイスに「ハード」リセットを発行することです。これにより、約 480 μ s の長さのリセット パルスが発行されます。

図 7-4 に、最初の電源オンランプを処理するためのベストプラクティスを示します。



1. 最初の電源オンランプは持続時間が長くなる場合があります。
2. ホストが 5ms を超える「ハード」リセットを発行し、これによりデバイスがリセットされます。
3. TMF0008 は、プレゼンス パルスを発行することでハードリセットに応答します。
4. 前のプレゼンス パルスの後に、約 480 μ s の「ソフト」リセットを適用することができます。
5. TMF0008 は、プレゼンス パルスを発行することでソフトリセットに応答します。

図 7-4. 電源投入時のベスト プラクティス

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TMF0008 には 1 つの信号 (SDQ) しかありません。TMF0008 の SDQ ピンからアプリケーション システムの外部コネクタ、またはホスト SDQ ホスト デバイスに信号トレースを直接配線することをお勧めします。図 7-5 に示すように、平行なグランド プレーンを使用して信号トレースを適切にシールドします。TMF0008 でグランド プレーンが利用できない場合、デバイスのほとんどの周囲に大きなパターンを GND に接続し、SDQ パターンを GND と平行にしてホストに戻します。

7.4.2 レイアウト例

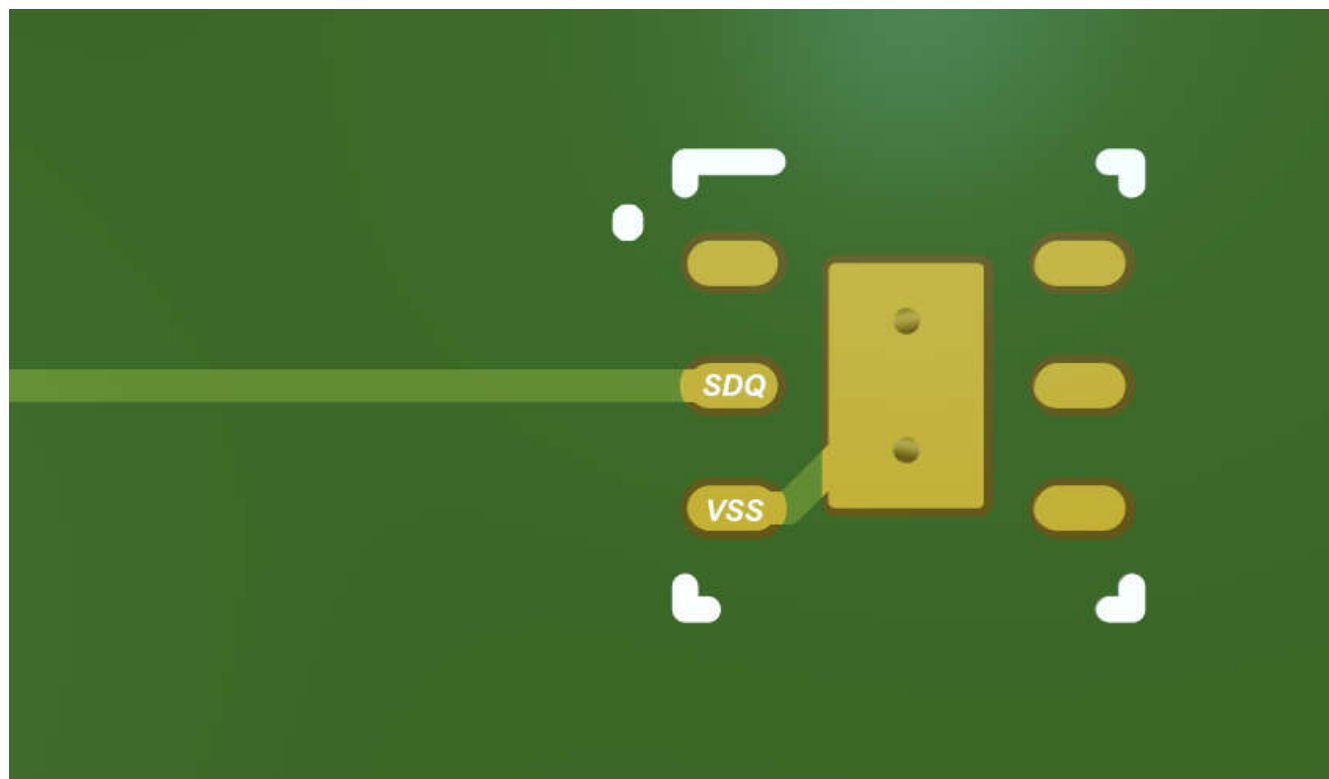


図 7-5. ボード レイアウトの例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

SDQ™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2025	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMF0008DRSR	Active	Production	SON (DRS) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-10 to 85	TMF008
TMF0008LP	Active	Production	TO-92 (LP) 3	1000 LARGE T&R	Yes	SN	N/A for Pkg Type	-10 to 85	TMF0008
TMF0008PSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-10 to 85	TMF0008

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMF0008DRSR	SON	DRS	6	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TMF0008PSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

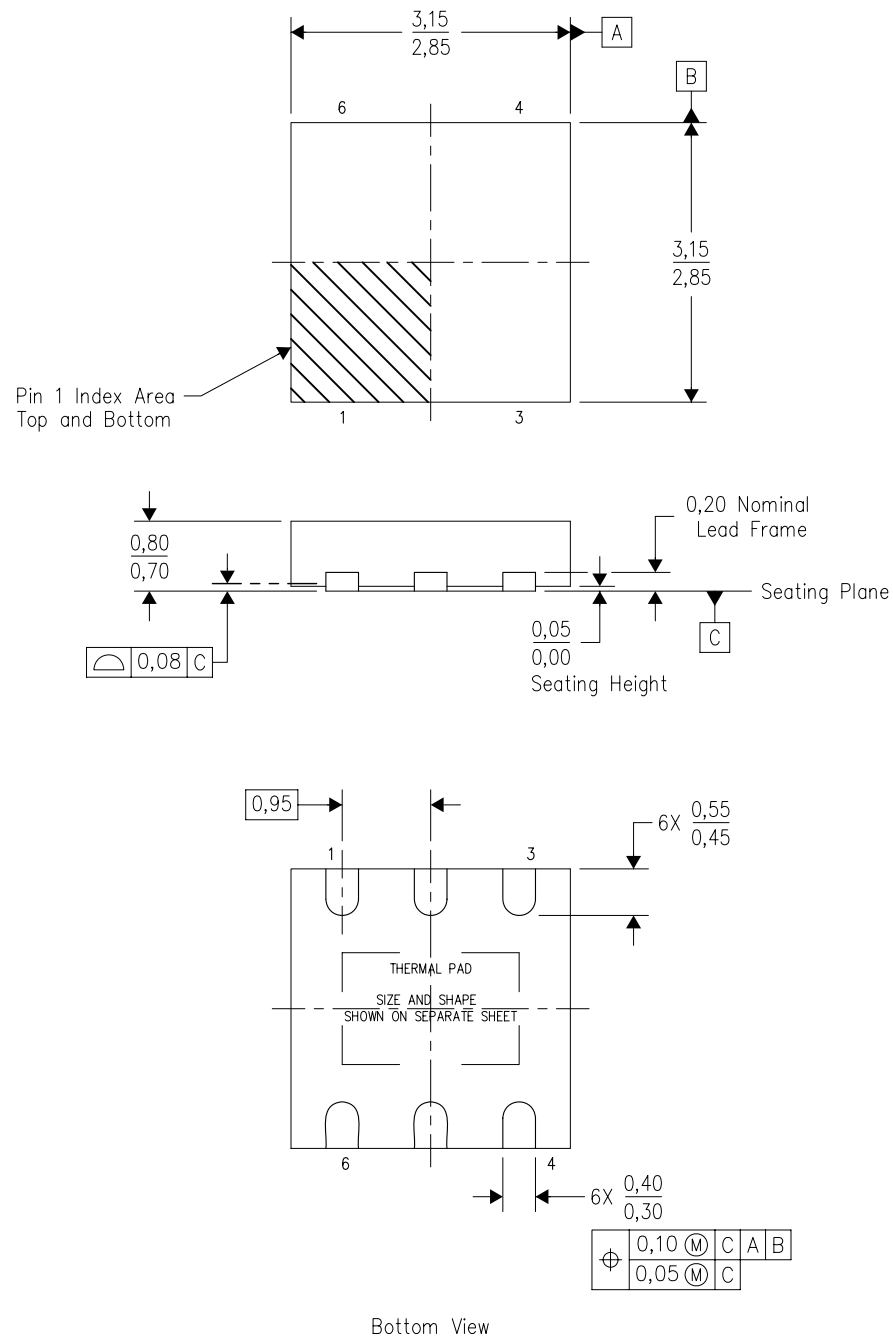


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMF0008DRSR	SON	DRS	6	3000	367.0	367.0	35.0
TMF0008PSR	SO	PS	8	2000	353.0	353.0	32.0

DRS (S-PWSON-N6)

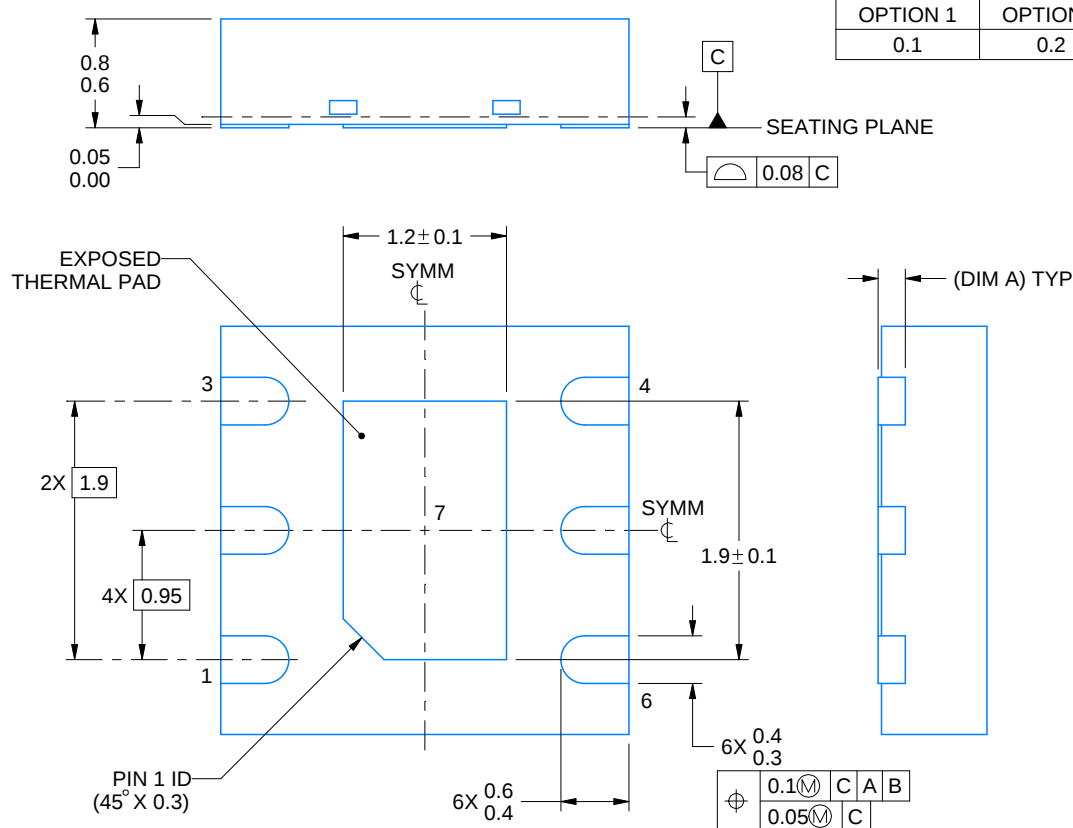
PLASTIC SMALL OUTLINE NO-LEAD



4206219/F 07/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - SON (Small Outline No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



NOTES:

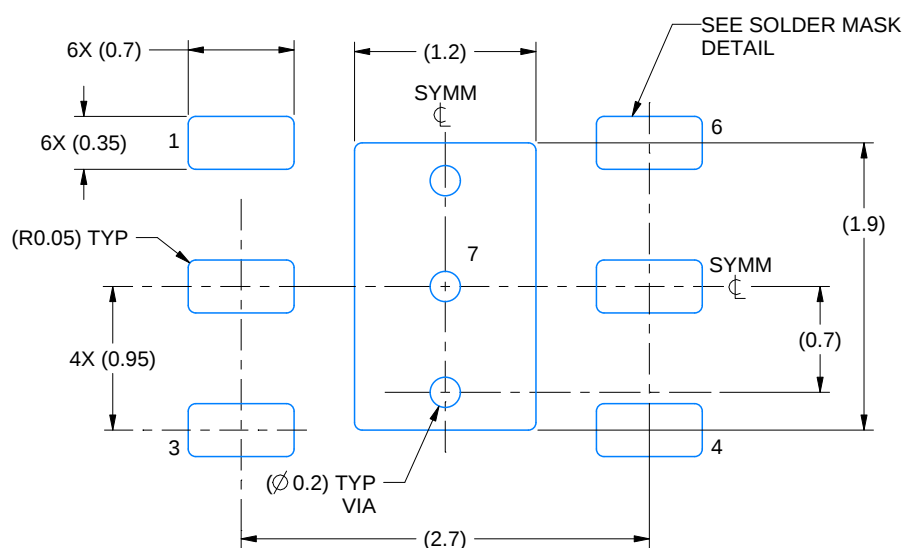
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

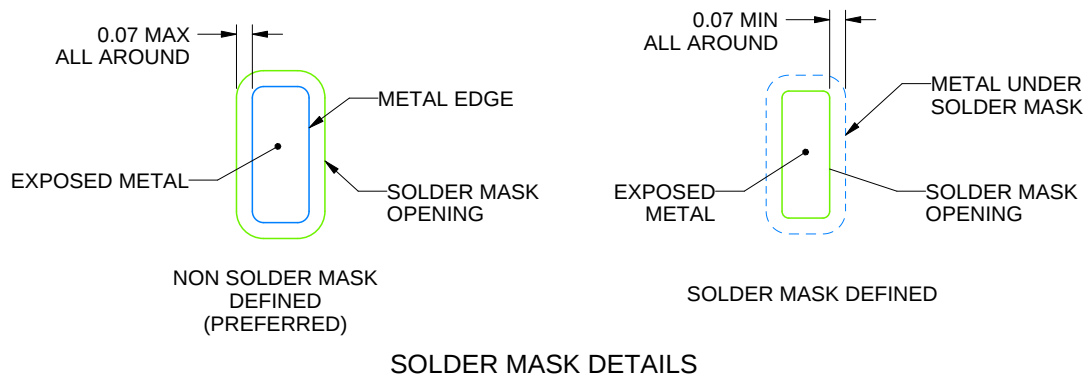
DRS0006A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4218892/A 11/2022

NOTES: (continued)

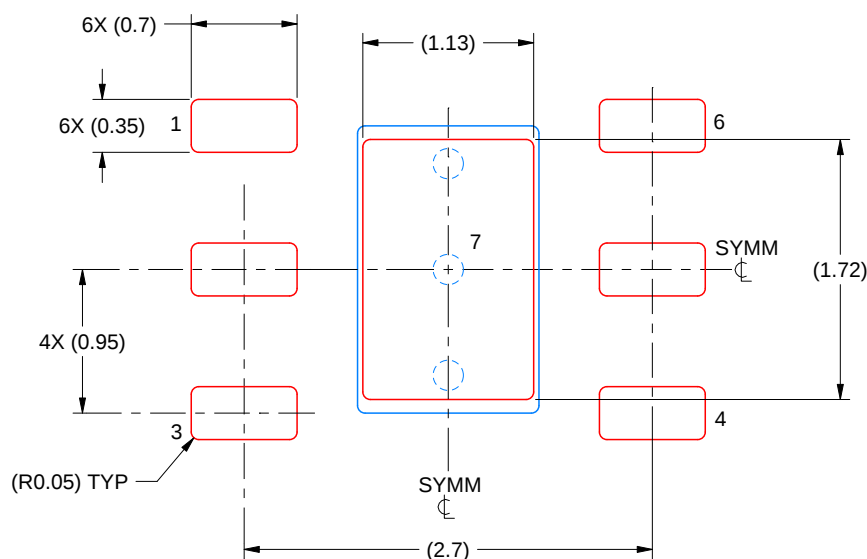
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRS0006A

WSO - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 7
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4218892/A 11/2022

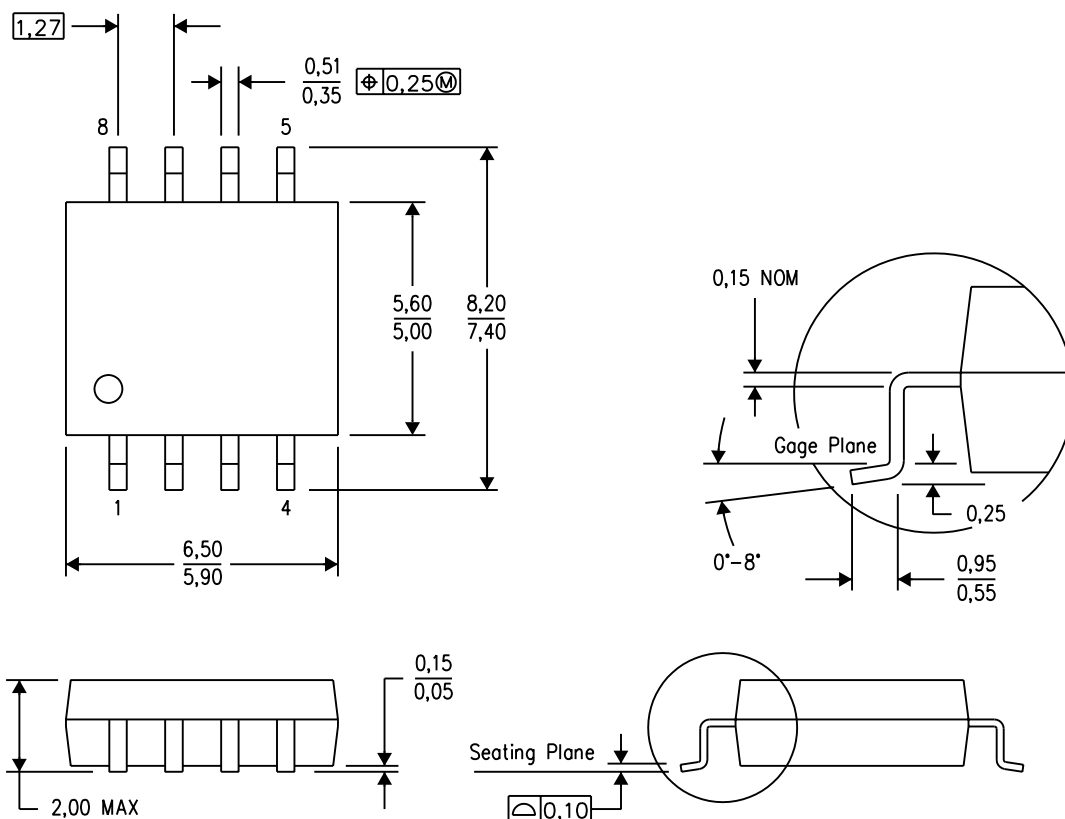
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

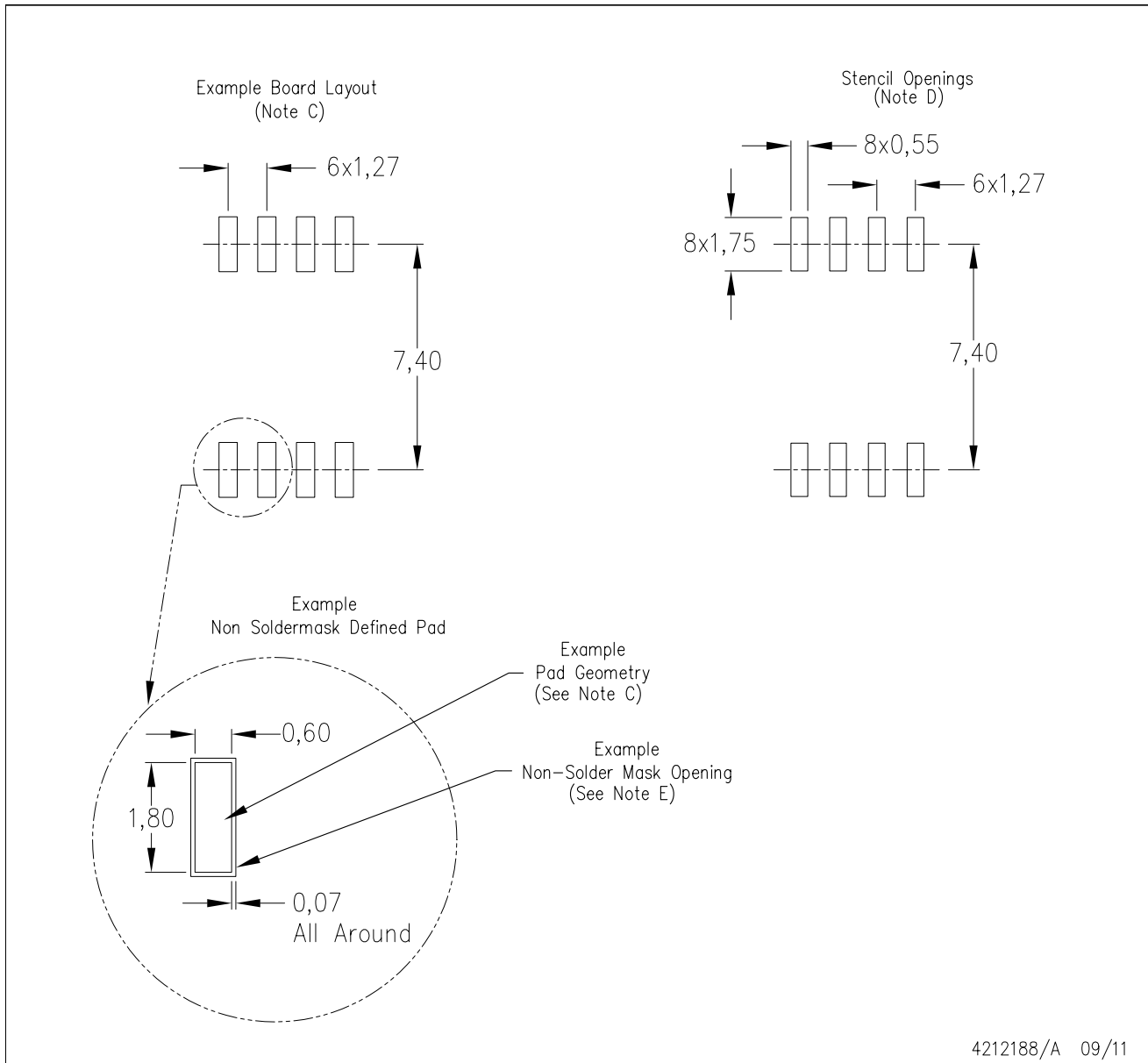


4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R-PDSO-G8)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

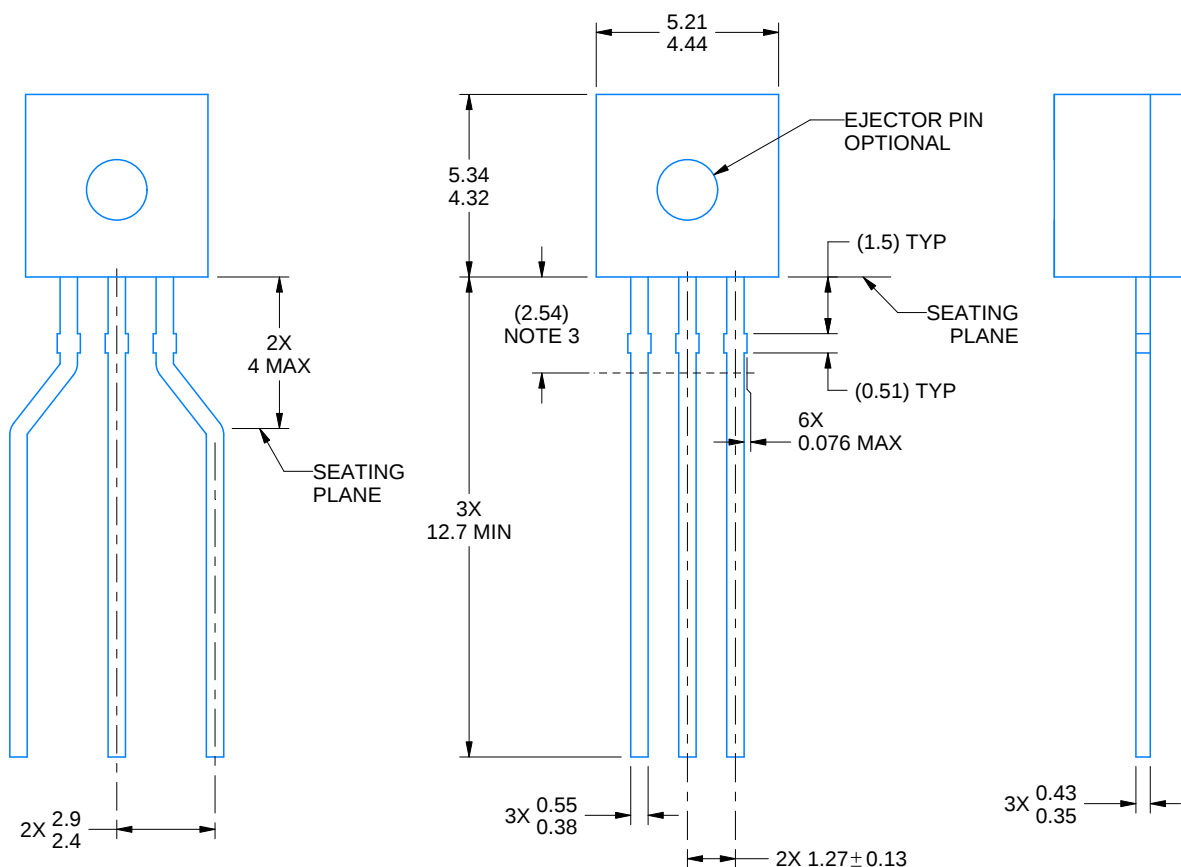
LP0003A



PACKAGE OUTLINE

TO-92 - 5.34 mm max height

TO-92



4215214/C 04/2025

NOTES:

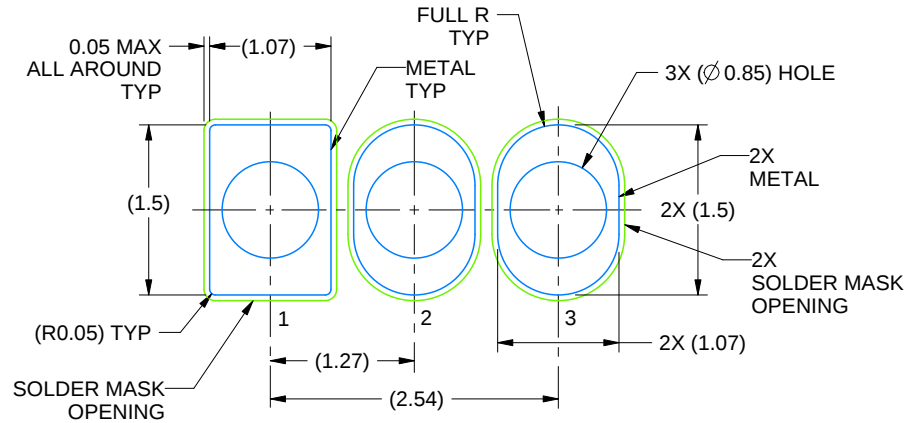
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
 - a. Straight lead option available in bulk pack only.
 - b. Formed lead option available in tape and reel or ammo pack.
 - c. Specific products can be offered in limited combinations of shipping medium and lead options.
 - d. Consult product folder for more information on available options.

EXAMPLE BOARD LAYOUT

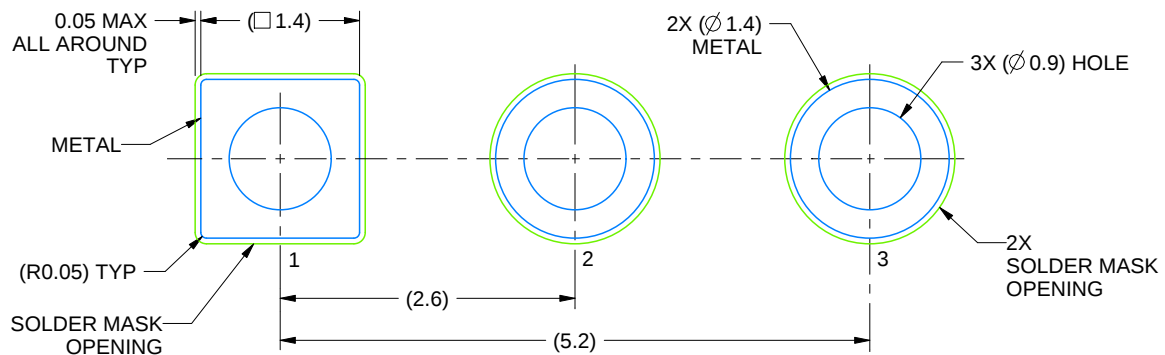
LP0003A

TO-92 - 5.34 mm max height

TO-92



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

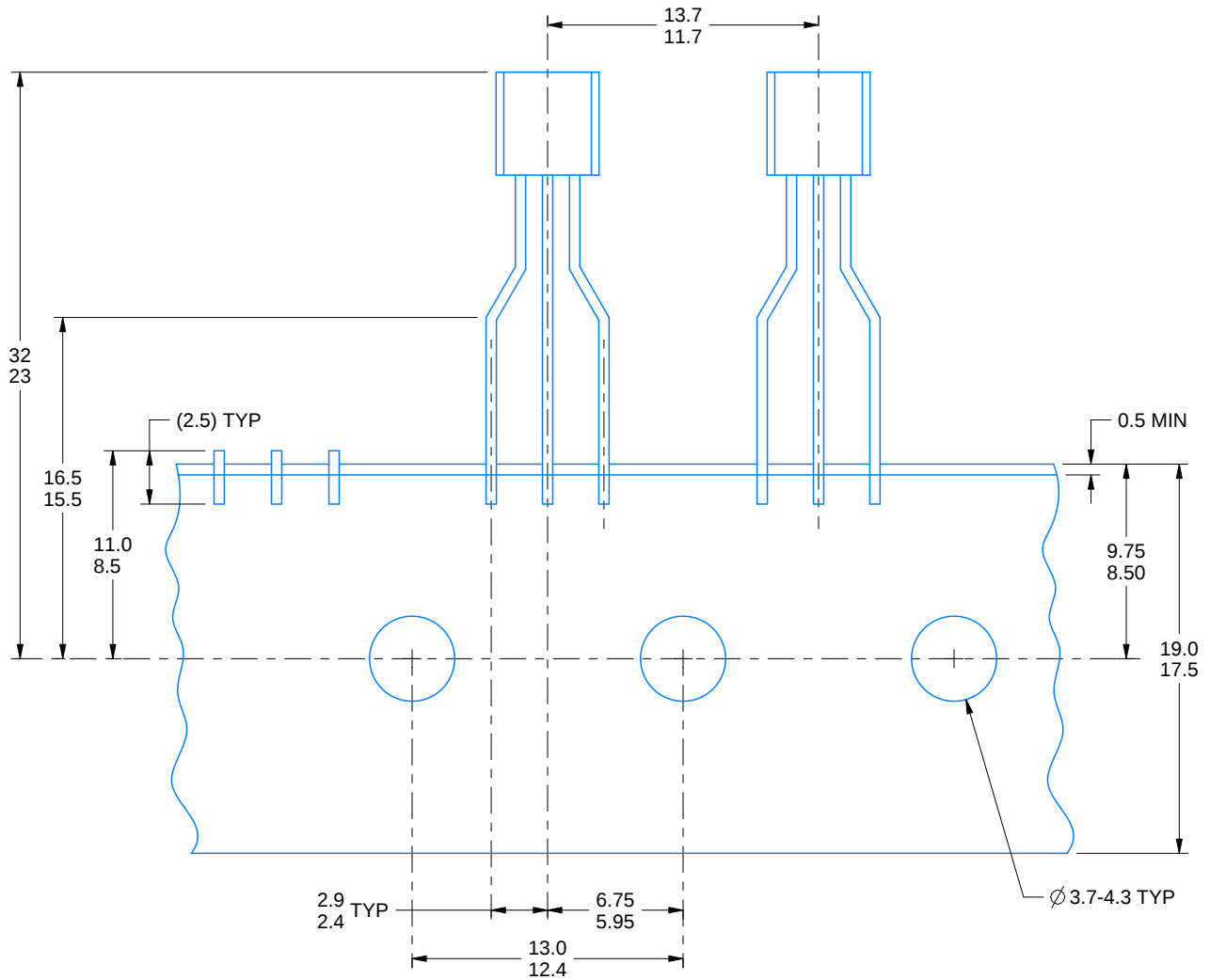
4215214/C 04/2025

TAPE SPECIFICATIONS

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

4215214/C 04/2025

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月