

## TMS320F28002x リアルタイム・マイコン

### 1 特長

- 100MHz の TMS320C28x 32 ビット DSP コア
  - IEEE 754 浮動小数点ユニット (FPU)
    - 高速整数除算 (FINTDIV) をサポート
  - 三角関数演算ユニット (TMU)
    - 非線形 PID (NLPID) 制御をサポート
  - CRC エンジンおよび命令 (VCRC)
  - 10 のハードウェア ブレークポイント (ERAD) による
- オンチップ メモリ
  - 128KB (64KW) のフラッシュ (ECC 保護)
  - 24KB (12KW) の RAM (ECC またはパリティ保護)
  - デュアルゾーン セキュリティ
- クロックおよびシステム制御
  - 2 つの内部ゼロピン 10MHz 発振器
  - 水晶発振器または外部クロック入力
  - ウィンドウ付きウォッチドッグ タイマ モジュール
  - クロック消失検出回路
  - デュアルクロック コンパレータ (DCC)
- 3.3V シングル電源
  - 内部 VREG 生成
  - ブラウンアウトリセット (BOR) 回路
- システム ペリフェラル
  - 6 チャネルのダイレクトメモリアクセス (DMA) コントローラ
  - 43 の個別にプログラム可能な多重化汎用入出力 (GPIO) ピン
  - アナログ ピン上の 16 のデジタル入力
  - 強化ペリフェラル割り込み拡張 (ePIE)
  - 多様な低消費電力モード (LPM) のサポート
  - リアルタイム解析および診断 (ERAD) を内蔵
  - 固有の識別 (UID) 番号
- 通信ペリフェラル
  - 1 つの電力管理バス (PMBus) インターフェイス
  - 2 つの I2C (Inter-integrated Circuit) インターフェイス
  - 1 つの CAN (Controller Area Network) バス ポート
  - 2 つのシリアル ペリフェラル インターフェイス (SPI) ポート
  - 1 つの UART 互換 SCI (Serial Communication Interface)
  - 2 つの UART 互換 LIN (Local Interconnect Network) インターフェイス
  - 1 つのトランシミッタおよび 1 つのレシーバを備えた 最大 200Mbps の高速シリアル インターフェイス (FSI)

- アナログ システム
  - 2 つの 3.45MSPS、12 ビットのアナログ / デジタル コンバータ (ADC)
    - 最大 16 の外部チャネル
    - ADC ごとに 4 つの後処理ブロック (PPB) を内蔵
  - 12 ビットリファレンス D/A コンバータ (DAC) を備えた
    - 4 つのウィンドウ付きコンパレータ (CMPSS)
      - デジタル グリッチ フィルタ
- 拡張制御ペリフェラル
  - 14 の ePWM チャネル、うち 8 チャネルが高分解能 (分解能 150ps)
    - デッドバンド サポートを内蔵
    - ハードウェアトリップ ゾーン (TZ) を内蔵
  - 3 つの拡張キャプチャ (eCAP) モジュール
    - 3 つの eCAP モジュールのうちの 1 つで高分解能キャプチャ (HRCAP) を利用可能
  - 2 つの拡張直交エンコーダ パルス (eQEP) モジュール、CW/CCW 動作モードをサポート
- 構成可能ロジック ブロック (CLB)
  - 既存のペリフェラル機能を強化
  - ポジション マネージャ ソリューションをサポート
- ホストインターフェイス コントローラ (HIC)
  - 外部ホストから内部メモリへのアクセス
- バックグラウンド CRC (BGCRC)
  - 32 ビットデータの 1 サイクル CRC 演算
- 診断機能
  - メモリパワー オン自己テスト (MPOST)
  - ハードウェア組み込み自己テスト (HWBIST)
- パッケージ オプション:
  - 80 ピンの薄型クワッド フラットパック (LQFP)  
[接尾辞 PN]
  - 64 ピンの LQFP [PM サフィックス]
  - 48 ピンの LQFP [PT サフィックス]
- 温度オプション:
  - S: -40°C ~ 125°C の接合部温度
  - Q: 自由気流で -40°C ~ 125°C  
(車載アプリケーション向け AEC Q100 認定)
- 機能安全品質管理
  - ISO 26262、IEC 61508、IEC 60730 システムの 設計を支援するドキュメントを使用可能



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 2 アプリケーション

- 家電製品
  - エアコン室外機
  - ビルオートメーション
    - ドア開閉装置ドライブの制御
- 産業用機械 & 工作機械
  - 自動仕分け機器
  - 繊維機械
- EV 充電インフラ
  - AC 充電(パイル)ステーション
  - DC 充電(パイル)ステーション
  - EV 充電ステーション向け電源モジュール
  - EV(電気自動車)ワイヤレス充電ステーション
- 再生可能エネルギーストレージ
  - エネルギー ストレージ電力変換システム(PCS)
- ソーラー エネルギー
  - セントラル インバータ
  - マイクロ インバータ
  - 太陽光発電オプティマイザ
  - ソーラー アーク保護
  - 緊急遮断機能
  - 電気メータ
  - ストリング インバータ
- ハイブリッド、電動 & パワートレイン システム
  - DC/DC コンバータ
  - インバータおよびモーター制御
  - オンボード チャージャ(OBC)およびワイヤレスチャージャ
  - 車載用ポンプ
  - 電動パワー ステアリング(EPS)

- ボディエレクトロニクス / 照明&
  - 車載用 HVAC(エアコン)コンプレッサ・モジュール
  - DC/AC インバータ
  - ヘッドライト
- AC インバータ & VF ドライブ
  - AC ドライブ制御モジュール
  - AC ドライブ位置フィードバック
  - AC ドライブ電力段モジュール
- リニア モーター輸送用システム
  - リニア モーターの電力段
- 単軸 & 多軸サーボ ドライブ
  - サーボ ドライブ位置フィードバック
  - サーボ ドライブの電力段モジュール
- 速度制御 BLDC ドライブ
  - AC 入力 BLDC モーター ドライブ
  - DC 入力 BLDC モーター ドライブ
- 産業用電源
  - 産業用 AC-DC
- UPS
  - 3相 UPS
  - 単相オンライン UPS
- テレコム & サーバー電源
  - 商用 DC/DC
  - 商用ネットワーク & サーバー PSU(電源)
  - 商用テレコム整流器

## 3 概要

TMS320F28002x(F28002x)は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートを含め、パワー エレクトロニクスの効率を向上させるように設計されたスケーラブルで超低レイテンシなデバイスである C2000™ リアルタイムマイコンファミリの製品です。

主なアプリケーションには以下が含まれます。

- 産業用モータードライブ
- モータ制御
- 太陽光インバータ
- デジタル電源
- 電気自動車および輸送
- センシングと信号処理

リアルタイム制御サブシステムは、テキサス・インスツルメンツの32ビットC28x DSPコアをベースにしており、オンチップフラッシュまたはSRAMから実行される浮動小数点または固定小数点コードに対して100MHzの信号処理性能を発揮します。C28x CPUは、三角関数演算ユニット(TMU)とVCRC(巡回冗長検査)拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。

F28002x リアルタイム マイクロコントローラ (MCU) に内蔵された高性能アナログ ブロックは、リアルタイム シグナル チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。14 個の PWM チャネルはすべて周波数に依存しない分解能モードをサポートしており、3 相インバータから高度なマルチレベル電源トポジまで、さまざまな電力段を制御できます。

構成可能ロジック ブロック (CLB) を内蔵しているため、ユーザーはカスタム ロジックを追加し、**FPGA** に類似した機能を C2000 リアルタイム マイコンに統合できます。

インターフェイスは、各種の業界標準通信ポート (SPI、SCI、I2C、PMBus、LIN、CAN など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。高速シリアル インターフェイス (FSI) を使用すると、絶縁境界越しに最高 200Mbps の堅牢な通信が可能です。

C2000 プラットフォームの新機能であるホスト インターフェイス コントローラ (HIC) は、外部ホストが TMS320F28002x のリソースに直接アクセスできるようにする高スループット インターフェイスです。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには? **『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』**をご覧いただくとともに、**C2000™ リアルタイム マイコン**のページにアクセスしてください。

**『C2000™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド**は、C2000 デバイスを使用する開発について、ハードウェアからサポートリソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。**TMDSCNCD280025C** 評価ボードをご覧になり、**C2000Ware** をダウンロードしてください。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>	本体サイズ
TMS320F280025	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280025-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280025C	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280025C-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280023	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280023-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280023C	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280021	PT (LQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F280021-Q1	PT (LQFP、48)	9mm × 9mm	7mm × 7mm

(1) 詳細については、「**メカニカル、パッケージ、および注文情報**」を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

### 製品情報

部品番号 (1)	構成可能ロジック ブロック (CLB)	フラッシュ サイズ
TMS320F280025C	2 タイル	128KB
TMS320F280025	-	
TMS320F280023C	2 タイル	64KB
TMS320F280023	-	
TMS320F280021	-	32KB

(1) これらのデバイスの詳細については、「[デバイスの比較](#)」の表を参照してください。

### 3.1 機能ブロック図

「機能ブロック図」に、CPU システムおよび関連ペリフェラルを示します。

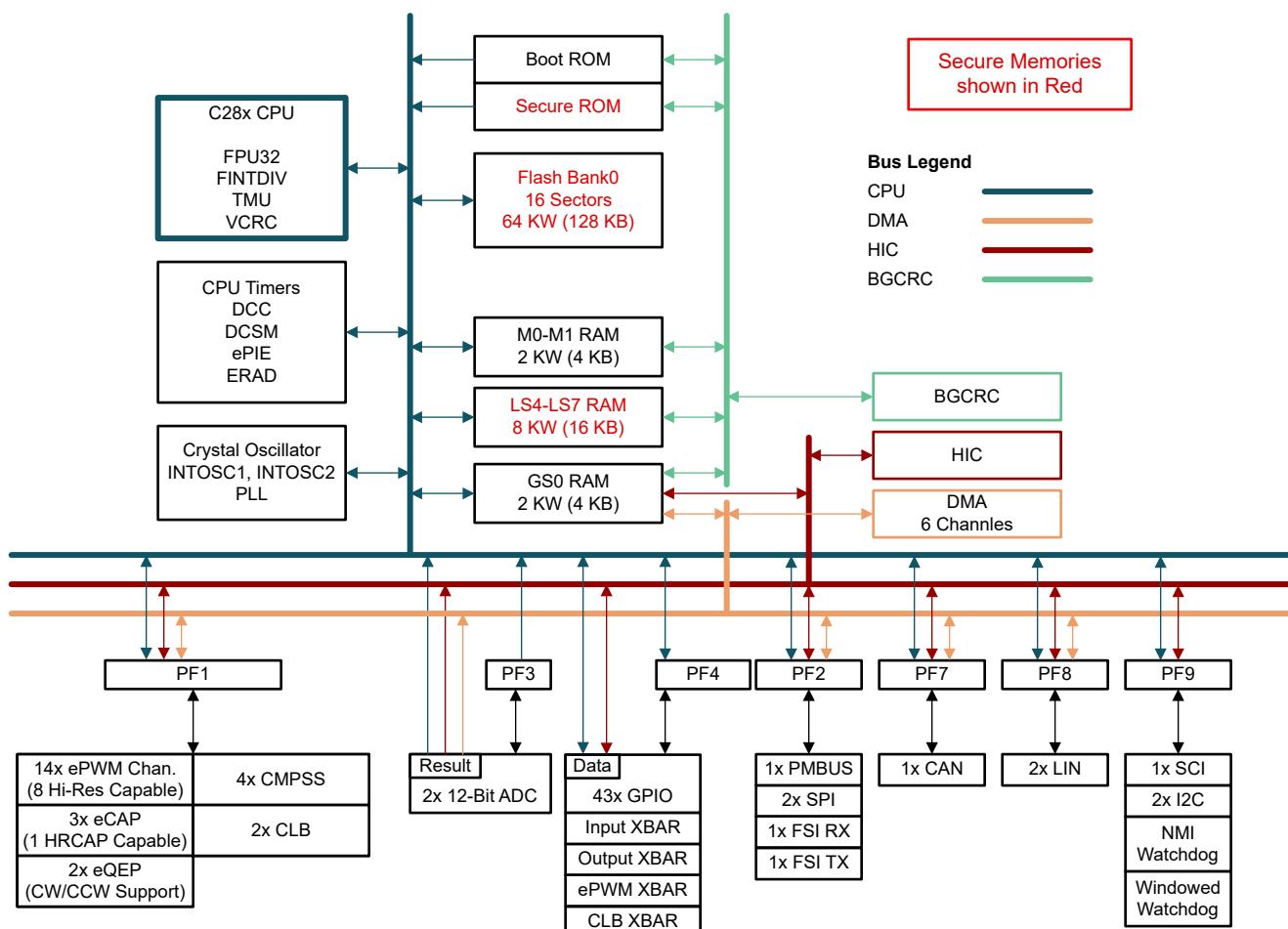


図 3-1. 機能ブロック図

## 目次

<b>1 特長</b>	1	7.2 機能ブロック図	178
<b>2 アプリケーション</b>	2	7.3 メモリ	179
<b>3 概要</b>	2	7.4 識別	185
3.1 機能ブロック図	5	7.5 バスアーキテクチャ – ペリフェラルコネクティビティ	186
<b>4 デバイスの比較</b>	7	7.6 C28x プロセッサ	187
4.1 関連製品	9	7.7 組み込みのリアルタイム解析および診断 (ERAD)	189
<b>5 端子構成および機能</b>	10	7.8 バックグラウンド CRC-32 (BGCRC)	189
5.1 ピン配置図	10	7.9 ダイレクトメモリアクセス (DMA)	190
5.2 ピン属性	13	7.10 デバイスブートモード	191
5.3 信号の説明	30	7.11 デュアルコードセキュリティモジュール	197
5.4 ピン多重化	43	7.12 ウオッチドッグ	198
5.5 内部プルアップおよびプルダウン付きのピン	50	7.13 C28x タイマ	199
5.6 未使用ピンの接続	51	7.14 デュアルクロックコンパレータ (DCC)	199
<b>6 仕様</b>	53	7.15 構成可能ロジックブロック (CLB)	201
6.1 絶対最大定格	53	<b>8 アプリケーション、実装、およびレイアウト</b>	203
6.2 ESD 定格 - 民生用	53	8.1 デバイスの主な特長	203
6.3 ESD 定格 - 車載用	54	8.2 アプリケーション情報	206
6.4 推奨動作条件	54	<b>9 デバイスおよびドキュメントのサポート</b>	222
電源電圧	55	9.1 入門と次のステップ	222
6.5 消費電力の概略	56	9.2 デバイスおよび開発ツールの命名規則	222
6.6 電気的特性	60	9.3 マーキング	223
6.7 PN パッケージの熱抵抗特性	61	9.4 ツールとソフトウェア	225
6.8 PM パッケージの熱抵抗特性	61	9.5 ドキュメントのサポート	227
6.9 PT パッケージの熱抵抗特性	62	9.6 サポートリソース	229
6.10 热設計の検討事項	62	9.7 商標	231
6.11 システム	63	9.8 静電気放電に関する注意事項	231
6.12 アナログペリフェラル	108	9.9 用語集	231
6.13 制御ペリフェラル	129	<b>10 改訂履歴</b>	231
6.14 通信ペリフェラル	144	<b>11 メカニカル、パッケージ、および注文情報</b>	233
<b>7 詳細説明</b>	177	11.1 パッケージ情報	233
7.1 概要	177		

## 4 デバイスの比較

表 4-1. デバイスの比較

特長 <sup>1</sup>	F280025 F280025-Q1 F280025C F280025C-Q1	F280023 F280023-Q1 F280023C	F280021 F280021-Q1
プロセッサおよびアクセラレータ			
C28x	周波数 (MHz)	100	
	FPU32	あり (高速整数除算の新しい命令を使用)	
	VCRC	あり	
	TMU – タイプ 1	あり (NLPIID をサポートする新しい命令を使用)	
	高速整数除算	あり	
DMA – タイプ 0		あり	
メモリ			
フラッシュ	128KB (64KW)	64KB (32KW)	32KB (16KW)
RAM	専用およびローカル共有 RAM	20KB (10KW)	
	グローバル共有 RAM	4KB (2KW)	
	RAM 合計	24KB (12KW)	
オンチップ フラッシュおよび RAM のコード セキュリティ		あり	
システム			
構成可能ロジック ブロック (CLB) <sup>2</sup>	(F280025C-2 タイ ル)	(F280023C-2 タイ ル)	-
32 ビット CPU タイマ		3	
ウォッチドッグ タイマ		1	
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		1	
水晶発振器 / 外部クロック入力		1	
0 ピン内部発振器		2	
GPIO ピン	80 ピン PN	43	
	64 ピン PM	30	
	48 ピン PT	20	
	追加 GPIO	4 (cJTAG を使用する場合は TDI と TDO は GPIO として使用可能、INTOSC をクロック ソースとして使用する場合は X1 と X2 を GPIO として使用可能) 注:これら 4 つの GPIO を上記の数に含む。	
AIO 入力	80 ピン PN	16	
	64 ピン PM	16	
	48 ピン PT	14	
外部入力		5	
アナログ ペリフェラル			
ADC 12 ビット	ADC の数	2	
	MSPS	3.45	
	変換時間 (ns) <sup>3</sup>	290	
ADC チャネル (シングルエンド)	80 ピン PN	16	
	64 ピン PM	16	
	48 ピン PT	14	
温度センサ		1	

表 4-1. デバイスの比較 (続き)

特長 <sup>1</sup>	F280025 F280025-Q1 F280025C F280025C-Q1	F280023 F280023-Q1 F280023C	F280021 F280021-Q1
CMPSS (それぞれが 2 つのコンパレータと 2 つの内部 DAC を備えています。)		4	

**表 4-1. デバイスの比較 (続き)**

特長 <sup>1</sup>	F280025 F280025-Q1 F280025C F280025C-Q1	F280023 F280023-Q1 F280023C	F280021 F280021-Q1	
<b>制御ペリフェラル<sup>4</sup></b>				
eCAP/HRCAP モジュール – タイプ 1	3 (1 つは eCAP3 に HRCAP 機能あり)			
ePWM/HRPWM チャネル – タイプ 4	14 (8 つは ePWM1~PWM4 に HRPWM 機能あり)			
eQEP モジュール – タイプ 2	2			
<b>通信ペリフェラル<sup>4</sup></b>				
CAN – タイプ 0	1			
I2C – タイプ 1	2			
SCI – タイプ 0 (UART 互換)	1			
SPI – タイプ 2	2			
LIN – タイプ 1 (UART 互換)	2			
PMBus – タイプ 0	1			
FSI – タイプ 1	1 (1 個の RX と 1 個の TX)			
<b>パッケージ、温度、認定オプション</b>				
S: -40°C~125°C (T <sub>J</sub> )	80 ピン PN	F280025 F280025C	F280023 F280023C	-
	64 ピン PM			-
	48 ピン PT			F280021
Q: -40~125°C (T <sub>A</sub> ) <sup>5</sup>	80 ピン PN	F280025-Q1 F280025C-Q1	F280023-Q1	-
	64 ピン PM			-
	48 ピン PT			F280021-Q1

- (1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。
- (2) C デバイスは ROM 内に追加のモーター制御ライブラリを格納しています。詳細は [テキサス・インスツルメンツまでお問い合わせください](#)。
- (3) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
- (4) 複数のパッケージで供給されるデバイスの場合、パッケージが小さいほどデバイスのピン数が少ないため、小型パッケージに記載されているペリフェラル数が減少します。デバイスに内部的に存在するペリフェラルの数は、その型番で提供される最大のパッケージに比べて減少しません。
- (5) Q という文字は、車載アプリケーション向けの AEC Q100 認定を表します。

## 4.1 関連製品

### TMS320F2803x リアルタイム マイクロコントローラ

F2803x シリーズは、ピン数とメモリ サイズについて、より広範な選択肢を提供します。F2803x シリーズでは、パラレル制御補償器アクセラレータ (CLA) オプションも採り入れています。

### TMS320F2807x リアルタイム マイクロコントローラ

F2807x シリーズは、最高の性能、最大のピン数、フラッシュ メモリ サイズ、ペリフェラルの選択肢を提供します。F2807x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ テクノロジーが搭載されています。

### TMS320F28004x リアルタイム マイクロコントローラ

F28004x シリーズは、最新世代の拡張機能を備えた F2807x シリーズの縮小版です。

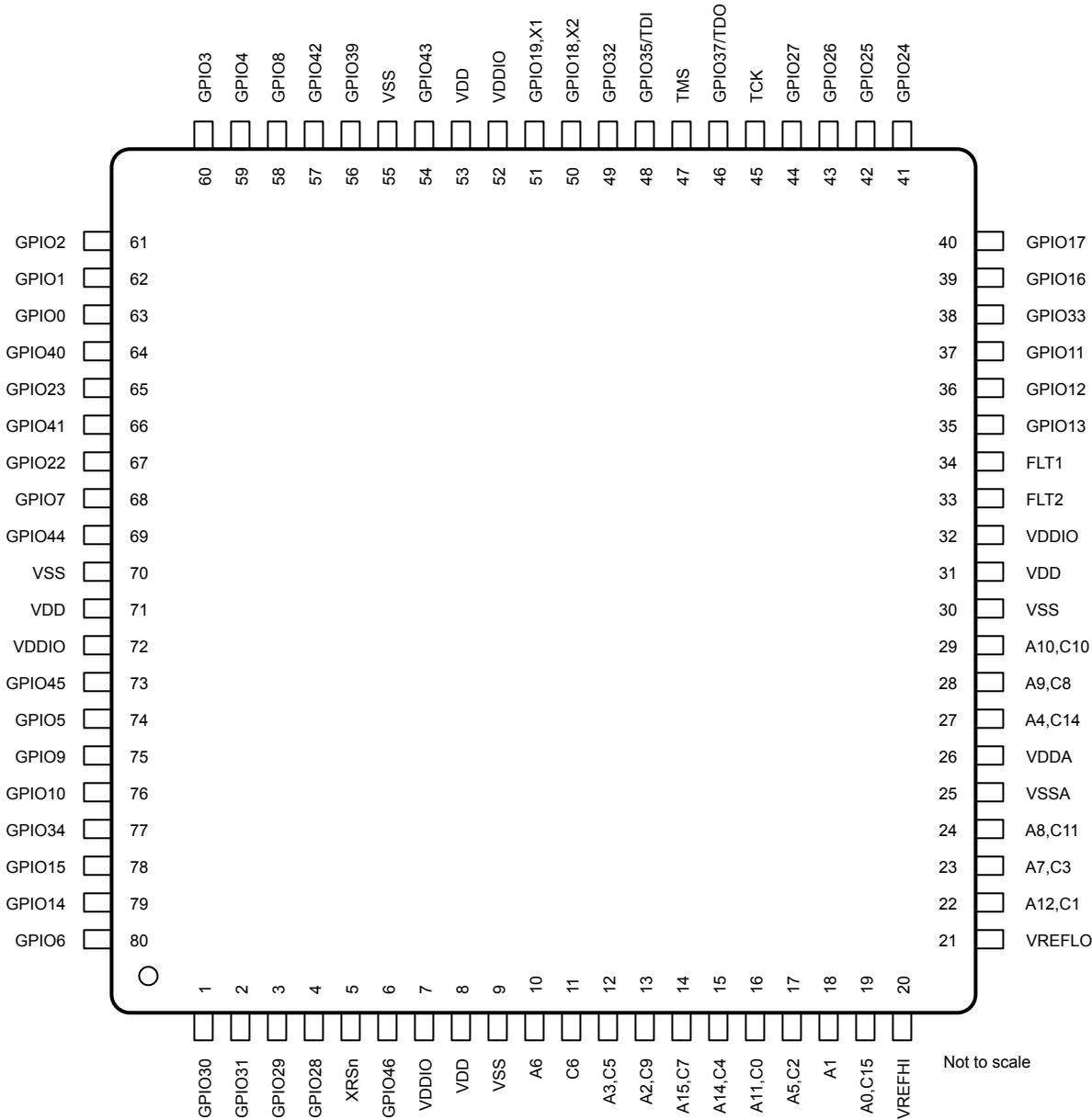
### TMS320F2838x リアルタイム マイコン

F2838x シリーズは、より高い性能、より多くのピン数、フラッシュ メモリ サイズ、ペリフェラル、および幅広い接続オプションを提供します。F2838x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ テクノロジーが搭載されています。コンフィギュラブル ロジック ブロック (CLB) バージョンが利用可能です。

## 5 端子構成および機能

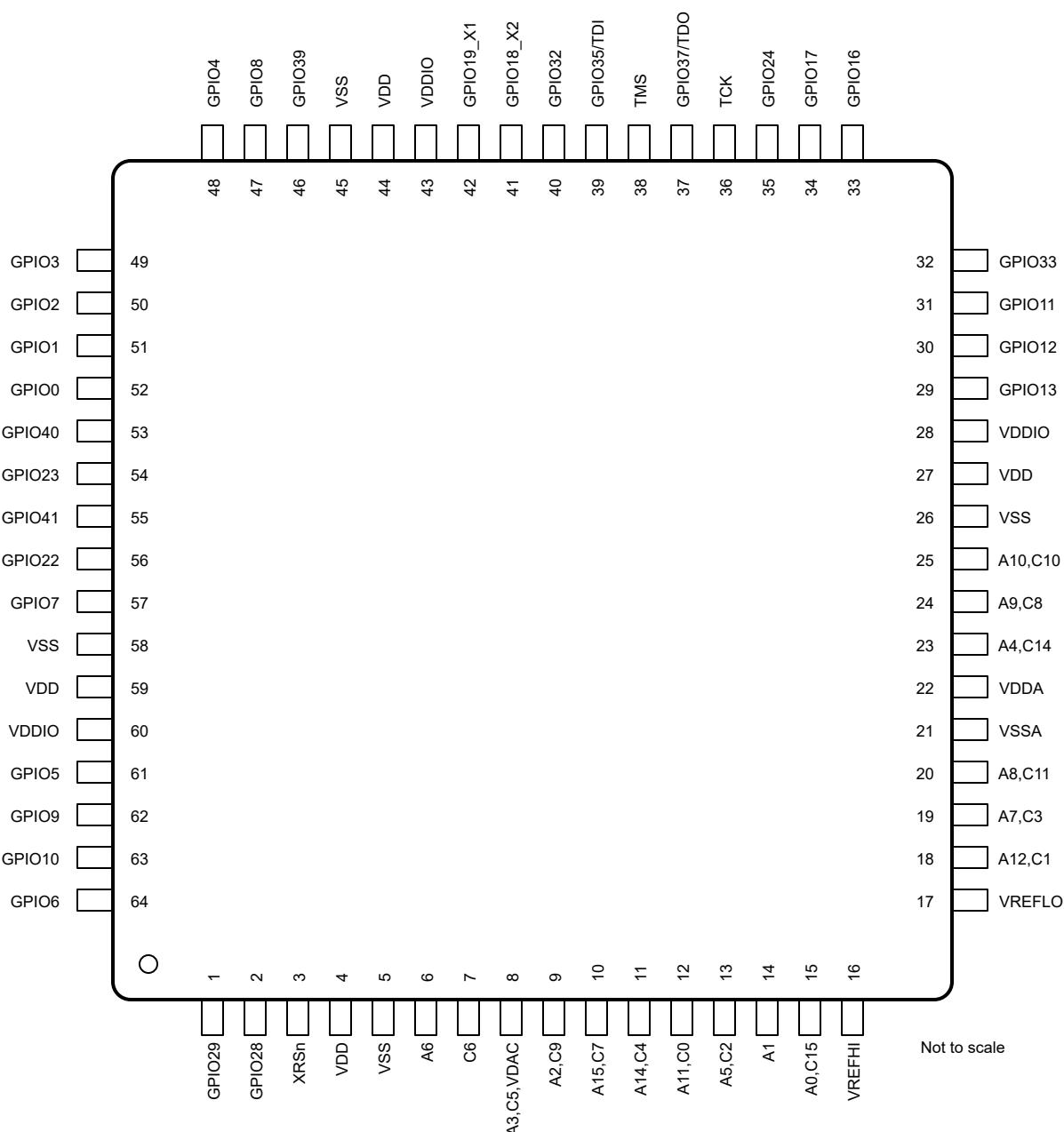
### 5.1 ピン配置図

図 1-1 に、80 ピン PN 薄型クワッド フラットパックのピン配置を示します (Q 温度)。図 1-1 に、64 ピン PM 薄型クワッド フラットパックのピン配置を示します。図 1-1 に、48 ピン PT 薄型クワッド フラットパックのピン配置を示します。



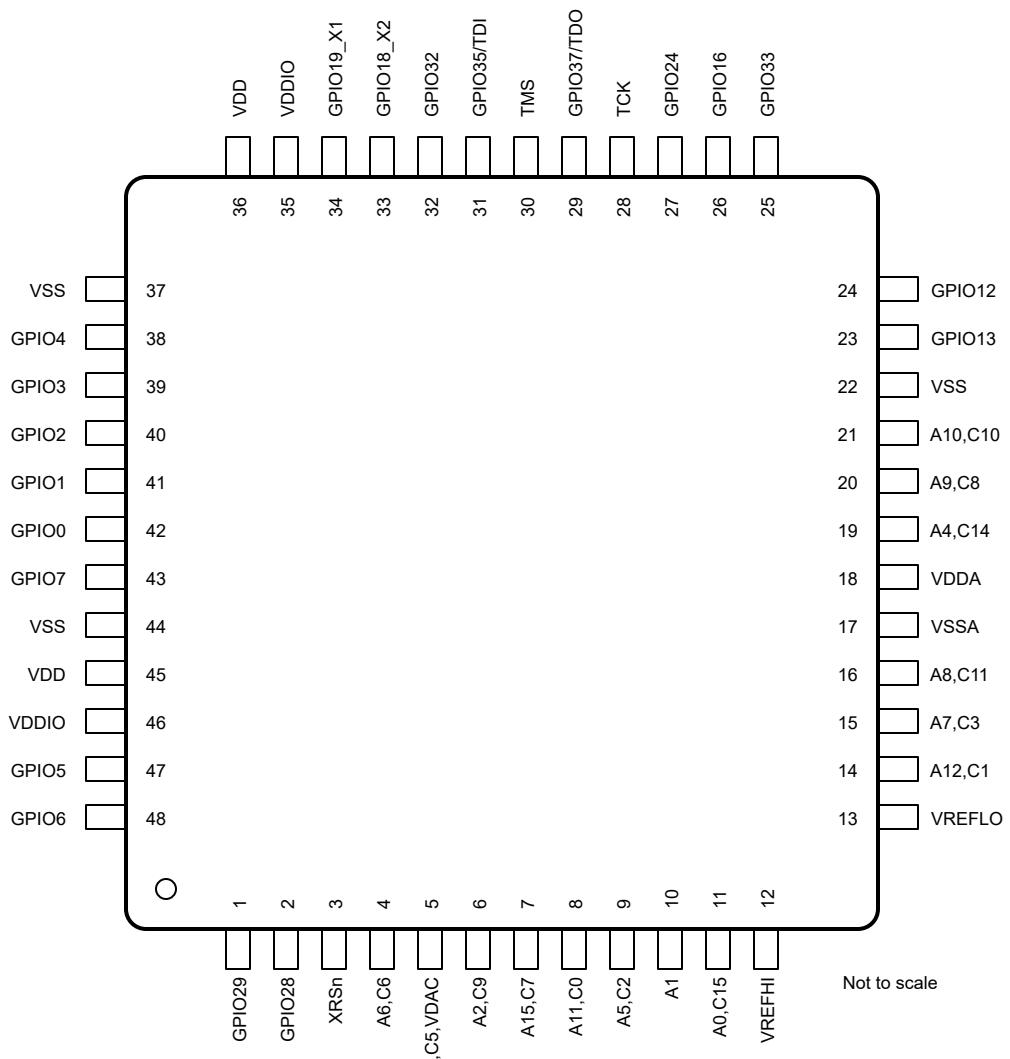
A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、表 5-1 を参照してください。

図 5-1. 80 ピン PN 薄型クワッド フラットパック (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、表 5-1 を参照してください。

**図 5-2. 64 ピン PM 薄型クワッド フラットパック (上面図)**



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、表 5-1 を参照してください。

**図 5-3. 48 ピン PT 薄型クワッド フラットパック (上面図)**

## 5.2 ピン属性

**表 5-1. ピン属性**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
アナログ						
A0						ADC-A 入力 0
C15						ADC-C 入力 15
CMP3_HP2		19	15	11		CMPSS-3 ハイ コンパレータ正入力 2
CMP3_LP2						CMPSS-3 ロー コンパレータ正入力 2
AIO231	0, 4, 8, 12					デジタル入力 231 に使用されるアナログ ピン
HIC_BASESEL1	15					HIC ベース アドレス範囲選択 1
A1						アナログ入力
CMP1_HP4						CMPSS-1 ハイ コンパレータ正入力 4
CMP1_LP4		18	14	10		CMPSS-1 ロー コンパレータ正入力 4
AIO232	0, 4, 8, 12					デジタル入力 232 に使用されるアナログ ピン
HIC_BASESEL0	15					HIC ベース アドレス範囲選択 0
A10						ADC-A 入力 10
C10						ADC-C 入力 10
CMP2_HP3						CMPSS-2 ハイ コンパレータ正入力 3
CMP2_HN0		29	25	21		CMPSS-2 ハイ コンパレータ負入力 0
CMP2_LP3						CMPSS-2 ロー コンパレータ正入力 3
CMP2_LN0						CMPSS-2 ロー コンパレータ負入力 0
AIO230	0, 4, 8, 12					デジタル入力 230 に使用されるアナログ ピン
HIC_BASESEL2	15					HIC ベース アドレス範囲選択 2
A11						ADC-A 入力 11
C0						ADC-C 入力 0
CMP1_HP1						CMPSS-1 ハイ コンパレータ正入力 1
CMP1_HN1		16	12	8		CMPSS-1 ハイ コンパレータ負入力 1
CMP1_LP1						CMPSS-1 ロー コンパレータ正入力 1
CMP1_LN1						CMPSS-1 ロー コンパレータ負入力 1
AIO237	0, 4, 8, 12					デジタル入力 237 に使用されるアナログ ピン
HIC_A6	15					HIC アドレス 6
A12						ADC-A 入力 12
C1						ADC-C 入力 1
CMP2_HP1						CMPSS-2 ハイ コンパレータ正入力 1
CMP4_HP2						CMPSS-4 ハイ コンパレータ正入力 2
CMP2_HN1		22	18	14		CMPSS-2 ハイ コンパレータ負入力 1
CMP2_LP1						CMPSS-2 ロー コンパレータ正入力 1
CMP4_LP2						CMPSS-4 ロー コンパレータ正入力 2
CMP2_LN1						CMPSS-2 ロー コンパレータ負入力 1
AIO238	0, 4, 8, 12					デジタル入力 238 に使用されるアナログ ピン
HIC_NCS	15					HIC チップ セレクト

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
A14						ADC-A 入力 14
C4						ADC-C 入力 4
CMP3_HP4		15	11			CMPSS-3 ハイ コンパレータ正入力 4
CMP3_LP4						CMPSS-3 ロー コンパレータ正入力 4
AIO239	0, 4, 8, 12					デジタル入力 239 に使用されるアナログ ピン
HIC_A5	15					HIC アドレス 5
A15						ADC-A 入力 15
C7						ADC-C 入力 7
CMP1_HP3		14	10	7		CMPSS-1 ハイ コンパレータ正入力 3
CMP1_HN0						CMPSS-1 ハイ コンパレータ負入力 0
CMP1_LP3						CMPSS-1 ロー コンパレータ正入力 3
CMP1_LN0						CMPSS-1 ロー コンパレータ負入力 0
AIO233	0, 4, 8, 12					デジタル入力 233 に使用されるアナログ ピン
HIC_A4	15					HIC アドレス 4
A2						ADC-A 入力 2
C9						ADC-C 入力 9
CMP1_HP0		13	9	6		CMPSS-1 ハイ コンパレータ正入力 0
CMP1_LP0						CMPSS-1 ロー コンパレータ正入力 0
AIO224	0, 4, 8, 12					デジタル入力 224 に使用されるアナログ ピン
HIC_A3	15					HIC アドレス 3
A3						ADC-A 入力 3
C5						ADC-C 入力 5
VDAC		12	8	5		オンチップ CMPSS DAC の外部リファレンス電圧 (オプション)。ADC 入力と CMPSS DAC リファレンスのどちらに使用する場合でも、このピンと VSSA の間には、無効化できない内部コンデンサが存在しています。このピンを CMPSS DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1μF のコンデンサを配置します。
CMP3_HP3						CMPSS-3 ハイ コンパレータ正入力 3
CMP3_HN0						CMPSS-3 ハイ コンパレータ負入力 0
CMP3_LP3						CMPSS-3 ロー コンパレータ正入力 3
CMP3_LN0						CMPSS-3 ロー コンパレータ負入力 0
AIO242	0, 4, 8, 12					デジタル入力 242 に使用されるアナログ ピン
HIC_A2	15					HIC アドレス 2
A4						ADC-A 入力 4
C14						ADC-C 入力 14
CMP2_HP0						CMPSS-2 ハイ コンパレータ正入力 0
CMP4_HP3		27	23	19		CMPSS-4 ハイ コンパレータ正入力 3
CMP4_HN0						CMPSS-4 ハイ コンパレータ負入力 0
CMP2_LP0						CMPSS-2 ロー コンパレータ正入力 0
CMP4_LP3						CMPSS-4 ロー コンパレータ正入力 3
CMP4_LN0						CMPSS-4 ロー コンパレータ負入力 0
AIO225	0, 4, 8, 12					デジタル入力 225 に使用されるアナログ ピン
HIC_NWE	15					HIC データ書き込みイネーブル

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
A5						ADC-A 入力 5
C2						ADC-C 入力 2
CMP3_HP1						CMPSS-3 ハイ コンパレータ正入力 1
CMP3_HN1		17	13	9		CMPSS-3 ハイ コンパレータ負入力 1
CMP3_LP1						CMPSS-3 ロー コンパレータ正入力 1
CMP3_LN1						CMPSS-3 ロー コンパレータ負入力 1
AIO244	0, 4, 8, 12					デジタル入力 244 に使用されるアナログ ピン
HIC_A7	15					HIC アドレス 7
A6						アナログ入力
CMP1_HP2						CMPSS-1 ハイ コンパレータ正入力 2
CMP1_LP2		10	6	4		CMPSS-1 ロー コンパレータ正入力 2
AIO228	0, 4, 8, 12					デジタル入力 228 に使用されるアナログ ピン
HIC_A0	15					HIC アドレス 0
A7						ADC-A 入力 7
C3						ADC-C 入力 3
CMP4_HP1						CMPSS-4 ハイ コンパレータ正入力 1
CMP4_HN1		23	19	15		CMPSS-4 ハイ コンパレータ負入力 1
CMP4_LP1						CMPSS-4 ロー コンパレータ正入力 1
CMP4_LN1						CMPSS-4 ロー コンパレータ負入力 1
AIO245	0, 4, 8, 12					デジタル入力 245 に使用されるアナログ ピン
HIC_NOE	15				O	HIC 出力イネーブル
A8						ADC-A 入力 8
C11						ADC-C 入力 11
CMP2_HP4						CMPSS-2 ハイ コンパレータ正入力 4
CMP4_HP4		24	20	16		CMPSS-4 ハイ コンパレータ正入力 4
CMP2_LP4						CMPSS-2 ロー コンパレータ正入力 4
CMP4_LP4						CMPSS-4 ロー コンパレータ正入力 4
AIO241	0, 4, 8, 12					デジタル入力 241 に使用されるアナログ ピン
HIC_NBE1	15					HIC バイト イネーブル 1
A9						ADC-A 入力 9
C8						ADC-C 入力 8
CMP2_HP2						CMPSS-2 ハイ コンパレータ正入力 2
CMP4_HP0		28	24	20		CMPSS-4 ハイ コンパレータ正入力 0
CMP2_LP2						CMPSS-2 ロー コンパレータ正入力 2
CMP4_LP0						CMPSS-4 ロー コンパレータ正入力 0
AIO227	0, 4, 8, 12					デジタル入力 227 に使用されるアナログ ピン
HIC_NBE0	15					HIC バイト イネーブル 0
C6						アナログ入力
CMP3_HP0						CMPSS-3 ハイ コンパレータ正入力 0
CMP3_LP0		11	7	4		CMPSS-3 ロー コンパレータ正入力 0
AIO226	0, 4, 8, 12					デジタル入力 226 に使用されるアナログ ピン
HIC_A1	15					HIC アドレス 1

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
VREFHI		20	16	12	I	ADC の高いリファレンス電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、 $2.2\mu F$ 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。
VREFLO		21	17	13	I	ADC の低いリファレンス電圧

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
<b>GPIO</b>						
GPIO0	0, 4, 8, 12				I/O	汎用入出力 0
EPWM1_A	1				O	ePWM-1 出力 A
I2CA_SDA	6				I/OD	I2C-A オープンドレイン双方向データ
SPIA_STE	7	63	52	42	I/O	SPI-A スレーブ送信イネーブル (STE)
FSIRXA_CLK	9				I	FSIRX-A 入力クロック
CLB_OUTPUTXBAR8	11				O	CLB 出力クロスバー出力 8
HIC_BASESEL1	15				I	HIC ベース アドレス範囲選択 1
GPIO1	0, 4, 8, 12				I/O	汎用入出力 1
EPWM1_B	1				O	ePWM-1 出力 B
I2CA_SCL	6				I/OD	I2C-A オープンドレイン双方向クロック
SPIA_SOMI	7	62	51	41	I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CLB_OUTPUTXBAR7	11				O	CLB 出力クロスバー出力 7
HIC_A2	13				I	HIC アドレス 2
FSITXA_TDM_D1	14				I	FSITX-A 時間分割マルチプレクス データ追加入力
HIC_D10	15				I/O	HIC データ 10
GPIO2	0, 4, 8, 12				I/O	汎用入出力 2
EPWM2_A	1				O	ePWM-2 出力 A
OUTPUTXBAR1	5				O	出力クロスバー出力 1
PMBUSA_SDA	6				I/OD	PMBus-A オープンドレイン双方向データ
SPIA_SIMO	7	61	50	40	I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
SCIA_TX	9				O	SCI-A 送信データ
FSIRXA_D1	10				I	FSIRX-A データ入力 1
I2CB_SDA	11				I/OD	I2C-B オープンドレイン双方向データ
HIC_A1	13				I	HIC アドレス 1
CANA_TX	14				O	CAN-A 送信
HIC_D9	15				I/O	HIC データ 9
GPIO3	0, 4, 8, 12				I/O	汎用入出力 3
EPWM2_B	1				O	ePWM-2 出力 B
OUTPUTXBAR2	2, 5				O	出力クロスバー出力 2
PMBUSA_SCL	6				I/OD	PMBus-A オープンドレイン双方向クロック
SPIA_CLK	7	60	49	39	I/O	SPI-A クロック
SCIA_RX	9				I	SCI-A 受信データ
FSIRXA_D0	10				I	FSIRX-A データ入力 0
I2CB_SCL	11				I/OD	I2C-B オープンドレイン双方向クロック
HIC_NOE	13				O	HIC 出力イネーブル
CANA_RX	14				I	CAN-A 受信
HIC_D4	15				I/O	HIC データ 4

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO4	0, 4, 8, 12				I/O	汎用入出力 4
EPWM3_A	1				O	ePWM-3 出力 A
OUTPUTXBAR3	5				O	出力クロスバー出力 3
CANA_TX	6				O	CAN-A 送信
SPIB_CLK	7	59	48	38	I/O	SPI-B クロック
EQEP2_STROBE	9				I/O	eQEP-2 ストローブ
FSIRXA_CLK	10				I	FSIRX-A 入力クロック
CLB_OUTPUTXBAR6	11				O	CLB 出力クロスバー出力 6
HIC_BASESEL2	13				I	HIC ベース アドレス範囲選択 2
HIC_NWE	15				I	HIC データ書き込みイネーブル
GPIO5	0, 4, 8, 12				I/O	汎用入出力 5
EPWM3_B	1				O	ePWM-3 出力 B
OUTPUTXBAR3	3				O	出力クロスバー出力 3
CANA_RX	6				I	CAN-A 受信
SPIA_STE	7	74	61	47	I/O	SPI-A スレーブ送信イネーブル (STE)
FSITXA_D1	9				O	FSITX-A データ出力 1
CLB_OUTPUTXBAR5	10				O	CLB 出力クロスバー出力 5
HIC_A7	13				I	HIC アドレス 7
HIC_D4	14				I/O	HIC データ 4
HIC_D15	15				I/O	HIC データ 15
GPIO6	0, 4, 8, 12				I/O	汎用入出力 6
EPWM4_A	1				O	ePWM-4 出力 A
OUTPUTXBAR4	2				O	出力クロスバー出力 4
SYNCOUT	3				O	外部 ePWM 同期パルス
EQEP1_A	5				I	eQEP-1 入力 A
SPIB_SOMI	7	80	64	48	I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
FSITXA_D0	9				O	FSITX-A データ出力 0
FSITXA_D1	11				O	FSITX-A データ出力 1
HIC_NBE1	13				I	HIC バイト イネーブル 1
CLB_OUTPUTXBAR8	14				O	CLB 出力クロスバー出力 8
HIC_D14	15				I/O	HIC データ 14
GPIO7	0, 4, 8, 12				I/O	汎用入出力 7
EPWM4_B	1				O	ePWM-4 出力 B
OUTPUTXBAR5	3				O	出力クロスバー出力 5
EQEP1_B	5				I	eQEP-1 入力 B
SPIB_SIMO	7	68	57	43	I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
FSITXA_CLK	9				O	FSITX-A 出力クロック
CLB_OUTPUTXBAR2	10				O	CLB 出力クロスバー出力 2
HIC_A6	13				I	HIC アドレス 6
HIC_D14	15				I/O	HIC データ 14

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO8	0, 4, 8, 12				I/O	汎用入出力 8
EPWM5_A	1				O	ePWM-5 出力 A
ADCSOCDAO	3				O	外部 ADC 用の ADC 変換開始 A
EQEP1_STROBE	5				I/O	eQEP-1 ストローブ
SCIA_TX	6				O	SCI-A 送信データ
SPIA_SIMO	7				I/O	SPI-A スレーブ入力、マスター出力 (SIMO)
I2CA_SCL	9				I/OD	I2C-A オープンドレイン双方向クロック
FSITXA_D1	10				O	FSITX-A データ出力 1
CLB_OUTPUTXBAR5	11				O	CLB 出力クロスバー出力 5
HIC_A0	13				I	HIC アドレス 0
FSITXA_TDM_CLK	14				I	FSITX-A 時分割マルチプレクス クロック入力
HIC_D8	15				I/O	HIC データ 8
GPIO9	0, 4, 8, 12				I/O	汎用入出力 9
EPWM5_B	1				O	ePWM-5 出力 B
OUTPUTXBAR6	3				O	出力クロスバー出力 6
EQEP1_INDEX	5				I/O	eQEP-1 インデックス
SCIA_RX	6				I	SCI-A 受信データ
SPIA_CLK	7	75		62	I/O	SPI-A クロック
FSITXA_D0	10				O	FSITX-A データ出力 0
LINB_RX	11				I	LIN-B 受信
HIC_BASESEL0	13				I	HIC ベース アドレス範囲選択 0
I2CB_SCL	14				I/OD	I2C-B オープンドレイン双方向クロック
HIC_NRDY	15				O	HIC 準備完了
GPIO10	0, 4, 8, 12				I/O	汎用入出力 10
EPWM6_A	1				O	ePWM-6 出力 A
ADCSOCBO	3				O	外部 ADC 用の ADC 変換開始 B
EQEP1_A	5				I	eQEP-1 入力 A
SPIA_SOMI	7				I/O	SPI-A スレーブ出力、マスター入力 (SOMI)
I2CA_SDA	9				I/OD	I2C-A オープンドレイン双方向データ
FSITXA_CLK	10				O	FSITX-A 出力クロック
LINB_TX	11				O	LIN-B 送信
HIC_NWE	13				I	HIC データ書き込みイネーブル
FSITXA_TDM_D0	14				I	FSITX-A 時分割マルチプレクス データ入力

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO11	0, 4, 8, 12				I/O	汎用入出力 11
EPWM6_B	1				O	ePWM-6 出力 B
OUTPUTXBAR7	3				O	出力クロスバー出力 7
EQEP1_B	5				I	eQEP-1 入力 B
SPIA_STE	7				I/O	SPI-A スレーブ送信イネーブル (STE)
FSIRXA_D1	9	37	31		I	FSIRX-A データ入力 1
LINB_RX	10				I	LIN-B 受信
EQEP2_A	11				I	eQEP-2 入力 A
SPIA_SIMO	13				I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
HIC_D6	14				I/O	HIC データ 6
HIC_NBE0	15				I	HIC バイトイネーブル 0
GPIO12	0, 4, 8, 12				I/O	汎用入出力 12
EPWM7_A	1				O	ePWM-7 出力 A
EQEP1_STROBE	5				I/O	eQEP-1 ストローブ
PMBUSA_CTL	7				I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
FSIRXA_D0	9	36	30	24	I	FSIRX-A データ入力 0
LINB_TX	10				O	LIN-B 送信
SPIA_CLK	11				I/O	SPI-A クロック
CANA_RX	13				I	CAN-A 受信
HIC_D13	14				I/O	HIC データ 13
HIC_INT	15				O	HIC デバイス割り込み
GPIO13	0, 4, 8, 12				I/O	汎用入出力 13
EPWM7_B	1				O	ePWM-7 出力 B
EQEP1_INDEX	5				I/O	eQEP-1 インデックス
PMBUSA_ALERT	7				I/OD	PMBus-A オープンドレイン双方向アラート
FSIRXA_CLK	9	35	29	23	I	FSIRX-A 入力クロック
LINB_RX	10				I	LIN-B 受信
SPIA_SOMI	11				I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CANA_TX	13				O	CAN-A 送信
HIC_D11	14				I/O	HIC データ 11
HIC_D5	15				I/O	HIC データ 5
GPIO14	0, 4, 8, 12				I/O	汎用入出力 14
I2CB_SDA	5				I/OD	I2C-B オープンドレイン双方向データ
OUTPUTXBAR3	6				O	出力クロスバー出力 3
PMBUSA_SDA	7				I/OD	PMBus-A オープンドレイン双方向データ
SPIB_CLK	9	79			I/O	SPI-B クロック
EQEP2_A	10				I	eQEP-2 入力 A
LINB_TX	11				O	LIN-B 送信
EPWM3_A	13				O	ePWM-3 出力 A
CLB_OUTPUTXBAR7	14				O	CLB 出力クロスバー出力 7
HIC_D15	15				I/O	HIC データ 15

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO15	0, 4, 8, 12				I/O	汎用入出力 15
I2CB_SCL	5				I/OD	I2C-B オープンドレイン双方向クロック
OUTPUTXBAR4	6				O	出力クロスバー出力 4
PMBUSA_SCL	7				I/OD	PMBus-A オープンドレイン双方向クロック
SPIB_STE	9	78			I/O	SPI-B スレーブ送信イネーブル (STE)
EQEP2_B	10				I	eQEP-2 入力 B
LINB_RX	11				I	LIN-B 受信
EPWM3_B	13				O	ePWM-3 出力 B
CLB_OUTPUTXBAR6	14				O	CLB 出力クロスバー出力 6
HIC_D12	15				I/O	HIC データ 12
GPIO16	0, 4, 8, 12				I/O	汎用入出力 16
SPIA_SIMO	1				I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
OUTPUTXBAR7	3				O	出力クロスバー出力 7
EPWM5_A	5				O	ePWM-5 出力 A
SCIA_TX	6				O	SCI-A 送信データ
EQEP1_STROBE	9	39	33	26	I/O	eQEP-1 ストローブ
PMBUSA_SCL	10				I/OD	PMBus-A オープンドレイン双方向クロック
XCLKOUT	11				O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
EQEP2_B	13				I	eQEP-2 入力 B
SPIB_SOMI	14				I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
HIC_D1	15				I/O	HIC データ 1
GPIO17	0, 4, 8, 12				I/O	汎用入出力 17
SPIA_SOMI	1				I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
OUTPUTXBAR8	3				O	出力クロスバー出力 8
EPWM5_B	5				O	ePWM-5 出力 B
SCIA_RX	6	40	34		I	SCI-A 受信データ
EQEP1_INDEX	9				I/O	eQEP-1 インデックス
PMBUSA_SDA	10				I/OD	PMBus-A オープンドレイン双方向データ
CANA_TX	11				O	CAN-A 送信
HIC_D2	15				I/O	HIC データ 2

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO18_X2	0, 4, 8, 12				I/O	汎用入出力 18_X2
SPIA_CLK	1				I/O	SPI-A クロック
CANA_RX	3				I	CAN-A 受信
EPWM6_A	5				O	ePWM-6 出力 A
I2CA_SCL	6				I/O	I2C-A オープンドレイン双方向クロック
EQEP2_A	9				I	eQEP-2 入力 A
PMBUSA_CTL	10				I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
XCLKOUT	11	50	41	33	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
LINB_TX	13				O	LIN-B 送信
FSITXA_TDM_CLK	14				I	FSITX-A 時分割マルチプレクス クロック入力
HIC_INT	15				O	HIC デバイス割り込み
X2	ALT				O	水晶発振器出力。ALT 機能の詳細については、『TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム制御」の章の「外部発振器 (XTAL)」セクションの表を参照してください。
GPIO19_X1	0, 4, 8, 12				I/O	汎用入出力 19_X1
SPIA_STE	1				I/O	SPI-A スレーブ送信イネーブル (STE)
CANA_TX	3				O	CAN-A 送信
EPWM6_B	5				O	ePWM-6 出力 B
I2CA_SDA	6				I/O	I2C-A オープンドレイン双方向データ
EQEP2_B	9				I	eQEP-2 入力 B
PMBUSA_ALERT	10				I/O	PMBus-A オープンドレイン双方向アラート
CLB_OUTPUTXBAR1	11				O	CLB 出力クロスバー出力 1
LINB_RX	13				I	LIN-B 受信
FSITXA_TDM_D0	14	51	42	34	I	FSITX-A 時分割マルチプレクス データ入力
HIC_NBE0	15				I	HIC バイトイネーブル 0
X1	ALT				I	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。ALT 機能の詳細については、『TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム制御」の章の「外部発振器 (XTAL)」セクションの表を参照してください。
GPIO22	0, 4, 8, 12				I/O	汎用入出力 22
EQEP1_STROBE	1				I/O	eQEP-1 ストローブ
SPIB_CLK	6				I/O	SPI-B クロック
LINA_TX	9				O	LIN-A 送信
CLB_OUTPUTXBAR1	10	67	56		O	CLB 出力クロスバー出力 1
LINB_TX	11				O	LIN-B 送信
HIC_A5	13				I	HIC アドレス 5
EPWM4_A	14				O	ePWM-4 出力 A
HIC_D13	15				I/O	HIC データ 13

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO23	0, 4, 8, 12				I/O	汎用入出力 23
EQEP1_INDEX	1				I/O	eQEP-1 インデックス
SPIB_STE	6				I/O	SPI-B スレーブ送信イネーブル (STE)
LINA_RX	9				I	LIN-A 受信
LINB_RX	11				I	LIN-B 受信
HIC_A3	13				I	HIC アドレス 3
EPWM4_B	14				O	ePWM-4 出力 B
HIC_D11	15				I/O	HIC データ 11
GPIO24	0, 4, 8, 12				I/O	汎用入出力 24
OUTPUTXBAR1	1				O	出力クロスバー出力 1
EQEP2_A	2				I	eQEP-2 入力 A
SPIB_SIMO	6				I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
LINB_TX	9				O	LIN-B 送信
PMBUSA_SCL	10				I/OD	PMBus-A オープンドレイン双方向クロック
SCIA_TX	11				O	SCI-A 送信データ
ERRORSTS	13				O	エラー ステータス出力。この信号を使用する場合は、外部プルダウンが必要です。
HIC_D3	15				I/O	HIC データ 3
GPIO25	0, 4, 8, 12				I/O	汎用入出力 25
OUTPUTXBAR2	1				O	出力クロスバー出力 2
EQEP2_B	2				I	eQEP-2 入力 B
EQEP1_A	5				I	eQEP-1 入力 A
SPIB_SOMI	6				I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
FSITXA_D1	9				O	FSITX-A データ出力 1
PMBUSA_SDA	10				I/OD	PMBus-A オープンドレイン双方向データ
SCIA_RX	11				I	SCI-A 受信データ
HIC_BASESEL0	14				I	HIC ベース アドレス範囲選択 0
GPIO26	0, 4, 8, 12				I/O	汎用入出力 26
OUTPUTXBAR3	1, 5				O	出力クロスバー出力 3
EQEP2_INDEX	2				I/O	eQEP-2 インデックス
SPIB_CLK	6				I/O	SPI-B クロック
FSITXA_D0	9				O	FSITX-A データ出力 0
PMBUSA_CTL	10				I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
I2CA_SDA	11				I/OD	I2C-A オープンドレイン双方向データ
HIC_D0	14				I/O	HIC データ 0
HIC_A1	15				I	HIC アドレス 1

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO27	0, 4, 8, 12				I/O	汎用入出力 27
OUTPUTXBAR4	1, 5				O	出力クロスバー出力 4
EQEP2_STROBE	2				I/O	eQEP-2 ストローブ
SPIB_STE	6				I/O	SPI-B スレーブ送信イネーブル (STE)
FSITXA_CLK	9	44			O	FSITX-A 出力クロック
PMBUSA_ALERT	10				I/OD	PMBus-A オープンドレイン双方向アラート
I2CA_SCL	11				I/OD	I2C-A オープンドレイン双方向クロック
HIC_D1	14				I/O	HIC データ 1
HIC_A4	15				I	HIC アドレス 4
GPIO28	0, 4, 8, 12				I/O	汎用入出力 28
SCIA_RX	1				I	SCI-A 受信データ
EPWM7_A	3				O	ePWM-7 出力 A
OUTPUTXBAR5	5				O	出力クロスバー出力 5
EQEP1_A	6				I	eQEP-1 入力 A
EQEP2_STROBE	9	4	2	2	I/O	eQEP-2 ストローブ
LINA_TX	10				O	LIN-A 送信
SPIB_CLK	11				I/O	SPI-B クロック
ERRORSTS	13				O	エラー ステータス出力。この信号を使用する場合は、外部プルダウンが必要です。
I2CB_SDA	14				I/OD	I2C-B オープンドレイン双方向データ
HIC_NOE	15				O	HIC 出力イネーブル
GPIO29	0, 4, 8, 12				I/O	汎用入出力 29
SCIA_TX	1				O	SCI-A 送信データ
EPWM7_B	3				O	ePWM-7 出力 B
OUTPUTXBAR6	5				O	出力クロスバー出力 6
EQEP1_B	6				I	eQEP-1 入力 B
EQEP2_INDEX	9	3	1	1	I/O	eQEP-2 インデックス
LINA_RX	10				I	LIN-A 受信
SPIB_STE	11				I/O	SPI-B スレーブ送信イネーブル (STE)
ERRORSTS	13				O	エラー ステータス出力。この信号を使用する場合は、外部プルダウンが必要です。
I2CB_SCL	14				I/OD	I2C-B オープンドレイン双方向クロック
HIC_NCS	15				I	HIC チップ セレクト
GPIO30	0, 4, 8, 12				I/O	汎用入出力 30
CANA_RX	1				I	CAN-A 受信
SPIB_SIMO	3				I/O	SPI-B スレーブ入力、マスター出力 (SIMO)
OUTPUTXBAR7	5	1			O	出力クロスバー出力 7
EQEP1_STROBE	6				I/O	eQEP-1 ストローブ
FSIRXA_CLK	9				I	FSIRX-A 入力クロック
EPWM1_A	11				O	ePWM-1 出力 A
HIC_D8	14				I/O	HIC データ 8

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO31	0, 4, 8, 12				I/O	汎用入出力 31
CANA_TX	1				O	CAN-A 送信
SPIB_SOMI	3				I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
OUTPUTXBAR8	5				O	出力クロスバー出力 8
EQEP1_INDEX	6				I/O	eQEP-1 インデックス
FSIRXA_D1	9				I	FSIRX-A データ入力 1
EPWM1_B	11				O	ePWM-1 出力 B
HIC_D10	14				I/O	HIC データ 10
GPIO32	0, 4, 8, 12				I/O	汎用入出力 32
I2CA_SDA	1				I/OD	I2C-A オープンドレイン双方向データ
SPIB_CLK	3				I/O	SPI-B クロック
LINA_TX	6		49		O	LIN-A 送信
FSIRXA_D0	9				I	FSIRX-A データ入力 0
CANA_TX	10				O	CAN-A 送信
ADCSOCBO	13				O	外部 ADC 用の ADC 変換開始 B
HIC_INT	15				O	HIC デバイス割り込み
GPIO33	0, 4, 8, 12				I/O	汎用入出力 33
I2CA_SCL	1				I/OD	I2C-A オープンドレイン双方向クロック
SPIB_STE	3				I/O	SPI-B スレーブ送信イネーブル (STE)
OUTPUTXBAR4	5				O	出力クロスバー出力 4
LINA_RX	6		38		I	LIN-A 受信
FSIRXA_CLK	9				I	FSIRX-A 入力クロック
CANA_RX	10				I	CAN-A 受信
EQEP2_B	11				I	eQEP-2 入力 B
ADCSOCACO	13				O	外部 ADC 用の ADC 変換開始 A
HIC_D0	15				I/O	HIC データ 0
GPIO34	0, 4, 8, 12				I/O	汎用入出力 34
OUTPUTXBAR1	1				O	出力クロスバー出力 1
PMBUSA_SDA	6		77		I/OD	PMBus-A オープンドレイン双方向データ
HIC_NBE1	13				I	HIC バイトイネーブル 1
I2CB_SDA	14				I/OD	I2C-B オープンドレイン双方向データ
HIC_D9	15				I/O	HIC データ 9

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO35	0, 4, 8, 12				I/O	汎用入出力 35
SCIA_RX	1				I	SCI-A 受信データ
I2CA_SDA	3				I/O	I2C-A オープンドレイン双方向データ
CANA_RX	5				I	CAN-A 受信
PMBUSA_SCL	6				I/O	PMBus-A オープンドレイン双方向クロック
LINA_RX	7				I	LIN-A 受信
EQEP1_A	9	48	39	31	I	eQEP-1 入力 A
PMBUSA_CTL	10				I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
HIC_NWE	14				I	HIC データ書き込みイネーブル
TDI	15				I	JTAG テスト データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。
GPIO37	0, 4, 8, 12				I/O	汎用入出力 37
OUTPUTXBAR2	1				O	出力クロスバー出力 2
I2CA_SCL	3				I/O	I2C-A オープンドレイン双方向クロック
SCIA_TX	5				O	SCI-A 送信データ
CANA_TX	6				O	CAN-A 送信
LINA_TX	7				O	LIN-A 送信
EQEP1_B	9				I	eQEP-1 入力 B
PMBUSA_ALERT	10	46	37	29	I/O	PMBus-A オープンドレイン双方向アラート
HIC_NRDY	14				O	HIC 準備完了
TDO	15				O	JTAG テスト データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。
GPIO39	0, 4, 8, 12				I/O	汎用入出力 39
FSIRXA_CLK	7				I	FSIRX-A 入力クロック
EQEP2_INDEX	9				I/O	eQEP-2 インデックス
CLB_OUTPUTXBAR2	11	56	46		O	CLB 出力クロスバー出力 2
SYNCOUT	13				O	外部 ePWM 同期パルス
EQEP1_INDEX	14				I/O	eQEP-1 インデックス
HIC_D7	15				I/O	HIC データ 7

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO40	0, 4, 8, 12				I/O	汎用入出力 40
SPIB_SIMO	1				I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
EPWM2_B	5				O	ePWM-2 出力 B
PMBUSA_SDA	6				I/OD	PMBus-A オープンドレイン双方向データ
FSIRXA_D0	7	64	53		I	FSIRX-A データ入力 0
EQEP1_A	10				I	eQEP-1 入力 A
LINB_TX	11				O	LIN-B 送信
HIC_NBE1	14				I	HIC バイト イネーブル 1
HIC_D5	15				I/O	HIC データ 5
GPIO41	0, 4, 8, 12				I/O	汎用入出力 41
EPWM2_A	5				O	ePWM-2 出力 A
PMBUSA_SCL	6				I/OD	PMBus-A オープンドレイン双方向クロック
FSIRXA_D1	7				I	FSIRX-A データ入力 1
EQEP1_B	10	66	55		I	eQEP-1 入力 B
LINB_RX	11				I	LIN-B 受信
HIC_A4	13				I	HIC アドレス 4
SPIB_SOMI	14				I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
HIC_D12	15				I/O	HIC データ 12
GPIO42	0, 4, 8, 12				I/O	汎用入出力 42
LINA_RX	2				I	LIN-A 受信
OUTPUTXBAR5	3				O	出力クロスバー出力 5
PMBUSA_CTL	5				I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
I2CA_SDA	6	57			I/OD	I2C-A オープンドレイン双方向データ
EQEP1_STROBE	10				I/O	eQEP-1 ストローブ
CLB_OUTPUTXBAR3	11				O	CLB 出力クロスバー出力 3
HIC_D2	14				I/O	HIC データ 2
HIC_A6	15				I	HIC アドレス 6
GPIO43	0, 4, 8, 12				I/O	汎用入出力 43
OUTPUTXBAR6	3				O	出力クロスバー出力 6
PMBUSA_ALERT	5				I/OD	PMBus-A オープンドレイン双方向アラート
I2CA_SCL	6				I/OD	I2C-A オープンドレイン双方向クロック
EQEP1_INDEX	10	54			I/O	eQEP-1 インデックス
CLB_OUTPUTXBAR4	11				O	CLB 出力クロスバー出力 4
HIC_D3	14				I/O	HIC データ 3
HIC_A7	15				I	HIC アドレス 7
GPIO44	0, 4, 8, 12				I/O	汎用入出力 44
OUTPUTXBAR7	3				O	出力クロスバー出力 7
EQEP1_A	5				I	eQEP-1 入力 A
FSITXA_CLK	7	69			O	FSITX-A 出力クロック
CLB_OUTPUTXBAR3	10				O	CLB 出力クロスバー出力 3
HIC_D7	13				I/O	HIC データ 7
HIC_D5	15				I/O	HIC データ 5

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
GPIO45	0, 4, 8, 12				I/O	汎用入出力 45
OUTPUTXBAR8	3				O	出力クロスバー出力 8
FSITXA_D0	7	73			O	FSITX-A データ出力 0
CLB_OUTPUTXBAR4	10				O	CLB 出力クロスバー出力 4
HIC_D6	15				I/O	HIC データ 6
GPIO46	0, 4, 8, 12				I/O	汎用入出力 46
LINA_TX	3		6		O	LIN-A 送信
FSITXA_D1	7				O	FSITX-A データ出力 1
HIC_NWE	15				I	HIC データ書き込みイネーブル
GPIO61	0, 4, 8, 12				I/O	汎用入出力 61
GPIO62	0, 4, 8, 12				I/O	汎用入出力 62
GPIO63	0, 4, 8, 12				I/O	汎用入出力 63
テスト、JTAG、リセット						
FLT1		34			I/O	フラッシュ テストピン 1。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。
FLT2		33			I/O	フラッシュ テストピン 2。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。
TCK		45	36	28	I	内部プルアップ付き JTAG テスト クロック。
TMS		47	38	30	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。
XRSn		5	3	3	I/O	デバイスリセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイスリセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのため XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープンドレイン デバイスを使用して駆動する必要があります。

**表 5-1. ピン属性 (続き)**

信号名	多重化位置	80 QFP	64 QFP	48 QFP	ピンの種類	説明
電源およびグランド						
VDD		8、31、 53、71	4、27、 44、59	36、45		1.2V デジタル ロジック電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VDDA		26	22	18		3.3V アナログ電源ピン。各ピンに、最小 2.2 $\mu$ F のデカップリング コンデンサを配置。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VDDIO		7、32、 52、72	28、43、 60	35、46		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VSS		9、30、 55、70	5、26、 45、58	22、37、 44		デジタル GND
VSSA		25	21	17		アナログ GND

## 5.3 信号の説明

### 5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
A0	I	ADC-A 入力 0		19	15	11
A1	I	アナログ入力		18	14	10
A2	I	ADC-A 入力 2		13	9	6
A3	I	ADC-A 入力 3		12	8	5
A4	I	ADC-A 入力 4		27	23	19
A5	I	ADC-A 入力 5		17	13	9
A6	I	アナログ入力		10	6	4
A7	I	ADC-A 入力 7		23	19	15
A8	I	ADC-A 入力 8		24	20	16
A9	I	ADC-A 入力 9		28	24	20
A10	I	ADC-A 入力 10		29	25	21
A11	I	ADC-A 入力 11		16	12	8
A12	I	ADC-A 入力 12		22	18	14
A14	I	ADC-A 入力 14		15	11	
A15	I	ADC-A 入力 15		14	10	7
AIO224	I	デジタル入力 224 に使用されるアナログピン		13	9	6
AIO225	I	デジタル入力 225 に使用されるアナログピン		27	23	19
AIO226	I	デジタル入力 226 に使用されるアナログピン		11	7	4
AIO227	I	デジタル入力 227 に使用されるアナログピン		28	24	20
AIO228	I	デジタル入力 228 に使用されるアナログピン		10	6	4
AIO230	I	デジタル入力 230 に使用されるアナログピン		29	25	21
AIO231	I	デジタル入力 231 に使用されるアナログピン		19	15	11
AIO232	I	デジタル入力 232 に使用されるアナログピン		18	14	10
AIO233	I	デジタル入力 233 に使用されるアナログピン		14	10	7
AIO237	I	デジタル入力 237 に使用されるアナログピン		16	12	8

**表 5-2. アナログ信号 (続き)**

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
AIO238	I	デジタル入力 238 に使用されるアナログピン		22	18	14
AIO239	I	デジタル入力 239 に使用されるアナログピン		15	11	
AIO241	I	デジタル入力 241 に使用されるアナログピン		24	20	16
AIO242	I	デジタル入力 242 に使用されるアナログピン		12	8	5
AIO244	I	デジタル入力 244 に使用されるアナログピン		17	13	9
AIO245	I	デジタル入力 245 に使用されるアナログピン		23	19	15
C0	I	ADC-C 入力 0		16	12	8
C1	I	ADC-C 入力 1		22	18	14
C2	I	ADC-C 入力 2		17	13	9
C3	I	ADC-C 入力 3		23	19	15
C4	I	ADC-C 入力 4		15	11	
C5	I	ADC-C 入力 5		12	8	5
C6	I	アナログ入力		11	7	4
C7	I	ADC-C 入力 7		14	10	7
C8	I	ADC-C 入力 8		28	24	20
C9	I	ADC-C 入力 9		13	9	6
C10	I	ADC-C 入力 10		29	25	21
C11	I	ADC-C 入力 11		24	20	16
C14	I	ADC-C 入力 14		27	23	19
C15	I	ADC-C 入力 15		19	15	11
CMP1_HN0	I	CMPSS-1 ハイコンパレータ負入力 0		14	10	7
CMP1_HN1	I	CMPSS-1 ハイコンパレータ負入力 1		16	12	8
CMP1_HP0	I	CMPSS-1 ハイコンパレータ正入力 0		13	9	6
CMP1_HP1	I	CMPSS-1 ハイコンパレータ正入力 1		16	12	8
CMP1_HP2	I	CMPSS-1 ハイコンパレータ正入力 2		10	6	4
CMP1_HP3	I	CMPSS-1 ハイコンパレータ正入力 3		14	10	7
CMP1_HP4	I	CMPSS-1 ハイコンパレータ正入力 4		18	14	10
CMP1_LN0	I	CMPSS-1 ロー コンパレータ負入力 0		14	10	7
CMP1_LN1	I	CMPSS-1 ロー コンパレータ負入力 1		16	12	8
CMP1_LP0	I	CMPSS-1 ロー コンパレータ正入力 0		13	9	6
CMP1_LP1	I	CMPSS-1 ロー コンパレータ正入力 1		16	12	8

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
CMP1_LP2	I	CMPSS-1 ロー コンパレータ正入力 2		10	6	4
CMP1_LP3	I	CMPSS-1 ロー コンパレータ正入力 3		14	10	7
CMP1_LP4	I	CMPSS-1 ロー コンパレータ正入力 4		18	14	10
CMP2_HN0	I	CMPSS-2 ハイ コンパレータ負入力 0		29	25	21
CMP2_HN1	I	CMPSS-2 ハイ コンパレータ負入力 1		22	18	14
CMP2_HP0	I	CMPSS-2 ハイ コンパレータ正入力 0		27	23	19
CMP2_HP1	I	CMPSS-2 ハイ コンパレータ正入力 1		22	18	14
CMP2_HP2	I	CMPSS-2 ハイ コンパレータ正入力 2		28	24	20
CMP2_HP3	I	CMPSS-2 ハイ コンパレータ正入力 3		29	25	21
CMP2_HP4	I	CMPSS-2 ハイ コンパレータ正入力 4		24	20	16
CMP2_LN0	I	CMPSS-2 ロー コンパレータ負入力 0		29	25	21
CMP2_LN1	I	CMPSS-2 ロー コンパレータ負入力 1		22	18	14
CMP2_LP0	I	CMPSS-2 ロー コンパレータ正入力 0		27	23	19
CMP2_LP1	I	CMPSS-2 ロー コンパレータ正入力 1		22	18	14
CMP2_LP2	I	CMPSS-2 ロー コンパレータ正入力 2		28	24	20
CMP2_LP3	I	CMPSS-2 ロー コンパレータ正入力 3		29	25	21
CMP2_LP4	I	CMPSS-2 ロー コンパレータ正入力 4		24	20	16
CMP3_HN0	I	CMPSS-3 ハイ コンパレータ負入力 0		12	8	5
CMP3_HN1	I	CMPSS-3 ハイ コンパレータ負入力 1		17	13	9
CMP3_HP0	I	CMPSS-3 ハイ コンパレータ正入力 0		11	7	4
CMP3_HP1	I	CMPSS-3 ハイ コンパレータ正入力 1		17	13	9
CMP3_HP2	I	CMPSS-3 ハイ コンパレータ正入力 2		19	15	11
CMP3_HP3	I	CMPSS-3 ハイ コンパレータ正入力 3		12	8	5
CMP3_HP4	I	CMPSS-3 ハイ コンパレータ正入力 4		15	11	
CMP3_LN0	I	CMPSS-3 ロー コンパレータ負入力 0		12	8	5
CMP3_LN1	I	CMPSS-3 ロー コンパレータ負入力 1		17	13	9
CMP3_LP0	I	CMPSS-3 ロー コンパレータ正入力 0		11	7	4
CMP3_LP1	I	CMPSS-3 ロー コンパレータ正入力 1		17	13	9
CMP3_LP2	I	CMPSS-3 ロー コンパレータ正入力 2		19	15	11
CMP3_LP3	I	CMPSS-3 ロー コンパレータ正入力 3		12	8	5
CMP3_LP4	I	CMPSS-3 ロー コンパレータ正入力 4		15	11	
CMP4_HN0	I	CMPSS-4 ハイ コンパレータ負入力 0		27	23	19
CMP4_HN1	I	CMPSS-4 ハイ コンパレータ負入力 1		23	19	15
CMP4_HP0	I	CMPSS-4 ハイ コンパレータ正入力 0		28	24	20
CMP4_HP1	I	CMPSS-4 ハイ コンパレータ正入力 1		23	19	15

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
CMP4_HP2	I	CMPSS-4 ハイコンパレータ正入力 2		22	18	14
CMP4_HP3	I	CMPSS-4 ハイコンパレータ正入力 3		27	23	19
CMP4_HP4	I	CMPSS-4 ハイコンパレータ正入力 4		24	20	16
CMP4_LN0	I	CMPSS-4 ロー コンパレータ負入力 0		27	23	19
CMP4_LN1	I	CMPSS-4 ロー コンパレータ負入力 1		23	19	15
CMP4_LP0	I	CMPSS-4 ロー コンパレータ正入力 0		28	24	20
CMP4_LP1	I	CMPSS-4 ロー コンパレータ正入力 1		23	19	15
CMP4_LP2	I	CMPSS-4 ロー コンパレータ正入力 2		22	18	14
CMP4_LP3	I	CMPSS-4 ロー コンパレータ正入力 3		27	23	19
CMP4_LP4	I	CMPSS-4 ロー コンパレータ正入力 4		24	20	16
HIC_A0	I	HIC アドレス 0		10	6	4
HIC_A1	I	HIC アドレス 1		11	7	4
HIC_A2	I	HIC アドレス 2		12	8	5
HIC_A3	I	HIC アドレス 3		13	9	6
HIC_A4	I	HIC アドレス 4		14	10	7
HIC_A5	I	HIC アドレス 5		15	11	
HIC_A6	I	HIC アドレス 6		16	12	8
HIC_A7	I	HIC アドレス 7		17	13	9
HIC_BASESEL0	I	HIC ベースアドレス範囲選択 0		18	14	10
HIC_BASESEL1	I	HIC ベースアドレス範囲選択 1		19	15	11
HIC_BASESEL2	I	HIC ベースアドレス範囲選択 2		29	25	21
HIC_NBE0	I	HIC バイトイネーブル 0		28	24	20
HIC_NBE1	I	HIC バイトイネーブル 1		24	20	16
HIC_NCS	I	HIC チップセレクト		22	18	14
HIC_NOE	O	HIC 出力イネーブル		23	19	15
HIC_NWE	I	HIC データ書き込みイネーブル		27	23	19
VDAC	I	オンチップ CMPSS DAC の外部リファレンス電圧 (オプション)。ADC 入力と CMPSS DAC リファレンスのどちらに使用する場合でも、このピンと VSSA の間には、無効化できない内部コンデンサが存在しています。このピンを CMPSS DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1 $\mu$ F のコンデンサを配置します。		12	8	5

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
VREFHI	I	ADC の高いリファレンス電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2 $\mu$ F 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。		20	16	12
VREFLO	I	ADC の低いリファレンス電圧		21	17	13

### 5.3.2 デジタル信号

表 5-3. デジタル信号

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
ADCSOCAO	O	外部 ADC 用の ADC 変換開始 A	33, 8	38, 58	32, 47	25
ADCSOCBO	O	外部 ADC 用の ADC 変換開始 B	10, 32	49, 76	40, 63	32
CANA_RX	I	CAN-A 受信	12, 18, 3, 30, 33, 35, 5	1, 36, 38, 48, 50, 60, 74	30, 32, 39, 41, 49, 61	24, 25, 31, 33, 39, 47
CANA_TX	O	CAN-A 送信	13, 17, 19, 2, 31, 32, 37, 4	2, 35, 40, 46, 49, 51, 59, 61	29, 34, 37, 40, 42, 48, 50	23, 29, 32, 34, 38, 40
CLB_OUTPUTXBAR1	O	CLB 出力クロスバー出力 1	19, 22	51, 67	42, 56	34
CLB_OUTPUTXBAR2	O	CLB 出力クロスバー出力 2	39, 7	56, 68	46, 57	43
CLB_OUTPUTXBAR3	O	CLB 出力クロスバー出力 3	42, 44	57, 69		
CLB_OUTPUTXBAR4	O	CLB 出力クロスバー出力 4	43, 45	54, 73		
CLB_OUTPUTXBAR5	O	CLB 出力クロスバー出力 5	5, 8	58, 74	47, 61	47
CLB_OUTPUTXBAR6	O	CLB 出力クロスバー出力 6	15, 4	59, 78	48	38
CLB_OUTPUTXBAR7	O	CLB 出力クロスバー出力 7	1, 14	62, 79	51	41
CLB_OUTPUTXBAR8	O	CLB 出力クロスバー出力 8	6	63, 80	52, 64	42, 48
EPWM1_A	O	ePWM-1 出力 A	30	1, 63	52	42
EPWM1_B	O	ePWM-1 出力 B	1, 31	2, 62	51	41
EPWM2_A	O	ePWM-2 出力 A	2, 41	61, 66	50, 55	40
EPWM2_B	O	ePWM-2 出力 B	3, 40	60, 64	49, 53	39
EPWM3_A	O	ePWM-3 出力 A	14, 4	59, 79	48	38
EPWM3_B	O	ePWM-3 出力 B	15, 5	74, 78	61	47
EPWM4_A	O	ePWM-4 出力 A	22, 6	67, 80	56, 64	48
EPWM4_B	O	ePWM-4 出力 B	23, 7	65, 68	54, 57	43

**表 5-3. デジタル信号 (続き)**

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
EPWM5_A	O	ePWM-5 出力 A	16, 8	39, 58	33, 47	26
EPWM5_B	O	ePWM-5 出力 B	17, 9	40, 75	34, 62	
EPWM6_A	O	ePWM-6 出力 A	10, 18	50, 76	41, 63	33
EPWM6_B	O	ePWM-6 出力 B	11, 19	37, 51	31, 42	34
EPWM7_A	O	ePWM-7 出力 A	12, 28	36, 4	2, 30	2, 24
EPWM7_B	O	ePWM-7 出力 B	13, 29	3, 35	1, 29	1, 23
EQEP1_A	I	eQEP-1 入力 A	10, 25, 28, 35, 40, 44, 6	4, 42, 48, 64, 69, 76, 80	2, 39, 53, 63, 64	2, 31, 48
EQEP1_B	I	eQEP-1 入力 B	11, 29, 37, 41, 7	3, 37, 46, 66, 68	1, 31, 37, 55, 57	1, 29, 43
EQEP1_INDEX	I/O	eQEP-1 インデックス	13, 17, 23, 31, 39, 43, 9	2, 35, 40, 54, 56, 65, 75	29, 34, 46, 54, 62	23
EQEP1_STROBE	I/O	eQEP-1 ストローブ	12, 16, 22, 30, 42, 8	1, 36, 39, 57, 58, 67	30, 33, 47, 56	24, 26
EQEP2_A	I	eQEP-2 入力 A	11, 14, 18, 24	37, 41, 50, 79	31, 35, 41	27, 33
EQEP2_B	I	eQEP-2 入力 B	15, 16, 19, 25, 33	38, 39, 42, 51, 78	32, 33, 42	25, 26, 34
EQEP2_INDEX	I/O	eQEP-2 インデックス	26, 29, 39	3, 43, 56	1, 46	1
EQEP2_STROBE	I/O	eQEP-2 ストローブ	27, 28, 4	4, 44, 59	2, 48	2, 38
ERRORSTS	O	エラー ステータス出力。この信号を使用する場合は、外部プルダウンが必要です。	24, 28, 29	3, 4, 41	1, 2, 35	1, 2, 27
FSIRXA_CLK	I	FSIRX-A 入力クロック	13, 30, 33, 39, 4	1, 35, 38, 56, 59, 63	29, 32, 46, 48, 52	23, 25, 38, 42
FSIRXA_D0	I	FSIRX-A データ入力 0	12, 3, 32, 40	36, 49, 60, 64	30, 40, 49, 53	24, 32, 39
FSIRXA_D1	I	FSIRX-A データ入力 1	11, 2, 31, 41	2, 37, 61, 66	31, 50, 55	40
FSITXA_CLK	O	FSITX-A 出力クロック	10, 27, 44, 7	44, 68, 69, 76	57, 63	43
FSITXA_D0	O	FSITX-A データ出力 0	26, 45, 6, 9	43, 73, 75, 80	62, 64	48
FSITXA_D1	O	FSITX-A データ出力 1	25, 46, 5, 6, 8	42, 58, 6, 74, 80	47, 61, 64	47, 48
FSITXA_TDM_CLK	I	FSITX-A 時分割マルチプレクス クロック入力	18, 8	50, 58	41, 47	33
FSITXA_TDM_D0	I	FSITX-A 時分割マルチプレクス データ入力	10, 19	51, 76	42, 63	34

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
FSITXA_TDM_D1	I	FSITX-A 時間分割マルチプレクスデータ追加入力	1	62	51	41
GPIO0	I/O	汎用入出力 0		63	52	42
GPIO1	I/O	汎用入出力 1	1	62	51	41
GPIO2	I/O	汎用入出力 2	2	61	50	40
GPIO3	I/O	汎用入出力 3	3	60	49	39
GPIO4	I/O	汎用入出力 4	4	59	48	38
GPIO5	I/O	汎用入出力 5	5	74	61	47
GPIO6	I/O	汎用入出力 6	6	80	64	48
GPIO7	I/O	汎用入出力 7	7	68	57	43
GPIO8	I/O	汎用入出力 8	8	58	47	
GPIO9	I/O	汎用入出力 9	9	75	62	
GPIO10	I/O	汎用入出力 10	10	76	63	
GPIO11	I/O	汎用入出力 11	11	37	31	
GPIO12	I/O	汎用入出力 12	12	36	30	24
GPIO13	I/O	汎用入出力 13	13	35	29	23
GPIO14	I/O	汎用入出力 14	14	79		
GPIO15	I/O	汎用入出力 15	15	78		
GPIO16	I/O	汎用入出力 16	16	39	33	26
GPIO17	I/O	汎用入出力 17	17	40	34	
GPIO18_X2	I/O	汎用入出力 18_X2	18	50	41	33
GPIO19_X1	I/O	汎用入出力 19_X1	19	51	42	34
GPIO22	I/O	汎用入出力 22	22	67	56	
GPIO23	I/O	汎用入出力 23	23	65	54	
GPIO24	I/O	汎用入出力 24	24	41	35	27
GPIO25	I/O	汎用入出力 25	25	42		
GPIO26	I/O	汎用入出力 26	26	43		
GPIO27	I/O	汎用入出力 27	27	44		
GPIO28	I/O	汎用入出力 28	28	4	2	2
GPIO29	I/O	汎用入出力 29	29	3	1	1
GPIO30	I/O	汎用入出力 30	30	1		
GPIO31	I/O	汎用入出力 31	31	2		
GPIO32	I/O	汎用入出力 32	32	49	40	32
GPIO33	I/O	汎用入出力 33	33	38	32	25
GPIO34	I/O	汎用入出力 34	34	77		
GPIO35	I/O	汎用入出力 35	35	48	39	31

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
GPIO37	I/O	汎用入出力 37	37	46	37	29
GPIO39	I/O	汎用入出力 39	39	56	46	
GPIO40	I/O	汎用入出力 40	40	64	53	
GPIO41	I/O	汎用入出力 41	41	66	55	
GPIO42	I/O	汎用入出力 42	42	57		
GPIO43	I/O	汎用入出力 43	43	54		
GPIO44	I/O	汎用入出力 44	44	69		
GPIO45	I/O	汎用入出力 45	45	73		
GPIO46	I/O	汎用入出力 46	46	6		
GPIO61	I/O	汎用入出力 61	61			
GPIO62	I/O	汎用入出力 62	62			
GPIO63	I/O	汎用入出力 63	63			
HIC_A0	I	HIC アドレス 0	8	58	47	
HIC_A1	I	HIC アドレス 1	2, 26	43, 61	50	40
HIC_A2	I	HIC アドレス 2	1	62	51	41
HIC_A3	I	HIC アドレス 3	23	65	54	
HIC_A4	I	HIC アドレス 4	27, 41	44, 66	55	
HIC_A5	I	HIC アドレス 5	22	67	56	
HIC_A6	I	HIC アドレス 6	42, 7	57, 68	57	43
HIC_A7	I	HIC アドレス 7	43, 5	54, 74	61	47
HIC_BASESEL0	I	HIC ベース アドレス範囲選択 0	25, 9	42, 75	62	
HIC_BASESEL1	I	HIC ベース アドレス範囲選択 1		63	52	42
HIC_BASESEL2	I	HIC ベース アドレス範囲選択 2	4	59	48	38
HIC_D0	I/O	HIC データ 0	26, 33	38, 43	32	25
HIC_D1	I/O	HIC データ 1	16, 27	39, 44	33	26
HIC_D2	I/O	HIC データ 2	17, 42	40, 57	34	
HIC_D3	I/O	HIC データ 3	24, 43	41, 54	35	27
HIC_D4	I/O	HIC データ 4	3, 5	60, 74	49, 61	39, 47
HIC_D5	I/O	HIC データ 5	13, 40, 44	35, 64, 69	29, 53	23
HIC_D6	I/O	HIC データ 6	11, 45	37, 73	31	
HIC_D7	I/O	HIC データ 7	39, 44	56, 69	46	
HIC_D8	I/O	HIC データ 8	30, 8	1, 58	47	
HIC_D9	I/O	HIC データ 9	2, 34	61, 77	50	40
HIC_D10	I/O	HIC データ 10	1, 31	2, 62	51	41
HIC_D11	I/O	HIC データ 11	13, 23	35, 65	29, 54	23

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
HIC_D12	I/O	HIC データ 12	15, 41	66, 78	55	
HIC_D13	I/O	HIC データ 13	12, 22	36, 67	30, 56	24
HIC_D14	I/O	HIC データ 14	6, 7	68, 80	57, 64	43, 48
HIC_D15	I/O	HIC データ 15	14, 5	74, 79	61	47
HIC_INT	O	HIC デバイス割り込み	12, 18, 32	36, 49, 50	30, 40, 41	24, 32, 33
HIC_NBE0	I	HIC バイトイネーブル 0	11, 19	37, 51	31, 42	34
HIC_NBE1	I	HIC バイトイネーブル 1	34, 40, 6	64, 77, 80	53, 64	48
HIC_NCS	I	HIC チップ セレクト	29	3	1	1
HIC_NOE	O	HIC 出力イネーブル	28, 3	4, 60	2, 49	2, 39
HIC_NRDY	O	HIC 準備完了	37, 9	46, 75	37, 62	29
HIC_NWE	I	HIC データ書き込みイネーブル	10, 35, 4, 46	48, 59, 6, 76	39, 48, 63	31, 38
I2CA_SCL	I/OD	I2C-A オープンドレイン双方向クロック	1, 18, 27, 33, 37, 43, 8	38, 44, 46, 50, 54, 58, 62	32, 37, 41, 47, 51	25, 29, 33, 41
I2CA_SDA	I/OD	I2C-A オープンドレイン双方向データ	10, 19, 26, 32, 35, 42	43, 48, 49, 51, 57, 63, 76	39, 40, 42, 52, 63	31, 32, 34, 42
I2CB_SCL	I/OD	I2C-B オープンドレイン双方向クロック	15, 29, 3, 9	3, 60, 75, 78	1, 49, 62	1, 39
I2CB_SDA	I/OD	I2C-B オープンドレイン双方向データ	14, 2, 28, 34	4, 61, 77, 79	2, 50	2, 40
LINA_RX	I	LIN-A 受信	23, 29, 33, 35, 42	3, 38, 48, 57, 65	1, 32, 39, 54	1, 25, 31
LINA_TX	O	LIN-A 送信	22, 28, 32, 37, 46	4, 46, 49, 6, 67	2, 37, 40, 56	2, 29, 32
LINB_RX	I	LIN-B 受信	11, 13, 15, 19, 23, 41, 9	35, 37, 51, 65, 66, 75, 78	29, 31, 42, 54, 55, 62	23, 34
LINB_TX	O	LIN-B 送信	10, 12, 14, 18, 22, 24, 40	36, 41, 50, 64, 67, 76, 79	30, 35, 41, 53, 56, 63	24, 27, 33
OUTPUTXBAR1	O	出力クロスバー出力 1	2, 24, 34	41, 61, 77	35, 50	27, 40
OUTPUTXBAR2	O	出力クロスバー出力 2	25, 3, 37	42, 46, 60	37, 49	29, 39
OUTPUTXBAR3	O	出力クロスバー出力 3	14, 26, 4, 5	43, 59, 74, 79	48, 61	38, 47
OUTPUTXBAR4	O	出力クロスバー出力 4	15, 27, 33, 6	38, 44, 78, 80	32, 64	25, 48
OUTPUTXBAR5	O	出力クロスバー出力 5	28, 42, 7	4, 57, 68	2, 57	2, 43
OUTPUTXBAR6	O	出力クロスバー出力 6	29, 43, 9	3, 54, 75	1, 62	1
OUTPUTXBAR7	O	出力クロスバー出力 7	11, 16, 30, 44	1, 37, 39, 69	31, 33	26
OUTPUTXBAR8	O	出力クロスバー出力 8	17, 31, 45	2, 40, 73	34	

**表 5-3. デジタル信号 (続き)**

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
PMBUSA_ALERT	I/O	PMBus-A オープンドレイン双方向アラート	13、19、27、37、43	35、44、46、51、54	29、37、42	23、29、34
PMBUSA_CTL	I/O	PMBus-A 制御信号 - スレーブ入力 / マスター出力	12、18、26、35、42	36、43、48、50、57	30、39、41	24、31、33
PMBUSA_SCL	I/O	PMBus-A オープンドレイン双方向クロック	15、16、24、3、35、41	39、41、48、60、66、78	33、35、39、49、55	26、27、31、39
PMBUSA_SDA	I/O	PMBus-A オープンドレイン双方向データ	14、17、2、25、34、40	40、42、61、64、77、79	34、50、53	40
SCIA_RX	I	SCI-A 受信データ	17、25、28、3、35、9	4、40、42、48、60、75	2、34、39、49、62	2、31、39
SCIA_TX	O	SCI-A 送信データ	16、2、24、29、37、8	3、39、41、46、58、61	1、33、35、37、47、50	1、26、27、29、40
SPIA_CLK	I/O	SPI-A クロック	12、18、3、9	36、50、60、75	30、41、49、62	24、33、39
SPIA_SIMO	I/O	SPI-A スレーブ入力、マスター出力 (SIMO)	11、16、2、8	37、39、58、61	31、33、47、50	26、40
SPIA_SOMI	I/O	SPI-A スレーブ出力、マスター入力 (SOMI)	1、10、13、17	35、40、62、76	29、34、51、63	23、41
SPIA_STE	I/O	SPI-A スレーブ送信イネーブル (STE)	11、19、5	37、51、63、74	31、42、52、61	34、42、47
SPIB_CLK	I/O	SPI-B クロック	14、22、26、28、32、4	4、43、49、59、67、79	2、40、48、56	2、32、38
SPIB_SIMO	I/O	SPI-B スレーブ入力、マスター出力 (SIMO)	24、30、40、7	1、41、64、68	35、53、57	27、43
SPIB_SOMI	I/O	SPI-B スレーブ出力、マスター入力 (SOMI)	16、25、31、41、6	2、39、42、66、80	33、55、64	26、48
SPIB_STE	I/O	SPI-B スレーブ送信イネーブル (STE)	15、23、27、29、33	3、38、44、65、78	1、32、54	1、25
SYNCOUT	O	外部 ePWM 同期パルス	39、6	56、80	46、64	48
TDI	I	JTAG テストデータ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。	35	48	39	31

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
TDO	O	JTAG テストデータ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。 JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。 GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。	37	46	37	29
X1	I	水晶発振器入力またはシングルエンドクロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。 ALT 機能の詳細については、『TMS320F28002x リアルタイムマイクロコントローラ テクニカルリファレンスマニュアル』の「システム制御」の章の「外部発振器 (XTAL)」セクションの表を参照してください。	19	51	42	34
X2	O	水晶発振器出力。ALT 機能の詳細については、『TMS320F28002x リアルタイムマイクロコントローラ テクニカルリファレンスマニュアル』の「システム制御」の章の「外部発振器 (XTAL)」セクションの表を参照してください。	18	50	41	33
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	16, 18	39, 50	33, 41	26, 33

### 5.3.3 電源およびグランド

表 5-4. 電源およびグランド

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
VDD		1.2V デジタルロジック電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。		31, 53, 71, 8	27, 4, 44, 59	36, 45

**表 5-4. 電源およびグランド (続き)**

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
VDDA		3.3V アナログ電源ピン。各ピンに、最小 2.2 $\mu$ F のデカップリング コンデンサを配置。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。		26	22	18
VDDIO		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。		32, 52, 7, 72	28, 43, 60	35, 46
VSS		デジタル GND		30, 55, 70, 9	26, 45, 5, 58	22, 37, 44
VSSA		アナログ GND		25	21	17

### 5.3.4 テスト、JTAG、リセット

**表 5-5. テスト、JTAG、リセット**

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
FLT1	I/O	フラッシュ テストピン 1。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。		34		
FLT2	I/O	フラッシュ テストピン 2。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。		33		
TCK	I	内部プルアップ付き JTAG テスト クロック。		45	36	28
TMS	I/O	内部プルアップ付き JTAG テスト モード 選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2k $\Omega$ ) を配置する必要がある。		47	38	30

表 5-5. テスト、JTAG、リセット(続き)

信号名	ピンの種類	説明	GPIO	80 QFP	64 QFP	48 QFP
XRSn	I/O	デバイスリセット(IN)およびウォッチドッグリセット(OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイスリセットをアサートすることもできる。ウォッチドッグリセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグリセット時には、512 OSCCLK サイクルのウォッチドッグリセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグリセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープンドレイン デバイスを使用して駆動する必要があります。		5	3	3

## 5.4 ピン多重化

### 5.4.1 GPIO 多重化ピン

表 5-6 に、GPIO 多重化ピンの一覧を示します。各 GPIO ピンのデフォルト モードは GPIO 機能ですが、GPIO35 と GPIO37 はそれぞれデフォルトで TDI と TDO に設定されています。GPyGMUXn.GPIOz および GPyMUXn.GPIOz のレジスタ ビットを設定することで、他の機能を選択できます。多重化選択の切り替わりによる GPIO の過渡パルスを回避するために、GPyMUXn よりも先に GPyGMUXn レジスタを構成する必要があります。表示されていない列および空白のセルは、予約済みの GPIO 多重化設定です。GPIO ALT 機能は、GPyMUXn および GPyGMUXn レジスタでは構成できません。これらは、モジュールから構成する必要のある特別な機能です。

---

#### 注

GPIO20、GPIO21、GPIO36、GPIO38 は、このデバイスには存在しません。GPIO61～GPIO63 は存在しますが、どのパッケージでもピン配置されていません。ブート ROM により、GPIO61～GPIO63 のプルアップがイネーブルされます。詳細については、[セクション 5.5](#) を参照してください。

---

#### 5.4.1.1 GPIO 多重化ピンの表

表 5-6. GPIO 多重化ピン

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A				I2CA_SDA	SPIA_STE	FSIRXA_CLK		CLB_OUTPUTX_BAR8			HIC_BASESEL1	
GPIO1	EPWM1_B				I2CA_SCL	SPIA_SOMI			CLB_OUTPUTX_BAR7	HIC_A2	FSITXA_TDM_D_1	HIC_D10	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_SIMO	SCIA_TX	FSIRXA_D1	I2CB_SDA	HIC_A1	CANA_TX	HIC_D9	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL	HIC_NOE	CANA_RX	HIC_D4	
GPIO4	EPWM3_A			OUTPUTXBAR3	CANA_TX	SPIB_CLK	EQEP2_STROB_E	FSIRXA_CLK	CLB_OUTPUTX_BAR6	HIC_BASESEL2		HIC_NWE	
GPIO5	EPWM3_B		OUTPUTXBAR3		CANA_RX	SPIA_STE	FSITXA_D1	CLB_OUTPUTX_BAR5		HIC_A7	HIC_D4	HIC_D15	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCCOUT	EQEP1_A		SPIB_SOMI	FSITXA_D0		FSITXA_D1	HIC_NBE1	CLB_OUTPUTX_BAR8	HIC_D14	
GPIO7	EPWM4_B		OUTPUTXBAR5	EQEP1_B		SPIB_SIMO	FSITXA_CLK	CLB_OUTPUTX_BAR2		HIC_A6		HIC_D14	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROB_E	SCIA_TX	SPIA_SIMO	I2CA_SCL	FSITXA_D1	CLB_OUTPUTX_BAR5	HIC_A0	FSITXA_TDM_C_LK	HIC_D8	
GPIO9	EPWM5_B		OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK		FSITXA_D0	LINB_RX	HIC_BASESEL0	I2CB_SCL	HIC_NRDY	
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A		SPIA_SOMI	I2CA_SDA	FSITXA_CLK	LINB_TX	HIC_NWE	FSITXA_TDM_D_0		
GPIO11	EPWM6_B		OUTPUTXBAR7	EQEP1_B		SPIA_STE	FSIRXA_D1	LINB_RX	EQEP2_A	SPIA_SIMO	HIC_D6	HIC_NBE0	
GPIO12	EPWM7_A			EQEP1_STROB_E		PMBUSA_CTL	FSIRXA_D0	LINB_TX	SPIA_CLK	CANA_RX	HIC_D13	HIC_INT	
GPIO13	EPWM7_B			EQEP1_INDEX		PMBUSA_ALER_T	FSIRXA_CLK	LINB_RX	SPIA_SOMI	CANA_TX	HIC_D11	HIC_D5	
GPIO14				I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINB_TX	EPWM3_A	CLB_OUTPUTX_BAR7	HIC_D15	
GPIO15				I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_STE	EQEP2_B	LINB_RX	EPWM3_B	CLB_OUTPUTX_BAR6	HIC_D12	
GPIO16	SPIA_SIMO		OUTPUTXBAR7	EPWM5_A	SCIA_TX		EQEP1_STROB_E	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_SOMI	HIC_D1	
GPIO17	SPIA_SOMI		OUTPUTXBAR8	EPWM5_B	SCIA_RX		EQEP1_INDEX	PMBUSA_SDA	CANA_TX			HIC_D2	
GPIO18_X2	SPIA_CLK		CANA_RX	EPWM6_A	I2CA_SCL		EQEP2_A	PMBUSA_CTL	XCLKOUT	LINB_TX	FSITXA_TDM_C_LK	HIC_INT	X2
GPIO19_X1	SPIA_STE		CANA_TX	EPWM6_B	I2CA_SDA		EQEP2_B	PMBUSA_ALER_T	CLB_OUTPUTX_BAR1	LINB_RX	FSITXA_TDM_D_0	HIC_NBE0	X1
GPIO22	EQEP1_STROB_E				SPIB_CLK		LINA_TX	CLB_OUTPUTX_BAR1	LINB_TX	HIC_A5	EPWM4_A	HIC_D13	
GPIO23	EQEP1_INDEX				SPIB_STE		LINA_RX		LINB_RX	HIC_A3	EPWM4_B	HIC_D11	
GPIO24	OUTPUTXBAR1	EQEP2_A			SPIB_SIMO		LINB_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS		HIC_D3	
GPIO25	OUTPUTXBAR2	EQEP2_B		EQEP1_A	SPIB_SOMI		FSITXA_D1	PMBUSA_SDA	SCIA_RX		HIC_BASESEL0		
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK		FSITXA_D0	PMBUSA_CTL	I2CA_SDA		HIC_D0	HIC_A1	
GPIO27	OUTPUTXBAR4	EQEP2_STROB_E		OUTPUTXBAR4	SPIB_STE		FSITXA_CLK	PMBUSA_ALER_T	I2CA_SCL		HIC_D1	HIC_A4	

表 5-6. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A		EQEP2_STROB_E	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	HIC_NOE	
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B		EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORSTS	I2CB_SCL	HIC_NCS	
GPIO30	CANA_RX		SPIB_SIMO	OUTPUTXBAR7	EQEP1_STROB_E		FSIRXA_CLK		EPWM1_A		HIC_D8		
GPIO31	CANA_TX		SPIB_SOMI	OUTPUTXBAR8	EQEP1_INDEX		FSIRXA_D1		EPWM1_B		HIC_D10		
GPIO32	I2CA_SDA		SPIB_CLK		LINA_TX		FSIRXA_D0	CANA_TX		ADCSOCBO		HIC_INT	
GPIO33	I2CA_SCL		SPIB_STE	OUTPUTXBAR4	LINA_RX		FSIRXA_CLK	CANA_RX	EQEP2_B	ADCSOCACO		HIC_D0	
GPIO34	OUTPUTXBAR1			PMBUSA_SDA						HIC_NBE1	I2CB_SDA	HIC_D9	
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL			HIC_NWE	TDI	
GPIO37	OUTPUTXBAR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ALER_T			HIC_NRDY	TDO	
GPIO39					FSIRXA_CLK	EQEP2_INDEX		CLB_OUTPUTX_BAR2	SYNCOUT	EQEP1_INDEX	HIC_D7		
GPIO40	SPIB_SIMO			EPWM2_B	PMBUSA_SDA	FSIRXA_D0		EQEP1_A	LINB_TX		HIC_NBE1	HIC_D5	
GPIO41				EPWM2_A	PMBUSA_SCL	FSIRXA_D1		EQEP1_B	LINB_RX	HIC_A4	SPIB_SOMI	HIC_D12	
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA		EQEP1_STROB_E	CLB_OUTPUTX_BAR3			HIC_D2	HIC_A6	
GPIO43			OUTPUTXBAR6	PMBUSA_ALER_T	I2CA_SCL		EQEP1_INDEX	CLB_OUTPUTX_BAR4			HIC_D3	HIC_A7	
GPIO44			OUTPUTXBAR7	EQEP1_A		FSITXA_CLK		CLB_OUTPUTX_BAR3		HIC_D7		HIC_D5	
GPIO45			OUTPUTXBAR8			FSITXA_D0		CLB_OUTPUTX_BAR4				HIC_D6	
GPIO46			LINA_TX			FSITXA_D1						HIC_NWE	
GPIO61													
GPIO62													
GPIO63													
AIO224												HIC_A3	
AIO225												HIC_NWE	
AIO226												HIC_A1	
AIO227												HIC_NBE0	
AIO228												HIC_A0	
AIO230												HIC_BASESEL2	
AIO231												HIC_BASESEL1	
AIO232												HIC_BASESEL0	
AIO233												HIC_A4	
AIO237												HIC_A6	
AIO238												HIC_NCS	
AIO239												HIC_A5	
AIO241												HIC_NBE1	
AIO242												HIC_A2	

**表 5-6. GPIO 多重化ピン (続き)**

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
AIO244												HIC_A7	
AIO245												HIC_NOE	

**注**

AIO を含むアナログ ピンは、デフォルトでアナログ モードになっています。AIO モードは、そのアナログ ピンに GPIOH の AMSEL オプションを設定することで有効化されます。また、AIO ピンで HIC 多重化オプションを使用する場合、外部プルアップが必要です。

#### 5.4.2 ADC ピンのデジタル入力(AIO)

ポート H の GPIO (GPIO224～GPIO245) は、アナログ ピンと多重化されています。これらは、「AIO」とも呼ばれます。これらのピンは入力モードでのみ機能します。デフォルトでは、これらのピンはアナログ ピンとして機能し、GPIO はハイインピーダンス状態になります。GPHAMSEL レジスタは、これらのピンをデジタルまたはアナログ動作用に構成するために使用します。

##### 注

鋭いエッジ (大きい  $dv/dt$ ) を持つデジタル信号を AIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AIO に接続する信号のエッジ レートを制限する必要があります。

#### 5.4.3 GPIO 入力クロスバー

入力クロスバーは、GPIO からの信号を、ADC、eCAP、ePWM、外部割り込みなどのさまざまな IP ブロックにルーティングするために使用されます (図 1-1 を参照)。表 5-7 に入力クロスバーの接続先を一覧表示。入力クロスバーの構成の詳細については、『TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「クロスバー(X-BAR)」の章を参照してください。

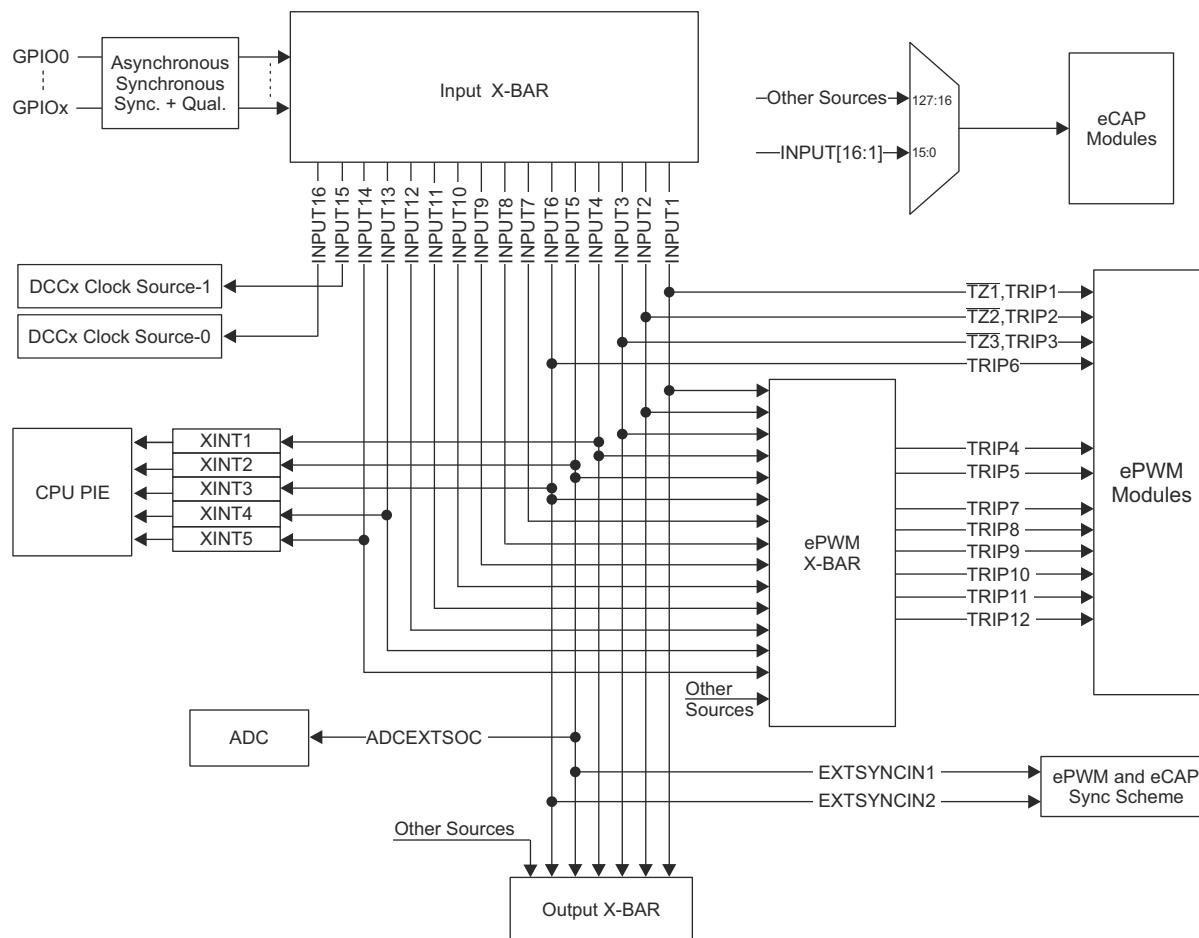


図 5-4. 入力クロスバー

表 5-7. クロスバーの接続先

入力	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ECAP / HRCAP	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり
EPWM クロスバー	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	
CLB クロスバー	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	
出力クロスバー	あり	あり	あり	あり	あり	あり										
CPU XINT				XINT1	XINT2	XINT3							XINT4	XINT5		
EPWM トリップ	TZ1、 TRIP1	TZ2、 TRIP2	TZ3、 TRIP3			TRIP6										
ADC 変換開始					ADCEX TSOC											
EPWM / ECAP 同期					EXTSY NCIN1	EXTSY NCIN2										
DCCx														CLK1	CLK0	

#### 5.4.4 GPIO 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、ePWM クロスバー

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。CLB クロスバーには 8 つの出力があり、CLB グローバル マルチプレクサで AUXSIGx として接続されています。CLB 出力クロスバーには 8 つの出力があり、GPIO マルチプレクサで CLB\_OUTPUTXBARx として選択できます。ePWM クロスバーには 8 つの出力があり、ePWM の TRIPx 入力に接続されています。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソースを [図 1-1](#) に示します。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーの詳細については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』のクロスバー (X-BAR) の章を参照してください。

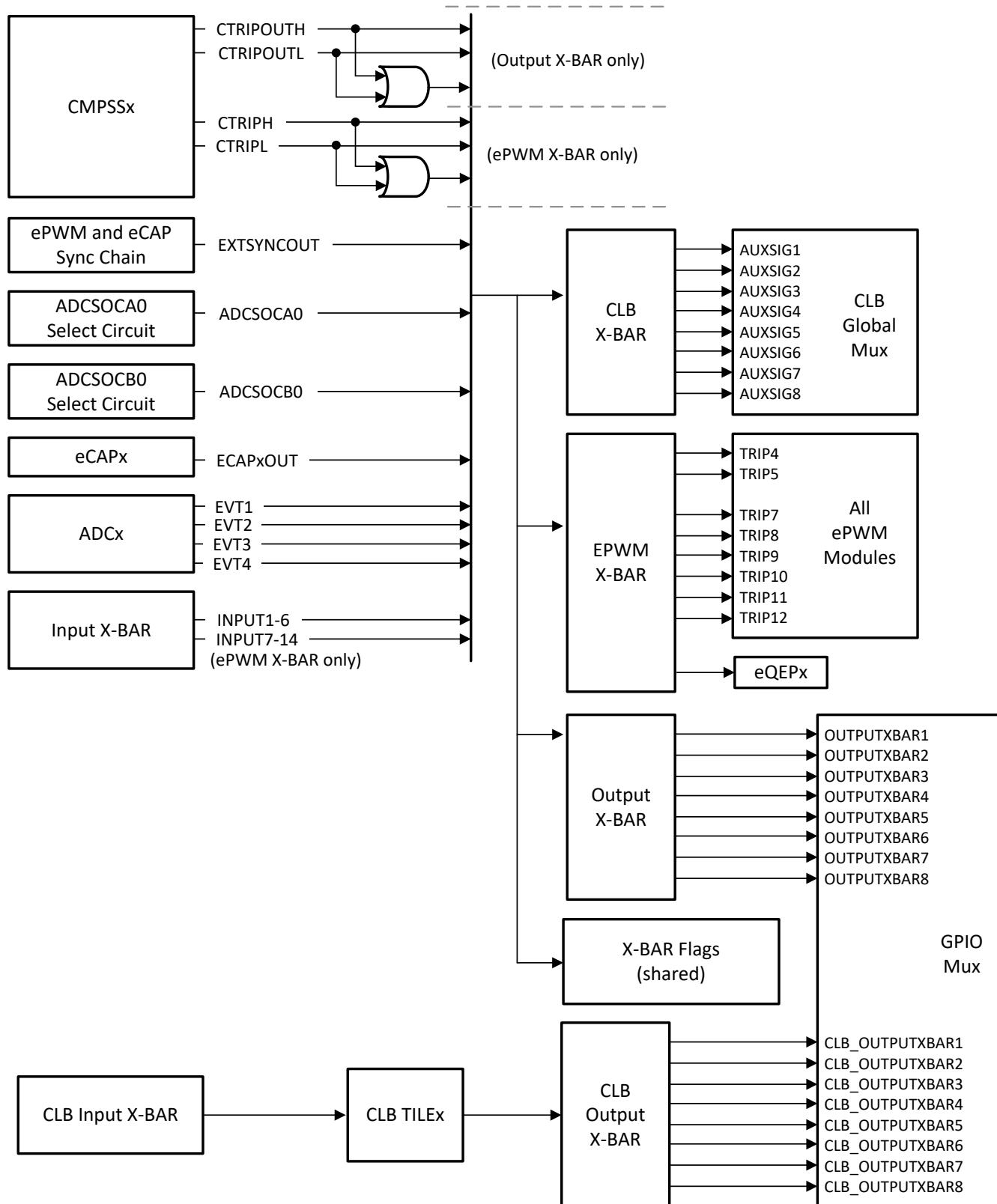


図 5-5. 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソース

## 5.5 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-8 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。表 5-8 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 5-8. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイスブート	アプリケーション
GPIOx	プルアップ ディセーブル	プルアップ ディセーブル <sup>(1)</sup>	アプリケーションで設定
GPIO35/TDI	プルアップ ディセーブル	プルアップ ディセーブル	アプリケーションで設定
GPIO37/TDO	プルアップ ディセーブル	プルアップ ディセーブル	アプリケーションで設定
TCK		プルアップ イネーブル	
TMS		プルアップ イネーブル	
XRSn		プルアップ イネーブル	
その他のピン (AIO を含む)		プルアップまたはプルダウンなし	

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

## 5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-9 に、未使用のピンに対して許容される処置を示します。表 5-9 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-9 に記載されていないピンは、セクション 5 に従って接続する必要があります。

**表 5-9. 未使用ピンの接続**

信号名	許容される処置
<b>アナログ</b>	
VREFHI	VDDA に接続 (ADC がアプリケーションで使用されていない場合のみ適用)
VREFLO	VSSA に接続
アナログ入力ピン	<ul style="list-style-type: none"> <li>接続なし</li> <li>VSSA に接続</li> <li>抵抗を経由して VSSA に接続</li> </ul>
<b>デジタル</b>	
FLT1 (フラッシュ テストピン 1)	<ul style="list-style-type: none"> <li>接続なし</li> <li>4.7kΩ 以上の抵抗を経由して VSS に接続</li> </ul>
FLT2 (フラッシュ テストピン 2)	<ul style="list-style-type: none"> <li>接続なし</li> <li>4.7kΩ 以上の抵抗を経由して VSS に接続</li> </ul>
GPIOx	<ul style="list-style-type: none"> <li>接続なし (入力モードで内部プルアップをイネーブル)</li> <li>接続なし (出力モードで内部プルアップをディセーブル)</li> <li>プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)</li> </ul>
GPIO35/TDI	TDI 多重化オプションを選択すると (デフォルト)、GPIO は入力モードになります。 <ul style="list-style-type: none"> <li>内部プルアップをイネーブル</li> <li>外部プルアップ抵抗</li> </ul>
GPIO37/TDO	TDO 多重化オプションを選択すると (デフォルト)、GPIO は JTAG 動作中のみ出力モードになります。それ以外の場合は、トライステート状態になります。入力バッファでの余分な電流を避けるため、このピンにバイアスを印加する必要があります。 <ul style="list-style-type: none"> <li>内部プルアップをイネーブル</li> <li>外部プルアップ抵抗</li> </ul>
TCK	<ul style="list-style-type: none"> <li>接続なし</li> <li>プルアップ抵抗</li> </ul>
TMS	プルアップ抵抗
GPIO19/X1	XTAL をオフおよび: <ul style="list-style-type: none"> <li>入力モードで内部プルアップをイネーブル</li> <li>入力モードで外部プルアップまたはプルダウン抵抗を使用</li> <li>出力モードで内部プルアップをディセーブル</li> </ul>
GPIO18/X2	XTAL をオフおよび: <ul style="list-style-type: none"> <li>入力モードで内部プルアップをイネーブル</li> <li>入力モードで外部プルアップまたはプルダウン抵抗を使用</li> <li>出力モードで内部プルアップをディセーブル</li> </ul>
<b>電源およびグランド</b>	
VDD	すべての VDD ピンは、セクション 5.3 に従って接続する必要があります。ピンを外部回路のバイアスに使用することはできません。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。

**表 5-9. 未使用ピンの接続 (続き)**

信号名	許容される処置
VDDIO	すべての VDDIO ピンは、セクション 5.3 に従って接続する必要があります。
VSS	すべての VSS ピンは、基板のグラウンドに接続する必要があります。
VSSA	アナログ グラウンドを使用しない場合は、VSS に接続します。

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

		最小値	最大値	単位
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧 <sup>(6)</sup>	V <sub>IN</sub> (3.3V)	-0.3	4.6	V
出力電圧	V <sub>O</sub>	-0.3	4.6	V
入力クランプ電流 - ピンごと <sup>(4) (5)</sup>	I <sub>IK</sub> - V <sub>IN</sub> < VSS/VSSA - V <sub>IN</sub> > VDDIO/VDDA	-20	20	mA
入力クランプ電流 - すべての入力の合計 <sup>(5)</sup>	I <sub>IKTOTAL</sub> - V <sub>IN</sub> < VSS/VSSA - V <sub>IN</sub> > VDDIO/VDDA	-20	20	mA
出力電流	デジタル出力 (ピンごと), I <sub>OUT</sub>	-20	20	mA
自由気流での周囲温度	T <sub>A</sub>	-40	125	°C
動作時接合部温度	T <sub>J</sub>	-40	150	°C
保存温度 <sup>(3)</sup>	T <sub>stg</sub>	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみであり、推奨動作条件を超える条件でデバイスが機能することを示唆するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。
- (4) ピンごとの連続クランプ電流は ±2mA です。
- (5) VDDIO/VDDA を上回る、または VSS/VSSA を下回る V<sub>IN</sub> を印加すると、ESD 電流クランプダイオードがオンになり、それぞれの電源レールに余分な電流が流れます。この場合、デバイスの永続的な損傷を防止するために、この電流が記載されている最小 / 最大値内になるようにする必要があります。
- (6) 入力クランプ電流も制限を守る必要があります。

### 6.2 ESD 定格 - 民生用

			値	単位
80 ピン PN パッケージの F280025, F280025C, F280023, F280023C				
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帶電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	すべてのピン 80 ピン PN のコーナー ピン: 1, 20, 21, 40, 41, 60, 61, 80	
			±500 ±750	
64 ピン PM パッケージの F280025, F280025C, F280023, F280023C				
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帶電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	すべてのピン 64 ピン PM のコーナー ピン: 1, 16, 17, 32, 33, 48, 49, 64	
			±500 ±750	
F280025, F280025C, F280023, F280023C, F280021 は 48 ピン PT パッケージで提供				
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帶電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	すべてのピン 48 ピン PT のコーナー ピン: 1, 12, 13, 24, 25, 36, 37, 48	
			±500 ±750	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

## 6.3 ESD 定格 - 車載用

			値	単位
80 ピン PN パッケージの F280025-Q1、F280025C-Q1、F280023-Q1				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	すべてのピン	$\pm 2000$
		デバイス帶電モデル (CDM)、AEC Q100-011 準拠	すべてのピン 80 ピン PN のコーナー ピン: 1, 20, 21, 40, 41, 60, 61, 80	$\pm 500$ $\pm 750$
64 ピン PM パッケージの F280025-Q1、F280025C-Q1、F280023-Q1				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	すべてのピン	$\pm 2000$
		デバイス帶電モデル (CDM)、AEC Q100-011 準拠	すべてのピン 64 ピン PM のコーナー ピン: 1, 16, 17, 32, 33, 48, 49, 64	$\pm 500$ $\pm 750$
48 ピン PT パッケージの F280025-Q1、F280025C-Q1、F280023-Q1、F280021-Q1				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	すべてのピン	$\pm 2000$
		デバイス帶電モデル (CDM)、AEC Q100-011 準拠	すべてのピン 48 ピン PT のコーナー ピン: 1, 12, 13, 24, 25, 36, 37, 48	$\pm 500$ $\pm 750$

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

## 6.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル <sup>(3)</sup>	$V_{BOR-VDDIO}(MAX) + V_{BOR-GB}$ <sup>(2)</sup>	3.3	3.63	V
	内部 BOR ディセーブル		2.8	3.3	
デバイス グランド、VSS			0		V
アナログ グランド、VSSA			0		V
$SR_{SUPPLY}$	VSS に対する VDDIO、VDDA の電源ランプレート <sup>(4)</sup>				
$V_{IN}$ <sup>(6)</sup>	デジタル入力電圧		$VSS - 0.3$	$VDDIO + 0.3$	V
	アナログ入力電圧		$VSSA - 0.3$	$VDDA + 0.3$	V
$V_{BOR-GB}$	VDDIO BOR ガードバンド <sup>(5)</sup>			0.1	V
接合部温度、 $T_J$ <sup>(1)</sup>			-40	145	°C
自由気流での周囲温度、 $T_A$			-40	125	°C

- (1)  $T_J = 105^{\circ}\text{C}$  を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。
- (2) 「電気的特性」の表の VDDIO BOR 電圧 ( $V_{BOR-VDDIO}[\text{MAX}]$ ) によって、デバイス動作の下限電圧が決まります。「電源電圧」の図に示すように追加のガードバンド ( $V_{BOR-GB}$ ) を確保することを、システム設計者に対して推奨します。
- (3) デフォルトで、内部 BOR がイネーブルになっています。
- (4) 「パワー マネージメント モジュールの動作条件」表を参照してください。
- (5) 3.3V VDDIO システム レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR リセットが発生することを回避するため、TI は  $V_{BOR-GB}$  を推奨します。通常のデバイス動作時に BOR がアクティブになることを防止するために、優れたシステム レギュレータ設計および(システム レギュレータの仕様に従った) デカップリング容量が重要です。 $V_{BOR-GB}$  の値は、システム レベルの設計上の考慮事項であり、ここに示す電圧は多くのアプリケーションで一般的です。
- (6) VDDIO/VDDA を上回る、または VSS/VSSA を下回る  $V_{IN}$  を印加すると、ESD 電流クランプ ダイオードがオンになり、それぞれの電源レールに余分な電流が流れます。VDDIO/VDDA 電圧が内部的に上昇し、その他の電気的特性に影響を及ぼす可能性があります。

## 電源電圧

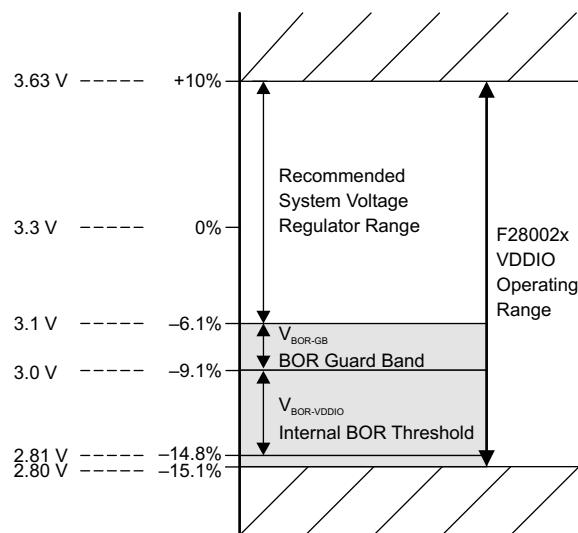


図 6-1. 電源電圧

## 6.5 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーションコードおよびピン構成によって異なります。[セクション 6.5.1](#) に、システム消費電流の値を示します。

### 6.5.1 システム消費電流

自由気流での動作温度範囲内 (特に記述のない限り)。

代表値:  $V_{nom}$ , 30°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
<b>動作モード</b>						
$I_{DDIO}$	動作時の VDDIO 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。	35	72	72	mA
$I_{DDA}$	動作時の VDDA 消費電流		3	5	5	mA
<b>アイドル モード</b>						
$I_{DDIO}$	デバイスがアイドル モードのときの VDDIO 消費電流	- CPU はアイドル モード - フラッシュの電源がオフ	16	33	33	mA
$I_{DDA}$	デバイスがアイドル モードのときの VDDA 消費電流	- XCLKOUT がオフ - IO ピンのプルアップがイネーブル	0.01	0.1	0.1	mA
<b>スタンバイ モード</b>						
$I_{DDIO}$	デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU はスタンバイ モード - フラッシュの電源がオフ	8	22	22	mA
$I_{DDA}$	デバイスがスタンバイ モードのときの VDDA 消費電流	- XCLKOUT がオフ - IO ピンのプルアップがイネーブル	0.01	0.1	0.1	mA
<b>ホールト モード</b>						
$I_{DDIO}$	デバイスがホールト モードのときの VDDIO 消費電流	- CPU はホールト モード - フラッシュの電源がオフ	1	16	16	mA
$I_{DDA}$	デバイスがホールト モードのときの VDDA 消費電流	- XCLKOUT がオフ - IO ピンのプルアップがイネーブル	0.01	0.1	0.1	mA
<b>フラッシュ消去 / プログラム</b>						
$I_{DDIO}$	消去 / プログラム サイクル中の VDDIO 消費電流 <sup>(1)</sup>	- CPU は RAM から実行。 - SYSCLK は 100MHz。 - I/O は入力でプルアップがイネーブル。	72	106	106	mA
$I_{DDA}$	消去 / プログラム サイクル中の VDDA 消費電流	- ペリフェラル クロックはオフ。	0.1	2.5	2.5	mA
<b>リセット モード</b>						
$I_{DDIO}$	リセットがアクティブのときの VDDIO 消費電流 <sup>(2)</sup>		8.6	8.6	8.6	mA
$I_{DDA}$	リセットがアクティブのときの VDDA 消費電流 <sup>(2)</sup>		0.1	0.1	0.1	mA

- (1) フラッシュ プログラミング中に発生したブランディングイベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブランディング状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステムコンポーネントに定格電流を供給できるようにする必要があります。
- (2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

### 6.5.2 動作モードテストの説明

セクション 6.5.1 およびセクション 6.5.4.1 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定のテスト条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- すべての CPU がコードをアクティブに実行。
- すべてのアナログ ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

### 6.5.3 消費電流のグラフ

図 1-1、図 1-1、図 1-1、図 1-1 に、本デバイスの周波数、温度、コア電源、消費電流の関係の代表例を示します。実際の結果は、システムの実装と条件によって異なります。

図 1-1 に、温度とコア電源電圧における標準的な動作電流プロファイルを示します。図 1-1 に、温度とコア電源電圧における標準的なアイドル電流プロファイルを示します。図 1-1 に、温度とコア電源電圧における標準的なスタンバイ電流プロファイルを示します。図 1-1 に、温度とコア電源電圧における標準的なホールト電流プロファイルを示します。

#### 注

図 1-1 のデータは 30°C で取得されました。

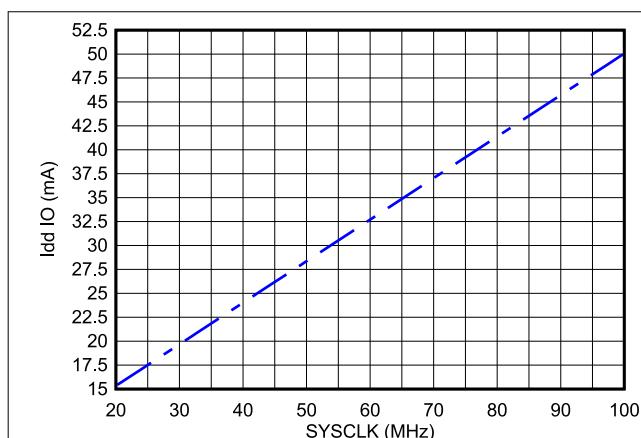


図 6-2. 動作時の電流と周波数との関係

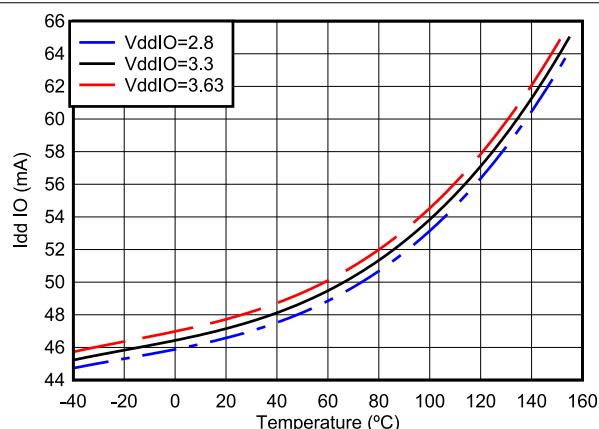


図 6-3. 動作時の電流と温度との関係

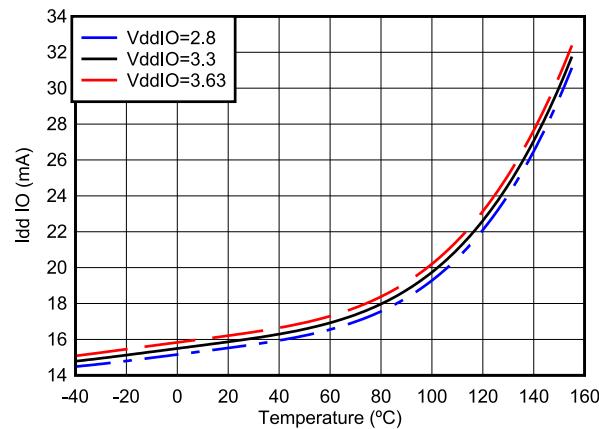


図 6-4. 電流と温度との関係 - IDLE モード

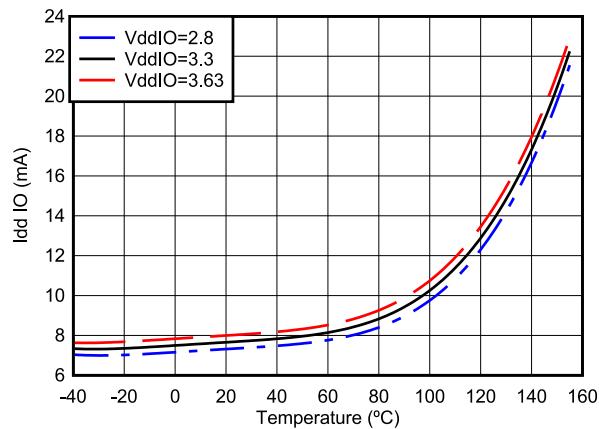


図 6-5. 電流と温度との関係 - STANDBY モード

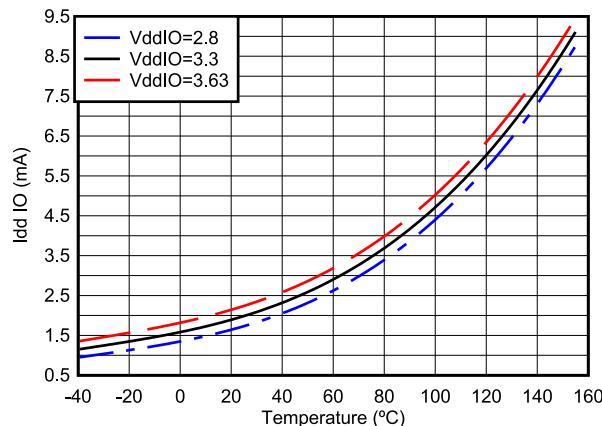


図 6-6. 電流と温度との関係 - HALT モード

## 6.5.4 消費電流の低減

F28002x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック イネーブル ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。セクション 6.5.4.1 に、PCLKCRx レジスタを使用してクロックをディセーブルにすることにより実現できる、標準的な電流低減を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンスマニュアル](#)』の「A/D コンバータ (ADC)」の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

### 6.5.4.1 ペリフェラル ディセーブル時の標準的な電流低減

ペリフェラル	I <sub>DIO</sub> 電流の低減 (mA)
ADC <sup>(1)</sup>	0.67
BGCRC	0.26
CAN	1.18
CLB	1.18
CMPSS <sup>(1)</sup>	0.34
CPU タイマ	0.02
CPUCRC	0.01
DCC	0.18
DMA	0.56
eCAP1、eCAP2	0.22
eCAP3 <sup>(2)</sup>	0.28
ePWM	0.78
eQEP	0.11
FSI	0.74
HIC	0.21
HRPWM	0.87
I <sub>2</sub> C	0.24
LIN	0.32
PBIST	0.19
PMBUS	0.26
SCI	0.16
SPI	0.08

(1) この数値は、各モジュールのデジタル部分で消費される電流を示しています。

(2) eCAP3 は、HRCAP として構成することもできます。

## 6.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位	
<b>デジタルおよびアナログ IO</b>							
$V_{OH}$	High レベル出力電圧	$I_{OH} = I_{OH}$ 最小値	$V_{DDIO} * 0.8$		V		
		$I_{OH} = -100\mu A$	$V_{DDIO} - 0.2$				
$V_{OL}$	Low レベル出力電圧	$I_{OL} = I_{OL}$ 最大値	0.4		V		
		$I_{OL} = 100 \mu A$	0.2				
$I_{OH}$	すべての出力ピンの High レベル出力ソース電流		-4		mA		
$I_{OL}$	すべての出力ピンの Low レベル出力シンク電流		4		mA		
$R_{OH}$	すべての出力ピンの High レベル出力インピーダンス		45	65	100	$\Omega$	
$R_{OL}$	すべての出力ピンの Low レベル出力インピーダンス		45	60	90	$\Omega$	
$V_{IH}$	High レベル入力電圧		2.0		V		
$V_{IL}$	Low レベル入力電圧		0.8		V		
$V_{HYSTERESIS}$	入力ヒステリシス		125		mV		
$I_{PULLDOWN}$	入力電流	プルダウン付きピン	$V_{DDIO} = 3.3V$ $V_{IN} = V_{DDIO}$	120		$\mu A$	
$I_{PULLUP}$	入力電流	プルアップがイネーブルされたデジタル入力 <sup>(1)</sup>	$V_{DDIO} = 3.3V$ $V_{IN} = 0V$	160		$\mu A$	
$I_{LEAK}$	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル $0V \leq V_{IN} \leq V_{DDIO}$	0.1	$\mu A$		
		アナログピン (ADCINA3/ VDAC を除く)	アナログドライバは ディセーブル $0V \leq V_{IN} \leq V_{DDA}$	0.1			
		ADCINA3/VDAC		2	11		
$C_I$	入力容量	デジタル入力		2		$pF$	
		アナログピン <sup>(2)</sup>		1.14			
<b>VREG および BOR</b>							
$V_{POR-VDDIO}$	VDDIO パワーオンリセット電圧	VDDIO パワーオンリセット電圧		2.3		V	
$V_{BOR-VDDIO}$	VDDIO ブラウンアウトリセット電圧 <sup>(3)</sup>			2.81	3.0	V	
$V_{VREG}$	内部電圧レギュレータ出力			1.14	1.2	1.32	V

(1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。

(2) アナログピンは個別に規定されています。「チャネルごとの寄生容量」の表を参照してください。

(3) 「推奨動作条件」セクションの「電源電圧」の図を参照してください。

## 6.7 PN パッケージの熱抵抗特性

		°C/W <sup>(1)</sup>	エア フロー (Ifm) <sup>(2)</sup>
R $\Theta_{JC}$	接合部からケースへの熱抵抗	14.2	該当なし
R $\Theta_{JB}$	接合部から基板への熱抵抗	21.9	該当なし
R $\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	49.9	0
		38.3	150
		36.7	250
		34.4	500
P $\sigma_{JT}$	接合部とパッケージ上面との間	0.8	0
		1.18	150
		1.34	250
		1.62	500
P $\sigma_{JB}$	接合部と基板との間	21.6	0
		20.7	150
		20.5	250
		20.1	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [R $\Theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) Ifm = linear feet per minute (リニア フィート毎分)

## 6.8 PM パッケージの熱抵抗特性

		°C/W <sup>(1)</sup>	エア フロー (Ifm) <sup>(2)</sup>
R $\Theta_{JC}$	接合部からケースへの熱抵抗	12.4	該当なし
R $\Theta_{JB}$	接合部から基板への熱抵抗	25.6	該当なし
R $\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	51.8	0
R $\Theta_{JMA}$	接合部から周囲空気流への熱抵抗	42.2	150
		39.4	250
		36.5	500
P $\sigma_{JT}$	接合部とパッケージ上面との間	0.5	0
		0.9	150
		1.1	250
		1.4	500
P $\sigma_{JB}$	接合部と基板との間	25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [R $\Theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) Ifm = linear feet per minute (リニア フィート毎分)

## 6.9 PT パッケージの熱抵抗特性

		°C/W <sup>(1)</sup>	エア フロー (Ifm) <sup>(2)</sup>
R $\Theta_{JC}$	接合部からケースへの熱抵抗	13.6	該当なし
R $\Theta_{JB}$	接合部から基板への熱抵抗	30.6	該当なし
R $\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	64	0
		50.4	150
		48.2	250
		45	500
P $\sigma_{JT}$	接合部とパッケージ上面との間	0.56	0
		0.94	150
		1.1	250
		1.38	500
P $\sigma_{JB}$	接合部と基板との間	30.1	0
		28.7	150
		28.4	250
		28	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1SOP システムによる  $\theta_{JC}$  [R $\Theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流(静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) Ifm = linear feet per minute (リニア フィート毎分)

## 6.10 热設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I<sub>DD</sub> および I<sub>DDIO</sub> の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T<sub>A</sub>) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T<sub>J</sub> です。したがって、規定された制限範囲内に T<sub>J</sub> を維持するように注意する必要があります。動作接合部温度 T<sub>J</sub> を推定するためには、T<sub>case</sub> を測定する必要があります。通常、T<sub>case</sub> は、パッケージ上面の中央で測定します。サーマル アプリケーション レポート『半導体および IC パッケージの熱評価基準』は、熱評価基準および定義の理解に役立ちます。

## 6.11 システム

### 6.11.1 パワー・マネージメント・モジュール (PMM)

#### 6.11.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能を処理します。

#### 6.11.1.2 概要

図 1-1 に、PMM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

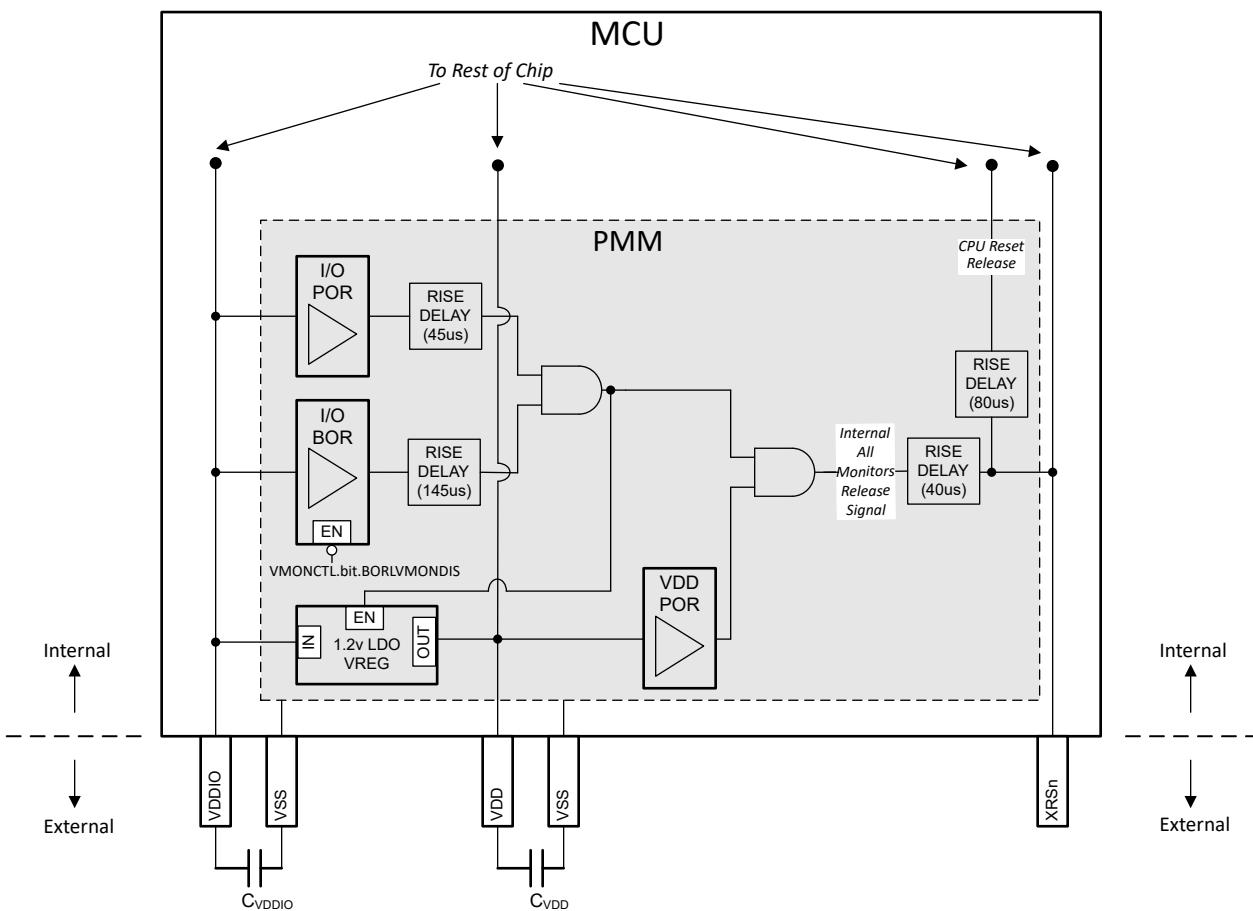


図 6-7. PMM のブロック図

#### 6.11.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワー・アップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

#### 注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

3つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、 $XRS_n$  が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、 $XRS_n$  は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

#### 6.11.1.2.1.1 I/O POR (パワーオン・リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

#### 6.11.1.2.1.2 I/O BOR (ブラウンアウト・リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます)。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

注

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

図 1-1 に、I/O BOR の動作領域を示します。

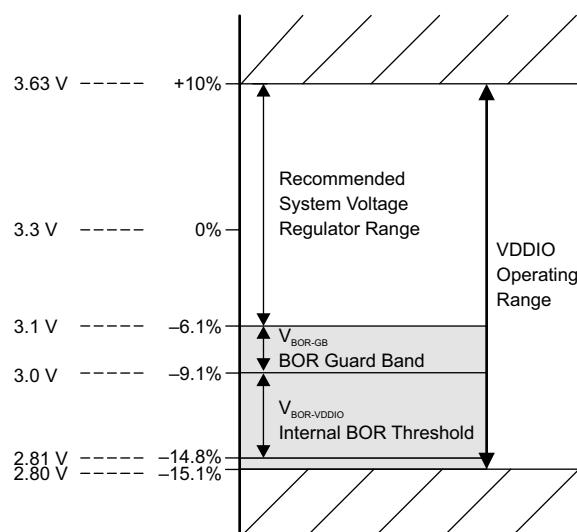


図 6-8. I/O BOR 動作領域

#### 6.11.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます(すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

#### 6.11.1.2.2 外部監視回路の使用

VDDIO 監視:I/O BOR はアプリケーションでの使用をサポートしているため、I/O レールの監視に外部監視回路は必要ありません。

VDD 監視:

- 内部 VREG から供給される VDD:VDD 電源は VDDIO 電源から生成されます。VREG は、有効な VDDIO 電源 (IO BOR で監視) が有効な VDD 電源を暗黙的に示すように設計されています。

注

内部 VREG による外部監視回路はサポートされていません。

#### 6.11.1.2.3 遅延ブロック

電圧モニタのバス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。これにより、XRSn が解放されたときに電圧が確実に落ち着いているようにしています。遅延ブロックは、電源投入時 (すなわち、VDDIO および VDD が上昇しているとき) にのみアクティブになります。

遅延ブロックは、「パワー マネージメント モジュールの電気的データおよびタイミング」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

#### 6.11.1.2.4 内部 1.2V LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な 1.2V を生成できます。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリングコンデンサが必要です。詳細については、「VDD デカップリング」を参照してください。

#### 6.11.1.3 外付け部品

##### 6.11.1.3.1 デカップリング・コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング・コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

###### 6.11.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データおよびタイミング」の  $C_{VDDIO}$  パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- 構成 1: $C_{VDDIO}$  パラメータに従って、各 VDDIO ピンにデカップリング コンデンサを配置します。
- 構成 2:[ $C_{VDDIO} \times$  VDDIO ピンの数] に相当する値の単一のデカップリング コンデンサを実装します。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

###### 6.11.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データとタイミング」の  $C_{VDD}$  パラメータ合計値を参照してください。

以下に示す構成のどちらでも許容可能です。

- 構成 1:合計  $C_{VDD}$  をすべての VDD ピンに対して均等に分けます。この構成では、PCB レベルで VDD ピンを分離できます。
- 構成 2:合計  $C_{VDD}$  の値を持つ单一のデカップリング コンデンサを実装します。この構成では、PCB 上ですべての VDD ピンを互いに接続する必要があります。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

### 6.11.1.4 電源シーケンス

#### 6.11.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

内部 VREG モードでは、各 VDD ピンにコンデンサが接続されていれば、VDD ピンを 1 つにまとめて接続することは任意です。VDD デカップリングの構成については、「VDD デカップリング」セクションを参照してください。

このデバイスのアナログ・モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ・モジュールの性能低下は起りません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に  $\pi$  型フィルタを配置することは許容されます。

#### 注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます。

#### 6.11.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ ピン (VREFHI を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。要するに、すべての 3.3V レールが互いに接続されているとすれば、信号ピンを駆動するのは、XRSn が High になった後にしなければなりません。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

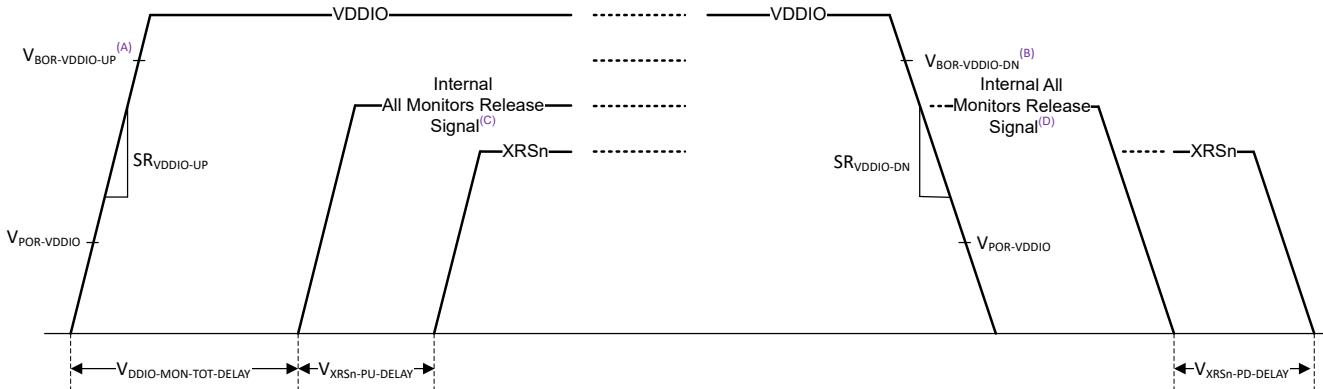
#### 注意

上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

### 6.11.1.4.3 電源ピンの電源シーケンス

#### 6.11.1.4.3.1 内部 VREG/VDD モード シーケンス

図 1-1 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー マネージメント モジュールの電気的データおよびタイミング」に記載されています。



- A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- C. パワー アップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
- D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が Low になります。「PMM のブロック図」を参照してください。

図 6-9. 内部 VREG パワー アップ シーケンス

- パワー アップ:

1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
2. I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
3.  $V_{DDIO-MON-TOT-DELAY}$  および  $V_{XRSN-PU-DELAY}$  で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。

XRSn の解放 (すなわち HIGH になる) とブートアップ シーケンスの開始の間には、さらに遅延があります。図 1-1 を参照してください。

4. I/O BOR 監視は、パワー アップ時とパワーダウン時でリリース ポイントが異なります。

- パワーダウン:

1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
2. I/O BOR 監視は、パワー アップ時とパワーダウン時でリリース ポイントが異なります。
3. I/O BOR トリップにより、 $V_{XRSN-PD-DELAY}$  後に XRSn が Low になり、また、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

#### 6.11.1.4.3.2 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

**注意**

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

**表 6-1. 内部 VREG シーケンスの概要**

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	あり
B	2	1	-
C	1	1	あり

**注**

デバイスのアナログ モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

#### 6.11.1.4.3.3 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることができます。

**注**

XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

## 6.11.1.5 パワー・マネージメント・モジュールの電気的データおよびタイミング

### 6.11.1.5.1 パワー・マネージメント・モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{VREG}$	内部電圧レギュレータ出力		1.14	1.2	1.32	V
$V_{VREG-PU}$	内部電圧レギュレータのパワーアップ時間				350	μs
$V_{VREG-INRUSH}$ <sup>(5)</sup>	内部電圧レギュレータの突入電流			650		mA
$V_{POR-VDDIO}$	VDDIO パワーオン・リセット電圧	XRSn 解除前および解除後		2.3		V
$V_{BOR-VDDIO-UP}$ <sup>(1)</sup>	上昇時の VDDIO ブラウンアウト・リセット電圧	XRSn 解除前		2.7		V
$V_{BOR-VDDIO-DN}$ <sup>(1)</sup>	下降時の VDDIO ブラウンアウト・リセット電圧	XRSn 解除後	2.81		3.0	V
$V_{XRSn-PU-DELAY}$ <sup>(2)</sup>	パワーアップ時の電源上昇から XRSn 解除までの遅延	これが最終的な遅延です		40		μs
$V_{XRSn-PD-DELAY}$ <sup>(3)</sup>	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		μs
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 監視のパスにおける合計遅延 (POR, BOR)			145		μs
$V_{XRSn-MON-RELEASE-DELAY}$	VDDIO BOR から XRSn 解除までの遅延	電源は動作範囲内		140		μs
	VDDIO POR イベントから XRSn 解除までの遅延			185		μs

- (1) 「電源電圧」の図を参照してください。
- (2) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。RC ネットワーク遅延がこの値に加算されます。
- (3) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。RC ネットワーク遅延がこの値に加算されます。
- (4) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカッピング コンデンサを使用するか、この過渡電流を供給できる LDO/DC-DC を選択することで効果を低減できます。

### 6.11.1.5.2 パワー マネージメント モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
<b>全般</b>					
$C_{VDDIO}$ (1) (2)	ピンごとの VDDIO 容量 (6)		0.1		$\mu F$
$C_{VDDA}$ (1) (2)	ピンごとの VDDA 容量 (6)		2.2		$\mu F$
$SR_{VDDIO-UP}$ (3)	3.3V レールの電源上昇速度 (VDDIO)		8	100	$mV/\mu s$
$SR_{VDDIO-DN}$ (3)	3.3V レールの電源下降速度 (VDDIO)		20	100	$mV/\mu s$
$V_{BOR-VDDIO-GB}$ (5)	VDDIO ブラウンアウトリセット電圧ガードバンド		0.1		V
<b>内蔵 VREG</b>					
$C_{VDD TOTAL}$ (4)	合計 VDD 容量 (公称値) (6)		10	22	$\mu F$

- (1) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーションソリューションによって決まります。
- (2) 3.3V レール (VDDIO, VDDA) は互いに接続し、単一の電源から供給することを推奨します。
- (3) 「電源スレーラート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
- (4) デカップリング容量全体の可能な構成については、「パワー マネージメント モジュール (PMM)」のセクションを参照してください。
- (5) 3.3V VDDIO システムレギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは  $V_{BOR-VDDIO-GB}$  を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステムレギュレータ設計および(システムレギュレータの仕様に従った) デカップリング容量が重要です。 $V_{BOR-VDDIO-GB}$  の値は、システムレベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
- (6) コンデンサの最大許容誤差は 20% にする必要があります。

### 6.11.2 リセットタイミング

XRSn は、デバイスのリセットピンです。入力およびオープンドレイン出力として機能します。このデバイスにはパワーオンリセット (POR) が内蔵されています。電源投入時に、POR 回路が XRSn ピンを LOW に駆動します。ウォッチドッグリセットまたは NMI ウォッチドッグリセットも、ピンを LOW に駆動します。外部のオープンドレイン回路によりピンを駆動して、デバイスリセットをアサートすることもできます。

XRSn と VDDIO の間に  $2.2\text{k}\Omega$ ~ $10\text{k}\Omega$  の抵抗を配置する必要があります。ノイズ フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は  $100\text{nF}$  以下にする必要があります。これらの値は、ウォッチドッグリセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを  $V_{OL}$  に正しく駆動できるように決められています。図 1-1 に、リセットの推奨回路を示します。

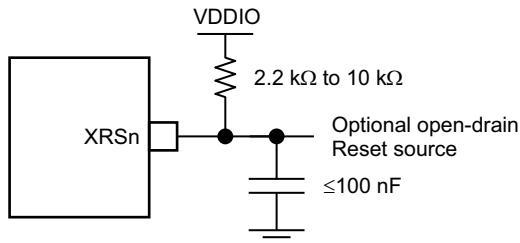


図 6-10. リセット回路

#### 6.11.2.1 リセットソース

表 6-2 に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-2. リセット信号

リセットソース	CPU コアのリセット (C28x、FPU、VCU)	ペリフェラルのリセット	JTAG/DEBUG ロジックのリセット	I/O	XRSn 出力
POR	あり	あり	あり	ハイインピーダンス	あり
XRSn ピン	あり	あり	なし	ハイインピーダンス	–
WDRS	あり	あり	なし	ハイインピーダンス	あり
NMIWDRS	あり	あり	なし	ハイインピーダンス	あり
SYRS (デバッガリセット)	あり	あり	なし	ハイインピーダンス	なし
SCCRESET	あり	あり	なし	ハイインピーダンス	なし

パラメータ  $t_{h(\text{boot-mode})}$  は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『TMS320F28002x リアルタイムマイクロコントローラテクニカルリファレンスマニュアル』の「システム制御」の章にある「リセット」セクションを参照してください。

#### 注意

一部のリセットソースはデバイスによって内部で駆動されます。これらのソースの一部は XRSn を LOW に駆動します。これを使って、ブートピンを駆動する他のデバイスをディセーブルにします。SCCRESET およびデバッガリセットソースは、XRSn を駆動しません。したがって、ブートモードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP のブートピンを変更する機能があります。詳細については、『TMS320F28002x リアルタイムマイクロコントローラテクニカルリファレンスマニュアル』を参照してください。

### 6.11.2.2 リセットの電気的データおよびタイミング

セクション 6.11.2.2.1 に、リセット (XRSn) のタイミング要件を示します。セクション 6.11.2.2.2 に、リセット (XRSn) のスイッチング特性を示します。図 1-1 に、パワーオンリセットを示します。図 1-1 に、ウォームリセットを示します。

#### 6.11.2.2.1 リセット (XRSn) のタイミング要件

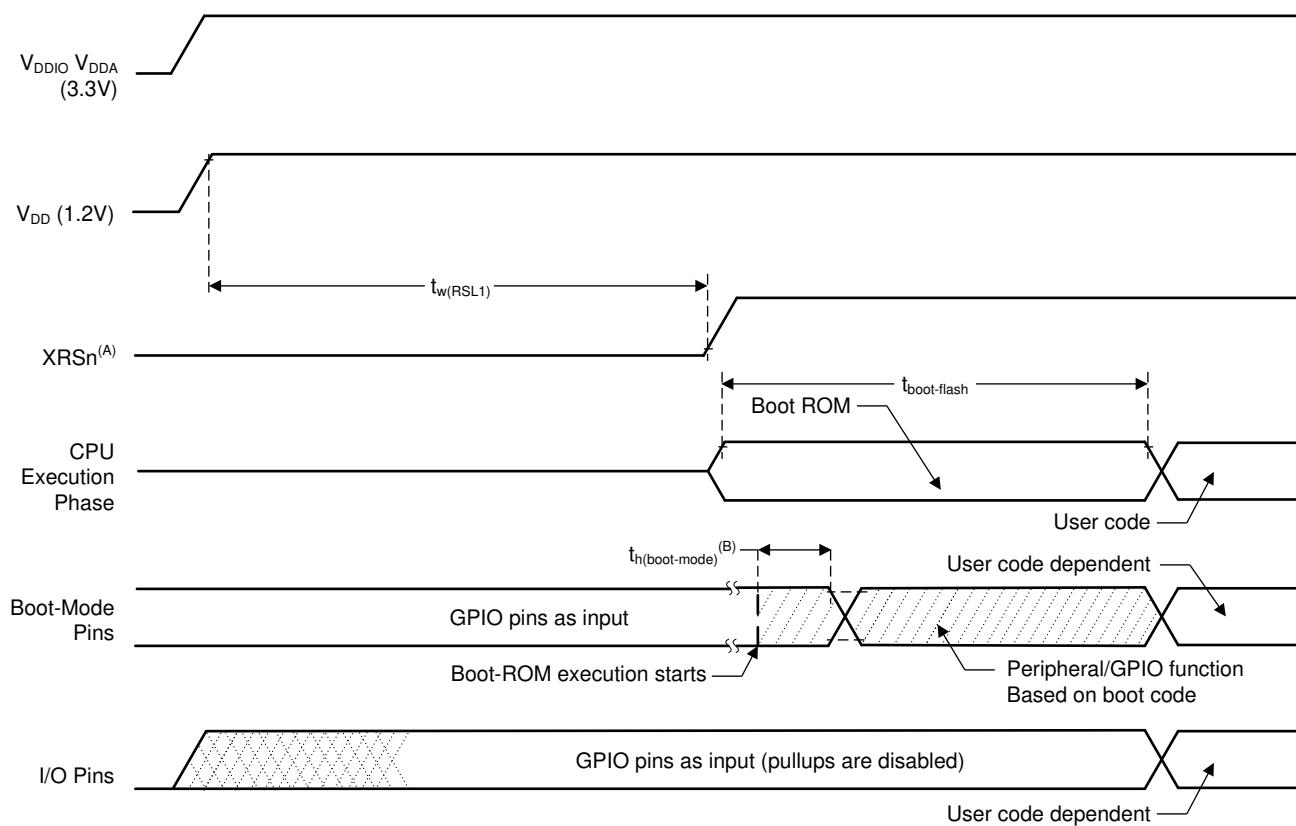
		最小値	最大値	単位
$t_{h(\text{boot-mode})}$	ブート モード ピンのホールド時間		1.5	ms
$t_{w(\text{RSL2})}$	パルス幅。ウォーム リセット時に XRSn が LOW	すべての場合	3.2	$\mu\text{s}$
		アプリケーションで使用される低消費電力モードと、 $\text{SYSCLKDIV} > 16$	3.2 * ( $\text{SYSCLKDIV}/16$ )	

#### 6.11.2.2.2 リセット (XRSn) のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

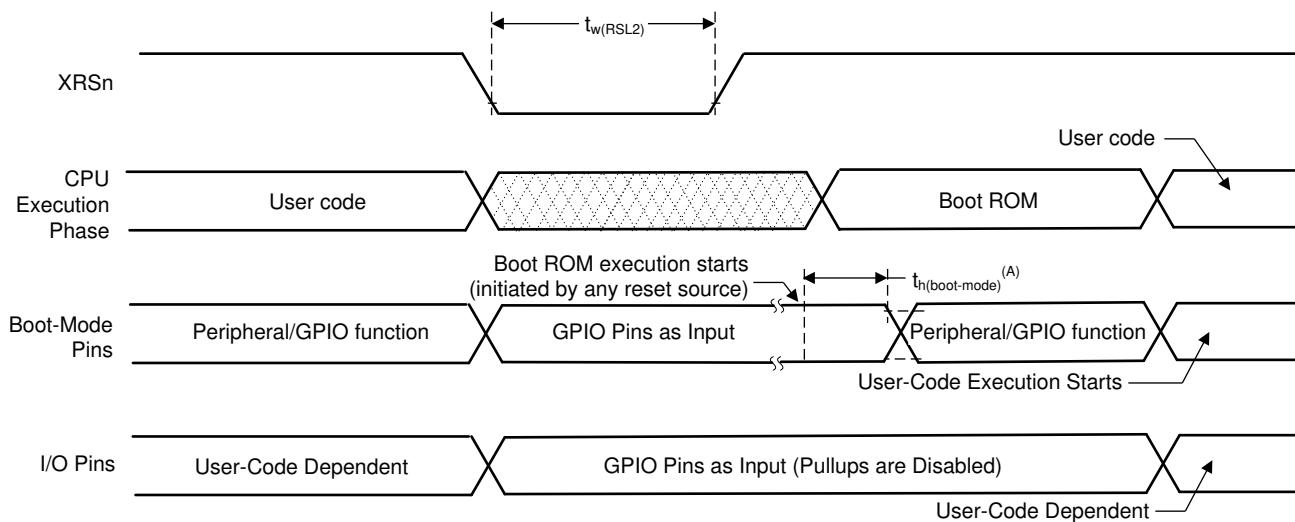
	パラメータ	最小値	代表値	最大値	単位
$t_{w(\text{RSL1})}$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		$\mu\text{s}$
$t_{w(\text{WDRS})}$	パルス幅、ウォッチドッグによって生成されるリセットパルス		512 $t_c(\text{OSCCLK})$		サイクル
$t_{\text{boot-flash}}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			900	$\mu\text{s}$

### 6.11.2.2.3 リセットのタイミング図



- A. XRSn ピンは、スーパーバイザまたは外付けプルアップ抵抗によって外部から駆動することができます。表 5-1 を参照してください。オンチップ POR ロジックは、電源が有効範囲になるまでこのピンを LOW に保持します。
- B. 任意のソースからリセットした後 (セクション 6.11.2.1 を参照)、ブート ROM コードは、ブートモードピンをサンプリングします。ブートモードピンの状態に基づいて、ブートコードは、飛び先のメモリまたはブートコード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブートコードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-11. パワーオン リセット



- A. 任意のソースからリセットした後 ([セクション 6.11.2.1](#) を参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード 関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-12. ウォーム リセット

### 6.11.3 クロック仕様

#### 6.11.3.1 クロック・ソース

表 6-3 に、クロックソースの一覧を示します。図 1-1 に、クロック供給システムを示します。図 1-1 に、PLL を示します。

表 6-3. 使用可能な基準クロックソース

クロックソース	説明
INTOSC1	内部発振器 1。 ゼロピン オーバーヘッド 10MHz 内部発振器。
INTOSC2 <sup>(1)</sup>	内部発振器 2。 ゼロピン オーバーヘッド 10MHz 内部発振器。
X1 (XTAL)	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンドクロック。

(1) リセット時、内部発振器 2 (INTOSC2) は、PLL (OSCCLK) のデフォルトクロックソースになっています。

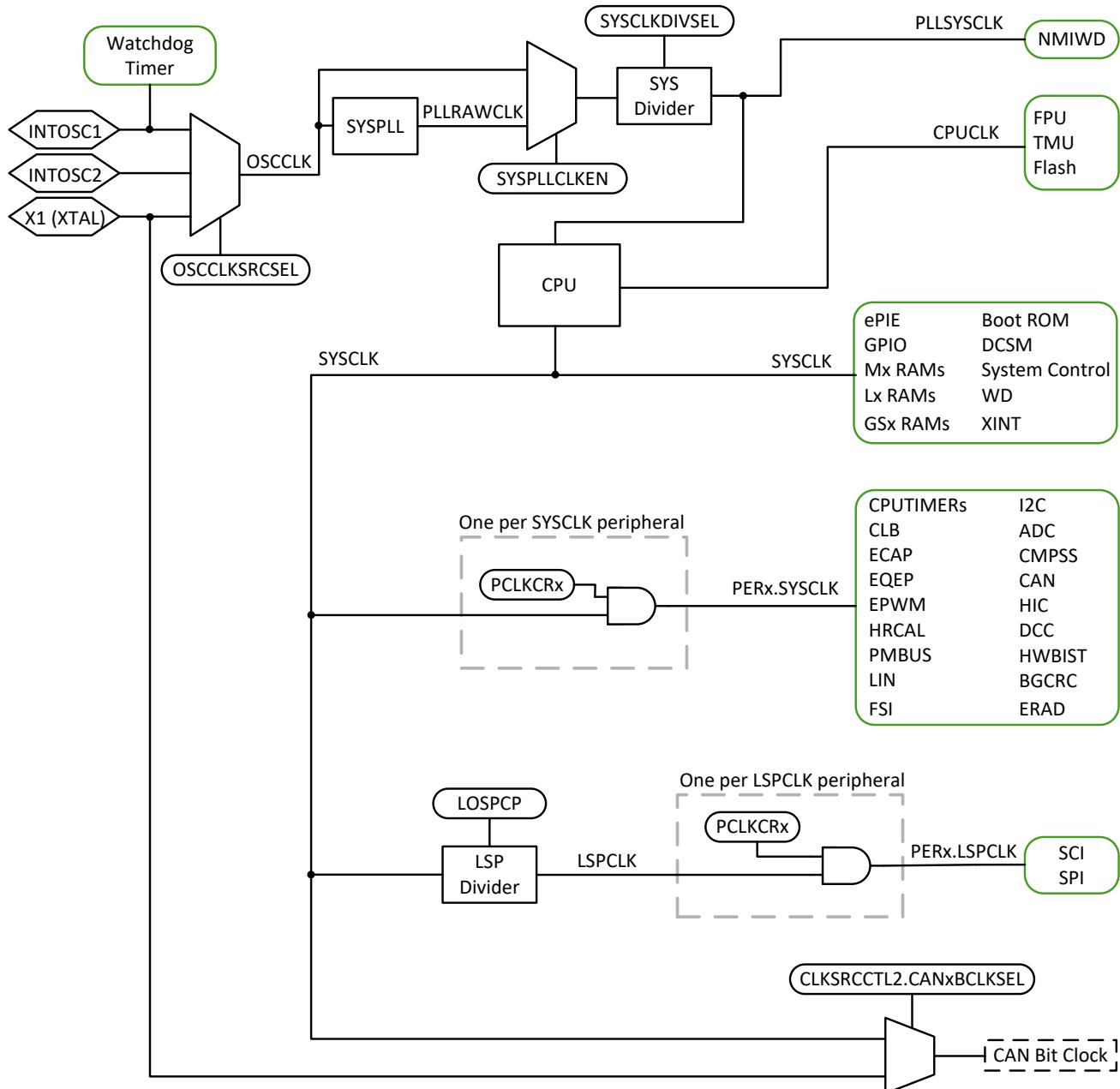


図 6-13. クロック供給システム

## SYSPLL

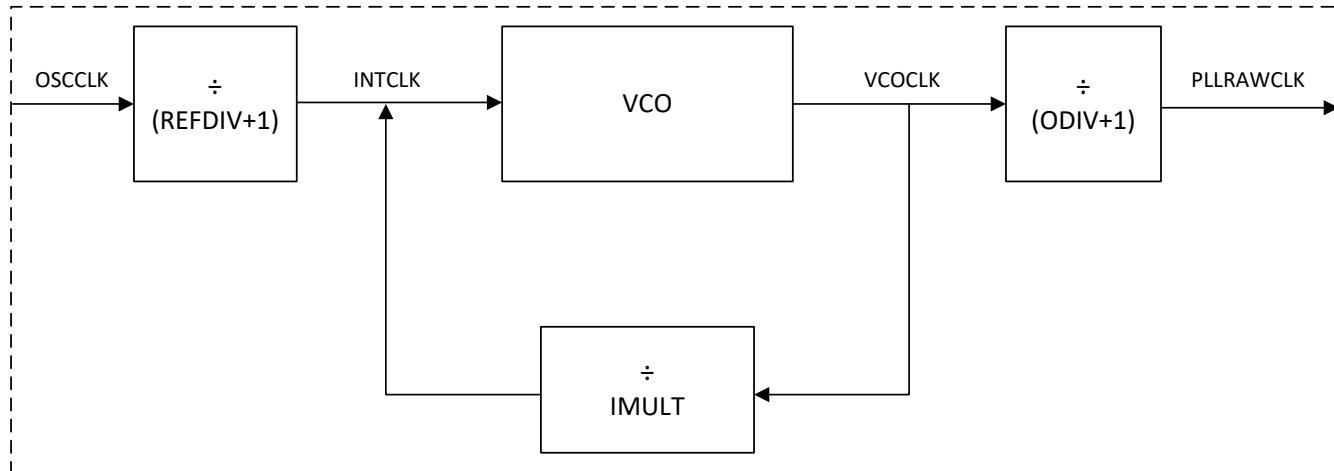


図 6-14. システム PLL

図 1-1において、

$$f_{\text{PLLRAWCLK}} = \frac{f_{\text{OSCCLK}}}{(\text{REFDIV} + 1)} \times \frac{\text{IMULT}}{(\text{ODIV} + 1)}$$

### 6.11.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

#### 6.11.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

セクション 6.11.3.2.1.1 に、入力クロックの周波数要件を示します。セクション 6.11.3.2.1.2 に、XTAL 発振器の特性を示します。セクション 6.11.3.2.1.3 に、X1 のタイミング要件を示します。セクション 6.11.3.2.1.4 に、APLL の特性を示します。セクション 6.11.3.2.1.5 に、出力クロック XCLKOUT のスイッチング特性を示します。セクション 6.11.3.2.1.6 に、内部クロックのクロック周波数を示します。

##### 6.11.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz

##### 6.11.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	代表値	最大値	単位
X1 $V_{IL}$	有効 Low レベル入力電圧	-0.3	0.3 * VDDIO	V
X1 $V_{IH}$	有効 High レベル入力電圧	0.7 * VDDIO	VDDIO + 0.3	V

##### 6.11.3.2.1.3 X1 のタイミング要件

	最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1	6	ns
$t_{r(X1)}$	立ち上がり時間、X1	6	ns
$t_w(X1L)$	パルス幅、 $t_c(X1)$ のうち X1 が Low の割合	45%	55%
$t_w(X1H)$	パルス幅、 $t_c(X1)$ のうち X1 が High の割合	45%	55%

##### 6.11.3.2.1.4 APLL 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	最小値	代表値	最大値	単位
<b>PLL ロック時間</b>				
SYS PLL ロック時間 <sup>(1)</sup>		5μs + (1024 * (REFDIV + 1) * $t_c(OSCCLK)$ )		us

- (1) ここで PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PLLENA] = 1)。デュアル クロックコンバレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されていません。PLL の初期化には、C2000Ware の最新のサンプル ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl\_setClock() を参照してください。

##### 6.11.3.2.1.5 XCLKOUT のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ <sup>(1)</sup>	最小値	最大値	単位	
$t_{f(XCO)}$	立ち下がり時間、XCLKOUT	5	ns	
$t_{r(XCO)}$	立ち上がり時間、XCLKOUT	5	ns	
$t_w(XCOL)$	パルス幅、XCLKOUT Low	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$t_w(XCOH)$	パルス幅、XCLKOUT High	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$f_{(XCO)}$	周波数、XCLKOUT	50	MHz	

- (1) これらのパラメータでは、40pF の負荷を想定しています。

(2)  $H = 0.5t_c(x_{CO})$

### 6.11.3.2.1.6 内部クロック周波数

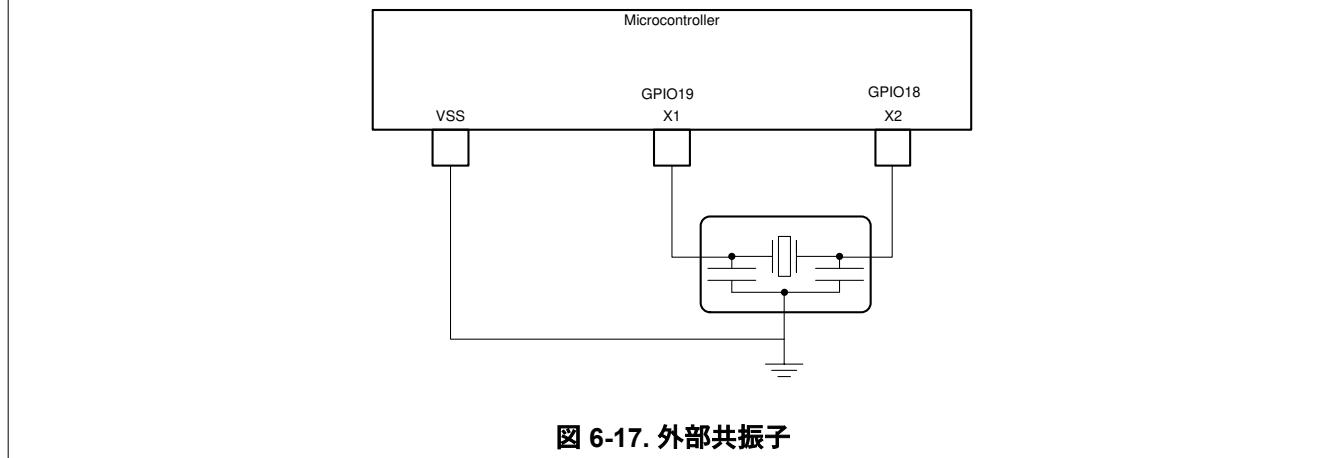
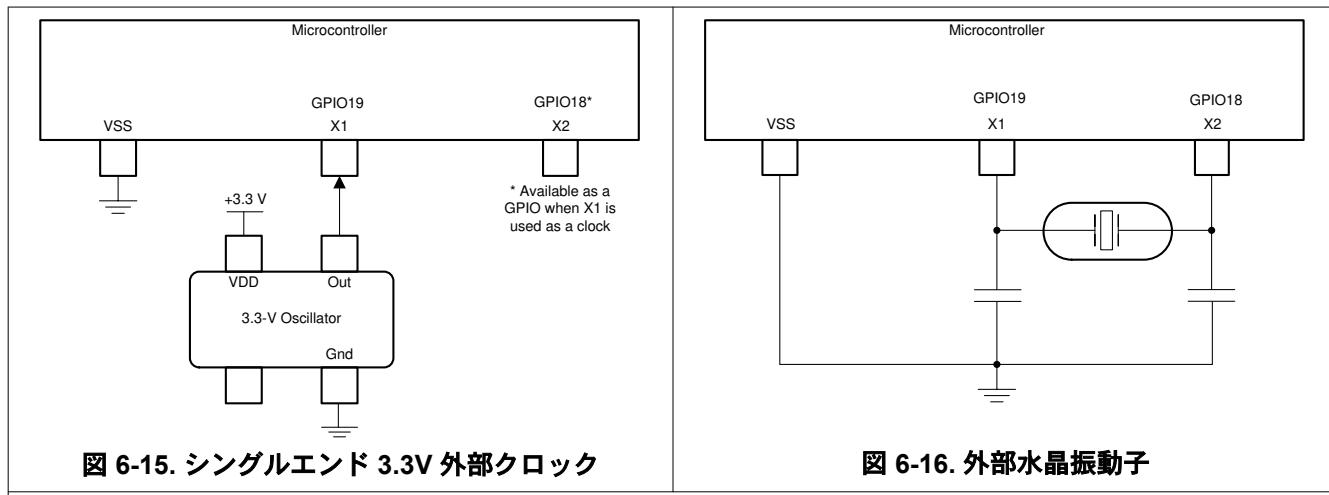
		最小値	公称値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス（システム）クロック	2		100	MHz
$t_{c(SYSCLK)}$	周期、デバイス（システム）クロック	10		500	ns
$f_{(INTCLK)}$	周波数、システム PLL が VCO に移行 (REFDIV 後)	2		20	MHz
$f_{(VCOCLK)}$	周波数、システム PLL は VCO (ODIV 前)	220		600	MHz
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		200	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		100	MHz
$f_{(PLL\_LIMP)}$	周波数、PLL のリンプ周波数 <sup>(1)</sup>		45/(ODIV + 1)		MHz
$f_{(LSP)}$	周波数、LSPCLK	2		100	MHz
$t_{c(LSPCLK)}$	周期、LSPCLK	10		500	ns
$f_{(OSCCLK)}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(EPWM)}$	周波数、EPWMCLK			100	MHz
$f_{(HRPWM)}$	周波数、HRPWMCLK	60		100	MHz

(1) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)

### 6.11.3.3 入力クロックおよびPLL

内蔵のゼロピン発振器に加えて、3種類の外部クロックソースがサポートされています。

- シングルエンドの3.3V外部クロック。図1-1に示すように、クロック信号をX1に接続し、XTALCR.SEビットを1に設定する必要があります。
- 外部水晶振動子。図1-1に示すように、X1とX2の間に水晶振動子を接続して、さらに負荷コンデンサをVSSに接続する必要があります。
- 外部共振子。図1-1に示すように、X1とX2の間に共振子を接続し、そのグランドをVSSに接続する必要があります。



### 6.11.3.4 XTAL発振器

#### 6.11.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子（またはセラミック共振器）と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

#### 6.11.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

#### 6.11.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路

は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 ( $C_0$ ) および必要な負荷容量 ( $C_L$ ) によって、並列共振モードで動作するように設計されています。図 1-1 に、電気発振回路とタンク回路の部品を示します。

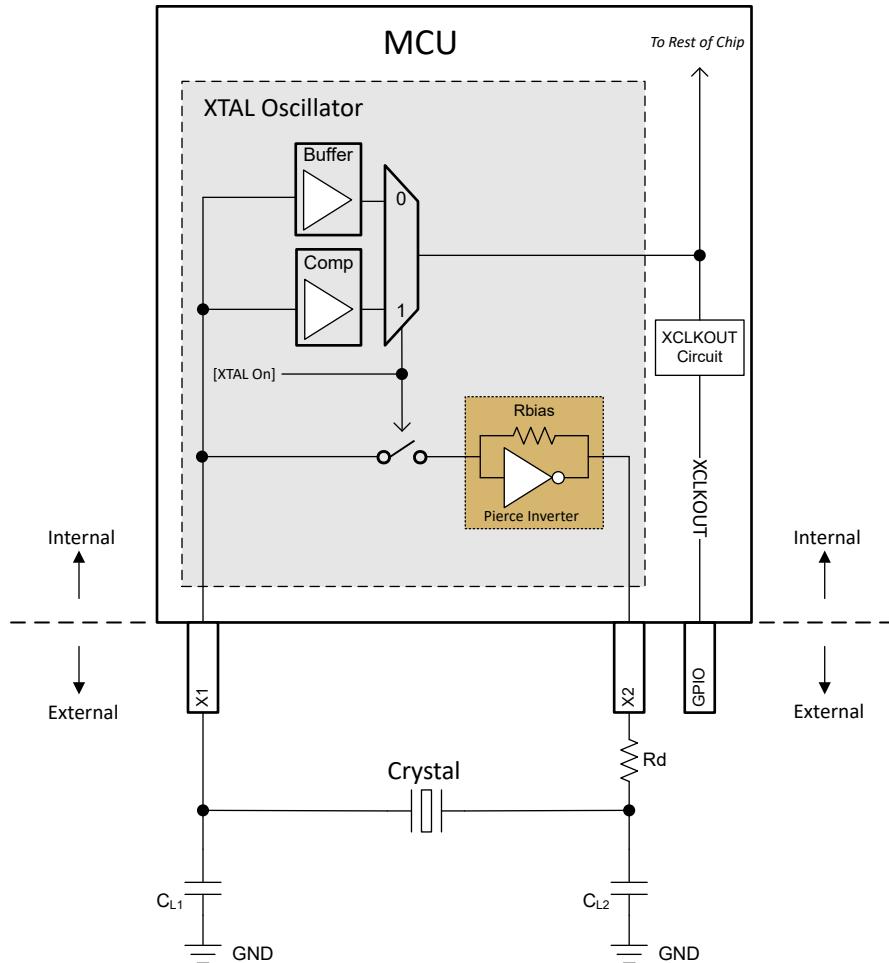


図 6-18. 電気発振回路のブロック図

#### 6.11.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

##### 6.11.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができる、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

##### 6.11.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース(水晶振動子ではない)使用時の X1 入力レベルの特性」表を参照してください。

#### 6.11.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

#### 6.11.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を 図 1-1 に示し、以下で説明します。

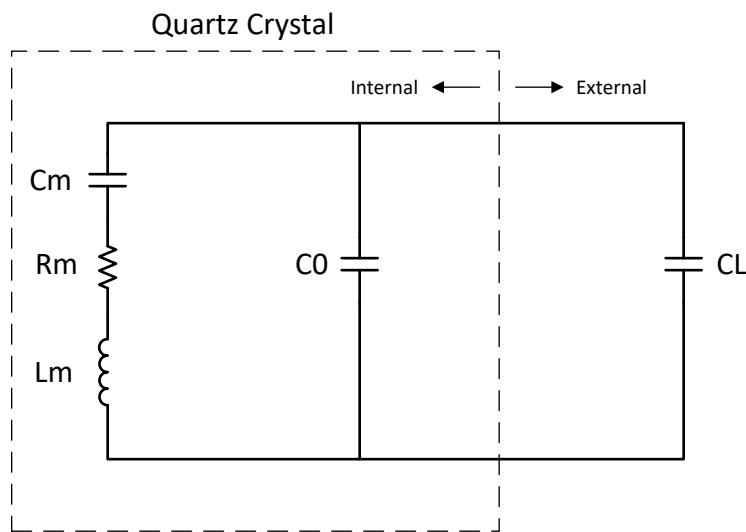


図 6-19. 水晶振動子の電気的表現

**C<sub>m</sub> (直列容量):**水晶の弾性を表します。

**R<sub>m</sub> (直列抵抗):**水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

**L<sub>m</sub> (直列インダクタンス):**水晶振動子の振動質量を表します。

**C<sub>0</sub> (並列容量):**水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

**CL (負荷容量):**これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

図 1-1 によれば、CL<sub>1</sub> と CL<sub>2</sub> が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL<sub>1</sub> = CL<sub>2</sub> の場合、単純に [CL<sub>1</sub>]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF~5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

#### 6.11.3.4.2.3 GPIO 動作モード

『TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「外部発振器 (XTAL)」セクションを参照してください。

#### 6.11.3.4.3 機能動作

##### 6.11.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C_0}{CL}\right)^2 \quad (1)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

##### 6.11.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 1-1 および 図 1-1 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-4 を参照してください。

##### 6.11.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」を参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

##### 6.11.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 ( $R_d$ ) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。 $R_d$  は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

#### 6.11.3.4.4 水晶振動子の選択方法

「[水晶発振器の仕様](#)」を参照してください。

1. 水晶周波数を選択します(たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が  $50\Omega$  以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が  $6\text{pF} \sim 12\text{pF}$  の範囲内であることを確認します。
  - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量  $CL = [CL1]/2$  となります。
  - この結果に基板の寄生成分を加算すると、 $CL = [CL1]/2 + \text{浮遊容量}$  となります。
4. 水晶振動子の最大励振レベルが  $1\text{mW}$  以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗  $R_d$  を使用できます。 $R_d$  を使用するときの他の注意点については[「DL – 励振レベル」](#)を参照してください。

#### 6.11.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ・プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ プローブを使用する必要があります。

##### 周波数

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

##### 負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

##### 起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ・サイクル内に維持されるまでに要する時間を測定します。

#### 6.11.3.4.6 一般的な問題とデバッグのヒント

##### 水晶振動子が起動しない

- 「[水晶振動子の選択方法](#)」セクションを読んで、記述に反する状況がないことを確認します。

##### 水晶振動子の起動に長い時間を要する

- ダンピング抵抗  $R_d$  を取り付けている場合、抵抗  $R_d$  が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

#### 6.11.3.4.7 水晶発振回路の仕様

##### 6.11.3.4.7.1 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
起動時間 <sup>(1)</sup>	f = 10 MHz ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20 MHz ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)			1		mW

- (1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インストゥルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

##### 6.11.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

1. 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
2. ESR = 負性抵抗 / 3

表 6-4. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Negative Resistance vs. 10MHz Crystal

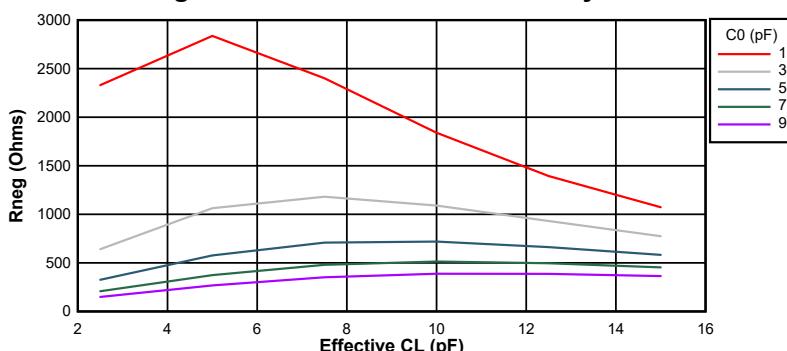


図 6-20. 10MHz 時の負性抵抗変動

### Negative Resistance vs. 20MHz Crystal

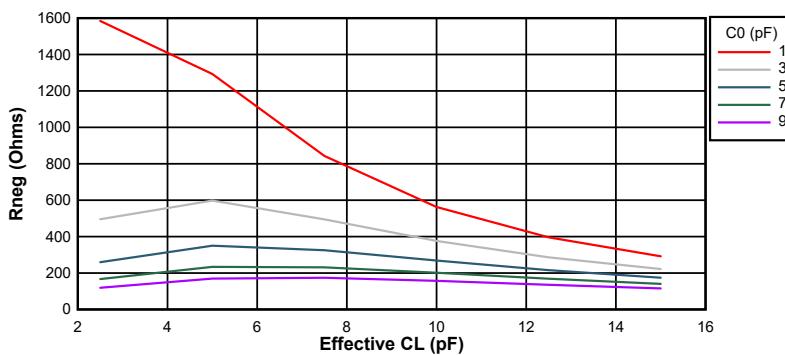


図 6-21. 20 MHz 時の負性抵抗変動

### 6.11.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての F28002x デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、INTOSC2 がシステムリファレンスクロック (OSCCLK) のソースとして設定され、INTOSC1 はバックアップクロックのソースとして設定されます。

より厳密なクロック許容範囲を必要とするアプリケーションでは、C2000Ware に含まれている SCI ポートチューニングサンプル (C2000Ware\_3\_03\_00\_00\driverlib\f28002x\examples\sci\baud\_tune\_uart) を使用すると、1% 未満の精度でポートマッチングを実現できます。

セクション 6.11.3.5.1 に、内部発振器の電気的特性を示します。

#### 6.11.3.5.1 INTOSC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
$f_{INTOSC}$	周波数、INTOSC1 および INTOSC2	-40°C～125°C	9.84 (-1.6%)			
		-30°C～90°C	9.88 (-1.2%)	10	10.14 (1.4%)	MHz
		-10°C～85°C	9.91 (-0.9%)			
		-10°C～70°C	9.93 (-0.7%)			
$f_{INTOSC-STABILITY}$	周波数安定性	30°C、公称 VDDIO		±0.1		%
$t_{INTOSC-ST}$	スタートアップおよびセトリングタイム				20	μs

#### 6.11.4 フラッシュ パラメータ

表 6-5 に、異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態を示します。ウェイト状態は、レジスタ FRDCNTL[RWAIT] で設定された値です。

表 6-5. 異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態

CPUCLK (MHz)	外部発振器または水晶振動子		INTOSC1 または INTOSC2	
	通常動作	バンクまたはポンプがスリープ状態 <sup>(1)</sup>	通常動作	バンクまたはポンプがスリープ状態 <sup>(1)</sup>
97 < CPUCLK ≤ 100	4	4	5	5
80 < CPUCLK ≤ 97				4
77 < CPUCLK ≤ 80	3	3	4	4
60 < CPUCLK ≤ 77				3
58 < CPUCLK ≤ 60	2	2	3	3
40 < CPUCLK ≤ 58				2
38 < CPUCLK ≤ 40	1	1	2	2
20 < CPUCLK ≤ 38				1
19 < CPUCLK ≤ 20	0	0	1	1
CPUCLK ≤ 19				0

(1) 指定された周波数範囲のクロック ソースとして INTOSC を使用する場合、フラッシュのスリープ動作には追加のウェイト状態が必要です。ウェイト状態 FRDCNTL[RWAIT] の変更は、スリープ モード動作を開始する前に行う必要があります。この設定は、両方のフラッシュ バンクに影響を及ぼします。

F28002x デバイスには、改善された 128 ビットのプリフェッチ バッファがあり、さまざまなウェイト状態にわたってコード フラッシュでの処理が高効率で行われます。図 1-1 および 図 1-1 に、64 ビットのプリフェッチ バッファを搭載した前世代のデバイスと比較した場合の、さまざまなウェイト状態設定での標準的な効率を示します。プリフェッチ バッファを使用したウェイト状態の実行効率は、アプリケーション ソフトウェアに存在する分岐の数によって異なります。線形コードと IF-THEN-ELSE コードの 2 つの例を示しています。

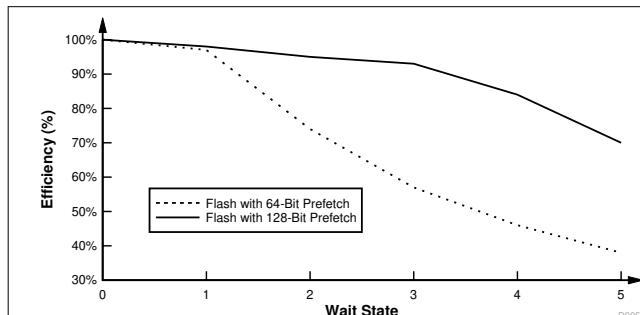


図 6-22. 多数の 32 ビット浮動小数点演算命令を含むアプリケーション コード

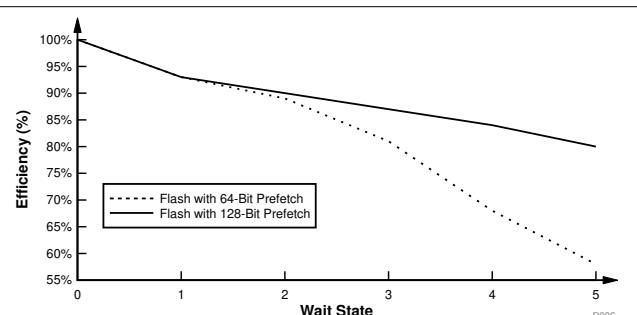


図 6-23. 16 ビットの IF-ELSE 命令を含むアプリケーション コード

表 6-6 に、フラッシュ パラメータを示します。

**表 6-6. フラッシュ パラメータ**

パラメータ		最小値	代表値	最大値	単位
プログラム時間 <sup>(1)</sup>	128 データ ビット + 16 ECC ビット		150	300	μs
	8KB セクタ		50	100	ms
消去時間 <sup>(2) (3)</sup> (< 25 サイクル)	8KB セクタ		15	56	ms
消去時間 <sup>(2) (3)</sup> (1000 サイクル)	8KB セクタ		25	133	ms
消去時間 <sup>(2) (3)</sup> (2000 サイクル)	8KB セクタ		30	226	ms
消去時間 <sup>(2) (3)</sup> (20K サイクル)	8KB セクタ		120	1026	ms
N <sub>wec</sub> 書き込み / 消去サイクル (1 セクタごと)				20000	サイクル
N <sub>wec</sub> 書き込み / 消去サイクル (フラッシュ全体、すべてのセクタを結合) <sup>(4)</sup>				100000	サイクル
t <sub>retention</sub> データ保持期間 (T <sub>J</sub> = 85°C)		20			年

(1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュ ワードマシンのオーバーヘッドが含まれます  
が、以下に示すものを RAM に転送する時間は含まれていません。

- フラッシュ API を使用してフラッシュをプログラムするコード
- フラッシュ API そのもの
- プログラムすべきフラッシュ データ

すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。  
転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。

プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、  
CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長  
くなります。

消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(2) 消去時間には、CPU による消去検証が含まれます。

(3) 本デバイスが テキサス・インスツルメンツから出荷されるとき、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイ  
スを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作に  
ついては、あらかじめ消去操作が必要です。

(4) 各セクタを単独で消去 / プログラムできるのは、20,000 回までです。EEPROM のようにセクタ (または複数セクタ) を使用する場合は、フラッシュ  
メモリ全体を消去 / プログラミングすることなく、それらのセクタのみを消去 / プログラムできます (ただし、20,000 サイクルに制限されます)。したが  
って、デバイス全体の観点では、合計 W/E サイクル数は 20,000 サイクルを超える可能性があります。ただし、その場合でも、この値が 100,000  
サイクルを超えないようにする必要があります。

### 注

メイン アレイのフラッシュ プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があり、それぞれの 64 ビットワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。

DCSM OTP のプログラミングは、128 ビットのアドレス境界に合わせて整列させる必要があり、それぞれの 128 ビットワードは、1 回のみプログラムされます。例外は以下に示すとおりです。

1. DCSM OTP の DCSM Zx-LINKPOINTER1 と Zx-LINKPOINTER2 の値は一緒にプログラムする必要  
があり、DCSM 動作で必要とされる場合は一度に 1 ビットずつプログラムすることができます。
2. DCSM OTP の DCSM Zx-LINKPOINTER3 の値は、Zx-PSWDLOCK から分離して、64 ビットの境界  
上で一度に 1 ビットずつプログラムできます。Zx-PSWDLOCK をプログラムできるのは 1 回だけです。

### 6.11.5 RAM の仕様

RAM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	バス幅	利用可能なバスの数 <sup>(1)</sup>	待機状態の数	バーストアクセス
GS RAM	4KB	2	2	1	16 / 32 ビット	3	0	なし
LS RAM	16KB	2	2	1	16 / 32 ビット	1	0	なし
M0	2KB	2	2	1	16 / 32 ビット	1	0	なし
M1	2KB	2	2	1	16 / 32 ビット	1	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (DMA、CPU) の数を示します。

### 6.11.6 ROM の仕様

ROM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	バス幅	利用可能なバスの数 <sup>(1)</sup>	待機状態の数	バーストアクセス
ブート ROM	128KB	2	2	1	16 / 32 ビット	1	0	なし
セキュア ROM	64KB	2	2	1	16 / 32 ビット	1	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA、DMA、CPU) の数を示します。

## 6.11.7 エミュレーション/JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) ポートには、4 つの専用ピンがあります。TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、今まで使われていた GPIO35 (TDI) および GPIO37 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して  $22\Omega$  の抵抗を直列に配置する必要があります。

JTAG デバッグ プローブ ヘッダーの PD (電源検出) 端子は、基板の 3.3V 電源に接続する必要があります。ヘッダー GND 端子は、基板のグランドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグランドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力端子からヘッダーの RTCK 入力端子にループバックする必要があります (JTAG デバッグ プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、 $2.2k\Omega \sim 4.7k\Omega$  の範囲 (デバッガ ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション ヘッダーでプルアップする必要があります。通常、 $2.2k\Omega$  の値を使用します。

ヘッダ端子 RESET は、JTAG デバッグ プローブ ヘッダーからのオープンドレイン出力であり、JTAG デバッグ プローブ コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 1-1 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 1-1 に、20 ピン ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダー端子 EMU2、EMU3、EMU4 は使用しないで、グランドに接続する必要があります。

ハードウェア ブレークポイントとウォッチポイントの詳細については、『CCS の C28x 用ハードウェア ブレークポイントとウォッチポイント』を参照してください。

JTAG エミュレーションの詳細については、『[XDS ターゲット接続ガイド](#)』を参照してください。

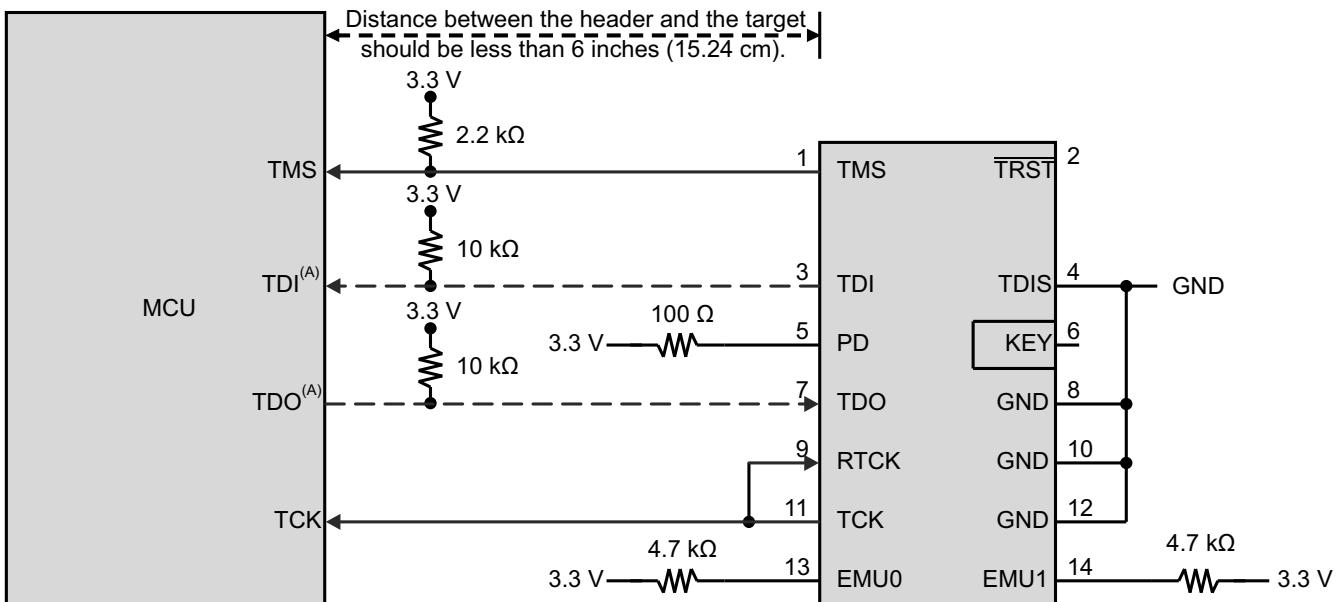
---

### 注

JTAG テストデータ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG の TDI として使用する場合、入力がフロー ティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

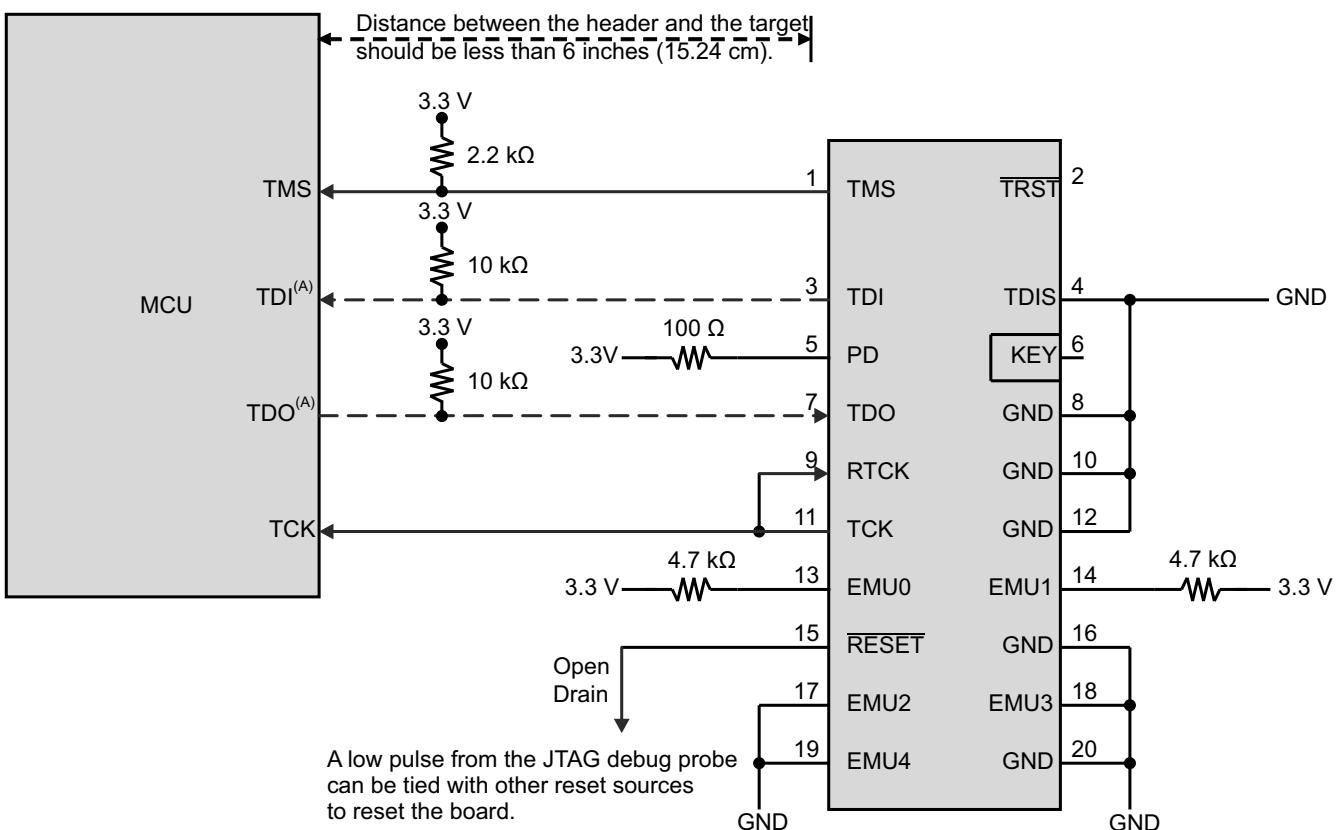
JTAG テストデータ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフロー ティングのままになります。GPIO 入力がフロー ティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

---



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-24. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-25. 20 ピン JTAG ヘッダーへの接続

### 6.11.7.1 JTAG の電気的データおよびタイミング

セクション 6.11.7.1.1 に、JTAG のタイミング要件を示します。セクション 6.11.7.1.2 に、JTAG のスイッチング特性を示します。図 1-1 に、JTAG のタイミングを示します。

#### 6.11.7.1.1 JTAG のタイミング要件

番号		定義	最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	66.66		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High ( $t_c$ の 40%)	26.66		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low ( $t_c$ の 40%)	26.66		ns
3	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK High まで	13		ns
	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	13		
4	$t_{h(TCKH-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	7		ns
	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	7		

#### 6.11.7.1.2 JTAG スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号		パラメータ	最小値	最大値	単位
2	$t_d(TCKL-TDO)$	遅延時間、TCK LOW から TDO 有効まで	6	25	ns

#### 6.11.7.1.3 JTAG タイミング図

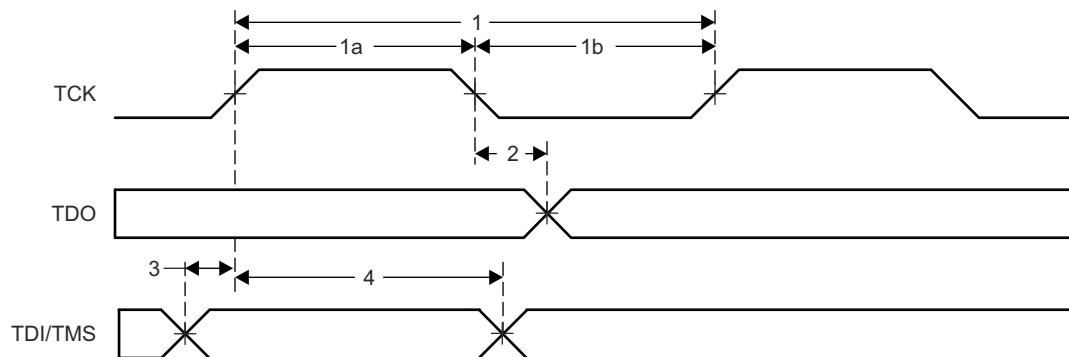


図 6-26. JTAG のタイミング

### 6.11.7.2 cJTAG の電気的データおよびタイミング

セクション 6.11.7.2.1 に、cJTAG のタイミング要件を示します。セクション 6.11.7.2.2 に、cJTAG のスイッチング特性を示します。図 1-1 に、cJTAG のタイミングを示します。

#### 6.11.7.2.1 cJTAG のタイミング要件

番号		パラメータ	最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	100		ns
1a	$t_w(TCKH)$	パルス幅、TCK High ( $t_c$ の 40%)	40		ns
1b	$t_w(TCKL)$	パルス幅、TCK Low ( $t_c$ の 40%)	40		ns
3	$t_{su}(TMS-TCKH)$	入力セットアップ時間、TMS 有効から TCK High まで	15		ns
	$t_{su}(TMS-TCKL)$	入力セットアップ時間、TMS 有効から TCK Low まで	15		ns
4	$t_h(TCKH-TMS)$	入力ホールド時間、TCK High から TMS 有効の間	2		ns
	$t_h(TCKL-TMS)$	入力ホールド時間、TCK Low から TMS 有効の間	2		ns

#### 6.11.7.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号		パラメータ	最小値	最大値	単位
2	$t_d(TCKL-TMS)$	遅延時間、TCK LOW から TMS 有効まで	6	20	ns
5	$t_{dis}(TCKH-TMS)$	遅延時間、TCK High から TMS 無効まで		20	ns

#### 6.11.7.2.3 cJTAG のタイミング図

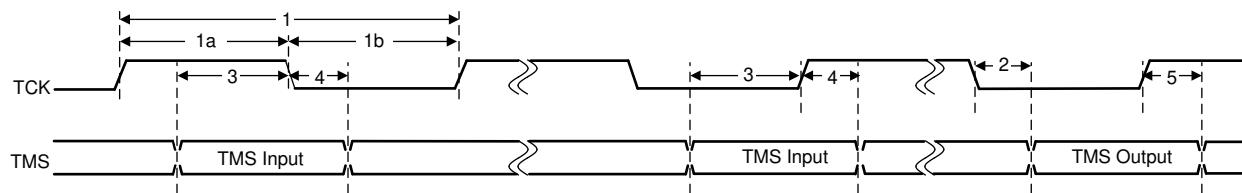


図 6-27. cJTAG タイミング

### 6.11.8 GPIO の電気的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

GPIO モジュールには出力クロスバーが含まれており、GPIO マルチプレクサ内にある OUTPUTXBARx で指定することで、さまざまな内部信号を GPIO にルーティングできます。また、GPIO モジュールには入力クロスバーが含まれており、任意の GPIO 入力から、ADC、eCAP、ePWM、外部割り込みなどさまざまな IP ブロックに信号をルーティングするため使用できます。詳細については、『[TMS320F28002x リアルタイムマイクロコントローラテクニカルリファレンスマニュアル](#)』の「クロスバー」の章を参照してください。

#### 6.11.8.1 GPIO - 出力タイミング

セクション 6.11.8.1.1 に、汎用出力のスイッチング特性を示します。図 1-1 に、汎用出力のタイミングを示します。

##### 6.11.8.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	定義	最小値	最大値	単位
$t_{r(GPIO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO	8 <sup>(1)</sup>	ns
$t_{f(GPIO)$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO	8 <sup>(1)</sup>	ns
$f_{GPIO}$	トグル周波数、すべての GPIO		25	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、40pF の負荷を想定しています。

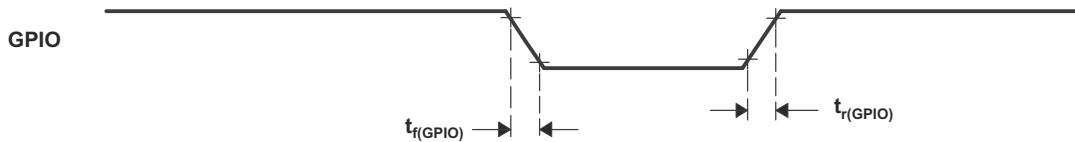


図 6-28. 汎用出力のタイミング

## 6.11.8.2 GPIO - 入力タイミング

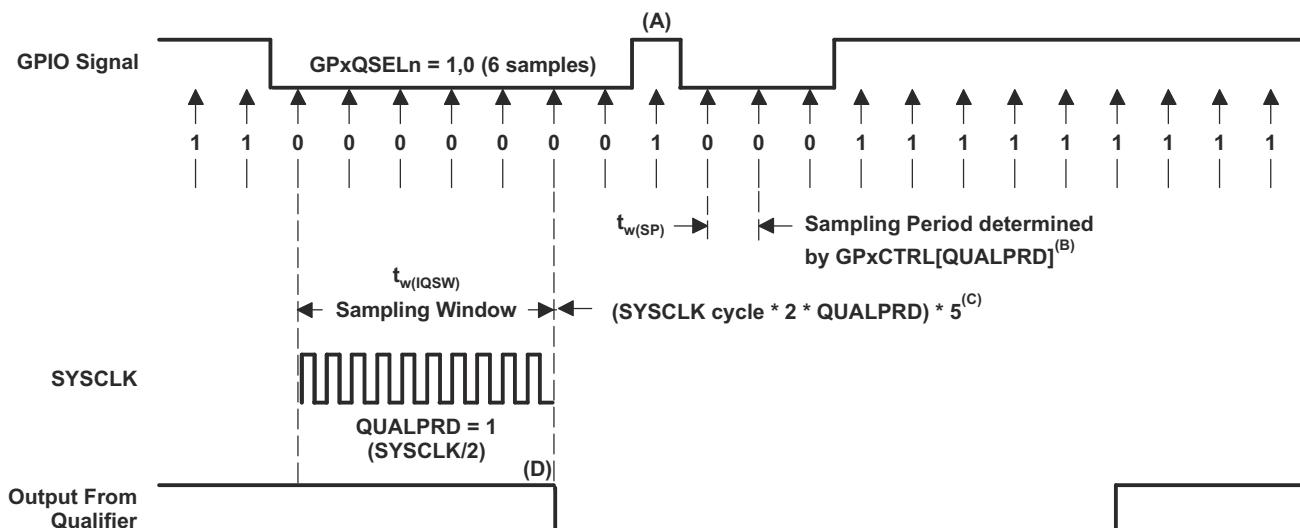
### 6.11.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_w(SP)$	サンプリング周期	QUALPRD = 0		$1t_c(SYSLCK)$	サイクル
		QUALPRD ≠ 0		$2t_c(SYSLCK) * QUALPRD$	
$t_w(IQSW)$	入力フィルタ サンプリング ウィンドウ			$t_w(SP) * (n^{(1)} - 1)$	サイクル
$t_w(GPI)$ <sup>(2)</sup>	パルス幅、GPIO Low/High	同期モード		$2t_c(SYSLCK)$	サイクル
		入力クオリファイヤあり	$t_w(IQSW) + t_w(SP) + 1t_c(SYSLCK)$		

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。

(2)  $t_w(GPI)$  のパルス幅は、アクティブ Low 信号については  $V_{IL}$  から  $V_{IH}$  まで、アクティブ High 信号については  $V_{IH}$  から  $V_{IL}$  までを測定します。

### 6.11.8.2.2 サンプリング モード



- A. このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビットフィールドで指定します。この値は、00~0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、フィルタ サンプリング期間は、 $2n$  SYSCLK サイクルになります（すなわち、 $2n$  SYSCLK サイクルごとに GPIO ピンがサンプリングされます）。
- B. GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン グループに適用されます。
- C. このクオリフィケーション ブロックは、3 つまたは 6 つのサンプルを取得できます。GPxQSELn レジスタは、使用するサンプル モードの種類を選択します。
- D. ここに示す例では、フィルタで変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は  $(5 \times QUALPRD \times 2)$  SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-29. サンプリング モード

### 6.11.8.3 入力信号のサンプリング ウィンドウ幅

以下のセクションでは、各種の入力クオリファイア構成に対する入力信号のサンプリング ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 =  $SYSCLK / (2 \times QUALPRD)$

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

#### ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング ウィンドウ幅 = (SYSCLK サイクル) × 2

#### ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング ウィンドウ幅 = (SYSCLK サイクル) × 5

図 1-1 に、汎用入力のタイミングを示します。

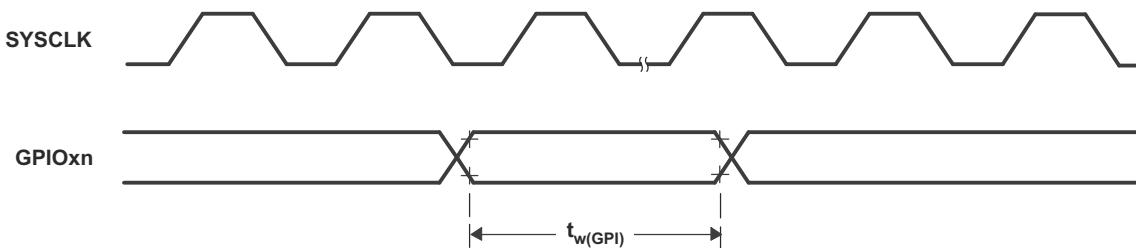


図 6-30. 汎用入力のタイミング

### 6.11.9 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 16 本のペリフェラル割り込みを多重化します。また、ベクタ テーブルを拡張して、各割り込みに独自の ISR を割り当てることもできます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各段には、独自のイネーブル レジスタとフラグ レジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 1-1 に、このデバイスの割り込みアーキテクチャを示します。

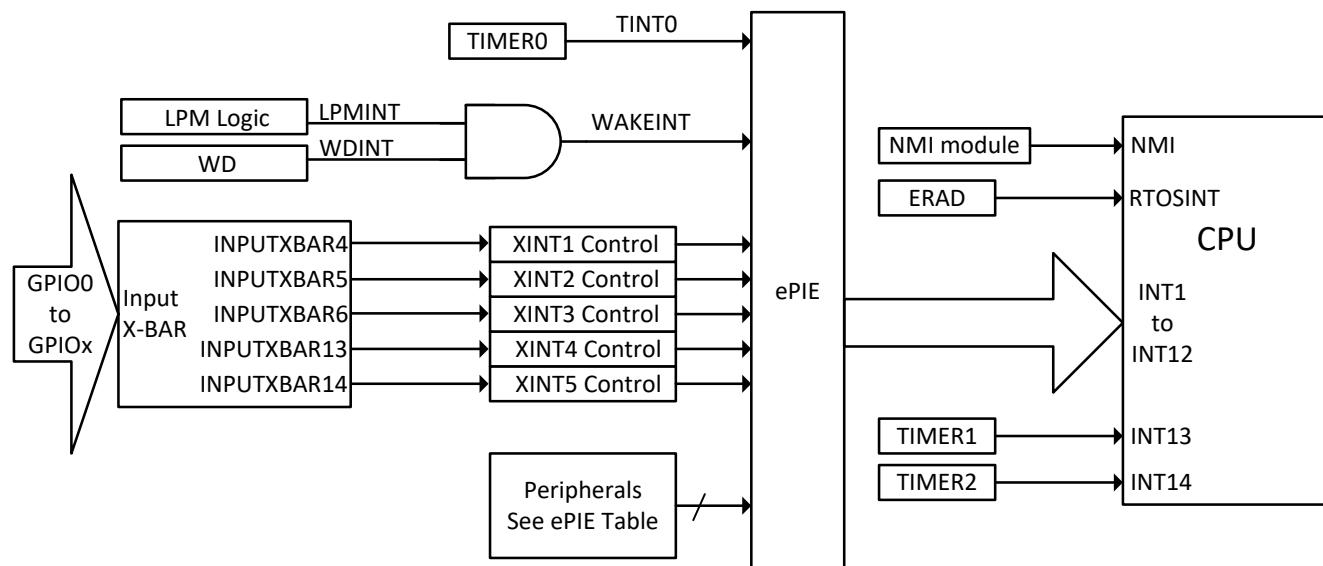


図 6-31. デバイス割り込みアーキテクチャ

### 6.11.9.1 外部割り込み (XINT) の電気的データおよびタイミング

セクション 6.11.9.1.1 に、外部割り込みのタイミング要件を示します。セクション 6.11.9.1.2 に、外部割り込みのスイッチング特性を示します。図 1-1 に、外部割り込みのタイミングを示します。入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.11.9.1.1 外部割り込みのタイミング要件

		最小値	最大値	単位
$t_{w(INT)}$	同期	$2t_c(SYSCLK)$		サイクル
	フィルタあり <sup>(1)</sup>	$t_{w(IQSW)} + t_{w(SP)} + 1t_c(SYSCLK)$		

(1) 入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.11.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ <sup>(1)</sup>	最小値	最大値	単位
$t_{d(INT)}$ 遅延時間、INT LOW / HIGH から割り込みベクタフェッチまで <sup>(2)</sup>	$t_{w(IQSW)} + 14t_c(SYSCLK)$	$t_{w(IQSW)} + t_{w(SP)} + 14t_c(SYSCLK)$	サイクル

(1) 入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

(2) これは、ISR がシングルサイクルメモリ内にあることを想定しています。

#### 6.11.9.1.3 外部割り込みのタイミング

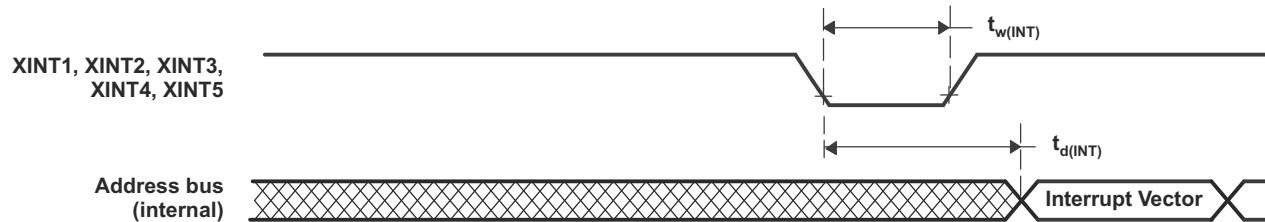


図 6-32. 外部割り込みのタイミング

## 6.11.10 低消費電力モード

このデバイスには、クロック ゲーティング低消費電力モードとして、ホールト、アイドル、スタンバイがあります。

さらに、すべての低消費電力モードの開始および終了手順の詳細については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「低消費電力モード」セクションを参照してください。

### 6.11.10.1 クロック ゲーティング低消費電力モード

このデバイスの アイドル モードおよびホールト モードは、他の C28x デバイスのモードと同様です。表 6-7 に、いずれかのクロック ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 6-7. クロック ゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロック ドメイン	IDLE	STANDBY	HALT
SYSCLK	アクティブ	ゲート	ゲート
CPUCLK	ゲート	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	ゲート	ゲート
WDCLK	アクティブ	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります。
INTOSC1	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ <sup>(1)</sup>	電源供給	電源供給	電源供給
XTAL <sup>(2)</sup>	電源供給	電源供給	電源供給

- (1) フラッシュ モジュールは、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。詳細については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「システム制御」の章にある「フラッシュおよび OTP メモリ」を参照してください。
- (2) XTAL は、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこの処理を実行できます。

### 6.11.10.2 低消費電力モードのウェークアップタイミング

セクション 6.11.10.2.1 にアイドル モードのタイミング要件を示し、セクション 6.11.10.2.2 にアイドル モードのスイッチング特性を示します。また、図 1-1 にアイドル モードのタイミング図を示します。入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.11.10.2.1 アイドル モードのタイミング要件

			最小値	最大値	単位
$t_w(WAKE)$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤあり	$2t_c(SYSCLK) + t_w(IQSW)$		

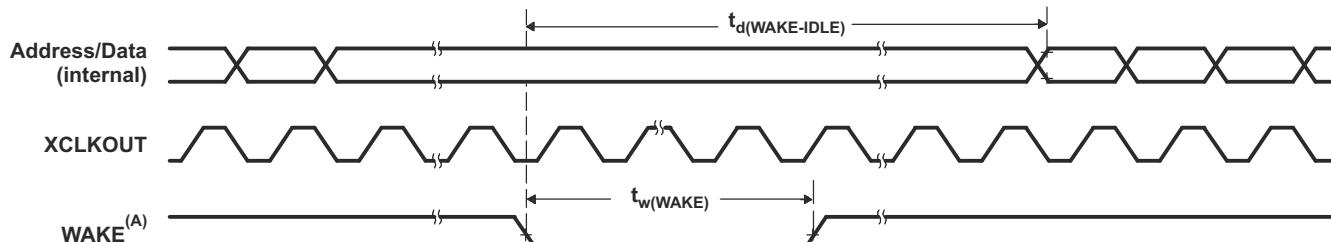
#### 6.11.10.2.2 アイドル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
$t_d(WAKE-IDLE)$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	入力クオリファイヤなし	$40t_c(SYSCLK)$	$40t_c(SYSCLK)$	サイクル
		入力クオリファイヤあり	$40t_c(SYSCLK) + t_w(WAKE)$	$40t_c(SYSCLK) + t_w(WAKE)$	サイクル
	RAM から	入力クオリファイヤなし	$6700t_c(SYSCLK)$ (2)	$6700t_c(SYSCLK)$ (2)	サイクル
		入力クオリファイヤあり	$6700t_c(SYSCLK) + t_w(WAKE)$	$6700t_c(SYSCLK) + t_w(WAKE)$	サイクル
		入力クオリファイヤなし	$25t_c(SYSCLK)$	$25t_c(SYSCLK)$	サイクル
		入力クオリファイヤあり	$25t_c(SYSCLK) + t_w(WAKE)$	$25t_c(SYSCLK) + t_w(WAKE)$	サイクル

- (1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
- (2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

#### 6.11.10.2.3 IDLE 開始および終了タイミング図



- A. WAKE には、イネーブルになっている任意の割り込み、WDINT、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-33. IDLE 開始および終了タイミング図

セクション 6.11.10.2.4 にスタンバイ モードのタイミング要件を示し、セクション 6.11.10.2.5 にスタンバイ モードのスイッチング特性を示します。また、図 1-1 にスタンバイ モードのタイミング図を示します。

#### 6.11.10.2.4 スタンバイ モードのタイミング要件

			最小値	最大値	単位
$t_w(\text{WAKE-INT})$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0   $2t_c(\text{OSCCLK})$		$3t_c(\text{OSCCLK})$	サイクル
		QUALSTDBY > 0   $(2 + \text{QUALSTDBY})t_c(\text{OSCCLK})$ (1)		$(2 + \text{QUALSTDBY}) * t_c(\text{OSCCLK})$	

(1) QUALSTDBY は、LPMCR レジスタ内の 6 ビットフィールドです。

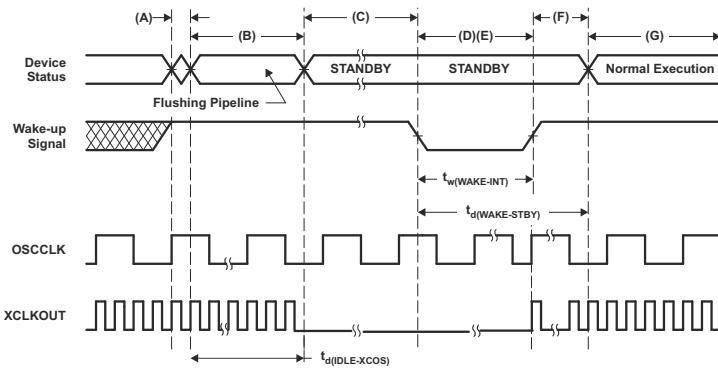
#### 6.11.10.2.5 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_d(\text{IDLE-XCOS})$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_c(\text{INTOSC1})$	サイクル
$t_d(\text{WAKE-STBY})$	フランシュからのウェークアップ (フランシュ モジュールはアクティブ状態)		$175t_c(\text{SYSCLK}) + t_w(\text{WAKE-INT})$	サイクル
$t_d(\text{WAKE-STBY})$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)		$6700t_c(\text{SYSCLK})$ (2) + $t_w(\text{WAKE-INT})$	サイクル
$t_d(\text{WAKE-STBY})$	RAM からのウェークアップ		$3t_c(\text{OSC}) + 15t_c(\text{SYSCLK}) + t_w(\text{WAKE-INT})$	サイクル

- (1) このは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。  
 (2) この値はフランシュの起動時間に基づいています。これは、SYSCLK 周波数、フランシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

#### 6.11.10.2.6 STANDBY の開始/終了タイミング図



- A. IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
- B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフランシュされます。
- C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. 外部ウェークアップ信号がアクティブに駆動されます。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。

- F. 遅延時間が経過すると、スタンバイ モードが終了します。
- G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-34. STANDBY の開始 / 終了タイミング図

セクション 6.11.10.2.7 にホールト モードのタイミング要件を示し、セクション 6.11.10.2.8 にホールト モードのスイッチング特性を示します。また、図 1-1 にホールト モードのタイミング図を示します。

#### 6.11.10.2.7 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_w(\text{WAKE-GPIO})$	パルス幅、GPIO ウエークアップ信号 <sup>(1)</sup>	$t_{\text{oscst}} + 2t_c(\text{OSCCLK})$		サイクル
$t_w(\text{WAKE-XRS})$	パルス幅、 $\overline{\text{XRS}}$ ウエークアップ信号 <sup>(1)</sup>	$t_{\text{oscst}} + 8t_c(\text{OSCCLK})$		サイクル

- (1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器の電気的特性」を参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、「内部発振器」セクションの  $t_{\text{oscst}}$  を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

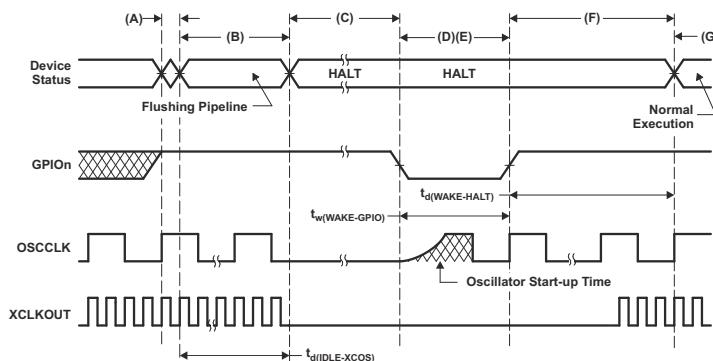
#### 6.11.10.2.8 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位
$t_d(\text{IDLE-XCOS})$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで	$16t_c(\text{INTOSC1})$	サイクル
$t_d(\text{WAKE-HALT})$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで		サイクル
	フラッシュからのウェークアップ - アクティブ状態のフラッシュモジュール	$75t_c(\text{OSCCLK})$	
	フラッシュからのウェークアップ - スリープ状態のフラッシュモジュール	$17500t_c(\text{OSCCLK})^{(1)}$	
	RAM からのウェークアップ	$75t_c(\text{OSCCLK})$	

- (1) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

#### 6.11.10.2.9 HALT 開始および終了タイミング図



- A. IDLE 命令が実行され、デバイスがホールト モードに移行します。
- B. LPM ブロックが HALT 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールト モードに移行しており、消費電力はごくわずかです。ホールト モードのとき、ゼロピンの内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. GPIOn ピン (デバイスの HALT を解除するために使用) を Low になると、発振器がオンになり、発振器ウェークアップ シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にあります。これにより、PLL ロック シーケンスの間、クリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期にウェークアップ手順が開始されるので、ホールト モードに移行する前およびホールト モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
- F. コアへの CLKIN がイネーブルになると、デバイスは、いくらかのレイテンシの後で割り込みに応答します (割り込みイネーブルの場合)。これで、ホールト モードが終了します。
- G. 通常動作を再開します。
- H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-35. HALT 開始および終了タイミング図

## 6.12 アナログ ペリフェラル

このセクションでは、アナログ サブシステム モジュールについて説明します。

このデバイスのアナログ モジュールには、ADC、温度センサ、CMPSS が含まれます。

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
  - ADC は、VREFHI ピンおよび VSSA ピンを基準としています。
    - VREFHI ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することができます。
    - 内部電圧リファレンスの範囲は、0V~3.3V または 0V~2.5V のいずれかを選択できます。
  - コンパレータ DAC は、VDDA および VSSA を基準としています。
    - または、VDAC ピンおよび VSSA を基準にすることもできます。
- フレキシブルなピンの用途
  - コンパレータ サブシステムの入力とデジタル入力は、ADC 入力と多重化されています。
  - オフセットセルフ キャリブレーションのために、すべての ADC で V<sub>REFLO</sub> に内部接続

図 1-1 に、80 ピン PN および 64 ピン PM LQFP のアナログ サブシステムのブロック図を示します。

図 1-1 に、48 ピン PT LQFP のアナログ サブシステムのブロック図を示します。

表 6-8 に、アナログ ピンと内部接続を示します。表 6-9 に、アナログ信号の説明を示します。図 1-1 に、アナログ グループ接続を示します。

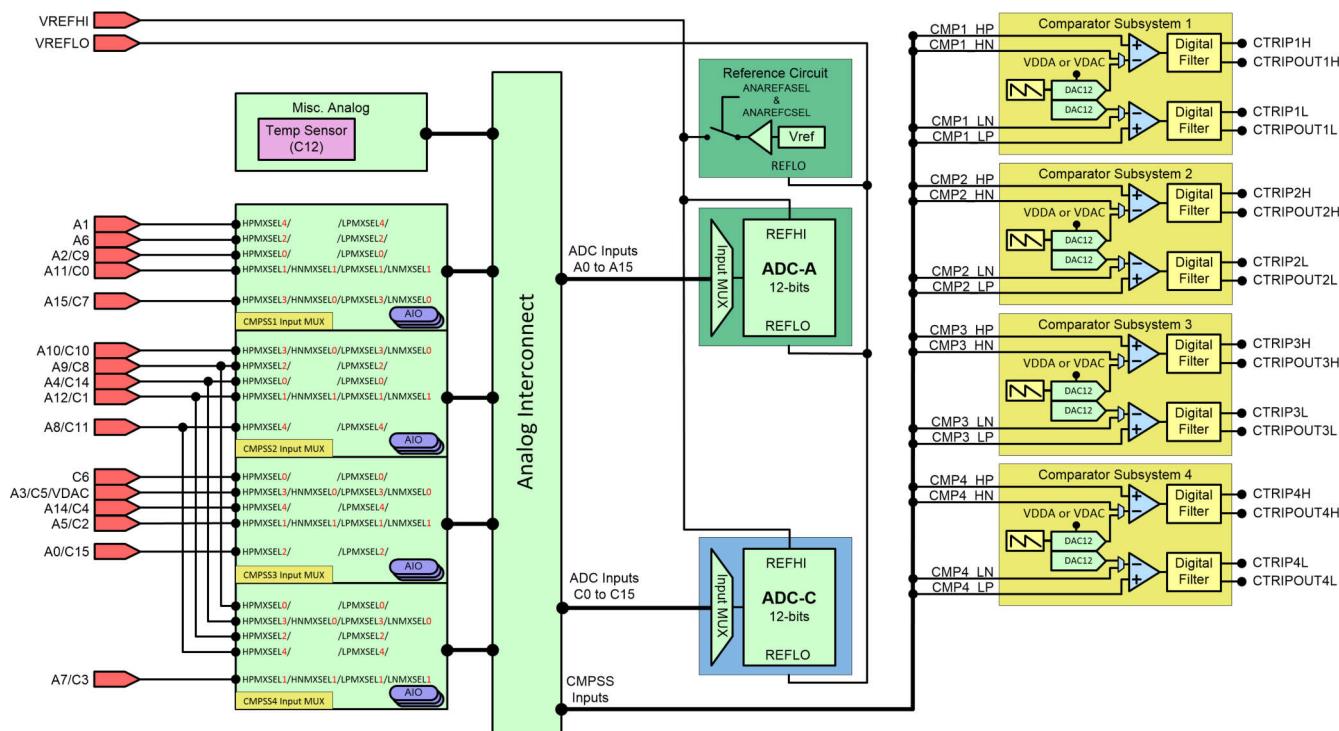


図 6-36. アナログ サブシステムのブロック図 (80 ピン PN および 64 ピン PM LQFP)

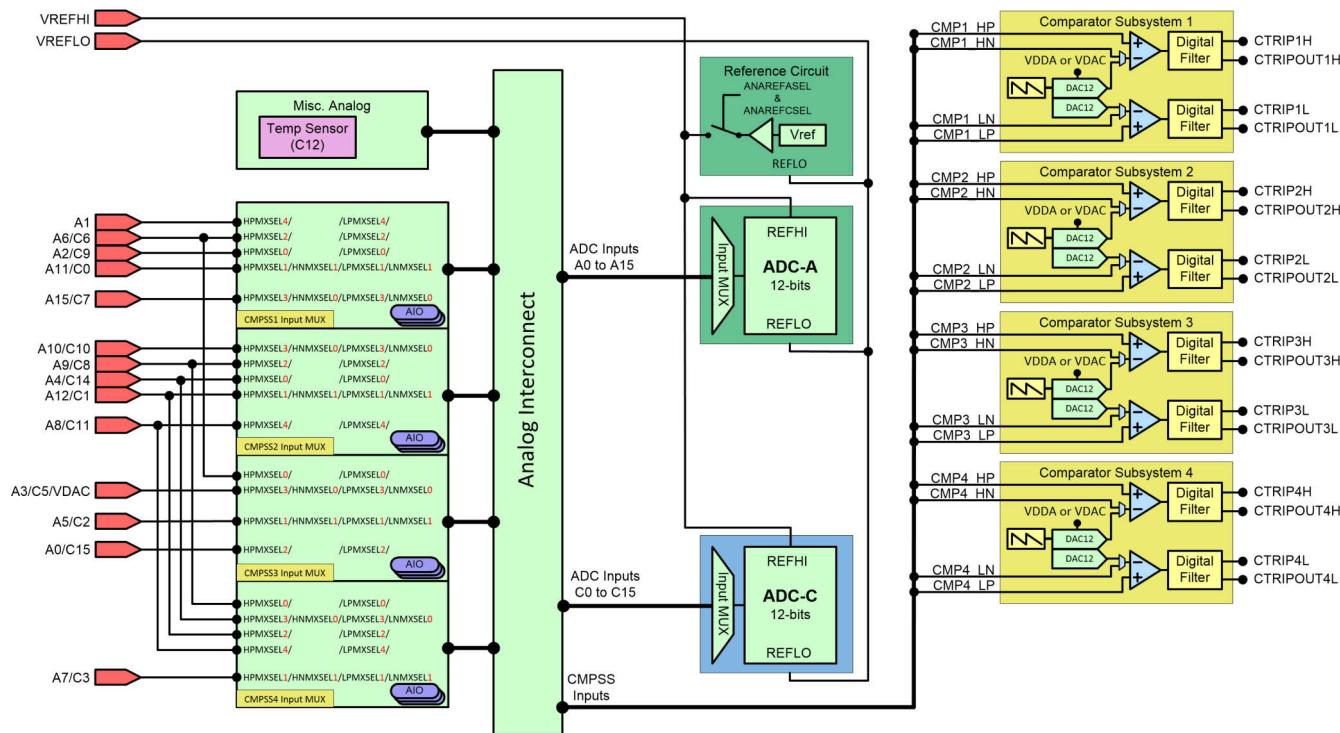


図 6-37. アナログ サブシステムのブロック図 (48 ピン PT LQFP)

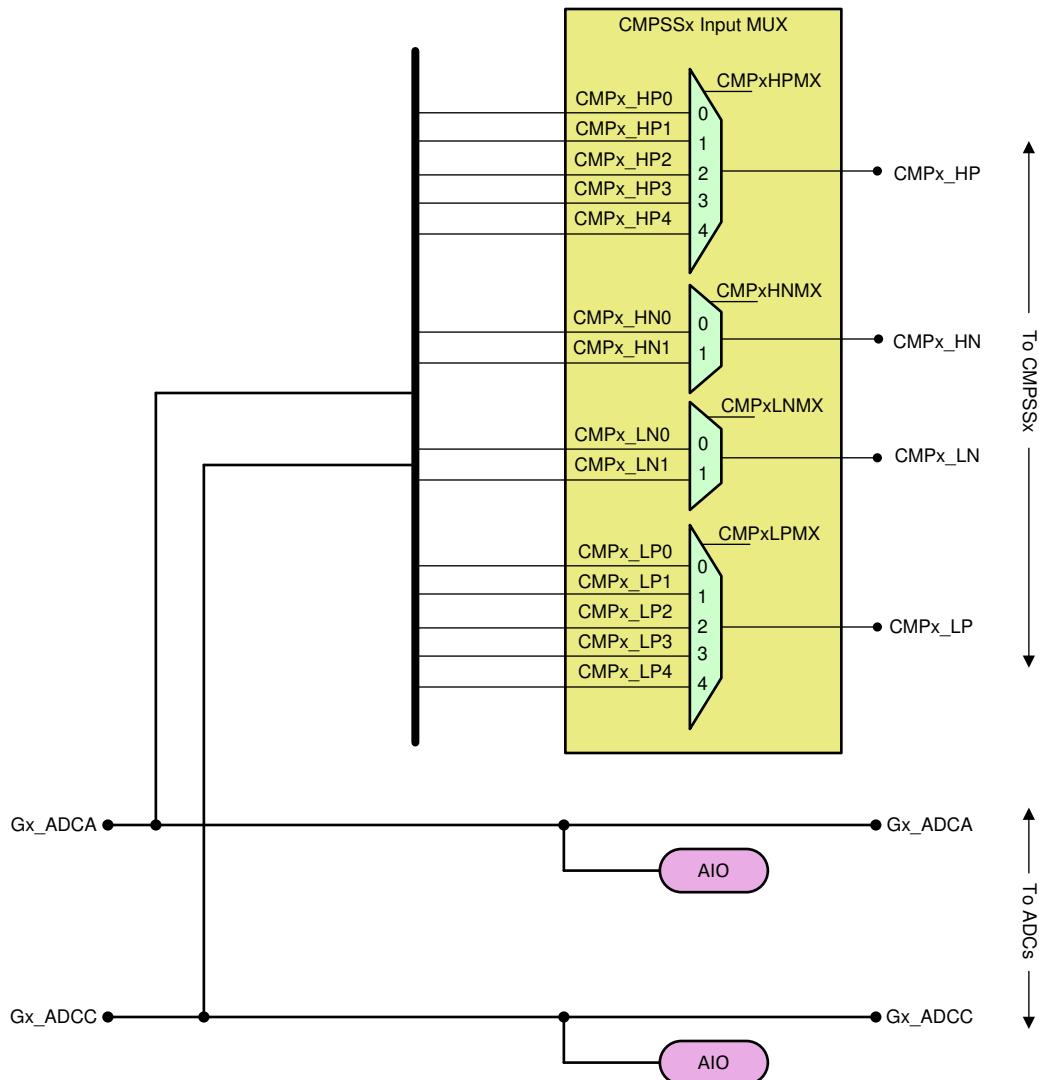


図 6-38. アナログ グループ接続

### 6.12.1 アナログ ピンと内部接続

表 6-8. アナログ ピンと内部接続

ピン名	パッケージピン			ADC		コンバレータ・サブシステム (MUX)				AIO 入力
	80 QFP	64 QFP	48 QFN	A	C	High 正	High 負	Low 正	Low 負	
VREFHI	20	16	12							
VREFLO	21	17	13	A13	C13					
アナログ グループ 1						CMP1				
A6	10	6	4 <sup>(3)</sup>	A6	-	CMP1_HP2 (HPMXSEL=2)		CMP1_LP2 (LPMXSEL=2)		AIO228
A2/C9	13	9	6	A2	C9	CMP1_HP0 (HPMXSEL=0)		CMP1_LP0 (LPMXSEL=0)		AIO224
A15/C7	14	10	7	A15	C7	CMP1_HP3 (HPMXSEL=3)	CMP1_HN0 (HNMXSEL=0)	CMP1_LP3 (LPMXSEL=3)	CMP1_LN0 (LNMXSEL=0)	AIO233
A11/C0	16	12	8	A11	C0	CMP1_HP1 (HPMXSEL=1)	CMP1_HN1 (HNMXSEL=1)	CMP1_LP1 (LPMXSEL=1)	CMP1_LN1 (LNMXSEL=1)	AIO237
A1	18	14	10	A1	-	CMP1_HP4 (HPMXSEL=4)		CMP1_LP4 (LPMXSEL=4)		AIO232
アナログ グループ 2						CMP2				
A10/C10	29	25	21	A10	C10	CMP2_HP3 (HPMXSEL=3)	CMP2_HN0 (HNMXSEL=0)	CMP2_LP3 (LPMXSEL=3)	CMP2_LN0 (LNMXSEL=0)	AIO230
アナログ グループ 3						CMP3				
C6	11	7	4 <sup>(3)</sup>	-	C6	CMP3_HP0 (HPMXSEL=0)		CMP3_LP0 (LPMXSEL=0)		AIO226
A3/C5/VDAC <sup>(1)</sup>	12	8	5	A3	C5	CMP3_HP3 (HPMXSEL=3)	CMP3_HN0 (HNMXSEL=0)	CMP3_LP3 (LPMXSEL=3)	CMP3_LN0 (LNMXSEL=0)	AIO242
A14/C4	15	11	-	A14	C4	CMP3_HP4 (HPMXSEL=4)		CMP3_LP4 (LPMXSEL=4)		AIO239
A5/C2	17	13	9	A5	C2	CMP3_HP1 (HPMXSEL=1)	CMP3_HN1 (HNMXSEL=1)	CMP3_LP1 (LPMXSEL=1)	CMP3_LN1 (LNMXSEL=1)	AIO244
A0/C15	19	15	11	A0	C15	CMP3_HP2 (HPMXSEL=2)		CMP3_LP2 (LPMXSEL=2)		AIO231
アナログ グループ 4						CMP4				
A7/C3	23	19	15	A7	C3	CMP4_HP1 (HPMXSEL=1)	CMP4_HN1 (HNMXSEL=1)	CMP4_LP1 (LPMXSEL=1)	CMP4_LN1 (LNMXSEL=1)	AIO245

表 6-8. アナログ ピンと内部接続 (続き)

ピン名	パッケージピン			ADC		コンバレータ・サブシステム (MUX)				AIO 入力
	80 QFP	64 QFP	48 QFN	A	C	High 正	High 負	Low 正	Low 負	
アナログ グループ 2 および 4 の組み合わせ						CMP2/CMP4				
A12/C1	22	18	14	A12	C1	CMP2_HP1 (HPMXSEL=1) CMP4_HP2 (HPMXSEL=2)	CMP2_HN1 (HNMXSEL=1)	CMP2_LP1 (LPMXSEL=1) CMP4_LP2 (LPMXSEL=2)	CMP2_LN1 (LNMXSEL=1)	AIO238
A8/C11	24	20	16	A8	C11	CMP2_HP4 (HPMXSEL=4) CMP4_HP4 (HPMXSEL=4)		CMP2_LP4 (LPMXSEL=4) CMP4_LP4 (LPMXSEL=4)		AIO241
A4/C14	27	23	19	A4	C14	CMP2_HP0 (HPMXSEL=0) CMP4_HP3 (HPMXSEL=3)	CMP4_HN0 (HNMXSEL=0)	CMP0_LP0 (LPMXSEL=0) CMP4_LP3 (LPMXSEL=3)	CMP4_LN0 (LNMXSEL=0)	AIO225
A9/C8	28	24	20	A9	C8	CMP2_HP2 (HPMXSEL=2) CMP4_HP0 (HPMXSEL=0)		CMP2_LP2 (LPMXSEL=2) CMP4_LP0 (LPMXSEL=0)		AIO227
その他のアナログ										
温度センサ <sup>(2)</sup>	-	-	-	-	C12					

- (1) オンチップ COMPDAC の外部リファレンス電圧 (オプション)。ADC 入力または COMPDAC リファレンスのどちらに使用する場合でも、このピンと VSSA の間には、内部コンデンサが接続されます。VDAC のリファレンスとして使用する場合は、このピンに 1 $\mu$ F 以上のコンデンサを接続します。
- (2) 内部接続のみ。デバイスピンに接続されません。
- (3) A6 と C6 は、ピン 4 として二重ボンディングされています。

### 6.12.2 アナログ信号の説明

**表 6-9. アナログ信号の説明**

信号名	説明
AIoX	ADC ピンのデジタル入力
Ax	ADC A 入力
Cx	ADC C 入力
CMPx_HNy	コンパレータ サブシステムのハイ コンパレータ負入力
CMPx_HPy	コンパレータ サブシステムのハイ コンパレータ正入力
CMPx_LNy	コンパレータ サブシステムのロー コンパレータ負入力
CMPx_LPy	コンパレータ サブシステムのロー コンパレータ正入力
TempSensor	内部温度センサ
VDAC	オンチップ COMPDAC の外部リファレンス電圧 (オプション)。ADC 入力または COMPDAC リファレンスのどちらに使用する場合でも、このピンと VSSA の間には、内部コンデンサが接続されており、ディセーブルにすることはできません。このピンをオンチップ COMPDAC のリファレンス電圧として使用する場合は、このピンに少なくとも $1\mu F$ のコンデンサを配置します。

### 6.12.3 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します。(『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- シングルエンド信号
- 最大 16 チャネルの入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 複数のトリガ ソース
  - S/W - ソフトウェア即時起動
  - すべての ePWM:ADCSOC A または B
  - GPIO XINT2
  - CPU タイマ 0/1/2
  - ADCINT1/2
- 4 つのフレキシブルな PIE 割り込み
- パースト モードトリガ オプション
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
  - トリガからサンプルまでの遅延キャプチャ

#### 注

すべてのチャネルがすべての ADC からピンへ接続されているわけではありません。使用可能なチャネルを確認するには、[セクション 5](#) を参照してください。

図 1-1 に、ADC コアと ADC ラッパーのブロック図を示します。

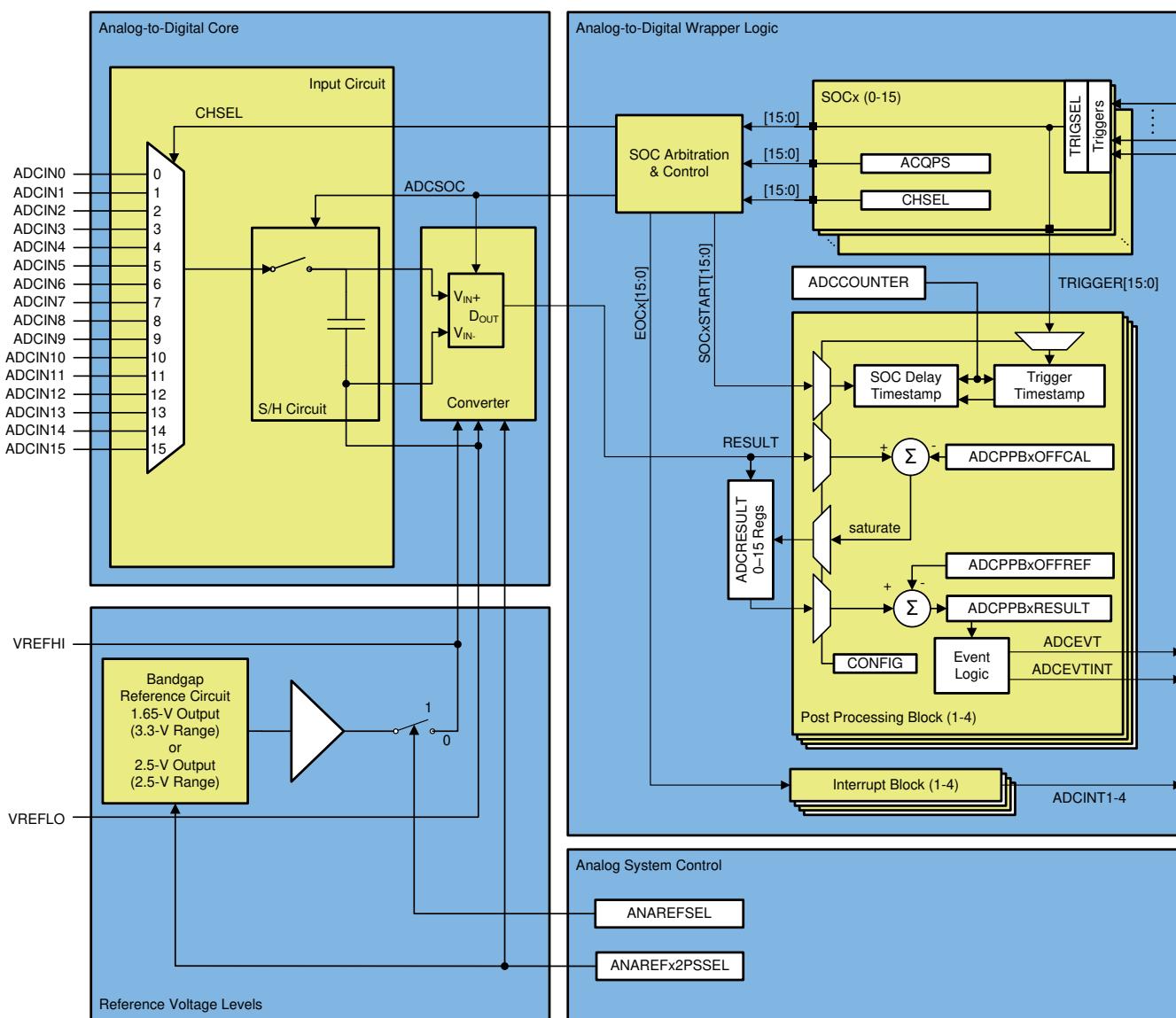


図 6-39. ADC モジュールのブロック図

### 6.12.3.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-10 に、基本的な ADC オプションとその構成レベルを示します。

表 6-10. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと <sup>(1)</sup>
分解能	構成不可 (12 ビット分解能のみ)
信号モード	構成不可 (シングルエンド信号モードのみ)
リファレンス電圧源	両方の ADC モジュールに共通
トリガ ソース	SOC ごと <sup>(1)</sup>
変換対象チャネル	SOC ごと
アクイジション ウィンドウ幅	SOC ごと <sup>(1)</sup>
EOC の位置	モジュールごと
バースト モード	モジュールごと <sup>(1)</sup>

- (1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC) 同期動作の確保」セクションを参照してください。

#### 6.12.3.1.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。コンバータへの入力電圧は、1 本のピン (ADCINx) を介し、VREFLO を基準としてサンプリングされます。図 6-40 に、シングルエンド信号モードを示します。

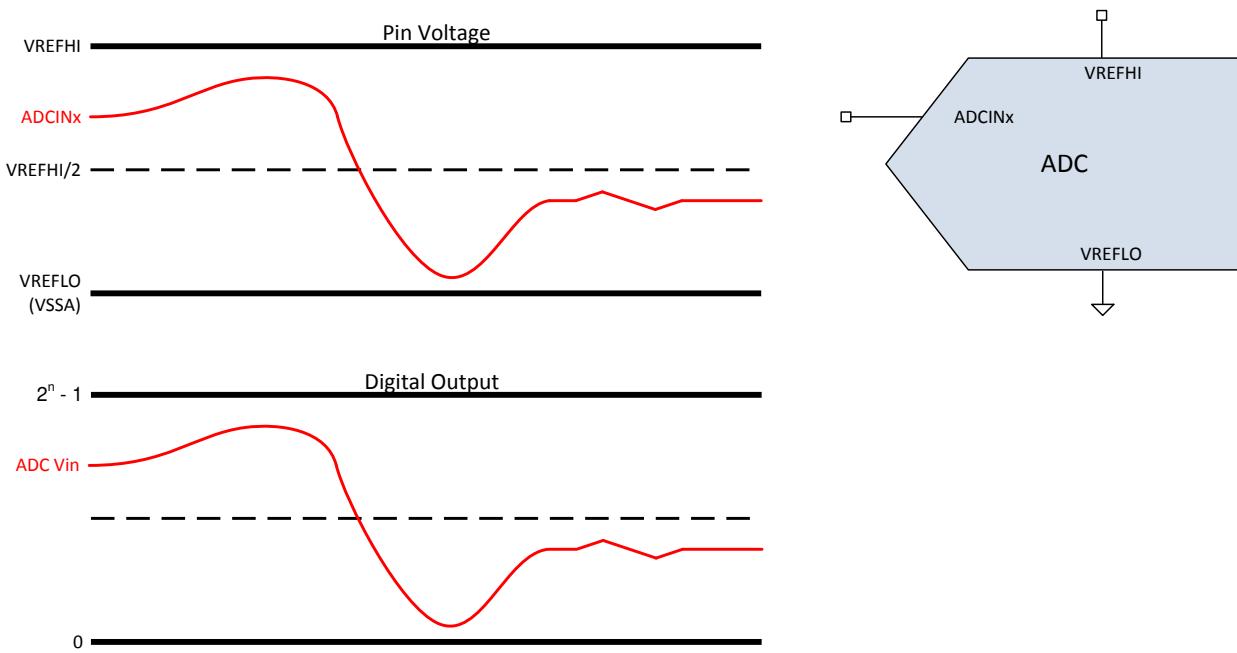


図 6-40. シングルエンド信号モード

### 6.12.3.2 ADC の電気的データおよびタイミング

セクション 6.12.3.2.1 に、ADC の動作条件を示します。セクション 6.12.3.2.2 に、ADC の電気的特性を示します。

---

#### 注

ADC 入力は VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
  - 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、V<sub>REF</sub> が安定するまで、任意のチャネルでの以降の ADC 変換に乱れが生じます。
- 

#### 注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

### 6.12.3.2.1 ADC の動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5	50		MHz
サンプル レート	100MHz SYSCLK		3.45		MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) <sup>(1)</sup>	50Ω 以下の R <sub>s</sub>	75			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI <sup>(2)</sup>	内部リファレンス = 3.3V レンジ	1.65			V
	内部リファレンス = 2.5V レンジ	2.5			V
VREFLO		VSSA	VSSA		V
VREFHI - VREFLO	外部リファレンス	2.4	VDDA		V
変換範囲	内部リファレンス = 3.3 V レンジ	0	3.3		V
	内部リファレンス = 2.5 V レンジ	0	2.5		V
	外部リファレンス	VREFLO	VREFHI		V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。

(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

### 6.12.3.2.2 ADC の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
<b>全般</b>					
ADCCLK 変換サイクル	100MHz SYSCLK	10.1	11	11	ADCCLK
パワーアップ時間	外部リファレンス モード		500	μs	
	内部リファレンス モード		5000	μs	
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。		5000	μs	
VREFHI 入力電流 <sup>(1)</sup>		130		130	μA
内部リファレンス コンデンサの値 <sup>(2)</sup>		2.2		2.2	μF
外部リファレンス コンデンサの値 <sup>(2)</sup>		2.2		2.2	μF
<b>DC 特性</b>					
ゲイン誤差	内部リファレンス	-45	45		LSB
	外部リファレンス	-5	±3	5	
オフセット誤差		-5	±2	5	LSB
チャネル間ゲイン誤差 <sup>(4)</sup>		2		2	LSB
チャネル間オフセット誤差 <sup>(4)</sup>		2		2	LSB
ADC 間ゲイン誤差 <sup>(5)</sup>	すべての ADC で同一の VREFHI および VREFLO	4		4	LSB
ADC 間オフセット誤差 <sup>(5)</sup>	すべての ADC で同一の VREFHI および VREFLO	2		2	LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
<b>AC 特性</b>					
SNR <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK	68.8			dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK	60.1			
THD <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz	-80.6		-80.6	dB
SFDR <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz	79.2		79.2	dB
SINAD <sup>(3)</sup>	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK	68.5			dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK	60.0			
ENOB <sup>(3)</sup>	VREFHI = 内部 / 外部 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC	11.0			ビット
	VREFHI = 内部 / 外部 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC	11.0			
	VREFHI = 内部 3.3V、fin = 100kHz、X1 からの SYSCLK、シングル ADC	10.6			
	VREFHI = 内部 3.3V、fin = 100kHz、X1 からの SYSCLK、同期 ADC	10.6			
	非同期 ADC	非対応			

### 6.12.3.2.2 ADC の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = DC 1.2V + 100mV DC から 300kHz の正弦波まで		57		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

- (1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大  $\pm 20\%$  です。
- (3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
- (5) 他の ADC モジュールと比較した場合のワーストケースの変動。

### 6.12.3.2.3 ADC の INL と DNL

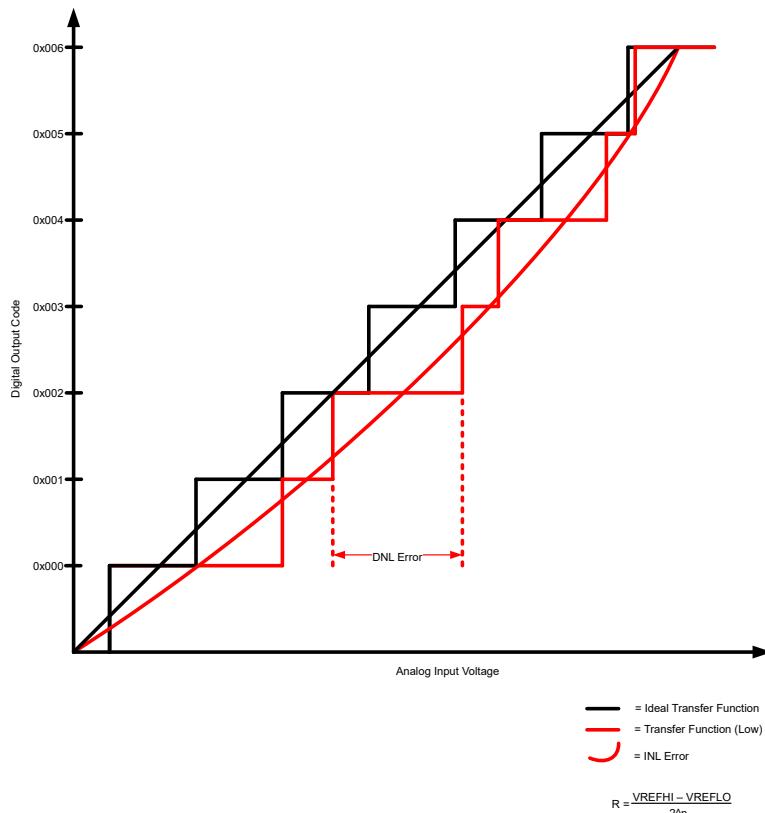


図 6-41. ADC の INL と DNL

#### 6.12.3.2.4 ADC 入力モデル

ADC 入力特性は、表 6-11 および 図 1-1 に示すとおりです。

表 6-11. 入力モデルのパラメータ

	説明	リファレンス モード	値
$C_p$	寄生入力容量	すべて	<a href="#">表 6-12 を参照</a>
$R_{on}$	サンプリング スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	500Ω
		3.3V 内部リファレンス	860Ω
$C_h$	サンプリング コンデンサ	外部リファレンス、2.5V 内部リファレンス	12.5pF
		3.3V 内部リファレンス	7.5pF
$R_s$	公称ソース インピーダンス	すべて	50Ω

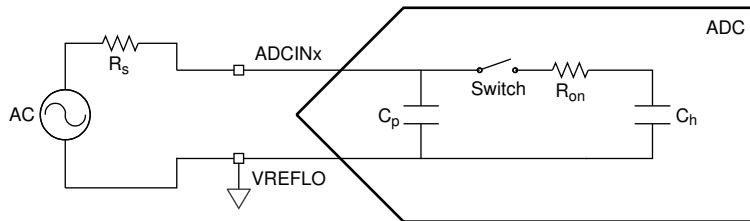


図 6-42. 入力モデル

この入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細情報については、以下を参照してください。

- 『TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章にある「アクイジション ウィンドウ期間の選択」セクション
- 『C2000 ADC 用の電荷共有駆動回路』アプリケーション レポート
- 『C2000 MCU 用 ADC 入力回路の評価』アプリケーション レポート

表 6-12 に、各チャネルの寄生容量を示します。

表 6-12. チャネルごとの寄生容量

ADC チャネル	C <sub>p</sub> (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
ADCINA0/ADCINC15	3.3	15.8
ADCINA1	2.4	4.9
ADCINA2/ADCINC9	2.9	5.4
ADCINA3/ADCINC5 <sup>(1)</sup>	71.4	73.9
ADCINA4/ADCINC14	4.5	7
ADCINA5/ADCINC2	2.7	5.2
ADCINA6	2.6	5.1
ADCINA7/ADCINC3	4.2	6.7
ADCINA8/ADCINC11	4.5	7
ADCINA9/ADCINC8	3.4	5.9
ADCINA10/ADCINC10	2.9	5.4
ADCINA11/ADCINC0	2.9	5.4
ADCINA12/ADCINC1	4.7	7.2
ADCINA14/ADCINC4	2.5	5

表 6-12. チャネルごとの寄生容量 (続き)

ADC チャネル	$C_p$ (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
ADCINA15/ADCINC7	3.3	5.8
ADCINC6	2.9	5.4

(1) このピンは、COMPDAC のリファレンス電圧を供給するためにも使用され、内部デカップリング コンデンサが付いています。

#### 6.12.3.2.5 ADC のタイミング図

図 1-1 に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンドロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、PIE モジュールの構成によって決まります)。

表 6-13 に、ADC タイミング パラメータの説明を示します。表 6-14 に、ADC タイミングの一覧を示します。

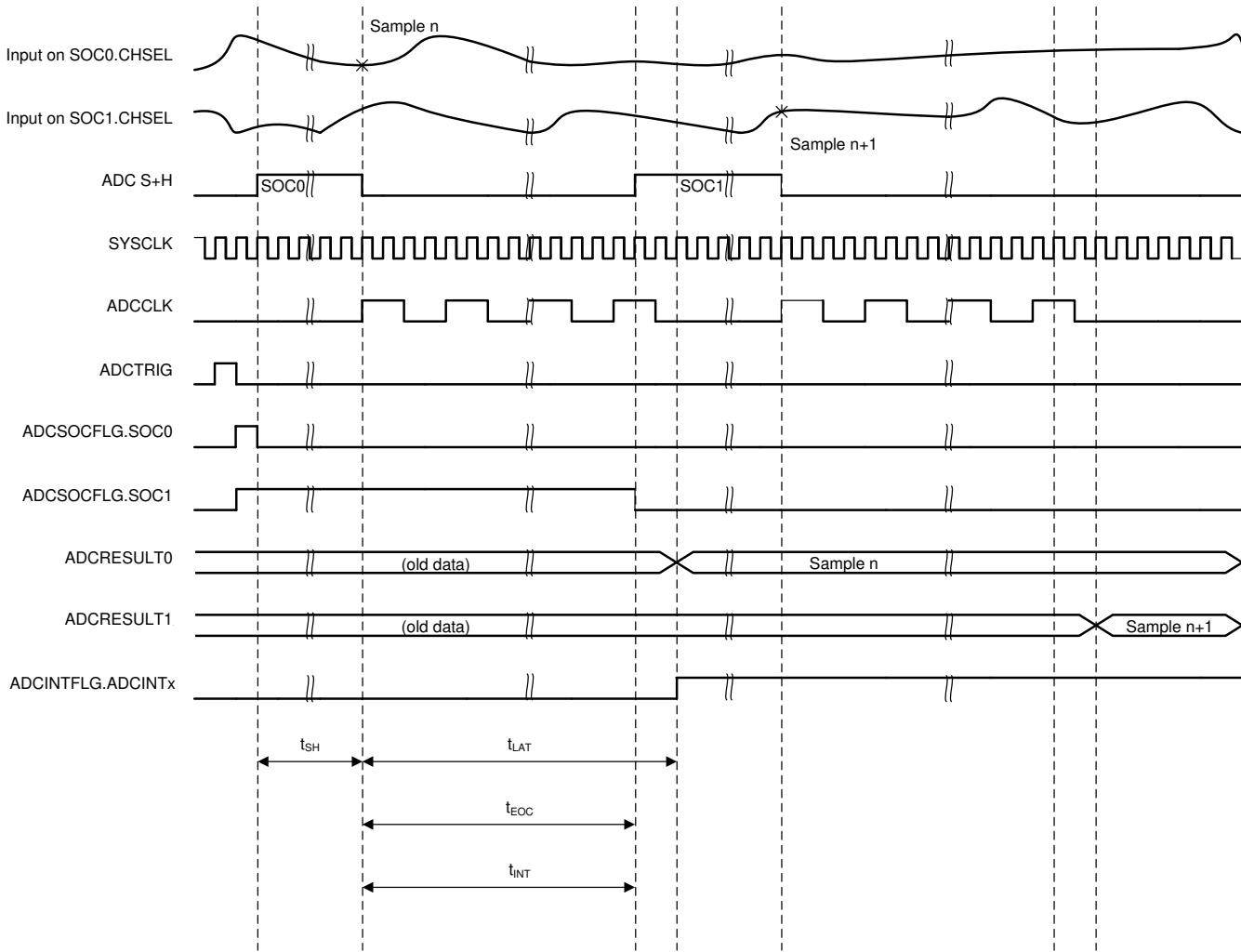


図 6-43. ADC タイミング

表 6-13. ADC タイミング パラメータ

パラメータ	説明
$t_{SH}$	S+H ウィンドウの幅。  このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の $t_{SH}$ は、同じであるとは限りません。  注: デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
$t_{LAT}$	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッピングされるまでの時間。  この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
$t_{EOC}$	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッピングされる前にサンプリングを開始できます。
$t_{INT}$	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。  ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、 $t_{INT}$ は変換結果が結果レジスタにラッピングされる時点と一致します。  INTPULSEPOS ビットが 0 の場合、 $t_{INT}$ は、S+H ウィンドウの終了時点と一致します。 $t_{INT}$ によって ADC 結果レジスタの読み取りがトリガされる場合 (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に)、結果がラッピングされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。  INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET SYSCLK サイクルの遅延が発生します。この遅延時間を使えば、ちょうどサンプリングの用意ができた時点で ISR に入ることができます。また、その時点で DMA をトリガすることもできます。

表 6-14. ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [PRESCALE]	比率 ADCCLK:SYSCLK	$t_{EOC}$	$t_{LAT}$ <sup>(1)</sup>	$t_{INT(EARLY)}$ <sup>(2)</sup>	$t_{INT(LATE)}$	$t_{EOC}$
0	1	11	13	1	11	11
2	2	21	23	1	21	10.5
4	3	31	34	1	31	10.3
6	4	41	44	1	41	10.3
8	5	51	55	1	51	10.2
10	6	61	65	1	61	10.2
12	7	71	76	1	71	10.1
14	8	81	86	1	81	10.1

(1) 『TMS320F28002x リアルタイム MCU シリコン エラッタ』アドバイザリに掲載されている「ADC: 古い結果の DMA 読み取り」を参照してください。

(2) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから  $t_{INT}$  が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

## 6.12.4 温度センサ

### 6.12.4.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADCへの内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADCはセクション 6.12.4.1.1 に示すアクイジョン時間を持たなければなりません。

#### 6.12.4.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
$T_{acc}$	温度精度	外部リファレンス		$\pm 15$		°C
$t_{startup}$	スタートアップ時間 (TNSCTL[ENABLE] から温 度センサのサンプリングまで)			500		μs
$t_{acq}$	ADC アクイジョン時間		450			ns

### 6.12.5 コンパレータ・サブシステム (CMPSS)

各 CMPSS には、2 つのコンパレータ、2 つのリファレンス 12 ビット DAC、2 つのデジタル フィルタ、1 つのランプ ジェネレータが搭載されています。コンパレータは、各モジュールで「H」または「L」と表記されています。ここで、「H」と「L」はそれぞれ「HIGH」(ハイ) と「LOW」(ロー) を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正の入力は、外部ピンまたは PGA から駆動できます。負入力は、外部ピンまたはプログラマブル リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。ランプ ジェネレータ回路はオプションで、サブシステム内でハイコンパレータのリファレンス 12 ビット DAC 値を制御できます。各 CMPSS モジュールからは 2 つの出力があります。これら 2 つの出力は、ePWM モジュールまたは GPIO ピンに接続される前に、デジタル フィルタとクロスバーを通過します。図 1-1 に、CMPSS の接続状況を示します。

#### 注

CMPSS ピンの多重化の詳細については、「[アナログ ピンと内部接続](#)」表および「[ピン属性](#)」表を参照してください。

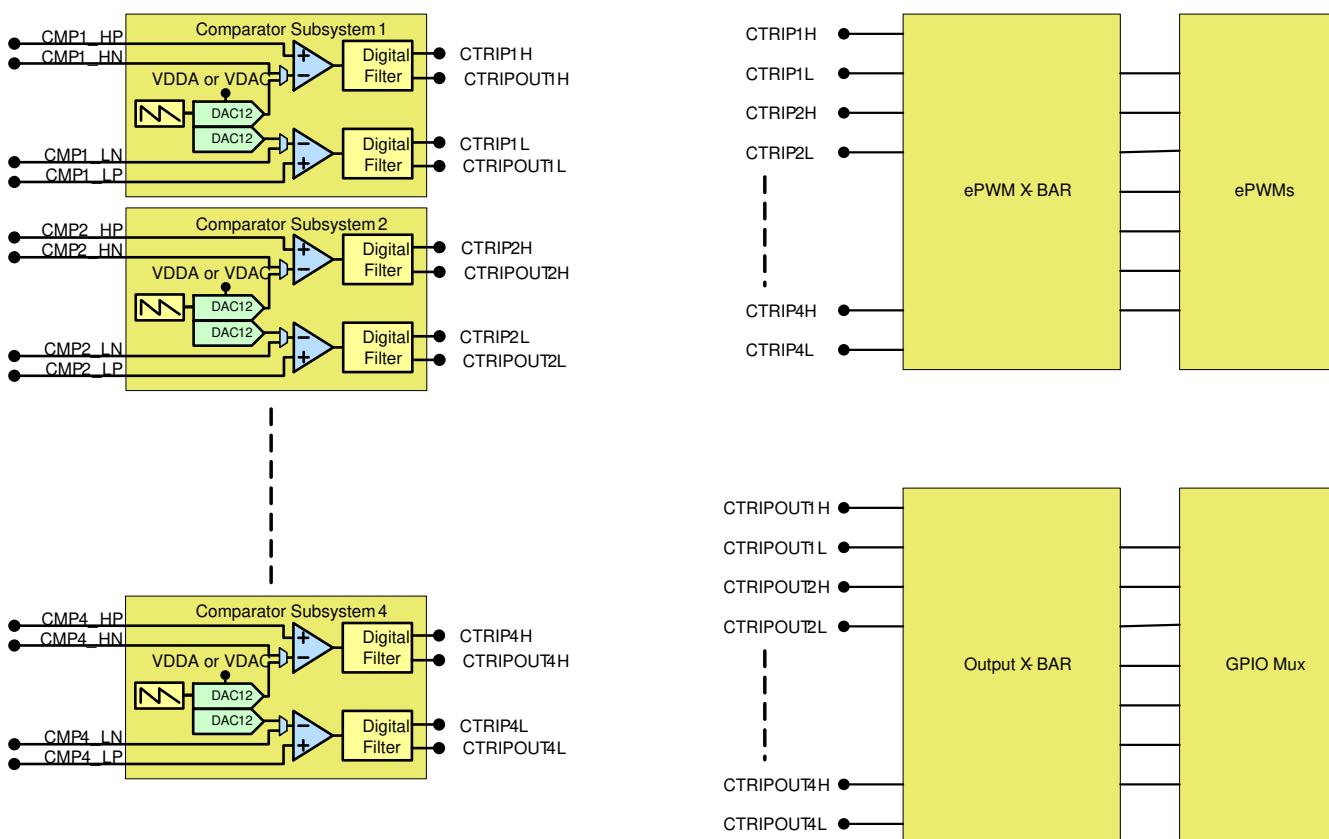


図 6-44. CMPSS の接続

### 6.12.5.1 CMPSS の電気的データおよびタイミング

セクション 6.12.5.1.1 に、コンパレータの電気的特性を示します。図 1-1 に、CMPSS コンパレータの入力換算オフセットを示します。図 1-1 に、CMPSS コンパレータのヒステリシスを示します。

#### 6.12.5.1.1 コンパレータ電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
TPU	パワーアップ時間			500	μs
コンパレータ入力 (CMPINxx) 範囲		0	VDDA	V	
入力換算オフセット誤差	低同相モード、反転入力は 50mV に設定	-20	20	20	mV
ヒステリシス (1)	1x	4	12	20	LSB
	2x	17	24	33	
	3x	25	36	50	
	4x	30	48	67	
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)	ステップ応答		21	60	ns
	ランプ応答 (1.65V/μs)		26		
	ランプ応答 (8.25mV/μs)		30		ns
PSRR	電源除去比	最高 250kHz		46	dB
CMRR	同相除去比		40		dB

- (1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケーリングされます。ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

#### CMPSS コンパレータの入力換算オフセットとヒステリシス

##### 注

正常な機能動作を確保するためには、CMPSS 入力を VDDA + 0.3V よりも低く維持する必要があります。CMPSS 入力がこのレベルを超えると、内部ブロッキング回路によって内部コンパレータが外部ピンから絶縁され、外部ピンの電圧が VDDA + 0.3V を下回るまでその状態が続けます。この期間中、内部コンパレータの入力はフローティング状態になり、約 0.5μs 以内に VDDA を下回るまで減衰します。この時間が経過した後、コンパレータは、他のコンパレータ入力の値に応じて、不正確な結果を出力する可能性があります。

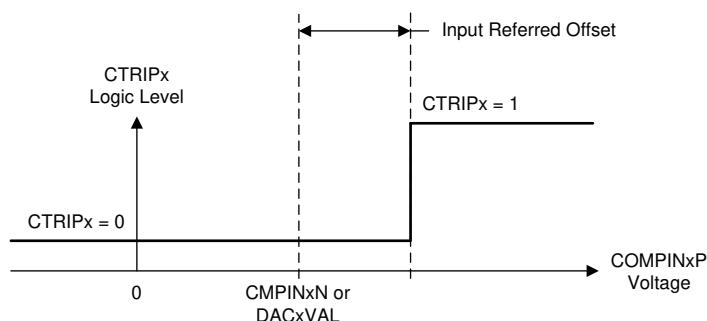


図 6-45. CMPSS コンパレータの入力換算オフセット

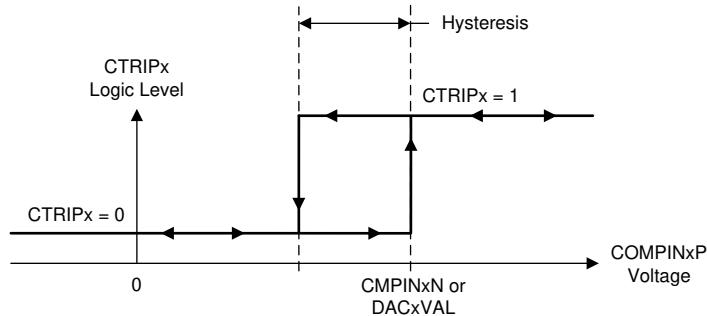


図 6-46. CMSS コンパレータのヒステリシス

セクション 6.12.5.1.2 に、CMPSS DAC の静的電気特性を示します。

#### 6.12.5.1.2 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0	VDDA	VDAC <sup>(4)</sup>	V
	外部リファレンス	0	VDAC <sup>(4)</sup>		
静的オフセット誤差 <sup>(1)</sup>		-25	25	mV	
静的ゲイン誤差 <sup>(1)</sup>		-2	2	% (対 FSR)	
静的 DNL	エンドポイント補正	>-1	4	LSB	
静的 INL	エンドポイント補正	-16	16	LSB	
セトリング時間	フルスケール出力変化後 1LSB にセトリング		1	μs	
分解能			12		ビット
CMPSS DAC 出力の外乱 <sup>(2)</sup>	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100	100	LSB	
CMPSS DAC の外乱時間 <sup>(2)</sup>			200	ns	
VDAC リファレンス電圧	VDAC がリファレンス電圧の場合	2.4 2.5 または 3.0	VDDA	V	
VDAC 負荷 <sup>(3)</sup>	VDAC がリファレンス電圧の場合	6	8	10	kΩ

(1) コンパレータの入力換算誤差を含みます。

(2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。

(3) アクティブな CMPSS モジュール 1 個あたり。

(4) VDAC > VDDA の場合、最大出力電圧は VDDA です。

#### 6.12.5.1.3 CMPSS の説明用グラフ

図 1-1 に、CMPSS DAC の静的オフセットを示します。図 1-1 に、CMPSS DAC の静的ゲインを示します。図 1-1 に、CMPSS DAC の静的直線性を示します。

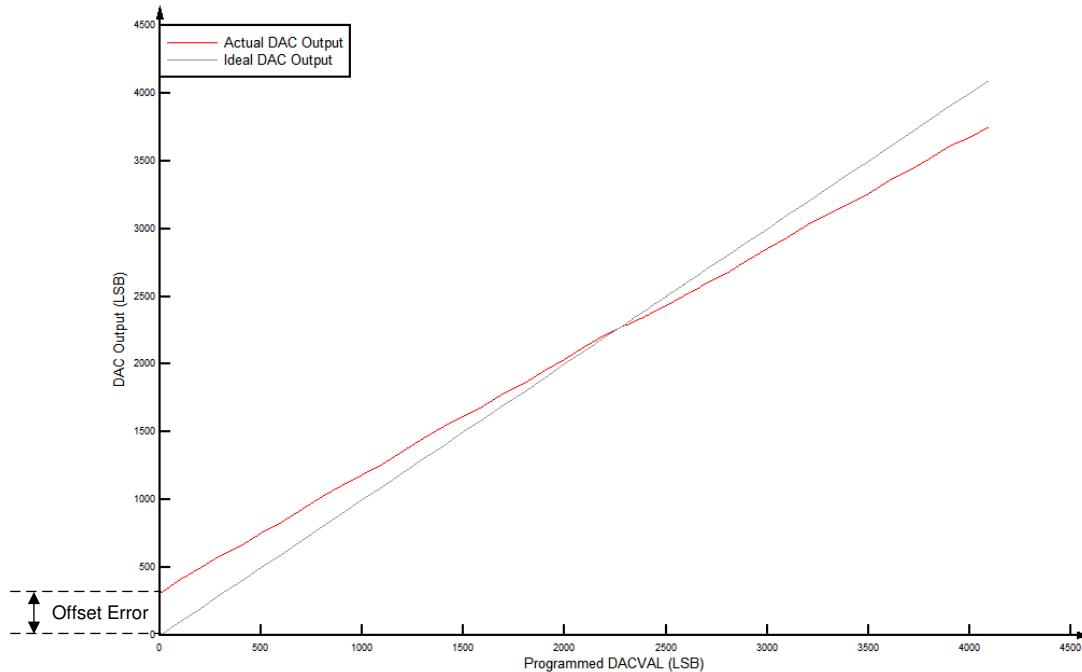


図 6-47. CMPSS DAC の静的オフセット

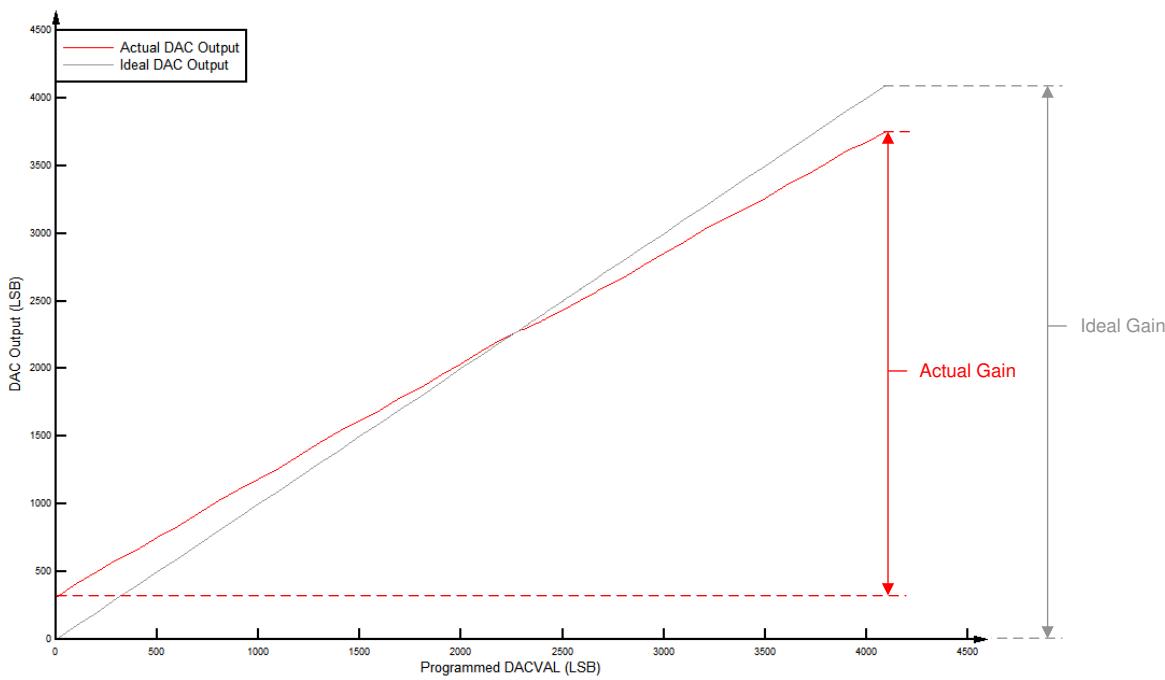


図 6-48. CMPSS DAC の静的ゲイン

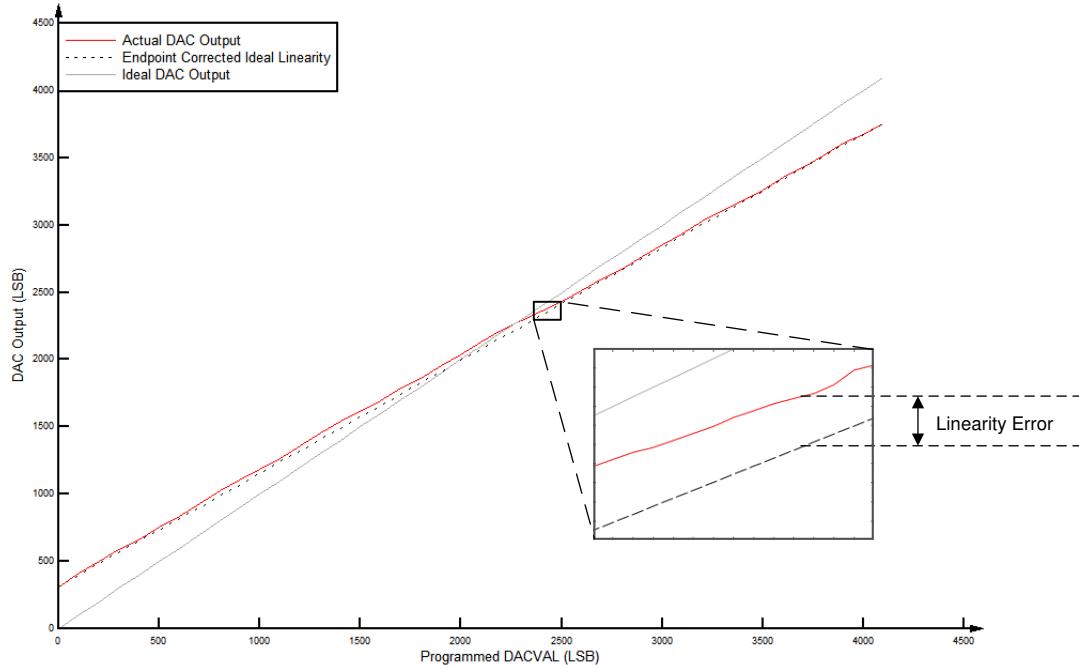


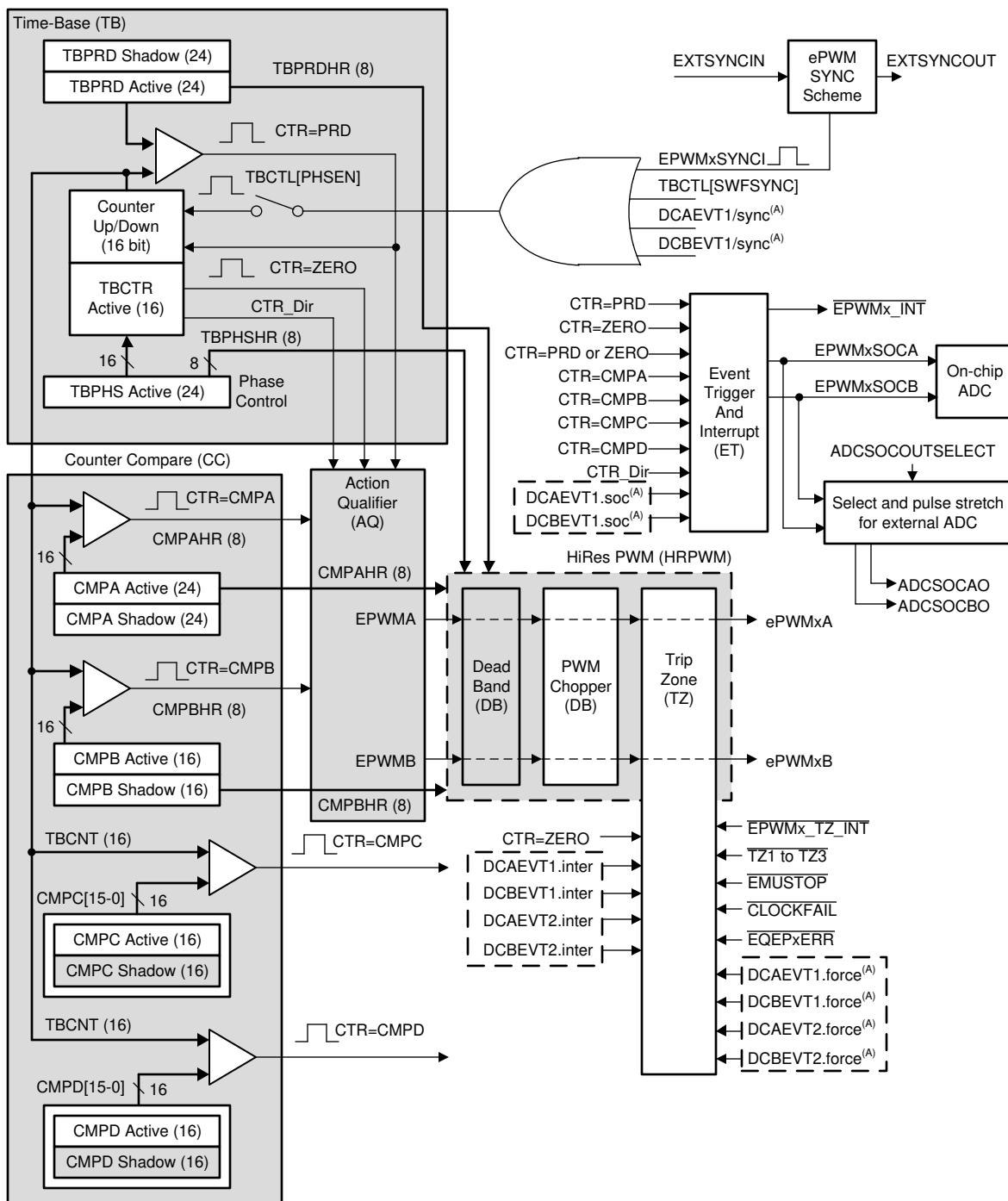
図 6-49. CMPSS DAC の静的直線性

## 6.13 制御ペリフェラル

### 6.13.1 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュールの主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタリロード機能が挙げられます。

ePWM モジュールを 図 1-1 に示します。図 1-1 に、ePWM トリップ入力の接続を示します。



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-50. ePWM サブモジュールおよび重要な内部信号の相互接続

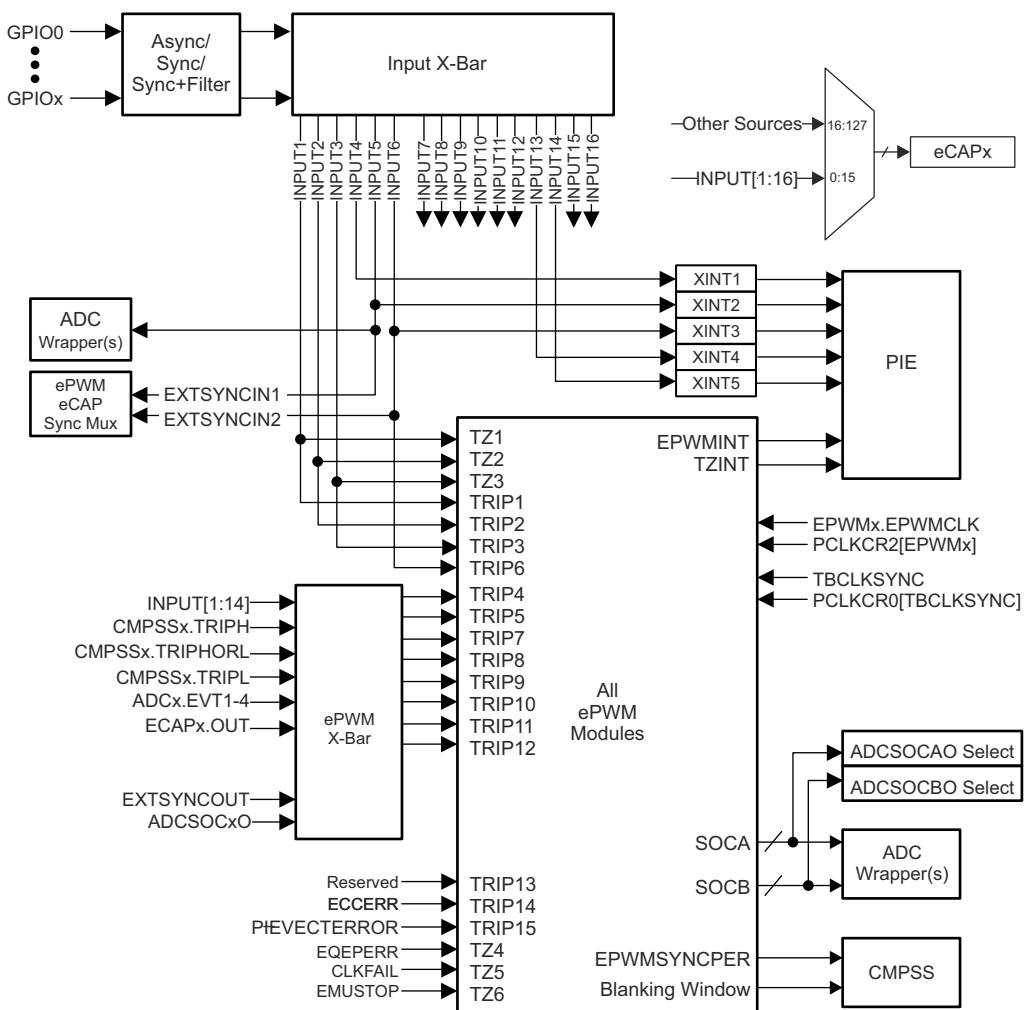


図 6-51. ePWM トリップ入力の接続

### 6.13.1.1 制御ペリフェラルの同期

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。他のペリフェラルと同様に、ePWM および eCAP モジュールのパーティション分割は、CPUSELx レジスタを使用して行う必要があります。図 1-1 に、この同期スキームを示します。

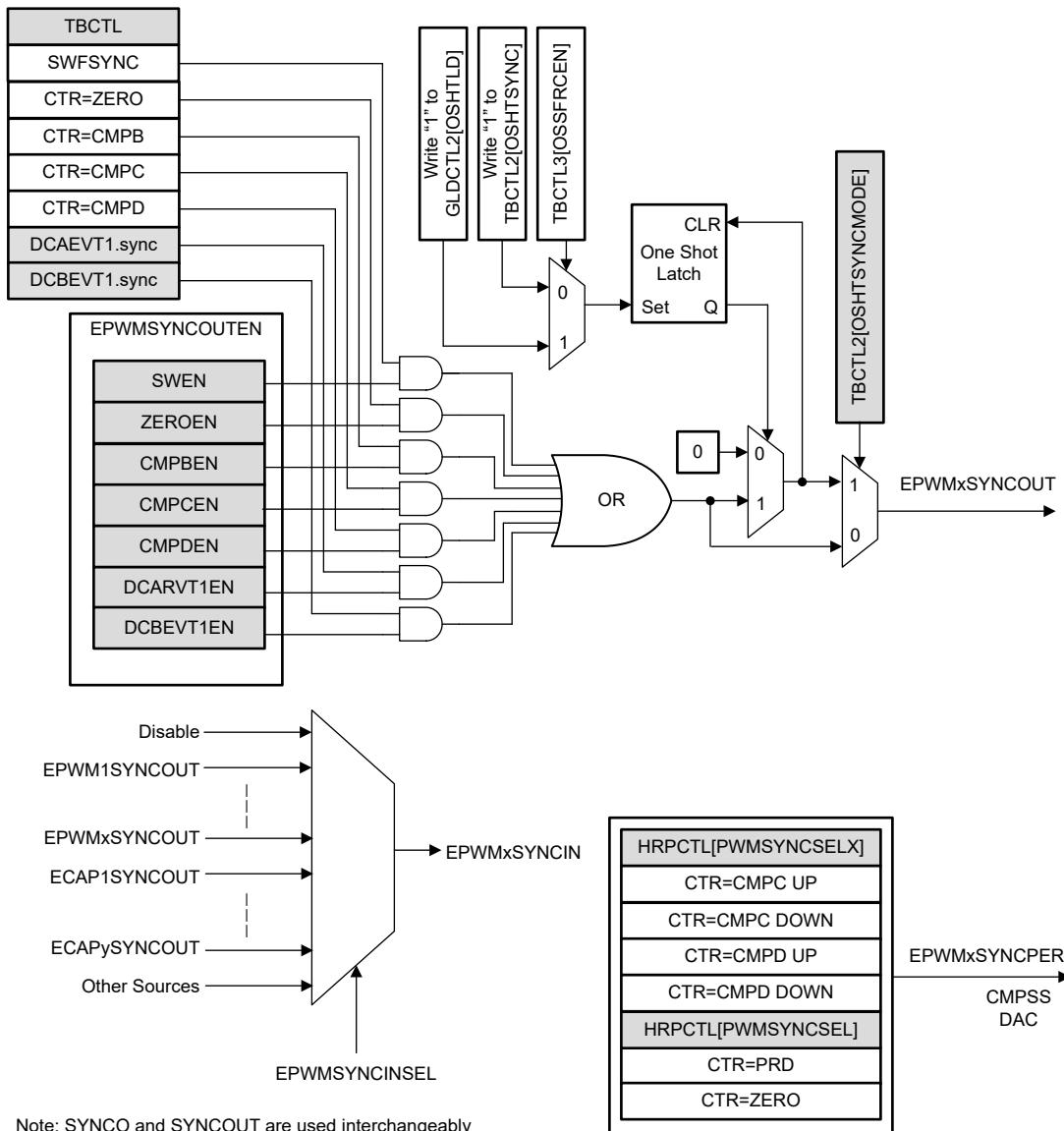


図 6-52. 同期チェーンのアーキテクチャ

### 6.13.1.2 ePWM の電気的データおよびタイミング

セクション 6.13.1.2.1 に、ePWM のタイミング要件、セクション 6.13.1.2.2 に、ePWM のスイッチング特性を示します。入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.13.1.2.1 ePWM のタイミング要件

			最小値	最大値	単位
$t_w(\text{SYNCIN})$	同期入力パルス幅	非同期	$2t_c(\text{EPWMCLK})$		サイクル
		同期	$2t_c(\text{EPWMCLK})$		
		入力クオリファイヤあり	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$		

#### 6.13.1.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

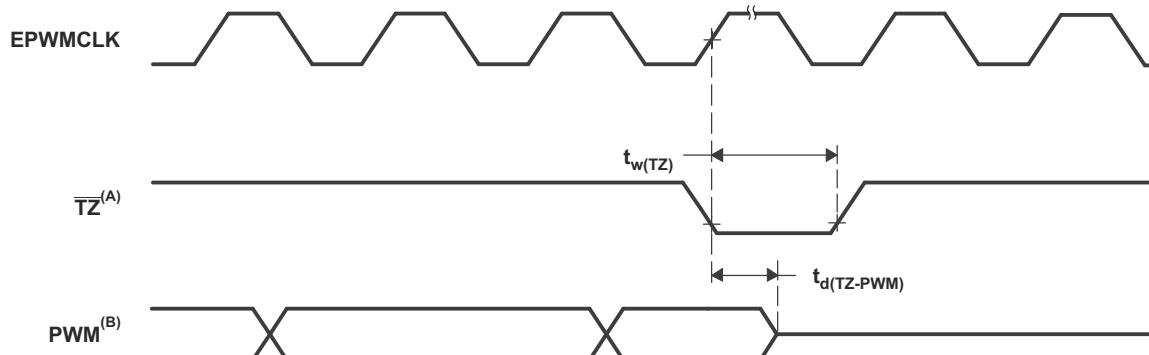
	パラメータ	最小値	最大値	単位
$t_w(\text{PWM})$	パルス幅、 $\text{PWMx}$ 出力 High/Low	20	ns	
$t_w(\text{SYNCOOUT})$	同期出力パルス幅	$8t_c(\text{SYSCLK})$		サイクル
$t_d(\text{TZ-PWM})$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイインピーダンスまで		25	ns

#### 6.13.1.2.3 トリップゾーン入力のタイミング

セクション 6.13.1.2.3.1 に、トリップゾーン入力のタイミング要件を示します。図 1-1 に、PWM ハイインピーダンス特性を示します。入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

#### 6.13.1.2.3.1 トリップゾーン入力のタイミング要件

			最小値	最大値	単位
$t_w(\text{TZ})$	パルス幅、 $\overline{\text{TZx}}$ 入力 Low	非同期	$1t_c(\text{EPWMCLK})$		サイクル
		同期	$2t_c(\text{EPWMCLK})$		サイクル
		入力クオリファイヤあり	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$		サイクル



- A.  $\overline{\text{TZ}}: \overline{\text{TZ1}}, \overline{\text{TZ2}}, \overline{\text{TZ3}}, \text{TRIP1} \sim \text{TRIP12}$
- B. PWM は、デバイスのすべての PWM ピンのことです。 $\overline{\text{TZ}}$  が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-53. PWM ハイインピーダンス特性

### 6.13.1.3 外部 ADC 変換開始の電気的データおよびタイミング

セクション 6.13.1.3.1 に、外部 ADC 変換開始のスイッチング特性を示します。図 1-1 に、ADCSOCAO または ADCSOCBO のタイミングを示します。

#### 6.13.1.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位
$t_w(\text{ADCSOCL})$	パルス幅、 <u>ADCSOCxO</u> Low	$32t_c(\text{SYSCLK})$	サイクル

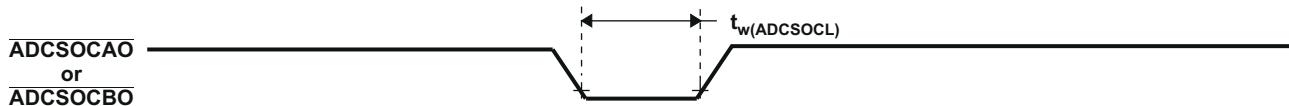


図 6-54. ADCSOCAO または ADCSOCBO のタイミング

### 6.13.2 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイラインを 1 つのモジュールに統合し、専用のキャリブレーション ディレイラインを使用して、簡素化されたキャリブレーション システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャネル A の HR デューティおよびデッドバンド制御
- チャネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル エッジ (デューティ サイクルおよび位相シフト制御) とデュアル エッジ (周波数 / 周期変調制御) の両方で使用できる。
- ePWM モジュールの比較 A、比較 B、位相、周期、デッドバンド レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

#### 注

HRPWM に許容される最小 HRPWMCLK 周波数は 60MHz です。

### 6.13.2.1 HRPWM の電気的データおよびタイミング

セクション 6.13.2.1.1 に、高分解能 PWM スイッチング特性を示します。

#### 6.13.2.1.1 高分解能 PWM の特性

パラメータ	最小値	代表値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ <sup>(1)</sup>	150	310		ps

(1) MEP ステップ サイズは、高温かつ  $V_{DD}$  最小電圧で最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ サイズが増加し、温度の低下および電圧の上昇に伴って減少します。

HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

### 6.13.3 拡張キャプチャおよび高分解能キャプチャ (eCAP, HRCAP)

eCAP モジュールは、外部イベントのタイミングの正確さが重要となるシステムで使用します。このデバイスの eCAP / HRCAP は Type-2 です。

eCAP の用途は以下のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサパルス間の経過時間測定
- パルス列信号の周期およびデューティサイクル測定
- デューティサイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

eCAP モジュールの主な機能は次のとおりです。

- 4 つのイベントタイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャイベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベントタイムスタンプのシングル ショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- 上記のそれぞれのリソースに専用の单一入力ピン
- キャプチャモードで使用しない場合、eCAP モジュールを单一チャネル PWM 出力 (APWM) として構成可能。

Type 1 の eCAP におけるキャプチャ機能は、Type 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベントフィルタリセットビット
  - ECCTL2[CTRFFILTRESET] に 1 を書き込むと、イベントフィルタ、モジュロ カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。
- モジュロ カウンタのステータスビット
  - モジュロ カウンタ (ECCTL2[MODCTRSTS]) は、次にロードするキャプチャレジスタがどれなのかを示します。Type 0 の eCAP では、モジュロ カウンタの現在の状態を知ることができませんでした。
- DMA トリガソース
  - eCAPxDMA が DMA トリガとして追加されました。CEVT[1–4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチブレクサ
  - ECCTL0[INPUTSEL] は、128 の入力信号のいずれかを選択します。
- EALLOW 保護
  - 重要なレジスタに EALLOW 保護が追加されています。Type 0 の eCAP とのソフトウェア互換性を維持するには、DEV\_CFG\_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。

Type 2 の eCAP におけるキャプチャ機能は、Type 1 の eCAP を拡張したものであり、以下の機能が追加されています。

- ECAPxSYNCINSEL レジスタ
  - 外部 SYNCIN を選択するために、各 eCAP に ECAPSxYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

eCAP 入力は、入力クロスバーを介して任意の GPIO 入力に接続されます。APWM 出力は、出力クロスバーから GPIO 多重化の OUTPUTx 領域を経由して GPIO ピンに接続されます。セクション 5.4.3 とセクション 5.4.4 を参照してください。

eCAP モジュールは、PERx.SYSCLK によってクロック供給されます。

PCLKCR3 レジスタのクロック イネーブル ビット (ECAP1～ECAP3) は、eCAP モジュールを個別にオフにします (低消費電力動作の場合)。リセット時には、ECAP1ENCLK が Low に設定され、ペリフェラル クロックがオフであることを示します。

### 6.13.3.1 高分解能キャプチャ (HRCAP)

eCAP3 モジュールは、高分解能キャプチャ (HRCAP) サブモジュールとして構成できます。HRCAP サブモジュールは、システム クロックと非同期にパルス間の時間差を測定します。このサブモジュールは、eCAP Type 1 モジュールの新機能であり、Type 0 HRCAP モジュールに対して多くの拡張が行われています。

HRCAP の主な用途：

- 静電容量式タッチ アプリケーション
- パルストレイン サイクルの周期とデューティ サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン
- 流量測定

HRCAP サブモジュールの主な特長を以下に示します。

- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 絶対モードのパルス幅キャプチャ
- 連続キャプチャまたはワンショットキャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでのキャプチャ
- 深さ 4 のバッファによるパルス幅の連続モード キャプチャ
- 高精度高分解能キャプチャのためのハードウェア キャリブレーション ロジック
- このリストに掲載されているすべてのリソースは、入力クロスバーを使って任意のピンで利用できます。

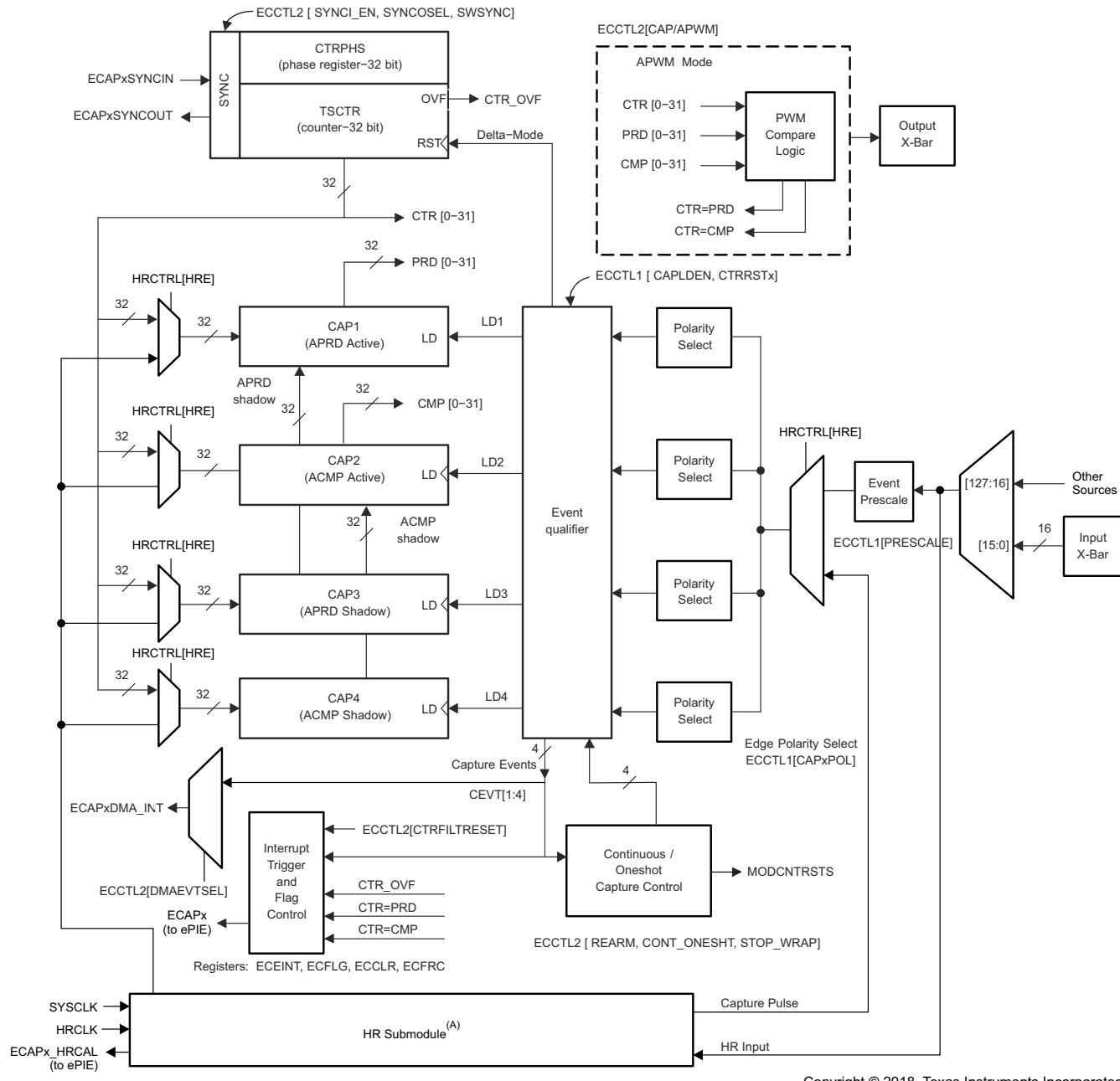
HRCAP サブモジュールは、キャリブレーション ブロックに加えて、1 つの高分解能キャプチャ チャネルを備えています。このキャリブレーション ブロックを使用すると、HRCAP サブモジュールを一定の間隔で継続的に再キャリブレーションでき、「ダウン タイム」は発生しません。HRCAP サブモジュールは現在、それぞれの eCAP と同じハードウェアを使用しているため、HRCAP を使用すると、対応する eCAP は使用できません。

それぞれの高分解能対応チャネルは、以下の独立した主要リソースを備えています。

- 対応する eCAP のすべてのハードウェア
- 高分解能のキャリブレーション ロジック
- 専用のキャリブレーション割り込み

### 6.13.3.2 eCAP と HRCAP のブロック図

図 1-1 に、eCAP と HRCAP のブロック図を示します。



Copyright © 2018, Texas Instruments Incorporated

- A. HRCAP サブモジュールは、すべての eCAP モジュールで利用できるわけではありません。この場合、高分解能マルチプレクサとハードウェアは実装されていません。

図 6-55. eCAP と HRCAP のブロック図

### 6.13.3.3 eCAP/HRCAP 同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。外部同期入力信号は、EPWM、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 1-1 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

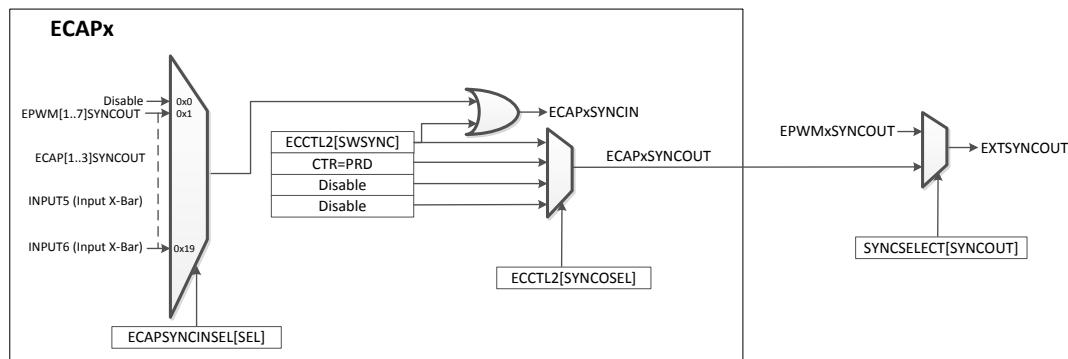


図 6-56. eCAP Synchronization 方式

### 6.13.3.4 eCAP の電気的データおよびタイミング

セクション 6.13.3.4.1 に、eCAP のタイミング要件、セクション 6.13.3.4.2 に、eCAP のスイッチング特性を示します。

#### 6.13.3.4.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
$t_w(\text{CAP})$	キャプチャ入力パルス幅	非同期	$2t_c(\text{SYSCLK})$			ns
		同期	$2t_c(\text{SYSCLK})$			
		入力クオリファイアあり	$1t_c(\text{SYSCLK}) + t_w(\text{IQSW})$			

#### 6.13.3.4.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	代表値	最大値	単位
$t_w(\text{APWM})$	パルス幅、APWMx 出力 High/Low	20		ns

### 6.13.3.5 HRCAP の電気的データおよびタイミング

セクション 6.13.3.5.1 に、HRCAP のスイッチング特性を示します。図 1-1 に、HRCAP の精度と分解能を示します。図 1-1 に、HRCAP の標準偏差特性を示します。

#### 6.13.3.5.1 HRCAP スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
入力パルス幅		110			ns
精度(1) (2) (3) (4)	測定長 $\leq 5\mu\text{s}$		$\pm 390$	540	ps
	測定長 $> 5\mu\text{s}$		$\pm 450$	1450	ps
標準偏差		HRCAP 標準偏差特性図を参照			
分解能		300			ps

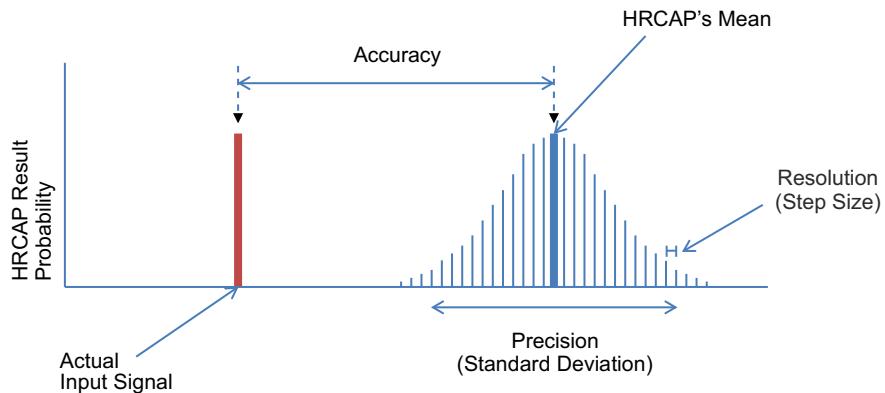
(1) 100PPM の発振回路を使用して値を取得すると、発振回路の精度が HRCAP の精度に直接影響を及ぼします。

(2) 立ち上がりまたは立ち下がりエッジを使用して測定を完了します

(3) 逆極性のエッジは、 $V_{IH}$  と  $V_{IL}$  の差により、精度が低下します。この影響は、信号のスルーレートに依存します。

(4) 精度は、時間に変換された測定にのみ適用されます。

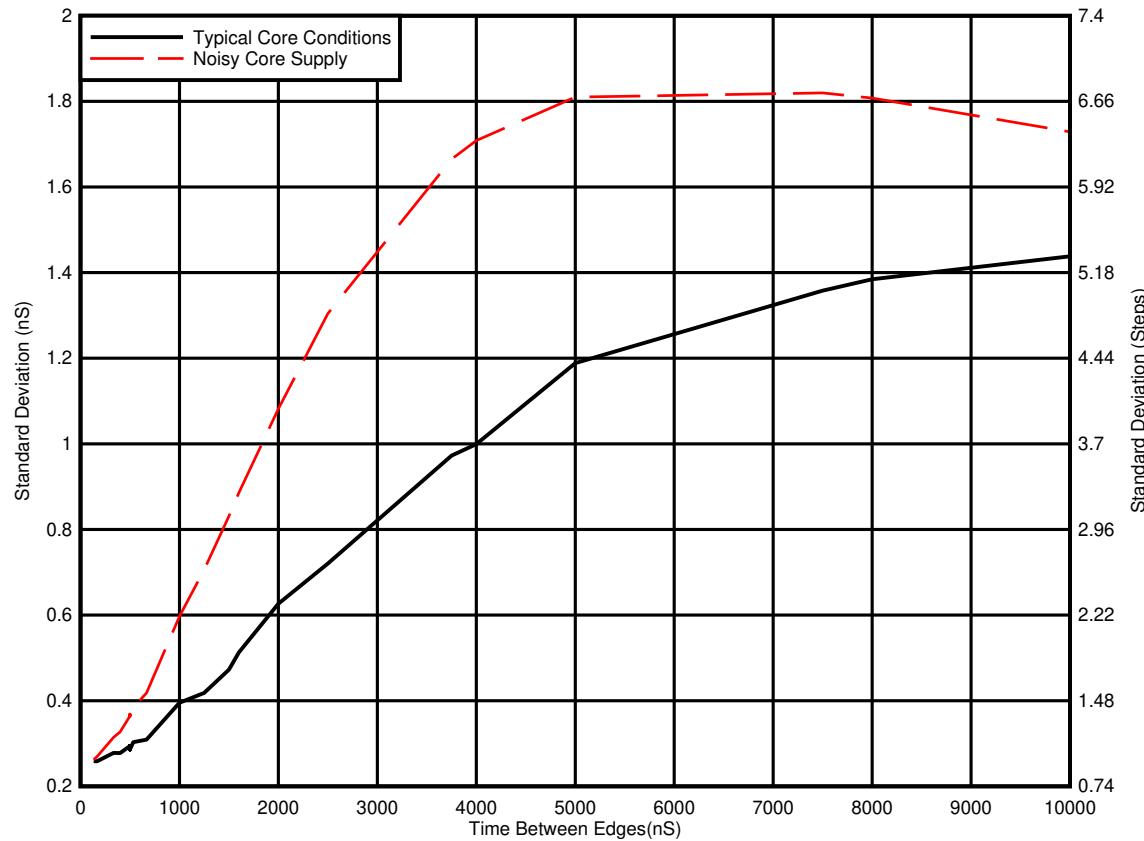
### 6.13.3.5.2 HRCAP の図とグラフ



A. HRCAP の性能にはいくらくかの変動があるので、確率分布を以下に示す用語で記述します。

- 精度:入力信号と HRCAP の分布の平均との時間差。
- 精度:HRCAP の分布の幅であり、これは標準偏差として表されます。
- 分解能:測定可能な最小増分。

図 6-57. HRCAP の正確度、精度、分解能



- 代表的な動作条件:すべてのペリフェラルクロックはディセーブル。
- ノイズの多いコア電源:すべてのコアクロックは、測定中に一定の周期でイネーブルおよびディセーブルになります。
- 1.2V レールの電流と電圧の変動により、HRCAP の標準偏差が上昇します。HRCAP を使用する際には、1.2V 電源がクリーンであること、また、クロックツリーのイネーブルおよびディセーブルなどのノイズの多い内部イベントを最小限に抑えることについて注意する必要があります。

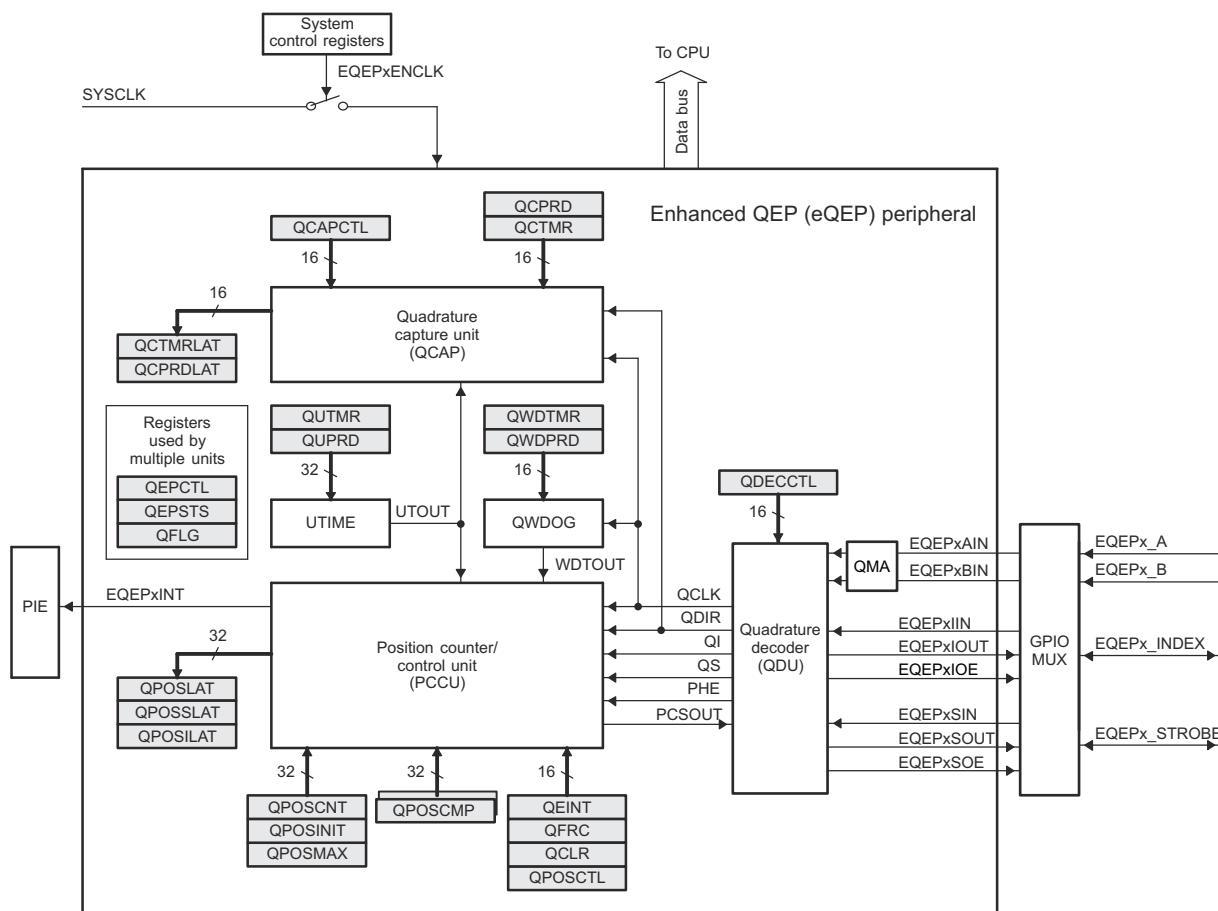
図 6-58. HRCAP 標準偏差特性

#### 6.13.4 拡張直交エンコーダ パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 1-1 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)
- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モード アダプタ (QMA)



Copyright © 2017, Texas Instruments Incorporated

図 6-59. eQEP のブロック図

#### 6.13.4.1 eQEP の電気的データおよびタイミング

セクション 6.13.4.1.1 に、eQEP のタイミング要件を示し、セクション 6.13.4.1.2 に、eQEP のスイッチング特性を示します。入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

##### 6.13.4.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_w(QEPP)$	QEP 入力周期	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2[1t_c(SYSCLK) + t_w(IQSW)]$		
$t_w(INDEXH)$	QEP インデックス入力 High 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		
$t_w(INDEXL)$	QEP インデックス入力 Low 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		
$t_w(STROBH)$	QEP ストローブ High 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		
$t_w(STROBL)$	QEP ストローブ入力 Low 時間	同期 (1)	$2t_c(SYSCLK)$		サイクル
		入力クオリファイヤにより同期	$2t_c(SYSCLK) + t_w(IQSW)$		

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

##### 6.13.4.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

	パラメータ	最小値	最大値	単位
$t_d(CNTR)_{xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_c(SYSCLK)$	サイクル
$t_d(PCS-OUT)_{QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_c(SYSCLK)$	サイクル

## 6.14 通信ペリフェラル

### 6.14.1 CAN (Controller Area Network)

---

#### 注

CAN モジュールは、DCAN と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、CAN および DCAN という呼称を同じように使っています。

---

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
  - 最大 1Mbps のビットレート
  - 複数のクロック ソースに対応
  - 32 個のメッセージ オブジェクト (メールボックス)。それぞれに次の特長があります。
    - 受信または送信として構成可能
    - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
    - プログラム可能な識別子受信マスクをサポート
    - データ フレームおよびリモート フレームをサポート
    - 0~8 バイトのデータを保持
    - 設定およびデータ RAM のパリティチェック
  - 各メッセージ オブジェクトに個別の識別子マスク
  - メッセージ オブジェクト用のプログラム可能な FIFO モード
  - プログラム可能なループバック モードによる自己テスト動作
  - デバッグをサポートするためのサスペンド モード
  - ソフトウェアによるモジュール リセット
  - バス オフ状態の後、プログラマブル 32 ビット タイマにより自動的にバス オン
  - 2 つの割り込みライン
  - DMA のサポート
- 

#### 注

100 MHz の CAN ビット クロックの場合、可能な最小のビットレートは 3.90625kbps です。

---

---

#### 注

オンチップのゼロ ピン発振器の精度を [セクション 6.11.3.5.1](#) に示します。CAN ビットのタイミング設定、ビットレート、バス長、伝搬遅延などのパラメータによっては、この発振器の精度が CAN プロトコルの要件を満たしていない場合があります。この状況では、外部クロック ソースを使用する必要があります。

---

[図 1-1](#) に、CAN のブロック図を示します。

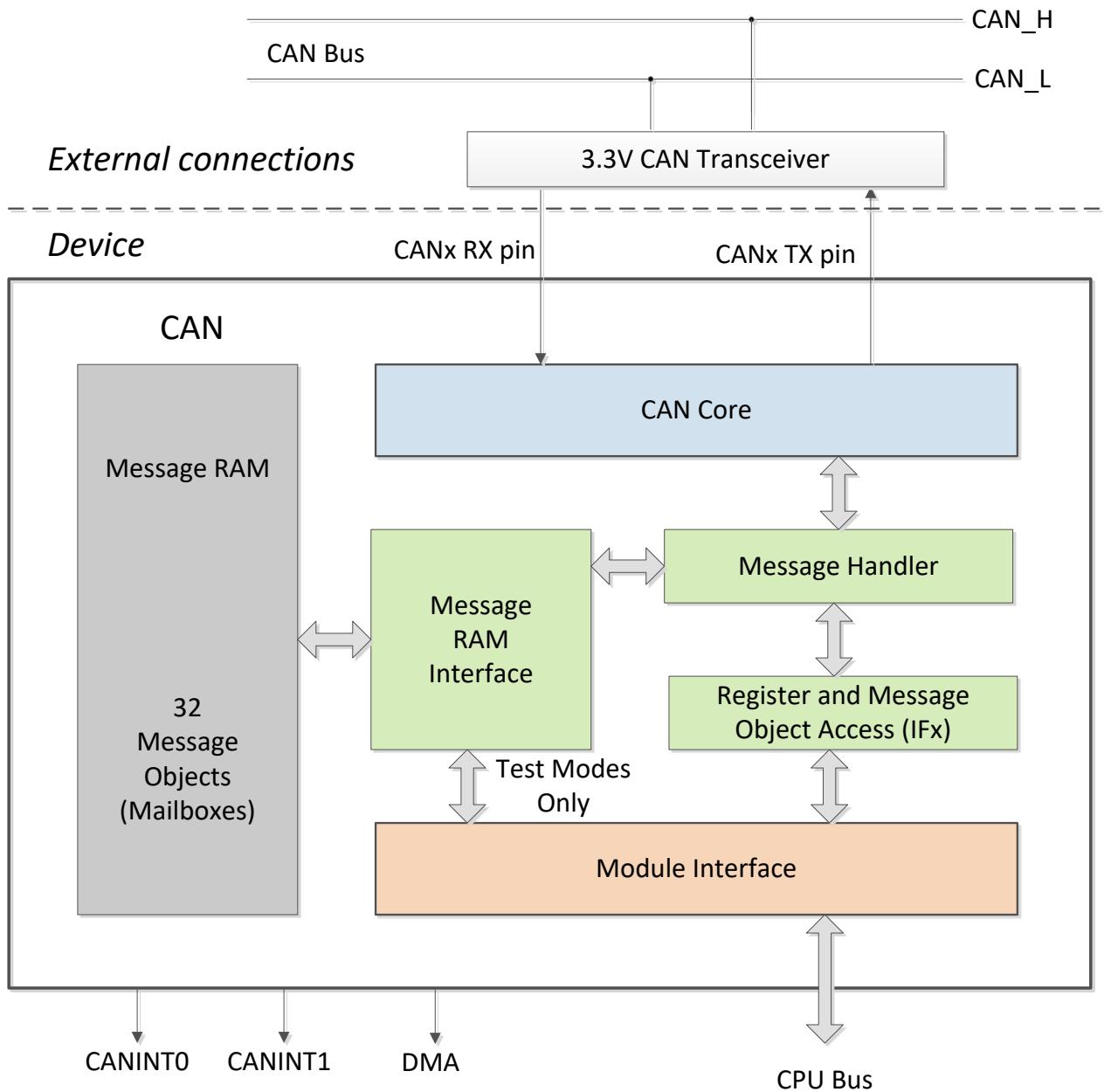


図 6-60. CAN のブロック図

### 6.14.2 I<sup>2</sup>C (Inter-Integrated Circuit)

I<sup>2</sup>C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I<sup>2</sup>C バス規格 (バージョン 2.1) に準拠:
  - 8 ビット形式の転送をサポート
  - 7 ビットおよび 10 ビットのアドレッシング モード
  - ゼネラル コール
  - START バイト モード
  - 複数のマスタ ランスマッタとスレーブ レシーバをサポート
  - 複数のスレーブ ランスマッタとマスタ レシーバをサポート
  - マスタ送信 / 受信、受信 / 送信の組み合わせモード
  - 10kbps～最大 400kbps (ファスト モード) のデータ転送レートをサポート
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 2 つの ePIE 割り込みをサポート
  - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
    - 送信準備完了
    - 受信準備完了
    - レジスタ アクセス準備完了
    - アクノリッジなし
    - 調停消失
    - ストップ条件検出
    - スレーブとしてアドレス指定
  - I2Cx\_FIFO 割り込み:
    - 送信 FIFO 割り込み
    - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー データ形式モード

図 1-1 に、本デバイス内の I<sup>2</sup>C ペリフェラル モジュールの接続図を示します。

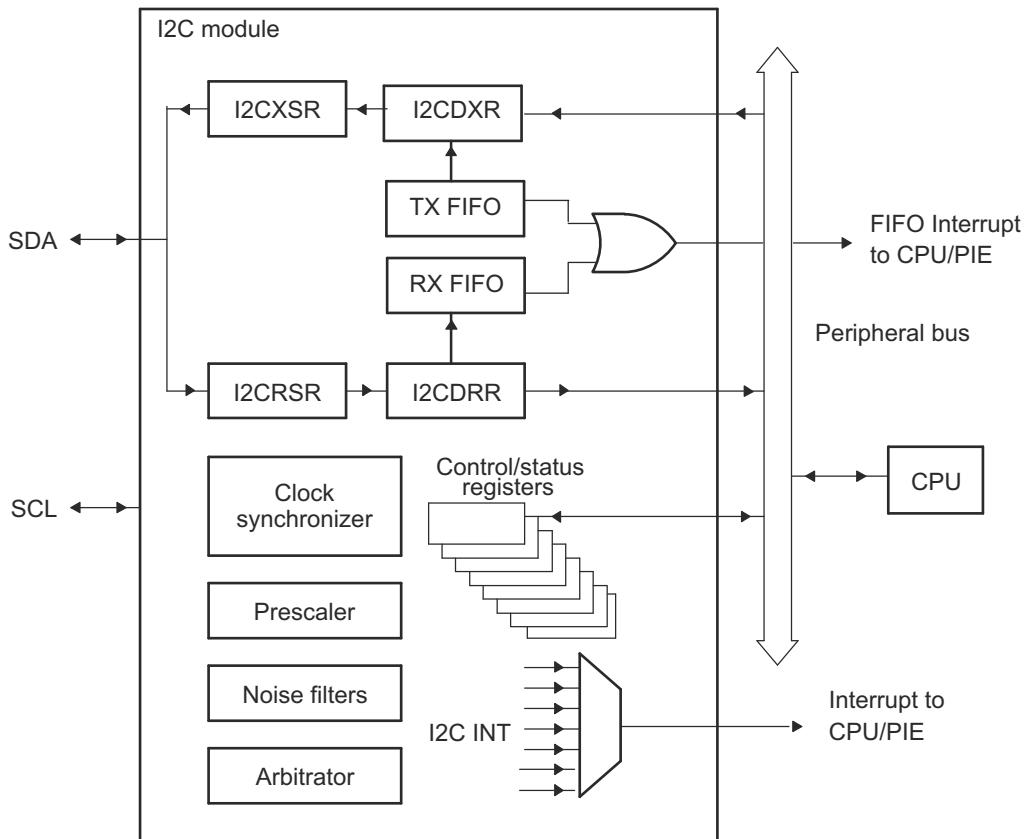


図 6-61. I2C ペリフェラル モジュール インターフェイス

### 6.14.2.1 I<sub>2</sub>C の電気的データおよびタイミング

セクション 6.14.2.1.1 に、I<sub>2</sub>C のタイミング要件を示します。セクション 6.14.2.1.2 に、I<sub>2</sub>C のスイッチング特性を示します。図 1-1 に、I<sub>2</sub>C のタイミング図を示します。

#### 注

すべての I<sub>2</sub>C プロトコルのタイミング仕様を満たすには、I<sub>2</sub>C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

#### 6.14.2.1.1 I<sub>2</sub>C のタイミング要件

番号			最小値	最大値	単位
<b>スタンダード モード</b>					
T0	f <sub>mod</sub>	I <sub>2</sub> C モジュールの周波数	7	12	MHz
T1	t <sub>h</sub> (SDA-SCL)START	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	4.0		μs
T2	t <sub>su</sub> (SCL-SDA)START	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	4.7		μs
T3	t <sub>h</sub> (SCL-DAT)	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	t <sub>su</sub> (DAT-SCL)	セットアップ時間、データから SCL 立ち上がりまで	250 (2)		ns
T5	t <sub>r</sub> (SDA)	立ち上がり時間、SDA	1000 (1)		ns
T6	t <sub>r</sub> (SCL)	立ち上がり時間、SCL	1000 (1)		ns
T7	t <sub>f</sub> (SDA)	立ち下がり時間、SDA	300		ns
T8	t <sub>f</sub> (SCL)	立ち下がり時間、SCL	300		ns
T9	t <sub>su</sub> (SCL-SDA)STOP	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	4.0		μs
T10	t <sub>w</sub> (SP)	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C <sub>b</sub>	各バスラインの容量性負荷		400	pF
<b>ファスト モード</b>					
T0	f <sub>mod</sub>	I <sub>2</sub> C モジュールの周波数	7	12	MHz
T1	t <sub>h</sub> (SDA-SCL)START	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.6		μs
T2	t <sub>su</sub> (SCL-SDA)START	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.6		μs
T3	t <sub>h</sub> (SCL-DAT)	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	t <sub>su</sub> (DAT-SCL)	セットアップ時間、データから SCL 立ち上がりまで	100		ns
T5	t <sub>r</sub> (SDA)	立ち上がり時間、SDA	20	300	ns
T6	t <sub>r</sub> (SCL)	立ち上がり時間、SCL	20	300	ns
T7	t <sub>f</sub> (SDA)	立ち下がり時間、SDA	11.4	300	ns
T8	t <sub>f</sub> (SCL)	立ち下がり時間、SCL	11.4	300	ns
T9	t <sub>su</sub> (SCL-SDA)STOP	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.6		μs
T10	t <sub>w</sub> (SP)	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C <sub>b</sub>	各バスラインの容量性負荷		400	pF

- (1) 立ち上がり時間を最小化するため、正味 2.2kΩ のプルアップ抵抗のオーダーで SDA と SCL の両方のバスラインに強力なプルアップを使用することを推奨します。また、SCL ピンと SDA ピンの両方に使用するプルアップ抵抗の値を一致させることを推奨します。

- (2) C2000 I<sup>2</sup>C はファースト モード デバイスです。I<sup>2</sup>C をスタンダード モードのホストでターゲット ランスマッタとして使用する場合には制限があります。詳細については、『[TMS320F28002x リアルタイム MCU シリコン エラッタ](#)』を参照してください。

#### 6.14.2.1.2 I<sub>C</sub> のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	テスト条件	最小値	最大値	単位	
<b>スタンダード モード</b>						
S1	f <sub>SCL</sub>	SCL クロック周波数	0	100	kHz	
S2	T <sub>SCL</sub>	SCL クロック周期	10		μs	
S3	t <sub>w(SCLL)</sub>	パルス幅、SCL クロック Low	4.7		μs	
S4	t <sub>w(SCLH)</sub>	パルス幅、SCL クロック High	4.0		μs	
S5	t <sub>BUF</sub>	STOP 条件と START 条件間のバス開放時間	4.7		μs	
S6	t <sub>v(SCL-DAT)</sub>	有効時間、SCL 立ち下がり後のデータ	3.45		μs	
S7	t <sub>v(SCL-ACK)</sub>	有効時間、SCL 立ち下がりからアクリッジまで	3.45		μs	
S8	I <sub>I</sub>	ピンの入力電流	0.1V <sub>bus</sub> < V <sub>i</sub> < 0.9V <sub>bus</sub>	-10	10	μA
<b>ファスト モード</b>						
S1	f <sub>SCL</sub>	SCL クロック周波数	0	400	kHz	
S2	T <sub>SCL</sub>	SCL クロック周期	2.5		μs	
S3	t <sub>w(SCLL)</sub>	パルス幅、SCL クロック Low	1.3		μs	
S4	t <sub>w(SCLH)</sub>	パルス幅、SCL クロック High	0.6		μs	
S5	t <sub>BUF</sub>	STOP 条件と START 条件間のバス開放時間	1.3		μs	
S6	t <sub>v(SCL-DAT)</sub>	有効時間、SCL 立ち下がり後のデータ	0.9		μs	
S7	t <sub>v(SCL-ACK)</sub>	有効時間、SCL 立ち下がりからアクリッジまで	0.9		μs	
S8	I <sub>I</sub>	ピンの入力電流	0.1V <sub>bus</sub> < V <sub>i</sub> < 0.9V <sub>bus</sub>	-10	10	μA

#### 6.14.2.1.3 I<sub>C</sub> タイミング図

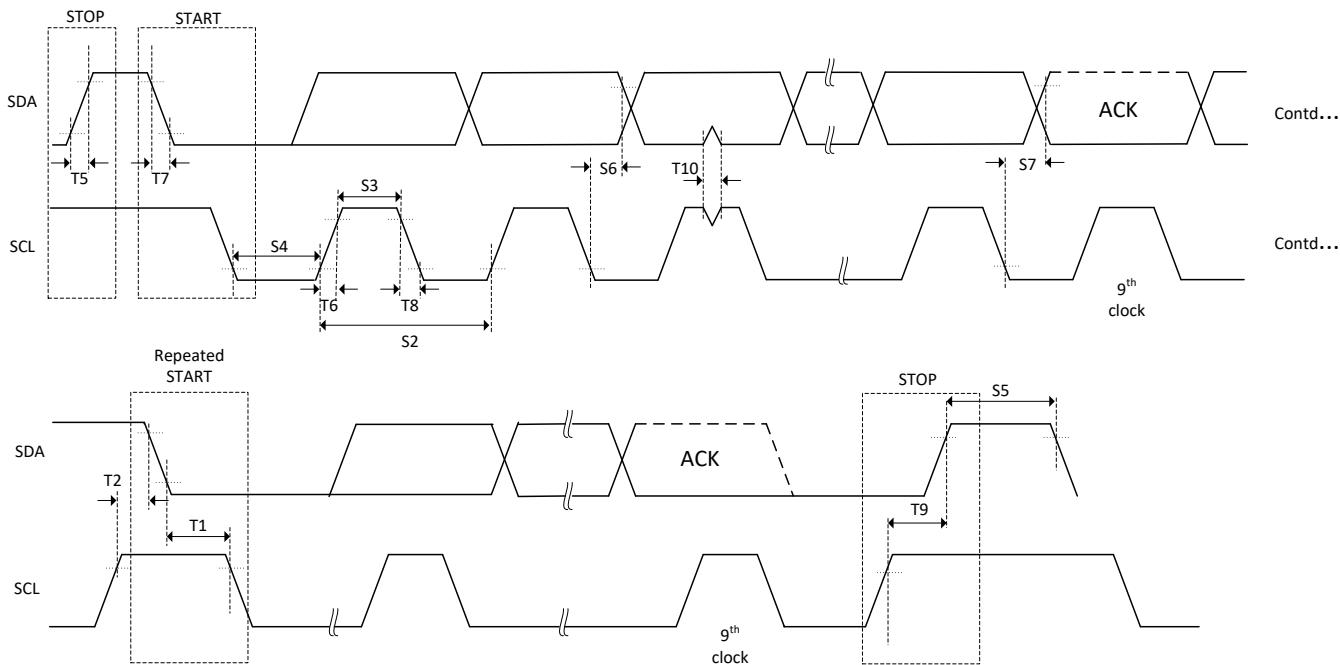


図 6-62. I<sub>C</sub> タイミング図

### 6.14.3 PMBus (Power Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- マスター モードおよびスレーブ モードのサポート
- I<sub>2</sub>C モードのサポート
- 以下の 2 種類の速度をサポート
  - スタンダード モード: 最高 100kHz
  - フアースト モード: 400 kHz
- パケット エラー チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつかの条件によって生成可能:
  - 受信データ準備完了
  - 送信バッファ空
  - スレーブアドレス受信
  - メッセージ終了
  - ALERT 入力アサート
  - クロック Low タイムアウト
  - クロック High タイムアウト
  - バスフリー

PMBus のブロック図を 図 6-63 に示します。

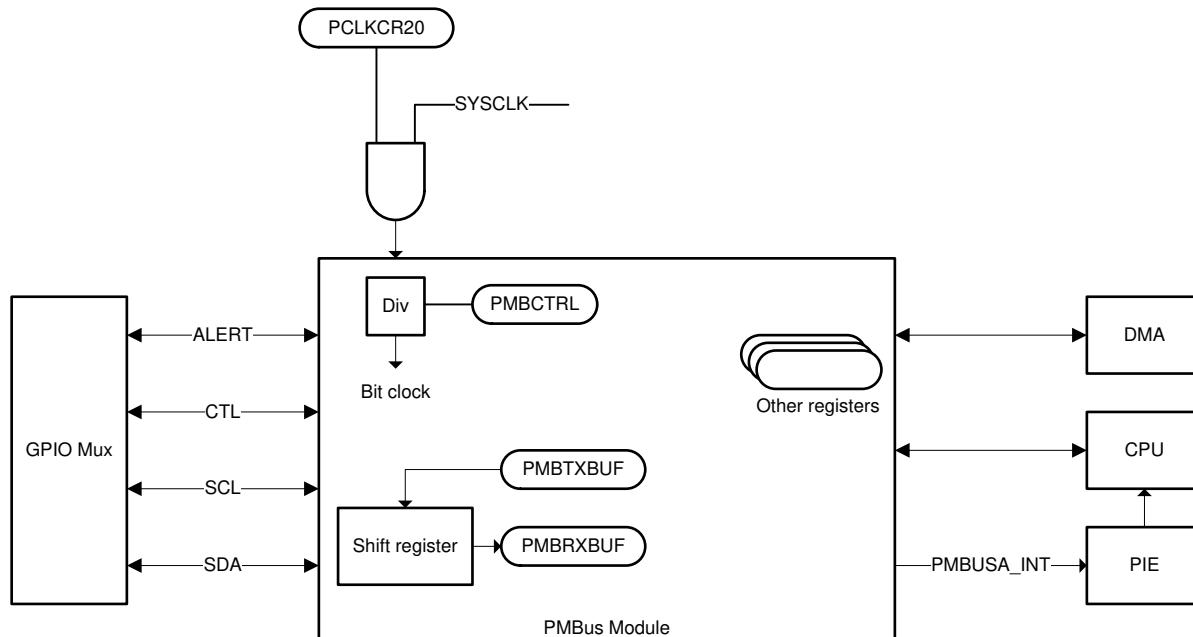


図 6-63. PMBus のブロック図

### 6.14.3.1 PMBus の電気的データおよびタイミング

セクション 6.14.3.1.1 に、PMBus のスイッチング特性を示します。セクション 6.14.3.1.2 に、PMBus ファースト モードのスイッチング特性を示します。セクション 6.14.3.1.3 に、PMBus 標準モードのスイッチング特性を示します。

#### 6.14.3.1.1 PMBus の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
$V_{IL}$	有効 Low レベル入力電圧			0.8	V
$V_{IH}$	有効 High レベル入力電圧		2.1	VDDIO	V
$V_{OL}$	Low レベル出力電圧	$I_{pullup} = 4\text{mA}$ のとき		0.4	V
$I_{OL}$	Low レベル出力電流	$V_{OL} \leq 0.4\text{V}$	4		mA
$t_{SP}$	入力フィルタにより抑制されるスパイクのパルス幅		0	50	ns
$I_i$	各ピンの入力リーク電流	$0.1\text{ Vbus} < V_i < 0.9\text{ Vbus}$	-10	10	$\mu\text{A}$
$C_i$	各ピンの容量			10	pF

#### 6.14.3.1.2 PMBus ファースト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
$f_{mod}$ (1)	PMBus モジュール周波数	SYSCLK / 32	10	MHz	
$f_{SCL}$	SCL クロック周波数	10	400	kHz	
$t_{BUF}$	STOP 条件と START 条件間のバス開放時間	1.3			$\mu\text{s}$
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.6			$\mu\text{s}$
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.6			$\mu\text{s}$
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.6			$\mu\text{s}$
$t_{HD;DAT}$	SCL 立ち下がり後のデータホールド時間	300			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータセットアップ時間	100			ns
$t_{Timeout}$	クロック Low タイムアウト	25	35	ms	
$t_{LOW}$	SCL クロックの Low 期間	1.3			$\mu\text{s}$
$t_{HIGH}$	SCL クロックの High 期間	0.6	50		$\mu\text{s}$
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (スレーブデバイス)	START から STOP まで		25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (マスター デバイス)	各バイト内		10	ms
$t_r$	SDA および SCL の立ち上がり時間	5%~95%	20	300	ns
$t_f$	SDA および SCL の立ち下がり時間	95%~5%	20	300	ns

(1) 標準モードおよびファーストモードのみをサポートしています。

### 6.14.3.1.3 PMBus スタンダード モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
$f_{mod}$ (1)	PMBus モジュール周波数	SYSCLK / 32	10	100	MHz
$t_{SCL}$	SCL クロック周波数	10	100	100	kHz
$t_{BUF}$	STOP 条件と START 条件間のバス開放時間	4.7			μs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延	4			μs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延	4.7			μs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延	4			μs
$t_{HD;DAT}$	SCL 立ち下がり後のデータホールド時間	300			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータセットアップ時間	250			ns
$t_{Timeout}$	クロック Low タイムアウト	25	35	35	ms
$t_{LOW}$	SCL クロックの Low 期間	4.7			μs
$t_{HIGH}$	SCL クロックの High 期間	4	50	50	μs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (スレーブデバイス)	START から STOP まで	25	25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (マスター デバイス)	各バイト内	10	10	ms
$t_r$	SDA および SCL の立ち上がり時間		1000	1000	ns
$t_f$	SDA および SCL の立ち下がり時間		300	300	ns

(1) 標準モードおよびファストモードのみをサポートしています。

#### 6.14.4 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランシッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブルビットと割り込みビットを持ちます。この両方が、半二重通信として個別に動作することも、全二重通信として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレーク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビットレートは、16 ビットのポート選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
  - SCITXD:SCI 送信出力ピン
  - SCIRXD:SCI 受信入力ピン
  - 64K までの異なるレートにプログラム可能なポート
- データワード フォーマット
  - 1 スタート ビット
  - データワード (1~8 ビットの範囲でワード長をプログラム可能)
  - パリティ ビット (偶数 / 奇数 / なしを選択可能)
  - 1 または 2 ストップ ビット
- 4 つのエラー検出フラグ:パリティ、オーバーラン、フレーミング、ブレーク検出
- 2 つのウェイクアップ マルチプロセッサ モード:アイドル ラインおよびアドレス ビット
- 半二重または全二重動作
- ダブル バッファ付き受信および送信機能
- トランシッタおよびレシーバの動作は、割り込み駆動、またはステータス フラグによるポーリング アルゴリズムで実現できます。
  - トランシッタ:TXRDY フラグ (トランシッタ バッファ レジスタが次の文字を受信する準備ができた) と TX EMPTY フラグ (トランシッタ シフト レジスタが空である)
  - レシーバ:RXRDY フラグ (レシーバ バッファ レジスタが次の文字を受信する準備ができた)、BRKDT フラグ (ブレーク 条件が発生した)、RX エラー フラグ (4 つの割り込み条件の監視)
- トランシッタおよびレシーバの割り込み用に個別のイネーブルビット (BRKDT を除く)
- NRZ フォーマット
- 自動ポート検出ハードウェア ロジック
- 16 レベルの送信および受信 FIFO

#### 注

このモジュールのすべてのレジスタは、8 ビット レジスタです。レジスタにアクセスすると、レジスタ データは下位バイト (ビット 7~0) になり、上位バイト (ビット 15~8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

図 1-1 に、SCI のブロック図を示します。

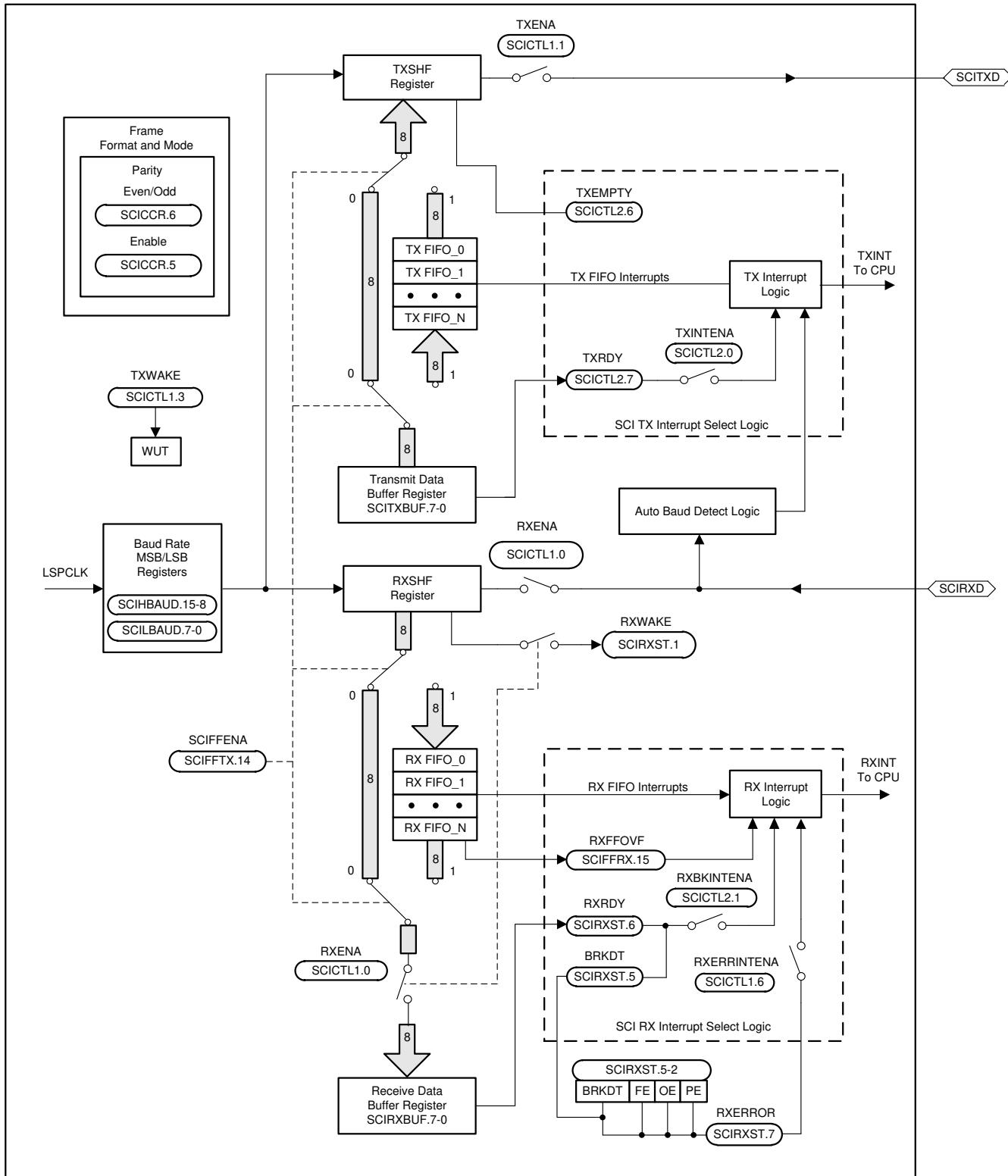


図 6-64. SCI のブロック図

#### 6.14.5 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル ビットストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフトレジスタ、ディスプレイドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスタまたはスレーブ動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPISOMI: SPI スレーブ出力 / マスタ入力ピン
- SPISIMO: SPI スレーブ入力 / マスタ出力ピン
- SPISTE: SPI スレーブ送信イネーブル ピン
- SPICLK: SPI シリアル クロック ピン
- 2 つの動作モード: マスタおよびスレーブ
- ボーレート: プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データワード長: 1~16 データビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
  - 位相遅延なしの立ち下がりエッジ: SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
  - 位相遅延付きの立ち下がりエッジ: SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延なしの立ち上がりエッジ: SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延付きの立ち上がりエッジ: SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスマッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- DMA のサポート
- 高速度モード
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでの、デジタル オーディオ インターフェイス受信モードのための SPISTE 反転

図 1-1 に、SPI CPU インターフェイスを示します。

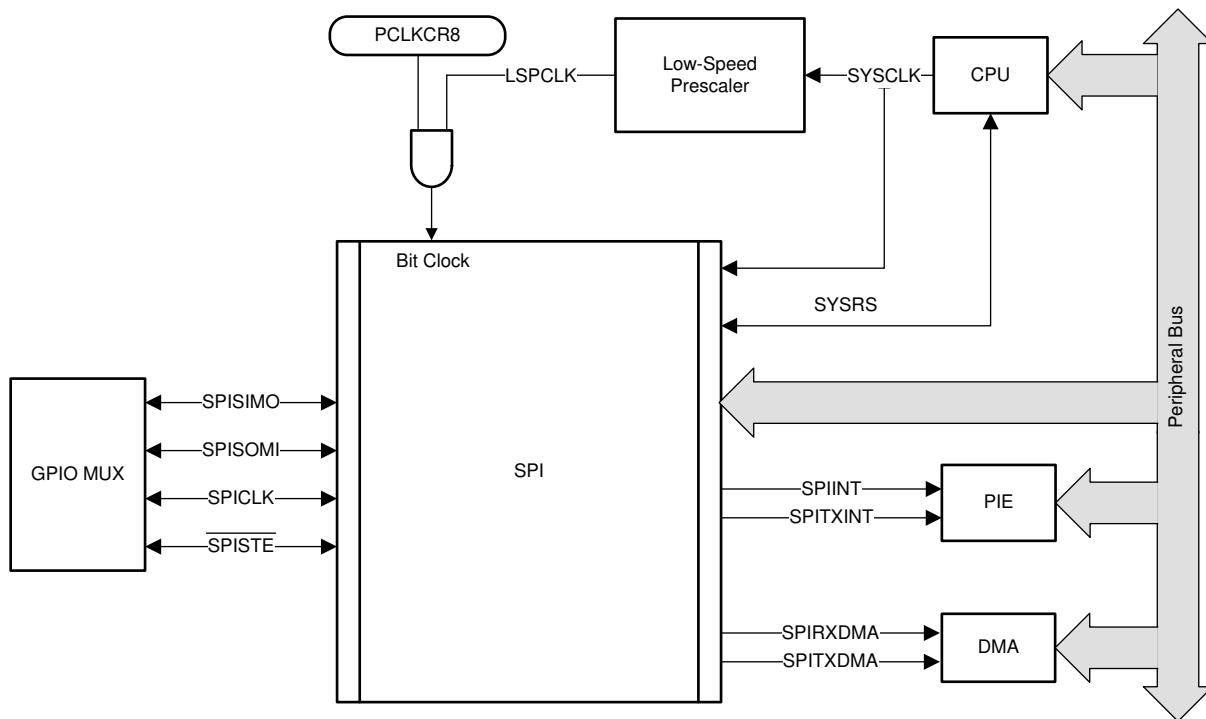


図 6-65. SPI CPU インターフェイス

#### 6.14.5.1 SPI マスタ モードのタイミング

以下のセクションに、SPI マスタ モードのタイミングを示します。高速モードの SPI の詳細については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

セクション [6.14.5.1.1](#) に、SPI マスタ モードのタイミング要件を示します。

セクション [6.14.5.1.2](#) に、クロック位相 = 0 の場合の SPI マスタ モードのスイッチング特性を示します。[図 1-1](#) に、クロック位相 = 0 の場合の SPI マスタ モードの外部タイミングを示します。

セクション [6.14.5.1.3](#) に、クロック位相 = 1 の場合の SPI マスタ モードのスイッチング特性を示します。[図 1-1](#) に、クロック位相 = 1 の場合の SPI マスタ モードの外部タイミングを示します。

---

#### 注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPISIMO、SPISOMI の負荷容量を 5pF と仮定しています。

---

#### 6.14.5.1.1 SPI マスタ モードのタイミング要件

番号	(BRR + 1) <sup>(1)</sup>	最小値	最大値	単位	
<b>高速モード</b>					
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	1	ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	5	ns
<b>通常モード</b>					
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	15	ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	0	ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

### 6.14.5.1.2 SPI マスタ モードのスイッチング特性(クロック位相=0)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		(BRR + 1) <sup>(1)</sup>	最小値	最大値	単位
<b>全般</b>						
1	$t_{c(SP)M}$	サイクル時間、SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_{w(SP)1M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_c(SP)M - 1$	$0.5t_c(SP)M + 1$	ns
			奇数	$0.5t_c(SP)M + 0.5t_c(LSPCLK) - 1$	$0.5t_c(SP)M + 0.5t_c(LSPCLK) + 1$	
3	$t_{w(SP)2M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_c(SP)M - 1$	$0.5t_c(SP)M + 1$	ns
			奇数	$0.5t_c(SP)M - 0.5t_c(LSPCLK) - 1$	$0.5t_c(SP)M - 0.5t_c(LSPCLK) + 1$	
23	$t_d(SP)M$	遅延時間、 <u>SPISTE</u> 有効から SPICLK まで	偶数	$1.5t_c(SP)M - 3t_c(SYSCLK) - 3$	$1.5t_c(SP)M - 3t_c(SYSCLK) + 3$	ns
			奇数	$1.5t_c(SP)M - 4t_c(SYSCLK) - 3$	$1.5t_c(SP)M - 4t_c(SYSCLK) + 3$	
24	$t_v(STE)M$	有効時間、SPICLK から <u>SPISTE</u> 無効まで	偶数	$0.5t_c(SP)M - 3$	$0.5t_c(SP)M + 3$	ns
			奇数	$0.5t_c(SP)M - 0.5t_c(LSPCLK) - 3$	$0.5t_c(SP)M - 0.5t_c(LSPCLK) + 3$	
<b>高速モード</b>						
4	$t_d(SIMO)M$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数			1 ns
5	$t_v(SIMO)M$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_c(SP)M - 3$		ns
			奇数	$0.5t_c(SP)M - 0.5t_c(LSPCLK) - 3$		
<b>通常モード</b>						
4	$t_d(SIMO)M$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数			1 ns
5	$t_v(SIMO)M$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_c(SP)M - 3$		ns
			奇数	$0.5t_c(SP)M - 0.5t_c(LSPCLK) - 3$		

- (1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

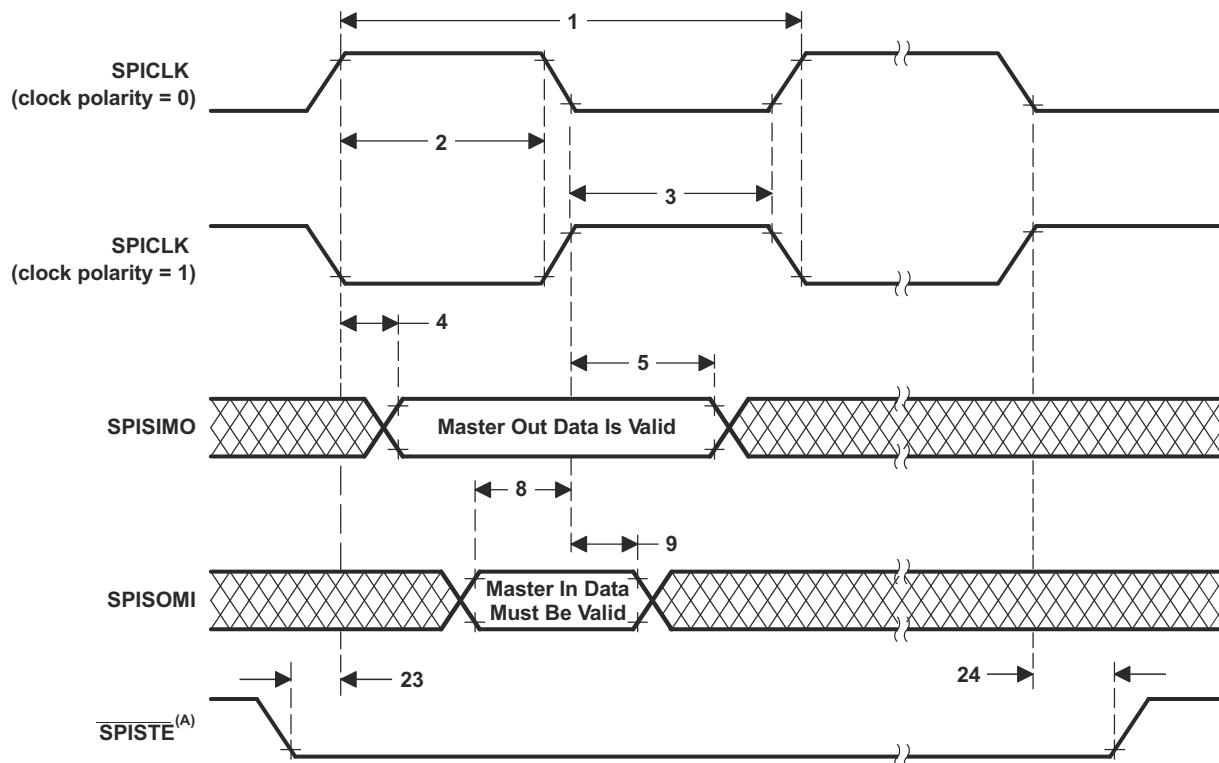
### 6.14.5.1.3 SPI マスター モードのスイッチング特性(クロック位相=1)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		(BRR + 1) <sup>(1)</sup>	最小値	最大値	単位
<b>全般</b>						
1	$t_c(SPC)M$	サイクル時間、SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_w(SPC)M$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_c(SPC)M - 1$	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 1$	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 1$	
3	$t_w(SPC2)M$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_c(SPC)M - 1$	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 1$	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 1$	
23	$t_d(SPC)M$	遅延時間、 $\overline{SPISTE}$ 有効から SPICLK まで	偶数、奇数	$2t_c(SPC)M - 3t_c(SYSCLK) - 3$	$2t_c(SPC)M - 3t_c(SYSCLK) + 2$	ns
24	$t_d(STE)M$	遅延時間、SPICLK から $\overline{SPISTE}$ 無効まで	偶数	-3	2	ns
			奇数	-3	2	
<b>高速モード</b>						
4	$t_d(SIMO)M$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_c(SPC)M - 2$		ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 2$		
5	$t_v(SIMO)M$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_c(SPC)M - 3$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		
<b>通常モード</b>						
4	$t_d(SIMO)M$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_c(SPC)M - 2$		ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 2$		
5	$t_v(SIMO)M$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_c(SPC)M - 3$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		

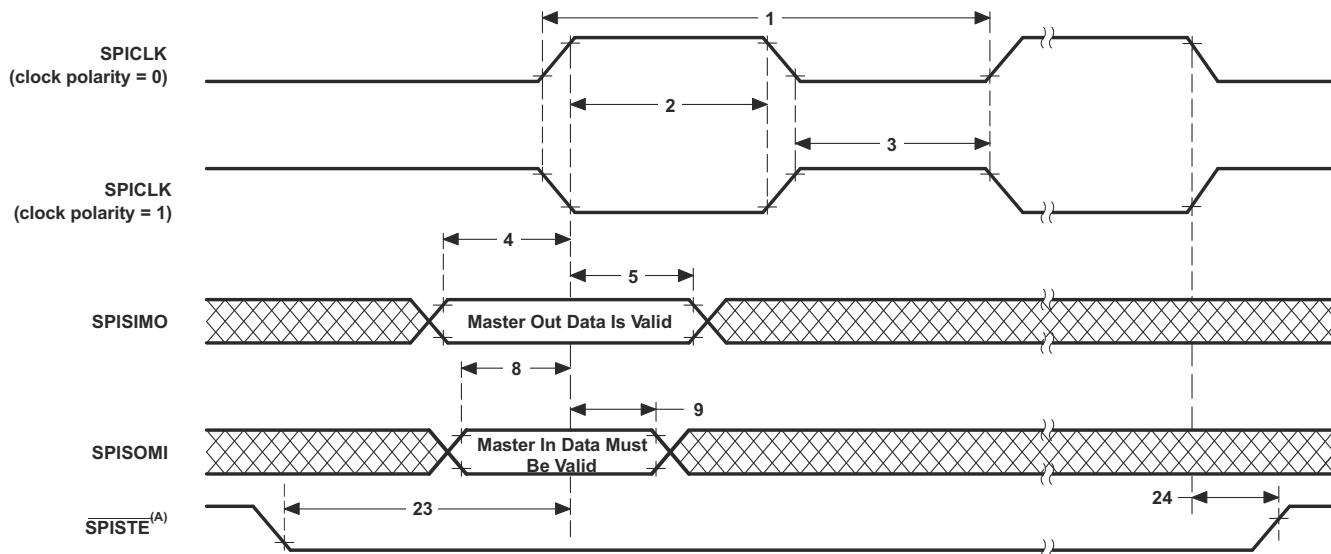
(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

#### 6.14.5.1.4 SPI マスタ モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、**SPISTE** は、非アクティブになります。

図 6-66. SPI マスタ モードの外部タイミング (クロック位相=0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、**SPISTE** は、非アクティブになります。

図 6-67. SPI マスタ モードの外部タイミング (クロック位相=1)

### 6.14.5.2 SPI スレーブ モードのタイミング

以下のセクションに、SPI スレーブ モードのタイミングを示します。高速モードの SPI の詳細については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

[セクション 6.14.5.2.1](#) に、SPI スレーブ モードのタイミング要件を示します。[セクション 6.14.5.2.2](#) に、SPI スレーブ モードのスイッチング特性を示します。

[図 1-1](#) に、クロック位相=0 の場合の SPI スレーブ モードの外部タイミングを示します。[図 1-1](#) に、クロック位相=1 の場合の SPI スレーブ モードの外部タイミングを示します。

#### 6.14.5.2.1 SPI スレーブ モードのタイミング要件

番号			最小値	最大値	単位
12	$t_c(SPC)S$	サイクル時間、SPICLK	$4t_c(SYCLK)$		ns
13	$t_w(SPC1)S$	パルス幅、SPICLK、最初のパルス	$2t_c(SYCLK) - 1$		ns
14	$t_w(SPC2)S$	パルス幅、SPICLK、2 番目のパルス	$2t_c(SYCLK) - 1$		ns
19	$t_{su(SIMO)S}$	セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_c(SYCLK)$		ns
20	$t_h(SIMO)S$	ホールド時間、SPICLK 後の SPISIMO が有効な期間	$1.5t_c(SYCLK)$		ns
25	$t_{su(STE)S}$	セットアップ時間、 $\overline{SPISTE}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_c(SYCLK) + 3$		ns
		セットアップ時間、 $\overline{SPISTE}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_c(SYCLK) + 23$		ns
26	$t_h(STE)S$	ホールド時間、SPICLK から $\overline{SPISTE}$ 無効まで	$1.5t_c(SYCLK)$		ns

#### 6.14.5.2.2 SPI スレーブ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位
15	$t_d(SOMI)S$		12	ns
16	$t_v(SOMI)S$	0		ns

#### 6.14.5.2.3 SPI スレーブモードタイミング図

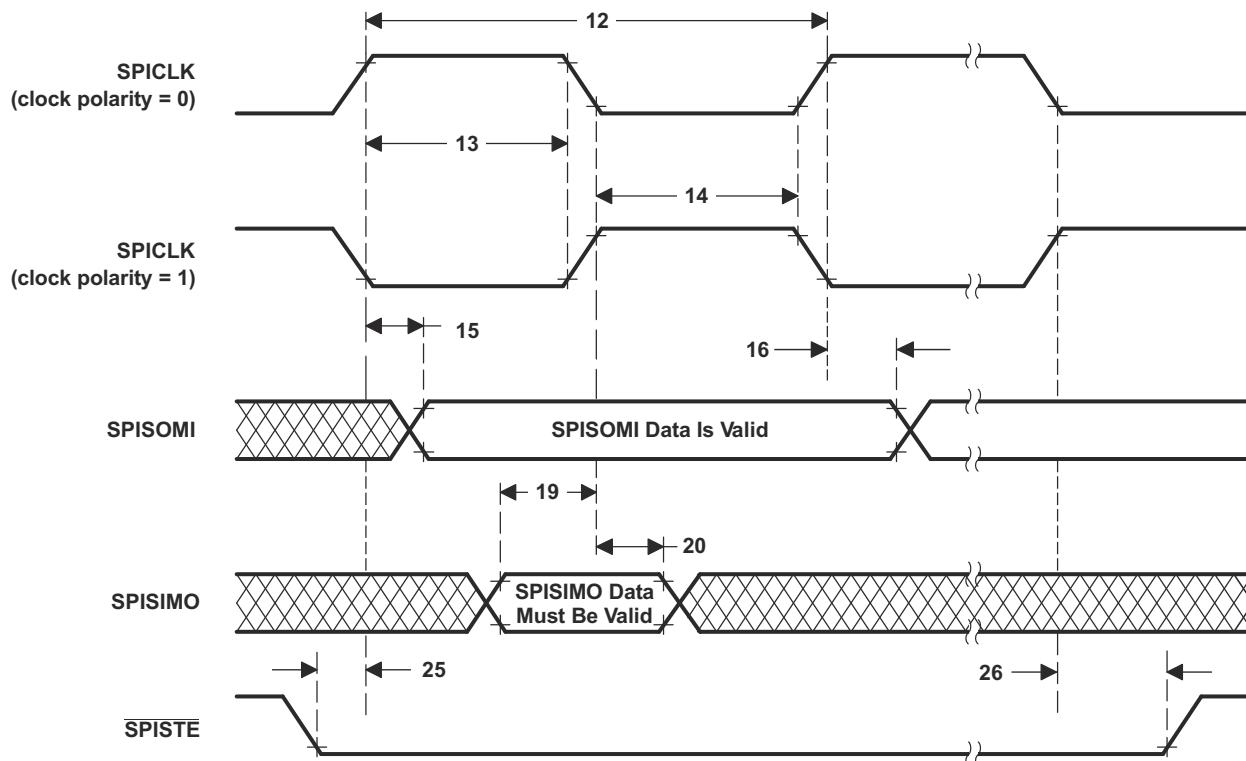


図 6-68. SPI スレーブモードの外部タイミング (クロック位相=0)

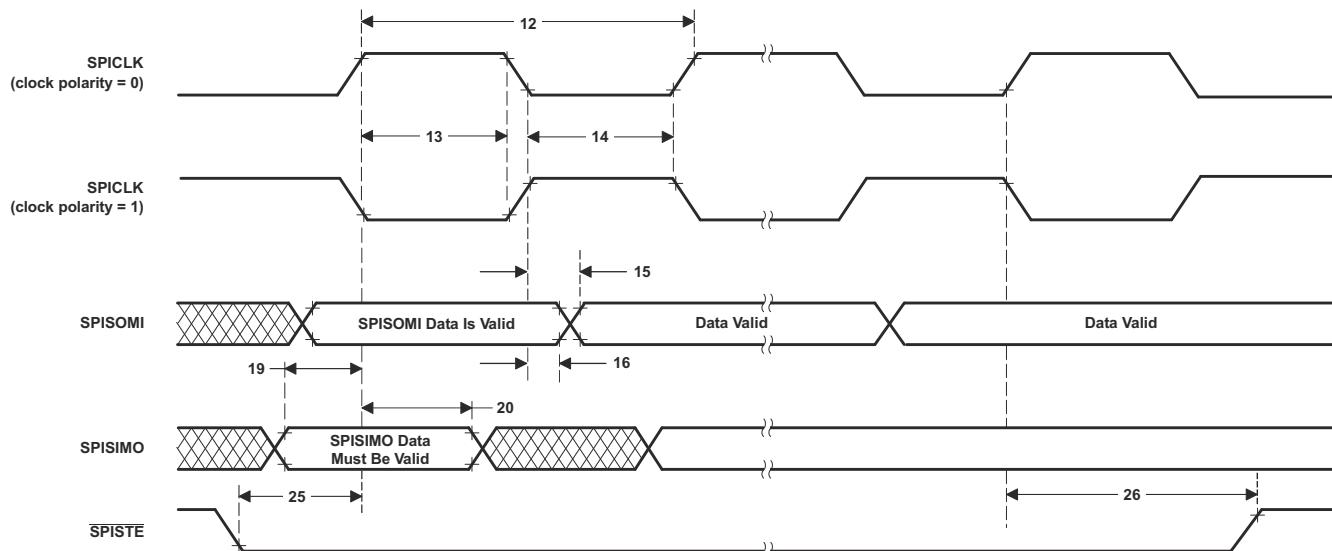


図 6-69. SPI スレーブモードの外部タイミング (クロック位相=1)

### 6.14.6 LIN (Local Interconnect Network)

このデバイスには、1つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージ リビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。たとえば、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどです。

LIN 規格は、SCI (UART) シリアル データリンク形式に基づいています。通信の基本構成は、任意のネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルマスターとマルチスレーブです。

この LIN モジュールは、モジュールのコアが SCI なので、LIN として動作する以外に、SCI として動作するようにもプログラミできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバトランスマッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン: LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ フィルタリング用識別マスク
- マスター ヘッダの自動生成
  - プログラマブルな同期ブレーク フィールド
  - 同期フィールド
  - 識別子フィールド
- スレーブの自動同期
  - 同期ブレーク検出
  - オプションのボーレート更新
  - 同期検証
- 7 つのフラクショナル ビットを使用した  $2^{31}$  種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント レベルでのウェークアップ
- 自動ウェークアップのサポート
  - ウェークアップ信号の生成
  - 有効期限付きウェークアップ信号
- バス アイドルの自動検出
- エラー検出
  - ビット エラー
  - バス エラー
  - 無応答 エラー
  - チェックサム エラー
  - 同期フィールド エラー
  - パリティ エラー
- ダイレクトメモリアクセス (DMA) によるデータ送受信可能
- 優先度エンコード機能付きの 2 本の割り込みライン:
  - 受信
  - 送信
  - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート

- フレーム処理用の拡張シンクロナイザ有限ステートマシン(FSM)をサポート
- 拡張フレームの処理能力を強化
- 拡張ボーレートジェネレータ
- ウェークアップ / スリープ移行を更新

図 1-1 に、LIN のブロック図を示します。

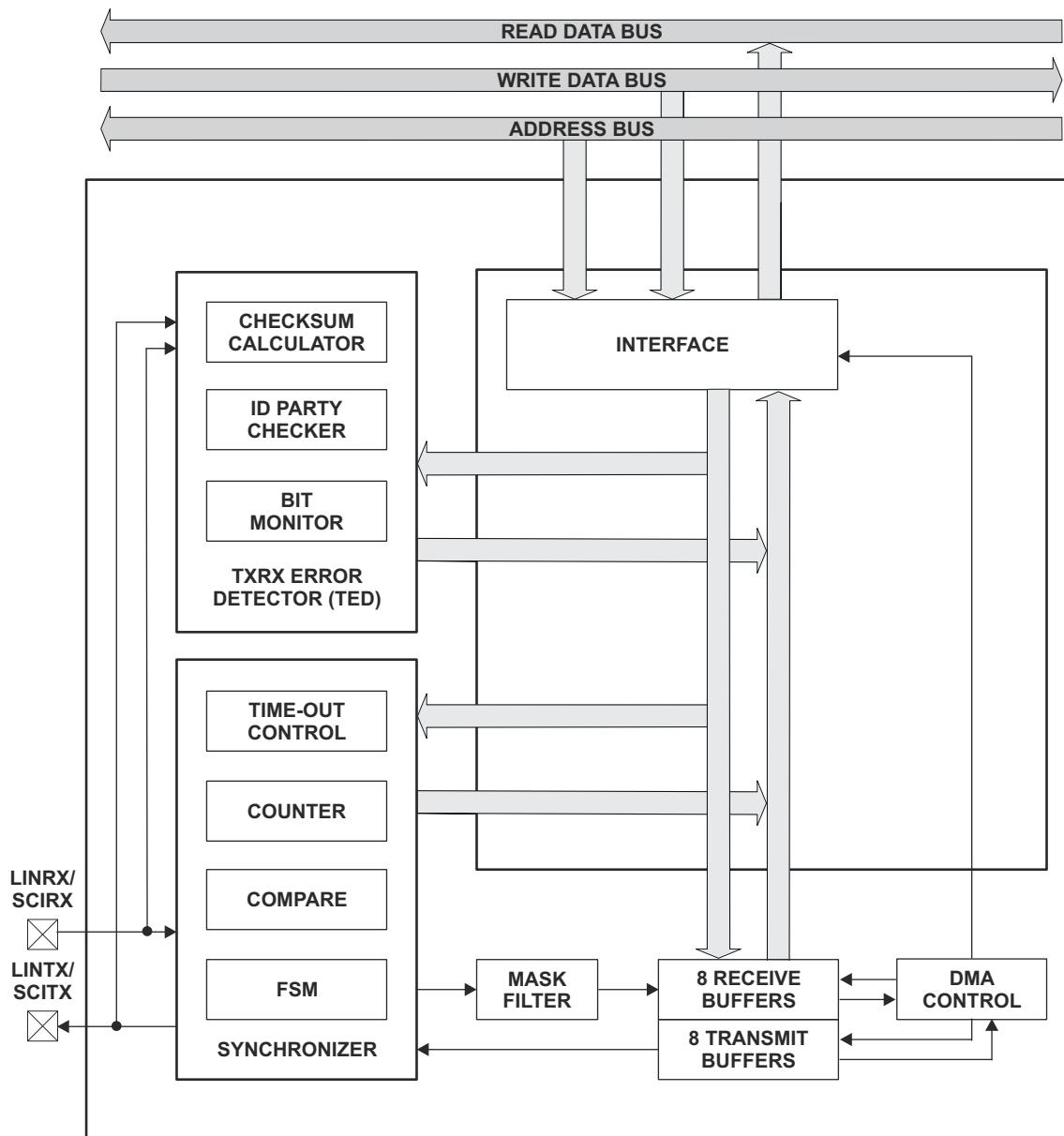


図 6-70. LIN のブロック図

### 6.14.7 高速シリアルインターフェイス (FSI)

高速シリアルインターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザ定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPUとの追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサデータまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキーを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキーなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データリンクの整合性チェック、スキー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスマッタコアとレシーバコア
- ソース同期送信
- デュアルデータレート (DDR)
- 1つまたは2つのデータライン
- データ長をプログラム可能
- スキー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレームエラー検出
- プログラム可能なフレームタグ機能によるメッセージフィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウオッチドッグ)
- FSI コアごとに2つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA のサポート
- SPI 互換モード (限定された機能が利用可能)

デュアルデータレート (100Mbps)において FSI を最大速度 (50MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキー補償ブロックを構成する必要があります。**高速シリアルインターフェイス (FSI) スキー補償** アプリケーションレポートには、高速シリアルインターフェイスでの内蔵スキー補償ブロックの構成および設定方法に関するサンプルソフトウェアが含まれています。

FSI は、独立したトランスマッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、それぞれ [セクション 6.14.7.1](#) および [セクション 6.14.7.2](#) で説明します。

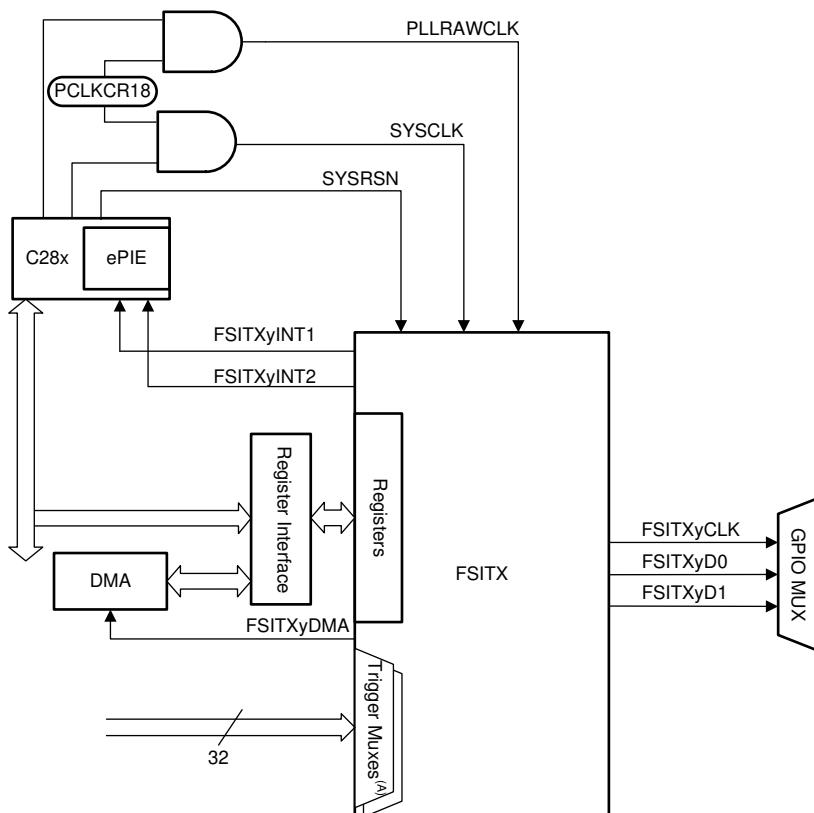
#### 6.14.7.1 FSI トランシッタ

FSI トランシッタ モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランシッタ コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランシッタ制御レジスタを使って、CPU は FSI トランシッタの動作をプログラム、制御、および監視できます。送信データ バッファは、CPU および DMA からアクセスできます。

トランシッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- 外部からトリガされるデータフレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ バッファ
- データ バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA のサポート

図 1-1 に、FSITX CPU インターフェイスを示します。図 1-1 に、FSITX の概略ブロック図を示します。すべてのデータ パスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



A. トリガ マルチプレクサに接続されている信号については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「高速シリアル インターフェイス (FSI)」の章にある「外部フレームトリガ マルチプレクサ」セクションを参照してください。

図 6-71. FSITX CPU インターフェイス

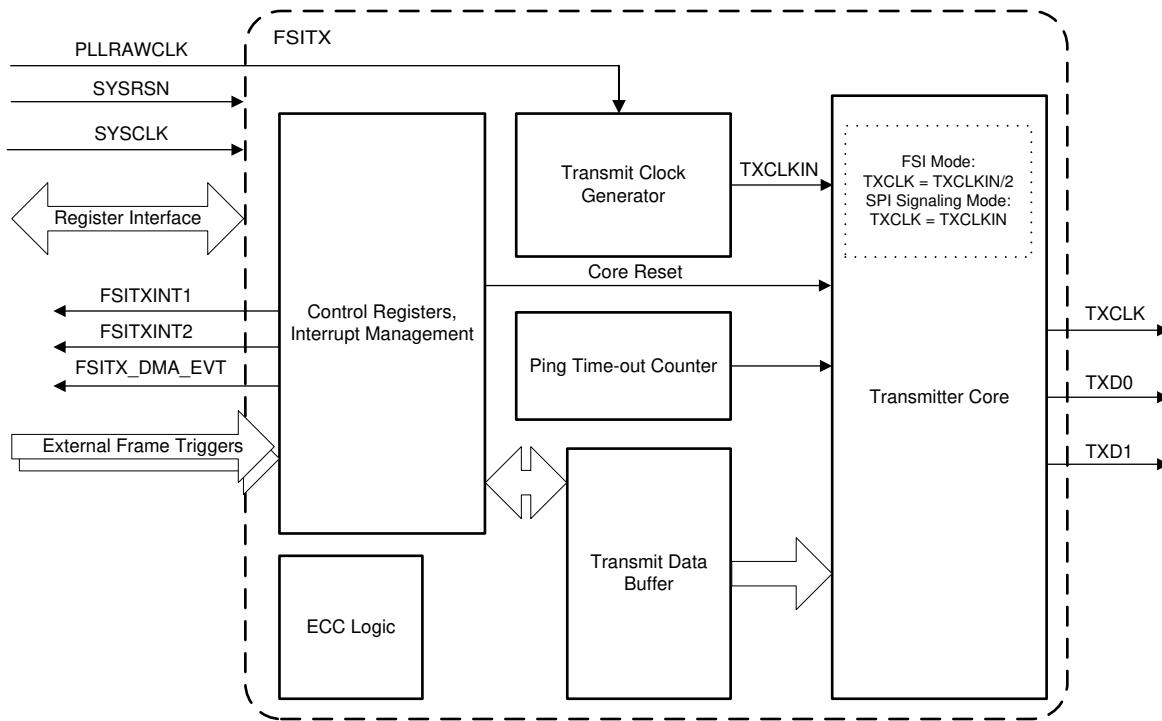


図 6-72. FSITX のブロック図

#### 6.14.7.1.1 FSITX の電気的データおよびタイミング

セクション 6.14.7.1.1.1 に、FSITX のスイッチング特性を示します。図 1-1 に、FSITX のタイミングを示します。

##### 6.14.7.1.1.1 FSITX スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位	
1	$t_c(TXCLK)$	サイクル時間、TXCLK	20	ns	
2	$t_w(TXCLK)$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_c(TXCLK)) - 1$	$(0.5t_c(TXCLK)) + 1$	ns
3	$t_d(TXCLK-TXD)$	遅延時間、TXCLK の立ち上がりまたは立ち下がりから TXD 有効	$(0.25t_c(TXCLK)) - 2$	$(0.25t_c(TXCLK)) + 2$	ns
TDM1	$t_{skew}(TDM\_CLK-TDM\_Dx)$	TXCLK-TDM_CLK 遅延と TXDx-TDM_Dx 遅延の間に生じる遅延スキュー	-2	2	ns

#### 6.14.7.1.1.2 FSITX タイミング

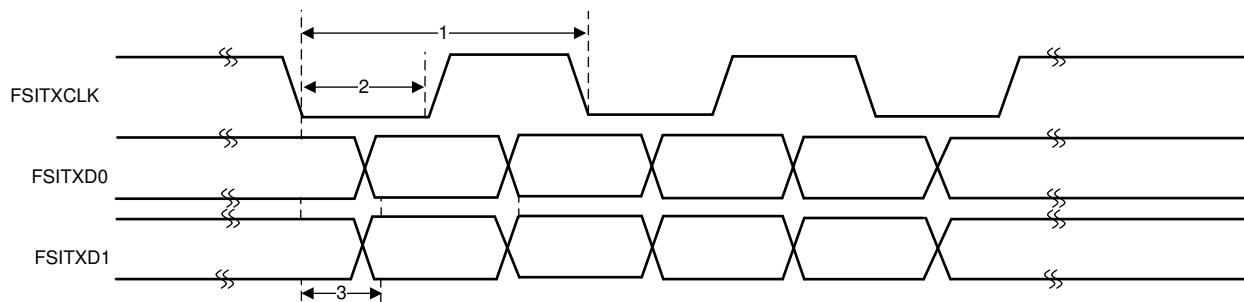


図 6-73. FSITX タイミング

### 6.14.7.2 FSI レシーバ

レシーバ モジュールは、オプションのプログラマブル遅延ラインを通過した後の FSI クロック (RXCLK) およびデータライン (RXD0 および RXD1) に接続します。レシーバ コアは、データフレーミング、CRC 計算、フレーム関連のエラー チェックを処理します。レシーバ ビット クロックおよびステート マシンは、デバイスのシステム クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ 制御レジスタにより、CPU は FSIRX の動作をプログラム、制御、および監視できます。受信データ バッファには、CPU、HIC、および DMA からアクセスできます。

レシーバ コアは以下に示す機能を備えています。

- 16 ワードのデータ バッファ
- 複数のフレーム タイプをサポート
- Ping フレーム ウォッチドッグ
- フレーム ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイ ライン制御
- DMA のサポート
- SPI 互換モード

図 1-1 に、FSIRX CPU インターフェイスを示します。図 1-1 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータ パスと内部接続が表示されているわけではありません。

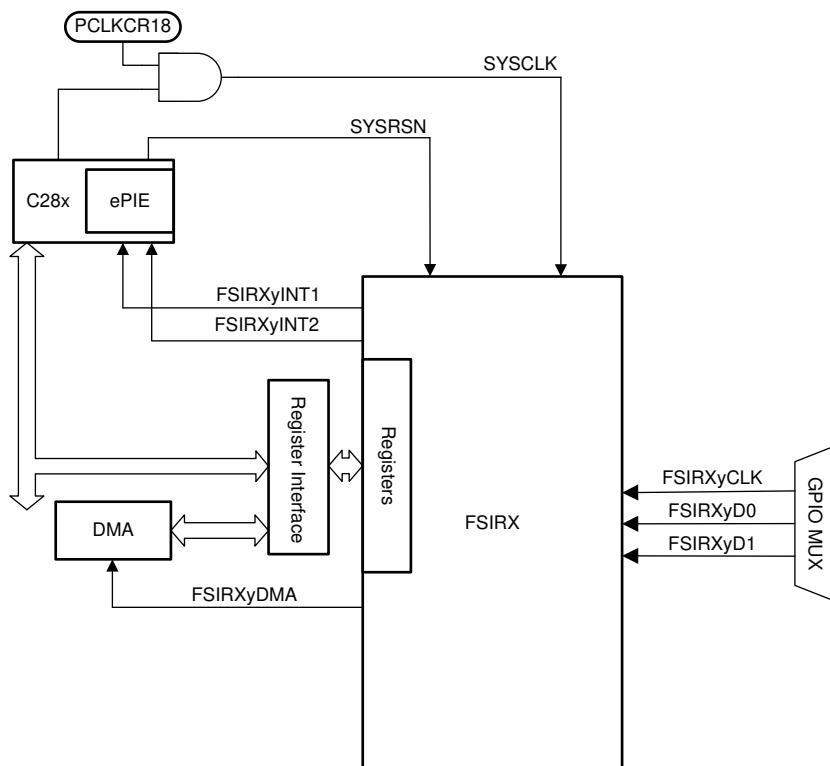


図 6-74. FSIRX CPU インターフェイス

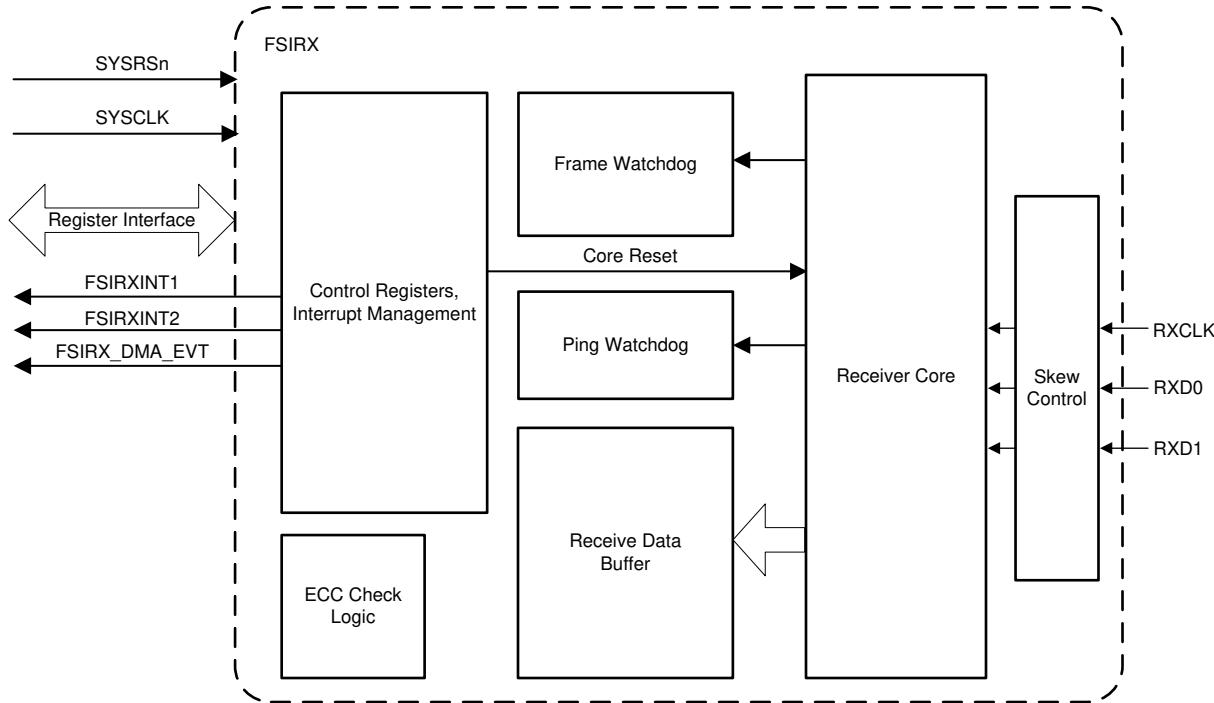


図 6-75. FSIRX のブロック図

#### 6.14.7.2.1 FSIRX の電気的データおよびタイミング

セクション 6.14.7.2.1.1 に、FSIRX のタイミング要件を示します。セクション 6.14.7.2.1.2 に、FSIRX のスイッチング特性を示します。図 1-1 に、FSIRX のタイミングを示します。

##### 6.14.7.2.1.1 FSIRX のタイミング要件

番号			最小値	最大値	単位
1	$t_c(RXCLK)$	サイクル時間、RXCLK	20		ns
2	$t_w(RXCLK)$	パルス幅、RXCLK LOW または RXCLK HIGH	$0.35t_c(RXCLK)$	$0.65t_c(RXCLK)$	ns
3	$t_{su}(RXCLK-RXD)$	RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	1.7		ns
4	$t_h(RXCLK-RXD)$	RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	2		ns

##### 6.14.7.2.1.2 FSIRX スイッチング特性

番号	パラメータ		最小値	最大値	単位
1	$t_d(RXCLK)$	$RX\_DLYLINE\_CTRL[RXCLK\_DLY] = 31$ での RXCLK 遅延補償	10	30	ns
2	$t_d(RXD0)$	$RX\_DLYLINE\_CTRL[RXD0\_DLY] = 31$ での RXD0 遅延補償	10	30	ns
3	$t_d(RXD1)$	$RX\_DLYLINE\_CTRL[RXD1\_DLY] = 31$ での RXD1 遅延補償	10	30	ns
4	$t_d(DELAY_ELEMENT)$	RXCLK, RXD0, RXD1 の各ディレイライン素子の増分遅延	0.3	1	ns

#### 6.14.7.2.1.3 FSIRX タイミング

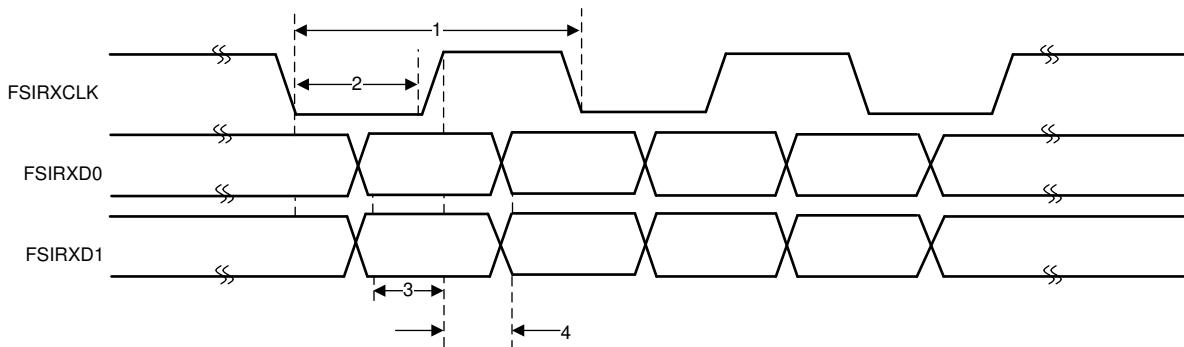


図 6-76. FSIRX タイミング

### 6.14.7.3 FSI SPI 互換モード

FSI は SPI 互換モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は单一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードできる必要があります。これは、FSI がプリアンブルとポストアンブルを除くすべての SPI フレームフェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレームチェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレームウォッチドギング、フレームタグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 互換モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワードサイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバチップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブクロックエッジでレシーバにシフトインされます。
- プリアンブルまたはポストアンブルクロックは送信されません。すべての信号は、フレームフェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロックソースを使用できないため、SPI スレーブ構成で送信することはできません。

#### 6.14.7.3.1 FSITX SPI 信号モードの電気的データおよびタイミング

セクション 6.14.7.3.1.1 に、FSITX SPI 信号モードのスイッチング特性を示します。図 1-1 に、FSITX SPI 信号モードのタイミングを示します。SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。セクション 6.14.7.2.1.1 に示す FSIRX タイミングは、SPI 互換モードに適用できます。立ち下がりエッジが SPI 信号モードのアクティブエッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

##### 6.14.7.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位	
1	$t_c(TXCLK)$	サイクル時間、TXCLK	20	ns	
2	$t_w(TXCLK)$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_c(TXCLK)) - 1$	$(0.5t_c(TXCLK)) + 1$	ns
3	$t_d(TXCLKH-TXD0)$	遅延時間、TXCLK HIGH から TXD0 有効まで		3	ns
4	$t_d(TXD1-TXCLK)$	遅延時間、TXD1 LOW から TXCLK HIGH まで	$t_w(TXCLK) - 3$		ns
5	$t_d(TXCLK-TXD1)$	遅延時間、TXCLK LOW から TXD1 HIGH まで	$t_w(TXCLK)$		ns

#### 6.14.7.3.1.2 FSITX SPI 信号モードのタイミング

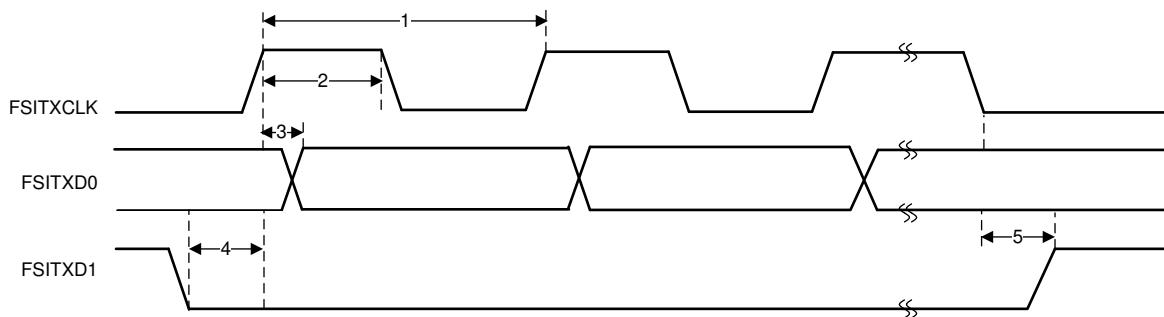


図 6-77. FSITX SPI 信号モードのタイミング

### 6.14.8 ホストインターフェイスコントローラ (HIC)

HIC モジュールを使用すると、ASRAM プロトコルをエミュレートすることにより、外部ホストコントローラからデバイスのリソースに直接アクセスできます。ダイレクトアクセスとメールボックスアクセスの 2 つの動作モードがあります。ダイレクトアクセスモードでは、デバイスリソースは外部ホストにより直接読み書きされます。メールボックスアクセスモードでは、外部ホストとデバイスがバッファに対して書き込みと読み出しを行い、バッファの書き込み / 読み取りが完了すると互いに通知します。外部ホストが HIC にアクセスするには、セキュリティ上の理由から、デバイスで HIC をイネーブルにする必要があります。図 1-1 に、HIC のブロック図を示します。

HIC には次のような特長があります。

- 8 ビットと 16 ビットの構成可能な I/O データライン
- ダイレクトアクセスモードとメールボックスアクセスモード
- 8 つのアドレスラインと 8 つの構成可能なベースアドレスにより、合計 2048 のアドレス指定可能領域が使用可能
- メールボックスアクセスモードの場合、外部ホストとデバイス用に 2 つの 64 バイトバッファ
- バッファのフル / 空になったときに割り込みを生成
- 高スループット
- 他のペリフェラルから HIC アクティビティをトリガ
- システムまたはインターフェイスに対するエラーインジケータ

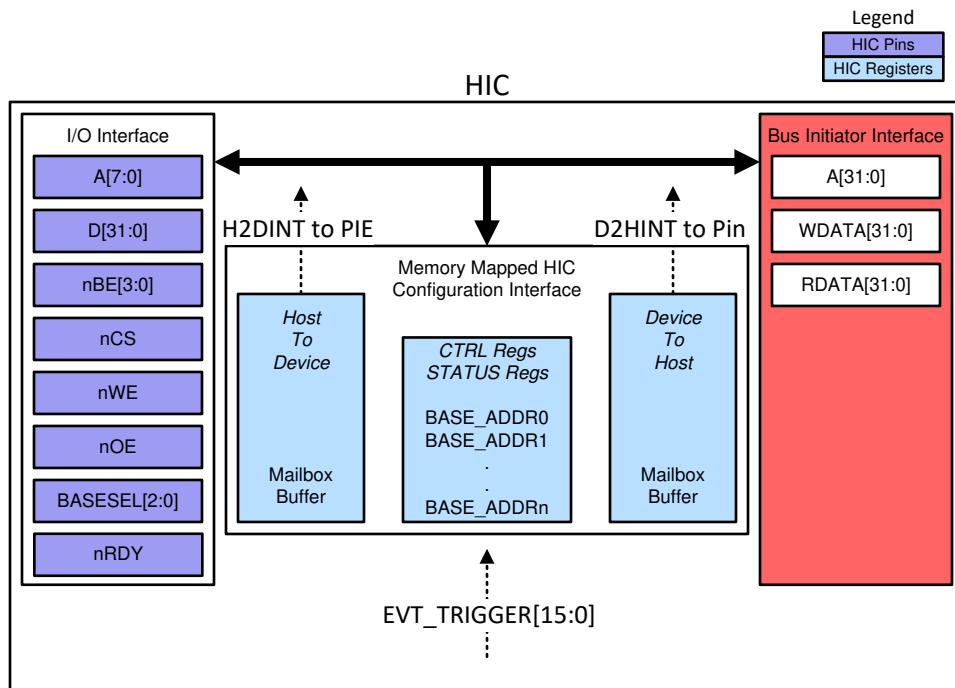


図 6-78. HIC のブロック図

#### 6.14.8.1 HIC の電気的データおよびタイミング

セクション 6.14.8.1.1 に、HIC のタイミング要件を示します。セクション 6.14.8.1.2 に、HIC のスイッチング特性を示します。図 1-1 に、nOE および nWE ピンでの読み取り / 書き込み動作を示します。図 1-1 に、RnW ピンでの読み取り / 書き込み動作を示します。

##### 6.14.8.1.1 HIC のタイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

参照 ID			最小値	最大値	単位
<b>nOE および nWE ピンによるパラメータの読み取り / 書き込み - デュアル読み取り / 書き込みピン</b>					
T1	$t_{su}(ABBV-OEV)$	セットアップ時間、A/BASESEL/nBE から nOE がアクティブになるまで	0		ns
T2	$t_{su}(ABBV-WEV)$	セットアップ時間、A/BASESEL/nBE から nWE がアクティブになるまで	0		ns
T3	$t_{su}(CSV-OEV)$	セットアップ時間、nCS がアクティブになってから nOE がアクティブになるまで	$0.5t_c(SYSLCK)$		ns
T4	$t_{su}(CSV-WEV)$	セットアップ時間、nCS がアクティブになってから nWE がアクティブになるまで	$0.5t_c(SYSLCK)$		ns
T5	$t_h(ABBV-OEIV)$	ホールド時間、nOE が非アクティブになった後の A/BASESEL/nBE/nCS の保持期間	6		ns
T6	$t_h(ABBV-WEIV)$	ホールド時間、nWE が非アクティブになった後の A/BASESEL/nBE/nCS の保持期間	6		ns
T7	$t_w(OEV)$	nOE のアクティブ パルス幅 (読み取り) <sup>(1)</sup>	$4t_c(SYSLCK)$		ns
T8	$t_w(WEV)$	nWE のアクティブ パルス幅 (書き込み)	$4t_c(SYSLCK)$		ns
T9	$t_w(CSIV)$	nCS の非アクティブ パルス幅 <sup>(2)</sup>	$3t_c(SYSLCK)$		ns
T10	$t_w(OEIV)$	nOE の非アクティブ読み出しパルス幅 <sup>(2)</sup>	$3t_c(SYSLCK)$		ns
T11	$t_w(WEIV)$	nWE の非アクティブ書き込みパルス幅 <sup>(2)</sup>	$3t_c(SYSLCK)$		ns
T12	$t_{su}(DV-WEV)$	セットアップ時間、D から nWE がアクティブになるまで	0		ns
T13	$t_h(DV-WEIV)$	ホールド時間、nWE が非アクティブなった後の D の保持期間	6		ns
<b>RnW ピンによるパラメータの読み取り / 書き込み - 単一読み取り / 書き込みピン</b>					
T14	$t_{su}(ABBV-CSV)$	セットアップ時間、A/BASESEL/nBE から nCS がアクティブになるまで	0		ns
T15	$t_{su}(RNWV-CSV)$	セットアップ時間、RnW から nCS がアクティブになるまで	$0.5t_c(SYSLCK)$		ns
T16	$t_h(ABBV-CSIV)$	ホールド時間、nCS が非アクティブになった後の A/BASESEL/nBE/RnW の保持期間	6		ns
T17	$t_w(CSV_RD)$	読み取り動作用の nCS のアクティブ パルス幅 <sup>(1)</sup>	$4t_c(SYSLCK)$		ns
T18	$t_w(CSV_WR)$	書き込み動作用の nCS のアクティブ パルス幅	$4t_c(SYSLCK)$		ns
T19	$t_w(CSIV)$	nCS の非アクティブ パルス幅 <sup>(2)</sup>	$3t_c(SYSLCK)$		ns
T20	$t_w(RNWIV)$	RnW の非アクティブ パルス幅 <sup>(2)</sup>	$3t_c(SYSLCK)$		ns
T21	$t_{su}(DV-CSV)$	セットアップ時間、D から nCS がアクティブになるまで	0		ns
T22	$t_h(DV-CSIV)$	ホールド時間、nCS が非アクティブなった後の D の保持期間	5		ns

(1) デバイス領域にアクセスするには、追加で 2 SYSCLK サイクルが必要です。

(2) nRDY ピンを使用してデバイス領域にアクセスするには、追加で 1 SYSCLK サイクルが必要です。

#### 6.14.8.1.2 HIC スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

参照 ID	パラメータ	最小値	最大値	単位	
<b>nOE および nWE ピンでのパラメータの読み取り / 書き込み</b>					
S1	$t_{d(OE-DV)}$	出力データ遅延時間:nOE から D 出力有効 (1)	$3t_c(SYSCLK)$	$4t_c(SYSCLK) + 14$	ns
S2	$t_{d(OEIV-DIV)}$	出力データホールド時間:nOE 無効から D 出力無効 (トライステート)	$1t_c(SYSCLK)$	$2t_c(SYSCLK) + 14$	ns
S3	$t_{d(OEV-RDYV)}$	読み出し準備完了遅延時間:nOE から nRDY 出力有効	0	11	ns
S4	$t_{d(WEV-RDYV)}$	書き込み準備完了遅延時間:nWE から nRDY 出力有効	0	11	ns
S5	$t_{d(RDYY-DV)}$	準備完了からデータの遅延時間:nRDY 出力有効から D 出力有効	-3	3	ns
S6	$t_w(RDYACT)$	nRDY 出力のアクティブ パルス幅	$2t_c(SYSCLK)$		ns
<b>RnW ピンによるパラメータの読み取り / 書き込み</b>					
S7	$t_{d(CSV-DV)}$	出力遅延時間:nCS アクティブから D 出力有効 (1)	$3t_c(SYSCLK)$	$4t_c(SYSCLK) + 14$	ns
S8	$t_{d(CSIV-DIV)}$	出力ホールド時間:nCS 非アクティブから D 出力無効 (トライステート)	$1t_c(SYSCLK)$	$2t_c(SYSCLK) + 14$	ns
S9	$t_{d(CSV-RDYV)}$	出力遅延時間:nCS から nRDY 出力有効	0	11	ns
S10	$t_{d(RDYY-DV)}$	準備完了からデータの遅延時間:nRDY 出力有効から D 出力有効	-3	3	ns
S11	$t_w(RDYACT)$	nRDY 出力のアクティブ パルス幅	$2t_c(SYSCLK)$		ns

(1) メールボックス アクセスにのみ適用されます。ダイレクトメモリマップ (デバイス) アクセスは、nRDY ピンで認定されています。

#### 6.14.8.1.3 HIC のタイミング図

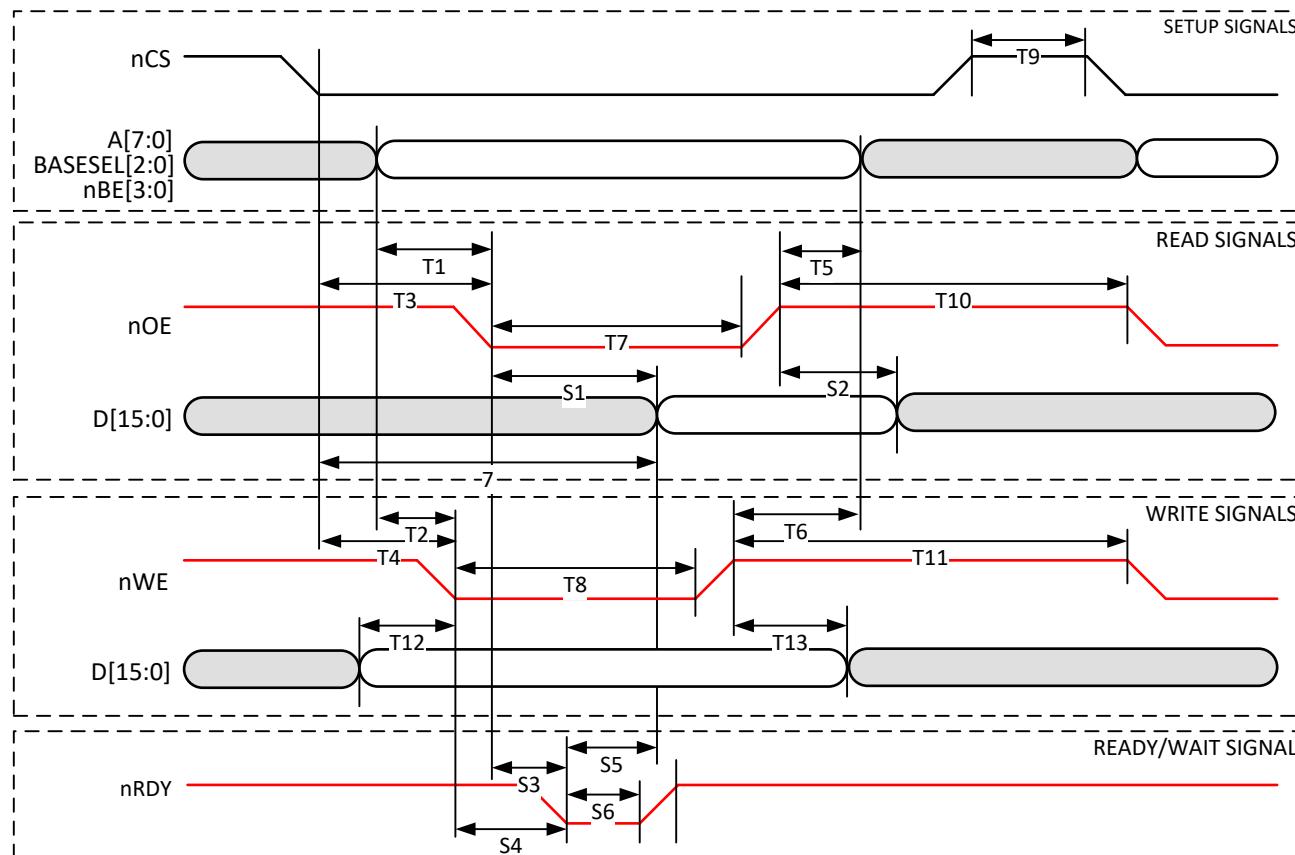


図 6-79. nOE および nWE ピンでの読み取り / 書き込み動作

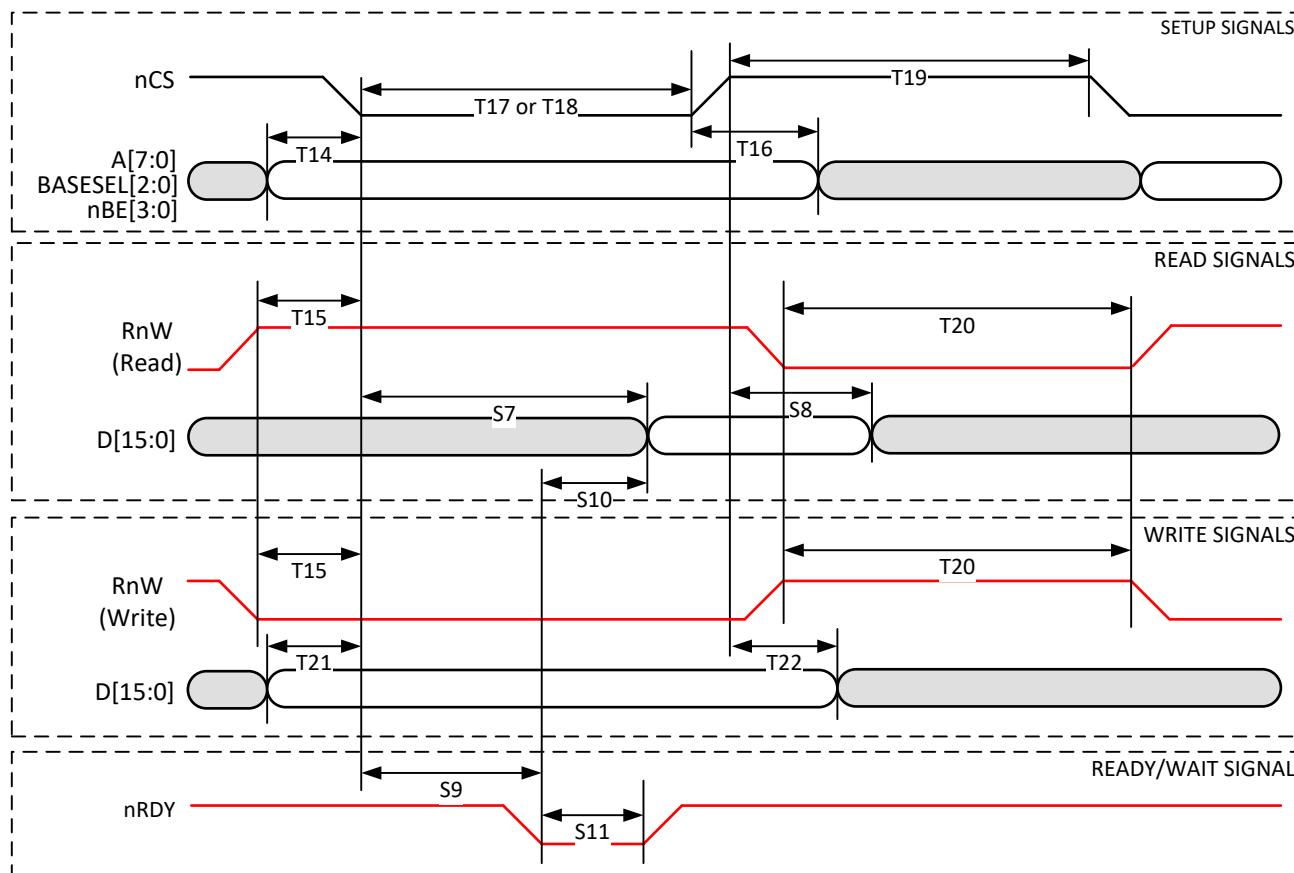


図 6-80. RnW ピンでの読み取り / 書き込み動作

## 7 詳細説明

### 7.1 概要

C2000™ 32 ビット マイクロコントローラは、処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モータードライブ、ソーラー インバータおよびデジタル電源、電気自動車および輸送、モーター制御、センシングおよび信号処理などにおける閉ループ性能が向上しています。

TMS320F28002x (F28002x) は、重要な制御ペリフェラル、差別化されたアナログ、不揮発性メモリを 1 つのデバイスに組み込むことができる、強力な 32 ビット浮動小数点マイクロコントローラ ユニット (MCU) です。

このリアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x CPU を基礎としており、100 MHz の信号処理能力があります。C28x CPU は新しい TMU 拡張命令セット (変換およびトルク ループ計算で一般に使用される三角関数演算を含むアルゴリズムを高速に実行可能) と VCRC 拡張命令セット (エンコード アプリケーションで一般に使用される複素数演算のレイテンシを短縮可能) によりさらに強化されています。

F28002x は 1 つのバンクで最大 128KB (64KW) のフラッシュ メモリをサポートしています。システムを効率よくパーティショニングするため、4KB (2KW) のブロックで最大 24KB (12KW) のオンチップの SRAM も利用できます。フラッシュ ECC、SRAM ECC/parity、デュアルゾーン セキュリティもサポートされています。

F28002x リアルタイム MCU には高性能のアナログ ブロックが内蔵されており、さらにシステムの統合が可能です。2 つの独立した 12 ビット ADC が複数のアナログ信号を精密かつ効率的に管理し、最終的にシステムのスループットを向上させます。4 つのアナログ コンパレータ モジュールが、トリップ条件の有無を判断するために入力電圧レベルを継続的に監視します。

TMS320C2000™ デバイスは、業界最先端の制御ペリフェラルと、周波数に依存しない ePWM/HRPWM と eCAP を内蔵しているため、クラス最高レベルのシステム制御が可能です。

接続性は、各種の業界標準通信ポート (SPI、SCI、I2C、PMBus、LIN、CAN など) によりサポートされており、各種アプリケーションで最適な信号配置を行うための複数の多重化方法を備えています。C2000™ プラットフォームの新機能であるホスト インターフェイス コントローラ (HIC) は、外部ホストから TMS320F28002x のリソースへのアクセスを可能にする高スループット インターフェイスです。さらに、業界で初めて FSI による高速かつ堅牢な通信が可能になり、本デバイスに組み込まれている一連の豊富なペリフェラルを補完します。

特別仕様のデバイスバリエント、TMS320F28002xC では、構成可能ロジック ブロック (CLB) にアクセスして、追加のインターフェイス機能を使用できるとともに、InstaSPIN-FOC™ を実現するライブラリを含むセキュア ROM にアクセス可能です。詳細については、「[デバイスの比較](#)」表をご覧ください。

組み込みのリアルタイム分析および診断 (ERAD) モジュールにより、追加のハードウェア ブレークポイントやプロファーリング用のカウンタを使用できるようになり、デバイスのデバッグおよびシステム分析機能が強化されます。

C2000 リアルタイム MCU の詳細については、[C2000™ リアルタイム制御 MCU](#) のページをご覧ください。

## 7.2 機能ブロック図

図 1-1 に、CPU システムおよび関連ペリフェラルを示します。

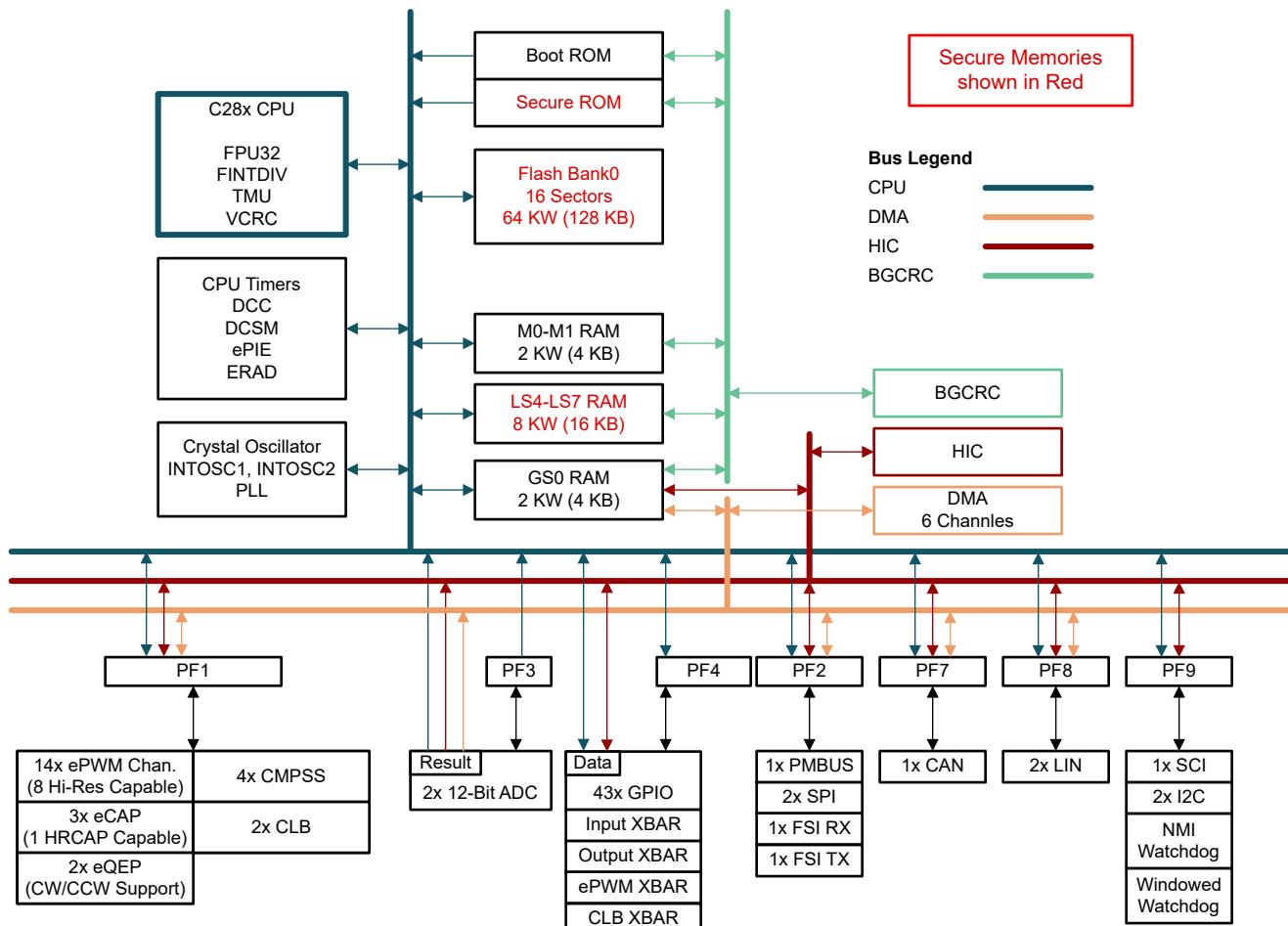


図 7-1. 機能ブロック図

## 7.3 メモリ

### 7.3.1 メモリ マップ

「メモリ マップ」表に、メモリ マップを示します。『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンスマニュアル](#)』の「システム制御」の章にある「メモリ コントローラ モジュール」を参照してください。

**表 7-1. メモリ マップ**

メモリ	サイズ	開始アドレス	終了アドレス	HIC アクセス	DMA アクセス	ECC / パリティ	アクセス保護	セキュリティ
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF	-	-	ECC	あり	-
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF	-	-	ECC	あり	-
PIE ベクタ テーブル	512 x 16	0x0000 0D00	0x0000 0EFF	-	-	-	-	-
LS4 RAM	2K x 16	0x0000 A000	0x0000 A7FF	-	-	ECC	あり	あり
LS5 RAM	2K x 16	0x0000 A800	0x0000 AFFF	-	-	ECC	あり	あり
LS6 RAM	2K x 16	0x0000 B000	0x0000 B7FF	-	-	ECC	あり	あり
LS7 RAM	2K x 16	0x0000 B800	0x0000 BFFF	-	-	ECC	あり	あり
GS0 RAM	2K x 16	0x0000 C000	0x0000 C7FF	あり	あり	パリティ	あり	-
CAN A メッセージ RAM	2K x 16	0x0004 9000	0x0004 97FF	-	-	パリティ	-	-
TI OTP <sup>(1)</sup>	1K x 16	0x0007 0000	0x0007 03FF	-	-	ECC	-	-
ユーザー OTP	1K x 16	0x0007 8000	0x0007 83FF	-	-	ECC	-	あり
フラッシュ	64K x 16	0x0008 0000	0x0008 FFFF	-	-	ECC	-	あり
セキュア ROM	32K x 16	0x003E 8000	0x003E FFFF	-	-	パリティ	-	あり
ブート ROM	64K x 16	0x003F 0000	0x003F FFFF	-	-	パリティ	-	-
PIE ベクタ フェッチ エラー (ブート ROM の一部)	1 x 16	0x003F FFBE	0x003F FFBF	-	-	パリティ	-	-
デフォルト ベクタ (ブート ROM の一部)	64 x 16	0x003F FFC0	0x003F FFFF	-	-	パリティ	-	-

(1) TI OTP はテキサス・インスツルメンツの内部用。

#### 7.3.1.1 専用 RAM (Mx RAM)

CPU サブシステムには、ECC 対応の 2 つの専用 RAM ブロックがあります。M0 および M1 に分割されています。これらのメモリは、CPU と緊密に結合された小型の非セキュア ブロックです (つまり、CPU のみがアクセスできます)。

#### 7.3.1.2 ローカル共有 RAM (LSx RAM)

ローカル共有 RAM (LSx RAM) には、CPU、HIC、BGCRC からアクセスできます。すべての LSx RAM ブロックに ECC があります。これらのメモリはセキュアであり、CPU アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

#### 7.3.1.3 グローバル共有 RAM (GSx RAM)

グローバル共有 RAM (GSx RAM) には、CPU、HIC、DMA からアクセスできます。CPU、HIC、および DMA で、これらのメモリに対する完全な読み取りおよび書き込みアクセスが可能です。すべての GSx RAM ブロックにパリティがあります。GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み / HIC 書き込み) を備えています。

### 7.3.2 フラッシュメモリマップ

F28002x デバイスでは、1 つのフラッシュ バンク (128KB [64KW]) を使用可能です。フラッシュをプログラムするコードは RAM から実行する必要があります。消去またはプログラム動作が進行中の場合、フラッシュ バンクにアクセスすることはできません。表 7-2 に、各型番で使用可能なフラッシュ セクタのアドレスを一覧で示します。

#### 7.3.2.1 フラッシュセクタのアドレス

表 7-2. フラッシュセクタのアドレス

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
OTP セクタ							
すべての F28002x	TI OTP	1K x 16	0x0007 0000	0x0007 03FF	128 x 16	0x0107 0000	0x0107 007F
	DCSM OTP	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
バンク 0 セクタ							
すべての F28002x	セクタ 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 01FF
	セクタ 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
	セクタ 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
	セクタ 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
F280025、F280023	セクタ 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
	セクタ 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
	セクタ 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
	セクタ 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
F280025	セクタ 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
	セクタ 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
	セクタ 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
	セクタ 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
	セクタ 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
	セクタ 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
	セクタ 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF
	セクタ 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

### 7.3.3 ペリフェラル・レジスタのメモリ・マップ

「ペリフェラル レジスタ メモリ マップ (C28x)」表に、ペリフェラル レジスタを示します。

**表 7-3. ペリフェラル レジスタのメモリ マップ (C28x)**

ビットフィールド名		DriverLib 名	ベース アドレス	パイプライン保護	DMA アクセス	HIC アクセス
インスタンス	構造					
ペリフェラル・フレーム 0 (PF0)						
AdcaResultRegs	ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	-	あり	あり
AdccResultRegs	ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	-	あり	あり
CpuTimer0Regs	CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	-	-	-
CpuTimer1Regs	CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	-	-	-
CpuTimer2Regs	CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	-	-	-
PieCtrlRegs	PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	-	-	-
DmaRegs	DMA_REGS	DMA_BASE	0x0000_1000	-	-	-
Dmach1Regs	DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	-	-	-
Dmach2Regs	DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	-	-	-
Dmach3Regs	DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	-	-	-
Dmach4Regs	DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	-	-	-
Dmach5Regs	DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	-	-	-
Dmach6Regs	DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	-	-	-
ペリフェラル・フレーム 1 (PF1)						
Clb1LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	-	あり	あり
Clb1LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_3100	-	あり	あり
Clb1DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	-	あり	あり
Clb2LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3200	-	あり	あり
Clb1DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3300	-	あり	あり
Clb2LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3380	-	あり	あり
EPwm1Regs	EPWM_REGS	EPWM1_BASE	0x0000_4000	あり	あり	あり
EPwm2Regs	EPWM_REGS	EPWM2_BASE	0x0000_4100	あり	あり	あり
EPwm3Regs	EPWM_REGS	EPWM3_BASE	0x0000_4200	あり	あり	あり
EPwm4Regs	EPWM_REGS	EPWM4_BASE	0x0000_4300	あり	あり	あり
EPwm5Regs	EPWM_REGS	EPWM5_BASE	0x0000_4400	あり	あり	あり
EPwm6Regs	EPWM_REGS	EPWM6_BASE	0x0000_4500	あり	あり	あり
EPwm7Regs	EPWM_REGS	EPWM7_BASE	0x0000_4600	あり	あり	あり
EQep1Regs	EQEP_REGS	EQEP1_BASE	0x0000_5100	あり	あり	あり
EQep2Regs	EQEP_REGS	EQEP2_BASE	0x0000_5140	あり	あり	あり
ECap1Regs	ECAP_REGS	ECAP1_BASE	0x0000_5200	あり	あり	あり
ECap2Regs	ECAP_REGS	ECAP2_BASE	0x0000_5240	あり	あり	あり
ECap3Regs	ECAP_REGS	ECAP3_BASE	0x0000_5280	あり	あり	あり
Hrcap3Regs	HRCAP_REGS	HRCAP3_BASE	0x0000_52A0	あり	あり	あり

表 7-3. ペリフェラル レジスタのメモリ マップ (C28x) (続き)

ビットフィールド名		DriverLib 名	ベース アドレス	パイプライン保護	DMA アクセス	HIC アクセス
インスタンス	構造					
Cmpss1Regs	CMPSS_REGS	CMPSS1_BASE	0x0000_5C80	あり	あり	あり
Cmpss2Regs	CMPSS_REGS	CMPSS2_BASE	0x0000_5CA0	あり	あり	あり
Cmpss3Regs	CMPSS_REGS	CMPSS3_BASE	0x0000_5CC0	あり	あり	あり
Cmpss4Regs	CMPSS_REGS	CMPSS4_BASE	0x0000_5CE0	あり	あり	あり
ペリフェラル・フレーム 2 (PF2)						
SpiaRegs	SPI_REGS	SPIA_BASE	0x0000_6100	あり	あり	あり
SpibRegs	SPI_REGS	SPIB_BASE	0x0000_6110	あり	あり	あり
BgcrcCpuRegs	BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	あり	あり	あり
PmbusaRegs	PMBUS_REGS	PMBUSA_BASE	0x0000_6400	あり	あり	あり
HicRegs	HIC_CFG_REGS	HIC_BASE	0x0000_6500	あり	あり	あり
FsiTxaRegs	FSI_TX_REGS	FSITXA_BASE	0x0000_6600	あり	あり	あり
FsiRxaRegs	FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	あり	あり	あり
ペリフェラル・フレーム 3 (PF3)						
AdcaRegs	ADC_REGS	ADCA_BASE	0x0000_7400	あり	-	-
AdccRegs	ADC_REGS	ADCC_BASE	0x0000_7500	あり	-	-
ペリフェラル・フレーム 4 (PF4)						
InputXbarRegs	INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	あり	-	-
XbarRegs	XBAR_REGS	XBAR_BASE	0x0000_7920	あり	-	-
SyncSocRegs	SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	あり	-	-
InputXbar2Regs	INPUT_XBAR_REGS	INPUTXBAR2_BASE	0x0000_7960	あり	-	-
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	あり	-	-
EPwmXbarRegs	EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	あり	-	-
ClbXbarRegs	CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	あり	-	-
OutputXbarRegs	OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	あり	-	-
OutputXbar2Regs	OUTPUT_XBAR_REGS	OUTPUTXBAR2_BASE	0x0000_7BC0	あり	-	-
GpioCtrlRegs	GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	あり	-	-
GpioDataRegs	GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	あり	-	-
GpioDataReadRegs	GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	あり	-	あり
ペリフェラル・フレーム 5 (PF5)						
DevCfgRegs	DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	あり	-	-
ClkCfgRegs	CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	あり	-	-
CpuSysRegs	CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	あり	-	-
PeriphAcRegs	PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	あり	-	-
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	あり	-	-
DcsmBank0Z1Regs	DCSM_BANK0_Z1_REGS	DCSM_BANK0_Z1_BASE	0x0005_F000	あり	-	-
DcsmBank0Z2Regs	DCSM_BANK0_Z2_REGS	DCSM_BANK0_Z2_BASE	0x0005_F040	あり	-	-
DcsmCommonRegs	DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F070	あり	-	-

**表 7-3. ペリフェラル レジスタのメモリ マップ (C28x) (続き)**

ビットフィールド名		DriverLib 名	ベース アドレス	パイプライン保護	DMA アセ	HIC アセ
インスタンス	構造				ス	ス
DcsmCommon2Regs	DCSM_COMMON2_REGS	DCSMCOMMON2_BASE	0x0005_F080	あり	-	-
<b>ペリフェラル・フレーム 6 (PF6)</b>						
MemCfgRegs	MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	あり	-	-
AccessProtectionRegs	ACCESSPROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	あり	-	-
MemoryErrorRegs	MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	あり	-	-
RomWaitStateRegs	ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	あり	-	-
RomPrefetchRegs	ROM_PREFETCH_REGS	ROMPREFETCH_BASE	0x0005_F588	あり	-	-
Flash0CtrlRegs	FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	あり	-	-
Flash0EccRegs	FLASH_ECC_REGS	FLASH0ECCREGS_BASE	0x0005_FB00	あり	-	-
<b>ペリフェラル・フレーム 7 (PF7)</b>						
CanaRegs	CAN_REGS	CANA_BASE	0x0004_8000	あり	あり	あり
CanaMboxRegs	CAN_MBOX	CANAMBOX_BASE	0x0004_9000	あり	あり	あり
HwbistRegs	HWBIST_REGS	HWBIST_BASE	0x0005_E000	あり	-	-
MpostRegs	MPOST_REGS	MPOST_BASE	0x0005_E200	あり	-	-
Dcc0Regs	DCC_REGS	DCC0_BASE	0x0005_E700	あり	-	-
Dcc1Regs	DCC_REGS	DCC1_BASE	0x0005_E740	あり	-	-
EradGlobalRegs	ERAD_GLOBAL_REGS	ERADGLOBAL_BASE	0x0005_E800	あり	-	-
EradHWBP1Regs	ERAD_HWBP_REGS	ERADHWBP1_BASE	0x0005_E900	あり	-	-
EradHWBP2Regs	ERAD_HWBP_REGS	ERADHWBP2_BASE	0x0005_E908	あり	-	-
EradHWBP3Regs	ERAD_HWBP_REGS	ERADHWBP3_BASE	0x0005_E910	あり	-	-
EradHWBP4Regs	ERAD_HWBP_REGS	ERADHWBP4_BASE	0x0005_E918	あり	-	-
EradHWBP5Regs	ERAD_HWBP_REGS	ERADHWBP5_BASE	0x0005_E920	あり	-	-
EradHWBP6Regs	ERAD_HWBP_REGS	ERADHWBP6_BASE	0x0005_E928	あり	-	-
EradHWBP7Regs	ERAD_HWBP_REGS	ERADHWBP7_BASE	0x0005_E930	あり	-	-
EradHWBP8Regs	ERAD_HWBP_REGS	ERADHWBP8_BASE	0x0005_E938	あり	-	-
EradCounter1Regs	ERAD_COUNTER_REGS	ERADCOUNTER1_BASE	0x0005_E980	あり	-	-
EradCounter2Regs	ERAD_COUNTER_REGS	ERADCOUNTER2_BASE	0x0005_E990	あり	-	-
EradCounter3Regs	ERAD_COUNTER_REGS	ERADCOUNTER3_BASE	0x0005_E9A0	あり	-	-
EradCounter4Regs	ERAD_COUNTER_REGS	ERADCOUNTER4_BASE	0x0005_E9B0	あり	-	-
EradCRCGlobalRegs	ERAD_CRC_GLOBAL_REGS	ERADCRCGLOBAL_BASE	0x0005_EA00	あり	-	-
EradCRC1Regs	ERAD_CRC_REGS	ERADCRC1_BASE	0x0005_EA10	あり	-	-
EradCRC2Regs	ERAD_CRC_REGS	ERADCRC2_BASE	0x0005_EA20	あり	-	-
EradCRC3Regs	ERAD_CRC_REGS	ERADCRC3_BASE	0x0005_EA30	あり	-	-
EradCRC4Regs	ERAD_CRC_REGS	ERADCRC4_BASE	0x0005_EA40	あり	-	-
EradCRC5Regs	ERAD_CRC_REGS	ERADCRC5_BASE	0x0005_EA50	あり	-	-
EradCRC6Regs	ERAD_CRC_REGS	ERADCRC6_BASE	0x0005_EA60	あり	-	-
EradCRC7Regs	ERAD_CRC_REGS	ERADCRC7_BASE	0x0005_EA70	あり	-	-

**表 7-3. ペリフェラル レジスタのメモリ マップ (C28x) (続き)**

ビットフィールド名		DriverLib 名	ベース アドレス	パイプライン保護	DMA アクセス	HIC アクセス
インスタンス	構造				-	-
EradCRC8Regs	ERAD_CRC_REGS	ERADCRC8_BASE	0x0005_EA80	あり	-	-
ペリフェラル・フレーム 8 (PF8)						
LinaRegs	LIN_REGS	LINA_BASE	0x0000_6A00	あり	あり	あり
LinbRegs	LIN_REGS	LINB_BASE	0x0000_6B00	あり	あり	あり
ペリフェラル・フレーム 9 (PF9)						
WdRegs	WD_REGS	WD_BASE	0x0000_7000	あり	-	あり
NmilntruptRegs	NMI_INTERRUPT_REGS	NMI_BASE	0x0000_7060	あり	-	あり
XintRegs	XINT_REGS	XINT_BASE	0x0000_7070	あり	-	あり
SciaRegs	SCI_REGS	SCIA_BASE	0x0000_7200	あり	-	あり
I2caRegs	I2C_REGS	I2CA_BASE	0x0000_7300	あり	-	あり
I2cbRegs	I2C_REGS	I2CB_BASE	0x0000_7340	あり	-	あり

## 7.4 識別

表 7-4 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンスマニュアル](#)』を参照してください。

**表 7-4. デバイス識別レジスタ**

名称	アドレス	SIZE (x16)	説明
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号 TMS320F280025 0x04FF 0500 TMS320F280025C 0x04FF 0500 TMS320F280023 0x04FD 0500 TMS320F280023C 0x04FD 0500 TMS320F280021 0x04FB 0500
REVID	0x0005 D00C	2	シリコンのリビジョン番号 リビジョン 0 0x0000 0000 リビジョン A 0x0000 0001
UID_UNIQUE	0x0007 01F4	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。

## 7.5 バス アーキテクチャ - ペリフェラル コネクティビティ

「ペリフェラル コネクティビティ」表に、各バス マスターからペリフェラルおよび構成レジスタへのアクセス性に関する全体的な概観を示します。

表 7-5. ペリフェラルの接続

ペリフェラル	C28	DMA	HIC	BGCRC
システム ペリフェラル				
CPU タイマ	Y			
ERAD	Y			
GPIO データ	Y		Y	
GPIO ピンのマッピングおよび構成	Y			
XBAR の構成	Y			
システム構成	Y			
DCC	Y			
メモリ				
M0/M1	Y			Y
LSx	Y			Y
GS0	Y	Y	Y	Y
ROM	Y			Y
フラッシュ	Y			
制御ペリフェラル				
ePWM/HRPWM	Y	Y	Y	
eCAP	Y	Y	Y	
eQEP <sup>(1)</sup>	Y	Y	Y	
アナログ ペリフェラル				
CMPSS <sup>(1)</sup>	Y	Y	Y	
ADC の構成	Y			
ADC 変換結果 <sup>(1)</sup>	Y	Y	Y	
通信ペリフェラル				
CAN	Y	Y	Y	
FSITX/FSIRX	Y	Y	Y	
I2C	Y		Y	
LIN	Y	Y	Y	
PMBus	Y	Y	Y	
SCI	Y		Y	
SPI	Y	Y	Y	

(1) これらのモジュールは、DMA からアクセスできますが、DMA 転送をトリガすることはできません。

## 7.6 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ アーキテクチャ、ファームウェア、ツール セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード アーキテクチャおよびサーキュラー アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができます、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス / データ バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『[TMS320C28x CPU および命令セット リファレンス ガイド](#)』を参照してください。C28x 浮動小数点ユニット (FPU)、三角関数演算ユニット、および巡回冗長検査 (VCRC) 命令セットの詳細については、『[TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル](#)』を参照してください。FPU、TMU、VCRC の概要がここに記載されています。

### 7.6.1 浮動小数点演算ユニット (FPU)

C28x+ 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ セットに加えて、追加の浮動小数点ユニット レジスタ セットを備えています。追加の浮動小数点ユニット レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH ( $n = 0 \sim 7$ )
- 浮動小数点ステータス レジスタ (STF)
- リピート ブロック レジスタ (RB)

リピート ブロック レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

### 7.6.2 高速整数除算ユニット

C28x CPU の高速整数除算 (FINTDIV) ユニットは、データ タイプ サイズ (16/16, 32/16, 32/32, 64/32, 64/64) の異なる 3 種類の整数除算 (切り捨て、モジュラス、ユークリッド) を符号なしまたは符号付き形式でサポートしています。

- 切り捨て整数除算は、C 言語 (/, % 演算子) でネイティブにサポートされています。
- モジュラス除算とユークリッド除算は、制御アルゴリズムでより効率的であり、C 組み込み関数でサポートされています。

3 種類の整数除算はいずれも、指数成分と剩余成分の両方を生成し、割り込み可能で、最小数の確定的サイクル数 (32/32 除算では 10 サイクル) で実行されます。さらに、C28x CPU の高速除算機能は、浮動小数点 32 ビット (5 サイクル) および 64 ビット (20 サイクル) 除算の高速実行を独自にサポートしています。

高速整数除算の詳細については、『[高速整数除算 - C2000™ 製品ファミリーでの異なる方法](#)』アプリケーション レポートを参照してください。

### 7.6.3 三角関数演算ユニット (TMU)

TMU は、C28x+FPU の機能を拡張するために、命令を追加するとともに既存の FPU 命令を活用して、表 7-6 に示す一般的な三角関数および算術演算の実行を迅速化します。

表 7-6. TMU がサポートする命令

説明	等価な C の演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \sqrt{b}$	5
SINPUF32 RaH,RbH	$a = \sin(b * 2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b * 2\pi)$	4
ATANPUF32 RaH,RbH	$a = \tan(b) / 2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

既存の命令、パイプライン、メモリ バス アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ セット (R0H~R7H) を使用して演算を実行します。

C2000 デジタル制御ライブラリの非線形比例積分微分制御 (NLPID) コンポーネントにおける、浮動小数点電力関数の演算をサポートするために、指数命令 IEXP2F32 および対数命令 LOG2F32 が追加されています。これら 2 つの追加命令により、電力関数の計算を、ライブラリにあるエミュレーションを使用した場合の標準的な 300 サイクルから、10 サイクル未満に低減できます。

### 7.6.4 VCRC ユニット

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ ブロック、通信パケット、またはコード セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCRC は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば 10 バイトのブロック長の場合、VCRC は CRC 計算を 10 サイクルで完了します。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

以下が、VCRC の CRC 計算ロジックで使用される CRC 多項式です。

- CRC8 多項式 = 0x07
- CRC16 多項式 1 = 0x8005
- CRC16 多項式 2 = 0x1021
- CRC24 多項式 = 0x5d6dcb
- CRC32 多項式 1 = 0x04c11db7
- CRC32 多項式 2 = 0x1edc6f41

このモジュールでは、1 サイクルで 1 バイトのデータに対する CRC を計算できます。CRC8、CRC16、CRC24、CRC32 の CRC 計算は、(C28x コアが読み取る 16 ビットまたは 32 ビットのデータ全体を計算する代わりに) バイト単位で実行されるので、各種規格で要求されているバイト単位の計算要件にも適合します。

また、この VCRC ユニットでは、任意の多項式のサイズ (1 バイト~32 バイト) と値を指定して、カスタムの CRC 要件を満たすこともできます。カスタムの多項式を使用する場合には、CRC の実行時間が 3 サイクルに増加します。

## 7.7 組み込みのリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス コンパレータ ユニットとシステム イベント カウンタ ユニットで構成されています。拡張バス コンパレータ ユニットは、ハードウェア ブレークポイント、ハードウェア オオツチポイント、およびその他の出力イベントの生成に使用されます。システム イベント カウンタ ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールは、デバッガとアプリケーション ソフトウェアからアクセスでき、特にデバッガが接続されていない状況で、多くのリアルタイム システムにおいてデバッグ性能が大幅に向上します。TMS320F28002x デバイスには、ERAD モジュールに 8 つの拡張バス コンパレータ ユニット (ハードウェア ブレークポイント数を 2 から 10 に増加) と、4 つのベンチマーク システム イベント カウンタ ユニットが搭載されています。

## 7.8 バックグラウンド CRC-32 (BGCRC)

バックグラウンド CRC (BGCRC) モジュールは、構成可能なメモリ ブロックで CRC-32 を計算します。これは、アイドル サイクル中 (CPU、HIC、または DMA がメモリ ブロックにアクセスしていないとき) に、指定されたメモリ ブロックをフェッチすることで実行されます。計算された CRC-32 の値をゴールデン CRC-32 の値と比較して、合格か不合格かを示します。基本的に、BGCRC はメモリの障害や破損の識別に役立ちます。

BGCRC モジュールの主な機能は次のとおりです。

- 32 ビット データの 1 サイクル CRC-32 計算
- ゼロ ウエイト状態メモリの場合、CPU 帯域幅に影響なし
- ゼロでないウェイト状態メモリの場合、CPU 帯域幅への影響は最小限
- デュアル動作モード (CRC-32 モードおよびスクラブ モード)
- CRC-32 完了の時間を計測するオオツチドッギング タイマ
- CRC-32 計算を一時停止および再開可能

## 7.9 ダイレクトメモリアクセス (DMA)

DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。DMA のデバイスレベル ブロック図を 図 1-1 に示します。

DMA の主な特長は次のとおりです。

- 独立した PIE 割り込みを持つ 6 つのチャネル
- ペリフェラル割り込みトリガ ソース
  - ADC 割り込みおよび EVT 信号
  - 外部割り込み
  - ePWM SOC 信号
  - CPU タイマ
  - eCAP
  - SPI 送信および受信
  - CAN 送信および受信
  - LIN 送信および受信
- データソースおよびデータ デスティネーション：
  - GSx RAM
  - ADC 結果レジスタ
  - 制御ペリフェラル レジスタ (ePWM, eQEP, eCAP)
  - SPI, LIN, CAN, PMBus レジスタ
- ワード サイズ: 16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット: 調停なしで、1 ワードあたり 4 サイクル

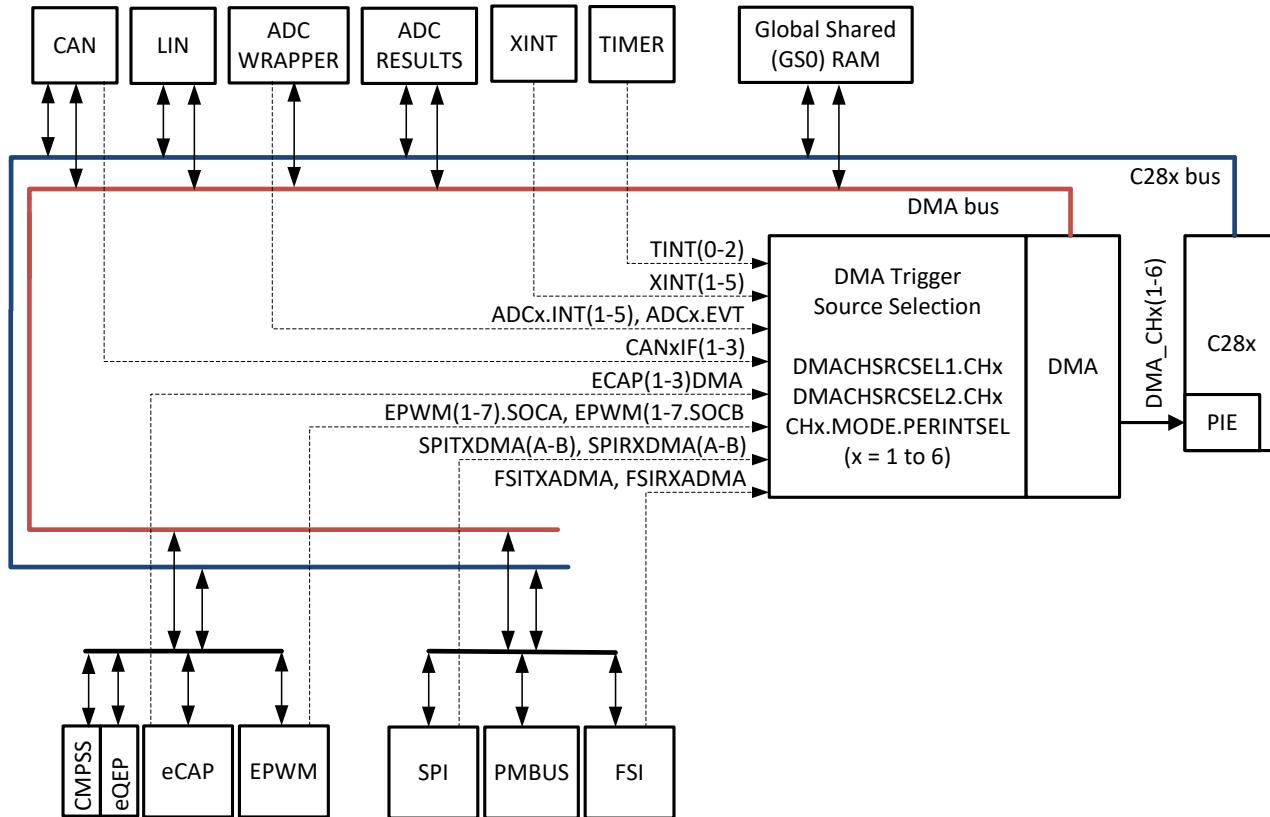


図 7-2. DMA のブロック図

## 7.10 デバイス ブート モード

このセクションでは、デフォルトのブート モードと、このデバイスでサポートされているすべてのブート モードについて説明します。ブート ROM は、ブート モード選択、汎用入出力 (GPIO) ピンを使用して、ブート モードの構成を判断します。

表 7-7 に、デフォルトのブート モード選択ピンで選択可能なブート モード オプションを示します。ブートアップ テーブルで選択可能なブート モードと、使用するブート モード選択ピン GPIO をカスタマイズできるようにデバイスをプログラムすることができます。

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA、SPIA、I2CA、CANA など) を使用します。この章でこれらのブート モードに言及する場合は、最初のモジュール インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

ブート ROM の実行からフラッシュ内の最初の命令をフェッチするまでの時間である  $t_{boot-flash}$  については、[セクション 6.11.2.2.2](#) と図 1-1 を参照してください。

**表 7-7. デバイスのデフォルト ブート モード**

ブート モード	GPIO24 (デフォルトのブート モード選択ピン 1)	GPIO32 (デフォルトのブート モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト ブート <sup>(1)</sup>	0	1
CAN	1	0
フラッシュ	1	1

(1) SCI ブート モードは、SCI オートボーリック プロセス中に SCI が「A」または「a」を待機し続ける限り、待機ブート モードとして使用できます。

### 7.10.1 デバイス ブート の構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0~3 本のブート モード選択ピンと、1~8 個のブート モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します(たとえば、メイン アプリケーション用のフラッシュ ブートのプライマリ ブート オプション、ファームウェア更新用の CAN ブートのセカンダリ ブート オプション、デバッグ用の SCI ブートの 3 番目のブート オプションなど。)
2. 必要なブート モードの数に基づいて、ブート モードの選択に必要なブート モード選択ピン (BMSP) の数を決定します。(たとえば、3 つのブート モード オプションから選択するには、2 つの BMSP が必要。)
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。(たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど)。これらの構成を実行する詳細については、[セクション 7.10.1.1](#) を参照してください。
4. 決定したブート モード定義を、BMSP のデコードされた値に相關付けるカスタム ブート テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = CAN ブート、BOOTDEF2 = SCI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままになります。カスタム ブート モード テーブルの設定と構成の詳細については、[セクション 7.10.1.2](#) を参照してください。

また、『[TMS320F28002X リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブート モードの使用例」セクションに、BMSP およびカスタム ブート テーブルの構成方法に関する使用例がいくつか記載されています。

#### 注

CAN ブート モードは、XTAL をオンにします。CAN ブート モードを使用する前に、アプリケーションに XTAL がインストールされていることを確認してください。

### 7.10.1.1 ブート モード ピンの構成

このセクションでは、ユーザーが構成可能なデュアル ゾーン セキュリティ モジュール (DCSM) OTP 内の BOOTPIN-CONFIG 領域 ([表 7-8 を参照](#)) をプログラムすることで、ブートモード選択ピンをカスタマイズする方法について説明します。DCSM OTP 内のその領域は、Z1-OTP-BOOTPIN-CONFIG または Z2-OTP-BOOTPIN-CONFIG です。デバッグ時には、EMU-BOOTPIN-CONFIG が Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート モードを検証するようにプログラムできます。このデバイスは、必要に応じて 0, 1, 2, 3 のブート モード選択ピンを使用するようにプログラムできます。

#### 注

Z2-OTP-BOOTPIN-CONFIG を使用する場合、この領域にプログラムされた構成が Z1-OTP-BOOTPIN-CONFIG の構成よりも優先されます。まず Z1-OTP-BOOTPIN-CONFIG を使用し、OTP 構成を変更する必要がある場合に Z2-OTP-BOOTPIN-CONFIG を使用するように切り替えることを推奨します。

**表 7-8. BOOTPIN\_CONFIG のビット フィールド**

ビット	名称	説明
31:24	API キー	この 8 ビットに 0x5A を書き込んでこのレジスタのビットが有効であることを示す
23:16	ブート モード選択ピン 2 (BMSP2)	BMSP2 以外は BMSP0 の説明を参照
15:8	ブート モード選択ピン 1 (BMSP1)	BMSP1 以外は BMSP0 の説明を参照
7:0	ブート モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定 (最大 255): - 0x0 = GPIO0 - 0x01 = GPIO1 - 以下同様 0xFF を書き込むと BMSP0 がディセーブルになり、このピンはブート モードの選択には使用されない

以下の GPIO を BMSP として使用することはできません。ある BMSP に対してこの GPIO を選択した場合、ブート ROM は出荷時のデフォルト GPIO を自動的に選択します (BMSP2 の出荷時デフォルトは 0xFF であり、BMSP はディセーブルです)。

- GPIO 20 および GPIO 21
- GPIO 36 および GPIO 38
- GPIO 47～GPIO 60
- GPIO 63～GPIO 223

**表 7-9. スタンドアロンのブート モード選択ピン デコード**

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート モード
!= 0x5A	不定	不定	不定	工場出荷時デフォルトの BMSP で定義されるブート
= 0x5A	0xFF	0xFF	0xFF	ブート モード 0 のブート テーブルで定義されるブート (すべての BMSP が無効)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 がディセーブル)
	0xFF	有効な GPIO	0xFF	この値の定義では BMSP1 でブートします (BMSP0 および BMSP2 は無効)。
	0xFF	0xFF	有効な GPIO	この値の定義では BMSP2 でブートします (BMSP0 および BMSP1 は無効)。
	有効な GPIO	有効な GPIO	0xFF	BMSP0 と BMSP1 の値で定義されるブート (BMSP2 がディセーブル)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 と BMSP2 の値で定義されるブート (BMSP1 がディセーブル)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 と BMSP2 の値で定義されるブート (BMSP0 がディセーブル)
	有効な GPIO	有効な GPIO	有効な GPIO	BMSP0、BMSP1、BMSP2 の値で定義されるブート
	無効な GPIO	有効な GPIO	有効な GPIO	BMSP0 は工場出荷時のデフォルトの BMSP0 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	無効な GPIO	有効な GPIO	BMSP1 は工場出荷時のデフォルトの BMSP1 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	有効な GPIO	無効な GPIO	BMSP2 は工場出荷時のデフォルト状態 (ディセーブル) にリセット BMSP0 および BMSP1 の値で定義されるブート

### 注

ブート モードをデコードする際、BMSP0 がブート テーブル インデックス値の最下位ビット、BMSP2 が最上位ビットです。BMSP をディセーブルにする場合は、BMSP2 から開始することをお勧めします。たとえば、BMSP2 のみを使用する場合 (BMSP1 と BMSP0 がディセーブル)、ブート テーブル インデックスの 0 と 4 のみが選択可能です。BMSP0 のみを使用する場合、選択可能なブート テーブル インデックスは 0 と 1 です。

### 7.10.1.2 ブート モード テーブル オプションの設定

このセクションでは、デバイスおよび関連するブート オプションのブート定義表、BOOTDEF を構成する方法について説明します。ユーザーが構成可能な DCSM OTP の中に、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH として 64 ビットの領域があります。デバッグ時には、EMU-BOOTDEF-LOW および EMU-BOOTDEF-HIGH が、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH をエミュレートする代用として機能するので、OTP に書き込まざるにさまざまなブート モード オプションを検証するようにプログラムできます。ブート定義テーブルに対するカスタマイズの範囲は、使用されているブート モード選択ピン (BMSP) の数によって異なります。たとえば、0 本の BMSP は 1 つのテーブル エントリに等しく、1 本の BMSP は 2 つのテーブル エントリに等しく、2 本の BMSP は 4 つのテーブル エントリに等しく、3 本の BMSP は 8 つのテーブル エントリに等しくなります。BOOTPIN\_CONFIG および BOOTDEF 値の設定方法の例は、『[TMS320F28002x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

#### 注

Z2-OTP-BOOTPIN-CONFIG が設定されている場合には、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH のロケーションの代わりに、Z2-OTP-BOOTDEF-LOW および Z2-OTP-BOOTDEF-HIGH のロケーションが使用されます。BOOTPIN\_CONFIG の使用方法の詳細については、「[ブート モード ピンの構成](#)」を参照してください。

表 7-10. BOOTDEF のピット フィールド

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7:0	BOOT_DEF0 モード / オプション	ブート テーブルのインデックス 0 にブート モードを設定します。 それぞれのブート モードとそのオプションの例としては、特定のブートローダのための異なる GPIO の使用、あるいはフラッシュ上の異なるエントリ ポイント アドレスの使用などが挙げられます。サポートされていないブート モードを使用すると、デバイスはブートを待機するか、フラッシュからブートします。 テーブルで設定する有効な BOOTDEF 値については「 <a href="#">GPIO の割り当て</a> 」を参照。
BOOT_DEF1	15:8	BOOT_DEF1 モード / オプション	BOOT_DEF0 の説明を参照
BOOT_DEF2	23:16	BOOT_DEF2 モード / オプション	
BOOT_DEF3	31:24	BOOT_DEF3 モード / オプション	
BOOT_DEF4	39:32	BOOT_DEF4 モード / オプション	
BOOT_DEF5	47:40	BOOT_DEF5 モード / オプション	
BOOT_DEF6	55:48	BOOT_DEF6 モード / オプション	
BOOT_DEF7	63:56	BOOT_DEF7 モード / オプション	

### 7.10.2 GPIO の割り当て

このセクションでは、BOOT\_DEF メモリの領域 Z1-OTP-BOOTDEF-LOW / Z2-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH / Z2-OTP-BOOTDEF-HIGH でのブート モードの設定に使用される GPIO とブート オプションの値について詳細に説明します。BOOT\_DEF の構成方法については、「[ブート モード テーブルのオプションの構成](#)」を参照してください。ブート モード オプションを選択するときは、使用する特定のデバイス パッケージのピン マルチプレクサ オプションで、必要なピンが利用可能であることを確認します。

**表 7-11. SCI ブート オプション**

オプション	BOOTDEF 値	SCITXDA GPIO	SCIRXDA GPIO
0 (デフォルト)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO2	GPIO3
4	0x81	GPIO16	GPIO3

**表 7-12. CAN ブート オプション**

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO
0 (デフォルト)	0x02	GPIO4	GPIO5
1	0x22	GPIO32	GPIO33
2	0x42	GPIO2	GPIO3

**表 7-13. I2C ブート オプション**

オプション	BOOTDEF 値	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x27	GPIO0	GPIO1
2	0x47	GPIO10	GPIO8

**表 7-14. RAM ブート オプション**

オプション	BOOTDEF 値	RAM エントリ ポイント (アドレス)
0	0x05	0x0000 0000

**表 7-15. フラッシュ ブート オプション**

オプション	BOOTDEF 値	フラッシュ エントリ ポイント (アドレス)	フラッシュ セクタ
0 (デフォルト)	0x03	0x0008 0000	バンク 0 セクタ 0
1	0x23	0x0008 4000	バンク 0 セクタ 4
2	0x43	0x0008 8000	バンク 0 セクタ 8
3	0x63	0x0008 EFF0	バンク 0、セクタ 14 の末尾

**表 7-16. 待機ブート オプション**

オプション	BOOTDEF 値	ウォッチドッグ
0	0x04	イネーブル
1	0x24	ディセーブル

表 7-17. SPI ブート オプション

オプション	BOOTDEF 値	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPIO2	GPIO1	GPIO3	GPIO5
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11
3	0x66	GPIO8	GPIO17	GPIO9	GPIO11

表 7-18. パラレル ブート オプション

オプション	BOOTDEF 値	D0~D7 GPIO	28x(DSP) 制御 GPIO	ホスト制御 GPIO
0 (デフォルト)	0x00	D0~GPIO28	GPIO16	GPIO29
		D1~GPIO1		
		D2~GPIO2		
		D3~GPIO3		
		D4~GPIO4		
		D5~GPIO5		
		D6~GPIO6		
		D7~GPIO7		
1	0x20	D0~GPIO0	GPIO16	GPIO11
		D1~GPIO1		
		D2~GPIO2		
		D3~GPIO3		
		D4~GPIO4		
		D5~GPIO5		
		D6~GPIO6		
		D7~GPIO7		

## 7.11 デュアルコードセキュリティモジュール

デュアルコードセキュリティモジュール (DCSM) は、オンチップのセキュアメモリへのアクセスを防止します。「セキュア」という用語は、セキュアなメモリおよびリソースへのアクセスがブロックされることを意味します。「アンセキュア」という用語は、Code Composer Studio™ (CCS) などのデバッグツールを使用してアクセスが許可されていることを意味します。

コードセキュリティメカニズムは、ゾーン1 (Z1) とゾーン2 (Z2) の2つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュアリソース (OTPメモリおよびセキュアROM) と、割り当てられたセキュアリソース (LSx RAM、フラッシュセクタ) があります。

各ゾーンのセキュリティは、それぞれの128ビットパスワード (CSMパスワード) によって確保されます。各ゾーンのパスワードは、ゾーン固有のリンクポインタに基づいてOTPメモリの領域に格納されます。リンクポインタの値を変更して、OTP内で異なるセキュリティ設定 (パスワードを含む) をプログラムできます。

---

### Code Security Module Disclaimer

このデバイスに搭載されているコードセキュリティモジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、このCSMがテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、CSMで情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSMについて、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSMまたはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中止、その他の経済的損失が含まれますが、これらに限定されません。

---

## 7.12 ウオッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000 デバイスと同じですが、オプションでカウンタのソフトウェア リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 1-1 に、ウォッチドッグ モジュール内の各種機能ブロックを示します。

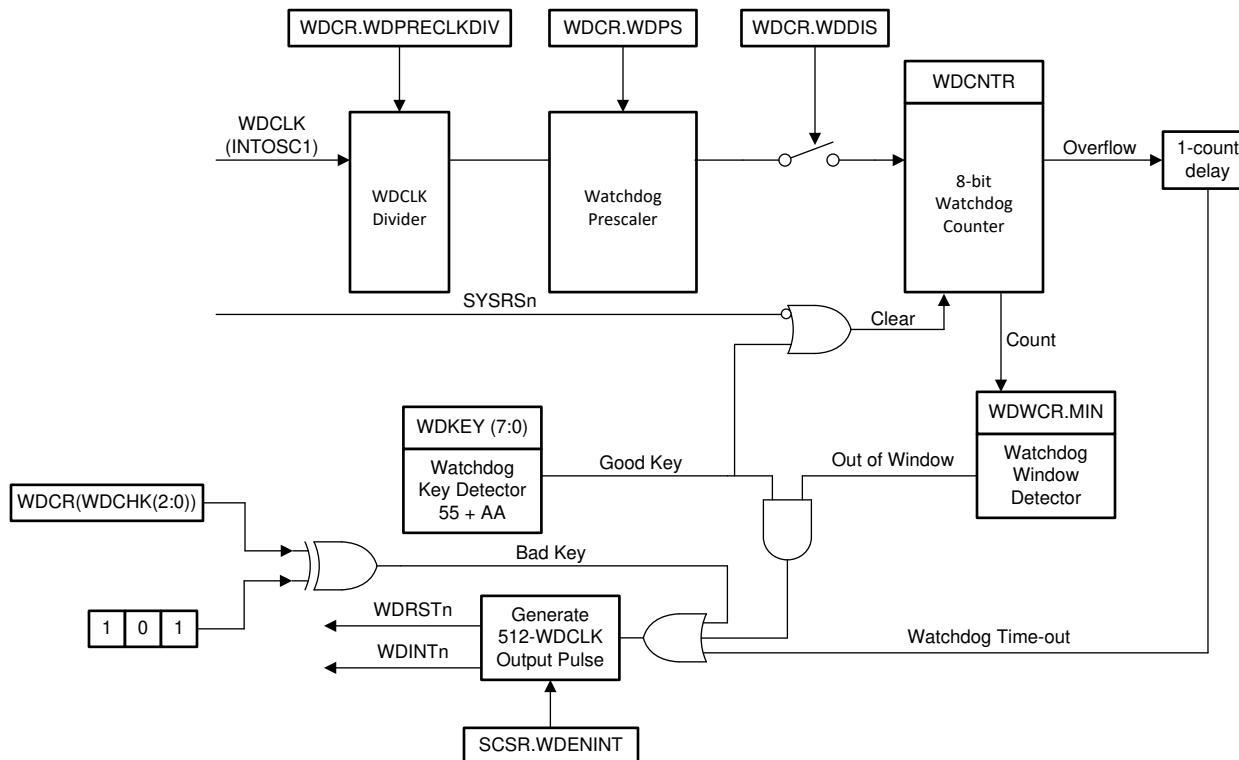


図 7-3. ウィンドウ ウォッチドッグ

## 7.13 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット タイマであり、周期をプリセット可能で、16 ビット クロック プリスケーリングを備えています。これらのタイマには、32 ビットのカウントダウン レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール 設定値で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部ゼロピン発振器 1 (INTOSC1)
- 内部ゼロピン発振器 2 (INTOSC2)
- X1 (XTAL)

## 7.14 デュアル クロック コンパレータ (DCC)

デバイスには 2 つのデュアル クロック コンパレータ (DCC0、DCC1) があります。2 つの DCC は両方とも、CPU1 経由でのみアクセスできます。DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

### 7.14.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲 ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

### 7.14.2 DCCx (DCC0、DCC1) クロック ソース入力のマッピング

表 7-19. DCCx クロック ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x5	CPU1.SYSCLK
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-20. DCCx クロック ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
その他	予約済み

## 7.15 構成可能ロジック ブロック (CLB)

C2000 構成可能ロジック ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム デジタル ロジック機能の実装や既存のオンチップ ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ モジュール (eCAP)、拡張直交エンコーダ パルス モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル データ交換プロトコルを実装したりできます。従来は外部のロジック デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション レポート、およびユーザー ガイドの詳細については、[C2000Ware パッケージ \(C2000Ware\\_2\\_00\\_00\\_03 以降\)](#) の次の場所を参照してください。

- [C2000WARE\\_INSTALL\\_LOCATION\utilities\clb\\_tool\clb\\_syscfg\doc](#)
- [CLB ツール ユーザー ガイド](#)
- [『C2000™ 構成可能ロジック ブロック \(CLB\) を使用した設計』アプリケーション レポート](#)
- [『カスタム ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法』アプリケーション レポート](#)

図 1-1 に、CLB モジュールとその相互接続を示します。

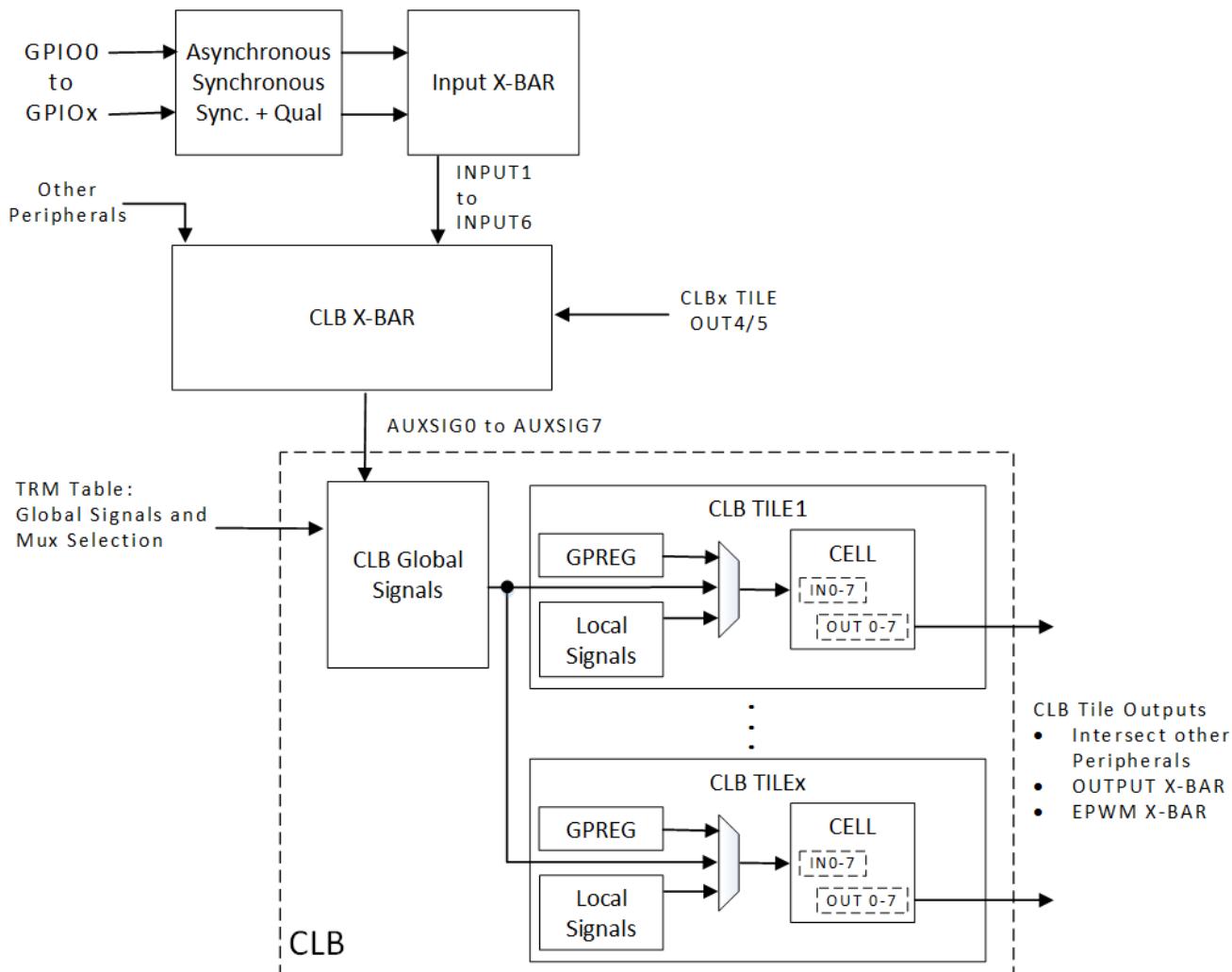


図 7-4. CLB の概要

C2000Ware モーター制御 SDK では、アブソリュート エンコーダ プロトコル インターフェイスが Position Manager ソリューションとして提供されています。C2000Ware モーター制御 SDK には、構成ファイル、アプリケーション プログラミング インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、テキサス・インスツルメンツが構成した CLB を、SPI ポートや C28x CPU など他のオンチップ リソースと組み合わせて使って、より複雑な機能を実行します。

## 8 アプリケーション、実装、およびレイアウト

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

### 8.1 デバイスの主な特長

表 8-1. デバイスの主な特長

モジュール	機能	システムの利点
処理		
リアルタイム制御 CPU	最大 200MIPS C28x: 100 MIPS CLA: 100 MIPS フラッシュ: 最大 256KB RAM: 最大 100KB 32 ビット浮動小数点ユニット (FPU32) 三角関数演算ユニット (TMU) ビタビ複素演算ユニット (VCU)	TI の 32 ビット C28x DSP コアは、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 100MHz の信号処理能力があります。 オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 100 MHz の信号処理能力があります。 <b>FPU32:</b> IEEE 754 単精度浮動小数点演算のネイティブ ハードウェア サポート <b>TMU:</b> 制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 <b>VCU:</b> エンコード アプリケーションで一般的に使用される複素数演算のレイテンシを短縮できます。 <b>C2000™ 制御 MCU の最適化されたシグナル チェーンを紹介するリアルタイム ベンチマーク</b>
センシング		
A/D コンバータ (ADC) (12 ビット)	最大 3 つの ADC モジュール 3.45 MSPS 最大 21 チャネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ ハードウェアにより、ADC の ISR (割り込みサービス ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	<b>CMPSS</b> 2つのウインドウ付きコンパレータ デュアル 12 ビット DAC DAC ランプ生成 外部ピンの低 DAC 出力 デジタル フィルタ 検出からトリップまでの時間は 60ns スロープ補償	誤検出によるアラームを防止するシステム保護機能: コンパレータ サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率改善、電圧トリップ監視などのアプリケーションに役立ちます。 アナログ コンパレータ サブシステムに搭載されているプランギング ウインドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。 制御精度の向上を実現します。コンパレータと 12 ビット DAC (CMPSS) を使用して PWM を制御するために、CPU をさらに構成する必要はありません。 同じピンを使用して保護と制御を実現します。
拡張直交エンコーダ パルス (eQEP)	2つの eQEP モジュール	リニアまたはロータリ インクリメンタル エンコーダとの直接インターフェイスを使って、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。また、外部デバイス (センサなど) からの入力パルスをカウントする、その他のアプリケーションでも使用できます。
拡張キャプチャ (eCAP) / 高分解能拡張キャプチャ (HRCAP)	7つの eCAP モジュール (2つは HRCAP 機能付き) イベント間の経過時間を測定します (最大 4つのタイムスタンプ付きイベント)。 入力クロスバー経由で任意の GPIO に接続します。 キャプチャ モードで使用しない場合、eCAP モジュールを单一チャネル PWM 出力 (APWM) として構成可能。	<b>eCAP の用途は以下のとおりです。</b> 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知) 位置センサ パルス間の経過時間測定 パルス列信号の周期およびデューティ サイクル測定 デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号
	2つの HRCAP チャネル 300ps の標準分解能で外部パルスの幅を測定する機能を提供します。	<b>HRCAP の用途は以下のとおりです。</b> パルストレイン サイクルの周期とデューティ サイクルを高分解能で測定 速度の瞬時値測定 周波数の瞬時値測定 絶縁境界にまたがる電圧測定 距離 / ソナーの測定とスキャン 流量測定 静電容量式タッチ アプリケーション

**表 8-1. デバイスの主な特長 (続き)**

モジュール	機能	システムの利点
アクチュエーション		
拡張パルス幅変調(ePWM) / 高分解能パルス幅変調(HRPWM)	最大 16 個の ePWM チャネル デッドバンド付きのハイサイド / ローサイド PWM を生成する能力 バレー スイッチング (バレー ポイントで PWM 出力を切り替える機能) とブランкиング ウィンドウなどの機能をサポート	最高のパワートポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ デッドバンドおよびシャドウ アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率補正 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上。
	<b>HRPWM 機能:</b> 16 のチャネルすべてが高分解能 (150ps) を実現 デューティサイクル、周期、デッドバンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振 / リミット サイクルを回避します。
	ワンショットリロードおよびグローバルリロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリープ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップイベントおよびワンショットトリップ (OST) のトリップイベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介在なし (ISR: 割り込みサービスルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフトフルブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンパレータ、トリップ、または SYNC 入力によるトリガ イベントでも) 多くの CPU リソースを占有しません。
	デッドバンド ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド ゲートの同時オン状態を防止します。
コネクティビティ		
シリアル・ペリフェラル・インターフェイス (SPI)	2 つの高速 SPI ポート	25 MHz をサポート
シリアル通信インターフェイス (SCI)	2 つの SCI (UART) モジュール	コントローラとのインターフェイス
LIN (Local Interconnect Network)	1 LIN	コントローラ エリア ネットワーク (CAN) の帯域幅とフォルトトレランスが不要な場合に、低コストのソリューションを提供します。 他のコントローラと通信するための SCI としても使用できます。
コントローラ エリア ネットワーク (CAN/DCAN)	1 つの DCAN モジュール	Classic CAN モジュールとの互換性を提供

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
I2C (Inter-Integrated Circuit)	1 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス
PMBus (Power-Management Bus)	1 つの PMBus モジュール SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠	ハードウェア ベースのシームレスなホスト通信
高速シリアル インターフェイス (FSI) (トランスマッタおよびレシーバ付き)	1 つの FSI トランスマッタと 1 つの FSI レシーバ 信頼性の高い高速通信に対応できるシリアル通信ペリフェラル 絶縁デバイス間の通信 (最大 100MHz)	高速シリアル インターフェイス (FSI) は、最大 100Mbps であり、絶縁境界をまたぐ場合であっても、ピン数の少ない高速通信に役立ちます。
他のシステムの特長		
セキュリティ エンハンサ	デュアル ゾーン コード セキュリティ モジュール (DCSM) ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ	<b>DCSM:</b> 社外秘コードの複製やリバース エンジニアリングを防止します <b>ウォッチドッグ:</b> CPU が無限ループに陥った場合にリセットを生成 <b>レジスタへの書き込み保護:</b> システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 <b>MCD:</b> クロック故障の自動検出 <b>ECC およびパリティ:</b> シングル ビットの誤り訂正とダブル ビットの誤り検出
クロスバー (XBAR)	さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。 • 入力クロスバー • 出力クロスバー • ePWM クロスバー • CLB クロスバー	ハードウェア設計の汎用性を向上: <b>入力クロスバー:</b> 任意の GPIO からチップ内の複数の IP ブロックに信号を接続 <b>出力クロスバー:</b> 内部信号を指定された GPIO ピンに接続 <b>ePWM クロスバー:</b> 内部信号をさまざまな IP ブロックから ePWM に接続 <b>CLB クロスバー:</b> ユーザーがさまざまな IP ブロックから CLB に信号を接続できるようにします

## 8.2 アプリケーション情報

### 8.2.1 代表的なアプリケーション

「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

#### 8.2.1.1 サーボ・ドライブ制御モジュール

サーボ・ドライブは、高精度のトルク制御を実現するために高精度の電流および電圧センシングを必要とし、多くの場合、通信インターフェイスとともに複数のエンコーダ・タイプのインターフェイスをサポートします。この C2000 デバイスは、スタンダードアロン サーボ ドライブ用のシングルチップ ソリューション (図 1-1 参照) として、または、非集中型システム (図 1-1 参照) で使用することができます。後者の場合、F2838x C2000 デバイスはコントローラとして機能し、すべての電圧入力および電流入力をサンプリングして、インバータのための正確な PWM 信号を生成します。各 C2000 デバイスが、対象となる 1 軸のリアルタイムコントローラとして機能し、モーターの電流制御ループを実行します。高速シリアル インターフェイス (FSI) ペリフェラルを使用すると、1 つの C2000 デバイスで最大 16 軸を制御できます。C2000 デバイスは、外部ループコントローラとして、メイン軸のモーター制御を実行し、FSI 経由で他のすべての軸とのデータ交換を制御するとともに、EtherCAT 経由でホストまたは PLC と通信します。

### 8.2.1.1.1 システム・ブロック図

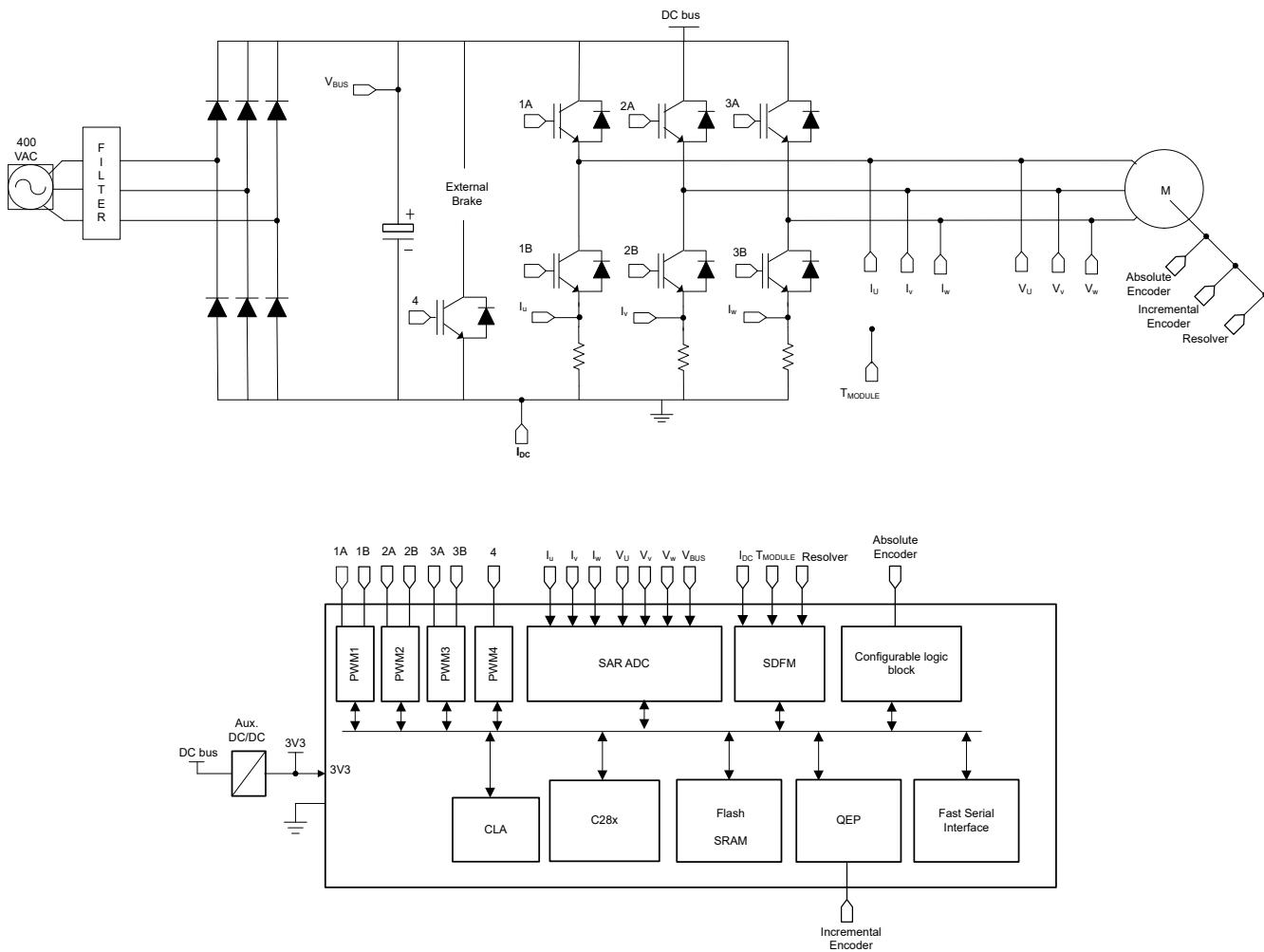


図 8-1. サーボ・ドライブ制御モジュール

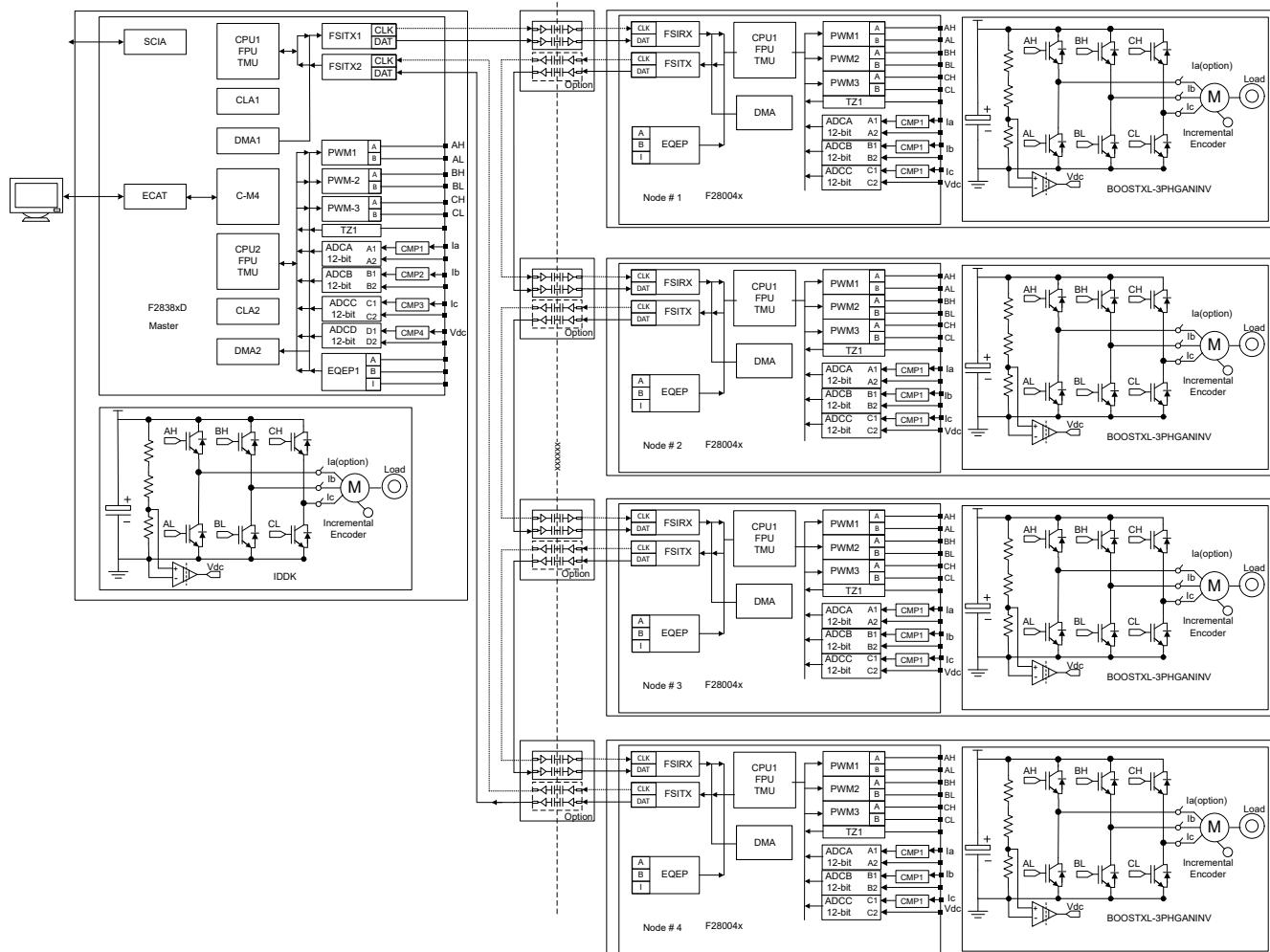


図 8-2. 分散型多軸サーボ・ドライブ

#### 8.2.1.1.2 サーボ ドライブ制御モジュールのリソース

##### リファレンス・デザインと関連トレーニング・ビデオ

シャントベースのインラインモーター位相電流センシング機能を搭載した 48V 3 相インバータ評価モジュール

BOOSTXL-3PHGANINV 評価モジュールは、高精度インラインシャントベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを採用し、サーボドライブなどの高精度ドライブを正確に制御します。

##### 産業用モーター制御向け C2000 DesignDRIVE 開発キット

この DesignDRIVE 開発キット (IDDK) ハードウェアによって、高電圧 3 相モーターを駆動する電力段全体を搭載した統合型サーボドライブ設計を実現し、また、さまざまな位置フィードバック、電流センシング、制御トポロジーに関する評価を容易に実施することができます。

##### C2000 DesignDRIVE position manager BoosterPack™ プラグインモジュール

この PositionManager BoosterPack は、アブソリュートエンコーダ、リザルバや SinCos トランシスデューサなどのアナログセンサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェアソリューションとの組み合わせにより、一般的に使用されている EnDat、BiSS、T-format などのさまざまなタイプのポジションエンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナログポ

ジョン センサとのインターフェイスを C2000 リアルタイム コントローラに統合して、このような機能のための外部 FPGA を不要にします。

#### C2000Ware モーター制御 SDK

C2000™ マイクロコントローラ (MCU) 用のモーター制御 SDK は、さまざまな 3 相モーター制御アプリケーション向けの C2000 リアルタイム コントローラ ベースのモーター制御システムの開発時間を最小限に抑える目的で設計された、ソフトウェア インフラ、ツール、資料の包括的なセットです。このソフトウェアには、C2000 モーター制御評価モジュール (EVM) で動作するファームウェアと、産業用ドライブ、ロボット、家電製品、車載アプリケーションを対象とした TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

#### TIDM-02006 高速シリアル インターフェイス (FSI) 経由の分散型多軸サーボドライブのリファレンス デザイン

このリファレンス デザインは、C2000™ リアルタイム コントローラを使用した高速シリアル インターフェイス (FSI) 経由の分散型または非集中型多軸サーボドライブの例を示します。多軸サーボドライブは、ファクトリ オートメーションやロボットなど多くのアプリケーションで使用されています。この種のシステムで、1 軸当たりのコスト、性能、使いやすさは常に重要な考慮事項になっています。FSI は、低ジッタで、コスト最適化された信頼性の高い高速通信インターフェイスであり、複数の C2000 マイクロコントローラをデイジーチェーン接続することもできます。このデザインでは、TMS320F280049 または TMS320F280025 の各リアルタイム コントローラが、それぞれ 1 つの軸に対応する分散型のリアルタイム コントローラであり、モーターの電流制御ループを実行します。TMS320F28388D という単一製品が、すべての軸に対応する位置および速度の制御ループを実行します。同じ F2838x が、マルチコアを活用して、集中型のモーター制御軸に加えて EtherCAT 通信も実施します。このデザインは、テキサス・インスツルメンツの既存の EVM キットを複数使用しており、該当ソフトウェアは C2000WARE モーター制御 SDK の一部としてリリース済みです。

#### 8.2.1.2 サーバー / テレコム電源ユニット (PSU)

サーバー / テレコム電源ユニット (PSU) は、効率改善 (PFC) 段と DC-DC コンバータ段で構成されています。トーテムポール PFC は、PFC 段として広く使用されています。DC-DC 段については、LLC と位相シフト・フルブリッジ (PSFB) が最も一般的な 2 つのトポロジです。通常、現在のサーバー PSU は、図 1-1 に示すように 2 チップ・アーキテクチャをベースにしています。テレコム PSU は、図 1-1 に示すようにシングルチップ・アーキテクチャを採用することが多いです。

PFC 段は、AC 電圧と同位相で AC 電源から正弦波電流を引き込み、出力範囲全体にわたって安定した DC バス電圧 (VDC、代表値 +400V) を維持します。この出力電圧は、DC-DC 段の入力として供給され、この段で、絶縁された低い出力電圧 Vout (サーバーでは 12V / 48V、テレコムでは 48V) に変換されます。

### 8.2.1.2.1 システム・ブロック図

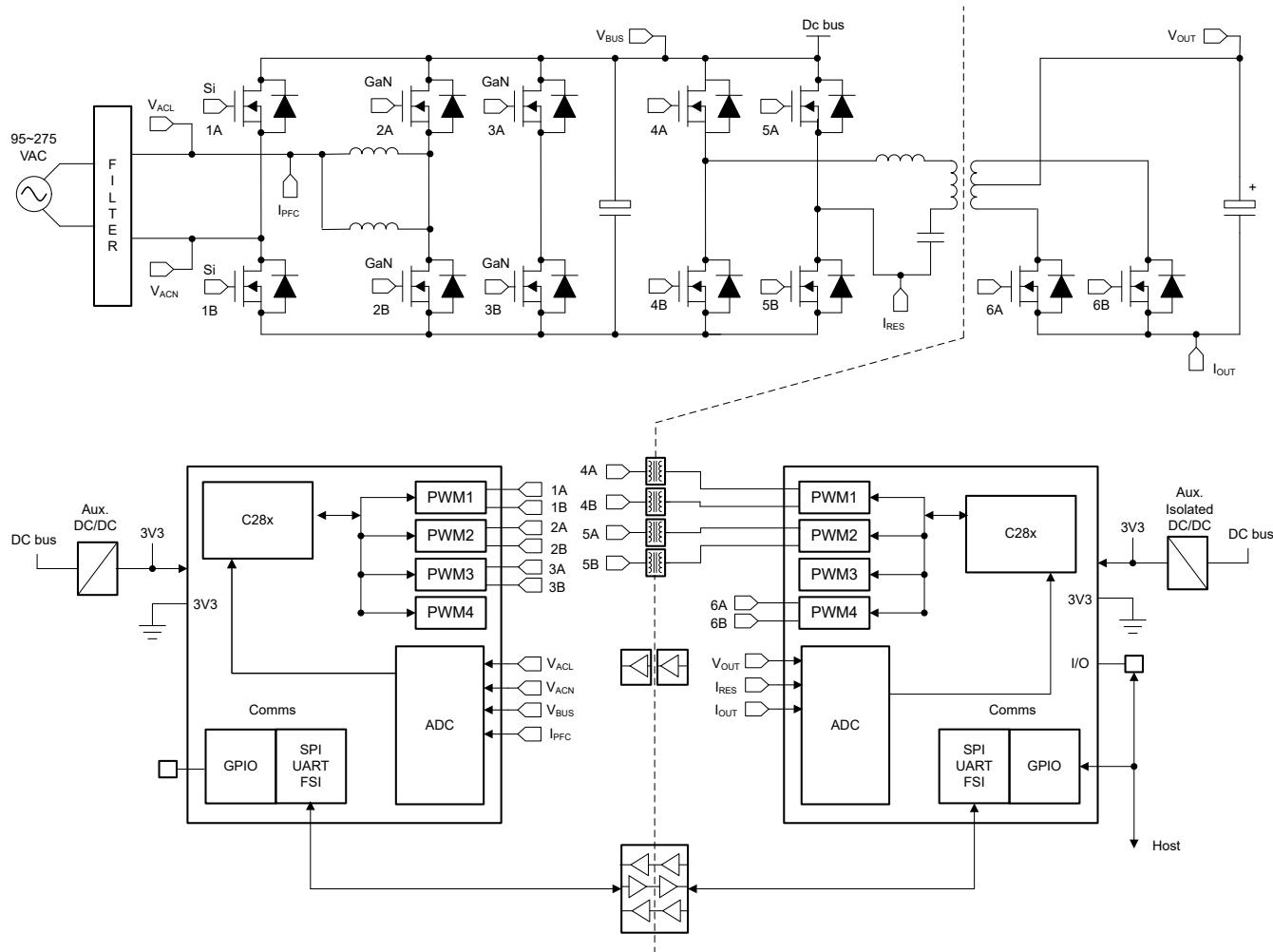


図 8-3. 代表的なサーバー PSU アーキテクチャ

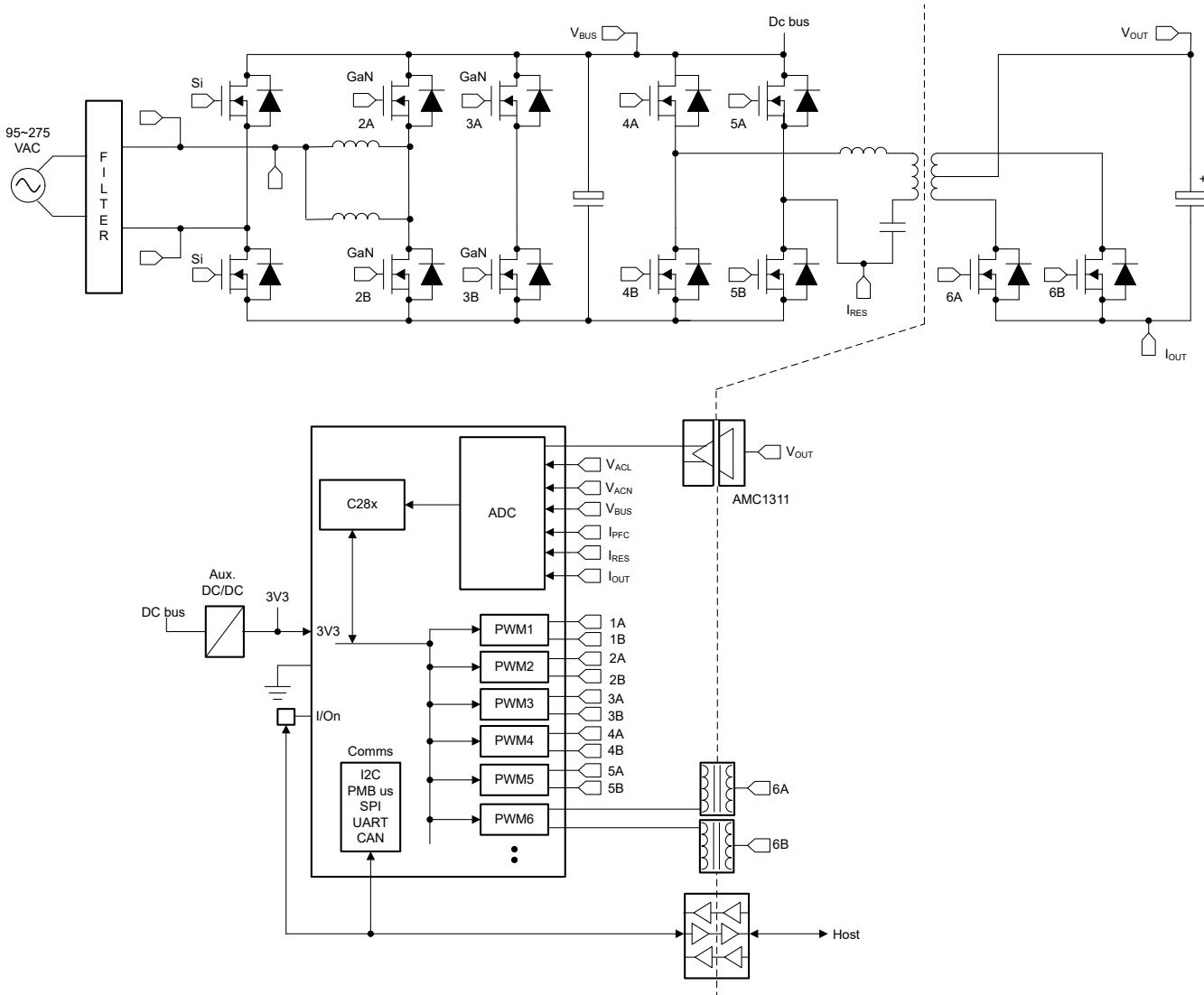


図 8-4. 代表的なテレコム PSU アーキテクチャ

#### 8.2.1.2.2 サーバーおよびテレコム PSU (電源) のリソース

##### リファレンス・デザインと関連トレーニング・ビデオ

###### [PMP41081 C2000™ リアルタイムマイコン使用、1kW、12V、HHC LLC のリファレンス デザイン](#)

このリファレンス デザインは、1kW、400V から 12V の変換を行うハーフブリッジ共振 DC/DC プラットフォームであり、C2000™ マイコンを使用したハイブリッドヒステリシス制御 (HHC) の負荷過渡性能を評価する目的で使用できます。

###### [> 270W/in<sup>3</sup> の電力密度、アクティブ クランプ付き 3kW 位相シフトフルブリッジのリファレンス デザイン](#)

このリファレンス デザインは、GaN ベースの 3kW 位相シフトフルブリッジ (PSFB) であり、最大電力密度を目標としています。このデザインは、複数の 2 次側同期整流 MOSFET への電圧ストレスを最小化する目的でアクティブ クランプを採用しているので、より良好な性能指数 (FoM) を達成する、電圧定格のより低い MOSFET を複数使用することができます。PMP23126 は、1 次側にテキサス・インスツルメンツの 30mΩ の GaN、2 次側にシリコン MOSFET を使用しています。LMG3522 は、ドライバと保護機能を内蔵した上面冷却 GaN であり、Si MOSFET と比較して、より広い範囲の動作で ZVS (ゼロ電圧スイッチング) を維持できるので、効率の向上に貢献します。この PSFB (位相シフトフルブリッジ) は 100kHz で動作し、97.74% のピーク効率を達成します。

### PMP23069 180W/in<sup>3</sup> を超える電力密度、3.6kW 単相トーテム ポール ブリッジレス PFC のリファレンス デザイン

このリファレンス デザインは、GaN ベースの 3.6kW 単相連続導通モード (CCM) トーテムポール力率補正 (PFC) コンバータであり、最大電力密度を目標としています。電力段の後段に小型の昇圧コンバータを配置しており、バルク コンデンサの小型化に貢献します。ドライバと保護機能を内蔵した上面冷却 GaN である LMG3522 の採用により、効率の向上、電源の小型化と簡素化を実現しています。F28004x または F28002x の各 C2000™ コントローラは、多様な高度制御用途に適しており、高速リレー制御、AC 電圧低下イベント発生時的小規模昇圧動作、逆電流保護、PFC とハウスキーピング (各種管理機能) コントローラ間の通信などが該当します。この PFC は 65kHz のスイッチング周波数で動作し、98.7% のピーク効率を達成します。

### PMP41017 GaN と CC2000™ マイコン採用、3kW、2 相インターリープ ハーフ ブリッジ LLC のリファレンス デザイン

このリファレンス デザインは、LMG3422 と C2000™ の各デバイスを使用した 3kW、2 相インターリープ ハーフ ブリッジ LLC (インダクタ-インダクタ-コンデンサ) です。

### デジタル制御の高効率 / 高電力密度 PFC 回路 - パート 2 (ビデオ)

このプレゼンテーションでは、C2000 MCU を使用した 2 つのブリッジレス PFC の設計を紹介します。テキサス・インスツルメンツの高電圧 GaN を使用して、3.3kW インターリープ CCM トーテムポール PFC と 1.6kW インターリープ TRM トーテムポール PFC の設計を実装します。スイッチング損失、電流クロスオーバー歪み、入力電流 THD を最小化し、効率と PF を向上させるための設計上の考慮事項について詳しく説明しています。

### TIDA-010062 1kW、80 Plus Titanium、GaN CCM トーテム ポール ブリッジレス PFC およびハーフブリッジ LLC のリファレンス デザイン

このリファレンス デザインは、サーバー電源ユニット (PSU) およびテレコム整流器アプリケーション向けのデジタル制御されたコンパクトな 1kW AC/DC 電源の設計です。高効率設計により、フロントエンドの連続導通モード (CCM) トーテム ポール ブリッジレス力率補正 (PFC) 段を含む、2 つの主電力段をサポートしています。広い負荷範囲にわたって高い効率を実現し、80 Plus Titanium 要件を満たすため、ドライバ内蔵 LMG341x GaN FET を PFC 段に採用しています。また、このデザインは、ハーフ ブリッジ LLC 絶縁型 DC/DC 段もサポートしており、+12V DC 出力で 1kW を供給します。2 枚の制御カードは、C2000™ 基本的性能 MCU を使用して、両方の電力段を制御します。

### TIDM-1007 インターリープ CCM トーテムポール PFC のリファレンス デザイン (ビデオ)

このビデオでは、C2000 マイクロコントローラを使ってトーテムポール PFC を制御するために必要なハードウェアの特徴、制御の特徴、ソフトウェア設計について説明します。このリファレンス デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

### 可変周波数、ZVS、5kW、GaN ベース、2 相トーテムポール PFC のリファレンス デザイン

このリファレンス デザインは、高密度で高効率の 5kW トーテムポール力率改善 (PFC) の設計を示しています。このデザインは、可変周波数と ZVS (ゼロ電圧スイッチング) の組み合わせで動作する 2 相トーテムポール PFC を使用しています。この制御方式は、新しいトポロジと改良型の三角波電流モード (ITCM) を使用し、小型化と高効率化を実現します。このデザインは、TMS320F280049C マイコンの内部にある高性能プロセッシング コアを使用し、広い動作範囲にわたって効率を維持します。この PFC は 100kHz~800kHz の可変周波数範囲で動作します。電力密度が 120kW/立方インチ (7.32kW/立方 cm) のオープン フレーム電源との組み合わせで、99% のピーク システム効率を達成しています。

#### 8.2.1.3 商用テレコム整流器

商用テレコム整流器は、力率補正 (PFC) 段と DC-DC コンバータ段で構成されています。トーテムポール PFC は、PFC 段として広く使用されています。DC-DC 段については、LLC と位相シフト・フルブリッジ (PSFB) が最も一般的な 2 つのトポロジです。商用テレコム整流器では、図 1-1 および 図 1-1 に示すように、シングル チップとデュアル チップのアーキテクチャを使用できます。

PFC 段は、AC 電圧と同位相で AC 電源から正弦波電流を引き込み、出力範囲全体にわたって安定した DC バス電圧 (VDC、標準値 +400 V) を維持します。この出力電圧は、DC-DC 段の入力として供給され、この段で、絶縁された低い出力電圧 Vout (通常は 48V) に変換されます。

### 8.2.1.3.1 システム・ブロック図

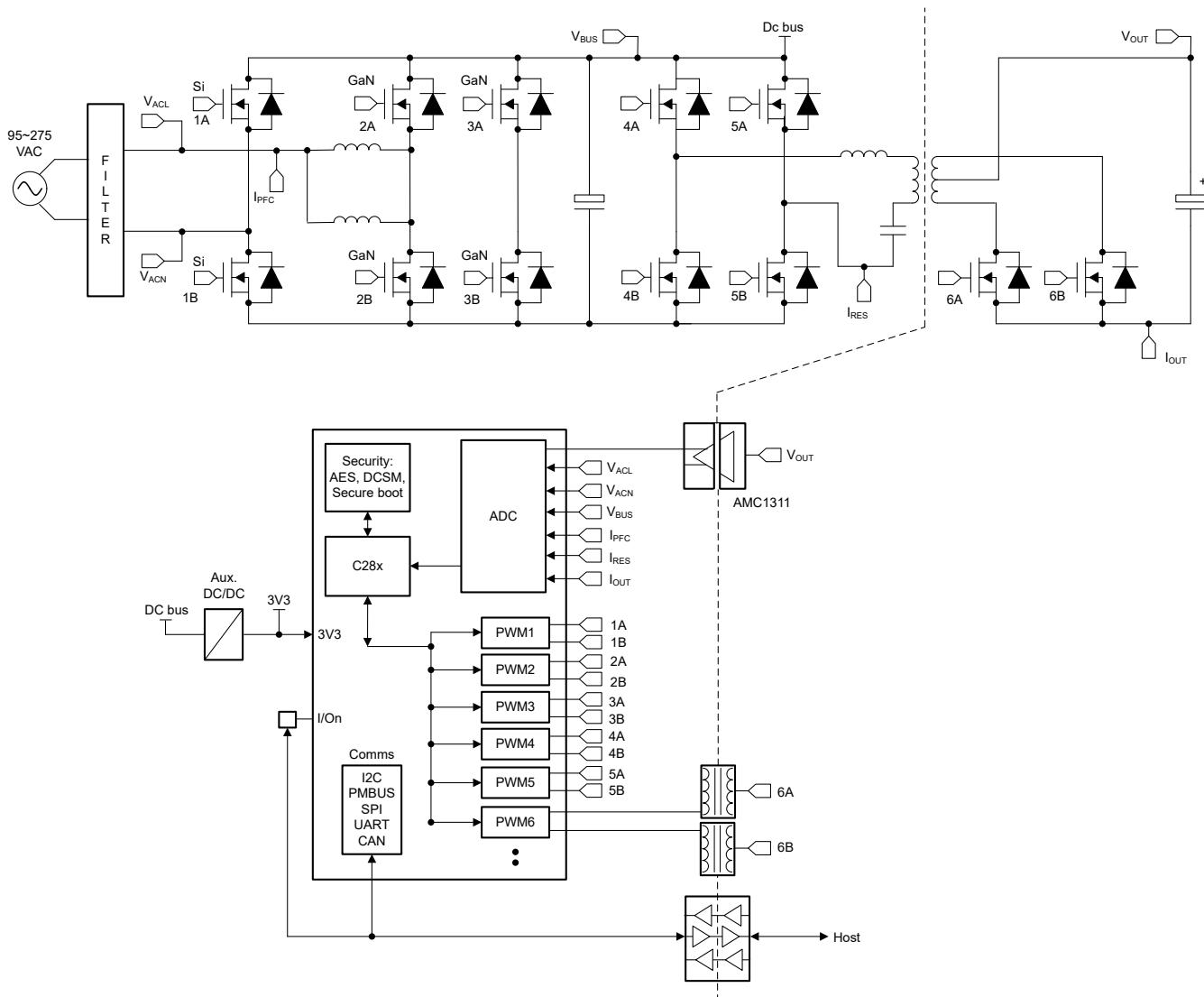


図 8-5. 商用テレコム整流器のシングルチップ・アーキテクチャ

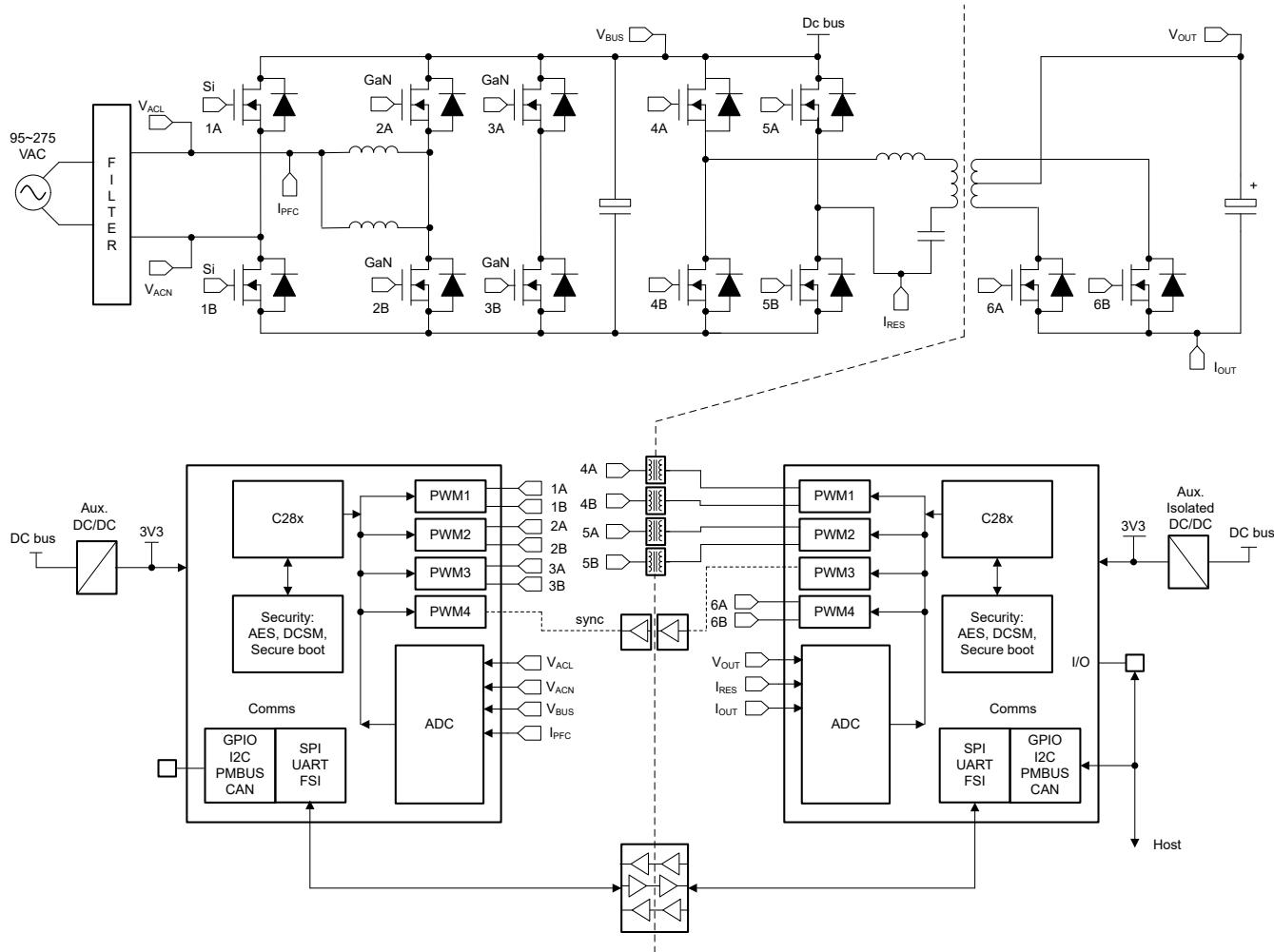


図 8-6. 商用テレコム整流器のデュアルチップ・アーキテクチャ

#### 8.2.1.3.2 商用テレコム整流器のリソース

##### リファレンス・デザインと関連トレーニング・ビデオ

###### PMP41081 C2000™ リアルタイムマイコン使用、1kW、12V、HHC LLC のリファレンス デザイン

このリファレンス デザインは、1kW、400V から 12V の変換を行うハーフブリッジ共振 DC/DC プラットフォームであり、C2000™ マイコンを使用したハイブリッドヒステリシス制御 (HHC) の負荷過渡性能を評価する目的で使用できます。

###### > 270W/in<sup>3</sup> の電力密度、アクティブ クランプ付き 3kW 位相シフトフルブリッジのリファレンス デザイン

このリファレンス デザインは、GaN ベースの 3kW 位相シフトフルブリッジ (PSFB) であり、最大電力密度を目標としています。このデザインは、複数の 2 次側同期整流 MOSFET への電圧ストレスを最小化する目的でアクティブ クランプを採用しているので、より良好な性能指数 (FoM) を達成する、電圧定格のより低い MOSFET を複数使用することができます。PMP23126 は、1 次側にテキサス・インスツルメンツの 30mΩ の GaN、2 次側にシリコン MOSFET を使用しています。LMG3522 は、ドライバと保護機能を内蔵した上面冷却 GaN であり、Si MOSFET と比較して、より広い範囲の動作で ZVS (ゼロ電圧スイッチング) を維持できるので、効率の向上に貢献します。この PSFB (位相シフトフルブリッジ) は 100kHz で動作し、97.74% のピーク効率を達成します。

###### PMP23069 180W/in<sup>3</sup> を超える電力密度、3.6kW 単相トーテムポールブリッジレス PFC のリファレンス デザイン

このリファレンス デザインは、GaN ベースの 3.6kW 単相連続導通モード (CCM) トーテムポール力率補正 (PFC) コンバータであり、最大電力密度を目標としています。電力段の後段に小型の昇圧コンバータを配置しており、バルク コンデン

サの小型化に貢献します。ドライバと保護機能を内蔵した上面冷却 GaN である LMG3522 の採用により、効率の向上、電源の小型化と簡素化を実現しています。F28004x または F28002x の各 C2000™ コントローラは、多様な高度制御用途に適しており、高速リレー制御、AC 電圧低下イベント発生時の小規模昇圧動作、逆電流保護、PFC とハウスキーピング(各種管理機能)コントローラ間の通信などが該当します。この PFC は 65kHz のスイッチング周波数で動作し、98.7% のピーク効率を達成します。

#### [PMP41017 GaN と CC2000™ マイコン採用、3kW、2 相インターリープ ハーフ ブリッジ LLC のリファレンス デザイン](#)

このリファレンス デザインは、LMG3422 と C2000™ の各デバイスを使用した 3kW、2 相インターリープ ハーフ ブリッジ LLC (インダクタ-インダクタ-コンデンサ) です。

#### [デジタル制御の高効率 / 高電力密度 PFC 回路 - パート 2 \(ビデオ\)](#)

このプレゼンテーションでは、C2000 MCU を使用した 2 つのブリッジレス PFC の設計を紹介します。テキサス・インスツルメンツの高電圧 GaN を使用して、3.3kW インターリープ CCM トーテムポール PFC と 1.6kW インターリープ TRM トーテムポール PFC の設計を実装します。スイッチング損失、電流クロスオーバー歪み、入力電流 THD を最小化し、効率と PF を向上させるための設計上の考慮事項について詳しく説明しています。

#### [TIDA-010062 1kW、80 Plus Titanium、GaN CCM トーテム ポール ブリッジレス PFC およびハーフブリッジ LLC のリファレンス デザイン](#)

このリファレンス デザインは、サーバー電源ユニット (PSU) およびテレコム整流器アプリケーション向けのデジタル制御されたコンパクトな 1kW AC/DC 電源の設計です。高効率設計により、フロントエンドの連続導通モード (CCM) トーテム ポール ブリッジレス力率補正 (PFC) 段を含む、2 つの主電力段をサポートしています。広い負荷範囲にわたって高い効率を実現し、80 Plus Titanium 要件を満たすため、ドライバ内蔵 LMG341x GaN FET を PFC 段に採用しています。また、このデザインは、ハーフ ブリッジ LLC 絶縁型 DC/DC 段もサポートしており、+12V DC 出力で 1kW を供給します。2 枚の制御カードは、C2000™ 基本的性能 MCU を使用して、両方の電力段を制御します。

#### [TIDM-1007 インターリープ CCM トーテムポール PFC のリファレンス デザイン \(ビデオ\)](#)

このビデオでは、C2000 マイクロコントローラを使ってトーテムポール PFC を制御するために必要なハードウェアの特徴、制御の特徴、ソフトウェア設計について説明します。このリファレンス デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

#### [可変周波数、ZVS、5kW、GaN ベース、2 相トーテムポール PFC のリファレンス デザイン](#)

このリファレンス デザインは、高密度で高効率の 5kW トーテムポール力率改善 (PFC) の設計を示しています。このデザインは、可変周波数と ZVS (ゼロ電圧スイッチング) の組み合わせで動作する 2 相トーテムポール PFC を使用しています。この制御方式は、新しいトポロジと改良型の三角波電流モード (ITCM) を使用し、小型化と高効率化を実現します。このデザインは、TMS320F280049C マイコンの内部にある高性能プロセッキング コアを使用し、広い動作範囲にわたって効率を維持します。この PFC は 100kHz~800kHz の可変周波数範囲で動作します。電力密度が 120kW/立方インチ (7.32kW/立方 cm) のオープンフレーム電源との組み合わせで、99% のピークシステム効率を達成しています。

#### **8.2.1.4 EV 充電ステーション向けパワー・モジュール**

DC 充電ステーションのパワー・モジュールは、AC/DC 電力段と DC/DC 電力段で構成されています。出力段に関連する各コンバータは、パワー・スイッチ、ゲート・ドライバ、電流および電圧センシング、リアルタイム・マイクロコントローラで構成されています。入力側では 3 相 AC 電源が AC/DC 電力段に接続されています。このブロックは、入力 AC 電圧を約 800V の固定 DC 電圧に変換します。この電圧は DC/DC 電力段への入力として機能します。DC/DC 電力段は、電力を処理して電気自動車のバッテリと直接接続します。各出力段には個別のリアルタイム・マイクロコントローラがあり、アナログ信号の処理と高速な制御動作を行います。

AC/DC 段 (PFC 段とも呼ばれます) は、EV 充電ステーションでの電力変換の第 1 段階です。ここでは、電力網からの入力 AC 電力 (380~415VAC) を 800V 程度の安定した DC リンク電圧に変換します。PFC 段は、THD < 5% (標準値) で正弦波入力電流を維持し、線間入力電圧の振幅よりも高い電圧の制御された DC 出力電圧を供給します。DC/DC 段は、EV 充電ステーションにおける第 2 段階の電力変換です。入力 DC リンク電圧 800V (3 相システムの場合) を、電気自動車のバッテリを充電するためのより低い DC 電圧に変換します。DC/DC コンバータは、バッテリの充電状態 (SOC) に応じて定電流または定電圧モードでバッテリを充電する機能を備えて、広い範囲にわたって定格電力をバッテリに供給できるようになっている必要があります。

#### 8.2.1.4.1 システム ブロック図

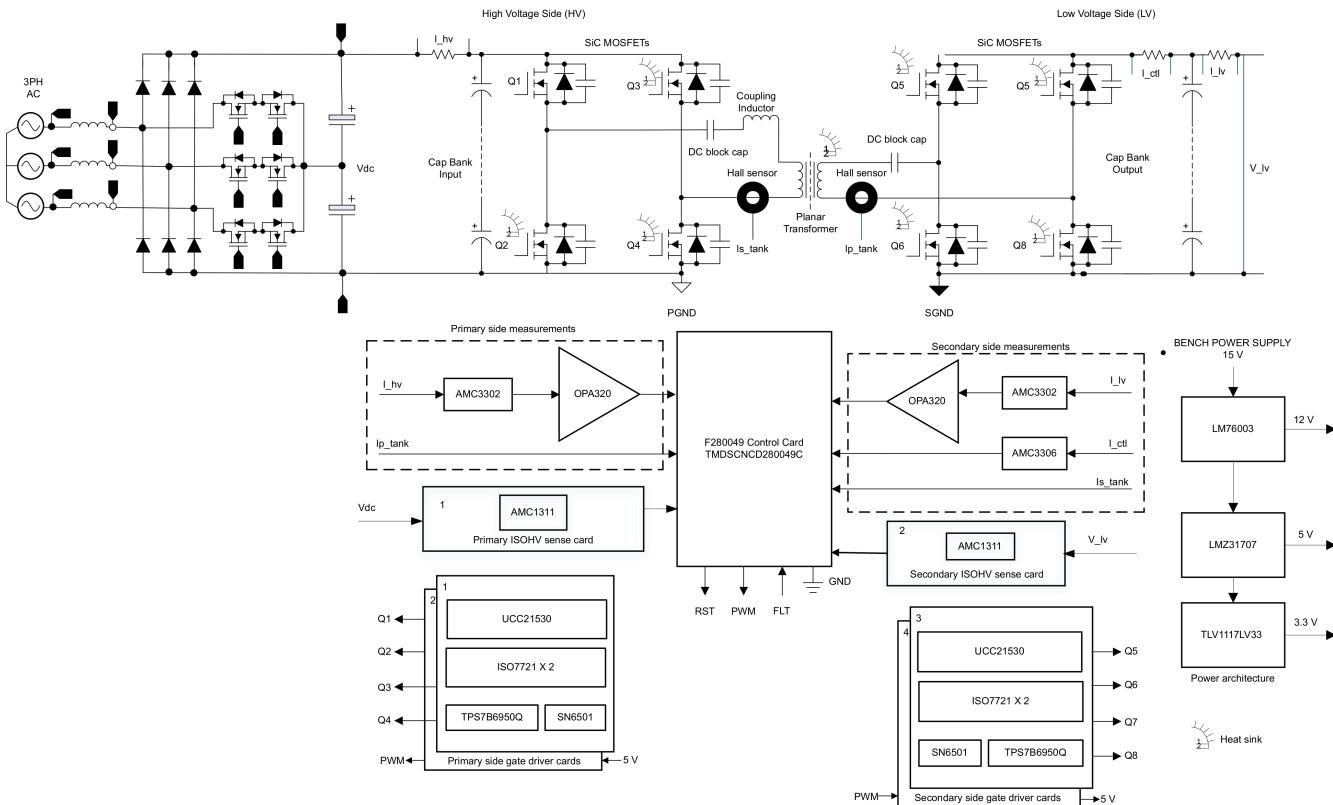


図 8-7. デュアル アクティブ ブリッジ DC-DC コンバータ

#### 8.2.1.4.2 EV 充電ステーション向けパワー モジュール資料

##### リファレンス・デザインと関連トレーニング・ビデオ

##### TIDA-01606 10kW、双方向 3 相 3 レベル (T タイプ) インバータおよび PFC のリファレンス デザイン

このリファレンス デザインは、双方向 3 レベル、3 相、SiC ベースのアクティブ フロント エンド (AFE) インバータおよび PFC 段を実装する方法の概要を示します。このデザインでは、50kHz のスイッチング周波数と LCL 出力フィルタを使用して、磁気素子のサイズを縮小しています。99% のピーク効率を達成しています。このデザインは、DQ ドメインに完全な 3 相 AFE 制御を実装する方法を示しています。制御とソフトウェアは、実際のハードウェアと、ループ内ハードウェア (HIL) のセットアップ上で検証されます。

##### TIDA-010210 GaN をベースとする 11kW、双方向、3 相 ANPC のリファレンス デザイン

このリファレンス デザインは、3 レベル、3 相、GaN (窒化ガリウム) をベースとする ANPC インバータの電力段を実装するための設計テンプレートを提供します。高速スイッチング パワー デバイスを使用すると、100kHz を上回る高周波数でパワー デバイスのスイッチングを実施できます。この場合、フィルタで使用する磁気素子のサイズを小型化し、電力段の電力密度を高めることができます。マルチレベルトポロジー採用により、600V 定格のパワー デバイスを、最大 1,000V というそれより高い DC バス電圧で使用できるようになります。スイッチング電圧ストレスが低いことでスイッチング損失の低減につながり、その結果、98.5% というピーク効率を達成しています。

##### TIDA-010054 レベル 3 電気自動車充電ステーション向け双方向デュアル アクティブ ブリッジのリファレンス デザイン

このリファレンス デザインは、単相デュアル アクティブ ブリッジ (DAB) DC-DC コンバータの実装の概要を示します。DAB トポロジには、ソフト スイッチング整流、デバイス数の削減、高効率といった利点があります。この設計は、電力密度、コスト、重量、ガルバニック絶縁、高い電圧変換比、信頼性が重要な要因になる場合に役立ち、EV (電気自動車) の充電ステーションやエネルギー ストレージのアプリケーションに最適です。DAB にモジュール方式と対称構造を取り入れることで、

コンバータを積層して高い電力スループットを達成でき、双方向モードの動作が容易になり、バッテリ充放電のアプリケーションをサポートできます。

#### C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

#### レベル3 EV 充電ステーションの電力の最大化

この記事では、C2000 の豊富なポートフォリオを紹介し、エンジニアが設計上の課題を解決して高度な電源トポロジを実装するのに役立つ最適なソリューションを提供していることを説明します。

#### 電気自動車充電ステーションの電源トポロジに関する考慮事項アプリケーション レポート

このアプリケーション レポートでは、高速 DC 充電ステーションを設計するためのビルディング ブロックとして機能するパワー モジュールを設計する際のトポロジに関する考慮事項について説明します。

#### TIDM-02000 C2000™ リアルタイム MCU を使用したピーク電流モード制御位相シフト フルブリッジのリファレンス デザイン

このデザインは、デジタル ピーク電流モード制御 (PCMC) 位相シフト フルブリッジ (PSFB) DC-DC コンバータを実装し、400V DC 入力を安定化 12V DC 出力に変換します。この設計の主眼は、タイプ 4 PWM をベースとして内部スロープ補償機能を搭載した斬新な PCMC 波形生成と、シンプルな PCMC の実装です。C2000 リアルタイム マイクロコントローラ ファミリーに属する TMS320F280049C MCU を使用します。

#### TIDUEG2C TIDM-02002 HEV/EV オンボード チャージャ向け双方向 CLLLC 共振デュアル アクティブ ブリッジ (DAB) のリファレンス デザイン

双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

#### 8.2.1.5 エアコン室外機

エアコン室外機の設計上の考慮事項として、電力効率の最大化、静音化、コストの削減が挙げられます。可変速度エアコンは連続的な温度調整が可能であり、一定速エアコンよりも効率的です。エアコンの室外機 (ODU) は、力率補正 (PFC) 段、コンプレッサ・モーター・ドライブ、およびファン・モーター・ドライブで構成されています。ODU のコンプレッサ・モーターとファン・モーターでは、モーターの入力周波数と電圧を変化させてモーターの速度とトルクを制御するために、センサレスのフィールド指向制御 (FOC) に基づく永久磁石同期モーター (PMSM) ドライブを使用しています。PFC により、電流の波形が電圧の波形に追従して電力線側の力率が向上し、負荷や入力条件の変動に関係なく出力 DC 電圧が一定の値に安定化されます。

#### 8.2.1.5.1 システム・ブロック図

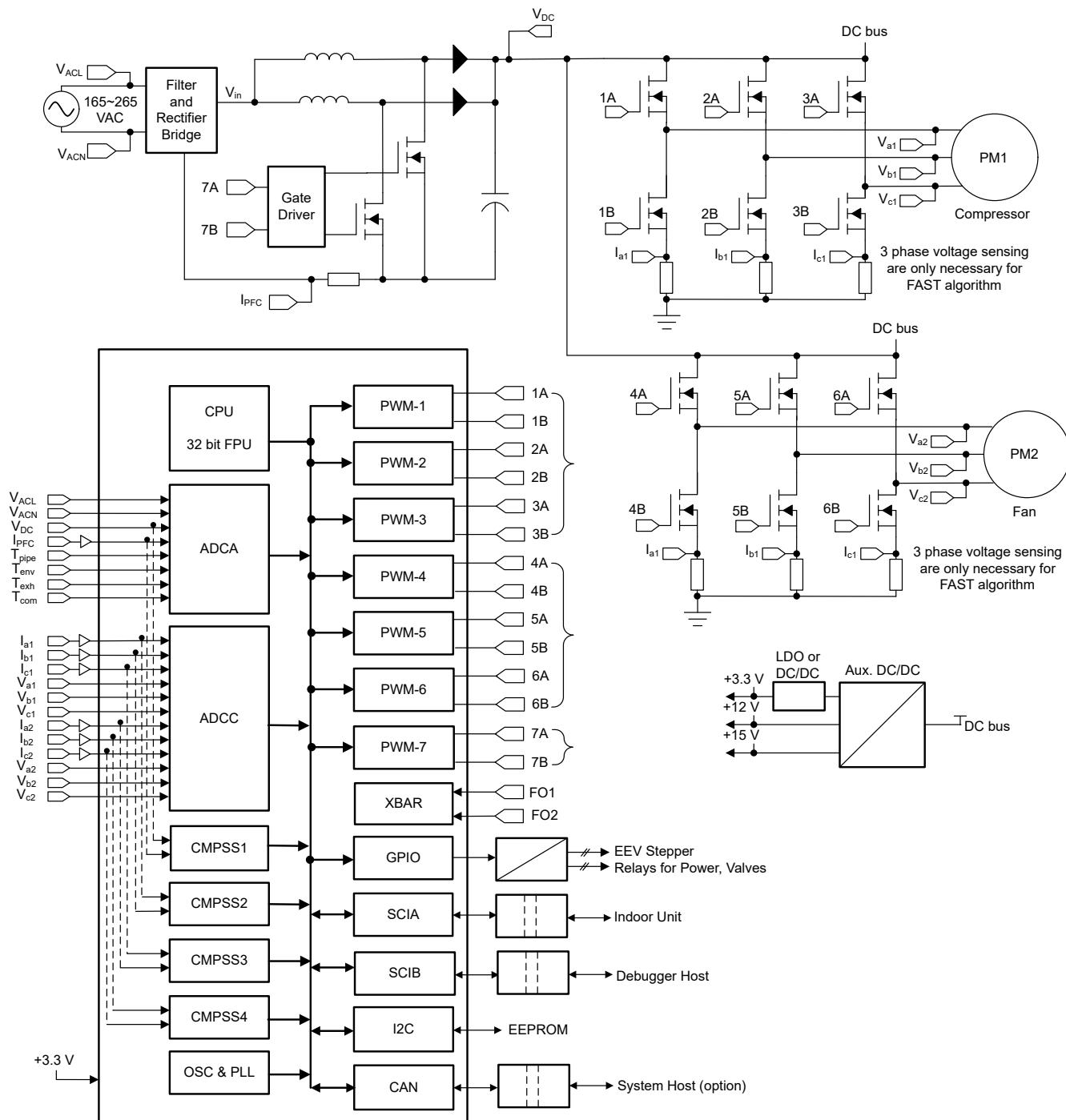


図 8-8. 3 シャントおよびインターリープ PFC を使用したデュアル・モーター制御付きの標準的な可変周波数工アコン

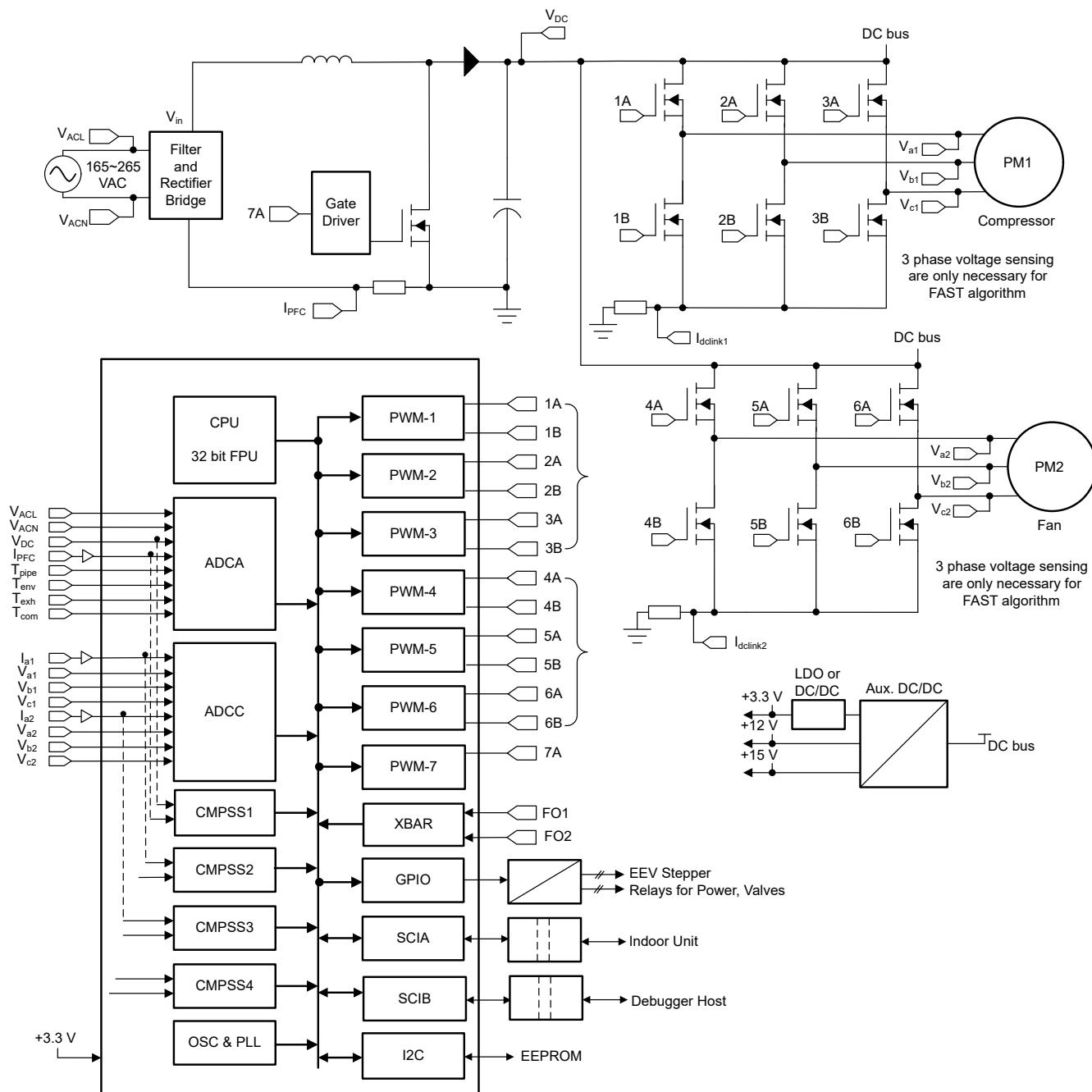


図 8-9. 1 シャントおよび単相 PFC を使用したデュアル・モーター制御付きの標準的な可変周波数エアコン

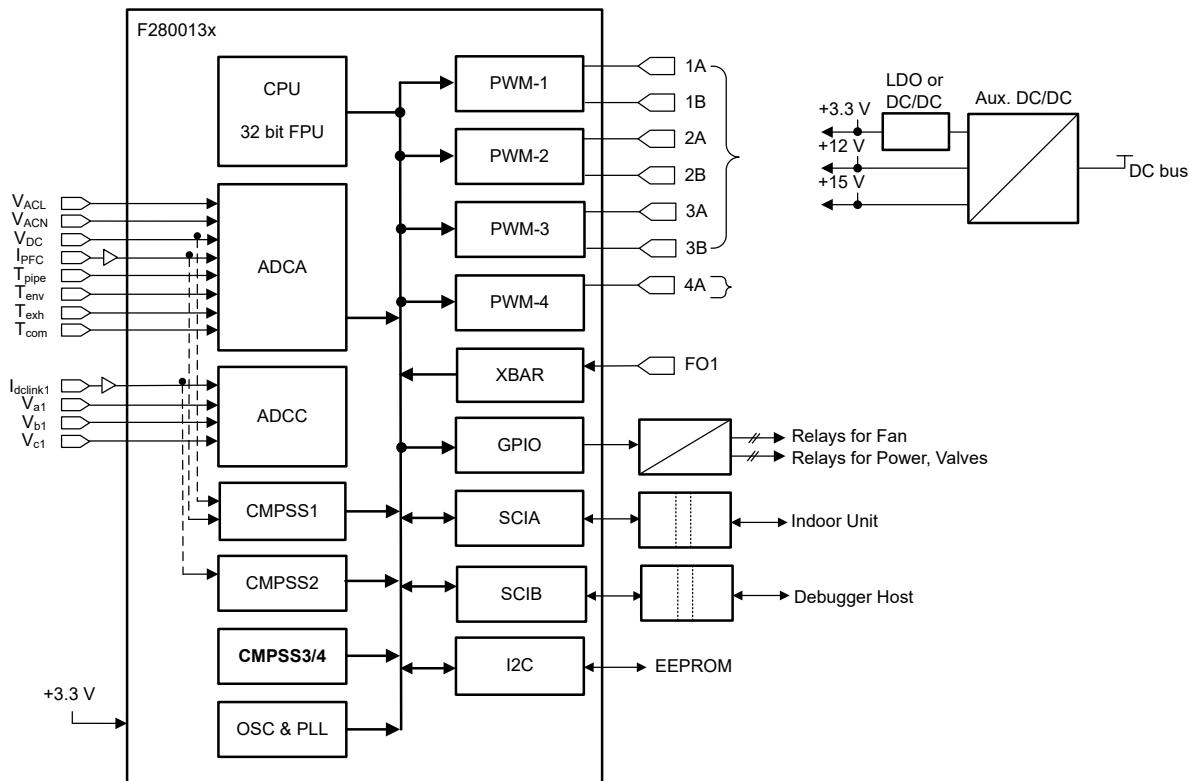
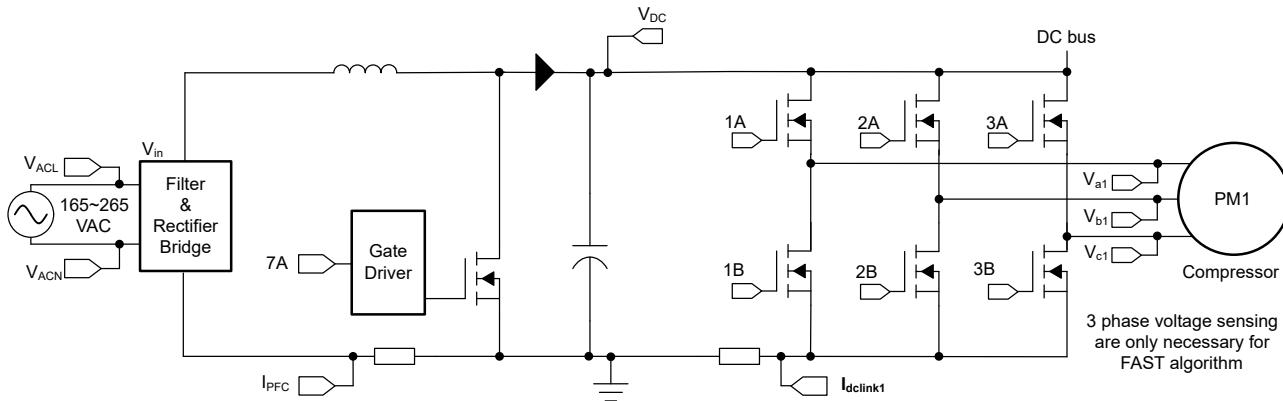


図 8-10. 1 シャントおよび単相 PFC を使用したシングル・モーター制御付きの標準的な可変周波数エアコン

#### 8.2.1.5.2 エアコン室外機のリソース

##### リファレンス・デザインと関連トレーニング・ビデオ

##### [TIDM-02010: HVAC 向けデジタル インターリープ PFC 付きデュアル モーター制御のリファレンス デザイン](#)

TIDM-02010 リファレンス デザインは、HVAC アプリケーションの可変周波数エアコン屋外ユニット コントローラ用の 1.5kW デュアル モーター ドライブおよび力率補正 (PFC) 制御のリファレンス デザインです。このリファレンス デザインは、コンプレッサとファン モーター ドライブ向けのセンサレス 3 相 PMSM ベクトル制御と、単一の C2000™ マイクロコントローラで新しい効率規格を満たすデジタル インターリープ昇圧 PFC を実装する方法を示します。このリファレンス デザインで利用できるハードウェアとソフトウェアはテスト済みであり、すぐに使用できるので、開発期間短縮に貢献します。このリファレンス デザインには、ハードウェア設計ファイルとソフトウェア コードが付属しています。

##### [可変速度エアコン \(HVAC\) のリファレンス デザイン デモ \(ビデオ\)](#)

このビデオでは、1 つの C2000 MCU を使用した HVAC アプリケーション設計用のインターリープ PFC 付きデュアル モーター制御を紹介します。このリファレンス デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

## 9 デバイスおよびドキュメントのサポート

### 9.1 入門と次のステップ

『C2000™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポートリソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

TMS320F28002x デバイスの概要、機能、ロードマップ、他のデバイスとの比較、パッケージの詳細については、『C2000™ リアルタイムコントローラ:F28002x シリーズ』を参照してください。

### 9.2 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI では TMS320 MCU デバイスとサポートツールのすべての型番に接頭辞が割り当てられています。TMS320™ MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F280025C)。テキサス・インスツルメンツでは、サポートツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング プロトタイプ (デバイスでは TMX、ツールでは TMDX) から、完全に認定済みの量産版デバイスとツール (デバイスでは TMS、ツールでは TMDS) まで、製品開発の進展段階を表しています。

デバイスの開発進展フロー:

**TMX** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

**TMP** プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

**TMS** 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

**TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

**TMDS** 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

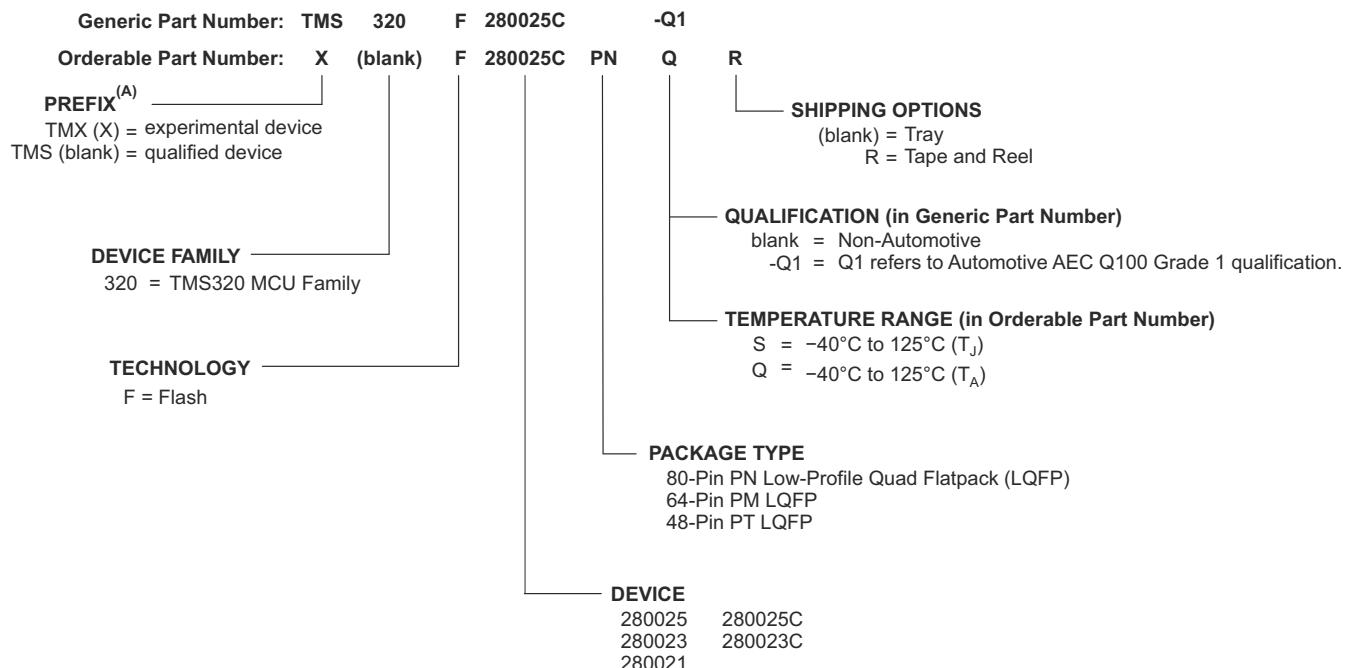
量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:PN) と温度範囲 (例:S) を示しています。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの Web サイト ([www.tij.co.jp](http://www.tij.co.jp)) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『TMS320F28002x リアルタイム MCU シリコン エラッタ』を参照してください。

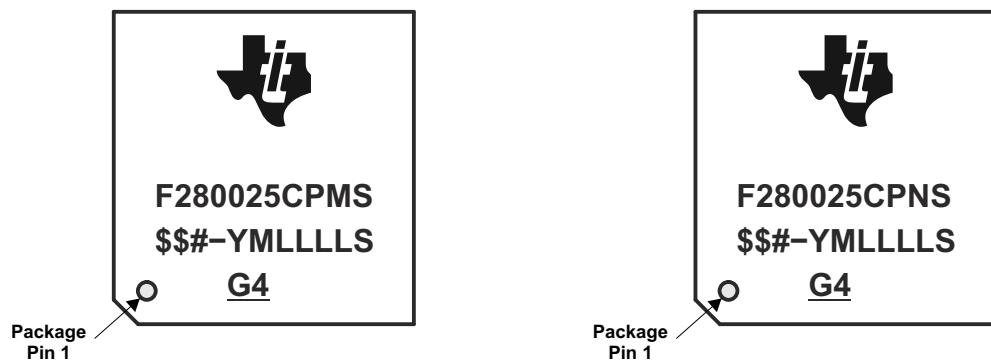


A. 注文用型番には接頭辞 X を使用。

**図 9-1. デバイス命名規則**

### 9.3 マーキング

図 1-1 と図 1-1 に、パッケージマーキングを示します。表 9-1 に、シリコンのリビジョンコードを示します。



YMLLLLS = Lot Trace Code

YM = 2-Digit Year/Month Code  
 LLLL = Assembly Lot  
 S = Assembly Site Code  
 \$\$ = Wafer Fab Code (one or two characters) as applicable  
 # = Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

**図 9-2. PM および PN パッケージのパッケージマーキング**

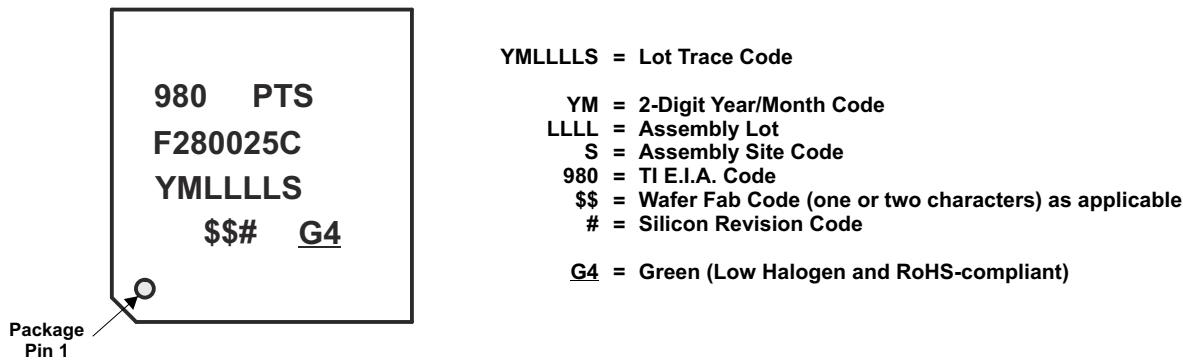


図 9-3. PT パッケージのパッケージ マーキング

表 9-1. リビジョンの識別

シリコンのリビジョンコード	シリコンのリビジョン	REVID <sup>(1)</sup> アドレス:0x5D00C	備考
空白	0	0x0000 0000	このシリコン リビジョンは TMX として供給されます。
A	A	0x0000 0001	このシリコン リビジョンは TMX および TMS として供給されます。

(1) シリコンのリビジョン ID

## 9.4 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、[C2000 リアルタイム制御 MCU - 設計および開発](#) のページをご覧ください。

### 開発ツール

#### LAUNCHXL-F280025C

LAUNCHXL-F280025C は、テキサス・インスツルメンツの C2000™ リアルタイム コントローラである F28002x デバイスシリーズ向けの低コスト開発ボードです。初期の評価とプロトタイプ製作に最適なこのボードは、次期アプリケーションを開発するための標準化済みで使いやすいプラットフォームを実現します。このボードは LaunchPad™ 開発キットの拡張バージョンであり、評価用に追加のピンを採用し、2 個の BoosterPack™ プラグイン モジュールとの接続をサポートしています。

#### F280025 controlCARD

F280025 controlCARD は、HSEC180 controlCARD をベースとする、C2000™ F28002x シリーズのマイクロコントローラ製品向けの評価 / 開発ツールです。controlCARD は、初期評価とシステムのプロトタイピングに最適です。controlCARD は、包括的なボードレベル モジュールで、2 つの標準フォーム ファクタ (100 ピン DIMM または 180 ピン HSEC) のいずれかを使用して、低プロファイルのシングルボード コントローラ ソリューションを実現します。初めて評価を行う場合、通常、controlCARD はベースボードとバンドルで購入されるか、あるいはアプリケーション キットにバンドルされています。

#### TI Resource Explorer

操作性を向上させるには、[TI Resource Explorer](#) からアプリケーションのサンプル、ライブラリ、資料を参照してください。

### ソフトウェア ツール

#### C2000 MCU 用 C2000Ware

C2000™ MCU 用の C2000Ware は、ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。特定デバイス向けドライバ、ライブラリ、ペリフェラル サンプルを収録しています。

#### Digital Power SDK

Digital Power SDK は、ソフトウェア インフラ、ツール、資料の包括的なセットであり、AC-DC、DC-DC、DC-AC 電源アプリケーション向け C2000 MCU ベースのデジタル電源システムの開発期間の大半を短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの TI Designs (TID) が含まれています。Digital Power SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

#### モーター制御 SDK

モーター制御 SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計されたソフトウェア インフラ、ツール、資料の包括的なセットです。このソフトウェアには、C2000 モーター制御評価基板 (EVM) で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けの TI Designs (TID) が含まれています。モーター制御 SDK は、高性能モーター制御電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを用意しています。

#### C2000 マイクロコントローラ用の Code Composer Studio™ (CCS) 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよび組み込みプロセッサ ポートフォリオをサポートする統合開発環境 (IDE) です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。この IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テ

キサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

## SysConfig システム構成ツール

SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカルユーティリティコレクションです。SysConfig を使用すると、問題の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には C ヘッダとコードファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム ソフトウェアの構成に使用することもできます。SysConfig ツールは、入力した要件を満たす PinMux 設定を自動的に選択します。SysConfig ツールは CCS に統合されており、スタンドアロン インストーラとしても提供されています。また、[dev.ti.com](http://dev.ti.com) クラウド ツール ポータルからも使用できます。SysConfig システム構成ツールの詳細については、[システム構成ツール](#)のページをご覧ください。

**C2000 サード パーティ 検索ツール** テキサス・インスツルメンツは複数の企業と協力して、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティ各社の概要を手早く参照し、お客様のニーズに適したサード パーティを見つけることができます。

## モデル

製品の「設計 & 開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリスキャニ記述言語 (BSLD) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計 & 開発」ページの「設計ツール & シミュレーション」セクションをご覧ください。

## トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるよう、TI は各種のトレーニング リソースを開発しました。オンライントレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、[C2000™ アルタイム制御 MCU - サポート & トレーニング](#) のサイトを参照してください。

F28002x のアーキテクチャと多くのペリフェラルは、F28004x のアーキテクチャと類似しています。以下のワークショップ資料と、『[TMS320F28004x と TMS320F28002x の間の移行』アプリケーション レポートでは、TMS320F28004x アーキテクチャの技術的詳細を取り上げ、F28002x デバイスのユーザーに役立つデバイスの相違点を説明します。](#)

TMS320F28004x 固有の実践的トレーニング資料は、[C2000™ MCU デバイスワークショップ](#) にあります。

## 新しい C2000 TMS320F28004x デバイス ファミリの技術的概要

F28002x のペリフェラルとアーキテクチャの多くは、F28004x と類似しています。このプレゼンテーションでは、TMS320F28004x アーキテクチャの技術的詳細を述べ、さまざまな主要ペリフェラルの新たな改良点を紹介しており、F28002x デバイスのユーザーに役立ちます。

## 9.5 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

## エラッタ

『[TMS320F28002x リアルタイム MCU シリコン エラッタ](#)』には、シリコンについて既知の問題と回避策が記載されています。

## テクニカル リファレンス マニュアル

『TMS320F28002x リアルタイム マイクロコントローラ テクニカルリファレンス マニュアル』には、F28002x リアルタイム マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

## CPU ユーザー ガイド

『TMS320C28x CPU および命令セット リファレンス ガイド』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

## ペリフェラル ガイド

『C2000 リアルタイム制御ペリフェラル リファレンス ガイド』には、28x DSP のペリフェラル リファレンス ガイドが記載されています。

## ツール ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラーや他のツール)、アセンブラーのディレクティブ、マクロ、共通オブジェクトファイルフォーマット、シンボリック デバッグ ディレクティブについて記述しています。

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

## アプリケーションレポート

『SMT & パッケージ アプリケーション ノート』Web サイトには、テキサス・インスツルメンツの表面実装テクノロジ (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル フラッシュ プログラミング』では、フラッシュ カーネルおよび ROM ローダーを使用したデバイスのシリアル プログラミングについて記載しています。

『高速整数除算 - C2000™ 製品ファミリーでの異なる方法』には、さまざまな除算およびモジュロ (剩余演算) 機能とその関連プロパティの概要が記載されています。

『C2000™ キー テクノロジー ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

『TMS320F28004x と TMS320F28002x の間での移行』では、F28004x と F28002x C2000™ MCU の間で移行するときに注意すべきハードウェアとソフトウェアの違いについて説明しています。

『TMS320F2802x/TMS320F2803x から TMS320F28002x への移行の概要』には、アプリケーションの移行に役立つ、テキサス・インスツルメンツの TMS320F2802x/TMS320F2803x と TMS320F28002x マイクロコントローラの相違点が記載されています。

## 9.6 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

## 9.7 商標

C2000™, TMS320C2000™, InstaSPIN-FOC™, Code Composer Studio™, TMS320™, LaunchPad™, BoosterPack™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Bosch® is a registered trademark of Robert Bosch GmbH Corporation.

すべての商標は、それぞれの所有者に帰属します。

## 9.8 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.9 用語集

### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

Changes from DECEMBER 18, 2020 to APRIL 4, 2024 (from Revision B (December 2020) to Revision C (April 2024))

Page

• 「特長」セクション: 「オンチップの水晶発振器または外部クロック入力」を「水晶発振器または外部クロック入力」に変更。個別にプログラム可能な多重化された汎用入出力 (GPIO) ピンの数を 39 から 43 に変更。	1
• 「特長」セクション: 機能安全の箇条書き項目を追加。	1
• 「アプリケーション」セクション: 「ハイブリッド、電動 & パワートレイン システム」アプリケーションを更新。	2
• 「概要」セクション: 「『C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイド」への参照を追加。	2
• 「パッケージ情報」表: 表を追加。	2
• 「機能ブロック図」: BGCRC とフラッシュ バンク 0 の間の接続を削除。「39x GPIO」を「43x GPIO」に変更。	5
• 「デバイスの比較」の表: GPIO ピンのピン数を更新。「追加の GPIO」に注を追加。「eCAP/HRCAP モジュールータイプ 1」を更新。「ePWM/HRPWM チャネルータイプ 4」を更新。	7
• 「デバイスの比較」の表: eCAP と ePWM の高分解能モジュールの数を更新。	7
• 「ピン属性」の表: VDD、VDDA、VDDIO の説明を更新。	10
• 「電源およびグランド」表: VDD、VDDA、VDDIO の説明を更新。	30
• 「仕様」セクション: 段落を削除。	53
• 「絶対最大定格」の表: 「入力クランプ電流」を更新。「ピンごとの連続クランプ電流は ±2mA です ...」の脚注を更新。「VDDIO/VDDA を上回る、または VSS/VSSA を下回る V <sub>IN</sub> を印加すると ...」の脚注を追加。「入力クランプ電流も制限を守る必要があります」の脚注を追加。	53
• 「絶対最大定格」の表: 「絶対最大定格に記載されているものを超える応力 ...」の脚注および「すべての電圧値は、特に記述のない限り、VSS 端子を基準とします」の脚注を追加。	53
• 「推奨動作条件」の表: SR <sub>SUPPLY</sub> の最小値と最大値を削除。SR <sub>SUPPLY</sub> の単位を削除。その関連する脚注を更新。	53
• 「推奨動作条件」の表: t <sub>VDDIO-RAMP</sub> の行を削除。	53
• 「推奨動作条件」の表: T <sub>J</sub> と T <sub>A</sub> を更新。	53
• 「推奨動作条件」の表: 「VDDIO/VDDA を上回る、または VSS/VSSA を下回る V <sub>IN</sub> を印加すると ...」の脚注を追加。	53
• 「ESD 定格 - 民生用」の表: デバイス帶電モデル (CDM) の説明から JEDEC 仕様 JESD22-C101 を削除。コーナー ピンを追加。	53
• 「消費電流のグラフ」セクション: 注を追加。	57
• 「パワー マネージメント モジュール (PMM)」セクション: セクションを更新。	63
• 「遅延ブロック」セクション: 外部 VREG への参照を削除。	66

• 「内部 1.2V LDO 電圧レギュレータ (VREG)」セクション:「VREGENZ ピンを Low に接続することでイネーブルになります」の文を削除。.....	66
• 「VDD デカップリング」セクション:構成 1 と構成 2 を更新。.....	66
• 「リセット回路」の図:図を更新。.....	72
• 「水晶発振器」セクション:セクションを削除。新しい「XTAL 発振器」セクションに置き換え。.....	76
• 「内部クロック周波数」の表:最小 $f_{(INTCLK)}$ を更新。.....	79
• 「XTAL 発振器」セクション:セクションを追加。.....	82
• 「INTOSC の特性」の表:表を更新。.....	89
• 「フラッシュ パラメータ」の表:消去時間の最大値を更新。.....	90
• 「フラッシュ パラメータ」の表:「各セクタを単独で消去 / プログラムできるのは、20,000 回までです ...」の脚注を追加。.....	90
• 「RAM の仕様」セクション:セクションを追加。.....	92
• 「ROM の仕様」セクション:セクションを追加。.....	92
• 「14 ピン JTAG ヘッダーへの接続」の図:図を更新。.....	93
• 「20 ピン JTAG ヘッダーへの接続」の図:図を更新。.....	93
• 「外部割り込みのタイミング要件」表:「入力クオリファイヤ パラメータの説明については...」の脚注を追加。.....	101
• 「外部割り込みのスイッチング特性」表:「入力クオリファイヤ パラメータの説明については...」の脚注を追加。.....	101
• 「アナログ ピンと内部接続」の表:High 正、High 負、Low 正、Low 負の列を更新。.....	111
• 「ADC の電気的データおよびタイミング」セクション:「ADC 入力を VDDA + 0.3V よりも低く維持する必要があります ...」の注を更新。.....	117
• 「ADC の動作条件」の表:VREFHI - VREFLO のテスト条件を更新。.....	117
• 「ADC の特性」の表:ENOB テスト条件および値を更新。.....	117
• 「ADC の INL と DNL」の図:図を追加。.....	119
• 「ADC 入力モデル」セクション:『C2000 ADC 用の電荷共有駆動回路』アプリケーション レポートおよび『C2000 MCU 用の ADC 入力回路の評価』アプリケーション レポートへの参照を追加。.....	120
• 「コンパレータ・サブシステム (CMPSS)」セクション:CMPSS ピンの多重化に関する注を追加。.....	124
• 「コンパレータの電気的特性」の表:ヒステリシスの値を更新。.....	125
• 同期チェーンのアーキテクチャ:図を更新。.....	132
• 「I <sub>2</sub> C のタイミング要件」の表:脚注を追加。.....	148
• 「PMBus フаст モードのスイッチング特性」の表: $f_{mod}$ (PMBus モジュール周波数) と脚注を追加。.....	152
• 「PMBus 標準モードのスイッチング特性」の表: $f_{mod}$ (PMBus モジュール周波数) と脚注を追加。.....	152
• 「SPI マスタ モードのスイッチング特性 (クロック位相 = 1)」の表:脚注を追加。.....	158
• HIC ブロック図:図を更新。.....	173
• 「機能ブロック図」: BGCRC とフラッシュ バンク 0 の間の接続を削除。「39x GPIO」を「43x GPIO」に変更。.....	178
• 「アプリケーション、実装、およびレイアウト」セクション: セクションを更新。.....	203
• 「商用テレコム整流器のシングルチップ アーキテクチャ」の図:下位 FET の EPWM ラベルを訂正。.....	213
• 「商用テレコム整流器のデュアルチップ アーキテクチャ」の図:下位 FET の EPWM ラベルを訂正。.....	213
• 「入門と次のステップ」セクション: セクションを更新。.....	222
• 「ツールとソフトウェア」セクション:「ソフトウェア ツール」セクションに「C2000 サード パーティー 検索ツール」を追加。.....	225

## 11 メカニカル、パッケージ、および注文情報

### 11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションリンクを参照してください。

テキサス・インストルメンツのパッケージの詳細については、[パッケージ情報 Web](#) サイトをご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280021PTQR	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTQ
F280021PTQR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTQ
F280021PTQR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTQ
F280021PTSR	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTS
F280021PTSR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTS
F280021PTSR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTS
F280021PTSRG4	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTS
F280021PTSRG4.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTS
F280021PTSRG4.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280021 PTS
F280023CPMSR	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023CPMS
F280023CPMSR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023CPMS
F280023CPMSR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023CPMS
F280023CPNSR	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023CPNS
F280023CPNSR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023CPNS
F280023CPNSR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023CPNS
F280023CPTSR	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023C PTS
F280023CPTSR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023C PTS
F280023CPTSR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023C PTS
F280023CPTSRG4	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023C PTS

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280023CPTSRG4.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023C PTS
F280023CPTSRG4.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023C PTS
<b>F280023PMQR</b>	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PMQ
F280023PMQR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PMQ
F280023PMQR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PMQ
<b>F280023PMSR</b>	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PMS
F280023PMSR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PMS
F280023PMSR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PMS
<b>F280023PNQR</b>	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PNQ
F280023PNQR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PNQ
F280023PNQR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PNQ
<b>F280023PNSR</b>	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PNS
F280023PNSR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PNS
F280023PNSR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023PNS
<b>F280023PTQR</b>	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTQ
F280023PTQR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTQ
F280023PTQR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTQ
<b>F280023PTSR</b>	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTS
F280023PTSR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTS
F280023PTSR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTS
<b>F280023PTSRG4</b>	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTS
F280023PTSRG4.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTS
F280023PTSRG4.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280023 PTS

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280025CPMQR	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMQ
F280025CPMQR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMQ
F280025CPMQR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMQ
F280025CPMS	Active	Production	LQFP (PM)   64	160   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMS
F280025CPMS.A	Active	Production	LQFP (PM)   64	160   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMS
F280025CPMS.B	Active	Production	LQFP (PM)   64	160   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMS
F280025CPMSR	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMS
F280025CPMSR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMS
F280025CPMSR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPMS
F280025CPNQR	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNQ
F280025CPNQR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNQ
F280025CPNQR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNQ
F280025CPNSR	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNS
F280025CPNSR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNS
F280025CPNSR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNS
F280025CPNSRG4	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNS
F280025CPNSRG4.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNS
F280025CPNSRG4.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025CPNS
F280025CPTQR	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTQ
F280025CPTQR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTQ
F280025CPTQR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTQ
F280025CPTSR	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTS
F280025CPTSR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTS
F280025CPTSR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTS

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280025CPTSRG4	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTS
F280025CPTSRG4.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTS
F280025CPTSRG4.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025C PTS
F280025PMQR	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMQ
F280025PMQR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMQ
F280025PMQR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMQ
F280025PMS	Active	Production	LQFP (PM)   64	160   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMS
F280025PMS.A	Active	Production	LQFP (PM)   64	160   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMS
F280025PMS.B	Active	Production	LQFP (PM)   64	160   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMS
F280025PMSR	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMS
F280025PMSR.A	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMS
F280025PMSR.B	Active	Production	LQFP (PM)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PMS
F280025PNQR	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNQ
F280025PNQR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNQ
F280025PNQR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNQ
F280025PNS	Active	Production	LQFP (PN)   80	119   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNS
F280025PNS.A	Active	Production	LQFP (PN)   80	119   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNS
F280025PNS.B	Active	Production	LQFP (PN)   80	119   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNS
F280025PNSR	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNS
F280025PNSR.A	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNS
F280025PNSR.B	Active	Production	LQFP (PN)   80	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025PNS
F280025PTQR	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTQ
F280025PTQR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTQ

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280025PTQR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTQ
<b>F280025PTS</b>	Active	Production	LQFP (PT)   48	250   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
F280025PTS.A	Active	Production	LQFP (PT)   48	250   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
F280025PTS.B	Active	Production	LQFP (PT)   48	250   JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
<b>F280025PTSR</b>	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
F280025PTSR.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
F280025PTSR.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
<b>F280025PTSRG4</b>	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
F280025PTSRG4.A	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS
F280025PTSRG4.B	Active	Production	LQFP (PT)   48	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280025 PTS

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

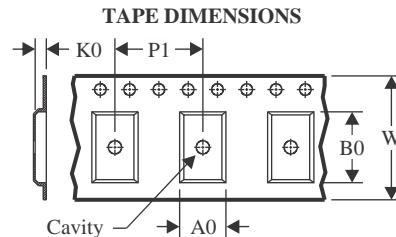
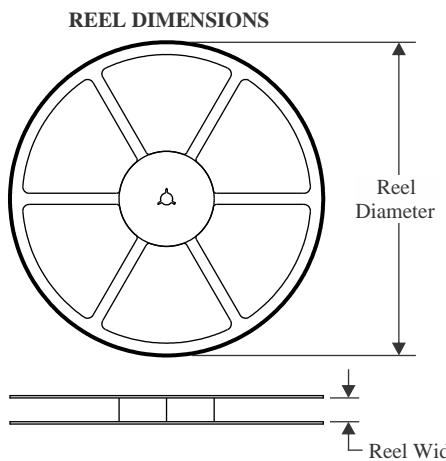
**OTHER QUALIFIED VERSIONS OF TMS320F280021, TMS320F280021-Q1, TMS320F280023, TMS320F280023-Q1, TMS320F280025, TMS320F280025-Q1, TMS320F280025C, TMS320F280025C-Q1 :**

- Catalog : [TMS320F280021](#), [TMS320F280023](#), [TMS320F280025](#), [TMS320F280025C](#)
- Automotive : [TMS320F280021-Q1](#), [TMS320F280023-Q1](#), [TMS320F280025-Q1](#), [TMS320F280025C-Q1](#)

**NOTE: Qualified Version Definitions:**

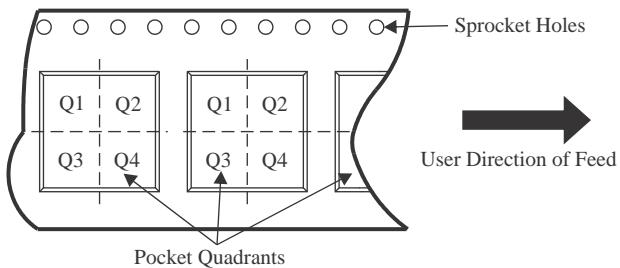
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

## TAPE AND REEL INFORMATION



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

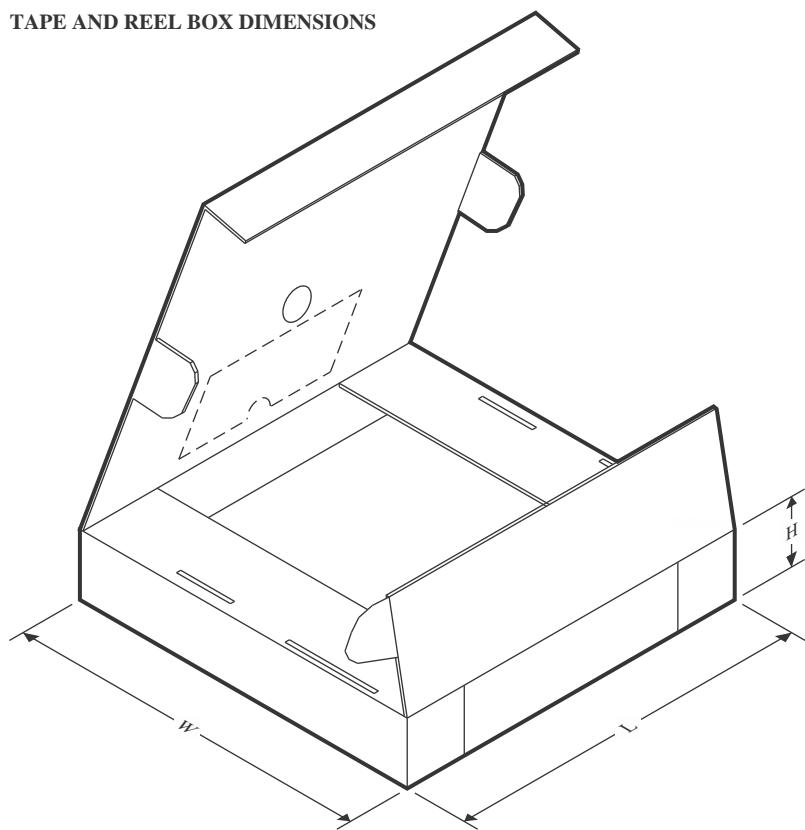
### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280021PTQR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280021PTSR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280021PTSRG4	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280023CPMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280023CPNSR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280023CPTSR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280023CPTSRG4	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280023PMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280023PMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280023PNQR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280023PNSR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280023PTQR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280023PTSR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280023PTSRG4	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280025CPMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280025CPMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2

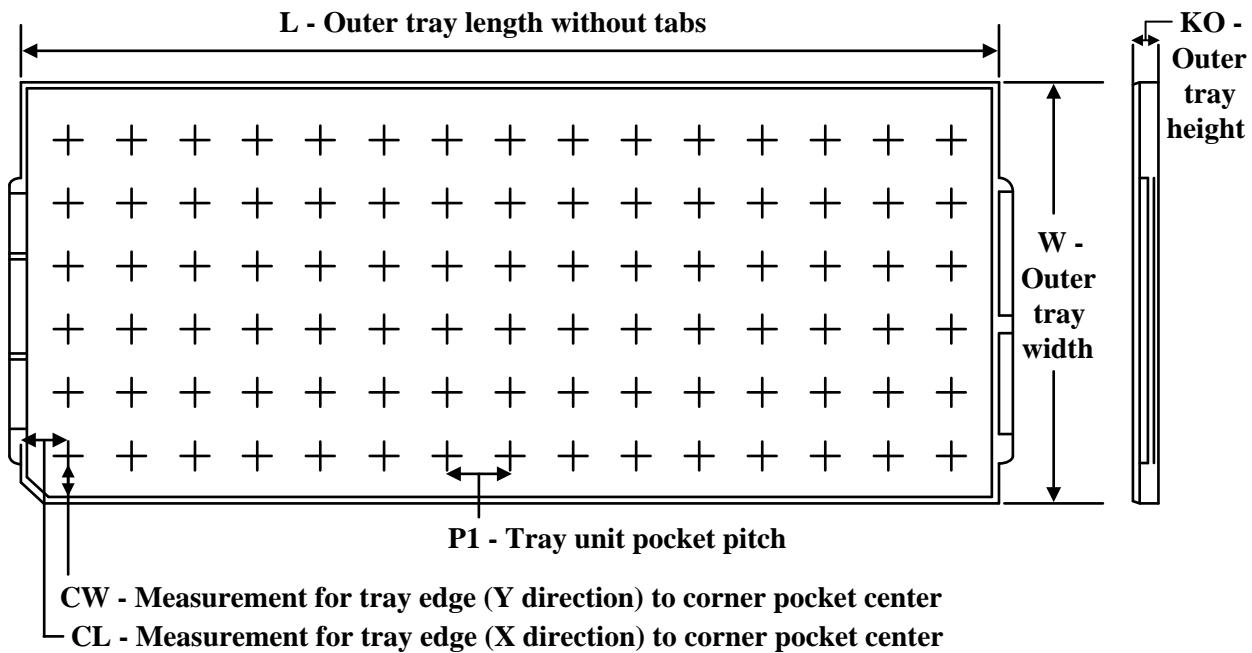
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280025CPNQR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280025CPNSR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280025CPNSRG4	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280025CPTQR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280025CPTSR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280025CPTSRG4	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280025PMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280025PMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280025PNQR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280025PNSR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280025PTQR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280025PTSR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280025PTSRG4	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F280021PTQR	LQFP	PT	48	1000	336.6	336.6	31.8
F280021PTSR	LQFP	PT	48	1000	336.6	336.6	31.8
F280021PTSRG4	LQFP	PT	48	1000	336.6	336.6	31.8
F280023CPMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280023CPNSR	LQFP	PN	80	1000	367.0	367.0	55.0
F280023CPTSR	LQFP	PT	48	1000	336.6	336.6	31.8
F280023CPTSRG4	LQFP	PT	48	1000	336.6	336.6	31.8
F280023PMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280023PMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280023PNQR	LQFP	PN	80	1000	367.0	367.0	55.0
F280023PNSR	LQFP	PN	80	1000	367.0	367.0	55.0
F280023PTQR	LQFP	PT	48	1000	336.6	336.6	31.8
F280023PTSR	LQFP	PT	48	1000	336.6	336.6	31.8
F280023PTSRG4	LQFP	PT	48	1000	336.6	336.6	31.8
F280025CPMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280025CPMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280025CPNQR	LQFP	PN	80	1000	367.0	367.0	55.0
F280025CPNSR	LQFP	PN	80	1000	367.0	367.0	55.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F280025CPNSRG4	LQFP	PN	80	1000	367.0	367.0	55.0
F280025CPTQR	LQFP	PT	48	1000	336.6	336.6	31.8
F280025CPTSR	LQFP	PT	48	1000	336.6	336.6	31.8
F280025CPTSRG4	LQFP	PT	48	1000	336.6	336.6	31.8
F280025PMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280025PMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280025PNQR	LQFP	PN	80	1000	367.0	367.0	55.0
F280025PNSR	LQFP	PN	80	1000	367.0	367.0	55.0
F280025PTQR	LQFP	PT	48	1000	336.6	336.6	31.8
F280025PTSR	LQFP	PT	48	1000	336.6	336.6	31.8
F280025PTSRG4	LQFP	PT	48	1000	336.6	336.6	31.8

**TRAY**

Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	KO (µm)	P1 (mm)	CL (mm)	CW (mm)
F280025CPMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280025CPMS.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280025CPMS.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280025PMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280025PMS.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280025PMS.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280025PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280025PNS.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280025PNS.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280025PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280025PTS.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280025PTS.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25

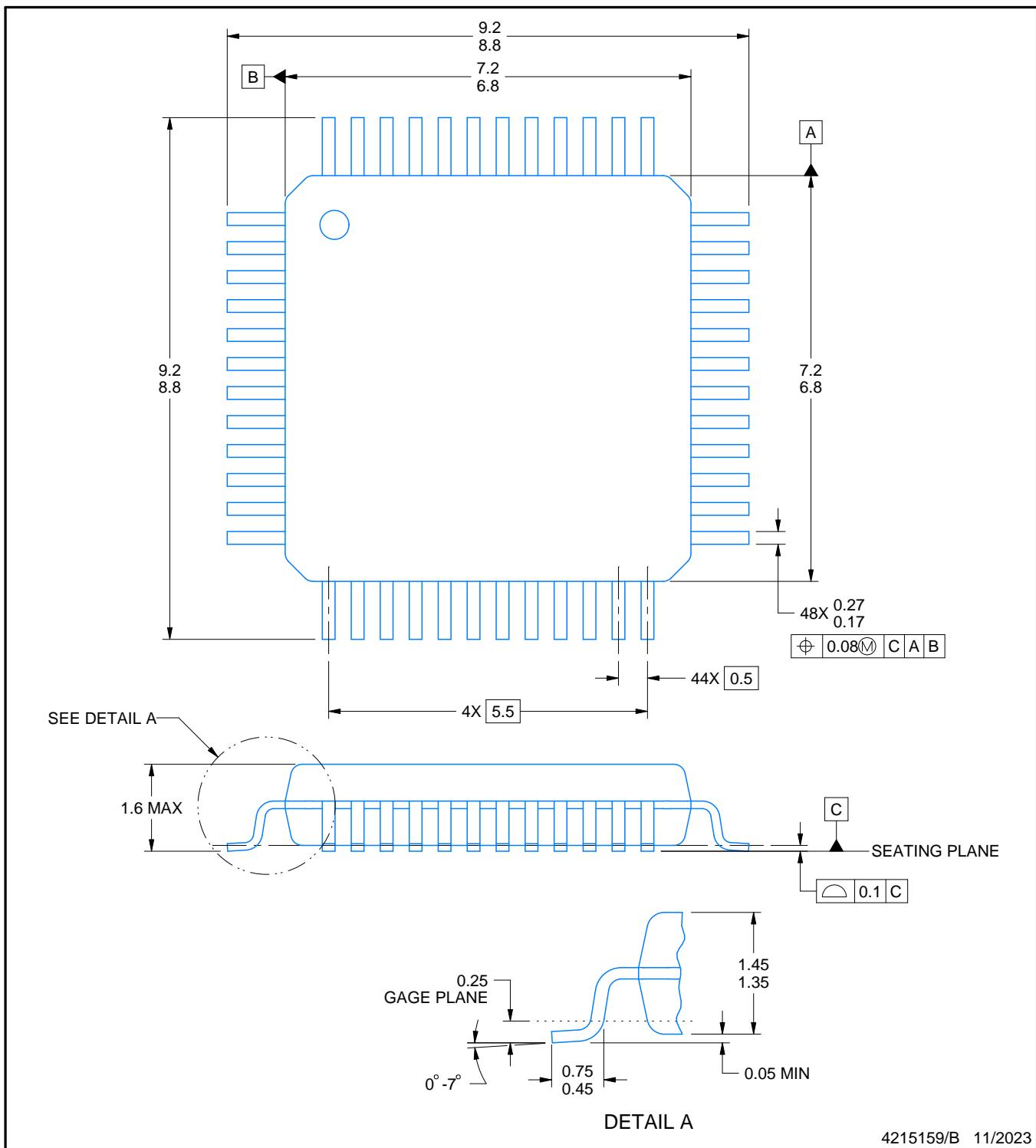
# PACKAGE OUTLINE

**PT0048A**



**LQFP - 1.6 mm max height**

LOW PROFILE QUAD FLATPACK



DETAIL A

4215159/B 11/2023

NOTES:

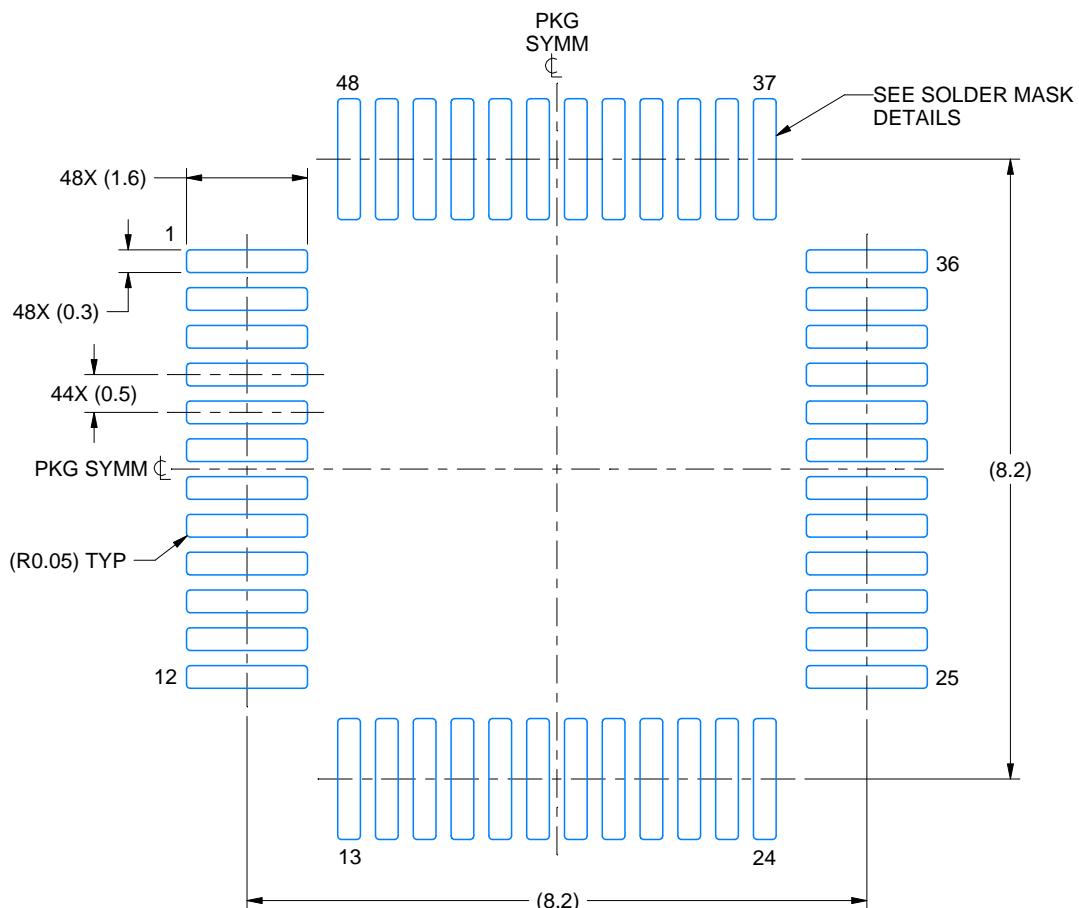
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Reference JEDEC registration MS-026.
- This may also be a thermally enhanced plastic package with leads connected to the die pads.

# EXAMPLE BOARD LAYOUT

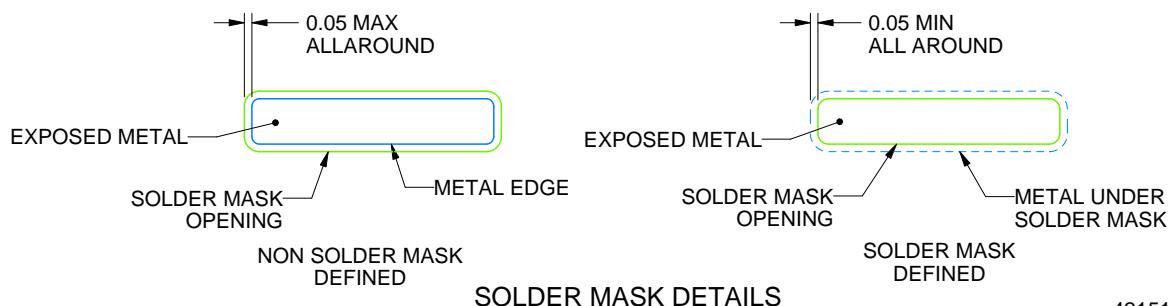
PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE 10.000



4215159/B 11/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

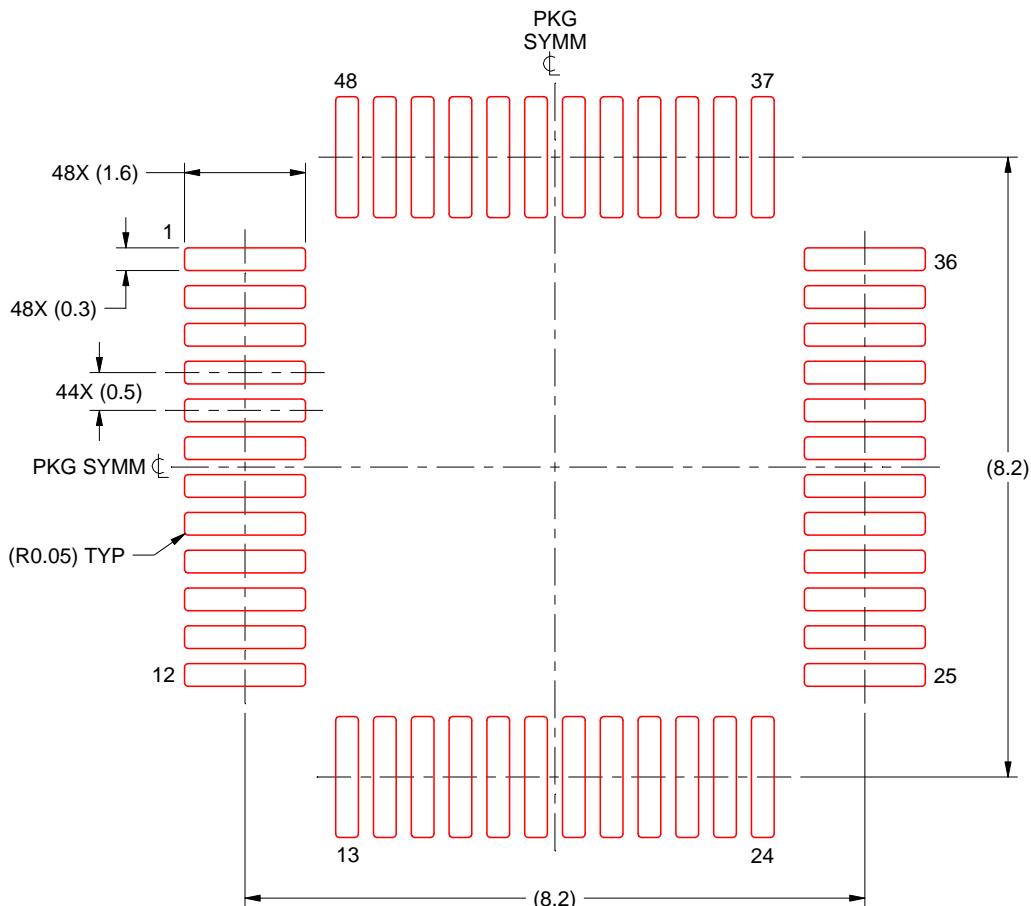
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE: 10X

4215159/B 11/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

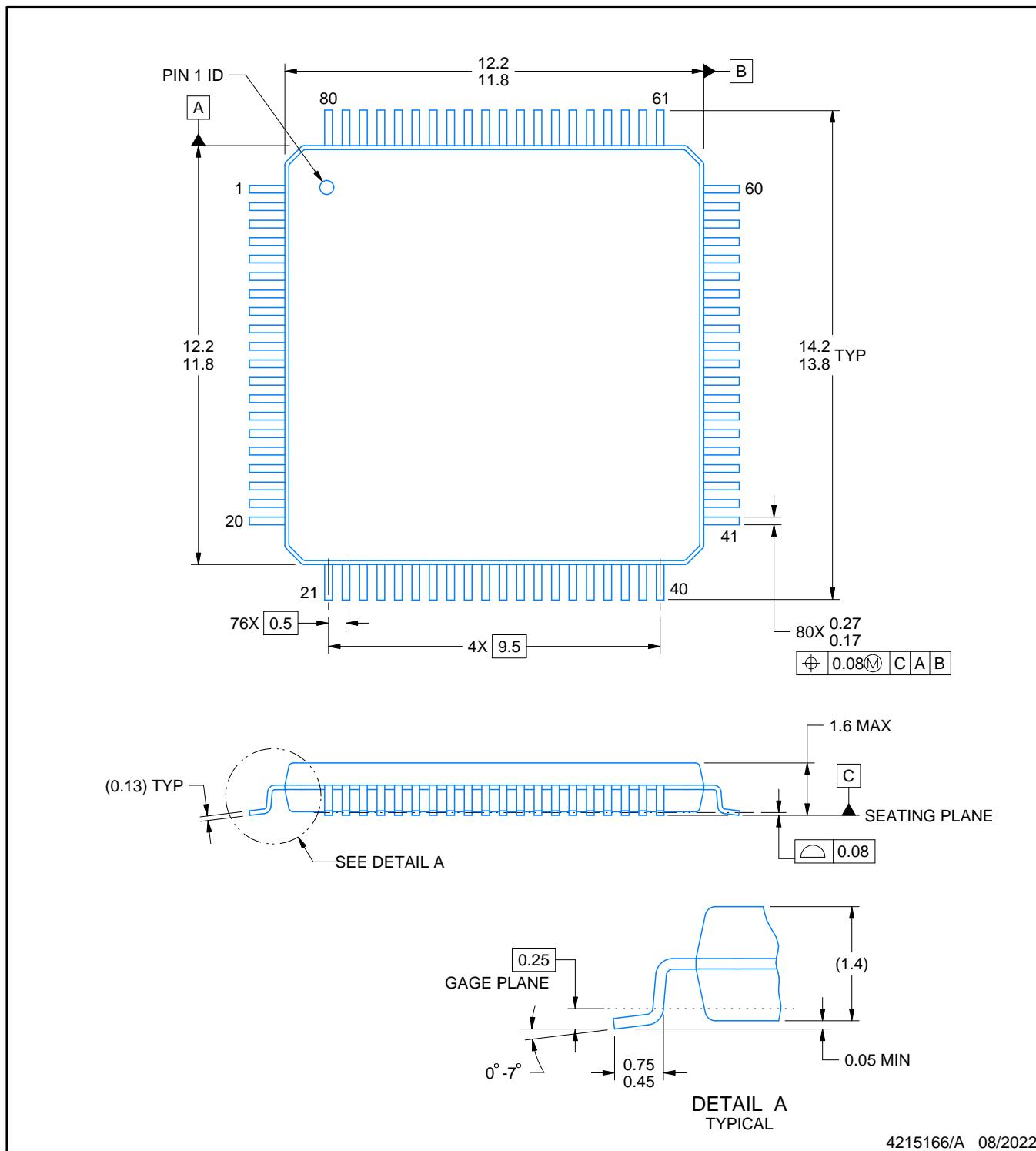
# PACKAGE OUTLINE

**PN0080A**



**LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



NOTES:

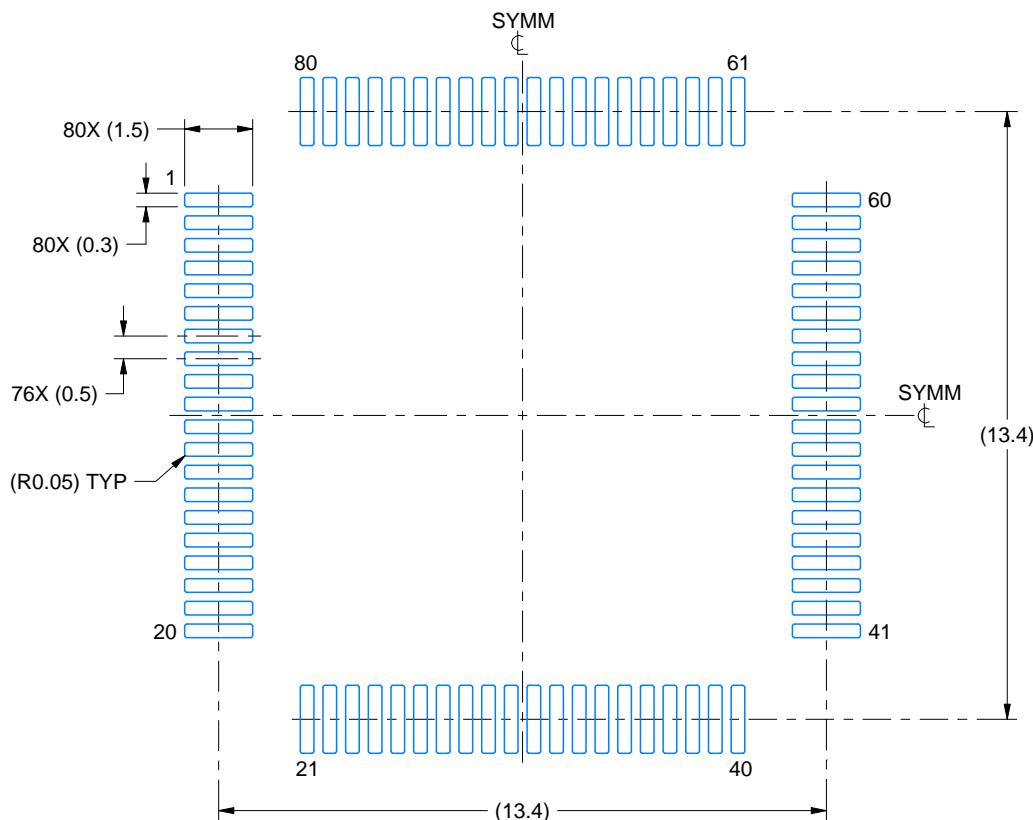
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Reference JEDEC registration MS-026.

# EXAMPLE BOARD LAYOUT

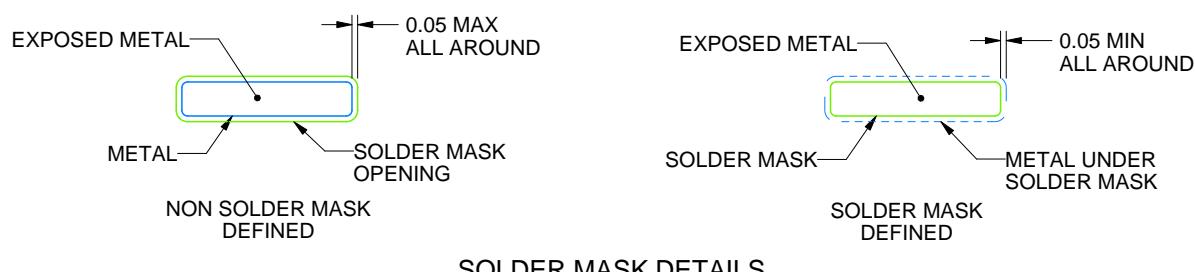
PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:6X



SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

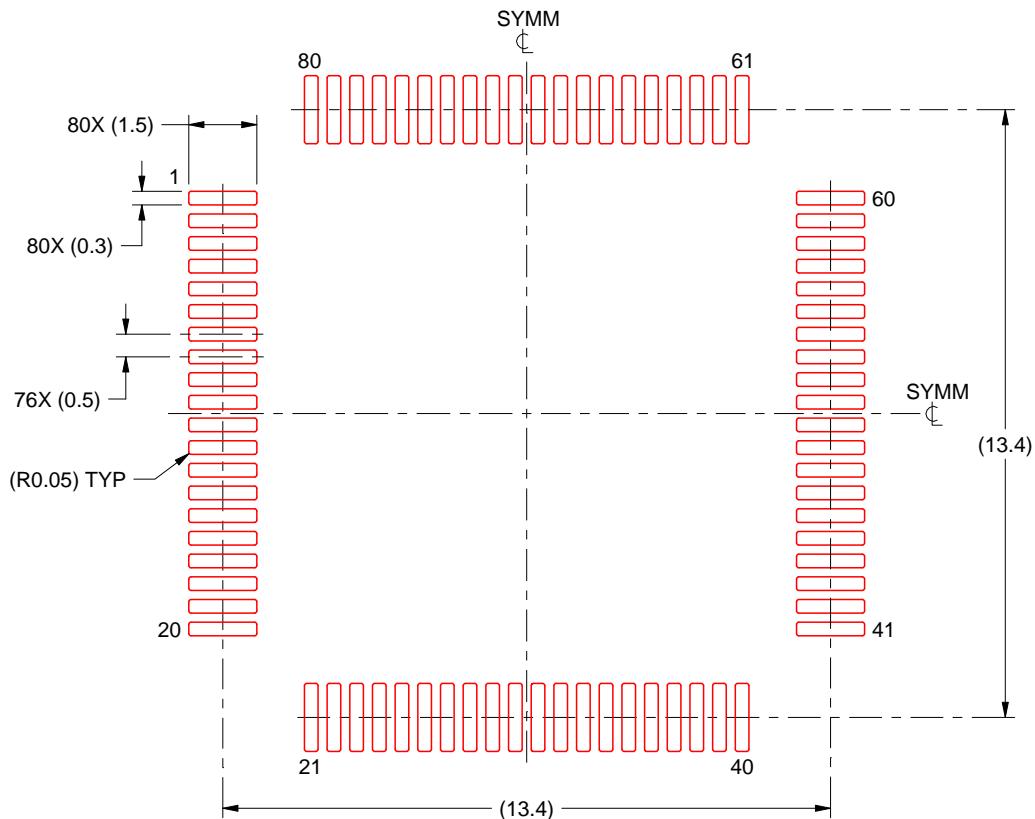
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).

# EXAMPLE STENCIL DESIGN

PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:6X

4215166/A 08/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

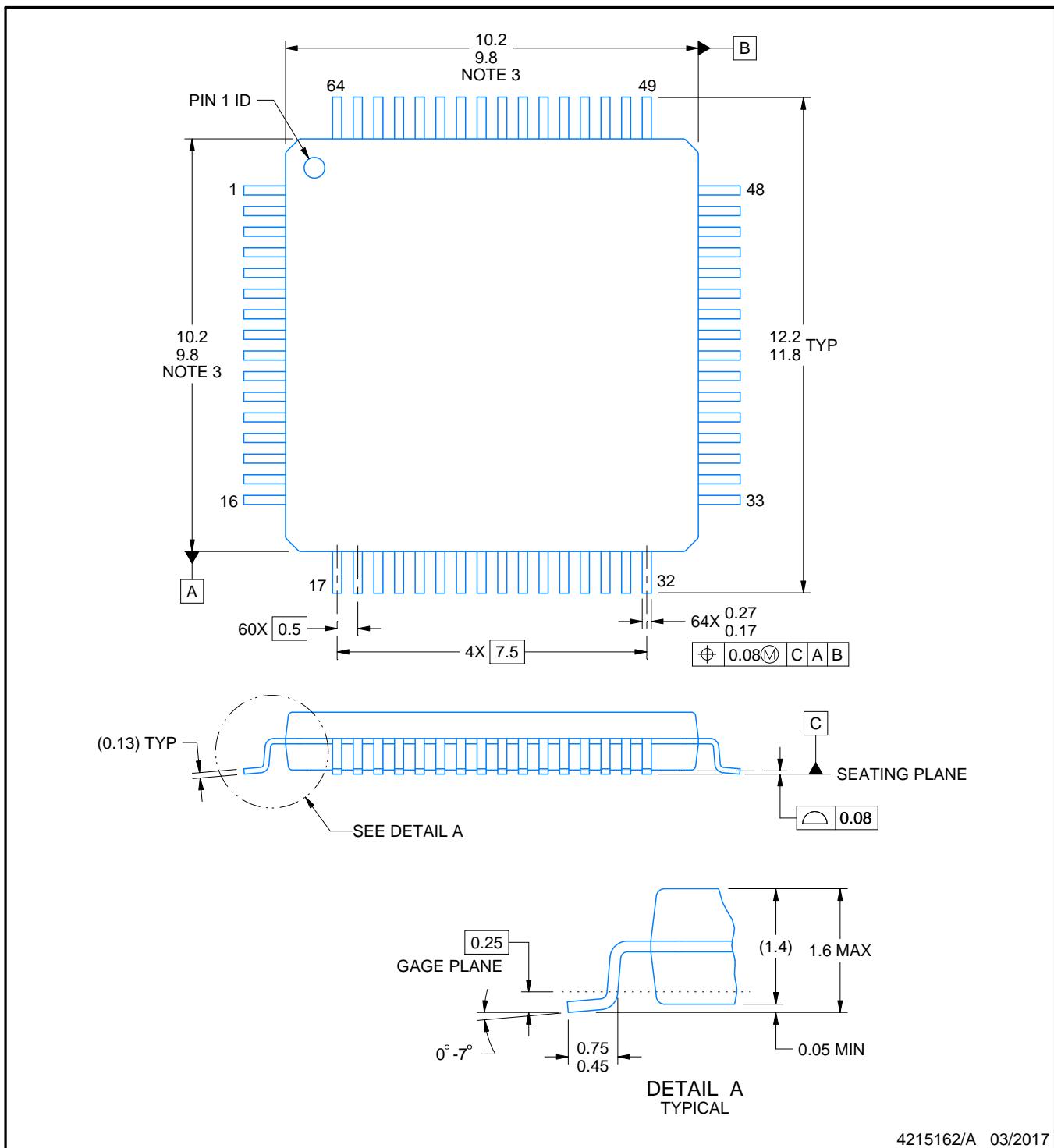
**PM0064A**



# PACKAGE OUTLINE

**LQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



4215162/A 03/2017

NOTES:

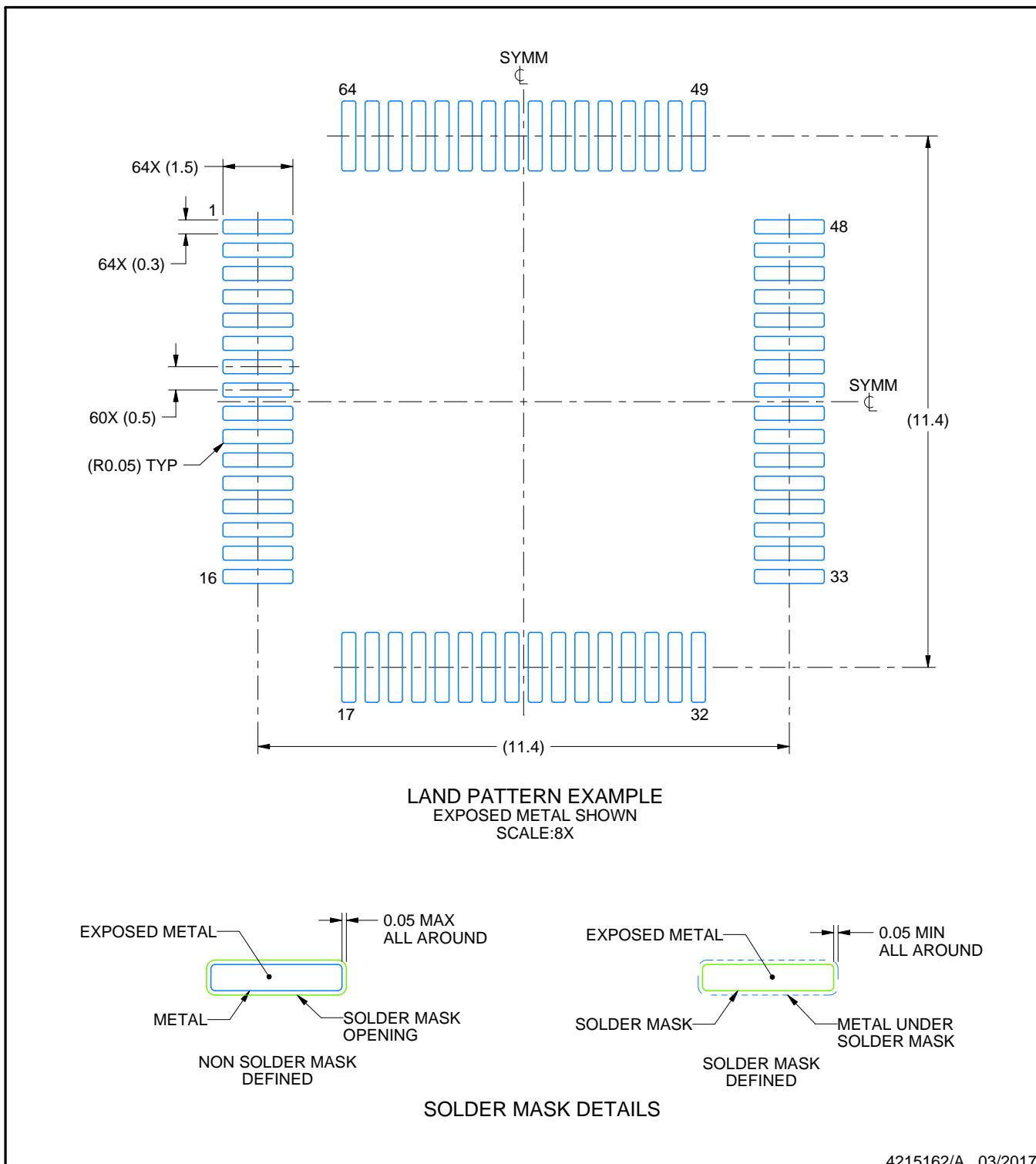
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

# EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215162/A 03/2017

NOTES: (continued)

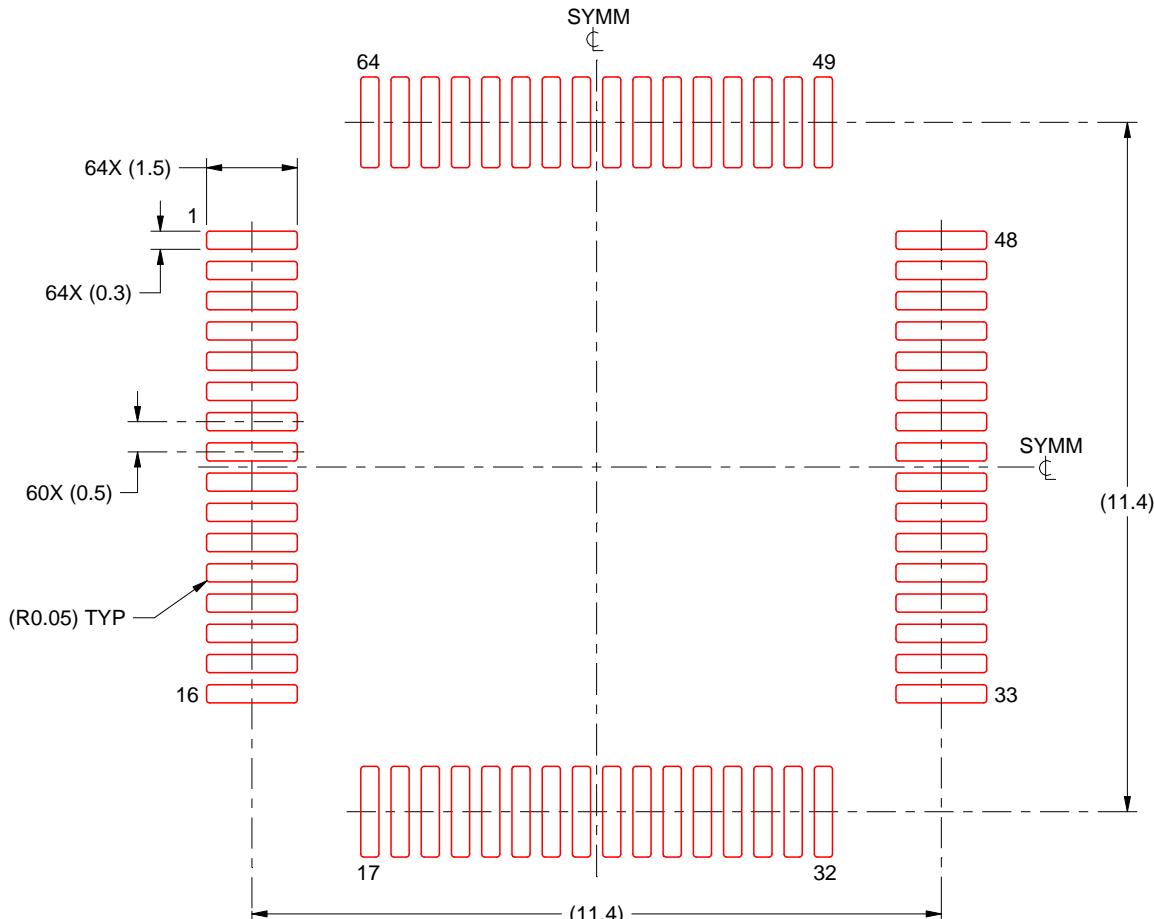
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).

# EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月