TMS320F28P551、TMS320F28P552 および TMS320F28P558 リアルタイム マイコン

1 特長

- リアルタイム処理:
  - 160MHz C28x 32 ビット DSP CPU
  - 320MHz Arm® Cortex®-M7 ベースのデバイスと同等のリアルタイム信号チェーン性能 (『C2000™ 制御 MCU の最適化された信号チェーンのリアルタイム ベンチマーク』アプリケーション ノートを参照)
  - IEEE 754 単精度浮動小数点ユニット (FPU32)
  - 三角関数演算ユニット (TMU)
    - 非線形 PID (NLPID) 制御をサポート
  - CRC エンジンおよび命令 (VCRC)
- プログラム可能な制御補償器アクセラレータ (CLA)
  - 160MHz
  - 210MHz Arm® Cortex®-M7 ベースのデバイスと同等のリアルタイム信号チェーン性能 (『C2000™ 制御 MCU の最適化された信号チェーンのリアルタイム ベンチマーク』アプリケーション ノートを参照)
  - IEEE 754 単精度浮動小数点命令
  - メイン CPU と独立にコードを実行
- オンチップ メモリ
  - 5 つの独立したバンクで構成される 576KB フラッシュ (ECC 保護)
    - 2 つの 256KB バンク
    - LFU / ブートローダ / データに理想的な 1 つの 64KB バンク
  - 2KB の OTP (ワンタイム プログラマブル フラッシュ メモリ)
  - 101KB の RAM (ECC / パリティ保護)
- セキュリティ
  - セキュア ブート
  - JTAG ロック
  - AES (Advanced Encryption Standard) アクセラレータ
  - 固有の識別 (UID) 番号
- クロックおよびシステム制御
  - 2 つの内部 10MHz 発振器
  - 水晶発振器または外部クロック入力
  - ウィンドウ付きウォッチドッグ タイマ モジュール
  - クロック消失検出回路
  - デュアル クロック コンパレータ (DCC)
- 3.3V I/O 設計
  - 内部 VREG 生成により、単一電源設計が可能
  - ブラウンアウト リセット (BOR) 回路
  - PMBUS/I2C をサポートするために 4 つの GPIO で 5V フェイルセーフ / 許容に対応
  - 4 つの GPIO で 1.35V の V_{IH} を設定可能
- システム ペリフェラル
  - 6 チャネルのダイレクト メモリ アクセス (DMA) コントローラ
  - 66 本の個別にプログラム可能な多重化された汎用入出力 (GPIO) ピン (19 本はアナログと共有)
  - アナログ ピン上の 16 のデジタル入力
  - 強化ペリフェラル割り込み拡張 (ePIE)
  - 多様な低消費電力モード (LPM) のサポート
- 通信ペリフェラル
  - 1 つの電力管理バス (PMBus) インターフェイス
    - ファスト プラス モードのサポート - 1MHz SCL
    - 一部のピンで 5V/3.3V/1.35V の V_{IH} をサポート
  - 2 つの I2C (Inter-integrated Circuit) インターフェイス
  - 1 つの CAN FD/MCAN (Controller Area Network with Flexible Data-Rate) バス ポート
    - MCAN モジュールごとに 4KB のメッセージ RAM (システム メモリとは無関係)
    - CPU のデータ変数として RAM を再利用可能 (MCAN を使用しない場合)
  - 2 つのシリアル ペリフェラル インターフェイス (SPI) ポート
  - 3 つの UART 互換シリアル通信インターフェイス (SCI)
  - 1 つの UART 互換 LIN (Local Interconnect Network) インターフェイス
  - 1 つのトランスミッタおよび 1 つのレシーバを備えた最大 200Mbps の高速シリアル インターフェイス (FSI)
- アナログ システム
  - 5 つの 3.9MSPS、12 ビットのアナログ / デジタル コンバータ (ADC)
    - 最大 35 の外部チャネル (1 つの gpdac 出力を含む)
    - ADC ごとに 4 つの後処理ブロック (PPB) を内蔵
  - 12 ビット リファレンス D/A コンバータ (DAC) を備えた 4 つのウィンドウ付きコンパレータ (CMPSS)
    - デジタル グリッチ フィルタ
    - ピンへの低 DAC 出力機能 (CMPSS1)
  - 2 つの 12 ビット DAC 出力 (バッファ付き)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - 3 つのプログラマブル ゲイン アンプ (PGA)
    - ユニティ ゲインのサポート
    - 反転および非反転ゲイン モードのサポート
    - 出力フィルタ処理をプログラム可能
- 拡張制御ペリフェラル
  - 24 の ePWM チャネル、うち 12 チャネルが高分解能 (分解能 100ps)
    - デッドバンド サポートを内蔵
    - ハードウェア トリップ ゾーン (TZ) を内蔵
  - 2 つの拡張キャプチャ (eCAP) モジュール
  - 3 つの拡張直交エンコーダ パルス (eQEP) モジュール、CW/CCW 動作モードをサポート
  - 8 個のシグマ - デルタ フィルタ モジュール (SDFM) 入力チャネル、チャネルごとに 2 つの独立したフィルタ
  - 組み込みパターン ジェネレータ (EPG)
- 構成可能ロジック ブロック (CLB)
  - 4 タイル
  - 既存のペリフェラル機能を強化
  - ポジション マネージャ ソリューションをサポート
- ライブ ファームウェア アップデート (LFU)
- 診断機能
  - メモリ パワー オン自己テスト (MPOST)
- 機能安全準拠予定
  - 機能安全アプリケーション向けに開発
  - ISO 26262 および IEC 61508 システムの設計を支援するドキュメントを使用可能
  - ASIL D および SIL 3 向けの決定論的能力
  - ASIL B までを対象とするハードウェア インテグリティ
- 安全関連の認証
  - TÜV SÜD により ISO 26262 認証済み (ASIL B まで)
- パッケージ オプション:
  - 100 ピンの薄型クワッド フラットパック (LQFP) [PZ サフィックス]
  - 80 ピンの LQFP [PN サフィックス]
  - 80 ピンの LQFP [PNA サフィックス]
  - 64 ピンの LQFP [PM サフィックス]
  - 56 ピンの超薄型クワッド フラットパック リードなし (VQFN) [接尾辞 RSH]
  - 49 ボールウェハーチップスケールパッケージ (WCSP) [接尾辞 YAF]
  - 32 ピンの超薄型クワッド フラットパック リードなし (VQFN) [接尾辞 ZNG]
- 温度オプション:
  - 接合部温度 (T_J):-40℃ ～ 150℃

2 アプリケーション

- 家電製品
  - エアコン室外機
- ビル オートメーション
  - ドア開閉装置ドライブの制御
- 産業用機械と工作機械
  - 自動仕分け機器
  - 繊維機械
- AC インバータと VF ドライブ
  - AC ドライブ制御モジュール
  - AC ドライブ位置フィードバック
  - AC ドライブ電力段モジュール
- リニア モーター輸送用システム
  - リニア モーターの電力段
- 単軸と多軸のサーボ ドライブ
  - サーボ ドライブ位置フィードバック
  - サーボ ドライブの電力段モジュール
- 速度制御 BLDC ドライブ
  - AC 入力 BLDC モーター ドライブ
  - DC 入力 BLDC モーター ドライブ
- ファクトリ オートメーション
  - ロボット向けサーボ ドライブ
  - 移動型ロボットのモーター制御
  - 位置センサ
- 産業用電源
  - 産業用 AC-DC
- UPS
  - 3 相 UPS
  - 単相オンライン UPS
- テレコムとサーバーの電源
  - 商用 DC/DC
  - 商用ネットワークおよびサーバーの PSU (電源)
  - 商用テレコム整流器
- ハイブリッド、電動、パワートレイン システム
  - DC/DC コンバータ
  - インバータおよびモーター制御
  - オンボード チャージャ (OBC) / ワイヤレス チャージャ
  - バーチャル エンジン サウンド システム (VESS)
  - エンジン ファン
  - eTurbo / チャージャ
  - ポンプ
  - 電動パワー ステアリング (EPS)
- インフォテインメントおよびクラスタ
  - ヘッドアップ ディスプレイ
  - 車載用ヘッド ユニット
  - 車載用外部アンプ
- ボディ エレクトロニクスとライティング

Copyright © 2026 Texas Instruments Incorporated

  - 車載用 HVAC (エアコン) コンプレッサ・モジュール
  - DC/AC インバータ
  - ヘッドライト
- ADAS
  - 機械式スキャン LIDAR
- EV 充電インフラ
  - AC 充電 (パイル) ステーション
  - DC 充電 (パイル) ステーション
  - EV 充電ステーション向け電源モジュール
  - EV (電気自動車) ワイヤレス充電ステーション
- 再生可能エネルギー ストレージ
  - エネルギー ストレージ電力変換システム (PCS)
  - ポータブル電源
- ソーラー エネルギー
  - セントラル インバータ
  - マイクロ インバータ
  - 太陽光発電オプティマイザ
  - ソーラー アーク保護
  - 緊急遮断機能
  - ストリング インバータ

3 説明

TMS320F28P55x (F28P55x) は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートなど、パワー エレクトロニクスの効率を向上させるように設計された、スケーラブルできわめてレイテンシの低いデバイスである C2000™ リアルタイム マイクロコントローラ ファミリの製品です。

主なアプリケーションには以下が含まれます。

- モーター ドライブ
- 電化製品
- ハイブリッド、電気、パワートレイン システム
- ソーラーと EV (電気自動車) 充電
- デジタル電源
- ボディ エレクトロニクス / ライティング
- 試験 / 測定機器

リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップフラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 160MHz の信号処理性能を発揮します。C28x CPU は、浮動小数点演算ユニット (FPU)、三角関数演算ユニット (TMU) および VCRC (巡回冗長検査) 拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる主要なアルゴリズムを高速化します。

CLA により、一般的なタスクの負荷の多くをメインの C28x CPU から取り除くことができます。CLA は独立の 32 ビット浮動小数点演算アクセラレータであり、CPU と並列に実行されます。さらに、CLA には独自の専用メモリ リソースがあり、一般的な制御システムで必要となる主要なペリフェラルに直接アクセスできます。ANSI C のサブセット、およびハードウェア ブレークポイントやハードウェアによるタスク切り替えなどの主要な機能が標準でサポートされています。

F28P55x は、最大 576KB のフラッシュ メモリをサポートしています。これらは 2 つの 256KB バンクと 1 つの 64KB バンクに分割されるため、1 つのバンクでプログラミングを行い、並行して別のバンクで実行を行えます。最大 101KB のオンチップ SRAM も利用でき、フラッシュ メモリを補完できます。

F28P55x のライブ ファームウェア アップデート ハードウェア拡張により、古いファームウェアから新しいファームウェアへのコンテキスト切り替えを高速化し、デバイス ファームウェアの更新時のアプリケーションのダウンタイムを最小限に抑えることができます。

F28P55x リアルタイム マイクロコントローラ (MCU) に内蔵された高性能アナログ ブロックは、リアルタイム シグナル チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。24 個の PWM チャネルはすべて周波数に依存しない分解能モードをサポートしており、3 相インバータから、力率補正、高度なマルチレベル電源トポロジまで、さまざまな電力段を制御できます。

構成可能ロジック ブロック (CLB) を内蔵しているため、ユーザーはカスタム ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム マイコンに統合できます。

インターフェイスは、各種の業界標準通信ポート (SPI、SCI、I2C、PMBus、LIN、CAN FD など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。

C2000 リアルタイム MCU は、お客様のリアルタイム制御システムに適した選択肢です。その機能について詳しく知るには、『C2000™ リアルタイム マイコンを使った開発のための基本ガイド』をご覧いただくとともに、C2000™ リアルタイム制御マイコンのページにアクセスしてください。

*『C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド*は、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。TMDSCNCD28P551X 評価ボードをご覧になり、C2000Ware をダウンロードしてください。

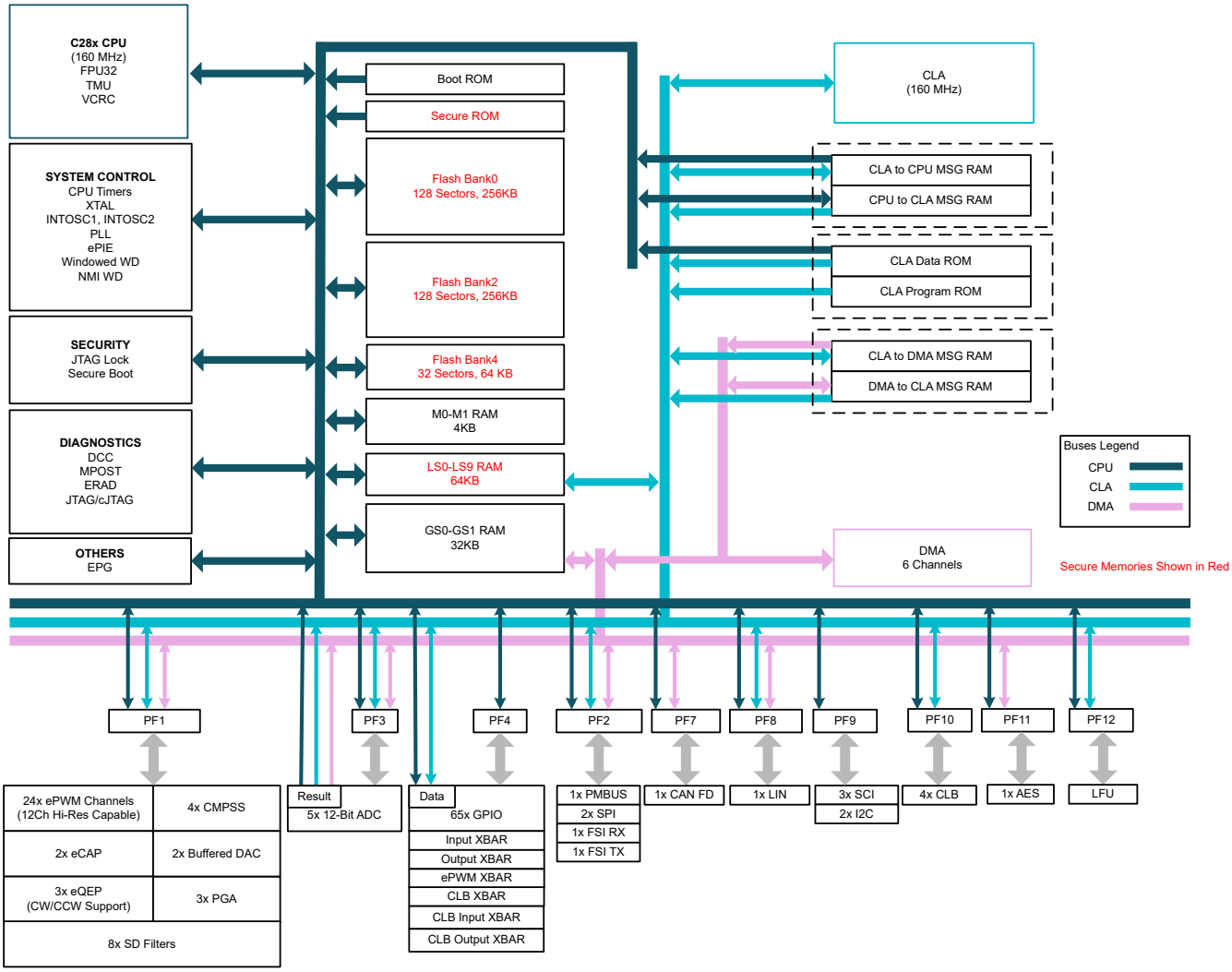
パッケージ情報

部品番号 (1)	パッケージ (2)	パッケージ サイズ(3)
TMS320F28P558SG-Q1	PZ (QFP、100)	16mm x 16mm
	PNA (QFP、80)	12mm x 12mm
	PM (QFP、64)	12mm x 12mm
TMS320F28P551SG	PZ (QFP、100)	16mm x 16mm
	PN (QFP、80)	14mm x 14mm
	PNA (QFP、80)	12mm x 12mm
	PM (QFP、64)	12mm x 12mm
	RSH (VQFN、56)	7mm x 7mm
	YAF (WCSP、49)	3.6mm x 3.6mm
	ZNG (VQFN、32)	4mm x 4mm
TMS320F28P552SG	PZ (QFP、100)	16mm x 16mm
	PN (QFP、80)	14mm x 14mm
	PNA (QFP、80)	12mm x 12mm
TMS320F28P551SD	PZ (QFP、100)	16mm x 16mm
	PN (QFP、80)	14mm x 14mm
	PM (QFP、64)	12mm x 12mm
	RSH (VQFN、56)	7mm x 7mm
TMS320F28P552SD	PZ (QFP、100)	16mm x 16mm
	PN (QFP、80)	14mm x 14mm

(1) これらのデバイスの詳細については、*「デバイスの比較」*の表を参照してください。
(2) 詳細については、「メカニカル、パッケージ、および注文情報」セクションを参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

Copyright © 2026 Texas Instruments Incorporated

3.1 機能ブロック図



A. CMPSS モジュールの 1 つに接続された内部 DAC は、出力 DAC として構成できます。

B. LIN モジュールは SCI モジュールとしても使えます。

図 3-1. 機能ブロック図

目次

1 特長..... 1
2 アプリケーション..... 2
3 説明..... 3
3.1 機能ブロック図..... 5
4 デバイスの比較..... 7
4.1 関連製品..... 9
5 ピン構成および機能..... 11
5.1 ピン配置図..... 11
5.2 ピン属性..... 18
5.3 信号の説明..... 39
5.4 ピン多重化..... 51
5.5 内部プルアップおよびプルダウン付きのピン..... 62
5.6 未使用ピンの接続..... 63
6 仕様..... 65
6.1 絶対最大定格..... 65
6.2 ESD 定格 - 民生用..... 66
6.3 ESD 定格 - 車載用..... 66
6.4 IC ラッチアップ テスト: JESD78F.02..... 67
6.5 推奨動作条件..... 68
6.6 消費電力の概略..... 69
6.7 電気的特性..... 76
6.8 5V フェイルセーフ ピンに関する特別な考慮事項..... 77
6.9 PZ パッケージの熱抵抗特性..... 79
6.10 PN および PNA パッケージの熱抵抗特性..... 79
6.11 PM パッケージの熱抵抗特性..... 79
6.12 RSH パッケージの熱抵抗特性..... 80
6.13 YAF パッケージの熱抵抗特性..... 81
6.14 ZNG パッケージの熱抵抗特性..... 82
6.15 熱設計の検討事項..... 82
6.16 システム..... 83
6.17 アナログ ペリフェラル..... 127
6.18 制御ペリフェラル..... 171
6.19 通信ペリフェラル..... 186
7 詳細説明..... 215
7.1 概要..... 215
7.2 機能ブロック図..... 216
7.3 メモリ..... 217
7.4 識別..... 227
7.5 バス アーキテクチャ – ペリフェラル コネクティビティ..... 228
7.6 C28x プロセッサ..... 229
7.7 制御補償器アクセラレータ (CLA)..... 230
7.8 組み込みのリアルタイム解析および診断 (ERAD)..... 233
7.9 ダイレクト メモリ アクセス (DMA)..... 234
7.10 デバイス ブート モード..... 236
7.11 セキュリティ..... 242
7.12 ウォッチドッグ..... 244
7.13 C28x タイマ..... 245
7.14 デュアル クロック コンパレータ (DCC)..... 245
7.15 構成可能ロジック ブロック (CLB)..... 247
8 アプリケーション、実装、およびレイアウト..... 249
8.1 代表的なアプリケーション..... 249
9 デバイスおよびドキュメントのサポート..... 251
9.1 デバイスの命名規則..... 251
9.2 マーキング..... 253
9.3 ツールとソフトウェア..... 257
9.4 ドキュメントのサポート..... 258
9.5 サポート・リソース..... 260
9.6 商標..... 260
9.7 静電気放電に関する注意事項..... 260
9.8 用語集..... 260
10 改訂履歴..... 260
11 メカニカル、パッケージ、および注文情報..... 261
テープおよびリール情報..... 265
トレイ..... 267

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

機能 (1)(4)		F28P558SG-Q1(3)	F28P551SG	F28P552SG	F28P551SD	F28P552SD
C28x サブシステム						
周波数 (MHz)		160				
C28x	32 ビット浮動小数点ユニット (FPU)	あり				
	VCRC	あり				
	TMU - タイプ 1	あり - タイプ 1 - NLPID 命令をサポート				
CLA - タイプ 2	個数	1:F28P558SG5-Q1 および F28P558SG3-Q1 0:F28P558SG2-Q1	1			
	周波数 (MHz)	160				
6 チャネル DMA - タイプ 0		1				
外部割り込み		5				
MIPS		320 (CPU + CLA): F28P558SG5-Q1 160 F28P558SG2-Q1	320 (CPU + CLA)			
メモリ						
フラッシュ	メイン アレイ	512KB (2 x 256KB バンク)			256KB (2 x 128KB バンク)	
	64KB バンク	F28P558SG2-Q1 を除くすべて				
	ユーザー OTP	2KB				
RAM	専用	4KB				
	ローカル共有 RAM	64KB				
	メッセージ	1KB				
	グローバル共有 RAM	32KB				
	RAM 合計	101KB				
メッセージ RAM のタイプ	C28x CPU および CLA	512 バイト (方向ごとに 256 バイト)				
	DMA と CLA	512 バイト (方向ごとに 256 バイト)				
ECC		フラッシュ、Mx RAM				
パリティ		ROM、CAN RAM、Message RAM、LSx RAM、GSx RAM				
システム						
構成可能ロジック ブロック (CLB)		4 タイル: F28P558SG5-Q1 2 タイル: F28P558SG3-Q1 0 タイル: F28P558SG2-Q1	4 タイル	4 タイル: F28P552SG4 0 タイル: F28P552SG3	4 タイル	-
組み込みパターン ジェネレータ (EPG)		1				
32 ビット CPU タイマ		3				
AES (Advanced Encryption Standard) アクセラレータ		1				
ライブ ファームウェア アップデート (LFU) サポート		あり、拡張機能とフラッシュ バンク消去時間の改善によりサポート				
オンチップ フラッシュおよび RAM のセキュリティ		あり				
ゼロピン ブート		あり				
セキュア ブート		あり				
JTAG ロック		あり				
MPOST		あり				
組み込みリアルタイム解析および診断 (ERAD) - タイプ 2		1				
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		1				
ウォッチドッグ (WD) タイマ		1				
水晶発振器 / 外部クロック入力		1				
内部発振器 (オプションの外付け高精度抵抗)		2				

表 4-1. デバイスの比較 (続き)

機能 [1][4]		F28P558SG-Q1[3]	F28P551SG	F28P552SG	F28P551SD	F28P552SD
デジタルおよびアナログ ピン数						
GPIO	100 ピン PZ	43				
	80 ピン PN/PNA:	PNA:32	PN:33 PNA:32			
	64 ピン PM	17		-	17	-
	56 ピン RSH	-	15	-	15	-
	49 ボール YAF	-	12	-	-	-
	32 ピン ZNG	-	7	-	-	-
	追加 GPIO	4 (cJTAG から 2 個、X1/X2 から 2 個)				
AIO (デジタル入力付きアナログ)	100 ピン PZ	16				
	80 ピン PN/PNA:	12				
	64 ピン PM	13		-	13	-
	56 ピン RSH	-	13	-	13	-
	49 ボール YAF	-	12	-	-	-
	32 ピン ZNG	-	9	-	-	-
AGPIO (デジタル入力と出力付きアナログ)	100 ピン PZ	19				
	80 ピン PN/PNA:	17				
	64 ピン PM	17		-	17	-
	56 ピン RSH	-	15	-	15	-
	49 ボール YAF	-	8	-	-	-
	32 ピン ZNG	-	5	-	-	-
C28x アナログ ペリフェラル[5]						
A/D コンバータ (ADC) (12 ビット) - タイプ 6	ADC の数	5:F28P558SG5-Q1 3:F28P558SG3-Q1、F28P558SG2-Q1	5	4	5	4
	MSPS	3.9				
	変換時間 (ns)[2]	187				
ADC 入力チャネル (シングルエンド) (2 つの DAC 出力を含む)	100 ピン PZ	35				
	80 ピン PN/PNA:	28				
	64 ピン PM	28		-	28	-
	56 ピン RSH	-	26	-	26	-
	49 ボール YAF	-	18	-	-	-
	32 ピン ZNG	-	12	-	-	-
PGA - タイプ 2		3				
温度センサ		1				
コンパレータ サブシステム (CMPSS) (各 CMPSS に 2 つのコンパレータと 2 つの内部 DAC を含む) - タイプ 6		4				
バッファ付き D/A コンバータ (DAC) - タイプ 2		1	2			
CMPSS からの DAC 出力		1				
C28x 制御ペリフェラル [5]						
eCAP - タイプ 2	合計入力数	2				
ePWM/HRPWM - タイプ 6	合計チャネル数	24:F28P558SG5-Q1 :18:F28P558SG3-Q1、F28P558SG2-Q1	24[8][9]	16:F28P552SG4 22:F28P552SG3	24	22
	高分解能チャネル[7]	12:F28P558SG5-Q1 0:F28P558SG3-Q1、F28P558SG2-Q1	12[8]	-	12	-
eQEP モジュール - タイプ 2		3		3:F28P552SG4 1:F28P552SG3	3	1
SDFM チャネル – タイプ 2		8	8	8:F28P552SG4 0:F28P552SG3	8	-

Copyright © 2026 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能 (1)(4)		F28P558SG-Q1(3)	F28P551SG	F28P552SG	F28P551SD	F28P552SD
C28x 通信ペリフェラル (5)						
CAN FD (CAN with Flexible Data-Rate) - タイプ 2		1				
高速シリアル インターフェイス (FSI) RX - タイプ 2		1	1	1:F28P552SG4 0:F28P552SG3	1	-
高速シリアル インターフェイス (FSI) TX - タイプ 2		1	1(6)	1:F28P552SG4 0:F28P552SG3	1	-
I2C (Inter-Integrated Circuit) - タイプ 2		2	2	1	2	1
ローカル相互接続ネットワーク (LIN) - タイプ 1		1				-
パワー マネージメント バス (PMBus) - タイプ 1		1		-	1	-
シリアル通信インターフェイス (SCI) - タイプ 0 (UART 互換)		3				
シリアル ペリフェラル インターフェイス (SPI) - タイプ 2		2				
温度および認定						
接合部温度 (T_J)		–40°C ～ 150°C				
自由気流での周囲温度 (T_A)		–40°C ～ 125°C				
パッケージ オプション	100 ピン PZ	F28P558SG5-Q1 F28P558SG3-Q1 F28P558SG2-Q1	F28P551SG5	F28P552SG4 F28P552SG3	F28P551SD5	F28P552SD3
	80 ピン PN	-	F28P551SG5	F28P552SG4 F28P552SG3	F28P551SD5	F28P552SD3
	80 ピン PNA	F28P558SG5-Q1 F28P558SG3-Q1 F28P558SG2-Q1	F28P551SG5	F28P552SG4	-	-
	64 ピン PM	F28P558SG5-Q1 F28P558SG3-Q1 F28P558SG2-Q1	F28P551SG5	-	F28P551SD5	-
	56 ピン RSH	-	F28P551SG5	-	F28P551SD5	-
	49 ボール YAF	-	F28P551SG5	-	-	-
	32 ピン ZNG	-	F28P551SG5	-	-	-

(1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。詳細については、『C2000 リアルタイム制御ペリフェラル リファレンス ガイド』を参照してください。
(2) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
(3) -Q1 という接尾辞は、車載アプリケーション向けの AEC Q100 認定を表します。
(4) 機能に「-」が入力されているのは、対応するパッケージ タイプが提供されていないことを示します。
(5) 複数のパッケージで供給されるデバイスの場合、パッケージが小さいほどデバイスのピン数が少ないため、小型パッケージに記載されているペリフェラル数が減少します。デバイスに内部的に存在するペリフェラルの数は、その型番で提供される最大のパッケージに比べて減少しません。
(6) 入力クロスバーおよび出力クロスバーは、49 ボールおよび 32 ピン パッケージで FSI ピンを完全に機能させるために使用する必要があります
(7) HRPWM 機能は ePWM 1 ～ 6 でのみ利用できます
(8) ePWM4B は、32 ピン パッケージでは利用できません
(9) ePWM9B は、49 ボールと 32 ピンのどちらのパッケージでも利用できません

4.1 関連製品

TMS320F280013x リアルタイム マイコン

F280013x は、F28P551/552/558 デバイス シリーズと共通のピン配置を持っています。F28P551/552/558 シリーズでは、CPU クロック速度の高速化とメモリ サイズの拡大に加えて、CLA と DMA のサポートも行っています。また、F28P55x はプログラマブル ゲイン アンプ (PGA)、CLB を内蔵しており、FW のライブ更新もサポートしています。

TMS320F280015x リアルタイム マイコン

F280015x は、F28P551/552/558 デバイス シリーズと共通のピン配置を持っています。F28P551/552/558 シリーズでは、CPU クロック速度の高速化とメモリ サイズの拡大に加えて、CLA と DMA のサポートも行っています。また、F28P55x はプログラマブル ゲイン アンプ (PGA)、CLB を内蔵しており、FW のライブ更新もサポートしています。F280015x シリーズは、安全関連システムのためのロックステップ C28x CPU を備えています。

TMS320F28003x リアルタイム マイコン

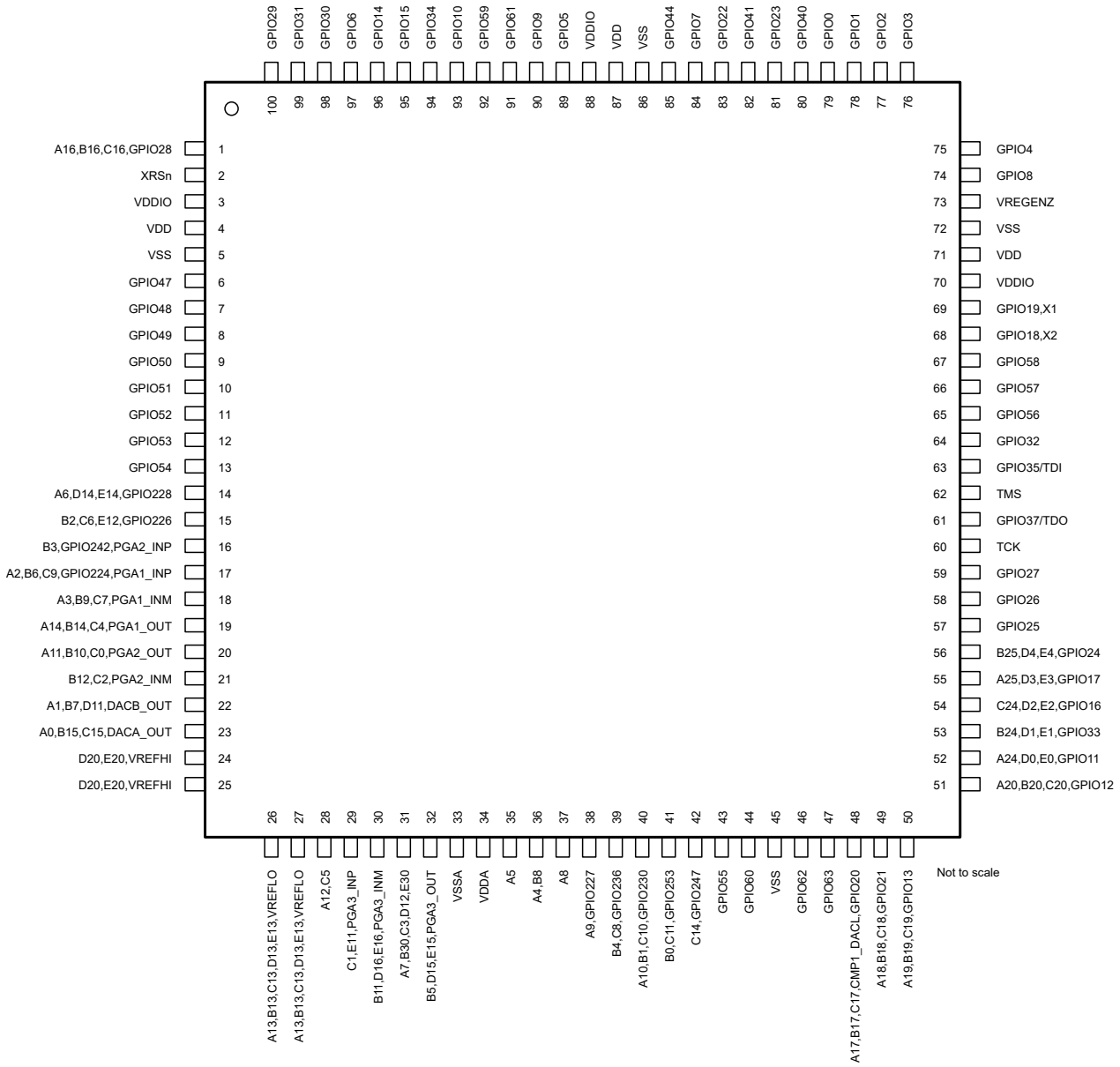
F28003x は、F28P551/552/558 デバイス シリーズと共通のピン配置を持っています。F28P551/552/558 シリーズでは、プログラマブル ゲイン アンプ (PGA)に加えて、CPU 全体のクロック速度の高速化とメモリ サイズの拡大も行っています。F28003x シリーズでは、BGCRC と HWBIST に加えて、SDFM のサポートも行っています。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

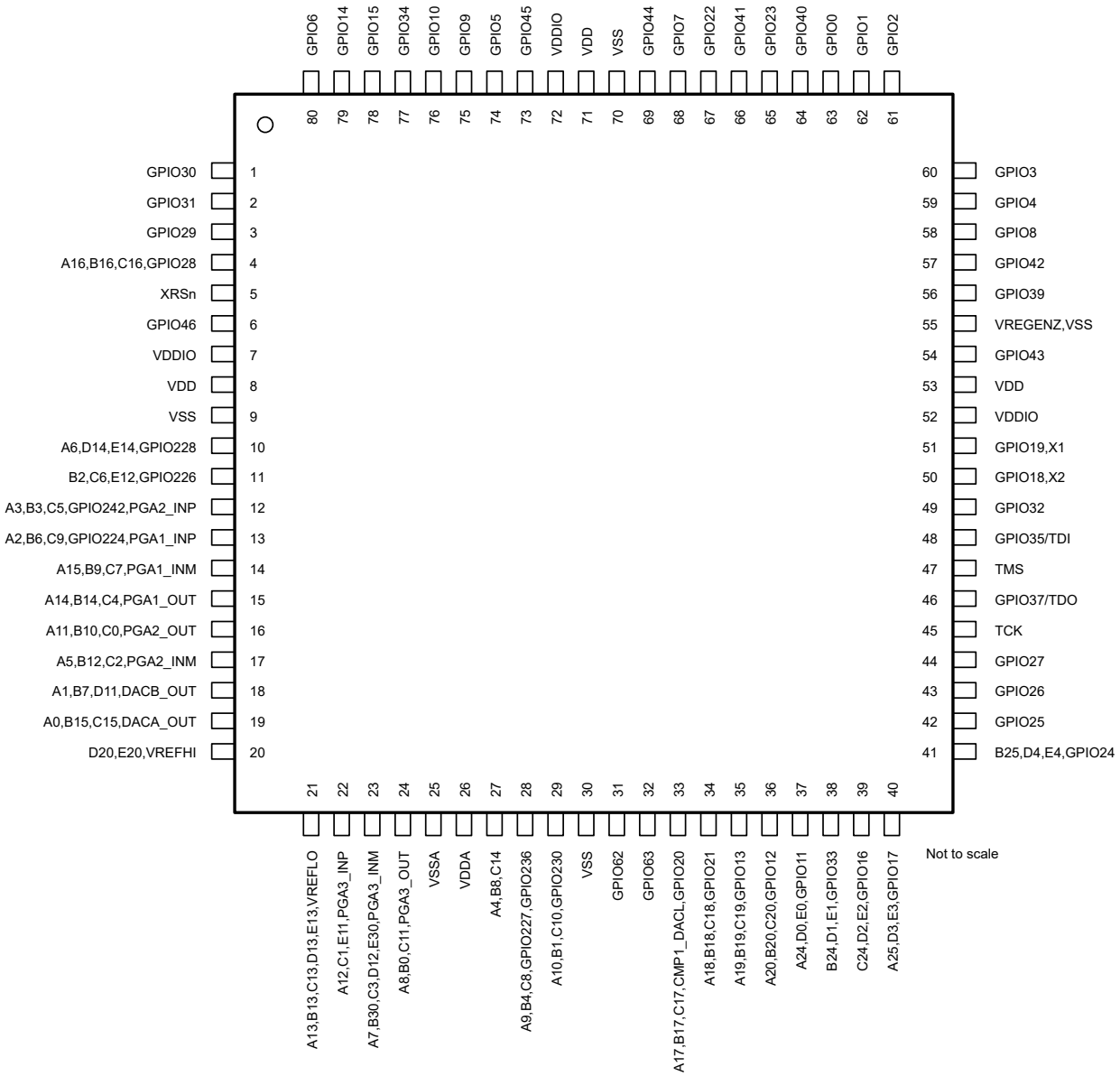
5.1 ピン配置図

図 5-1 に、100 ピン PZ 薄型クワッド フラットパックのピン配置を示します。図 5-2 に、80 ピン PNA 薄型クワッド フラットパックのピン配置を示します。図 5-4 に、64 ピン PM 薄型クワッド フラットパックのピン配置を示します。図 5-5 に、56 ピン RSH 超薄型クワッドフラットパック、リードなしのピン構成を示します。図 5-6 に、49 ボール YAF ウェハーチップスケールパッケージのピン構成を示します。図 5-7 に、32 ピン ZNG 超薄型クワッド フラットパック リードなしのピン配置を示します。



A. GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

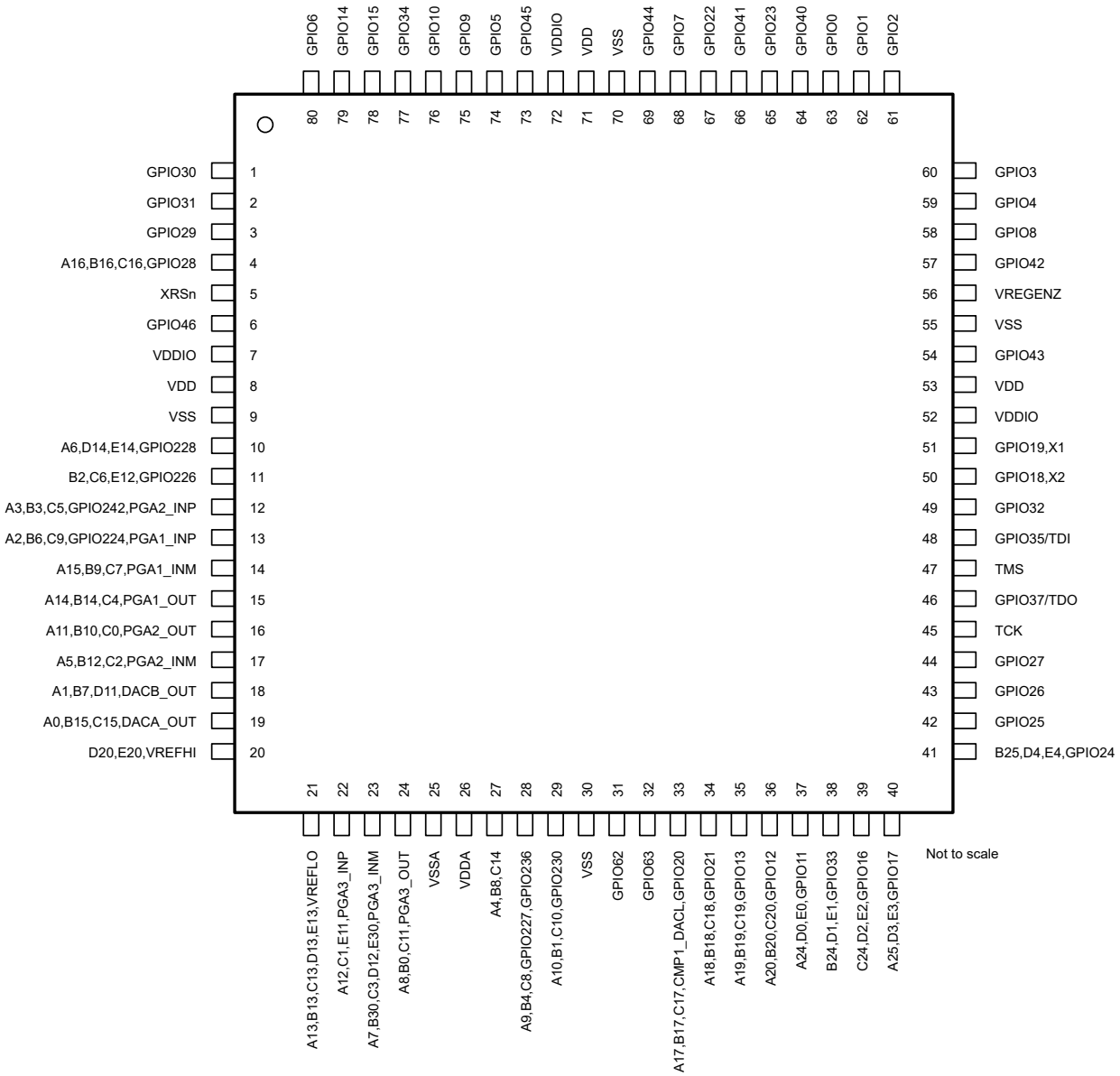
図 5-1. 100 ピン PZ 薄型クワッド フラットパック (上面図)



A. GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 5-2. 80 ピン PN 薄型クワッド フラットパック (上面図)

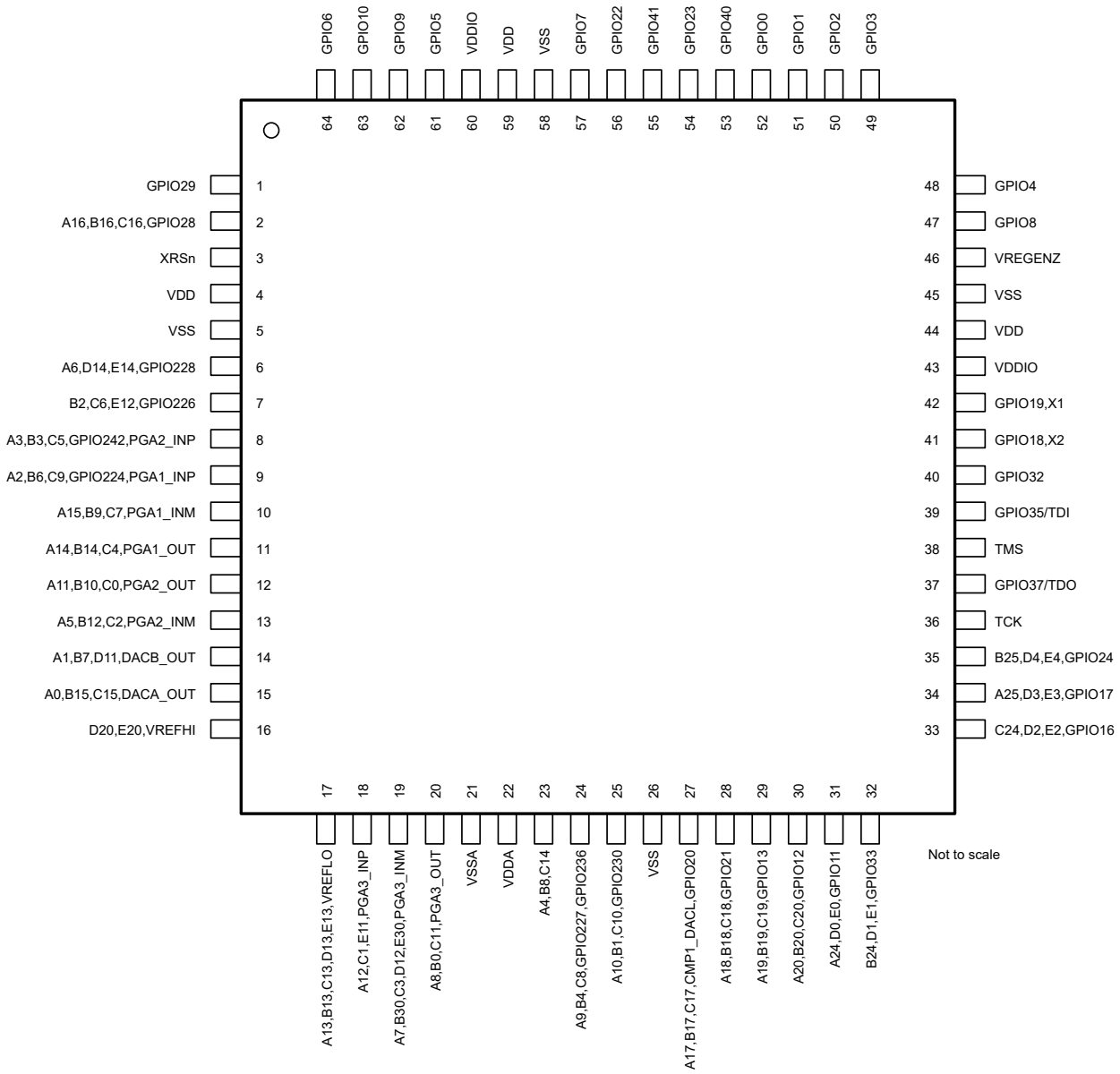
Copyright © 2026 Texas Instruments Incorporated



注

GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

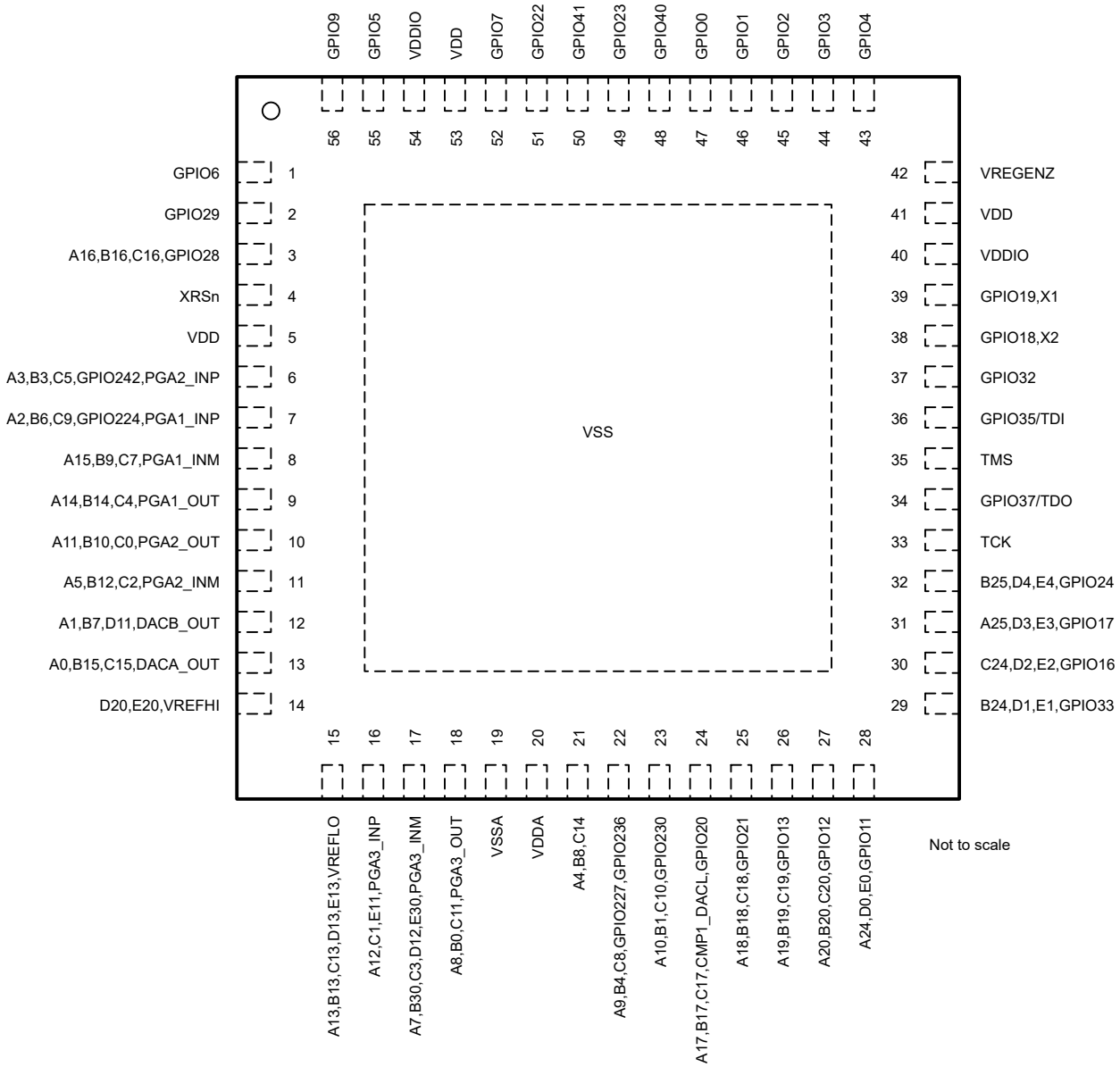
図 5-3. 80 ピン PNA 薄型クワッド フラットパック (上面図)



A. GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 5-4. 64 ピン PM 薄型クワッド フラットパック (上面図)

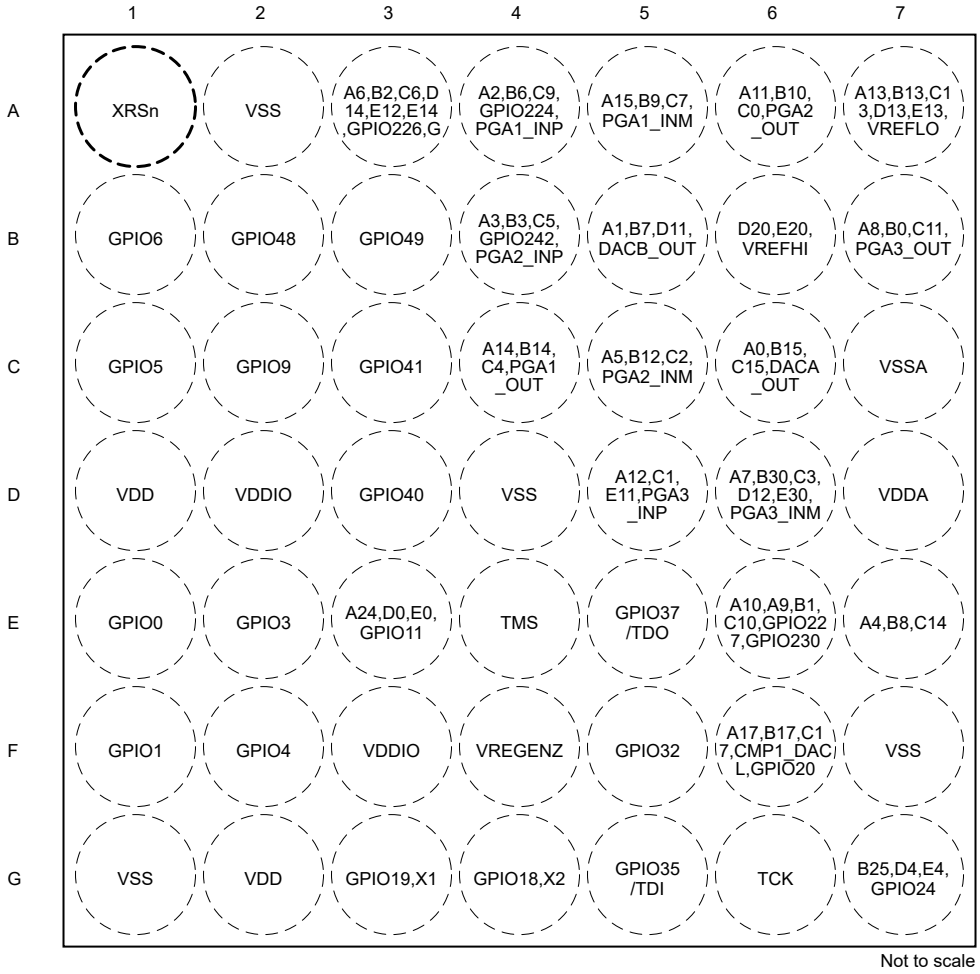
Copyright © 2026 Texas Instruments Incorporated



A. GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 5-5. 56 ピン RSH 超薄型クワッド フラットパック、リードなし (上面図)

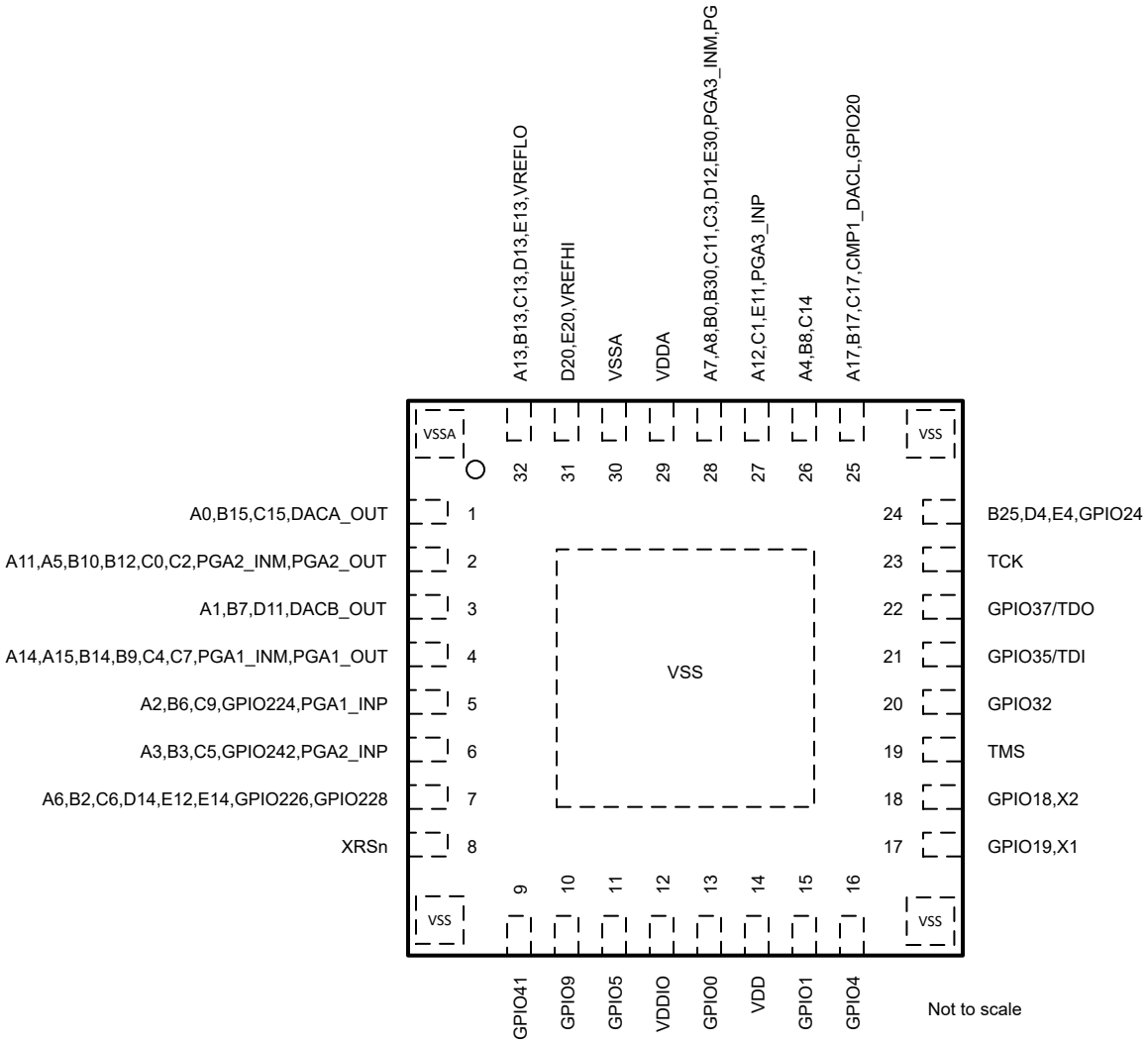
注



GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 5-6. 49 ボール YAF ウェハーチップスケールパッケージ (上面図)

Copyright © 2026 Texas Instruments Incorporated



注

GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 5-7. 32 ピン ZNG 超薄型クワッド フラットパック、リードなし (上面図)

5.2 ピン属性

表 5-1. ピン属性

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
アナログ										
A0									I	ADC-A 入力 0
B15									I	ADC-B 入力 15
C15									I	ADC-C 入力 15
CMP3_HP2									I	CMPSS-3 ハイ コンパレータ正入力 2
CMP3_LP2		23	19	19	15	13	C6	1	I	CMPSS-3 ロー コンパレータ正入力 2
DACA_OUT									O	バッファ付き DAC-A 出力。
AIO231	0、4、8、12								I	デジタル入力 231 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A1									I	ADC-A 入力 1
B7									I	ADC-B 入力 7
CMP1_HP4									I	CMPSS-1 ハイ コンパレータ正入力 4
CMP1_LP4									I	CMPSS-1 ロー コンパレータ正入力 4
D11		22	18	18	14	12	B5	3	I	ADC-D 入力 11
DACB_OUT									O	バッファ付き DAC-B 出力。
AIO232	0、4、8、12								I	デジタル入力 232 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A2									I	ADC-A 入力 2
B6									I	ADC-B 入力 6
C9									I	ADC-C 入力 9
CMP1_HP0									I	CMPSS-1 ハイ コンパレータ正入力 0
CMP1_LP0		17	13	13	9	7	A4	5	I	CMPSS-1 ロー コンパレータ正入力 0
GPIO224									I/O	汎用入出力 224。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
PGA1_INP									I	PGA-1 正
A3									I	ADC-A 入力 3
CMP3_HP5		18							I	CMPSS-3 ハイ コンパレータ正入力 5
CMP3_LP5									I	CMPSS-3 ロー コンパレータ正入力 5
AIO229	0、4、8、12								I	デジタル入力 229 に使用されるアナログ ピン
A3									I	ADC-A 入力 3
CMP3_HP5			12	12	8	6	B4	6	I	CMPSS-3 ハイ コンパレータ正入力 5
CMP3_LP5									I	CMPSS-3 ロー コンパレータ正入力 5
A4									I	ADC-A 入力 4
B8									I	ADC-B 入力 8
CMP2_HP0									I	CMPSS-2 ハイ コンパレータ正入力 0
CMP2_LP0		36	27	27	23	21	E7	26	I	CMPSS-2 ロー コンパレータ正入力 0
AIO225	0、4、8、12								I	デジタル入力 225 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A5									I	ADC-A 入力 5
CMP2_HP5		35							I	CMPSS-2 ハイ コンパレータ正入力 5
CMP2_LP5									I	CMPSS-2 ロー コンパレータ正入力 5
AIO249	0、4、8、12								I	デジタル入力 249 に使用されるアナログ ピン
A5									I	ADC-A 入力 5
CMP2_HP5			17	17	13	11	C5	2	I	CMPSS-2 ハイ コンパレータ正入力 5
CMP2_LP5									I	CMPSS-2 ロー コンパレータ正入力 5

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
A6									I	ADC-A 入力 6
CMP1_HP2									I	CMPSS-1 ハイ コンパレータ正入力 2
CMP1_LP2									I	CMPSS-1 ロー コンパレータ正入力 2
D14		14	10	10	6		A3	7	I	ADC-D 入力 14
E14									I	ADC-E 入力 14
GPIO228									I/O	汎用入出力 228。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A7									I	ADC-A 入力 7
B30									I	ADC-B 入力 30
C3									I	ADC-C 入力 3
CMP4_HN1									I	CMPSS-4 ハイ コンパレータ負入力 1
CMP4_HP1									I	CMPSS-4 ハイ コンパレータ正入力 1
CMP4_LN1		31	23	23	19	17	D6	28	I	CMPSS-4 ロー コンパレータ負入力 1
CMP4_LP1									I	CMPSS-4 ロー コンパレータ正入力 1
D12									I	ADC-D 入力 12
E30									I	ADC-E 入力 30
AIO245	0、4、8、12								I	デジタル入力 245 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A8									I	ADC-A 入力 8
CMP4_HP4									I	CMPSS-4 ハイ コンパレータ正入力 4
CMP4_LP4		37							I	CMPSS-4 ロー コンパレータ正入力 4
AIO240	0、4、8、12								I	デジタル入力 240 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A8									I	ADC-A 入力 8
B0									I	ADC-B 入力 0
C11									I	ADC-C 入力 11
CMP4_HP4			24	24	20	18	B7	28	I	CMPSS-4 ハイ コンパレータ正入力 4
CMP4_LP4									I	CMPSS-4 ロー コンパレータ正入力 4
AIO241	0、4、8、12								I	デジタル入力 241 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A9									I	ADC-A 入力 9
CMP2_HP2									I	CMPSS-2 ハイ コンパレータ正入力 2
CMP2_LP2		38	28	28	24	22	E6		I	CMPSS-2 ロー コンパレータ正入力 2
GPIO227									I/O	汎用入出力 227。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A10									I	ADC-A 入力 10
B1									I	ADC-B 入力 1
C10									I	ADC-C 入力 10
CMP2_HN0									I	CMPSS-2 ハイ コンパレータ負入力 0
CMP2_HP3		40	29	29	25	23	E6		I	CMPSS-2 ハイ コンパレータ正入力 3
CMP2_LN0									I	CMPSS-2 ロー コンパレータ負入力 0
CMP2_LP3									I	CMPSS-2 ロー コンパレータ正入力 3
GPIO230									I/O	汎用入出力 230。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
A11									I	ADC-A 入力 11
B10									I	ADC-B 入力 10
C0									I	ADC-C 入力 0
CMP1_HN1									I	CMPSS-1 ハイ コンパレータ負入力 1
CMP1_HP1									I	CMPSS-1 ハイ コンパレータ正入力 1
CMP1_LN1		20	16	16	12	10	A6	2	I	CMPSS-1 ロー コンパレータ負入力 1
CMP1_LP1									I	CMPSS-1 ロー コンパレータ正入力 1
PGA2_OUT									O	PGA-2 出力
AIO237	0、4、8、12								I	デジタル入力 237 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A12									I	ADC-A 入力 12
CMP2_HN1									I	CMPSS-2 ハイ コンパレータ負入力 1
CMP2_HP1									I	CMPSS-2 ハイ コンパレータ正入力 1
CMP2_LN1		28	22	22	18	16	D5	27	I	CMPSS-2 ロー コンパレータ負入力 1
CMP2_LP1									I	CMPSS-2 ロー コンパレータ正入力 1
AIO238	0、4、8、12								I	デジタル入力 238 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A13									I	ADC-A 入力 13
B13									I	ADC-B 入力 13
C13									I	ADC-C 入力 13
D13		26	21	21	17	15	A7	32	I	ADC-D 入力 13
E13									I	ADC-E 入力 13
VREFLO									I	ADC の低い基準電圧
AIO235	0、4、8、12								I	デジタル入力 235 に使用されるアナログ ピン
A13									I	ADC-A 入力 13
B13									I	ADC-B 入力 13
C13									I	ADC-C 入力 13
D13		26、27	21	21	17	15	A7	32	I	ADC-D 入力 13
E13									I	ADC-E 入力 13
VREFLO									I	ADC の低い基準電圧
AIO235	ALT								I	デジタル入力 235 に使用されるアナログ ピン
A14									I	ADC-A 入力 14
B14									I	ADC-B 入力 14
C4									I	ADC-C 入力 4
CMP3_HP4									I	CMPSS-3 ハイ コンパレータ正入力 4
CMP3_LP4		19	15	15	11	9	C4	4	I	CMPSS-3 ロー コンパレータ正入力 4
PGA1_OUT									O	PGA-1 出力
AIO239	0、4、8、12								I	デジタル入力 239 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A15									I	ADC-A 入力 15
CMP1_HN0									I	CMPSS-1 ハイ コンパレータ負入力 0
CMP1_HP3									I	CMPSS-1 ハイ コンパレータ正入力 3
CMP1_LN0			14	14	10	8	A5	4	I	CMPSS-1 ロー コンパレータ負入力 0
CMP1_LP3									I	CMPSS-1 ロー コンパレータ正入力 3
AIO233	0、4、8、12								I	デジタル入力 233 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A16									I	ADC-A 入力 16
B16									I	ADC-B 入力 16
C16		1	4	4	2	3			I	ADC-C 入力 16
GPIO28									I/O	汎用入出力 28。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
A17		48	33	33	27	24	F6	25	I	ADC-A 入力 17
B17									I	ADC-B 入力 17
C17									I	ADC-C 入力 17
CMP1_DACL									I	CMPSS-1 低 DAC 出力
GPIO20									I/O	汎用入出力 20。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A18		49	34	34	28	25			I	ADC-A 入力 18
B18									I	ADC-B 入力 18
C18									I	ADC-C 入力 18
GPIO21									I/O	汎用入出力 21。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A19		50	35	35	29	26			I	ADC-A 入力 19
B19									I	ADC-B 入力 19
C19									I	ADC-C 入力 19
GPIO13									I/O	汎用入出力 13。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A20		51	36	36	30	27			I	ADC-A 入力 20
B20									I	ADC-B 入力 20
C20									I	ADC-C 入力 20
GPIO12									I/O	汎用入出力 12。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A24		52	37	37	31	28	E3		I	ADC-A 入力 24
D0									I	ADC-D 入力 0
E0									I	ADC-E 入力 0
GPIO11									I/O	汎用入出力 11。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A25		55	40	40	34	31			I	ADC-A 入力 25
D3									I	ADC-D 入力 3
E3									I	ADC-E 入力 3
GPIO17									I/O	汎用入出力 17。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B0		41							I	ADC-B 入力 0
C11									I	ADC-C 入力 11
CMP2_HP4									I	CMPSS-2 ハイ コンパレータ正入力 4
CMP2_LP4									I	CMPSS-2 ロー コンパレータ正入力 4
GPIO231									I/O	汎用入出力 231。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B2		15	11	11	7		A3	7	I	ADC-B 入力 2
C6									I	ADC-C 入力 6
CMP3_HP0									I	CMPSS-3 ハイ コンパレータ正入力 0
CMP3_LP0									I	CMPSS-3 ロー コンパレータ正入力 0
E12									I	ADC-E 入力 12
GPIO226									I/O	汎用入出力 226。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B3		16	12	12	8	6	B4	6	I	ADC-B 入力 3
CMP3_HN0									I	CMPSS-3 ハイ コンパレータ負入力 0
CMP3_HP3									I	CMPSS-3 ハイ コンパレータ正入力 3
CMP3_LN0									I	CMPSS-3 ロー コンパレータ負入力 0
CMP3_LP3									I	CMPSS-3 ロー コンパレータ正入力 3
GPIO242									I/O	汎用入出力 242。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
PGA2_INP									I	PGA-2 正

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
B4									I	ADC-B 入力 4
C8									I	ADC-C 入力 8
CMP4_HP0		39	28	28	24	22			I	CMPSS-4 ハイ コンパレータ正入力 0
CMP4_LP0									I	CMPSS-4 ロー コンパレータ正入力 0
GPIO236	0、4、8、12								I/O	汎用入出力 236。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B5									I	ADC-B 入力 5
CMP1_HP5									I	CMPSS-1 ハイ コンパレータ正入力 5
CMP1_LP5									I	CMPSS-1 ロー コンパレータ正入力 5
D15		32							I	ADC-D 入力 15
E15									I	ADC-E 入力 15
AIO252	0、4、8、12								I	デジタル入力 252 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B9									I	ADC-B 入力 9
C7		18	14	14	10	8	A5	4	I	ADC-C 入力 7
PGA1_INM									I	PGA-1 負
B11									I	ADC-B 入力 11
CMP4_HP5									I	CMPSS-4 ハイ コンパレータ正入力 5
CMP4_LP5		30							I	CMPSS-4 ロー コンパレータ正入力 5
D16									I	ADC-D 入力 16
E16									I	ADC-E 入力 16
AIO251	0、4、8、12								I	デジタル入力 251 に使用されるアナログ ピン
B12									I	ADC-B 入力 12
C2									I	ADC-C 入力 2
CMP3_HN1									I	CMPSS-3 ハイ コンパレータ負入力 1
CMP3_HP1									I	CMPSS-3 ハイ コンパレータ正入力 1
CMP3_LN1		21	17	17	13	11	C5	2	I	CMPSS-3 ロー コンパレータ負入力 1
CMP3_LP1									I	CMPSS-3 ロー コンパレータ正入力 1
PGA2_INM									I	PGA-2 負
AIO244	0、4、8、12								I	デジタル入力 244 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B24									I	ADC-B 入力 24
D1									I	ADC-D 入力 1
E1		53	38	38	32	29			I	ADC-E 入力 1
GPIO33									I/O	汎用入出力 33。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B25									I	ADC-B 入力 25
D4									I	ADC-D 入力 4
E4		56	41	41	35	32	G7	24	I	ADC-E 入力 4
GPIO24									I/O	汎用入出力 24。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C1									I	ADC-C 入力 1
CMP4_HP2									I	CMPSS-4 ハイ コンパレータ正入力 2
CMP4_LP2		29	22	22	18	16	D5	27	I	CMPSS-4 ロー コンパレータ正入力 2
E11									I	ADC-E 入力 11
PGA3_INP									I	PGA-3 正
AIO248	0、4、8、12								I	デジタル入力 248 に使用されるアナログ ピン
C5		28	12	12	8	6	B4	6	I	ADC-C 入力 5

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
C14		42							I	ADC-C 入力 14
CMP4_HN0									I	CMPSS-4 ハイ コンパレータ負入力 0
CMP4_HP3									I	CMPSS-4 ハイ コンパレータ正入力 3
CMP4_LN0									I	CMPSS-4 ロー コンパレータ負入力 0
CMP4_LP3									I	CMPSS-4 ロー コンパレータ正入力 3
GPIO247									I/O	汎用入出力 247。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C14			27	27	23	21	E7	26	I	ADC-C 入力 14
CMP4_HN0									I	CMPSS-4 ハイ コンパレータ負入力 0
CMP4_HP3									I	CMPSS-4 ハイ コンパレータ正入力 3
CMP4_LN0									I	CMPSS-4 ロー コンパレータ負入力 0
CMP4_LP3									I	CMPSS-4 ロー コンパレータ正入力 3
C24		54	39	39	33	30			I	ADC-C 入力 24
D2									I	ADC-D 入力 2
E2									I	ADC-E 入力 2
GPIO16									I/O	汎用入出力 16。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
D20		24	20	20	16	14	B6	31	I	ADC-D 入力 20
E20									I	ADC-E 入力 20
VREFHI									I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2µF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。
AIO234	0、4、8、12								I	デジタル入力 234 に使用されるアナログ ピン
D20		25	20	20	16	14	B6	31	I	ADC-D 入力 20
E20									I	ADC-E 入力 20
VREFHI									I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2µF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。
AIO234	ALT								I	デジタル入力 234 に使用されるアナログ ピン
PGA3_INM		30	23	23	19	17	D6	28	I	PGA-3 負
PGA3_OUT		32	24	24	20	18	B7	28	O	PGA-3 出力
GPIO										
AIO231	0、4、8、12	23	19	19	15	13	C6	1	I	デジタル入力 231 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C1	2								I	SDFM-1 チャネル 1 クロック入力
AIO232	0、4、8、12	22	18	18	14	12	B5	3	I	デジタル入力 232 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D4	2								I	SDFM-1 チャネル 4 データ入力
AIO225	0、4、8、12	36	27	27	23	21	E7	26	I	デジタル入力 225 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C2	2								I	SDFM-2 チャネル 2 クロック入力
AIO245	0、4、8、12	31	23	23	19	17	D6	28	I	デジタル入力 245 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C2	2								I	SDFM-1 チャネル 2 クロック入力
AIO240	0、4、8、12	37							I	デジタル入力 240 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C1	2								I	SDFM-2 チャネル 1 クロック入力
AIO241	0、4、8、12		24	24	20	18	B7	28	I	デジタル入力 241 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C1	2								I	SDFM-2 チャネル 1 クロック入力
AIO237	0、4、8、12	20	16	16	12	10	A6	2	I	デジタル入力 237 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D2	2								I	SDFM-1 チャネル 2 データ入力

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
AIO238	0、4、8、12	28	22	22	18	16	D5	27	I	デジタル入力 238 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C3	2								I	SDFM-2 チャネル 3 クロック入力
AIO239	0、4、8、12	19	15	15	11	9	C4	4	I	デジタル入力 239 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D1	2								I	SDFM-1 チャネル 1 データ入力
AIO233	0、4、8、12		14	14	10	8	A5	4	I	デジタル入力 233 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D1	2								I	SDFM-2 チャネル 1 データ入力
GPIO236	0、4、8、12								I/O	汎用入出力 236。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM7_A	1	39	28	28	24	22			O	ePWM-7 出力 A
EQEP1_INDEX	5								I/O	eQEP-1 インデックス
EPWM12_A	9								O	ePWM-12 出力 A
AIO252	0、4、8、12	32							I	デジタル入力 252 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C4	2								I	SDFM-2 チャネル 4 クロック入力
AIO244	0、4、8、12	21	17	17	13	11	C5	2	I	デジタル入力 244 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D3	2								I	SDFM-1 チャネル 3 データ入力
GPIO0	0、4、8、12								I/O	汎用入出力 0
EPWM1_A	1								O	ePWM-1 出力 A
OUTPUTXBAR7	3								O	出力クロスバー出力 7
SCIA_RX	5								I	SCI-A 受信データ
I2CA_SDA	6								I/OD	I2C-A オープン ドレイン双方向データ
SPIA_PTE	7	79	63	63	52	47	E1	13	I/O	SPI-A ペリフェラル送信イネーブル (PTE)
FSIRXA_CLK	9								I	FSIRX-A 入力クロック
MCANA_RX	10								I	CAN/CAN FD 受信
CLB_OUTPUTXBAR8	11								O	CLB 出力クロスバー出力 8
EQEP1_INDEX	13								I/O	eQEP-1 インデックス
EPWM3_A	15								O	ePWM-3 出力 A
GPIO1	0、4、8、12								I/O	汎用入出力 1
EPWM1_B	1								O	ePWM-1 出力 B
SCIA_TX	5								O	SCI-A 送信データ
I2CA_SCL	6								I/OD	I2C-A オープン ドレイン双方向クロック
SPIA_POCI	7	78	62	62	51	46	F1	15	I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EQEP1_STROBE	9								I/O	eQEP-1 ストローブ
MCANA_TX	10								O	CAN/CAN FD 送信
CLB_OUTPUTXBAR7	11								O	CLB 出力クロスバー出力 7
EPWM10_B	13								O	ePWM-10 出力 B
EPWM3_B	15								O	ePWM-3 出力 B
GPIO2	0、4、8、12								I/O	汎用入出力 2
EPWM2_A	1								O	ePWM-2 出力 A
OUTPUTXBAR1	5								O	出力クロスバー出力 1
PMBUSA_SDA	6								I/OD	PMBus-A オープン ドレイン双方向データ
SPIA_PICO	7	77	61	61	50	45			I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
SCIA_TX	9								O	SCI-A 送信データ
FSIRXA_D1	10								I	FSIRX-A オプションの追加データ入力
I2CB_SDA	11								I/OD	I2C-B オープン ドレイン双方向データ
EPWM10_A	13								O	ePWM-10 出力 A
EPWM4_A	15								O	ePWM-4 出力 A

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO3	0、4、8、12								I/O	汎用入出力 3
EPWM2_B	1								O	ePWM-2 出力 B
OUTPUTXBAR2	2、5								O	出力クロスバー出力 2
PMBUSA_SCL	6								I/OD	PMBus-A オープン ドレイン双方向クロック
SPIA_CLK	7	76	60	60	49	44	E2		I/O	SPI-A クロック
SCIA_RX	9								I	SCI-A 受信データ
FSIRXA_D0	10								I	FSIRX-A 1 次データ入力
I2CB_SCL	11								I/OD	I2C-B オープン ドレイン双方向クロック
EPWM4_B	15								O	ePWM-4 出力 B
GPIO4	0、4、8、12								I/O	汎用入出力 4
EPWM3_A	1								O	ePWM-3 出力 A
I2CA_SCL	2								I/OD	I2C-A オープン ドレイン双方向クロック
MCANA_TX	3								O	CAN/CAN FD 送信
OUTPUTXBAR3	5								O	出力クロスバー出力 3
SPIB_CLK	7	75	59	59	48	43	F2	16	I/O	SPI-B クロック
EQEP2_STROBE	9								I/O	eQEP-2 ストローブ
FSIRXA_CLK	10								I	FSIRX-A 入力クロック
CLB_OUTPUTXBAR6	11								O	CLB 出力クロスバー出力 6
EPWM11_B	13								O	ePWM-11 出力 B
SPIA_POCI	14								I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EPWM1_A	15								O	ePWM-1 出力 A
GPIO5	0、4、8、12								I/O	汎用入出力 5
EPWM3_B	1								O	ePWM-3 出力 B
I2CA_SDA	2								I/OD	I2C-A オープン ドレイン双方向データ
OUTPUTXBAR3	3								O	出力クロスバー出力 3
MCANA_RX	5	89	74	74	61	55	C1	11	I	CAN/CAN FD 受信
SPIA_PTE	7								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
FSITXA_D1	9								O	FSITX-A オプションの追加データ出力
CLB_OUTPUTXBAR5	10								O	CLB 出力クロスバー出力 5
SCIA_RX	11								I	SCI-A 受信データ
EPWM1_B	15								O	ePWM-1 出力 B
GPIO6	0、4、8、12								I/O	汎用入出力 6
EPWM4_A	1								O	ePWM-4 出力 A
OUTPUTXBAR4	2								O	出力クロスバー出力 4
SYNCOUT	3								O	外部 ePWM 同期パルス
EQEP1_A	5	97	80	80	64	1	B1		I	eQEP-1 入力 A
SPIB_POCI	7								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
FSITXA_D0	9								O	FSITX-A 1 次データ出力
FSITXA_D1	11								O	FSITX-A オプションの追加データ出力
CLB_OUTPUTXBAR8	14								O	CLB 出力クロスバー出力 8
EPWM2_A	15								O	ePWM-2 出力 A
GPIO7	0、4、8、12								I/O	汎用入出力 7
EPWM4_B	1								O	ePWM-4 出力 B
EPWM2_A	2								O	ePWM-2 出力 A
OUTPUTXBAR5	3								O	出力クロスバー出力 5
EQEP1_B	5								I	eQEP-1 入力 B
SPIB_PICO	7	84	68	68	57	52			I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
FSITXA_CLK	9								O	FSITX-A 出力クロック
CLB_OUTPUTXBAR2	10								O	CLB 出力クロスバー出力 2
SCIA_TX	11								O	SCI-A 送信データ
MCANA_TX	14								O	CAN/CAN FD 送信
EPWM2_B	15								O	ePWM-2 出力 B

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO8	0、4、8、12								I/O	汎用入出力 8
EPWM5_A	1								O	ePWM-5 出力 A
ADCSOCAO	3								O	外部 ADC 用の ADC 変換開始 A
EQEP1_STROBE	5								I/O	eQEP-1 ストローブ
SCIA_TX	6	74	58	58	47				O	SCI-A 送信データ
SPIA_PICO	7								I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
I2CA_SCL	9								I/OD	I2C-A オープンドレイン双方向クロック
FSITXA_D1	10								O	FSITX-A オプションの追加データ出力
CLB_OUTPUTXBAR5	11								O	CLB 出力クロスバー出力 5
EPWM11_A	13								O	ePWM-11 出力 A
GPIO9	0、4、8、12								I/O	汎用入出力 9
EPWM5_B	1								O	ePWM-5 出力 B
SCIB_TX	2								O	SCI-B 送信データ
OUTPUTXBAR6	3								O	出力クロスバー出力 6
EQEP1_INDEX	5								I/O	eQEP-1 インデックス
SCIA_RX	6								I	SCI-A 受信データ
SPIA_CLK	7	90	75	75	62	56	C2	10	I/O	SPI-A クロック
I2CA_SCL	9								I/OD	I2C-A オープンドレイン双方向クロック
FSITXA_D0	10								O	FSITX-A 1 次データ出力
LINA_RX	11								I	LIN-A 受信
PMBUSA_SCL	13								I/OD	PMBus-A オープンドレイン双方向クロック
I2CB_SCL	14								I/OD	I2C-B オープンドレイン双方向クロック
EQEP3_B	15								I	eQEP-3 入力 B
GPIO10	0、4、8、12								I/O	汎用入出力 10
EPWM6_A	1								O	ePWM-6 出力 A
ADCSOCBO	3								O	外部 ADC 用の ADC 変換開始 B
EQEP1_A	5								I	eQEP-1 入力 A
SCIB_TX	6								O	SCI-B 送信データ
SPIA_POCI	7	93	76	76	63				I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SDA	9								I/OD	I2C-A オープンドレイン双方向データ
FSITXA_CLK	10								O	FSITX-A 出力クロック
LINA_TX	11								O	LIN-A 送信
EQEP3_STROBE	13								I/O	eQEP-3 ストローブ
CLB_OUTPUTXBAR4	15								O	CLB 出力クロスバー出力 4
GPIO11	0、4、8、12								I/O	汎用入出力 11。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM6_B	1								O	ePWM-6 出力 B
MCANA_RX	2								I	CAN/CAN FD 受信
OUTPUTXBAR7	3								O	出力クロスバー出力 7
EQEP1_B	5								I	eQEP-1 入力 B
SCIB_RX	6	52	37	37	31	28	E3		I	SCI-B 受信データ
SPIA_PTE	7								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
FSIRXA_D1	9								I	FSIRX-A オプションの追加データ入力
LINA_RX	10								I	LIN-A 受信
EQEP2_A	11								I	eQEP-2 入力 A
SPIA_PICO	13								I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EQEP3_INDEX	15								I/O	eQEP-3 インデックス

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO12	0、4、8、12								I/O	汎用入出力 12。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM7_A	1								O	ePWM-7 出力 A
MCANA_RX	3								I	CAN/CAN FD 受信
EQEP1_STROBE	5								I/O	eQEP-1 ストローブ
SCIB_TX	6	51	36	36	30	27			O	SCI-B 送信データ
PMBUSA_CTL	7								I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
FSIRXA_D0	9								I	FSIRX-A 1 次データ入力
LINA_TX	10								O	LIN-A 送信
SPIA_CLK	11								I/O	SPI-A クロック
GPIO13	0、4、8、12								I/O	汎用入出力 13。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM7_B	1								O	ePWM-7 出力 B
MCANA_TX	3								O	CAN/CAN FD 送信
EQEP1_INDEX	5								I/O	eQEP-1 インデックス
SCIB_RX	6	50	35	35	29	26			I	SCI-B 受信データ
PMBUSA_ALERT	7								I/OD	PMBus-A オープンドレイン双方向アラート信号
FSIRXA_CLK	9								I	FSIRX-A 入力クロック
LINA_RX	10								I	LIN-A 受信
SPIA_POCI	11								I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
GPIO14	0、4、8、12								I/O	汎用入出力 14
EPWM8_A	1								O	ePWM-8 出力 A
SCIB_TX	2								O	SCI-B 送信データ
I2CB_SDA	5								I/OD	I2C-B オープンドレイン双方向データ
OUTPUTXBAR3	6								O	出力クロスバー出力 3
PMBUSA_SDA	7	96	79	79					I/OD	PMBus-A オープンドレイン双方向データ
SPIB_CLK	9								I/O	SPI-B クロック
EQEP2_A	10								I	eQEP-2 入力 A
LINA_TX	11								O	LIN-A 送信
EPWM3_A	13								O	ePWM-3 出力 A
CLB_OUTPUTXBAR7	14								O	CLB 出力クロスバー出力 7
GPIO15	0、4、8、12								I/O	汎用入出力 15
EPWM8_B	1								O	ePWM-8 出力 B
SCIB_RX	2								I	SCI-B 受信データ
I2CB_SCL	5								I/OD	I2C-B オープンドレイン双方向クロック
OUTPUTXBAR4	6								O	出力クロスバー出力 4
PMBUSA_SCL	7	95	78	78					I/OD	PMBus-A オープンドレイン双方向クロック
SPIB_PTE	9								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
EQEP2_B	10								I	eQEP-2 入力 B
LINA_RX	11								I	LIN-A 受信
EPWM3_B	13								O	ePWM-3 出力 B
CLB_OUTPUTXBAR6	14								O	CLB 出力クロスバー出力 6

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO16	0、4、8、12	54	39	39	33	30			I/O	汎用入出力 16。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SPIA_PICO	1								I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
OUTPUTXBAR7	3								O	出力クロスバー出力 7
EPWM9_A	5								O	ePWM-9 出力 A
SCIA_TX	6								O	SCI-A 送信データ
SD1_D1	7								I	SDFM-1 チャネル 1 データ入力
EQEP1_STROBE	9								I/O	eQEP-1 ストローブ
PMBUSA_SCL	10								I/OD	PMBus-A オープン ドレイン双方向クロック
XCLKOUT	11								O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
EQEP2_B	13								I	eQEP-2 入力 B
SPIB_POCI	14								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
EQEP3_STROBE	15								I/O	eQEP-3 ストローブ
GPIO17	0、4、8、12	55	40	40	34	31			I/O	汎用入出力 17。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SPIA_POCI	1								I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
OUTPUTXBAR8	3								O	出力クロスバー出力 8
EPWM9_B	5								O	ePWM-9 出力 B
SCIA_RX	6								I	SCI-A 受信データ
SD1_C1	7								I	SDFM-1 チャネル 1 クロック入力
EQEP1_INDEX	9								I/O	eQEP-1 インデックス
PMBUSA_SDA	10								I/OD	PMBus-A オープン ドレイン双方向データ
MCANA_TX	11								O	CAN/CAN FD 送信
EPWM6_A	14								O	ePWM-6 出力 A
GPIO18	0、4、8、12	68	50	50	41	38	G4	18	I/O	汎用入出力 18
SPIA_CLK	1								I/O	SPI-A クロック
SCIB_TX	2								O	SCI-B 送信データ
EPWM6_A	5								O	ePWM-6 出力 A
I2CA_SCL	6								I/OD	I2C-A オープン ドレイン双方向クロック
SD1_D2	7								I	SDFM-1 チャネル 2 データ入力
EQEP2_A	9								I	eQEP-2 入力 A
PMBUSA_CTL	10								I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
XCLKOUT	11								O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
LINA_TX	13								O	LIN-A 送信
EQEP3_INDEX	15								I/O	eQEP-3 インデックス
X2	ALT								I/O	水晶発振器出力。
GPIO19	0、4、8、12	69	51	51	42	39	G3	17	I/O	汎用入出力 19
SPIA_PTE	1								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
SCIB_RX	2								I	SCI-B 受信データ
EPWM6_B	5								O	ePWM-6 出力 B
I2CA_SDA	6								I/OD	I2C-A オープン ドレイン双方向データ
SD1_C2	7								I	SDFM-1 チャネル 2 クロック入力
EQEP2_B	9								I	eQEP-2 入力 B
PMBUSA_ALERT	10								I/OD	PMBus-A オープン ドレイン双方向アラート信号
CLB_OUTPUTXBAR1	11								O	CLB 出力クロスバー出力 1
LINA_RX	13								I	LIN-A 受信
X1	ALT								I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO20	0、4、8、12	48	33	33	27	24	F6	25	I/O	汎用入出力 20。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_A	1								I	eQEP-1 入力 A
EPWM12_A	5								O	ePWM-12 出力 A
SPIB_PICO	6								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD1_D3	7								I	SDFM-1 チャネル 3 データ入力
MCANA_TX	9								O	CAN/CAN FD 送信
ADCE_EXTMUXSEL0	10								O	ADCE 外部マルチプレクサ位置選択ピン 0
I2CA_SCL	11								I/OD	I2C-A オープンドレイン双方向クロック
SCIC_TX	15								O	SCI-C 送信データ
GPIO21	0、4、8、12	49	34	34	28	25			I/O	汎用入出力 21。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_B	1								I	eQEP-1 入力 B
EPWM12_B	5								O	ePWM-12 出力 B
SPIB_POCI	6								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD1_C3	7								I	SDFM-1 チャネル 3 クロック入力
MCANA_RX	9								I	CAN/CAN FD 受信
ADCE_EXTMUXSEL1	10								O	ADCE 外部マルチプレクサ位置選択ピン 1
I2CA_SDA	11								I/OD	I2C-A オープンドレイン双方向データ
SCIC_RX	15								I	SCI-C 受信データ
GPIO22	0、4、8、12	83	67	67	56	51			I/O	汎用入出力 22
EQEP1_STROBE	1								I/O	eQEP-1 ストローブ
SCIB_TX	3								O	SCI-B 送信データ
SPIB_CLK	6								I/O	SPI-B クロック
SD1_D4	7								I	SDFM-1 チャネル 4 データ入力
LINA_TX	9、11								O	LIN-A 送信
CLB_OUTPUTXBAR1	10								O	CLB 出力クロスバー出力 1
EPWM4_A	14								O	ePWM-4 出力 A
EQEP3_A	15								I	eQEP-3 入力 A
GPIO23	0、4、8、12	81	65	65	54	49			I/O	汎用入出力 23
EQEP1_INDEX	1								I/O	eQEP-1 インデックス
SCIB_RX	3								I	SCI-B 受信データ
SPIB_PTE	6								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD1_C4	7								I	SDFM-1 チャネル 4 クロック入力
LINA_RX	9、11								I	LIN-A 受信
CLB_OUTPUTXBAR3	10								O	CLB 出力クロスバー出力 3
EPWM12_A	13								O	ePWM-12 出力 A
EPWM4_B	14								O	ePWM-4 出力 B
GPIO24	0、4、8、12	56	41	41	35	32	G7	24	I/O	汎用入出力 24。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR1	1								O	出力クロスバー出力 1
EQEP2_A	2								I	eQEP-2 入力 A
SPIA_PTE	3								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
EPWM8_A	5								O	ePWM-8 出力 A
SPIB_PICO	6								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD2_D1	7								I	SDFM-2 チャネル 1 データ入力
LINA_TX	9								O	LIN-A 送信
PMBUSA_SCL	10								I/OD	PMBus-A オープンドレイン双方向クロック
SCIA_TX	11								O	SCI-A 送信データ
ERRORSTS	13								O	エラー ステータス出力。外部プルダウンが必要。
EPWM9_A	14								O	ePWM-9 出力 A

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO25	0、4、8、12								I/O	汎用入出力 25
OUTPUTXBAR2	1								O	出力クロスバー出力 2
EQEP2_B	2								I	eQEP-2 入力 B
EQEP1_A	5								I	eQEP-1 入力 A
SPIB_POCI	6	57	42	42					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD2_C1	7								I	SDFM-2 チャネル 1 クロック入力
FSITXA_D1	9								O	FSITX-A オプションの追加データ出力
PMBUSA_SDA	10								I/OD	PMBus-A オープン ドレイン双方向データ
SCIA_RX	11								I	SCI-A 受信データ
EQEP3_A	13								I	eQEP-3 入力 A
GPIO26	0、4、8、12								I/O	汎用入出力 26
OUTPUTXBAR3	1、5								O	出力クロスバー出力 3
EQEP2_INDEX	2								I/O	eQEP-2 インデックス
SPIB_CLK	6								I/O	SPI-B クロック
SD2_D2	7	58	43	43					I	SDFM-2 チャネル 2 データ入力
FSITXA_D0	9								O	FSITX-A 1 次データ出力
PMBUSA_CTL	10								I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
I2CA_SDA	11								I/OD	I2C-A オープン ドレイン双方向データ
EQEP3_B	13								I	eQEP-3 入力 B
GPIO27	0、4、8、12								I/O	汎用入出力 27
OUTPUTXBAR4	1、5								O	出力クロスバー出力 4
EQEP2_STROBE	2								I/O	eQEP-2 ストローブ
SPIB_PTE	6								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD2_C2	7	59	44	44					I	SDFM-2 チャネル 2 クロック入力
FSITXA_CLK	9								O	FSITX-A 出力クロック
PMBUSA_ALERT	10								I/OD	PMBus-A オープン ドレイン双方向アラート信号
I2CA_SCL	11								I/OD	I2C-A オープン ドレイン双方向クロック
EQEP3_STROBE	13								I/O	eQEP-3 ストローブ
GPIO28	0、4、8、12								I/O	汎用入出力 28。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SCIA_RX	1								I	SCI-A 受信データ
EPWM7_A	3								O	ePWM-7 出力 A
OUTPUTXBAR5	5								O	出力クロスバー出力 5
EQEP1_A	6								I	eQEP-1 入力 A
SD2_D3	7	1	4	4	2	3			I	SDFM-2 チャネル 3 データ入力
EQEP2_STROBE	9								I/O	eQEP-2 ストローブ
LINA_TX	10								O	LIN-A 送信
SPIB_CLK	11								I/O	SPI-B クロック
ERRORSTS	13								O	エラー ステータス出力。外部プルダウンが必要。
I2CB_SDA	14								I/OD	I2C-B オープン ドレイン双方向データ
GPIO29	0、4、8、12								I/O	汎用入出力 29
SCIA_TX	1								O	SCI-A 送信データ
EPWM7_B	3								O	ePWM-7 出力 B
OUTPUTXBAR6	5								O	出力クロスバー出力 6
EQEP1_B	6								I	eQEP-1 入力 B
SD2_C3	7	100	3	3	1	2			I	SDFM-2 チャネル 3 クロック入力
EQEP2_INDEX	9								I/O	eQEP-2 インデックス
LINA_RX	10								I	LIN-A 受信
SPIB_PTE	11								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
ERRORSTS	13								O	エラー ステータス出力。外部プルダウンが必要。
I2CB_SCL	14								I/OD	I2C-B オープン ドレイン双方向クロック
AUXCLKIN	ALT								I	補助クロック入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO30	0、4、8、12	98	1	1					I/O	汎用入出力 30
SPIB_PICO	3								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
OUTPUTXBAR7	5								O	出力クロスバー出力 7
EQEP1_STROBE	6								I/O	eQEP-1 ストローブ
SD2_D4	7								I	SDFM-2 チャネル 4 データ入力
FSIRXA_CLK	9								I	FSIRX-A 入力クロック
MCANA_RX	10								I	CAN/CAN FD 受信
EPWM1_A	11								O	ePWM-1 出力 A
EQEP3_INDEX	13								I/O	eQEP-3 インデックス
GPIO31	0、4、8、12	99	2	2					I/O	汎用入出力 31
SPIB_POCI	3								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
OUTPUTXBAR8	5								O	出力クロスバー出力 8
EQEP1_INDEX	6								I/O	eQEP-1 インデックス
SD2_C4	7								I	SDFM-2 チャネル 4 クロック入力
FSIRXA_D1	9								I	FSIRX-A オプションの追加データ入力
MCANA_TX	10								O	CAN/CAN FD 送信
EPWM1_B	11								O	ePWM-1 出力 B
GPIO32	0、4、8、12	64	49	49	40	37	F5	20	I/O	汎用入出力 32
I2CA_SDA	1								I/OD	I2C-A オープンドレイン双方向データ
EQEP1_INDEX	2								I/O	eQEP-1 インデックス
SPIB_CLK	3								I/O	SPI-B クロック
EPWM8_B	5								O	ePWM-8 出力 B
LINA_TX	6								O	LIN-A 送信
SD1_D2	7								I	SDFM-1 チャネル 2 データ入力
FSIRXA_D0	9								I	FSIRX-A 1 次データ入力
PMBUSA_SDA	11								I/OD	PMBus-A オープンドレイン双方向データ
ADCSOCBO	13								O	外部 ADC 用の ADC 変換開始 B
GPIO33	0、4、8、12	53	38	38	32	29			I/O	汎用入出力 33。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CA_SCL	1								I/OD	I2C-A オープンドレイン双方向クロック
SPIB_PTE	3								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
OUTPUTXBAR4	5								O	出力クロスバー出力 4
LINA_RX	6								I	LIN-A 受信
SD1_C2	7								I	SDFM-1 チャネル 2 クロック入力
FSIRXA_CLK	9								I	FSIRX-A 入力クロック
EQEP2_B	11								I	eQEP-2 入力 B
ADCSOCAO	13								O	外部 ADC 用の ADC 変換開始 A
SD1_C1	14								I	SDFM-1 チャネル 1 クロック入力
SCIC_RX	15								I	SCI-C 受信データ
GPIO34	0、4、8、12	94	77	77					I/O	汎用入出力 34
OUTPUTXBAR1	1								O	出力クロスバー出力 1
PMBUSA_SDA	6								I/OD	PMBus-A オープンドレイン双方向データ
I2CB_SDA	14								I/OD	I2C-B オープンドレイン双方向データ

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO35	0、4、8、12	63	48	48	39	36	G5	21	I/O	汎用入出力 35
SCIA_RX	1								I	SCI-A 受信データ
SPIA_POCI	2								I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SDA	3								I/OD	I2C-A オープン ドレイン双方向データ
PMBUSA_SCL	6								I/OD	PMBus-A オープン ドレイン双方向クロック
LINA_RX	7								I	LIN-A 受信
EQEP1_A	9								I	eQEP-1 入力 A
PMBUSA_CTL	10								I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
EPWM5_B	11								O	ePWM-5 出力 B
SD2_C1	13								I	SDFM-2 チャネル 1 クロック入力
TDI	15								I	JTAG テスト データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。
GPIO37	0、4、8、12	61	46	46	37	34	E5	22	I/O	汎用入出力 37
OUTPUTXBAR2	1								O	出力クロスバー出力 2
SPIA_PTE	2								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
I2CA_SCL	3								I/OD	I2C-A オープン ドレイン双方向クロック
SCIA_TX	5								O	SCI-A 送信データ
LINA_TX	7								O	LIN-A 送信
EQEP1_B	9								I	eQEP-1 入力 B
PMBUSA_ALERT	10								I/OD	PMBus-A オープン ドレイン双方向アラート信号
EPWM5_A	11								O	ePWM-5 出力 A
TDO	15								O	JTAG テスト データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。
GPIO39	0、4、8、12			56					I/O	汎用入出力 39
MCANA_RX	6								I	CAN/CAN FD 受信
FSIRXA_CLK	7								I	FSIRX-A 入力クロック
EQEP2_INDEX	9								I/O	eQEP-2 インデックス
CLB_OUTPUTXBAR2	11								O	CLB 出力クロスバー出力 2
SYNCOUT	13								O	外部 ePWM 同期パルス
EQEP1_INDEX	14								I/O	eQEP-1 インデックス
GPIO40	0、4、8、12	80	64	64	53	48	D3		I/O	汎用入出力 40
SPIB_PICO	1								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
EPWM2_B	5								O	ePWM-2 出力 B
PMBUSA_SDA	6								I/OD	PMBus-A オープン ドレイン双方向データ
FSIRXA_D0	7								I	FSIRX-A 1 次データ入力
SCIB_TX	9								O	SCI-B 送信データ
EQEP1_A	10								I	eQEP-1 入力 A
LINA_TX	11								O	LIN-A 送信
CLB_OUTPUTXBAR4	14								O	CLB 出力クロスバー出力 4
EQEP3_STROBE	15								I/O	eQEP-3 ストローブ

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO41	0、4、8、12	82	66	66	55	50	C3	9	I/O	汎用入出力 41
EPWM7_A	1								O	ePWM-7 出力 A
EPWM2_A	5								O	ePWM-2 出力 A
PMBUSA_SCL	6								I/OD	PMBus-A オープンドレイン双方向クロック
FSIRXA_D1	7								I	FSIRX-A オプションの追加データ入力
SCIB_RX	9								I	SCI-B 受信データ
EQEP1_B	10								I	eQEP-1 入力 B
LINA_RX	11								I	LIN-A 受信
EPWM12_B	13								O	ePWM-12 出力 B
SPIB_POCI	14								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
GPIO42	0、4、8、12		57	57					I/O	汎用入出力 42
LINA_RX	2								I	LIN-A 受信
OUTPUTXBAR5	3								O	出力クロスバー出力 5
PMBUSA_CTL	5								I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
I2CA_SDA	6								I/OD	I2C-A オープンドレイン双方向データ
SCIC_RX	7								I	SCI-C 受信データ
EQEP1_STROBE	10								I/O	eQEP-1 ストローブ
CLB_OUTPUTXBAR3	11								O	CLB 出力クロスバー出力 3
GPIO43	0、4、8、12		54	54					I/O	汎用入出力 43
OUTPUTXBAR6	3								O	出力クロスバー出力 6
PMBUSA_ALERT	5、9								I/OD	PMBus-A オープンドレイン双方向アラート信号
I2CA_SCL	6								I/OD	I2C-A オープンドレイン双方向クロック
SCIC_TX	7								O	SCI-C 送信データ
EQEP1_INDEX	10								I/O	eQEP-1 インデックス
CLB_OUTPUTXBAR4	11								O	CLB 出力クロスバー出力 4
SD2_D3	13								I	SDFM-2 チャネル 3 データ入力
GPIO44	0、4、8、12	85	69	69					I/O	汎用入出力 44
OUTPUTXBAR7	3								O	出力クロスバー出力 7
EQEP1_A	5								I	eQEP-1 入力 A
PMBUSA_SDA	6								I/OD	PMBus-A オープンドレイン双方向データ
FSITXA_CLK	7								O	FSITX-A 出力クロック
PMBUSA_CTL	9								I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
CLB_OUTPUTXBAR3	10								O	CLB 出力クロスバー出力 3
FSIRXA_D0	11								I	FSIRX-A 1 次データ入力
LINA_TX	14								O	LIN-A 送信
GPIO45	0、4、8、12		73	73					I/O	汎用入出力 45
OUTPUTXBAR8	3								O	出力クロスバー出力 8
FSITXA_D0	7								O	FSITX-A 1 次データ出力
PMBUSA_ALERT	9								I/OD	PMBus-A オープンドレイン双方向アラート信号
CLB_OUTPUTXBAR4	10								O	CLB 出力クロスバー出力 4
SD2_C3	13								I	SDFM-2 チャネル 3 クロック入力
GPIO46	0、4、8、12		6	6					I/O	汎用入出力 46
LINA_TX	3								O	LIN-A 送信
MCANA_TX	5								O	CAN/CAN FD 送信
FSITXA_D1	7								O	FSITX-A オプションの追加データ出力
PMBUSA_SDA	9								I/OD	PMBus-A オープンドレイン双方向データ
SD2_C4	13								I	SDFM-2 チャネル 4 クロック入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO47	0、4、8、12	6							I/O	汎用入出力 47
LINA_RX	3								I	LIN-A 受信
MCANA_RX	5								I	CAN/CAN FD 受信
CLB_OUTPUTXBAR2	7								O	CLB 出力クロスバー出力 2
PMBUSA_SCL	9								I/OD	PMBus-A オープンドレイン双方向クロック
SD2_D4	13								I	SDFM-2 チャネル 4 データ入力
GPIO48	0、4、8、12	7					B2		I/O	汎用入出力 48
OUTPUTXBAR3	1								O	出力クロスバー出力 3
MCANA_TX	5								O	CAN/CAN FD 送信
SCIA_TX	6								O	SCI-A 送信データ
SD1_D1	7								I	SDFM-1 チャネル 1 データ入力
PMBUSA_SDA	9								I/OD	PMBus-A オープンドレイン双方向データ
GPIO49	0、4、8、12	8					B3		I/O	汎用入出力 49
OUTPUTXBAR4	1								O	出力クロスバー出力 4
MCANA_RX	5								I	CAN/CAN FD 受信
SCIA_RX	6								I	SCI-A 受信データ
SD1_C1	7								I	SDFM-1 チャネル 1 クロック入力
LINA_RX	9								I	LIN-A 受信
SD2_D1	13								I	SDFM-2 チャネル 1 データ入力
FSITXA_D0	14								O	FSITX-A 1 次データ出力
GPIO50	0、4、8、12	9							I/O	汎用入出力 50
EQEP1_A	1								I	eQEP-1 入力 A
MCANA_TX	5								O	CAN/CAN FD 送信
SPIB_PICO	6								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD1_D2	7								I	SDFM-1 チャネル 2 データ入力
I2CB_SDA	9								I/OD	I2C-B オープンドレイン双方向データ
SD2_D2	13								I	SDFM-2 チャネル 2 データ入力
FSITXA_D1	14								O	FSITX-A オプションの追加データ出力
GPIO51	0、4、8、12	10							I/O	汎用入出力 51
EQEP1_B	1								I	eQEP-1 入力 B
MCANA_RX	5								I	CAN/CAN FD 受信
SPIB_POCI	6								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD1_C2	7								I	SDFM-1 チャネル 2 クロック入力
I2CB_SCL	9								I/OD	I2C-B オープンドレイン双方向クロック
SD2_D3	13								I	SDFM-2 チャネル 3 データ入力
FSITXA_CLK	14								O	FSITX-A 出力クロック
GPIO52	0、4、8、12	11							I/O	汎用入出力 52
EQEP1_STROBE	1								I/O	eQEP-1 ストローブ
CLB_OUTPUTXBAR5	5								O	CLB 出力クロスバー出力 5
SPIB_CLK	6								I/O	SPI-B クロック
SD1_D3	7								I	SDFM-1 チャネル 3 データ入力
SYNCOUT	9								O	外部 ePWM 同期パルス
SD2_D4	13								I	SDFM-2 チャネル 4 データ入力
FSIRXA_D0	14								I	FSIRX-A 1 次データ入力
GPIO53	0、4、8、12	12							I/O	汎用入出力 53
EQEP1_INDEX	1								I/O	eQEP-1 インデックス
CLB_OUTPUTXBAR6	5								O	CLB 出力クロスバー出力 6
SPIB_PTE	6								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD1_C3	7								I	SDFM-1 チャネル 3 クロック入力
ADCSOCAO	9								O	外部 ADC 用の ADC 変換開始 A
SD1_C1	13								I	SDFM-1 チャネル 1 クロック入力
FSIRXA_D1	14								I	FSIRX-A オプションの追加データ入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO54	0、4、8、12	13							I/O	汎用入出力 54
SPIA_PICO	1								I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EQEP2_A	5								I	eQEP-2 入力 A
OUTPUTXBAR2	6								O	出力クロスバー出力 2
SD1_D4	7								I	SDFM-1 チャネル 4 データ入力
ADCSOCBO	9								O	外部 ADC 用の ADC 変換開始 B
LINA_TX	10								O	LIN-A 送信
SD1_C2	13								I	SDFM-1 チャネル 2 クロック入力
FSIRXA_CLK	14								I	FSIRX-A 入力クロック
GPIO55	0、4、8、12	43							I/O	汎用入出力 55
SPIA_POCI	1								I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EQEP2_B	5								I	eQEP-2 入力 B
OUTPUTXBAR3	6								O	出力クロスバー出力 3
SD1_C4	7								I	SDFM-1 チャネル 4 クロック入力
ERRORSTS	9								O	エラー ステータス出力。外部プルダウンが必要。
LINA_RX	10								I	LIN-A 受信
SD1_C3	13								I	SDFM-1 チャネル 3 クロック入力
GPIO56	0、4、8、12	65							I/O	汎用入出力 56
SPIA_CLK	1								I/O	SPI-A クロック
CLB_OUTPUTXBAR7	2								O	CLB 出力クロスバー出力 7
MCANA_TX	3								O	CAN/CAN FD 送信
EQEP2_STROBE	5								I/O	eQEP-2 ストローブ
SCIB_TX	6								O	SCI-B 送信データ
SD2_D1	7								I	SDFM-2 チャネル 1 データ入力
SPIB_PICO	9								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
I2CA_SDA	10								I/OD	I2C-A オープン ドレイン双方向データ
EQEP1_A	11								I	eQEP-1 入力 A
SD1_C4	13								I	SDFM-1 チャネル 4 クロック入力
FSIRXA_D1	14								I	FSIRX-A オプションの追加データ入力
GPIO57	0、4、8、12	66							I/O	汎用入出力 57
SPIA_PTE	1								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
CLB_OUTPUTXBAR8	2								O	CLB 出力クロスバー出力 8
MCANA_RX	3								I	CAN/CAN FD 受信
EQEP2_INDEX	5								I/O	eQEP-2 インデックス
SCIB_RX	6								I	SCI-B 受信データ
SD2_C1	7								I	SDFM-2 チャネル 1 クロック入力
SPIB_POCI	9								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SCL	10								I/OD	I2C-A オープン ドレイン双方向クロック
EQEP1_B	11								I	eQEP-1 入力 B
FSIRXA_CLK	14								I	FSIRX-A 入力クロック
GPIO58	0、4、8、12	67							I/O	汎用入出力 58
OUTPUTXBAR1	5								O	出力クロスバー出力 1
SPIB_CLK	6								I/O	SPI-B クロック
SD2_D2	7								I	SDFM-2 チャネル 2 データ入力
LINA_TX	9								O	LIN-A 送信
EQEP1_STROBE	11								I/O	eQEP-1 ストローブ
SD2_C2	13								I	SDFM-2 チャネル 2 クロック入力
FSIRXA_D0	14								I	FSIRX-A 1 次データ入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO59	0、4、8、12								I/O	汎用入出力 59
OUTPUTXBAR2	5								O	出力クロスバー出力 2
SPIB_PTE	6								I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD2_C2	7	92							I	SDFM-2 チャネル 2 クロック入力
LINA_RX	9								I	LIN-A 受信
EQEP1_INDEX	11								I/O	eQEP-1 インデックス
SD2_C3	13								I	SDFM-2 チャネル 3 クロック入力
GPIO60	0、4、8、12								I/O	汎用入出力 60
EPWM12_B	1								O	ePWM-12 出力 B
MCANA_TX	3								O	CAN/CAN FD 送信
OUTPUTXBAR3	5	44							O	出力クロスバー出力 3
SPIB_PICO	6								I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD2_D3	7								I	SDFM-2 チャネル 3 データ入力
SD2_C4	13								I	SDFM-2 チャネル 4 クロック入力
GPIO61	0、4、8、12								I/O	汎用入出力 61
MCANA_RX	3								I	CAN/CAN FD 受信
OUTPUTXBAR4	5	91							O	出力クロスバー出力 4
SPIB_POCI	6								I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD2_C3	7								I	SDFM-2 チャネル 3 クロック入力
GPIO62	0、4、8、12								I/O	汎用入出力 62
EPWM10_A	1								O	ePWM-10 出力 A
OUTPUTXBAR3	2	46	31	31					O	出力クロスバー出力 3
MCANA_TX	5								O	CAN/CAN FD 送信
SCIA_TX	6								O	SCI-A 送信データ
PMBUSA_SDA	9								I/OD	PMBus-A オープンドレイン双方向データ
GPIO63	0、4、8、12								I/O	汎用入出力 63
EPWM10_B	1								O	ePWM-10 出力 B
OUTPUTXBAR4	2	47	32	32					O	出力クロスバー出力 4
MCANA_RX	5								I	CAN/CAN FD 受信
SCIA_RX	6								I	SCI-A 受信データ
LINA_RX	9								I	LIN-A 受信
GPIO224	0、4、8、12								I/O	汎用入出力 224。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM11_B	1								O	ePWM-11 出力 B
SD2_D3	2								I	SDFM-2 チャネル 3 データ入力
OUTPUTXBAR3	5								O	出力クロスバー出力 3
SPIA_PICO	6	17	13	13	9	7	A4	5	I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EPWM1_A	9								O	ePWM-1 出力 A
MCANA_TX	10								O	CAN/CAN FD 送信
EQEP1_A	11								I	eQEP-1 入力 A
ADCE_EXTMUXSEL3	13								O	ADCE 外部マルチプレクサ位置選択ピン 3
SCIC_TX	14								O	SCI-C 送信データ
GPIO226	0、4、8、12								I/O	汎用入出力 226。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM10_B	1								O	ePWM-10 出力 B
SD2_D4	2								I	SDFM-2 チャネル 4 データ入力
LINA_RX	3								I	LIN-A 受信
EPWM6_A	5	15	11	11	7		A3	7	O	ePWM-6 出力 A
SPIA_CLK	6								I/O	SPI-A クロック
EPWM1_B	9								O	ePWM-1 出力 B
EQEP1_STROBE	11								I/O	eQEP-1 ストローブ
ADCE_EXTMUXSEL1	13								O	ADCE 外部マルチプレクサ位置選択ピン 1
SCIC_RX	14								I	SCI-C 受信データ

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
GPIO227	0、4、8、12	38	28	28	24	22	E6		I/O	汎用入出力 227。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CB_SCL	1								I/OD	I2C-B オープン ドレイン双方向クロック
SD1_C3	2								I	SDFM-1 チャネル 3 クロック入力
EPWM3_A	3								O	ePWM-3 出力 A
OUTPUTXBAR1	5								O	出力クロスバー出力 1
EPWM2_B	6								O	ePWM-2 出力 B
GPIO228	0、4、8、12	14	10	10	6		A3	7	I/O	汎用入出力 228。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM10_A	1								O	ePWM-10 出力 A
ADCSOCAO	3								O	外部 ADC 用の ADC 変換開始 A
MCANA_TX	5								O	CAN/CAN FD 送信
SPIA_POCI	6								I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
SD2_C1	7								I	SDFM-2 チャネル 1 クロック入力
EPWM2_B	9								O	ePWM-2 出力 B
EQEP1_B	11								I	eQEP-1 入力 B
ADCE_EXTMUXSEL0	13								O	ADCE 外部マルチプレクサ位置選択ピン 0
GPIO230	0、4、8、12	40	29	29	25	23	E6		I/O	汎用入出力 230。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CB_SDA	1								I/OD	I2C-B オープン ドレイン双方向データ
SD1_C4	2								I	SDFM-1 チャネル 4 クロック入力
EPWM3_B	3								O	ePWM-3 出力 B
MCANA_RX	5								I	CAN/CAN FD 受信
EPWM2_A	6								O	ePWM-2 出力 A
I2CA_SDA	7								I/OD	I2C-A オープン ドレイン双方向データ
PMBUSA_SCL	9								I/OD	PMBus-A オープン ドレイン双方向クロック
GPIO242	0、4、8、12	16	12	12	8	6	B4	6	I/O	汎用入出力 242。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM11_A	1								O	ePWM-11 出力 A
SD2_D2	2								I	SDFM-2 チャネル 2 データ入力
OUTPUTXBAR2	5								O	出力クロスバー出力 2
SPIA_PTE	6								I/O	SPI-A ペリフェラル送信イネーブル (PTE)
EPWM4_A	9								O	ePWM-4 出力 A
MCANA_RX	10								I	CAN/CAN FD 受信
EQEP1_INDEX	11								I/O	eQEP-1 インデックス
ADCE_EXTMUXSEL2	13								O	ADCE 外部マルチプレクサ位置選択ピン 2
GPIO247	0、4、8、12	42							I/O	汎用入出力 247。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM12_B	1								O	ePWM-12 出力 B
GPIO253	0、4、8、12	41							I/O	汎用入出力 253
EPWM12_A	1								O	ePWM-12 出力 A
テスト、JTAG、リセット										
TCK		60	45	45	36	33	G6	23	I	内部プルアップ付き JTAG テスト クロック。
TMS		62	47	47	38	35	E4	19	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	ピンの種類	説明
XRSn		2	5	5	3	4	A1	8	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。
電源およびグランド										
VDD		4、71、87	8、53、71	8、53、71	4、44、59	5、41、53	D1、G2	14		1.2V デジタル ロジック電源ピン。各 VDD ピンの近くにデカップリング コンデンサを配置することを推奨します。この合計容量は、少なくとも約 10μF になるようにします。内部 VREG を使用する場合、すべての VDD ピンを外部的に互いに接続することも推奨します。
VDDA		34	26	26	22	20	D7	29		3.3V アナログ電源ピン。各ピンに、最小 2.2μF のデカップリング コンデンサを配置。
VDDIO		3、70、88	7、52、72	7、52、72	43、60	40、54	D2、F3	12		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1μF のデカップリング コンデンサを配置。
VREGENZ		73	56		46	42	F4		I	内部プルダウン付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。
VSS		5、45、72、86	9、30、55、70	9、30、55、70	5、26、45、58	PAD	A2、D4、F7、G1	A2、A3、A4、PAD		デジタル GND
VSSA		33	25	25	21	19	C7	30、A1		アナログ GND

Copyright © 2026 Texas Instruments Incorporated

5.3 信号の説明

5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
A0	I	ADC-A 入力 0	23	19	19	15	13	C6	1
A1	I	ADC-A 入力 1	22	18	18	14	12	B5	3
A2	I	ADC-A 入力 2	17	13	13	9	7	A4	5
A3	I	ADC-A 入力 3	18	12	12	8	6	B4	6
A4	I	ADC-A 入力 4	36	27	27	23	21	E7	26
A5	I	ADC-A 入力 5	35	17	17	13	11	C5	2
A6	I	ADC-A 入力 6	14	10	10	6		A3	7
A7	I	ADC-A 入力 7	31	23	23	19	17	D6	28
A8	I	ADC-A 入力 8	37	24	24	20	18	B7	28
A9	I	ADC-A 入力 9	38	28	28	24	22	E6	
A10	I	ADC-A 入力 10	40	29	29	25	23	E6	
A11	I	ADC-A 入力 11	20	16	16	12	10	A6	2
A12	I	ADC-A 入力 12	28	22	22	18	16	D5	27
A13	I	ADC-A 入力 13	26、27	21	21	17	15	A7	32
A14	I	ADC-A 入力 14	19	15	15	11	9	C4	4
A15	I	ADC-A 入力 15		14	14	10	8	A5	4
A16	I	ADC-A 入力 16	1	4	4	2	3		
A17	I	ADC-A 入力 17	48	33	33	27	24	F6	25
A18	I	ADC-A 入力 18	49	34	34	28	25		
A19	I	ADC-A 入力 19	50	35	35	29	26		
A20	I	ADC-A 入力 20	51	36	36	30	27		
A24	I	ADC-A 入力 24	52	37	37	31	28	E3	
A25	I	ADC-A 入力 25	55	40	40	34	31		
AIO225	I	デジタル入力 225 に使用されるアナログ ピン	36	27	27	23	21	E7	26
AIO229	I	デジタル入力 229 に使用されるアナログ ピン	18						
AIO231	I	デジタル入力 231 に使用されるアナログ ピン	23	19	19	15	13	C6	1
AIO232	I	デジタル入力 232 に使用されるアナログ ピン	22	18	18	14	12	B5	3
AIO233	I	デジタル入力 233 に使用されるアナログ ピン		14	14	10	8	A5	4
AIO234	I	デジタル入力 234 に使用されるアナログ ピン	24、25	20	20	16	14	B6	31
AIO235	I	デジタル入力 235 に使用されるアナログ ピン	26、27	21	21	17	15	A7	32
AIO237	I	デジタル入力 237 に使用されるアナログ ピン	20	16	16	12	10	A6	2
AIO238	I	デジタル入力 238 に使用されるアナログ ピン	28	22	22	18	16	D5	27
AIO239	I	デジタル入力 239 に使用されるアナログ ピン	19	15	15	11	9	C4	4
AIO240	I	デジタル入力 240 に使用されるアナログ ピン	37						
AIO241	I	デジタル入力 241 に使用されるアナログ ピン		24	24	20	18	B7	28
AIO244	I	デジタル入力 244 に使用されるアナログ ピン	21	17	17	13	11	C5	2
AIO245	I	デジタル入力 245 に使用されるアナログ ピン	31	23	23	19	17	D6	28
AIO248	I	デジタル入力 248 に使用されるアナログ ピン	29	22	22	18	16	D5	27
AIO249	I	デジタル入力 249 に使用されるアナログ ピン	35						
AIO251	I	デジタル入力 251 に使用されるアナログ ピン	30						
AIO252	I	デジタル入力 252 に使用されるアナログ ピン	32						
B0	I	ADC-B 入力 0	41	24	24	20	18	B7	28
B1	I	ADC-B 入力 1	40	29	29	25	23	E6	

Copyright © 2026 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
B2	I	ADC-B 入力 2	15	11	11	7		A3	7
B3	I	ADC-B 入力 3	16	12	12	8	6	B4	6
B4	I	ADC-B 入力 4	39	28	28	24	22		
B5	I	ADC-B 入力 5	32						
B6	I	ADC-B 入力 6	17	13	13	9	7	A4	5
B7	I	ADC-B 入力 7	22	18	18	14	12	B5	3
B8	I	ADC-B 入力 8	36	27	27	23	21	E7	26
B9	I	ADC-B 入力 9	18	14	14	10	8	A5	4
B10	I	ADC-B 入力 10	20	16	16	12	10	A6	2
B11	I	ADC-B 入力 11	30						
B12	I	ADC-B 入力 12	21	17	17	13	11	C5	2
B13	I	ADC-B 入力 13	26、27	21	21	17	15	A7	32
B14	I	ADC-B 入力 14	19	15	15	11	9	C4	4
B15	I	ADC-B 入力 15	23	19	19	15	13	C6	1
B16	I	ADC-B 入力 16	1	4	4	2	3		
B17	I	ADC-B 入力 17	48	33	33	27	24	F6	25
B18	I	ADC-B 入力 18	49	34	34	28	25		
B19	I	ADC-B 入力 19	50	35	35	29	26		
B20	I	ADC-B 入力 20	51	36	36	30	27		
B24	I	ADC-B 入力 24	53	38	38	32	29		
B25	I	ADC-B 入力 25	56	41	41	35	32	G7	24
B30	I	ADC-B 入力 30	31	23	23	19	17	D6	28
C0	I	ADC-C 入力 0	20	16	16	12	10	A6	2
C1	I	ADC-C 入力 1	29	22	22	18	16	D5	27
C2	I	ADC-C 入力 2	21	17	17	13	11	C5	2
C3	I	ADC-C 入力 3	31	23	23	19	17	D6	28
C4	I	ADC-C 入力 4	19	15	15	11	9	C4	4
C5	I	ADC-C 入力 5	28	12	12	8	6	B4	6
C6	I	ADC-C 入力 6	15	11	11	7		A3	7
C7	I	ADC-C 入力 7	18	14	14	10	8	A5	4
C8	I	ADC-C 入力 8	39	28	28	24	22		
C9	I	ADC-C 入力 9	17	13	13	9	7	A4	5
C10	I	ADC-C 入力 10	40	29	29	25	23	E6	
C11	I	ADC-C 入力 11	41	24	24	20	18	B7	28
C13	I	ADC-C 入力 13	26、27	21	21	17	15	A7	32
C14	I	ADC-C 入力 14	42	27	27	23	21	E7	26
C15	I	ADC-C 入力 15	23	19	19	15	13	C6	1
C16	I	ADC-C 入力 16	1	4	4	2	3		
C17	I	ADC-C 入力 17	48	33	33	27	24	F6	25
C18	I	ADC-C 入力 18	49	34	34	28	25		
C19	I	ADC-C 入力 19	50	35	35	29	26		
C20	I	ADC-C 入力 20	51	36	36	30	27		
C24	I	ADC-C 入力 24	54	39	39	33	30		
CMP1_DACL	I	CMPSS-1 低 DAC 出力	48	33	33	27	24	F6	25
CMP1_HN0	I	CMPSS-1 ハイコンパレータ負入力 0		14	14	10	8	A5	4
CMP1_HN1	I	CMPSS-1 ハイコンパレータ負入力 1	20	16	16	12	10	A6	2

Copyright © 2026 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
CMP1_HP0	I	CMPSS-1 ハイ コンパレータ正入力 0	17	13	13	9	7	A4	5
CMP1_HP1	I	CMPSS-1 ハイ コンパレータ正入力 1	20	16	16	12	10	A6	2
CMP1_HP2	I	CMPSS-1 ハイ コンパレータ正入力 2	14	10	10	6		A3	7
CMP1_HP3	I	CMPSS-1 ハイ コンパレータ正入力 3		14	14	10	8	A5	4
CMP1_HP4	I	CMPSS-1 ハイ コンパレータ正入力 4	22	18	18	14	12	B5	3
CMP1_HP5	I	CMPSS-1 ハイ コンパレータ正入力 5	32						
CMP1_LN0	I	CMPSS-1 ロー コンパレータ負入力 0		14	14	10	8	A5	4
CMP1_LN1	I	CMPSS-1 ロー コンパレータ負入力 1	20	16	16	12	10	A6	2
CMP1_LP0	I	CMPSS-1 ロー コンパレータ正入力 0	17	13	13	9	7	A4	5
CMP1_LP1	I	CMPSS-1 ロー コンパレータ正入力 1	20	16	16	12	10	A6	2
CMP1_LP2	I	CMPSS-1 ロー コンパレータ正入力 2	14	10	10	6		A3	7
CMP1_LP3	I	CMPSS-1 ロー コンパレータ正入力 3		14	14	10	8	A5	4
CMP1_LP4	I	CMPSS-1 ロー コンパレータ正入力 4	22	18	18	14	12	B5	3
CMP1_LP5	I	CMPSS-1 ロー コンパレータ正入力 5	32						
CMP2_HN0	I	CMPSS-2 ハイ コンパレータ負入力 0	40	29	29	25	23	E6	
CMP2_HN1	I	CMPSS-2 ハイ コンパレータ負入力 1	28	22	22	18	16	D5	27
CMP2_HP0	I	CMPSS-2 ハイ コンパレータ正入力 0	36	27	27	23	21	E7	26
CMP2_HP1	I	CMPSS-2 ハイ コンパレータ正入力 1	28	22	22	18	16	D5	27
CMP2_HP2	I	CMPSS-2 ハイ コンパレータ正入力 2	38	28	28	24	22	E6	
CMP2_HP3	I	CMPSS-2 ハイ コンパレータ正入力 3	40	29	29	25	23	E6	
CMP2_HP4	I	CMPSS-2 ハイ コンパレータ正入力 4	41						
CMP2_HP5	I	CMPSS-2 ハイ コンパレータ正入力 5	35	17	17	13	11	C5	2
CMP2_LN0	I	CMPSS-2 ロー コンパレータ負入力 0	40	29	29	25	23	E6	
CMP2_LN1	I	CMPSS-2 ロー コンパレータ負入力 1	28	22	22	18	16	D5	27
CMP2_LP0	I	CMPSS-2 ロー コンパレータ正入力 0	36	27	27	23	21	E7	26
CMP2_LP1	I	CMPSS-2 ロー コンパレータ正入力 1	28	22	22	18	16	D5	27
CMP2_LP2	I	CMPSS-2 ロー コンパレータ正入力 2	38	28	28	24	22	E6	
CMP2_LP3	I	CMPSS-2 ロー コンパレータ正入力 3	40	29	29	25	23	E6	
CMP2_LP4	I	CMPSS-2 ロー コンパレータ正入力 4	41						
CMP2_LP5	I	CMPSS-2 ロー コンパレータ正入力 5	35	17	17	13	11	C5	2
CMP3_HN0	I	CMPSS-3 ハイ コンパレータ負入力 0	16	12	12	8	6	B4	6
CMP3_HN1	I	CMPSS-3 ハイ コンパレータ負入力 1	21	17	17	13	11	C5	2
CMP3_HP0	I	CMPSS-3 ハイ コンパレータ正入力 0	15	11	11	7		A3	7
CMP3_HP1	I	CMPSS-3 ハイ コンパレータ正入力 1	21	17	17	13	11	C5	2
CMP3_HP2	I	CMPSS-3 ハイ コンパレータ正入力 2	23	19	19	15	13	C6	1
CMP3_HP3	I	CMPSS-3 ハイ コンパレータ正入力 3	16	12	12	8	6	B4	6
CMP3_HP4	I	CMPSS-3 ハイ コンパレータ正入力 4	19	15	15	11	9	C4	4
CMP3_HP5	I	CMPSS-3 ハイ コンパレータ正入力 5	18	12	12	8	6	B4	6
CMP3_LN0	I	CMPSS-3 ロー コンパレータ負入力 0	16	12	12	8	6	B4	6
CMP3_LN1	I	CMPSS-3 ロー コンパレータ負入力 1	21	17	17	13	11	C5	2
CMP3_LP0	I	CMPSS-3 ロー コンパレータ正入力 0	15	11	11	7		A3	7
CMP3_LP1	I	CMPSS-3 ロー コンパレータ正入力 1	21	17	17	13	11	C5	2
CMP3_LP2	I	CMPSS-3 ロー コンパレータ正入力 2	23	19	19	15	13	C6	1
CMP3_LP3	I	CMPSS-3 ロー コンパレータ正入力 3	16	12	12	8	6	B4	6
CMP3_LP4	I	CMPSS-3 ロー コンパレータ正入力 4	19	15	15	11	9	C4	4
CMP3_LP5	I	CMPSS-3 ロー コンパレータ正入力 5	18	12	12	8	6	B4	6

Copyright © 2026 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
CMP4_HN0	I	CMPSS-4 ハイ コンパレータ負入力 0	42	27	27	23	21	E7	26
CMP4_HN1	I	CMPSS-4 ハイ コンパレータ負入力 1	31	23	23	19	17	D6	28
CMP4_HP0	I	CMPSS-4 ハイ コンパレータ正入力 0	39	28	28	24	22		
CMP4_HP1	I	CMPSS-4 ハイ コンパレータ正入力 1	31	23	23	19	17	D6	28
CMP4_HP2	I	CMPSS-4 ハイ コンパレータ正入力 2	29	22	22	18	16	D5	27
CMP4_HP3	I	CMPSS-4 ハイ コンパレータ正入力 3	42	27	27	23	21	E7	26
CMP4_HP4	I	CMPSS-4 ハイ コンパレータ正入力 4	37	24	24	20	18	B7	28
CMP4_HP5	I	CMPSS-4 ハイ コンパレータ正入力 5	30						
CMP4_LN0	I	CMPSS-4 ロー コンパレータ負入力 0	42	27	27	23	21	E7	26
CMP4_LN1	I	CMPSS-4 ロー コンパレータ負入力 1	31	23	23	19	17	D6	28
CMP4_LP0	I	CMPSS-4 ロー コンパレータ正入力 0	39	28	28	24	22		
CMP4_LP1	I	CMPSS-4 ロー コンパレータ正入力 1	31	23	23	19	17	D6	28
CMP4_LP2	I	CMPSS-4 ロー コンパレータ正入力 2	29	22	22	18	16	D5	27
CMP4_LP3	I	CMPSS-4 ロー コンパレータ正入力 3	42	27	27	23	21	E7	26
CMP4_LP4	I	CMPSS-4 ロー コンパレータ正入力 4	37	24	24	20	18	B7	28
CMP4_LP5	I	CMPSS-4 ロー コンパレータ正入力 5	30						
D0	I	ADC-D 入力 0	52	37	37	31	28	E3	
D1	I	ADC-D 入力 1	53	38	38	32	29		
D2	I	ADC-D 入力 2	54	39	39	33	30		
D3	I	ADC-D 入力 3	55	40	40	34	31		
D4	I	ADC-D 入力 4	56	41	41	35	32	G7	24
D11	I	ADC-D 入力 11	22	18	18	14	12	B5	3
D12	I	ADC-D 入力 12	31	23	23	19	17	D6	28
D13	I	ADC-D 入力 13	26、27	21	21	17	15	A7	32
D14	I	ADC-D 入力 14	14	10	10	6		A3	7
D15	I	ADC-D 入力 15	32						
D16	I	ADC-D 入力 16	30						
D20	I	ADC-D 入力 20	24、25	20	20	16	14	B6	31
DACA_OUT	O	バッファ付き DAC-A 出力。	23	19	19	15	13	C6	1
DACB_OUT	O	バッファ付き DAC-B 出力。	22	18	18	14	12	B5	3
E0	I	ADC-E 入力 0	52	37	37	31	28	E3	
E1	I	ADC-E 入力 1	53	38	38	32	29		
E2	I	ADC-E 入力 2	54	39	39	33	30		
E3	I	ADC-E 入力 3	55	40	40	34	31		
E4	I	ADC-E 入力 4	56	41	41	35	32	G7	24
E11	I	ADC-E 入力 11	29	22	22	18	16	D5	27
E12	I	ADC-E 入力 12	15	11	11	7		A3	7
E13	I	ADC-E 入力 13	26、27	21	21	17	15	A7	32
E14	I	ADC-E 入力 14	14	10	10	6		A3	7
E15	I	ADC-E 入力 15	32						
E16	I	ADC-E 入力 16	30						
E20	I	ADC-E 入力 20	24、25	20	20	16	14	B6	31
E30	I	ADC-E 入力 30	31	23	23	19	17	D6	28
PGA1_INM	I	PGA-1 負	18	14	14	10	8	A5	4
PGA1_INP	I	PGA-1 正	17	13	13	9	7	A4	5
PGA1_OUT	O	PGA-1 出力	19	15	15	11	9	C4	4

Copyright © 2026 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
PGA2_INM	I	PGA-2 負	21	17	17	13	11	C5	2
PGA2_INP	I	PGA-2 正	16	12	12	8	6	B4	6
PGA2_OUT	O	PGA-2 出力	20	16	16	12	10	A6	2
PGA3_INM	I	PGA-3 負	30	23	23	19	17	D6	28
PGA3_INP	I	PGA-3 正	29	22	22	18	16	D5	27
PGA3_OUT	O	PGA-3 出力	32	24	24	20	18	B7	28
VREFHI	I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2µF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。	24、25	20	20	16	14	B6	31
VREFLO	I	ADC の低い基準電圧	26、27	21	21	17	15	A7	32

5.3.2 デジタル信号

表 5-3. デジタル信号

信号名	ピンの種類	説明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
ADCE_EXTMUXSEL 0	O	ADCE 外部マルチプレクサ位置選択ピン 0	20、228	14、48	10、33	10、33	6、27	24	A3、F6	7、25
ADCE_EXTMUXSEL 1	O	ADCE 外部マルチプレクサ位置選択ピン 1	21、226	15、49	11、34	11、34	7、28	25	A3	7
ADCE_EXTMUXSEL 2	O	ADCE 外部マルチプレクサ位置選択ピン 2	242	16	12	12	8	6	B4	6
ADCE_EXTMUXSEL 3	O	ADCE 外部マルチプレクサ位置選択ピン 3	224	17	13	13	9	7	A4	5
ADCSOCAO	O	外部 ADC 用の ADC 変換開始 A	8、33、53、228	12、14、53、74	10、38、58	10、38、58	6、32、47	29	A3	7
ADCSOCBO	O	外部 ADC 用の ADC 変換開始 B	10、32、54	13、64、93	49、76	49、76	40、63	37	F5	20
AUXCLKIN	I	補助クロック入力	29	100	3	3	1	2		
CLB_OUTPUTXBAR1	O	CLB 出力クロスバー出力 1	19、22	69、83	51、67	51、67	42、56	39、51	G3	17
CLB_OUTPUTXBAR2	O	CLB 出力クロスバー出力 2	7、39、47	6、84	68	56、68	57	52		
CLB_OUTPUTXBAR3	O	CLB 出力クロスバー出力 3	23、42、44	81、85	57、65、69	57、65、69	54	49		
CLB_OUTPUTXBAR4	O	CLB 出力クロスバー出力 4	10、40、43、45	80、93	54、64、73、76	54、64、73、76	53、63	48	D3	
CLB_OUTPUTXBAR5	O	CLB 出力クロスバー出力 5	5、8、52	11、74、89	58、74	58、74	47、61	55	C1	11
CLB_OUTPUTXBAR6	O	CLB 出力クロスバー出力 6	4、15、53	12、75、95	59、78	59、78	48	43	F2	16
CLB_OUTPUTXBAR7	O	CLB 出力クロスバー出力 7	1、14、56	65、78、96	62、79	62、79	51	46	F1	15
CLB_OUTPUTXBAR8	O	CLB 出力クロスバー出力 8	0、6、57	66、79、97	63、80	63、80	52、64	1、47	B1、E1	13
EPWM1_A	O	ePWM-1 出力 A	0、4、30、224	17、75、79、98	1、13、59、63	1、13、59、63	9、48、52	7、43、47	A4、E1、F2	5、13、16
EPWM1_B	O	ePWM-1 出力 B	1、5、31、226	15、78、89、99	2、11、62、74	2、11、62、74	7、51、61	46、55	A3、C1、F1	7、11、15
EPWM2_A	O	ePWM-2 出力 A	2、6、7、41、230	40、77、82、84、97	29、61、66、68、80	29、61、66、68、80	25、50、55、57、64	1、23、45、50、52	B1、C3、E6	9
EPWM2_B	O	ePWM-2 出力 B	3、7、40、227、228	14、38、76、80、84	10、28、60、64、68	10、28、60、64、68	6、24、49、53、57	22、44、48、52	A3、D3、E2、E6	7
EPWM3_A	O	ePWM-3 出力 A	0、4、14、227	38、75、79、96	28、59、63、79	28、59、63、79	24、48、52	22、43、47	E1、E6、F2	13、16
EPWM3_B	O	ePWM-3 出力 B	1、5、15、230	40、78、89、95	29、62、74、78	29、62、74、78	25、51、61	23、46、55	C1、E6、F1	11、15
EPWM4_A	O	ePWM-4 出力 A	2、6、22、242	16、77、83、97	12、61、67、80	12、61、67、80	8、50、56、64	1、6、45、51	B1、B4	6
EPWM4_B	O	ePWM-4 出力 B	3、7、23	76、81、84	60、65、68	60、65、68	49、54、57	44、49、52	E2	
EPWM5_A	O	ePWM-5 出力 A	8、37	61、74	46、58	46、58	37、47	34	E5	22
EPWM5_B	O	ePWM-5 出力 B	9、35	63、90	48、75	48、75	39、62	36、56	C2、G5	10、21
EPWM6_A	O	ePWM-6 出力 A	10、17、18、226	15、55、68、93	11、40、50、76	11、40、50、76	7、34、41、63	31、38	A3、G4	7、18
EPWM6_B	O	ePWM-6 出力 B	11、19	52、69	37、51	37、51	31、42	28、39	E3、G3	17
EPWM7_A	O	ePWM-7 出力 A	12、28、41、236	1、39、51、82	4、28、36、66	4、28、36、66	2、24、30、55	3、22、27、50	C3	9
EPWM8_A	O	ePWM-8 出力 A	14、24	56、96	3、35	41、79	35	32	G7	24
EPWM9_A	O	ePWM-9 出力 A	16、24	54、56	39、41	39、41	33、35	30、32	G7	24
EPWM9_B	O	ePWM-9 出力 B	17	55	40	40	34	31		
EPWM10_A	O	ePWM-10 出力 A	2、62、228	14、46、77	10、31、61	10、31、61	6、50	45	A3	7
EPWM10_B	O	ePWM-10 出力 B	1、63、226	15、47、78	11、32、62	11、32、62	7、51	46	A3、F1	7、15
EPWM11_A	O	ePWM-11 出力 A	8、242	16、74	12、58	12、58	8、47	6	B4	6
EPWM11_B	O	ePWM-11 出力 B	4、224	17、75	13、59	13、59	9、48	7、43	A4、F2	5、16
EPWM12_A	O	ePWM-12 出力 A	20、23、236、253	39、41、48、81	28、33、65	28、33、65	24、27、54	22、24、49	F6	25
EPWM12_B	O	ePWM-12 出力 B	21、41、60、247	42、44、49、82	34、66	34、66	28、55	25、50	C3	9

Copyright © 2026 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
EQEP1_A	I	eQEP-1 入力 A	6、10、20、25、28、35、40、44、50、56、224	1、9、17、48、57、63、65、80、85、93、97	4、13、33、42、48、64、69、76、80	4、13、33、42、48、64、69、76、80	2、9、27、39、53、63、64	1、3、7、24、36、48	A4、B1、D3、F6、G5	5、21、25
EQEP1_B	I	eQEP-1 入力 B	7、11、21、29、37、41、51、57、228	10、14、49、52、61、66、82、84、100	3、10、34、37、46、66、68	3、10、34、37、46、66、68	1、6、28、31、37、55、57	2、25、28、34、50、52	A3、C3、E3、E5	7、9、22
EQEP1_INDEX	I/O	eQEP-1 インデックス	0、9、13、17、23、31、32、39、43、53、59、236、242	12、16、39、50、55、64、79、81、90、92、99	2、12、28、35、40、49、54、63、65、75	2、12、28、35、40、49、54、56、63、65、75	8、24、29、34、40、52、54、62	6、22、26、31、37、47、49、56	B4、C2、E1、F5	6、10、13、20
EQEP1_STROBE	I/O	eQEP-1 ストローブ	1、8、12、16、22、30、42、52、58、226	11、15、51、54、67、74、78、83、98	1、11、36、39、57、58、62、67	1、11、36、39、57、58、62、67	7、30、33、47、51、56	27、30、46、51	A3、F1	7、15
EQEP2_A	I	eQEP-2 入力 A	11、14、18、24、54	13、52、56、68、96	37、41、50、79	37、41、50、79	31、35、41	28、32、38	E3、G4、G7	18、24
EQEP2_B	I	eQEP-2 入力 B	15、16、19、25、33、55	43、53、54、57、69、95	38、39、42、51、78	38、39、42、51、78	32、33、42	29、30、39	G3	17
EQEP2_INDEX	I/O	eQEP-2 インデックス	26、29、39、57	58、66、100	3、43	3、43、56	1	2		
EQEP2_STROBE	I/O	eQEP-2 ストローブ	4、27、28、56	1、59、65、75	4、44、59	4、44、59	2、48	3、43	F2	16
EQEP3_B	I	eQEP-3 入力 B	9、26	58、90	42、67	43、75	62	56	C2	10
EQEP3_INDEX	I/O	eQEP-3 インデックス	11、18、30	52、68、98	1、37、50	1、37、50	31、41	28、38	E3、G4	18
EQEP3_STROBE	I/O	eQEP-3 ストローブ	10、16、27、40	54、59、80、93	39、44、64、76	39、44、64、76	33、53、63	30、48	D3	
ERRORSTS	O	エラー ステータス出力。外部プルダウンが必要。	24、28、29、55	1、43、56、100	3、4、41	3、4、41	1、2、35	2、3、32	G7	24
FSIRXA_CLK	I	FSIRX-A 入力クロック	0、4、13、30、33、39、54、57	13、50、53、66、75、79、98	1、35、38、59、63	1、35、38、56、59、63	29、32、48、52	26、29、43、47	E1、F2	13、16
FSIRXA_D0	I	FSIRX-A 1 次データ入力	3、12、32、40、44、52、58	11、51、64、67、76、80、85	36、49、60、64、69	36、49、60、64、69	30、40、49、53	27、37、44、48	D3、E2、F5	20
FSIRXA_D1	I	FSIRX-A オプションの追加データ入力	2、11、31、41、53、56	12、52、65、77、82、99	2、37、61、66	2、37、61、66	31、50、55	28、45、50	C3、E3	9
FSITXA_CLK	O	FSITX-A 出力クロック	7、10、27、44、51	10、59、84、85、93	44、68、69、76	44、68、69、76	57、63	52		
FSITXA_D0	O	FSITX-A 1 次データ出力	6、9、26、45、49	8、58、90、97	43、73、75、80	43、73、75、80	62、64	1、56	B1、B3、C2	10
FSITXA_D1	O	FSITX-A オプションの追加データ出力	5、6、8、25、46、50	9、57、74、89、97	6、42、58、74、80	6、42、58、74、80	47、61、64	1、55	B1、C1	11
GPIO0	I/O	汎用入出力 0	0	79	63	63	52	47	E1	13
GPIO1	I/O	汎用入出力 1	1	78	62	62	51	46	F1	15
GPIO2	I/O	汎用入出力 2	2	77	61	61	50	45		
GPIO3	I/O	汎用入出力 3	3	76	60	60	49	44	E2	
GPIO4	I/O	汎用入出力 4	4	75	59	59	48	43	F2	16
GPIO5	I/O	汎用入出力 5	5	89	74	74	61	55	C1	11
GPIO6	I/O	汎用入出力 6	6	97	80	80	64	1	B1	
GPIO7	I/O	汎用入出力 7	7	84	68	68	57	52		
GPIO8	I/O	汎用入出力 8	8	74	58	58	47			
GPIO9	I/O	汎用入出力 9	9	90	75	75	62	56	C2	10
GPIO10	I/O	汎用入出力 10	10	93	76	76	63			
GPIO11	I/O	汎用入出力 11	11	52	37	37	31	28	E3	
GPIO12	I/O	汎用入出力 12	12	51	36	36	30	27		

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
GPIO13	I/O	汎用入出力 13	13	50	35	35	29	26		
GPIO14	I/O	汎用入出力 14	14	96	79	79				
GPIO15	I/O	汎用入出力 15	15	95	78	78				
GPIO16	I/O	汎用入出力 16	16	54	39	39	33	30		
GPIO17	I/O	汎用入出力 17	17	55	40	40	34	31		
GPIO18	I/O	汎用入出力 18	18	68	50	50	41	38	G4	18
GPIO19	I/O	汎用入出力 19	19	69	51	51	42	39	G3	17
GPIO20	I/O	汎用入出力 20	20	48	33	33	27	24	F6	25
GPIO21	I/O	汎用入出力 21	21	49	34	34	28	25		
GPIO22	I/O	汎用入出力 22	22	83	67	67	56	51		
GPIO23	I/O	汎用入出力 23	23	81	65	65	54	49		
GPIO24	I/O	汎用入出力 24	24	56	41	41	35	32	G7	24
GPIO25	I/O	汎用入出力 25	25	57	42	42				
GPIO26	I/O	汎用入出力 26	26	58	43	43				
GPIO27	I/O	汎用入出力 27	27	59	44	44				
GPIO28	I/O	汎用入出力 28	28	1	4	4	2	3		
GPIO29	I/O	汎用入出力 29	29	100	3	3	1	2		
GPIO30	I/O	汎用入出力 30	30	98	1	1				
GPIO31	I/O	汎用入出力 31	31	99	2	2				
GPIO32	I/O	汎用入出力 32	32	64	49	49	40	37	F5	20
GPIO33	I/O	汎用入出力 33	33	53	38	38	32	29		
GPIO34	I/O	汎用入出力 34	34	94	77	77				
GPIO35	I/O	汎用入出力 35	35	63	48	48	39	36	G5	21
GPIO37	I/O	汎用入出力 37	37	61	46	46	37	34	E5	22
GPIO39	I/O	汎用入出力 39	39		56	56				
GPIO40	I/O	汎用入出力 40	40	80	64	64	53	48	D3	
GPIO41	I/O	汎用入出力 41	41	82	66	66	55	50	C3	9
GPIO42	I/O	汎用入出力 42	42		57	57				
GPIO43	I/O	汎用入出力 43	43		54	54				
GPIO44	I/O	汎用入出力 44	44	85	69	69				
GPIO45	I/O	汎用入出力 45	45		73	73				
GPIO46	I/O	汎用入出力 46	46		6	6				
GPIO47	I/O	汎用入出力 47	47	6						
GPIO48	I/O	汎用入出力 48	48	7					B2	
GPIO49	I/O	汎用入出力 49	49	8					B3	
GPIO50	I/O	汎用入出力 50	50	9						
GPIO51	I/O	汎用入出力 51	51	10						
GPIO52	I/O	汎用入出力 52	52	11						
GPIO53	I/O	汎用入出力 53	53	12						
GPIO54	I/O	汎用入出力 54	54	13						
GPIO55	I/O	汎用入出力 55	55	43						
GPIO56	I/O	汎用入出力 56	56	65						
GPIO57	I/O	汎用入出力 57	57	66						
GPIO58	I/O	汎用入出力 58	58	67						
GPIO59	I/O	汎用入出力 59	59	92						
GPIO60	I/O	汎用入出力 60	60	44						
GPIO61	I/O	汎用入出力 61	61	91						
GPIO62	I/O	汎用入出力 62	62	46	31	31				
GPIO63	I/O	汎用入出力 63	63	47	32	32				
GPIO224	I/O	汎用入出力 224	224	17	13	13	9	7	A4	5
GPIO226	I/O	汎用入出力 226	226	15	11	11	7		A3	7

Copyright © 2026 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
GPIO227	I/O	汎用入出力 227	227	38	28	28	24	22	E6	
GPIO228	I/O	汎用入出力 228	228	14	10	10	6		A3	7
GPIO230	I/O	汎用入出力 230	230	40	29	29	25	23	E6	
GPIO236	I/O	汎用入出力 236	236	39	28	28	24	22		
GPIO242	I/O	汎用入出力 242	242	16	12	12	8	6	B4	6
GPIO247	I/O	汎用入出力 247	247	42						
GPIO253	I/O	汎用入出力 253	253	41						
I2CA_SCL	I/OD	I2C-A オープンドレイン双方向クロック	1、4、8、9、18、20、27、33、37、43、57	48、53、59、61、66、68、74、75、78、90	33、38、44、46、50、54、58、59、62、75	33、38、44、46、50、54、58、59、62、75	27、32、37、41、47、48、51、62	24、29、34、38、43、46、56	C2、E5、F1、F2、F6、G4	10、15、16、18、22、25
I2CA_SDA	I/OD	I2C-A オープンドレイン双方向データ	0、5、10、19、21、26、32、35、42、56、230	40、49、58、63、64、65、69、79、89、93	29、34、43、48、49、51、57、63、74、76	29、34、43、48、49、51、57、63、74、76	25、28、39、40、42、52、61、63	23、25、36、37、39、47、55	C1、E1、E6、F5、G3、G5	11、13、17、20、21、未結合
I2CB_SCL	I/OD	I2C-B オープンドレイン双方向クロック	3、9、15、29、51、227	10、38、76、90、95、100	3、28、60、75、78	3、28、60、75、78	1、24、49、62	2、22、44、56	C2、E2、E6	10
I2CB_SDA	I/OD	I2C-B オープンドレイン双方向データ	2、14、28、34、50、230	1、9、40、77、94、96	4、29、61、77、79	4、29、61、77、79	2、25、50	3、23、45	E6	
LINA_RX	I	LIN-A 受信	9、11、13、15、19、23、29、33、35、41、42、47、49、55、59、63、226	6、8、15、43、47、50、52、53、63、69、81、82、90、92、95、100	3、11、32、35、37、38、48、51、57、65、66、75、78	3、11、32、35、37、38、48、51、57、65、66、75、78	1、7、29、31、32、39、42、54、55、62	2、26、28、29、36、39、49、50、56	A3、B3、C2、C3、E3、G3、G5	7、9、10、17、21
LINA_TX	O	LIN-A 送信	10、12、14、18、22、24、28、32、37、40、44、46、54、58	1、13、51、56、61、64、67、68、80、83、85、93、96	4、6、36、41、46、49、50、64、67、69、76、79	4、6、36、41、46、49、50、64、67、69、76、79	2、30、35、37、40、41、53、56、63	3、27、32、34、37、38、48、51	D3、E5、F5、G4、G7	18、20、22、24
MCANA_RX	I	CAN/CAN FD 受信	0、5、11、12、21、30、39、47、49、51、57、61、63、230、242	6、8、10、16、40、47、49、51、52、66、79、89、91、98	1、12、29、32、34、36、37、56、63、74	1、12、29、32、34、36、37、56、63、74	8、25、28、30、31、52、61	6、23、25、27、28、47、55	B3、B4、C1、E1、E3、E6	6、11、13
MCANA_TX	O	CAN/CAN FD 送信	1、4、7、13、17、20、31、46、48、50、56、60、62、224、228	7、9、14、17、44、46、48、50、55、65、75、78、84、99	2、6、10、13、31、33、35、40、59、62、68	2、6、10、13、31、33、35、40、59、62、68	6、9、27、29、34、48、51、57	7、24、26、31、43、46、52	A3、A4、B2、F1、F2、F6	5、7、15、16、25
OUTPUTXBAR1	O	出力クロスバー出力 1	2、24、34、58、227	38、56、67、77、94	28、41、61、77	28、41、61、77	24、35、50	22、32、45	E6、G7	24
OUTPUTXBAR2	O	出力クロスバー出力 2	3、25、37、54、59、242	13、16、57、61、76、92	12、42、46、60	12、42、46、60	8、37、49	6、34、44	B4、E2、E5	6、22
OUTPUTXBAR3	O	出力クロスバー出力 3	4、5、14、26、48、55、60、62、224	7、17、43、44、46、58、75、89、96	13、31、43、59、74、79	13、31、43、59、74、79	9、48、61	7、43、55	A4、B2、C1、F2	5、11、16
OUTPUTXBAR4	O	出力クロスバー出力 4	6、15、27、33、49、61、63	8、47、53、59、91、95、97	32、38、44、78、80	32、38、44、78、80	32、64	1、29	B1、B3	
OUTPUTXBAR5	O	出力クロスバー出力 5	7、28、42	1、84	4、57、68	4、57、68	2、57	3、52		
OUTPUTXBAR6	O	出力クロスバー出力 6	9、29、43	90、100	3、54、75	3、54、75	1、62	2、56	C2	10
OUTPUTXBAR7	O	出力クロスバー出力 7	0、11、16、30、44	52、54、79、85、98	1、37、39、63、69	1、37、39、63、69	31、33、52	28、30、47	E1、E3	13
OUTPUTXBAR8	O	出力クロスバー出力 8	17、31、45	55、99	2、40、73	2、40、73	34	31		

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
PMBUSA_ALERT	I/OD	PMBus-A オープンドレイン双方向アラート信号	13、19、27、37、43、45	50、59、61、69	35、44、46、51、54、73	35、44、46、51、54、73	29、37、42	26、34、39	E5、G3	17、22
PMBUSA_CTL	I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力	12、18、26、35、42、44	51、58、63、68、85	36、43、48、50、57、69	36、43、48、50、57、69	30、39、41	27、36、38	G4、G5	18、21
PMBUSA_SCL	I/OD	PMBus-A オープンドレイン双方向クロック	3、9、15、16、24、35、41、47、230	6、40、54、56、63、76、82、90、95	29、39、41、48、60、66、75、78	29、39、41、48、60、66、75、78	25、33、35、39、49、55、62	23、30、32、36、44、50、56	C2、C3、E2、E6、G5、G7	9、10、21、24
PMBUSA_SDA	I/OD	PMBus-A オープンドレイン双方向データ	2、14、17、25、32、34、40、44、46、48、62	7、46、55、57、64、77、80、85、94、96	6、31、40、42、49、61、64、69、77、79	6、31、40、42、49、61、64、69、77、79	34、40、50、53	31、37、45、48	B2、D3、F5	20
SCIA_RX	I	SCI-A 受信データ	0、3、5、9、17、25、28、35、49、63	1、8、47、55、57、63、76、79、89、90	4、32、40、42、48、60、63、74、75	4、32、40、42、48、60、63、74、75	2、34、39、49、52、61、62	3、31、36、44、47、55、56	B3、C1、C2、E1、E2、G5	10、11、13、21
SCIA_TX	O	SCI-A 送信データ	1、2、7、8、16、24、29、37、48、62	7、46、54、56、61、74、77、78、84、100	3、31、39、41、46、58、61、62、68	3、31、39、41、46、58、61、62、68	1、33、35、37、47、50、51、57	2、30、32、34、45、46、52	B2、E5、F1、G7	15、22、24
SCIB_RX	I	SCI-B 受信データ	11、13、15、19、23、41、57	50、52、66、69、81、82、95	35、37、51、65、66、78	35、37、51、65、66、78	29、31、42、54、55	26、28、39、49、50	C3、E3、G3	9、17
SCIB_TX	O	SCI-B 送信データ	9、10、12、14、18、22、40、56	51、65、68、80、83、90、93、96	36、50、64、67、75、76、79	36、50、64、67、75、76、79	30、41、53、56、62、63	27、38、48、51、56	C2、D3、G4	10、18
SCIC_RX	I	SCI-C 受信データ	21、33、42、226	15、49、53	11、34、38、57	11、34、38、57	7、28、32	25、29	A3	7
SCIC_TX	O	SCI-C 送信データ	20、43、224	17、48	13、33、54	13、33、54	9、27	7、24	A4、F6	5、25
SD1_C1	I	SDFM-1 チャネル 1 クロック入力	17、33、49、53	8、12、23、53、55	19、38、40	19、38、40	15、32、34	13、29、31	B3、C6	1
SD1_C2	I	SDFM-1 チャネル 2 クロック入力	19、33、51、54	10、13、31、53、69	23、38、51	23、38、51	19、32、42	17、29、39	D6、G3	17、28
SD1_C3	I	SDFM-1 チャネル 3 クロック入力	21、53、55、227	12、38、43、49	28、34	28、34	24、28	22、25	E6	
SD1_C4	I	SDFM-1 チャネル 4 クロック入力	23、55、56、230	40、43、65、81	29、65	29、65	25、54	23、49	E6	
SD1_D1	I	SDFM-1 チャネル 1 データ入力	16、48	7、19、54	15、39	15、39	11、33	9、30	B2、C4	4
SD1_D2	I	SDFM-1 チャネル 2 データ入力	18、32、50	9、20、64、68	16、49、50	16、49、50	12、40、41	10、37、38	A6、F5、G4	2、18、20
SD1_D3	I	SDFM-1 チャネル 3 データ入力	20、52	11、21、48	17、33	17、33	13、27	11、24	C5、F6	2、25
SD1_D4	I	SDFM-1 チャネル 4 データ入力	22、54	13、22、83	18、67	18、67	14、56	12、51	B5	3
SD2_C1	I	SDFM-2 チャネル 1 クロック入力	25、35、57、228	14、37、57、63、66	10、24、42、48	10、24、42、48	6、20、39	18、36	A3、B7、G5	7、21、28
SD2_C2	I	SDFM-2 チャネル 2 クロック入力	27、58、59	36、59、67、92	27、44	27、44	23	21	E7	26
SD2_C3	I	SDFM-2 チャネル 3 クロック入力	29、45、59、61	28、91、92、100	3、22、73	3、22、73	1、18	2、16	D5	27
SD2_C4	I	SDFM-2 チャネル 4 クロック入力	31、46、60	32、44、99	2、6	2、6				
SD2_D1	I	SDFM-2 チャネル 1 データ入力	24、49、56	8、56、65	14、41	14、41	10、35	8、32	A5、B3、G7	4、24
SD2_D2	I	SDFM-2 チャネル 2 データ入力	26、50、58、242	9、16、58、67	12、43	12、43	8	6	B4	6
SD2_D3	I	SDFM-2 チャネル 3 データ入力	28、43、51、60、224	1、10、17、44	4、13、54	4、13、54	2、9	3、7	A4	5
SD2_D4	I	SDFM-2 チャネル 4 データ入力	30、47、52、226	6、11、15、98	1、11	1、11	7		A3	7
SPIA_CLK	I/O	SPI-A クロック	3、9、12、18、56、226	15、51、65、68、76、90	11、36、50、60、75	11、36、50、60、75	7、30、41、49、62	27、38、44、56	A3、C2、E2、G4	7、10、18

Copyright © 2026 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
SPIA_PICO	I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)	2、8、11、16、54、224	13、17、52、54、74、77	13、37、39、58、61	13、37、39、58、61	9、31、33、47、50	7、28、30、45	A4、E3	5
SPIA_POCI	I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)	1、4、10、13、17、35、55、228	14、43、50、55、63、75、78、93	10、35、40、48、59、62、76	10、35、40、48、59、62、76	6、29、34、39、48、51、63	26、31、36、43、46	A3、F1、F2、G5	7、15、16、21
SPIA_PTE	I/O	SPI-A ペリフェラル送信イネーブル (PTE)	0、5、11、19、24、37、57、242	16、52、56、61、66、69、79、89	12、37、41、46、51、63、74	12、37、41、46、51、63、74	8、31、35、37、42、52、61	6、28、32、34、39、47、55	B4、C1、E1、E3、E5、G3、G7	6、11、13、17、22、24
SPIB_CLK	I/O	SPI-B クロック	4、14、22、26、28、32、52、58	1、11、58、64、67、75、83、96	4、43、49、59、67、79	4、43、49、59、67、79	2、40、48、56	3、37、43、51	F2、F5	16、20
SPIB_PICO	I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)	7、20、24、30、40、50、56、60	9、44、48、56、65、80、84、98	1、33、41、64、68	1、33、41、64、68	27、35、53、57	24、32、48、52	D3、F6、G7	24、25
SPIB_POCI	I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)	6、16、21、25、31、41、51、57、61	10、49、54、57、66、82、91、97、99	2、34、39、42、66、80	2、34、39、42、66、80	28、33、55、64	1、25、30、50	B1、C3	9
SPIB_PTE	I/O	SPI-B ペリフェラル送信イネーブル (PTE)	15、23、27、29、33、53、59	12、53、59、81、92、95、100	3、38、44、65、78	3、38、44、65、78	1、32、54	2、29、49		
SYNCOUT	O	外部 ePWM 同期パルス	6、39、52	11、97	56、80	56、80	64	1	B1	
TDI	I	JTAG テスト データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。	35	63	48	48	39	36	G5	21
TDO	O	JTAG テスト データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。	37	61	46	46	37	34	E5	22
X1	I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。	19	69	51	51	42	39	G3	17
X2	I/O	水晶発振器出力。	18	68	50	50	41	38	G4	18
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	16、18	54、68	39、50	39、50	33、41	30、38	G4	18

5.3.3 電源およびグランド

表 5-4. 電源およびグランド

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
VDD		1.2V デジタル ロジック電源ピン。各 VDD ピンの近くにデカップリング コンデンサを配置することを推奨します。この合計容量は、少なくとも約 10μF になるようにします。内部 VREG を使用する場合、すべての VDD ピンを外部的に互いに接続することも推奨します。	4、71、87	8、53、71	8、53、71	4、44、59	5、41、53	D1、G2	14
VDDA		3.3V アナログ電源ピン。各ピンに、最小 2.2μF のデカップリング コンデンサを配置。	34	26	26	22	20	D7	29
VDDIO		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1μF のデカップリング コンデンサを配置。	3、70、88	7、52、72	7、52、72	43、60	40、54	D2、F3	12
VREGENZ	I	内部プルダウン付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。	73	56		46	42	F4	
VSS		デジタル GND	5、45、72、86	9、30、55、70	9、30、55、70	5、26、45、58	PAD	A2、D4、F7、G1	A2、A3、A4、PAD
VSSA		アナログ GND	33	25	25	21	19	C7	30、A1

Copyright © 2026 Texas Instruments Incorporated

5.3.4 テスト、JTAG、リセット

表 5-5. テスト、JTAG、リセット

信号名	ピンの種類	説明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
TCK	I	内部プルアップ付き JTAG テスト クロック。	60	45	45	36	33	G6	23
TMS	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。	62	47	47	38	35	E4	19
XRSn	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープン ドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。	2	5	5	3	4	A1	8

5.4 ピン多重化

5.4.1 GPIO 多重化ピン

表 5-6. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A		OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_PTE	FSIRXA_CLK	MCANA_RX	CLB_OUTPUTXBAR8	EQEP1_INDEX		EPWM3_A	
GPIO1	EPWM1_B			SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STROBE	MCANA_TX	CLB_OUTPUTXBAR7	EPWM10_B		EPWM3_B	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_PICO	SCIA_TX	FSIRXA_D1	I2CB_SDA	EPWM10_A		EPWM4_A	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL			EPWM4_B	
GPIO4	EPWM3_A	I2CA_SCL	MCANA_TX	OUTPUTXBAR3		SPIB_CLK	EQEP2_STROBE	FSIRXA_CLK	CLB_OUTPUTXBAR6	EPWM11_B	SPIA_POCI	EPWM1_A	
GPIO5	EPWM3_B	I2CA_SDA	OUTPUTXBAR3	MCANA_RX		SPIA_PTE	FSITXA_D1	CLB_OUTPUTXBAR5	SCIA_RX			EPWM1_B	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A		SPIB_POCI	FSITXA_D0		FSITXA_D1		CLB_OUTPUTXBAR8	EPWM2_A	
GPIO7	EPWM4_B	EPWM2_A	OUTPUTXBAR5	EQEP1_B		SPIB_PICO	FSITXA_CLK	CLB_OUTPUTXBAR2	SCIA_TX		MCANA_TX	EPWM2_B	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_PICO	I2CA_SCL	FSITXA_D1	CLB_OUTPUTXBAR5	EPWM11_A			
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK	I2CA_SCL	FSITXA_D0	LINA_RX	PMBUSA_SCL	I2CB_SCL	EQEP3_B	
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA	FSITXA_CLK	LINA_TX	EQEP3_STROBE		CLB_OUTPUTXBAR4	
GPIO11	EPWM6_B	MCANA_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_PTE	FSIRXA_D1	LINA_RX	EQEP2_A	SPIA_PICO		EQEP3_INDEX	
GPIO12	EPWM7_A		MCANA_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL	FSIRXA_D0	LINA_TX	SPIA_CLK				
GPIO13	EPWM7_B		MCANA_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT	FSIRXA_CLK	LINA_RX	SPIA_POCI				
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINA_TX	EPWM3_A	CLB_OUTPUTXBAR7		
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_PTE	EQEP2_B	LINA_RX	EPWM3_B	CLB_OUTPUTXBAR6		
GPIO16	SPIA_PICO		OUTPUTXBAR7	EPWM9_A	SCIA_TX	SD1_D1	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_POCI	EQEP3_STROBE	
GPIO17	SPIA_POCI		OUTPUTXBAR8	EPWM9_B	SCIA_RX	SD1_C1	EQEP1_INDEX	PMBUSA_SDA	MCANA_TX		EPWM6_A		
GPIO18	SPIA_CLK	SCIB_TX		EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINA_TX		EQEP3_INDEX	X2
GPIO19	SPIA_PTE	SCIB_RX		EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUTXBAR1	LINA_RX			X1
GPIO20	EQEP1_A			EPWM12_A	SPIB_PICO	SD1_D3	MCANA_TX	ADCE_EXTMUXSEL0	I2CA_SCL			SCIC_TX	
GPIO21	EQEP1_B			EPWM12_B	SPIB_POCI	SD1_C3	MCANA_RX	ADCE_EXTMUXSEL1	I2CA_SDA			SCIC_RX	
GPIO22	EQEP1_STROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTPUTXBAR1	LINA_TX		EPWM4_A	EQEP3_A	
GPIO23	EQEP1_INDEX		SCIB_RX		SPIB_PTE	SD1_C4	LINA_RX	CLB_OUTPUTXBAR3	LINA_RX	EPWM12_A	EPWM4_B		

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO24	OUTPUTXBAR 1	EQEP2_A	SPIA_PTE	EPWM8_A	SPIB_PICO	SD2_D1	LINA_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS	EPWM9_A		
GPIO25	OUTPUTXBAR 2	EQEP2_B		EQEP1_A	SPIB_POCI	SD2_C1	FSITXA_D1	PMBUSA_SDA	SCIA_RX	EQEP3_A			
GPIO26	OUTPUTXBAR 3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK	SD2_D2	FSITXA_D0	PMBUSA_CTL	I2CA_SDA	EQEP3_B			
GPIO27	OUTPUTXBAR 4	EQEP2_STROBE		OUTPUTXBAR4	SPIB_PTE	SD2_C2	FSITXA_CLK	PMBUSA_ALERT	I2CA_SCL	EQEP3_STROBE			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A	SD2_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B	SD2_C3	EQEP2_INDEX	LINA_RX	SPIB_PTE	ERRORSTS	I2CB_SCL		AUXCLKIN
GPIO30			SPIB_PICO	OUTPUTXBAR7	EQEP1_STROBE	SD2_D4	FSIRXA_CLK	MCANA_RX	EPWM1_A	EQEP3_INDEX			
GPIO31			SPIB_POCI	OUTPUTXBAR8	EQEP1_INDEX	SD2_C4	FSIRXA_D1	MCANA_TX	EPWM1_B				
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2	FSIRXA_D0		PMBUSA_SDA	ADCSOCBO			
GPIO33	I2CA_SCL		SPIB_PTE	OUTPUTXBAR4	LINA_RX	SD1_C2	FSIRXA_CLK		EQEP2_B	ADCSOCAO	SD1_C1	SCIC_RX	
GPIO34	OUTPUTXBAR 1				PMBUSA_SDA						I2CB_SDA		
GPIO35	SCIA_RX	SPIA_POCI	I2CA_SDA		PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B	SD2_C1		TDI	
GPIO37	OUTPUTXBAR 2	SPIA_PTE	I2CA_SCL	SCIA_TX		LINA_TX	EQEP1_B	PMBUSA_ALERT	EPWM5_A			TDO	
GPIO39					MCANA_RX	FSIRXA_CLK	EQEP2_INDEX		CLB_OUTPUTXBAR2	SYNCOUT	EQEP1_INDEX		
GPIO40	SPIB_PICO			EPWM2_B	PMBUSA_SDA	FSIRXA_D0	SCIB_TX	EQEP1_A	LINA_TX		CLB_OUTPUTXBAR4	EQEP3_STROBE	
GPIO41	EPWM7_A			EPWM2_A	PMBUSA_SCL	FSIRXA_D1	SCIB_RX	EQEP1_B	LINA_RX	EPWM12_B	SPIB_POCI		
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA	SCIC_RX		EQEP1_STROBE	CLB_OUTPUTXBAR3				
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL	SCIC_TX	PMBUSA_ALERT	EQEP1_INDEX	CLB_OUTPUTXBAR4	SD2_D3			
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA	FSITXA_CLK	PMBUSA_CTL	CLB_OUTPUTXBAR3	FSIRXA_D0		LINA_TX		
GPIO45			OUTPUTXBAR8			FSITXA_D0	PMBUSA_ALERT	CLB_OUTPUTXBAR4		SD2_C3			
GPIO46			LINA_TX	MCANA_TX		FSITXA_D1	PMBUSA_SDA			SD2_C4			
GPIO47			LINA_RX	MCANA_RX		CLB_OUTPUTXBAR2	PMBUSA_SCL			SD2_D4			
GPIO48	OUTPUTXBAR 3			MCANA_TX	SCIA_TX	SD1_D1	PMBUSA_SDA						
GPIO49	OUTPUTXBAR 4			MCANA_RX	SCIA_RX	SD1_C1	LINA_RX			SD2_D1	FSITXA_D0		
GPIO50	EQEP1_A			MCANA_TX	SPIB_PICO	SD1_D2	I2CB_SDA			SD2_D2	FSITXA_D1		
GPIO51	EQEP1_B			MCANA_RX	SPIB_POCI	SD1_C2	I2CB_SCL			SD2_D3	FSITXA_CLK		

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO52	EQEP1_STROBE			CLB_OUTPUTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4	FSIRXA_D0		
GPIO53	EQEP1_INDEX			CLB_OUTPUTXBAR6	SPIB_PTE	SD1_C3	ADCSOCAO			SD1_C1	FSIRXA_D1		
GPIO54	SPIA_PICO			EQEP2_A	OUTPUTXBAR2	SD1_D4	ADCSOCBO	LINA_TX		SD1_C2	FSIRXA_CLK		
GPIO55	SPIA_POCI			EQEP2_B	OUTPUTXBAR3	SD1_C4	ERRORSTS	LINA_RX		SD1_C3			
GPIO56	SPIA_CLK	CLB_OUTPUTXBAR7	MCANA_TX	EQEP2_STROBE	SCIB_TX	SD2_D1	SPIB_PICO	I2CA_SDA	EQEP1_A	SD1_C4	FSIRXA_D1		
GPIO57	SPIA_PTE	CLB_OUTPUTXBAR8	MCANA_RX	EQEP2_INDEX	SCIB_RX	SD2_C1	SPIB_POCI	I2CA_SCL	EQEP1_B		FSIRXA_CLK		
GPIO58				OUTPUTXBAR1	SPIB_CLK	SD2_D2	LINA_TX		EQEP1_STROBE	SD2_C2	FSIRXA_D0		
GPIO59				OUTPUTXBAR2	SPIB_PTE	SD2_C2	LINA_RX		EQEP1_INDEX	SD2_C3			
GPIO60	EPWM12_B		MCANA_TX	OUTPUTXBAR3	SPIB_PICO	SD2_D3				SD2_C4			
GPIO61			MCANA_RX	OUTPUTXBAR4	SPIB_POCI	SD2_C3							
GPIO62	EPWM10_A	OUTPUTXBAR3		MCANA_TX	SCIA_TX		PMBUSA_SDA						
GPIO63	EPWM10_B	OUTPUTXBAR4		MCANA_RX	SCIA_RX		LINA_RX						
GPIO224	EPWM11_B	SD2_D3		OUTPUTXBAR3	SPIA_PICO		EPWM1_A	MCANA_TX	EQEP1_A	ADCE_EXTMUXSEL3	SCIC_TX		
GPIO226	EPWM10_B	SD2_D4	LINA_RX	EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STROBE	ADCE_EXTMUXSEL1	SCIC_RX		
GPIO227	I2CB_SCL	SD1_C3	EPWM3_A	OUTPUTXBAR1	EPWM2_B								
GPIO228	EPWM10_A		ADCSOCAO	MCANA_TX	SPIA_POCI	SD2_C1	EPWM2_B		EQEP1_B	ADCE_EXTMUXSEL0			
GPIO230	I2CB_SDA	SD1_C4	EPWM3_B	MCANA_RX	EPWM2_A	I2CA_SDA	PMBUSA_SCL						
GPIO236	EPWM7_A			EQEP1_INDEX			EPWM12_A						
GPIO242	EPWM11_A	SD2_D2		OUTPUTXBAR2	SPIA_PTE		EPWM4_A	MCANA_RX	EQEP1_INDEX	ADCE_EXTMUXSEL2			
GPIO247	EPWM12_B												
GPIO253	EPWM12_A												
AIO225		SD2_C2											
AIO229													
AIO231		SD1_C1											
AIO232		SD1_D4											
AIO233		SD2_D1											
AIO234													
AIO235													
AIO237		SD1_D2											

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
AIO238		SD2_C3											
AIO239		SD1_D1											
AIO240		SD2_C1											
AIO241		SD2_C1											
AIO244		SD1_D3											
AIO245		SD1_C2											
AIO248													
AIO249													
AIO251													
AIO252		SD2_C4											

Copyright © 2026 Texas Instruments Incorporated

5.4.2 ADC ピンのデジタル入力 (AIO)

一部の GPIO はアナログ ピンと多重化されており、デジタル入力機能のみを備えています。これらは、「AIO」とも呼ばれます。このポートで AIO オプションのみがあるピンは、入力モードでのみ機能します。AIO 信号のリストについては、デバイスのデータシートを参照してください。デフォルトでは、これらのピンはアナログ ピンとして機能し、GPIO はハイ インピーダンス状態になります。GPyAMSEL レジスタは、これらのピンをデジタルまたはアナログ動作用に構成するために使用します。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AIO に接続する信号のエッジ レートを制限します。

5.4.3 ADC ピン上のデジタル入出力 (AGPIO)

一部の GPIO はアナログ ピンと多重化されており、デジタル入出力機能を備えています。これらは、「AGPIO」とも呼ばれます。AIO とは異なり、AGPIO には完全な入力と出力の機能があります。デフォルトでは、AGPIO は接続されていないため、構成する必要があります。表 5-7 に、AGPIO の構成方法を示します。アナログ機能をイネーブルにするには、アナログ サブシステムのレジスタ AGPIOCTRLx を設定します。デジタル機能をイネーブルにするには、「汎用入出力 (GPIO)」の章のレジスタ GPxAMSEL を設定します。

表 5-7. AGPIO の構成

AGPIOCTRLx.GPIOy (デフォルト = 0)	GPxAMSEL.GPIOy (デフォルト = 1)	ピン接続先:	
		ADC	GPIOy
0	0	-	あり
0	**1**	-(1)	-(1)
1	0	-	あり
1	1	あり	-

(1) デフォルトでは、AGPIO ピンに接続される信号はありません。ピン機能を使用するには、表内の他の行のいずれかを選択する必要があります。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AGPIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AGPIO に接続する信号のエッジ レートを制限する必要があります。

Copyright © 2026 Texas Instruments Incorporated

図 5-8 に、AGPIO を実装したアナログ サブシステムの一般的な回路図を示します。表 5-8 に、注意する必要がある特定のアナログ入力ピンの使用事例の組み合わせを示します。AGPIO アナログ ピン パスには、53Ω の追加の直列スイッチが含まれています。これにより、図 5-8 に示すように、ADC および CMPSS コンパレータと共有される低容量の絶縁型ノードが作成されます。ADC が (ADC サンプル / ホールド コンデンサに保存されている前の電圧に応じて) チャネルをサンプリングするとき、このノードに外乱が生じ、それによって最大 50ns の誤 CMPSS 事象が発生する可能性があります。表 5-8 に示すように、CMPSS 入力、ADC サンプリング、AGPIO の組み合わせには注意するか、回避方法を使用する必要があります。次の回避方法を実装することで、この潜在的な外乱に対応できます。

1. ADC と CMPSS の両方を同時に必要とするアナログ チャネルには、別のピン (AIO ピン タイプ) を使用します。
2. CMPSS デジタル フィルタを 50ns 以上の設定で使用します。これにより、一時的な外乱がフィルタリングされます。
3. 外乱によって誤トリップが発生しないように、ADC の サンプル / ホールド コンデンサを事前に調整します。たとえば、影響を受けるチャネルが読み取られる直前に、ADC の別のチャネルから 3.3V 接続のダミー読み取りを実行します。これにより、外乱が正の方向になり、誤トリップから離れます。誤トリップの極性が反転した場合、0V 信号の逆のダミー読み取りを使用できます。

表 5-8. 特定のアナログ入力ピンの使用事例の組み合わせ

特定のアナログ ピンで使用される機能	使用部品				
CMPSS コンパレータ入力	あり	-	あり	-	あり
ADC サンプリング	あり	あり	-	あり	あり
AGPIO アナログ ピン タイプ	あり	あり	あり	-	-
AIO アナログ ピン タイプ	-	-	-	あり	あり
結果	回避方法が必要	特別な分析や回避方法は不要			

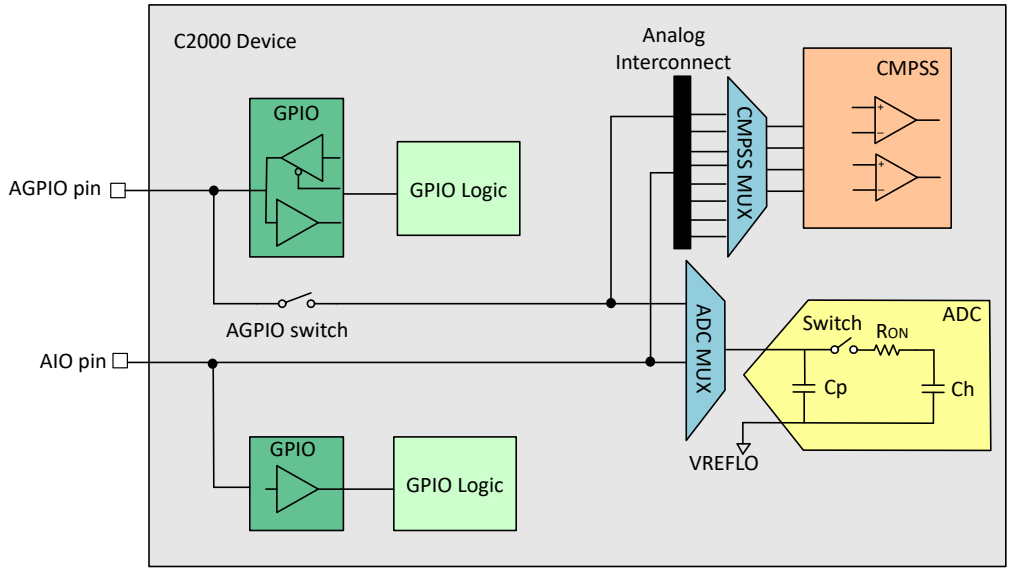


図 5-8. AGPIO を実装したアナログ サブシステムのブロック図

5.4.4 GPIO 入力クロスバー

入力クロスバーは、GPIO からの信号を、ADC、eCAP、ePWM、外部割り込みなどのさまざまな IP ブロックにルーティングするために使用されます (「入力クロスバー」の図を参照)。「入力クロスバーの接続先」表に入力クロスバーの接続先を一覧表示。入力クロスバーの構成の詳細については、『TMS320F28P551/552/558 リアルタイム マイコン テクニカル リファレンス マニュアル』のクロスバー (X-BAR) の章を参照してください。

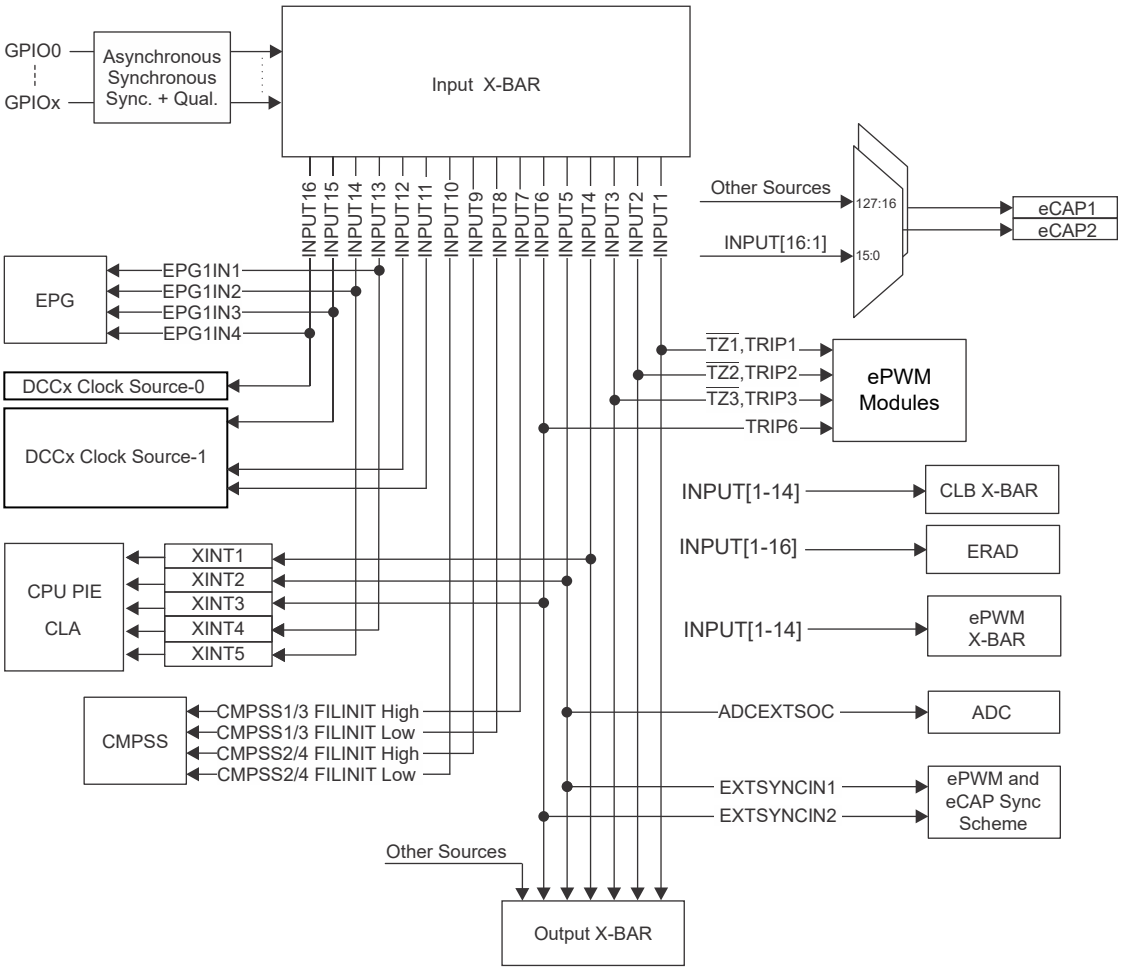


図 5-9. 入力クロスバー

表 5-9. クロスバーの接続先

入力	ECAP	EPWM クロスバー	CLB クロスバー	出力クロスバー	EPWM トリップ	ERAD	CMPSS	DCCx	CPU XINT	EPG	ADC SOC	EPWM / ECAP 同期
INPUTXBAR1	あり	あり	あり	あり	TZ1、TRIP1	あり						
INPUTXBAR2	あり	あり	あり	あり	TZ2、TRIP2	あり						
INPUTXBAR3	あり	あり	あり	あり	TZ3、TRIP3	あり						
INPUTXBAR4	あり	あり	あり	あり		あり			XINT1			
INPUTXBAR5	あり	あり	あり	あり		あり			XINT2		ADCEXTSOC	EXTSYNCIN1

Copyright © 2026 Texas Instruments Incorporated

表 5-9. クロスバーの接続先 (続き)

入力	ECAP	EPWM クロスバー	CLB クロスバー	出力クロスバー	EPWM トリップ	ERAD	CMPSS	DCCx	CPU XINT	EPG	ADC SOC	EPWM / ECAP 同期
INPUTXBAR6	あり	あり	あり	あり	TRIP6	あり			XINT3			EXTSYNCIN2
INPUTXBAR7	あり	あり	あり			あり	CMPSS1/3.EXT_FILTIN_H					
INPUTXBAR8	あり	あり	あり			あり	CMPSS1/3.EXT_FILTIN_L					
INPUTXBAR9	あり	あり	あり			あり	CMPSS2/4.EXT_FILTIN_H					
INPUTXBAR10	あり	あり	あり			あり	CMPSS2/4.EXT_FILTIN_L					
INPUTXBAR11	あり	あり	あり			あり		CLK1				
INPUTXBAR12	あり	あり	あり			あり		CLK1				
INPUTXBAR13	あり	あり	あり			あり			XINT4	EPGAIN1		
INPUTXBAR14	あり	あり	あり			あり			XINT5	EPGAIN2		
INPUTXBAR15	あり					あり		CLK1		EPGAIN3		
INPUTXBAR16	あり					あり		CLK0		EPGAIN4		

5.4.5 GPIO 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、ePWM クロスバー

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。CLB クロスバーには 8 つの出力があり、CLB グローバル マルチプレクサで AUXSIGx として接続されています。CLB 出力クロスバーには 8 つの出力があり、GPIO マルチプレクサで CLB_OUTPUTXBARx として選択できます。ePWM クロスバーには 8 つの出力があり、ePWM の TRIPx 入力に接続されています。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソースを 図 5-10 に示します。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーの詳細については、『TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』のクロスバー (X-BAR) の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

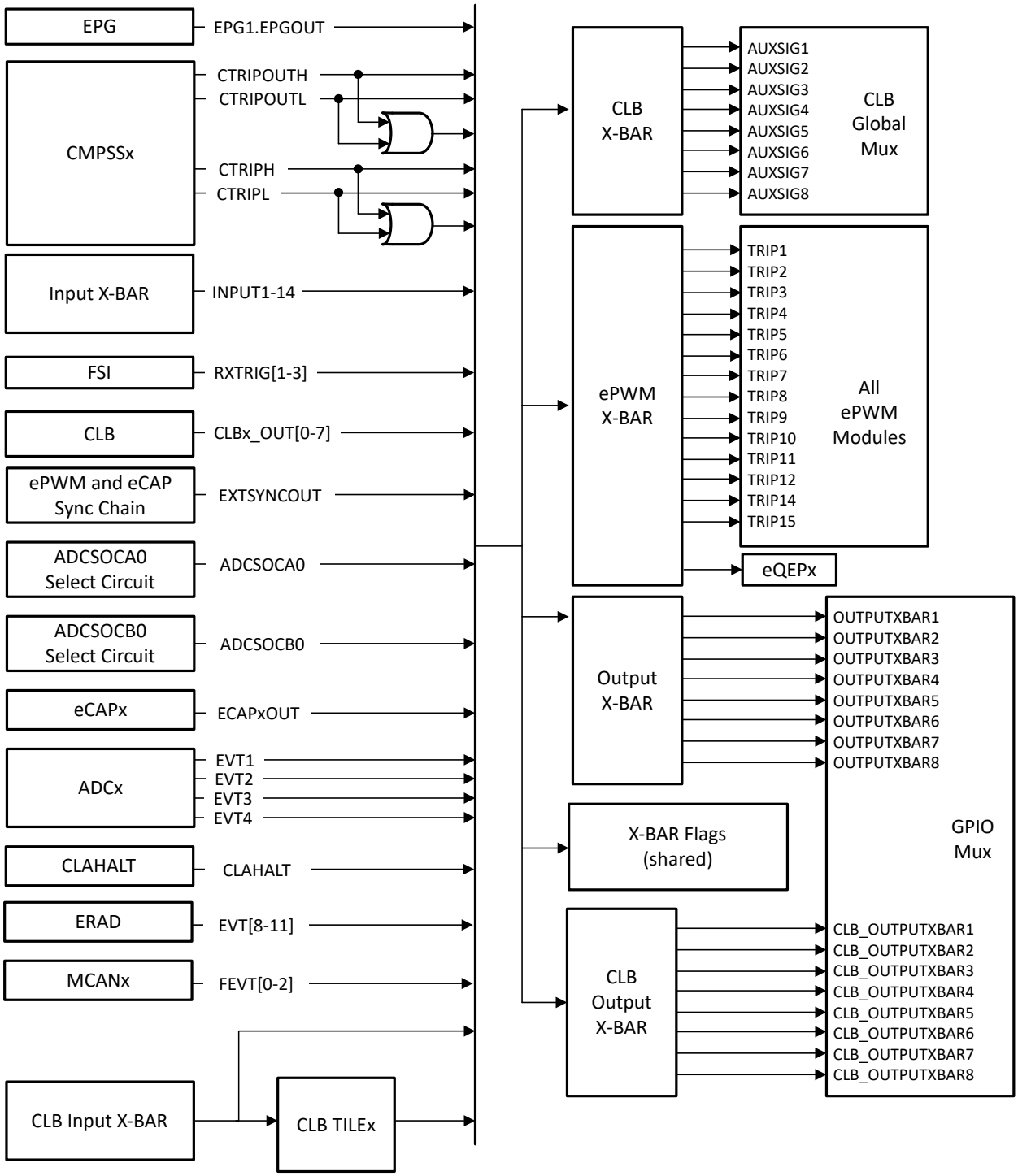


図 5-10. 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソース

5.5 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-10 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。表 5-10 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 5-10. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス ブート	アプリケーション
GPIOx	プルアップ ディセーブル	プルアップ ディセーブル[(1)]	アプリケーションで設定
GPIO35/TDI	プルアップ ディセーブル		アプリケーションで設定
GPIO37/TDO	プルアップ ディセーブル		アプリケーションで設定
TCK	プルアップ イネーブル		
TMS	プルアップ イネーブル		
XRSn	プルアップ イネーブル		
その他のピン (AIO を含む)	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-11 に、未使用のピンに対して許容される処置を示します。表 5-11 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-11 に記載されていないピンは、*「ピン構成と機能」*セクションに従って接続する必要があります。

表 5-11. 未使用ピンの接続

信号名	許容される処置
	アナログ
VREFHI	VDDA に接続 (ADC がアプリケーションで使用されていない場合のみ適用)
VREFLO	VSSA に接続
DACx_OUT と共有するアナログ入力ピン	• 接続なし • 4.7kΩ 以上の抵抗を経由して VSSA に接続
アナログ入力ピン (DACx_OUT を除く)	• 接続なし • VSSA に接続 • 抵抗を経由して VSSA に接続
アナログ入力ピン (GPIO と共有)[(1)]	• 接続なし (デジタル入力モードで内部プルアップをイネーブル) • 接続なし (デジタル出力モードで内部プルアップをディセーブル) • プルアップまたはプルダウン抵抗 (任意の値の抵抗、デジタル入力モードで内部プルアップをディセーブル)
	デジタル
GPIOx	• 接続なし (入力モードで内部プルアップをイネーブル) • 接続なし (出力モードで内部プルアップをディセーブル) • プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
GPIO35/TDI	TDI 多重化オプションを選択すると (デフォルト)、GPIO は入力モードになります。 • 内部プルアップをイネーブル • 外部プルアップ抵抗
GPIO37/TDO	TDO 多重化オプションを選択すると (デフォルト)、GPIO は JTAG 動作中のみ出力モードになります。それ以外の場合は、トライステート状態になります。入力バッファでの余分な電流を避けるため、このピンにバイアスを印加する必要があります。 • 内部プルアップをイネーブル • 外部プルアップ抵抗
TCK	• 接続なし • プルアップ抵抗
TMS	プルアップ抵抗
GPIO19/X1	XTAL をオフおよび: • 入力モードで内部プルアップをイネーブル • 入力モードで外部プルアップまたはプルダウン抵抗を使用 • 出力モードで内部プルアップをディセーブル
GPIO18/X2	XTAL をオフおよび: • 入力モードで内部プルアップをイネーブル • 入力モードで外部プルアップまたはプルダウン抵抗を使用 • 出力モードで内部プルアップをディセーブル

表 5-11. 未使用ピンの接続 (続き)

信号名	許容される処置
電源およびグランド	
VDD	すべての VDD ピンは、*「信号の説明」*セクションに従って接続する必要があります。ピンを外部回路のバイアスに使用することはできません。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、*「信号の説明」*セクションに従って接続する必要があります。
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	アナログ グランドを使用しない場合は、VSS に接続します。

(1) AGPIO ピンは、アナログ機能とデジタル機能を共有します。ここでの操作は、これらのピンがアナログ機能にも使用されていない場合にのみ適用されます。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り)[(1)(2)]

		最小値	最大値	単位
電源電圧	VSS を基準とした VDD	-0.3	1.5	V
	VSS を基準とした VDDIO	-0.3	4.6	
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧 [(7)]	V_{IN} (3.3V)	-0.3	4.6	V
	V_{IN} (5.0V) [(5)]	-0.3	6.0	V
出力電圧	V_O	-0.3	4.6	V
入力クランプ電流 - ピンごと [(4)] [(6)]	I_{IK} - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
入力クランプ電流 - ピンごと: GPIO2/3/9/32 [(4)]	I_{IK} - V_{IN} < VSS	-20		mA
入力クランプ電流 - すべての入力の合計[(6)]	$I_{IKTOTAL}$ - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
動作時接合部温度	T_J	-40	155	°C
保存温度[(3)]	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(4) ピンごとの連続クランプ電流は ±2mA です。
(5) GPIO2、GPIO3、GPIO9、GPIO32 のみ
(6) VDDIO/VDDA を上回る、または VSS/VSSA を下回る V_{IN} を印加すると、ESD 電流クランプ ダイオードがターンオンし、それぞれの電源レールに余計な電流が流れます。この場合、本デバイスの永続的な損傷を防止するため、記載された最小値 / 最大値の範囲内に電流を維持する必要があります。
(7) 入力クランプ電流も確認する必要があります。

6.2 ESD 定格 - 民生用

				値	単位
100 ピン PZ パッケージで供給されるすべての F28P551/2 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[(2)]	すべてのピン	±500	
			100 ピン PZ のコーナー ピン: 1、25、26、50、51、75、76、100	±750	
80 ピン PN/PNA パッケージで供給されるすべての F28P551/2 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[(2)]	すべてのピン	±500	
			80 ピン PNA のコーナー ピン: 1、20、21、40、41、60、61、80	±750	
64 ピン PM パッケージで供給されるすべての F28P551/2 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[(2)]	すべてのピン	±500	
			64 ピン PM のコーナー ピン: 1、16、17、32、33、48、49、64	±750	
56 ピン RSH パッケージで供給されるすべての F28P551/2S デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[(2)]	すべてのピン	±500	
			56 ピン RSH のコーナー ピン: 1、14、15、28、29、42、43、56	±750	
49 ボール YAF パッケージで供給されるすべての F28P551 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[(2)]	すべてのピン	±500	
			49 ボール YAF のコーナーピン: A1、A7、G1、G7	±750	
32 ピン ZNG パッケージで供給されるすべての F28P551 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[(2)]	すべてのピン	±500	
			32 ピン ZNG のコーナー ピン: 1、8、9、10、16、17、24、25、32	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 ESD 定格 - 車載用

	値	単位
100 ピン PZ パッケージで供給されるすべての F28P558SGx-Q1 デバイス		

Copyright © 2026 Texas Instruments Incorporated

6.3 ESD 定格 - 車載用 (続き)

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			100 ピン PZ のコーナー ピン：1、25、26、50、51、75、76、100	±750	
80 ピン PN/PNA パッケージで供給されるすべての F28P558SGx-Q1 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			80 ピン PNA のコーナー ピン：1、20、21、40、41、60、61、80	±750	
64 ピン PM パッケージで供給されるすべての F28P558SGx-Q1 デバイス					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[(1)]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			64 ピン PM のコーナー ピン：1、16、17、32、33、48、49、64	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

6.4 IC ラッチアップ テスト：JESD78F.02

テスト	5V FS IO を除くすべてのピン	5V FS IO (GPIO2/3/9/32)
正の信号ピンテスト	Class II .A (完全準拠)	Class II .A (完全準拠)
負の信号ピンテスト	Class II .A (完全準拠)	• Class I.A、75℃ T_J 時 [1] • Class II .B、-60mA 時 [2]
電源テスト	ClassII.A (完全準拠)	

1. ClassI.A は、JESD78F.02 で規定されている完全なピン注入目標値を満たしていますが、すべて低い T_J (記載) の値を満たしています。
2. ClassII.B は、低い射出目標 (記載) を満たしていますが、$T_J$max です。

6.5 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル(3)	$V_{BOR-VDDIO}$(MAX) + V_{BOR-GB}(2)	3.3	3.63	V
	内部 BOR ディセーブル	2.8	3.3	3.63	
デバイス電源電圧、VDD		1.19	1.25	1.32	V
デバイス グランド、VSS			0		V
アナログ グランド、VSSA			0		V
SR_{SUPPLY}	VSS に対する VDDIO、VDD、VDDA の電源ランプ レート(4)				
V_{IN}	デジタル入力電圧 (6)	VSS - 0.3		VDDIO + 0.3	V
	デジタル入力電圧 (GPIO2、3、9、32) (5)	VSS - 0.3		5.5	V
	アナログ入力電圧 (6)	VSSA - 0.3		VDDA + 0.3	V
接合部温度、T_J(1)		-40		150	°C
自由気流での周囲温度、T_A		-40		125	°C

(1) T_J = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。
(2) 「パワー マネージメント モジュール (PMM)」セクションを参照してください。
(3) デフォルトで、内部 BOR がイネーブルになっています。
(4) 「パワー マネージメント モジュールの動作条件」表を参照してください。
(5) 本デバイスに電力を供給しなくても、これらのピンには電圧を印加できます。
(6) VDDIO/VDDA を上回る、または VSS/VSSA を下回る VIN を印加すると、ESD 電流クランプ ダイオードがターンオンし、それぞれの電源レールに余計な電流が流れます。VDDIO/VDDA 電圧が内部的に上昇し、その他の電気的特性に影響を及ぼす可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6.6 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション コードおよびピン構成によって異なります。

6.6.1 システム消費電流 - VREG イネーブル - 内部電源

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
動作モード							
I_{DDIO}	動作時の VDDIO 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。 実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。これには、内部 Vreg が有効な場合のコア電源電流が含まれます。 - CPU は RAM から実行中 - フラッシュに電源を供給 - X1/X2 水晶振動子に電源を供給 - PLL 有効、SYSCLK = デバイスの最大周波数 - アナログ モジュールに電源を供給 - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		92	mA
			85°C		95	mA
			125 ℃		100	mA
I_{DDA}	動作時の VDDA 消費電流		125 ℃		14	mA
アイドル モード							
I_{DDIO}	デバイスがアイドル モードのときの VDDIO 消費電流	- CPU は IDLE モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK = デバイスの最大周波数、CPUCLK はゲート - X1/X2 水晶振動子に電源を供給 - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		27	mA
			85 ℃		32	mA
			125 ℃		40	mA
I_{DDA}	デバイスがアイドル モードのときの VDDA 消費電流		125 ℃		4	mA
STANDBY モード (PLL 有効)							
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		8	mA
			85°C		11	mA
			125℃		20	mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		125 ℃		4	mA

6.6.1 システム消費電流 - VREG イネーブル - 内部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
STANDBY モード (PLL 無効)							
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		5		mA
			85°C		7		mA
			125℃		15		mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		125℃		4		mA
ホールト モード							
I_{DDIO}	デバイスがホールト モードのときの VDDIO 消費電流	- CPU は HALT モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		5		mA
			85°C		7		mA
			125℃		14		mA
I_{DDA}	デバイスがホールト モードのときの VDDA 消費電流		125℃		4		mA
フラッシュ消去 / プログラム							
I_{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流(1)	- CPU は RAM から実行中 - フラッシュに対し連続的なプログラム / 消去操作を実行 - PLL 有効、SYSCLK がデバイスの最大周波数で - ペリフェラル クロックはオフ - X1/X2 水晶振動子に電源を供給 - アナログへの電源供給なし - 出力は DC 負荷なしで安定 - 入力は high または low で安定			91	128	mA
I_{DDA}	消去 / プログラム サイクル中の VDDA 消費電流				0.1	8	mA
リセット モード							
I_{DDIO}	リセットがアクティブのときの VDDIO 消費電流(2)	デバイスをリセット中	30 ℃		10		mA
			85°C		13		mA
			125℃		20		mA
I_{DDA}	リセットがアクティブのときの VDDA 消費電流(2)		125℃		0.01		mA

(1) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。
(2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

Copyright © 2026 Texas Instruments Incorporated

6.6.2 システム消費電流 - VREG ディセーブル - 外部電源

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
動作モード							
I_{DD}	動作時の VDD 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。 実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。これには、内部 Vreg が有効な場合のコア電源電流が含まれます。 - CPU は RAM から実行中 - フラッシュに電源を供給 - X1/X2 水晶振動子に電源を供給 - PLL 有効、SYSCLK = デバイスの最大周波数 - アナログ モジュールに電源を供給 - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		90		mA
			85°C			100	mA
			125 ℃			102	mA
I_{DDIO}	動作時の VDDIO 消費電流		30°C		14		mA
			85°C			18	mA
			125 ℃			19	mA
I_{DDA}	動作時の VDDA 消費電流		125 ℃			14	mA
アイドル モード							
I_{DD}	デバイスがアイドル モードのときの VDD 消費電流	- CPU は IDLE モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK = デバイスの最大周波数、CPUCLK はゲート - X1/X2 水晶振動子に電源を供給 - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		28		mA
			85 ℃			30	mA
			125 ℃			40	mA
I_{DDIO}	デバイスがアイドル モードのときの VDDIO 消費電流		30 ℃		4		mA
			85 ℃			6	mA
			125 ℃			7	mA
I_{DDA}	デバイスがアイドル モードのときの VDDA 消費電流		125 ℃			4	mA
STANDBY モード (PLL 有効)							
I_{DD}	デバイスがスタンバイ モードのときの VDD 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		6		mA
			85 ℃			11	mA
			125 ℃			20	mA
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流		30 ℃		4		mA
			85 ℃			6	mA
			125 ℃			7	mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		30 ℃		1		mA
			85 ℃			2	mA
			125 ℃			4	mA

6.6.2 システム消費電流 - VREG ディセーブル - 外部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
STANDBY モード (PLL 無効)							
I_{DD}	デバイスがスタンバイ モードのときの VDD 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		3		mA
			85°C			8	mA
			125℃			20	mA
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流		30 ℃		4		mA
			85°C			5	mA
			125℃			6	mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		125℃			4	mA
ホールト モード							
I_{DD}	デバイスがホールト モードのときの VDD 消費電流	- CPU は HALT モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30 ℃		2		mA
			85°C			4	mA
			125℃			15	mA
I_{DDIO}	デバイスがホールト モードのときの VDDIO 消費電流		30 ℃		3		mA
			85°C			5	mA
			125℃			6	mA
I_{DDA}	デバイスがホールト モードのときの VDDA 消費電流		125℃			3.5	mA
フラッシュ消去 / プログラム							
I_{DD}	消去 / プログラム サイクル中の VDD 消費電流[(1)]	- CPU は RAM から実行中 - フラッシュに対し連続的なプログラム / 消去操作を実行 - PLL 有効、SYSCLK = システムの最大周波数 - ペリフェラル クロックはオフ - X1/X2 水晶振動子に電源を供給 - アナログへの電源供給なし - 出力は DC 負荷なしで安定 - 入力は High または Low で安定			80	108	mA
I_{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流[(1)]				11	20	mA
I_{DDA}	消去 / プログラム サイクル中の VDDA 消費電流				0.1	8	mA

Copyright © 2026 Texas Instruments Incorporated

6.6.2 システム消費電流 - VREG ディセーブル - 外部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
リセット モード							
I_{DD}	リセットがアクティブのときの VDD 消費電流(2)	デバイスをリセット中	30 ℃		5		mA
			85°C		8		mA
			125℃		15		mA
I_{DDIO}	リセットがアクティブのときの VDDIO 消費電流(2)		30 ℃		5		mA
			85°C		5		mA
			125℃		5		mA
I_{DDA}	リセットがアクティブのときの VDDA 消費電流(2)		125℃		0.01		mA

(1) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。
(2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

6.6.3 動作モード テストの説明

「システム消費電流 - VREG 有効 - 内部電源」表、「システム消費電流 - VREG 無効 - 外部電源」表、セクション 6.6.5 に、本デバイスの動作モードの消費電流値の一覧を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定のテスト条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- CPU がコードをアクティブに実行している。
- すべてのアナログ ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

6.6.4 消費電流のグラフ

次のグラフは、デバイスの周波数、温度、電源 (VREG イネーブル)、消費電流の関係の代表例を示したものです。実際の結果は、システムの実装と条件によって異なります。

図 6-1 に、内部コアレギュレータがイネーブルな状態での、温度および電源レールにおける標準的な動作電流プロファイリングを示します。図 6-2 に、内部コアレギュレータがディスエーブルな状態での、温度および電源レールにおける標準的な動作電流プロファイリングを示します。

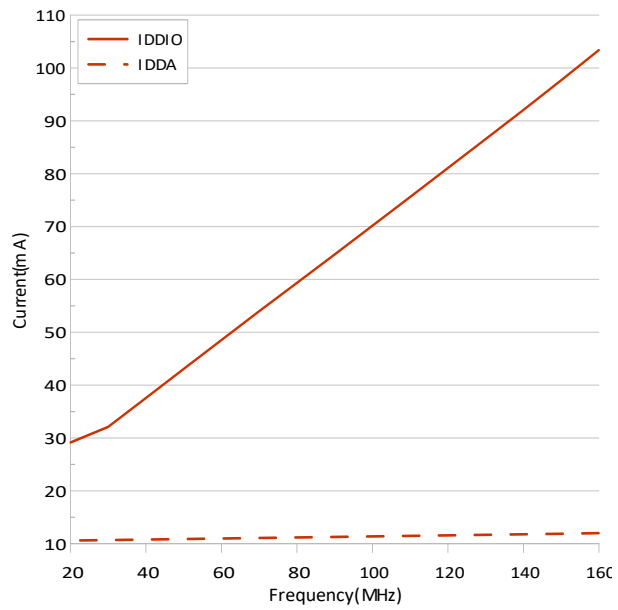


図 6-1. 動作電流と周波数との関係、VREG イネーブル

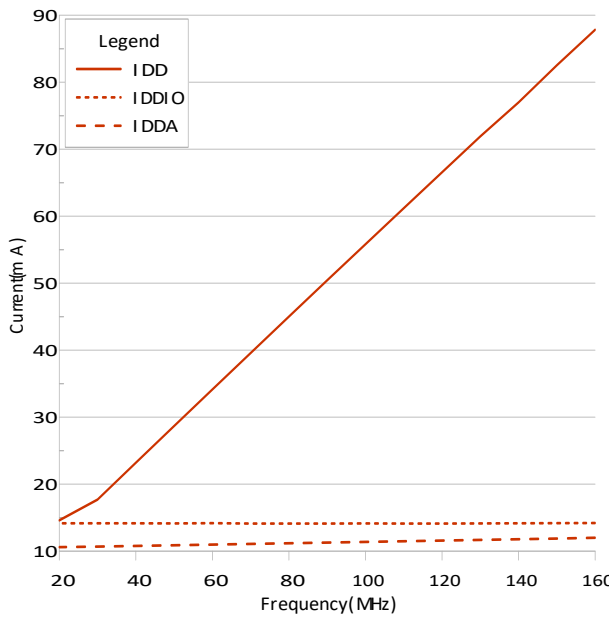


図 6-2. 動作電流と周波数との関係、VREG ディスエーブル

6.6.5 消費電流の低減

F28P55x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック イネーブル ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。「ディスエーブルされたペリフ

Copyright © 2026 Texas Instruments Incorporated

ェラルごとの代表的な電流低減」の表に、PCLKCRx レジスタを使用してクロックをディスエーブルすることで実現できる、代表的な電流低減を示します。

- 低消費電力モード (LPM) で最小の VDDA 消費電流を実現するには、SPRUJ53 および『TMS320F28P551/552/558 リアルタイム マイコン テクニカル リファレンス マニュアル』の アナログ・デジタル変換器 (ADC) の章 を参照して、各モジュールも同様に電源がオフになるようにしてください。

6.6.5.1 ペリフェラル ディセーブル時の標準的な電流低減

複数のインスタンスを持つペリフェラルの場合は、ここに記載された電流は、全モジュールを合計した値です。

ペリフェラル	I_{DDIO} 電流の低減 (mA)
ADC[(1)]	1.0
CLA	0.56
CLB	1.41
CMPSS[(1)]	0.31
CPU タイマ	0.06
GPDAC	0.12
MCAN	1.01
DCC	0.08
eCAP	0.12
ERAD	1.56
EPG	0.32
ePWM (1 ePWM の場合)	0.95
eQEP	0.18
SCI	0.50
I2C	0.51
SPI	0.11
FSI RX	0.34
FSI TX	0.27
PMBUS	0.28

(1) この数値は、各モジュールのデジタル部分で消費される電流を示しています。

6.7 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO							
V_{OH}	High レベル出力電圧		I_{OH} = I_{OH} 最小値	VDDIO * 0.8			V
			I_{OH} = -100µA	VDDIO - 0.2			
V_{OL}	Low レベル出力電圧		I_{OL} = I_{OL} 最大値			0.4	V
			I_{OL} = 100µA			0.2	
I_{OH}	すべての出力ピンの High レベル出力ソース電流			-4			mA
I_{OL}	すべての出力ピンの Low レベル出力シンク電流					4	mA
	GPIO2/3/9/32 の Low レベル出力シンク電流	IO_DRVSEL: DRVSELGPIOx = 0				4	mA
		IO_DRVSEL: DRVSELGPIOx = 1				20	mA
R_{OH}	すべての出力ピンの High レベル出力インピーダンス		VOH = VDDS - 0.4V	50	66	96	Ω
R_{OL}	すべての出力ピンの Low レベル出力インピーダンス		VOL = 0.4V	48	60	84	Ω
	GPIO2/3/9/32 の Low レベル出力インピーダンス	IO_DRVSEL: DRVSELGPIOx = 0		48	60	84	Ω
		IO_DRVSEL: DRVSELGPIOx = 1		15	21	33	Ω
V_{IH}	High レベル入力電圧			2.0			V
V_{IH}	High レベル入力電圧 - GPIO2/3/9/32	IO_MODSEL: MODSELGPIOx = 0		0.7*VDDIO			V
V_{IH}	High レベル入力電圧 - GPIO2/3/9/32	IO_MODSEL: MODSELGPIOx = 1		1.35			V
V_{IL}	Low レベル入力電圧					0.8	V
	Low レベル入力電圧 - GPIO2/3/9/32	IO_MODSEL: MODSELGPIOx = 0				0.3*VDDIO	V
		IO_MODSEL: MODSELGPIOx = 1				0.8	V
$V_{HYSTERESIS}$	入力ヒステリシス (AIO)			115			mV
	入力ヒステリシス (GPIO)			115			
$I_{PULLDOWN}$	入力電流	プルダウン付きピン	VDDIO = 3.3V V_{IN} = VDDIO		120		µA
I_{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力[(1)]	VDDIO = 3.3V V_{IN} = 0V		160		µA
$R_{PULLDOWN}$	弱プルダウン抵抗			22	31	62	kΩ
R_{PULLUP}	弱プルアップ抵抗			19	29	54	kΩ
		GPIO2/3/9/32		20	31	65	kΩ

Copyright © 2026 Texas Instruments Incorporated

6.7 電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
I_{LEAK}	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル $0V \le V_{IN} \le VDDIO$			0.150	μA
	ピンのリーケージ (デバイスの電源がオン)。「*5V フェイルセーフ ピンに関する特別な検討事項*」セクションを参照	デジタル入力 (GPIO2/3/9/32)	プルアップおよび出力はディスエーブル $0V \le V_{IN} \le 3.3V$ VDDIO = 3.3V			0.150	
			プルアップおよび出力はディスエーブル $3.3V < V_{IN} \le 4.0V$ VDDIO = 3.3V		18	24	
			プルアップおよび出力はディスエーブル $4.0V < V_{IN} \le 5.5V$ VDDIO = 3.3V		5.5	9.5	
	ピンの リーケージ (デバイスの電源がオフ)		プルアップおよび出力はディスエーブル $0V \le V_{IN} \le 5.5V$ VDDIO = 0V		5.5	9.5	
	ピンのリーク電流	アナログ ピン	アナログ ドライバはディセーブル $0V \le V_{IN} \le VDDA$			0.150	
C_I	入力容量	デジタル入力			2		pF
		アナログ ピン(2)					
VREG および BOR							
VREG、POR、BOR(3)							

(1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。
(2) アナログ ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャネルごとの寄生容量」表を参照してください。
(3) 「パワー マネージメント モジュール (PMM)」セクションを参照してください。

6.8 5V フェイルセーフ ピンに関する特別な考慮事項

GPIO2、GPIO3、GPIO9、および GPIO32 は、このデバイスの 5V フェイルセーフ (5V FS) ピンです。これは次の 2 つのことを意味します。

- これらのピンは、電源電圧 (VDDIO) レベルに関係なく、最大 5.5V の入力電圧に対応できます。
- これらのピンは「フェイルセーフ」でもあります。つまり、デバイスに電力が供給される前に電圧を印加することもできます。

上記の特性を達成するため、これらの GPIO の入力バッファの構造は、このデバイスの他の GPIO とは異なっています。そのため、追加のリーク電流パラメータ (無給電リーケージ) が定義されているとともに、デバイスに電力が供給されているときの給電リーク電流の挙動に違いがあります。図 6-3 に、これらのピンの標準的なリーク電流プロファイルを示します。図に示されているように、ピンの電圧がデバイスの電源 (VDDIO) 電圧を超えるとリーク電流が増加します。最大リーク電流が観察されるのはこの遷移フェーズ中です。入力ピンの電圧が約 4V を超えると、電流は残りの入力電圧範囲を通して公称値に落ち着きます。

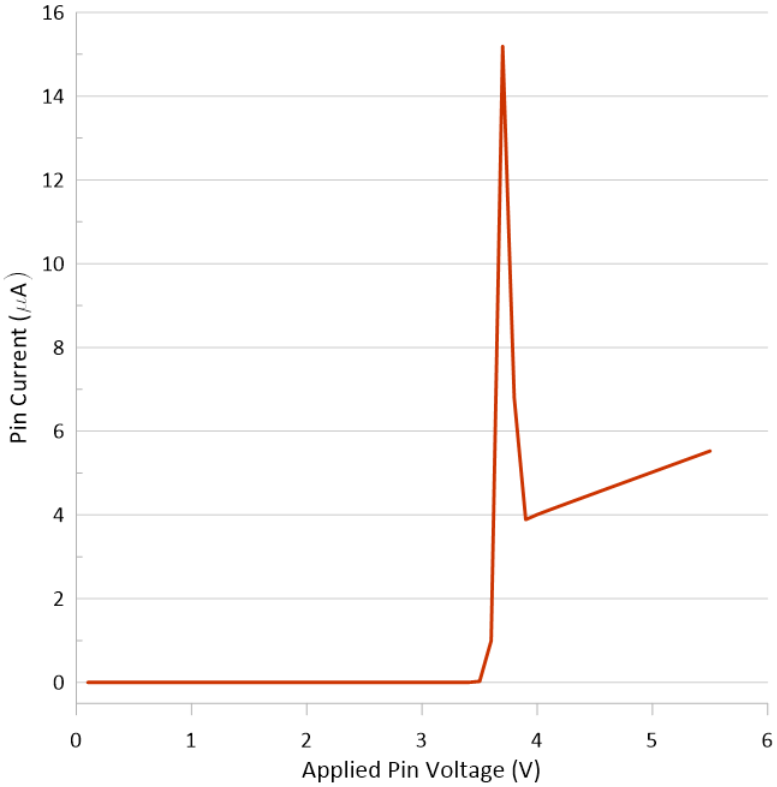


図 6-3. リーク電流と入力電圧との関係 (デバイスの電源がオン)

Copyright © 2026 Texas Instruments Incorporated

6.9 PZ パッケージの熱抵抗特性

		°C/W[(1)]
$R\Theta_{JC}$	接合部からケースへの熱抵抗	11
$R\Theta_{JB}$	接合部から基板への熱抵抗	28.8
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	46.4
Psi_{JT}	接合部とパッケージ上面との間	0.4
Psi_{JB}	接合部と基板との間	28.2

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、*『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』*
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.10 PN および PNA パッケージの熱抵抗特性

		°C/W[(1)]
$R\Theta_{JC}$	接合部からケースへの熱抵抗	14.4
$R\Theta_{JB}$	接合部から基板への熱抵抗	29.5
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	51.7
Psi_{JT}	接合部とパッケージ上面との間	0.5
Psi_{JB}	接合部と基板との間	29.4

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、*『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』*
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.11 PM パッケージの熱抵抗特性

		°C/W[(1)]
$R\Theta_{JC}$	接合部からケースへの熱抵抗	11.6
$R\Theta_{JB}$	接合部から基板への熱抵抗	24.9
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	45.0
Psi_{JT}	接合部とパッケージ上面との間	0.4
Psi_{JB}	接合部と基板との間	24.5

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、*『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』*
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.12 RSH パッケージの熱抵抗特性

		℃/W[(1)]
$R\Theta_{JC}$	接合部からケースへの熱抵抗 (上面)	11.6
	接合部からケースへの熱抵抗 (底面)	1.2
$R\Theta_{JB}$	接合部から基板への熱抵抗	6.7
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	23.7
Psi_{JT}	接合部とパッケージ上面との間	0.1
Psi_{JB}	接合部と基板との間	6.7

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、*『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』*
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

Copyright © 2026 Texas Instruments Incorporated

6.13 YAF パッケージの熱抵抗特性

		°C/W[1]
$R\Theta_{JC}$	接合部からケースへの熱抵抗 (上面)	0.155
$R\Theta_{JB}$	接合部から基板への熱抵抗	16.86
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	52.20
Psi_{JT}	接合部とパッケージ上面との間	0.09
Psi_{JB}	接合部と基板との間	16.70

6.14 ZNG パッケージの熱抵抗特性

		℃/W[1]
$R\Theta_{JC}$	接合部からケースへの熱抵抗 (上面)	未定
$R\Theta_{JB}$	接合部から基板への熱抵抗	未定
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	未定
Psi_{JT}	接合部とパッケージ上面との間	未定
Psi_{JB}	接合部と基板との間	未定

6.15 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージ上面の中央で測定します。サーマル アプリケーション ノート『半導体および IC パッケージの熱評価基準』は、熱評価基準および定義の理解に役立ちます。

Copyright © 2026 Texas Instruments Incorporated

6.16 システム

6.16.1 パワー マネージメント モジュール (PMM)

6.16.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能を処理します。

6.16.1.2 概要

図 6-4 に、PWM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

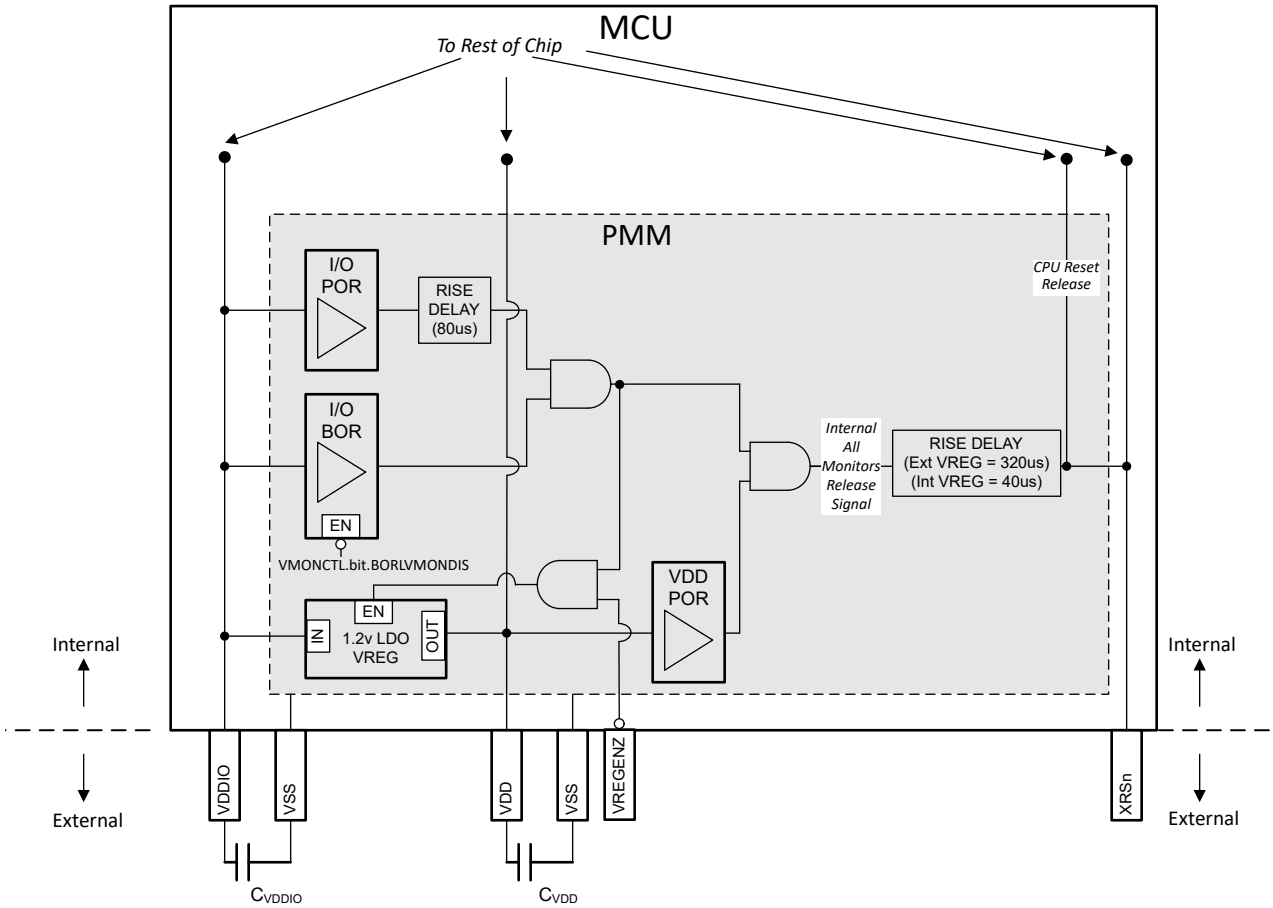


図 6-4. PMM のブロック図

6.16.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

---

3 つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、XRSn が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、XRSn は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

6.16.1.2.1.1 I/O POR (パワーオン リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

> **注**
> I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

6.16.1.2.1.2 I/O BOR (ブラウンアウト リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、 電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます) 。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

図 6-5 に、I/O BOR の動作領域を示します。

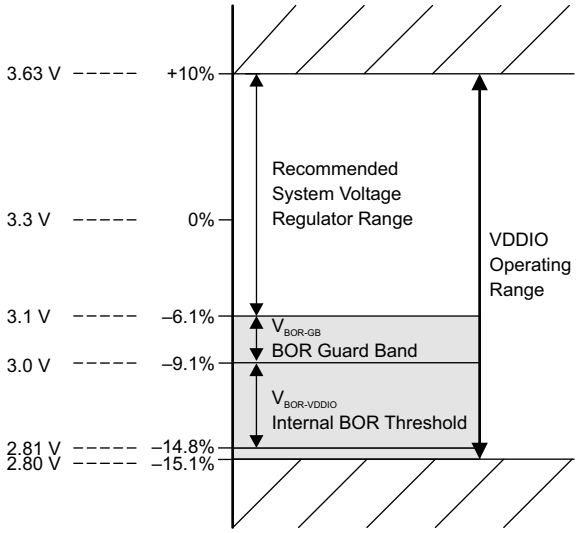


図 6-5. I/O BOR 動作領域

6.16.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます(すなわち、トリップが解除されます)。

> **注**
> VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

6.16.1.2.2 外部監視回路の使用

VDDIO 監視:I/O BOR 機能は、アプリケーションの要件を満たす限り、I/O レール監視に使用できます。

Copyright © 2026 Texas Instruments Incorporated

VDD 監視:

- 内部 VREG から供給される VDD:VDD 電源は VDDIO 電源から生成されます。VREG は、有効な VDDIO 電源 (IO BOR で監視) が有効な VDD 電源を暗黙的に示すように設計されています。
- 外部電源から供給される VDD:VDD POR はアプリケーションでの使用をサポートしていません。アプリケーションで VDD 監視が必要な場合は、外部監視回路を使用して VDD レールを監視できます。

注

内部 VREG による外部監視回路はサポートされていません。アプリケーションで VDD 監視が必要な場合は、VREGENZ ピンを備えたパッケージを使用して VDD に外部から電力を供給する必要があります。

6.16.1.2.3 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。これにより、XRSn が解放されたときに電圧が確実に落ち着いているようにしています。遅延ブロックは、電源投入時 (VDDIO および VDD 立ち上がっている間) にのみアクティブになります。

遅延ブロックは、「パワー マネージメント モジュールの電気的データおよびタイミング」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

6.16.1.2.4 内部 DD LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な出力を生成できます。VREGENZ ピンを Low に接続することでイネーブルになります。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリング コンデンサが必要です。詳細については、「*VDD デカップリング*」セクションを参照してください。

6.16.1.2.5 VREGENZ

VREGENZ (VREG ディセーブル) ピンは、内部 VREG の状態を制御します。内部 VREG をイネーブルにするには、VREGENZ ピンをロジック Low の電圧に接続します。外部から VDD に電力を供給するアプリケーション (外部 VREG) では、VREGENZ ピンを High に接続して内部 VREG をディセーブルにします。

注

すべてのデバイス パッケージで VREGENZ がピンへ接続されているわけではありません。VREGENZ なしのパッケージでは、外部 VREG モードはサポートされていません。

6.16.1.3 外付け部品

6.16.1.3.1 デカップリング コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

6.16.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データおよびタイミング」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- **構成 1**:C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング コンデンサを配置します。
- **構成 2**:[C_{VDDIO} × VDDIO ピンの数] に相当する値の単一のデカップリング コンデンサを実装します。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.16.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データとタイミング」の C_{VDD} パラメータ合計値を参照してください。

外部 VREG モードの場合は、使用するデカップリング容量の実際の合計値が、VDD を駆動する電源の要件となります。

以下に示す構成のどちらでも許容可能です。

- **構成 1:** 合計 C_{VDD} をすべての VDD ピンに対して均等に分けます。このオプションは、内部 VREG モードで使用でき、PCB 上のすべての VDD ピンを相互に接続するのは不可能な場合があります。電源ピンの一括接続 セクションを参照してください。
- **構成 2:** 合計 C_{VDD} の値を持つ単一のデカップリング コンデンサ を実装します。この構成では、PCB 上ですべての VDD ピンを互いに接続する必要があります。

> **注**
> デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.16.1.4 電源シーケンス

6.16.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

外部 VREG モードでは、VDD ピンを 1 つにまとめて接続し、単一の電源から電力を供給する必要があります。

内部 VREG モードでは、各 VDD ピンにコンデンサが接続されていれば、VDD ピンを 1 つにまとめて接続することは任意です。VDD デカップリングの構成については、「*VDD デカップリング*」セクションを参照してください。

このデバイスのアナログ モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

> **注**
> レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます

6.16.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ ピン (VREFHI を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

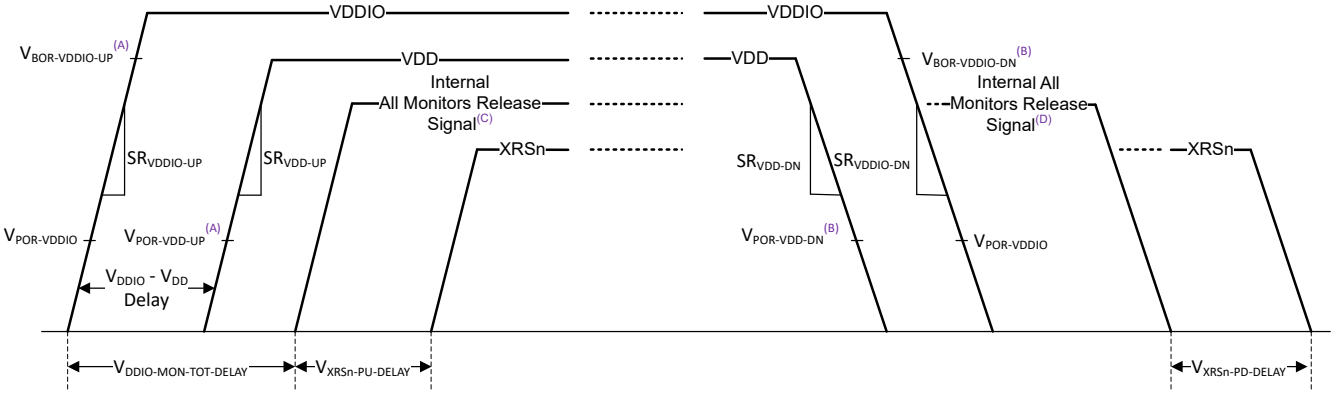
> **注意**
> 上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.4.3 電源ピンの電源シーケンス

6.16.1.4.3.1 外部 VREG/VDD モード シーケンス

図 6-6 に、外部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値については、パワー マネージメント モジュールの電気的データおよびタイミング を参照してください。



A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-6. 外部 VREG パワーアップ シーケンス

- パワーアップ:
  1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
  2. VDD (すなわち 1.2V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
  3. VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
  4. $V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$ および $V_{XRSN\text{-}PD\text{-}DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
  5. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  6. パワーアップ時には、XRSn が解放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。
- パワーダウン:
  1. VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、最小スルーレートの規定があります。
  2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  3. パワー ダウン中に POR または BOR 監視のいずれかがトリップすると、$V_{XRSN\text{-}PD\text{-}DELAY}$ の後、XRSn が LOW になります。

注

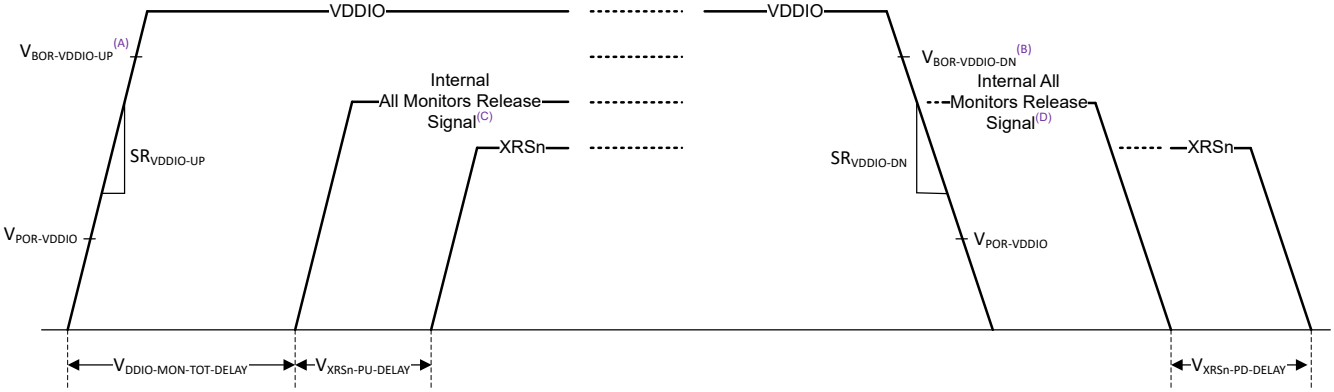
全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.16.1.4.3.2 内部 VREG/VDD モード シーケンス

図 6-7 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー マネージメント モジュールの電気的データおよびタイミング」に記載されています。



A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-7. 内部 VREG パワーアップ シーケンス

- パワーアップ:
  1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
  2. I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
  3. $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSN-PU-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
  4. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
- パワーダウン:
  1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
  2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  3. I/O BOR トリップにより、$V_{XRSN-PD-DELAY}$ 後に XRSn が Low になり、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.16.1.4.3.3 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

Copyright © 2026 Texas Instruments Incorporated

注意
許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

表 6-1. 外部 VREG シーケンスの概要

事例	レールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	あり
B	1	3	2	あり
C	2	1	3	なし
D	2	3	1	なし
E	3	2	1	なし
F	3	1	2	なし
G	1	1	2	あり
H	2	2	1	なし

表 6-2. 内部 VREG シーケンスの概要

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	あり
B	2	1	なし
C	1	1	あり

注
デバイスのアナログ モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

6.16.1.4.3.4 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

注
XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

外部 VREG モードの場合、VDD には最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDD が最小動作電圧に達する前に VDD POR が解放され、デバイスが適切なリセット状態で起動しない可能性があります。

6.16.1.5 推奨動作条件の PMM への適用

「推奨動作条件」の表に記載されているように、デバイスのすべてのピンの電圧 (V_{IN}) は VSS - 0.3V よりも高く維持する必要があります。この値を下回る負電圧を印加すると、デバイスに電流が注入され、異常な動作が発生する可能性があります。PMM 付近のピンには特に注意が必要です。これらのピンに負の電圧が印加されると、POR または BOR ブロックで予期せずに XRSn がアサートされたり、内部 VREG ディスエーブルになる可能性があります (*PMM のブロック図*を参照)。このデバイスの PMM 付近のピンを以下の「PMM 付近のピン」の表に示します。

表 6-3. PMM 付近のピン

ピン名	ピン番号					
	100 PZ	80 PNA/PN	64 PM	56 RSH	49 YAF	32 ZNG
GPIO42	–	57	–	–	–	–
GPIO8	74	58	47	–	–	–

ピンに対する負のノイズを防止する方法を重要な順に次に示します。

1. ソースでノイズを低減または除去する。
2. これらのピンでノイズ源の間の結合を避ける。
3. デバイス ピン付近のフィルタでノイズを分離する。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.6 パワー マネージメント モジュールの電気的データおよびタイミング

6.16.1.6.1 パワー マネージメント モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
総則						
C_{VDDIO} (1)(2)	ピンごとの VDDIO 容量 (7)		0.1			µF
C_{VDDA} (1)(2)	ピンごとの VDDA 容量 (7)		2.2			µF
SR_{VDD33} (3)	3.3V レールの電源ランプ レート (VDDIO、VDDA)		20		100	mV/µs
$V_{BOR-VDDIO-GB}$ (5)	VDDIO ブラウンアウト リセット電圧ガードバンド			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$ (1)(4)	合計 VDD 容量 (7)		10			µF
SR_{VDD12} (3)	1.2V レールの電源ランプ レート (VDD)		10		100	mV/µs
V_{DDIO} - V_{DD} 遅延 (6)	VDDIO と VDD の間の上昇下降遅延		0			us
内部 VREG						
$C_{VDD\ TOTAL}$ (1)(4)	合計 VDD 容量 (公称値) (7)		10		22	µF

(1) バルク コンデンサも使用する必要があります。デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション ソリューションによって決まります。
(2) 3.3V レール (VDDIO、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
(3) 「電源スルーレート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
(4) デカップリング容量全体の可能な構成については、「パワー マネージメント モジュール (PMM)」のセクションを参照してください。
(5) 3.3V VDDIO システム レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは $V_{BOR-VDDIO-GB}$ を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステム レギュレータ設計および (システム レギュレータの仕様に従った) デカップリング容量が重要です。$V_{BOR-VDDIO-GB}$ の値は、システム レベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
(6) 3.3V レールが上昇してから、1.2V レールが上昇するまでの遅延。許容される電源上昇下降シーケンスについては、「VREG シーケンスの概要」表を参照してください。
(7) コンデンサの最大許容誤差は 20% にする必要があります。

6.16.1.6.2 パワー マネージメント モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VREG}	内部電圧レギュレータ出力			1.25		V
$V_{VREG-PU}$	内部電圧レギュレータのパワーアップ時間				350	us
$V_{VREG-INRUSH}$ (4)	内部電圧レギュレータの突入電流			650		mA
$V_{POR-VDDIO}$	VDDIO パワーオン リセット電圧	XRSn 解除前および解除後		2.3		V
$V_{BOR-VDDIO-UP}$ (1)	上昇時の VDDIO ブラウンアウト リセット電圧	XRSn 解除前		2.7		V
$V_{BOR-VDDIO-DOWN}$ (1)	下降時の VDDIO ブラウンアウト リセット電圧	XRSn 解除後	2.81		3.0	V
$V_{XRSn-PU-DELAY}$ (2)	パワーアップ時の電源上昇から XRSn 解除までの遅延			40		us
$V_{XRSn-PD-DELAY}$ (3)	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		us

6.16.1.6.2 パワー マネージメント モジュールの特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$	VDDIO 監視のパスにおける合計遅延 (POR、BOR)			80		us
$V_{XRSn\text{-}MON\text{-}RELEASE\text{-}DELAY}$	VDD POR イベントから XRSn 解除までの遅延	電源は動作範囲内		40		us
	VDDIO BOR イベントから XRSn 解除までの遅延			40		us
	VDDIO POR イベントから XRSn 解除までの遅延			120		us

(1) 「I/O BOR 動作領域」の図を参照してください。
(2) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。
(3) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。
(4) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカップリング コンデンサを使用するか、この過渡電流を供給できる LDO/DC-DC を選択することで効果を低減できます。

Copyright © 2026 Texas Instruments Incorporated

6.16.2 リセット タイミング

XRSn は、デバイスのリセット ピンです。入力およびオープン ドレイン出力として機能します。このデバイスでは、パワーオン リセット (POR) およびブラウンアウト リセット (BOR) の監視回路を内蔵しています。電源投入時は、この監視回路が XRSn ピンを Low に駆動します。詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照してください。ウォッチドッグ リセットまたは NMI ウォッチドッグ リセットも、ピンを LOW に駆動します。外部のオープン ドレイン回路によりピンを駆動して、デバイス リセットをアサートすることもできます。

XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 6-8 に、リセットの推奨回路を示します。

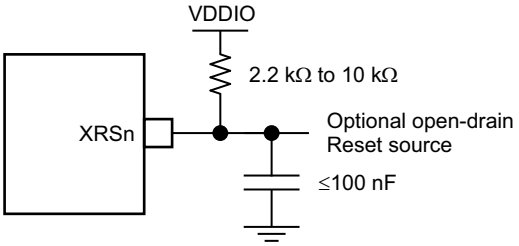


図 6-8. リセット回路

6.16.2.1 リセット ソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-4. リセット信号

リセット ソース	CPU コアのリセット (C28x、FPU、TMU)	ペリフェラルのリセット	JTAG / デバッグ ロジックのリセット	IO	$\overline{\text{XRS}}$ 出力
POR	あり	あり	あり	ハイ インピーダンス	あり
BOR	あり	あり	あり	ハイ インピーダンス	あり
$\overline{\text{XRS}}$ ピン	あり	あり	なし	ハイ インピーダンス	-
$\overline{\text{WDRS}}$	あり	あり	なし	ハイ インピーダンス	あり
$\overline{\text{NMIWDRS}}$	あり	あり	なし	ハイ インピーダンス	あり
$\overline{\text{SYSRS}}$ (デバッガ リセット)	あり	あり	なし	ハイ インピーダンス	なし
$\overline{\text{SCCRESET}}$	あり	あり	なし	ハイ インピーダンス	なし
SIMRESET.$\overline{\text{XRS}}$	あり	あり	なし	ハイ インピーダンス	あり
SIMRESET.$\overline{\text{CPU1RS}}$	あり	あり	なし	ハイ インピーダンス	なし

パラメータ $t_{h(boot\text{-}mode)}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『*TMS320F28P551/552/558* リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム制御」の章にある「*リセット*」セクションを参照してください。

注意

一部のリセット ソースはデバイスによって内部で駆動されます。これらのソースの一部は XRSn を LOW に駆動します。これを使って、ブート ピンを駆動する他のデバイスをディセーブルにします。SCCRESET およびデバッガのリセット ソースは、XRSn を駆動しません。したがって、ブート モードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP によってブート ピンを変更する機能があります。

Copyright © 2026 Texas Instruments Incorporated

6.16.2.2 リセットの電気的データおよびタイミング

6.16.2.2.1 リセット - XRSn - タイミング要件

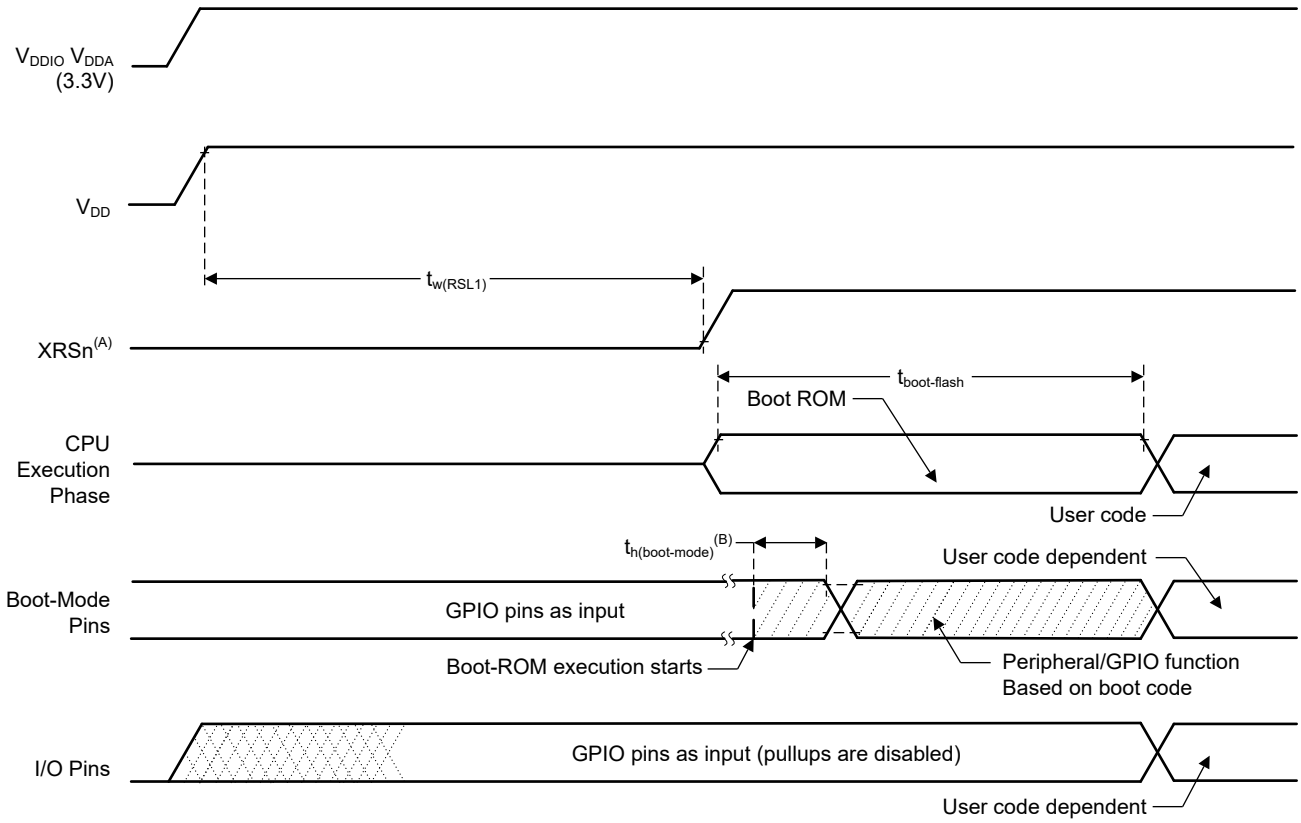
		最小値	最大値	単位
$t_{h(boot\text{-}mode)}$	ブート モード ピンのホールド時間	1.5		ms
$t_{w(RSL2)}$	パルス幅。ウォーム リセット時に XRSn が LOW	3.2		µs

6.16.2.2.2 リセット - XRSn - スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(RSL1)}$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		µs
$t_{w(WDRS)}$	パルス幅、ウォッチドッグによって生成されるリセット パルス		$512t_{c(OSCCLK)}$		サイクル
$t_{boot\text{-}flash}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			1.2	ms

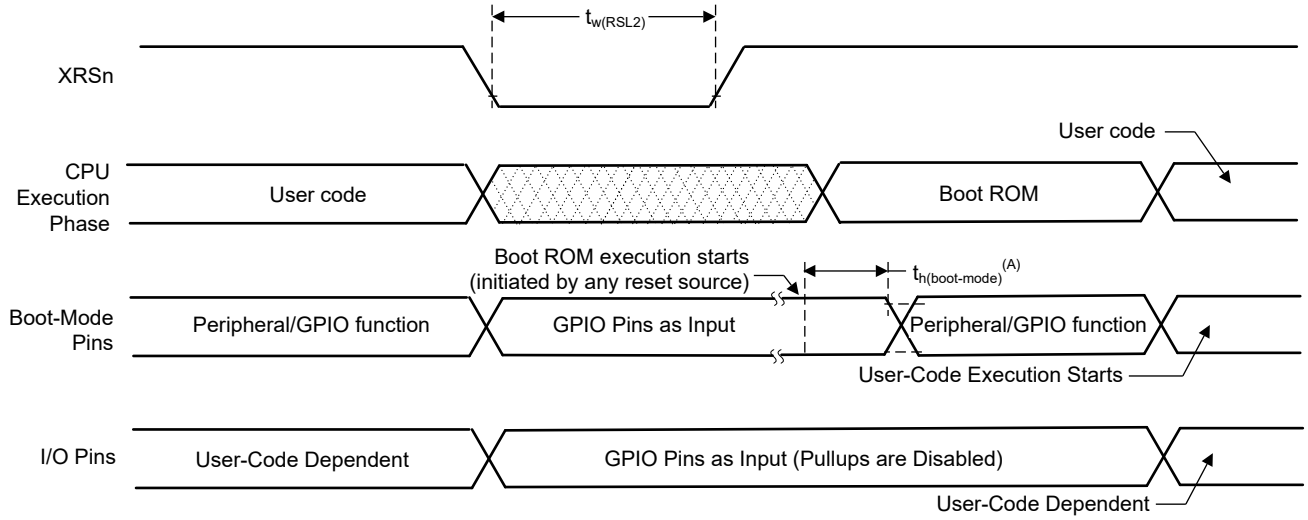
6.16.2.2.3 リセットのタイミング図



A. XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。オンチップのモニターは、電源が有効範囲になるまでこのピンを Low に保持します。

B. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-9. パワーオン リセット



A. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-10. ウォーム リセット

Copyright © 2026 Texas Instruments Incorporated

6.16.3 クロック仕様

6.16.3.1 クロック・ソース

表 6-5. 使用可能な基準クロック ソース

クロック ソース	説明
INTOSC1	内部発振器 1。 10MHz 内部発振器。
INTOSC2[(1)]	内部発振器 2。 10MHz 内部発振器。
X1 (XTAL)	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド クロック。

(1) リセット時、内部発振器 2 (INTOSC2) は、PLL (OSCCLK) のデフォルト クロック ソースになっています。

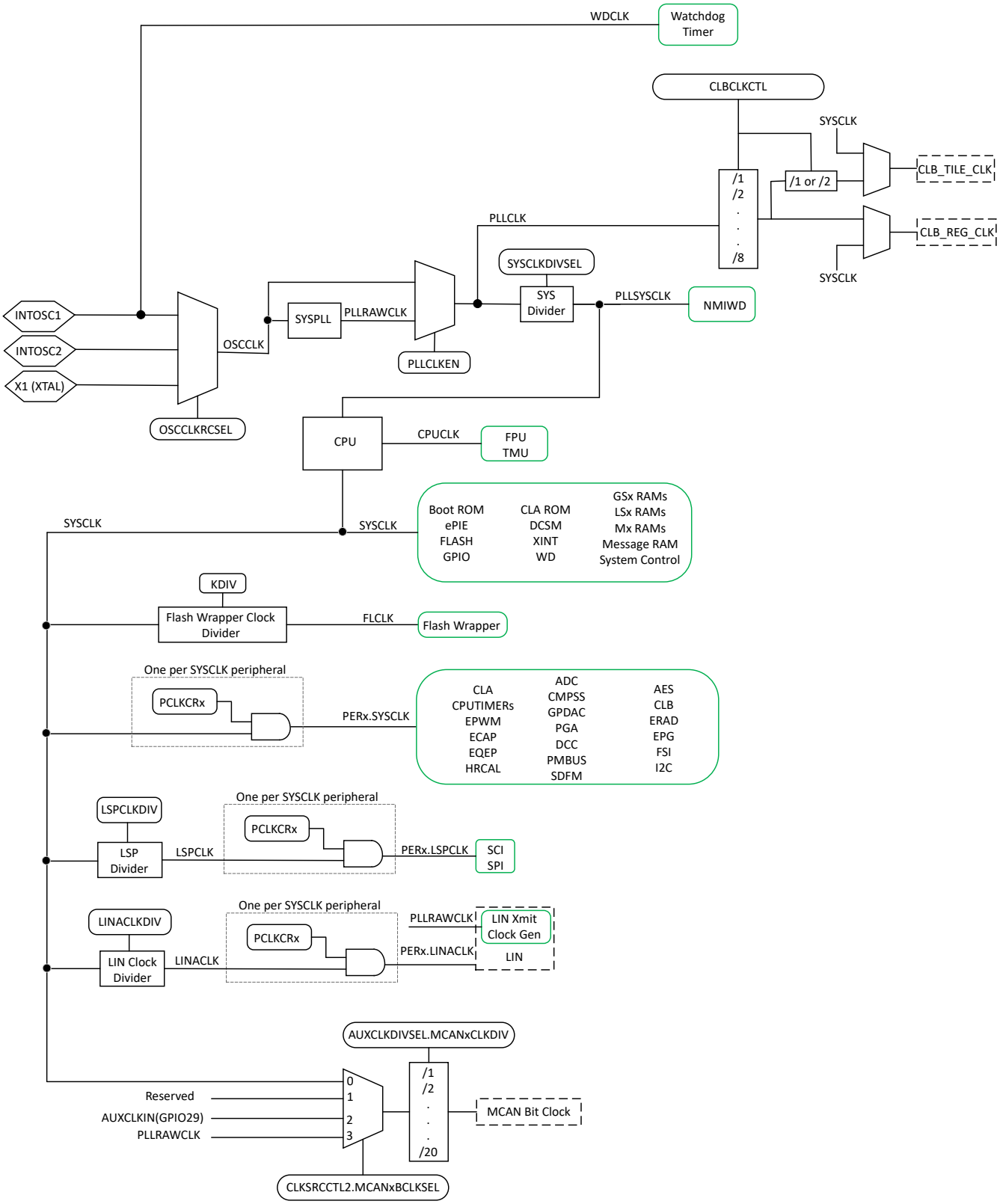


図 6-11. クロック供給システム

Copyright © 2026 Texas Instruments Incorporated

SYSPLL

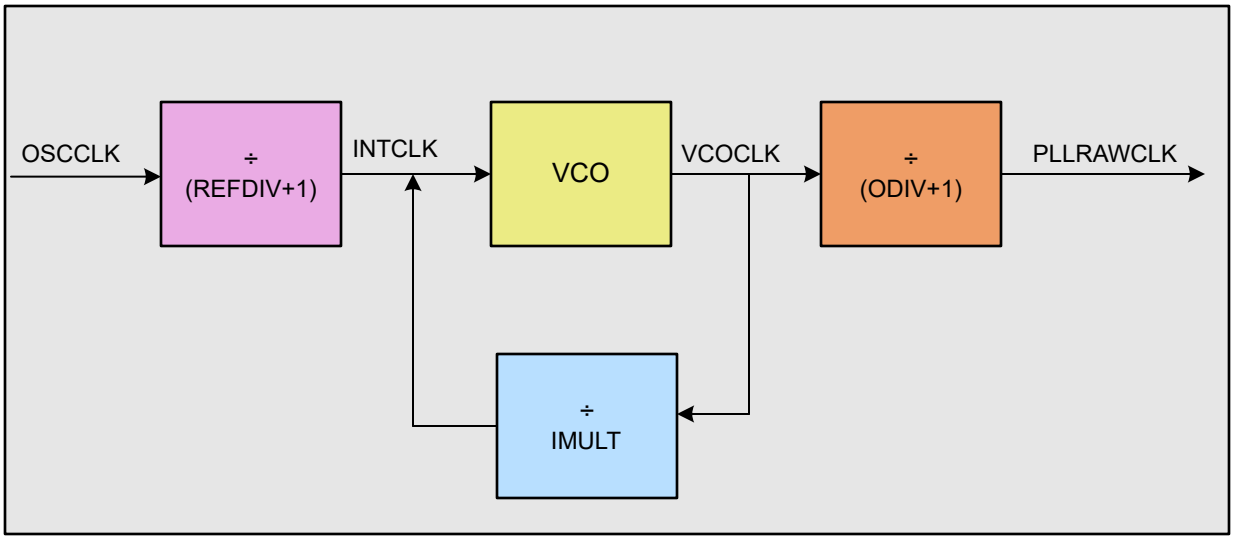


図 6-12. システム PLL

システム PLL の図:

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

6.16.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

6.16.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

6.16.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz

6.16.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧	0.7 * VDDIO		VDDIO + 0.3	V

6.16.3.2.1.3 外部クロック ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧 (バッファ)	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧 (バッファ)	0.7 * VDDIO	VDDIO + 0.3	V

6.16.3.2.1.4 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、$t_{c(X1)}$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、$t_{c(X1)}$ のうち X1 が High の割合	45%	55%	

6.16.3.2.1.5 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUXI)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUXI)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が High の割合	45%	55%	

6.16.3.2.1.6 APLL の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
PLL ロック時間				
SYS PLL ロック時間 (1)			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	us

(1) ここでの PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PLLENA] = 1)。デュアル クロック コンパレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されていません。PLL の初期化には、C2000Ware の最新のサンプル ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。

6.16.3.2.1.7 XCLKOUT のスイッチング特性 - PLL バイパスまたはイネーブル

推奨動作条件範囲内 (特に記述のない限り)

パラメータ (1)		最小値	最大値	単位
$t_{f(XCO)}$	立ち下がり時間、XCLKOUT		6	ns
$t_{r(XCO)}$	立ち上がり時間、XCLKOUT		6	ns
$t_{w(XCOL)}$	パルス幅、XCLKOUT Low	H - 2(2)	H + 2(2)	ns
$t_{w(XCOH)}$	パルス幅、XCLKOUT High	H - 2(2)	H + 2(2)	ns
$f_{(XCO)}$	周波数、XCLKOUT		50	MHz

(1) これらのパラメータでは、6pF の負荷を想定しています。
(2) H = 0.5$t_{c(XCO)}$

6.16.3.2.1.8 内部クロック周波数

		最小値	公称値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス (システム) クロック	2		160	MHz
$t_{c(SYSCLK)}$	周期、デバイス (システム) クロック	6.67		500	ns
$f_{(INTCLK)}$	周波数、システム PLL が VCO に移行 (REFDIV 後)	2		20	MHz
$f_{(VCOCLK)}$	周波数、システム PLL は VCO (ODIV 前)	220		640	MHz
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		320	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		160	MHz
$f_{(PLL_LIMP)}$	周波数、PLL のリンプ周波数(1)		45/(ODIV + 1)		MHz
$f_{(LSP)}$	周波数、LSPCLK	2		160	MHz

Copyright © 2026 Texas Instruments Incorporated

6.16.3.2.1.8 内部クロック周波数 (続き)

		最小値	公称値	最大値	単位
$t_{c(LSPCLK)}$	周期、LSPCLK	6.67		500	ns
$f_{(OSCCLK)}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(EPWM)}$	周波数、EPWMCLK			160	MHz
$f_{(HRPWM)}$	周波数、HRPWMCLK	60		160	MHz
$f_{(CLB)}$	周波数、CLBCLK			160	MHz

(1) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)

6.16.3.3 入力クロックおよび PLL

内蔵の ゼロ ピン発振器に加えて、3 種類の外部クロック ソースがサポートされています。

- シングルエンドの 3.3V 外部クロック。図 6-13 に示すように、クロック信号を X1 に接続し、XTALCR.SE ビットを 1 に設定する必要があります。
- 外部水晶振動子。図 6-14 に示すように、X1 と X2 の間に水晶振動子を接続して、さらに負荷コンデンサを VSS に接続する必要があります。
- 外部共振子。図 6-15 に示すよう に、X1 と X2 の間に共振子を接続し、そのグランドを VSS に接続する必要があります。

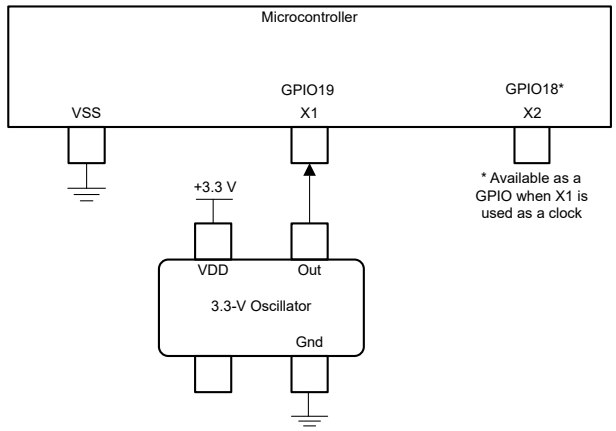


図 6-13. シングルエンド 3.3V 外部クロック

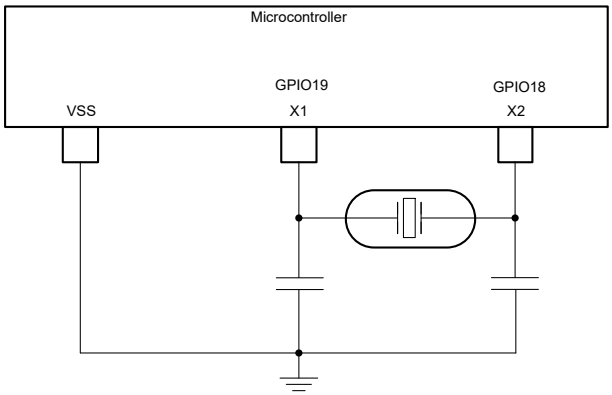


図 6-14. 外部水晶振動子

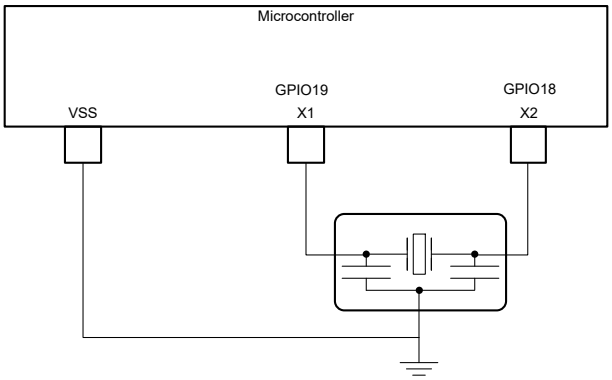


図 6-15. 外部共振子

6.16.3.4 XTAL 発振器

6.16.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

6.16.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

6.16.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL) によって、並列共振モードで動作するように設計されています。図 6-16 に、電気発振回路とタンク回路の部品を示します。

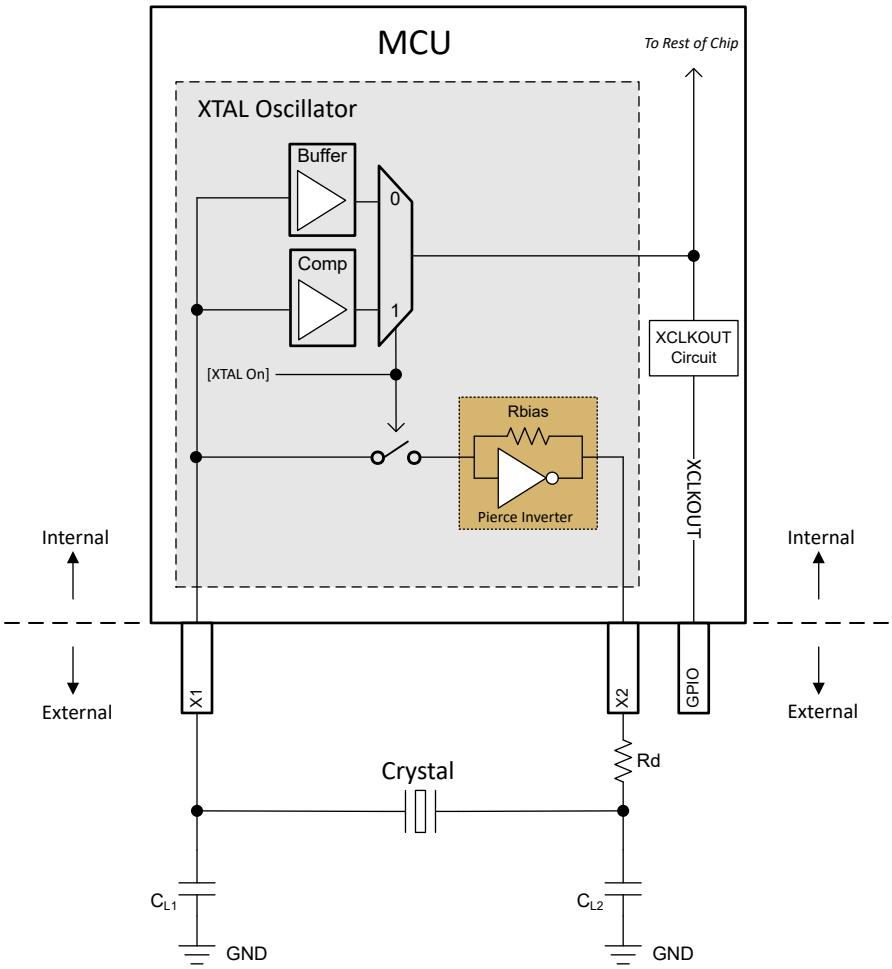


図 6-16. 電気発振回路のブロック図

6.16.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

6.16.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

6.16.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

6.16.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

6.16.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を 図 6-17 に示し、以下で説明します。

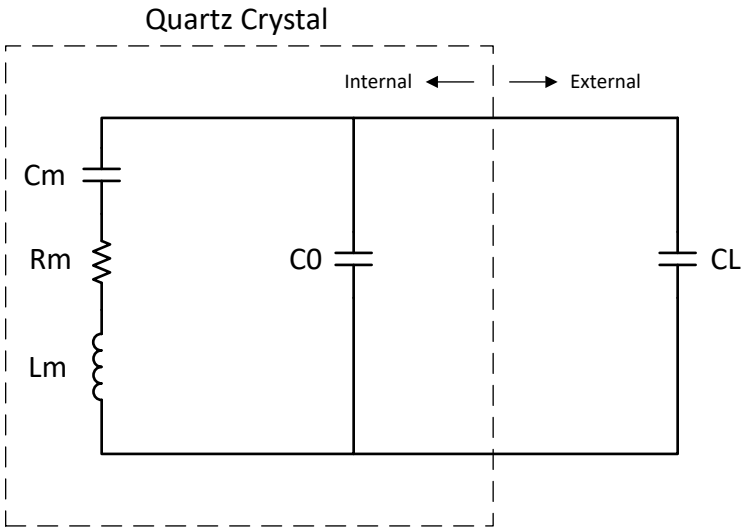


図 6-17. 水晶振動子の電気的表現

Cm (直列容量): 水晶の弾性を表します。

R m (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量):水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量):これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

図 6-16 によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に [CL1]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF～5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

6.16.3.4.2.3 GPIO 動作モード

このデバイスでは、XTAL の動作モードに応じて、X1 および X2 をそれぞれ GPIO19 および GPIO18 として使用できます。*『TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』*の「*外部発振器 (XTAL)*」セクションを参照してください。

6.16.3.4.3 機能動作

6.16.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \tag{2}$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

6.16.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-18 および 図 6-19 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-6 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.16.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」セクションを参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

6.16.3.4.3.3.1 X1 / X2 事前条件

このデバイスでは、X1 / X2 の GPIO19 および 18 としての代替機能を使用して、必要に応じて水晶振動子の起動時間を高速化できます。この機能は、XTAL がオンになる前に、負荷コンデンサ CL1 および CL2 を既知の状態に事前調整することで実現されます。詳細については、*『TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』*を参照してください。

6.16.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (Rd) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。Rd は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

6.16.3.4.4 水晶振動子の選択方法

「水晶発振器の仕様」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF～12pF の範囲内であることを確認します。
   - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 CL = [CL1]/2 となります。
   - この結果に基板の寄生成分を加算すると、CL = [CL1]/2 + 浮遊容量 となります。
4. 水晶振動子の最大励振レベルが 1mW 以下であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 Rd を使用できます。Rd を使用するときの他の注意点については「DL – 励振レベル」を参照してください。

6.16.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ プローブを使用する必要があります。

<u>周波数</u>

1. XCLKOUT の XTAL を引き出します。

2. この周波数を水晶周波数として測定します。

負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ サイクル内に維持されるまでに要する時間を測定します。

Copyright © 2026 Texas Instruments Incorporated

6.16.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶振動子の起動に長い時間を要する

- ダンピング抵抗 Rd を取り付けている場合、抵抗 Rd が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

6.16.3.4.7 水晶発振回路の仕様

6.16.3.4.7.1 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

1. 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
2. ESR = 負性抵抗 / 3

表 6-6. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

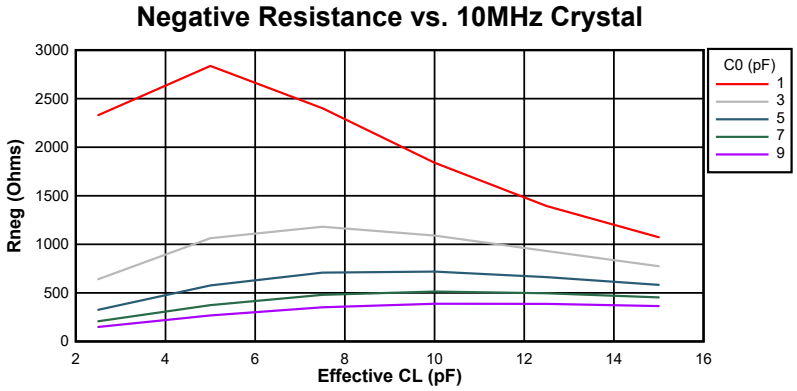


図 6-18. 10MHz 時の負性抵抗変動

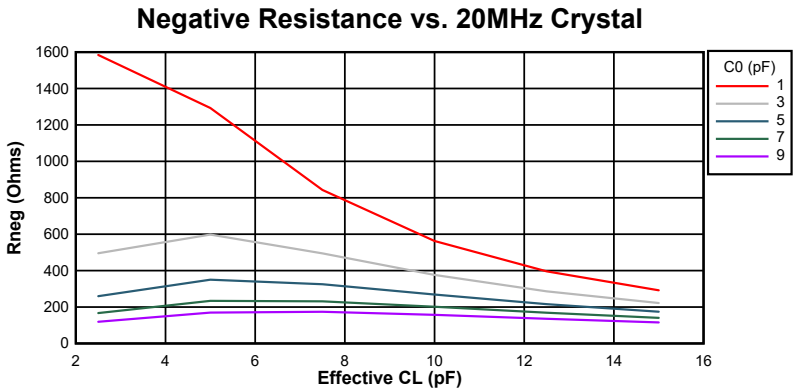


図 6-19. 20MHz 時の負性抵抗変動

6.16.3.4.7.2 水晶発振器のパラメータ

		最小値	最大値	単位
CL1、CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

6.16.3.4.7.3 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間[(1)]	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

6.16.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、INTOSC2 がシステム リファレンス クロック (OSCCLK) のソースとして設定され、INTOSC1 はバックアップ クロックのソースとして設定されます。

SCI のボーレートをより厳密に一致させる必要のあるアプリケーションには、C2000Ware から提供されている、SCI ボーチューニングの例 (baud_tune_via_uart) が利用できます。

注

内部発振器 (INTOSC) の周波数は、機械的および熱的ストレスに敏感です。この感度は、ウェハー チップ スケール パッケージ (WCSP) では、シリコン ダイに基板レベルのストレスが直接伝達されるため高くなります。周波数シフトの潜在的な原因は次のとおりです。

- **半田付けリフロー**:組み立て中のサーマル サイクルによって、一時的な周波数シフトが発生する可能性があります。リフロー後のベーキングにより、デバイス性能を通常のデータシートの値に復元できます。
- **機械的応力**:PCB の反り、アンダーフィル、接着剤 (接着剤) の塗布によって生じるストレスは、INTOSC 周波数に持続的にシフトする可能性があります。

設計者は、PCB の機械設計および組み立てプロセス (アンダーフィルの選択を含む) が、以下の表に示す周波数精度を維持するために、デバイスへのストレスを最小限に抑えることを確認する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.16.3.5.1 INTOSC 特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		PART	パッケージ サフィックス	テスト条件	最小値	標準値	最大値	単位
f_{INTOSC}	周波数、INTOSC1 および INTOSC2[(1)]	すべて	PZ、PN、PNA、PM、RSH、YAF	–40℃ ～ 125℃	9.82 (-1.8%)	10	10.1 (1.0%)	MHz
f_{INTOSC}	周波数、INTOSC1 および INTOSC2[(1)]	すべて	PZ、PN、PNA、PM、RSH、YAF	–30°C ～ 90°C	9.86 (-1.4%)	10	10.1 (1.0%)	MHz
f_{INTOSC}	周波数、INTOSC1 および INTOSC2[(1)]	すべて	PZ、PN、PNA、PM、RSH、YAF	–10°C ～ 85°C	9.9 (-1.0%)	10	10.1 (1.0%)	MHz
f_{INTOSC}	周波数、INTOSC1 および INTOSC2[(1)]	すべて	ZNG	–40℃ ～ 125℃	9.7 (-3.0%)	10	10.3 (3.0%)	MHz
$f_{INTOSC-STABILITY}$	室温での周波数安定性	すべて	すべて	30℃、公称 VDD		±0.1		%
$t_{INTOSC-ST}$	スタートアップおよびセトリングタイム	すべて	すべて				20	µs

(1) INTOSC 周波数は、半田リフロー時の熱および機械的ストレスにより、変化する場合があります。リフロー後のベーキングにより、ユニット性能をデータシートの値に復元できます。

6.16.4 フラッシュ パラメータ

表 6-7 に、異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態を示します。ウェイト状態は、レジスタ FRDCNTL[RWAIT] で設定された値です。

表 6-7. 異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態

CPUCLK (MHz)	ウェイト状態 (FRDCNTL[RWAIT][(1)])
120 < CPUCLK ≤ 160	3
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) FRDCNTL[RWAIT] に必要な最小値は 1 で、RWAIT = 0 はサポートされていません。

F28P55x デバイスは、各種ウェイト状態においてフラッシュ コードを高効率で実行する 128 ビット プリフェッチ バッファを備えています。図 6-20 および 図 6-21 に、64 ビットのプリフェッチ バッファを搭載した前世代のデバイスと比較した場合の、さまざまなウェイト状態設定での標準的な効率を示します。プリフェッチ バッファを使用したウェイト状態の実行効率は、アプリケーション ソフトウェアに存在する分岐の数によって異なります。線形コードと IF-THEN-ELSE コードの 2 つの例を示しています。

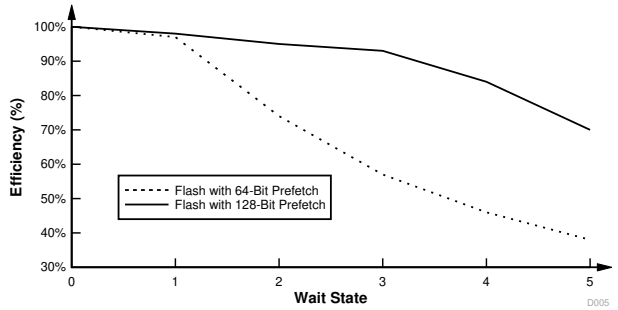


図 6-20. 多数の 32 ビット浮動小数点演算命令を含むアプリケーション コード

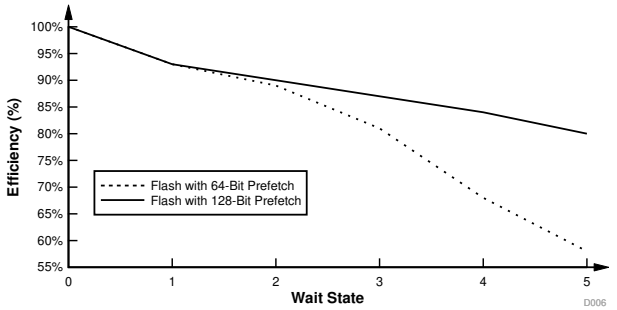


図 6-21. 16 ビットの IF-ELSE 命令を含むアプリケーション コード

注

メイン アレイのフラッシュ プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があり、それぞれの 64 ビット ワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。

Copyright © 2026 Texas Instruments Incorporated

6.16.4.1 フラッシュ パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間[(1)]	128 データ ビット + 16 ECC ビット		62.5	625	µs
	2KB (セクタ)		8	80	ms
消去時間[(2)(3)] (25 サイクル未満)	2KB (セクタ)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
消去時間[(2)(3)] (1000 サイクル)	2KB (セクタ)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
消去時間[(2)(3)] (2000 サイクル)	2KB (セクタ)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
消去時間[(2)(3)] (20K サイクル)	2KB (セクタ)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
N_{wec} 書き込み / 消去サイクル (フラッシュ全体)[(4)]				100000	サイクル
$t_{retention}$ データ保持期間 (T_J = 85℃)		20			年

(1) プログラム時間は、デバイスの最大周波数におけるものです。 プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
- フラッシュ API そのもの
- プログラムすべきフラッシュ データ

すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(2) 消去時間には、CPU による消去検証が含まれます。

(3) 本デバイスが TI.から出荷されるとき、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

(4) バンクとセクタの合計書き込み / 消去サイクル数がこの数に制限されます。

6.16.5 RAM の仕様

F28P55x デバイスのすべての揮発性メモリ (RAM および ROM) は、読み取りと書き込みの両方に対して 0 ウェイト状態であるため、メモリは SYSCLK と同じ速度で動作します。表 6-8 に、デバイスのさまざまな RAM インスタンスの特性を示します。

表 6-8. RAM のパラメータ

RAM のタイプ	サイズ	フェッチ時間 (1) (サイクル)	読み取り時間 (1) (サイクル)	保存時間 (サイクル)	バス幅	使用可能なバスの数	待機状態の数	バースト アクセス
LS RAM	64KB	2	2	1	16 / 32 ビット	2	0	なし
M0	2KB	2	2	1	16 / 32 ビット	1	0	なし
M1	2KB	2	2	1	16 / 32 ビット	1	0	なし
GS RAM	32KB	2	2	1	16 / 32 ビット	2	0	なし
CLA から CPU へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	2	0	なし
CPU から CLA へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	2	0	なし
CLA から DMA へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	3	0	なし
DMA から CLA へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	3	0	なし

(1) 読み取り / 書き込み / フェッチ間の調停なし。アクセスは 2 サイクルで完了します。それ以外の場合、調停優先度 (書き込み / 読み取り / フェッチ) に従います。

Copyright © 2026 Texas Instruments Incorporated

6.16.6 ROM の仕様

F28P55x デバイスのすべての揮発性メモリ (RAM および ROM) は、読み取りと書き込みの両方に対して 0 ウェイト状態であるため、メモリは SYSCLK と同じ速度で動作します。表 6-9 に、デバイスの ROM インスタンスの特徴を示します。

表 6-9. ROM パラメータ – F28P55xSG および F28P55xSD

ROM のタイプ	サイズ	フェッチ時間 (1) (サイクル)	読み取り時間 (1) (サイクル)	保存時間 (サイクル)	バス幅	使用可能なバスの数	待機状態の数	バースト アクセス
ブート ROM + セキュア ROM	96KB	2	2	1	16 / 32 ビット	1	0	なし
CLA データ ROM	8KB	2	2	1	16 / 32 ビット	2	0	なし

(1) 読み取り / 書き込み / フェッチ間の調停なし。アクセスは 2 サイクルで完了します。それ以外の場合、調停優先度 (書き込み / 読み取り / フェッチ) に従います。

6.16.7 エミュレーション / JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) ポートには、4 つの専用ピンがあります。TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、従来の GPIO35 (TDI) および GPIO37 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

JTAG デバッグ プローブ ヘッダーの PD (電源検出) ピンは、基板の 3.3V 電源に接続する必要があります。ヘッダーの GND ピンは、基板のグランドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグランドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力ピンからヘッダーの RTCK 入力ピンにループバックする必要があります (JTAG デバッグ プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ～4.7kΩ の範囲 (デバッガ ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

ヘッダの $\overline{\text{RESET}}$ ピンは、JTAG デバッグ プローブ ヘッダーからのオープン ドレイン出力であり、JTAG デバッグ プローブ コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 6-22 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 6-23 に、20 ピン ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダーの EMU2、EMU3、および EMU4 ピンは使用しないので、グランドに接続する必要があります。

ハードウェア ブレークポイントとウォッチポイントの詳細については、『C2000 デバイス向け CCS でのハードウェア ブレークポイントとウォッチポイント』を参照してください。

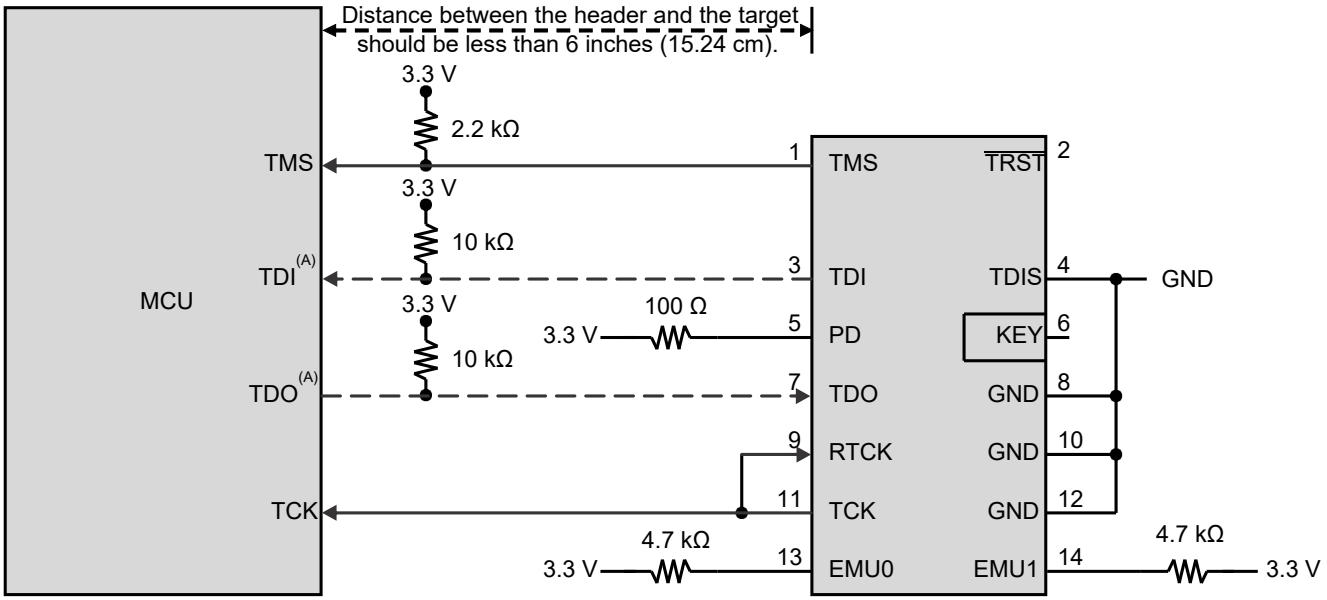
JTAG エミュレーションの詳細については、*『XDS ターゲット接続ガイド』*を参照してください。

注

JTAG テスト データ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG の TDI として使用する場合、入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

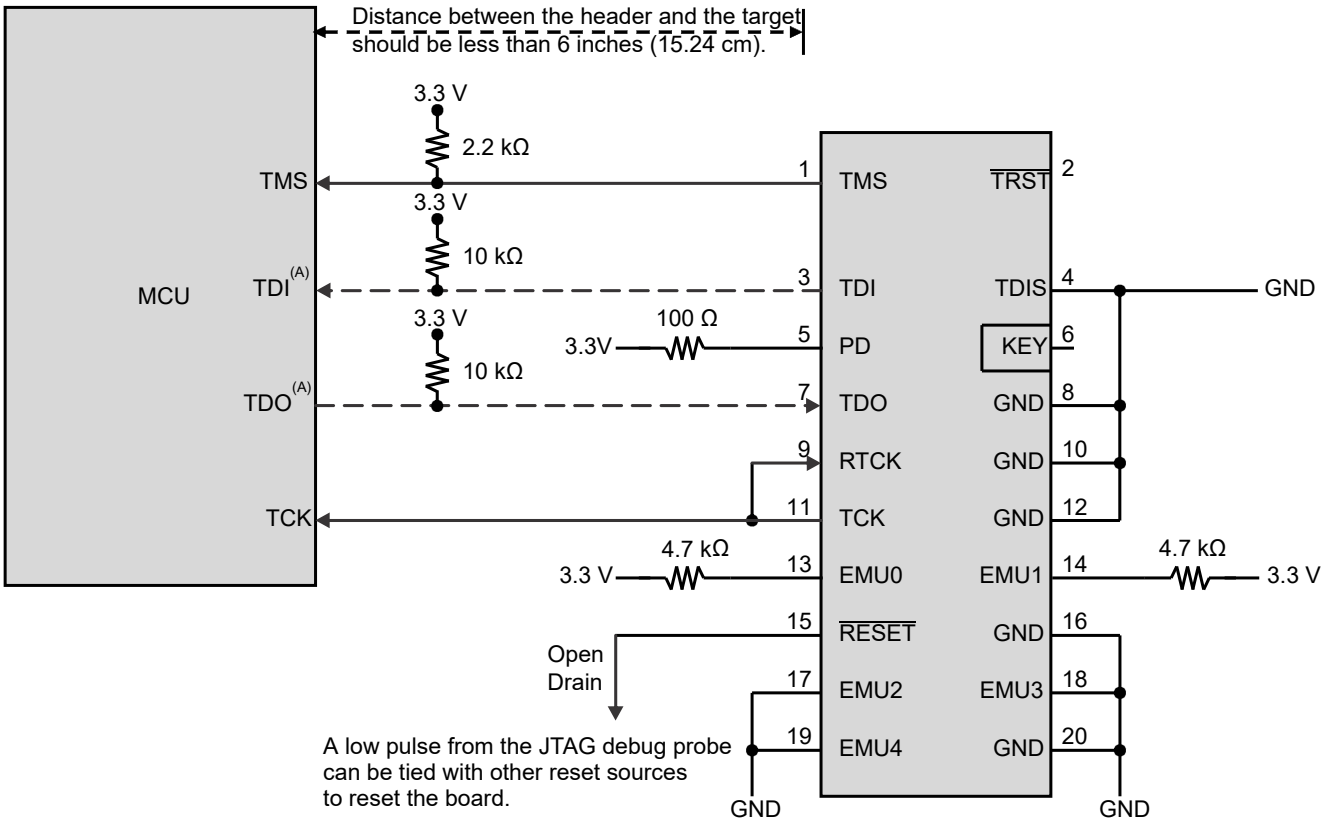
JTAG テスト データ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

Copyright © 2026 Texas Instruments Incorporated



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-22. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-23. 20 ピン JTAG ヘッダーへの接続

6.16.7.1 JTAG の電気的データおよびタイミング

6.16.7.1.1 JTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	66.66		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (t_c の 40%)	26.66		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (t_c の 40%)	26.66		ns
3	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK High まで	7		ns
	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	7		
4	$t_{h(TCKH-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	7		ns
	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	7		

6.16.7.1.2 JTAG スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_{d(TCKL-TDO)}$	遅延時間、TCK LOW から TDO 有効まで	6	20	ns

6.16.7.1.3 JTAG のタイミング図

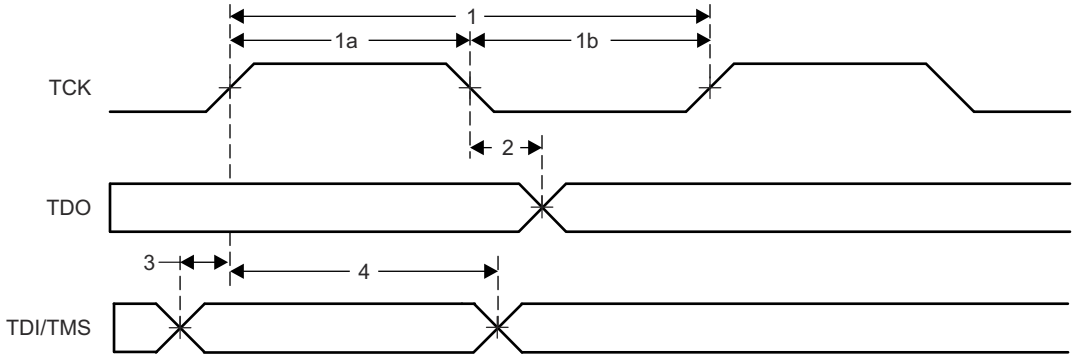


図 6-24. JTAG のタイミング

Copyright © 2026 Texas Instruments Incorporated

6.16.7.2 cJTAG の電気的データおよびタイミング

6.16.7.2.1 cJTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	100		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (t_c の 40%)	40		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (t_c の 40%)	40		ns
3	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	7		ns
	$t_{su(TMS-TCKL)}$	入力セットアップ時間、TMS 有効から TCK Low まで	7		ns
4	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	2		ns
	$t_{h(TCKL-TMS)}$	入力ホールド時間、TCK Low から TMS 有効の間	2		ns

6.16.7.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_{d(TCKL-TMS)}$	遅延時間、TCK LOW から TMS 有効まで	6	20	ns
5	$t_{dis(TCKH-TMS)}$	遅延時間、TCK High から TMS 無効まで		23	ns

6.16.7.2.3 cJTAG のタイミング図

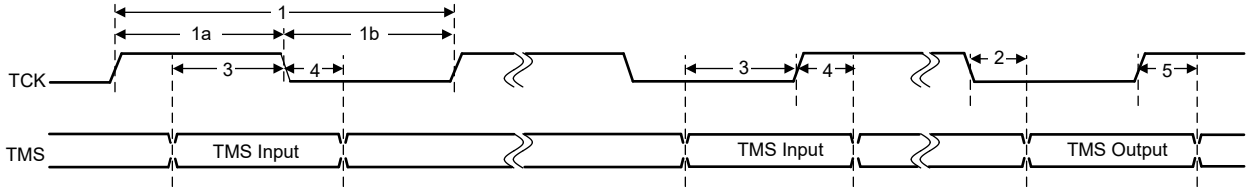


図 6-25. cJTAG タイミング

6.16.8 GPIO の電気的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

多くの GPIO には、さまざまな内部信号を GPIO にルーティングできるようにする、出力クロスバー向けのマルチプレクサオプションがあります。すべての GPIO は、GPIO の High または Low 状態をさまざまな IP ブロック (ADC、eCAP、ePWM 、外部割り込みなど) にルーティングできる各入力クロスバーに接続されています。詳細については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「クロスバー」の章を参照してください。

6.16.8.1 GPIO - 出力タイミング

6.16.8.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO		6[(1)]	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO		6[(1)]	ns
t_{fGPO}	切り替え周波数、GPIO ピン	以下に記載されていないすべての GPIO		50	MHz
		GPIO 2、3、9、32		40	
		GPIO 23 および 41		25	

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、6pF の負荷を想定しています。

6.16.8.1.2 汎用出力のタイミング図

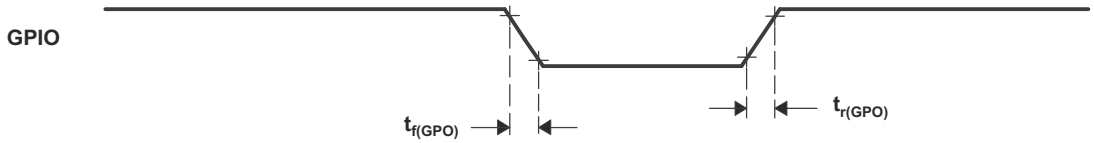


図 6-26. 汎用出力のタイミング

6.16.8.2 GPIO - 入力タイミング

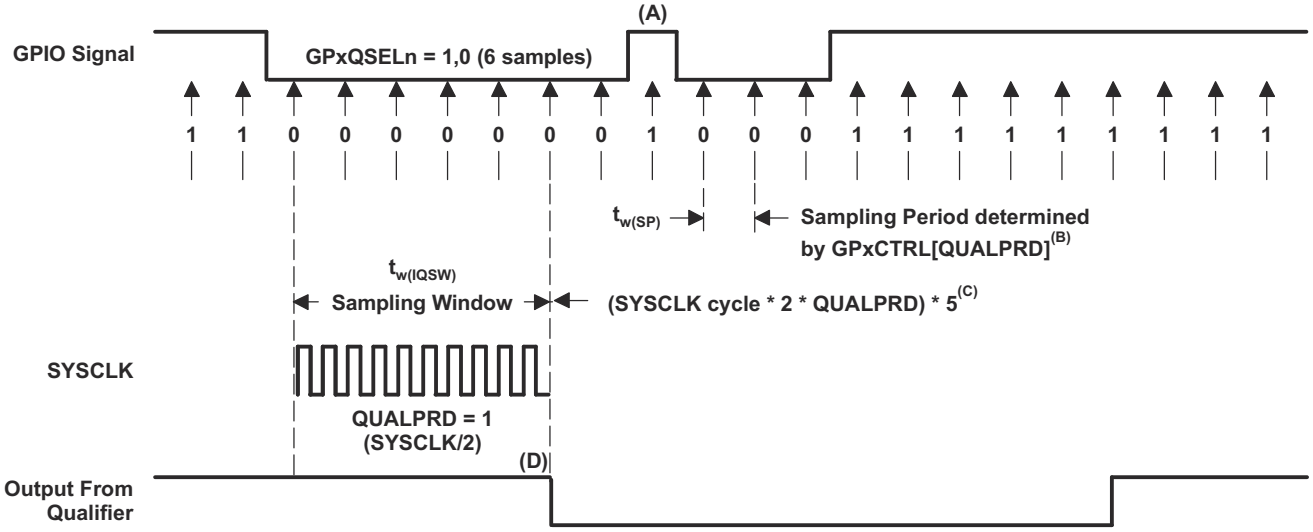
6.16.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		サイクル
		QUALPRD ≠ 0	$2t_{c(SYSCLK)}$ * QUALPRD		サイクル
$t_{w(IQSW)}$	入力フィルタ サンプリング ウィンドウ		$t_{w(SP)}$ * (n[(1)] – 1)		サイクル
$t_{w(GPI)}$ [(2)]	パルス幅、GPIO Low/High	同期モード	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。
(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号については V_{IL} から V_{IL} まで、アクティブ High 信号については V_{IH} から V_{IH} までを測定します。

6.16.8.2.2 サンプリング・モード

Copyright © 2026 Texas Instruments Incorporated



A. このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00～0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、クオリフィケーションのサンプリング期間は、2n SYSCLK サイクルになります (すなわち、2n SYSCLK サイクルごとに GPIO ピンがサンプリングされます)。

B. GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン・グループに適用されます。

C. このクオリフィケーション・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。

D. ここに示す例では、クオリファイヤが変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-27. サンプリング・モード

6.16.8.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイヤ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = SYSCLK/(2 × QUALPRD)

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) ×2

ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) × 5

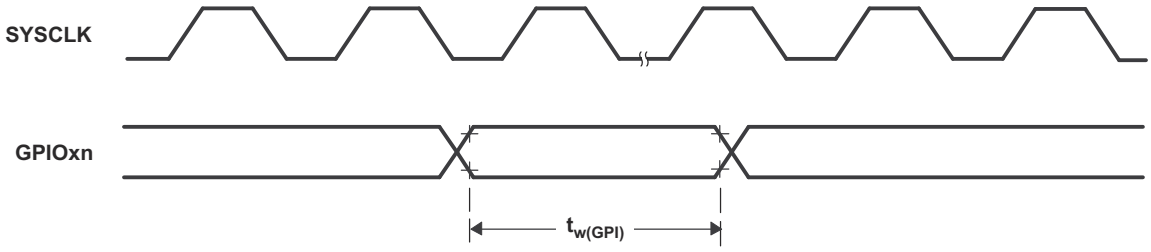


図 6-28. 汎用入力のタイミング

Copyright © 2026 Texas Instruments Incorporated

6.16.9 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 16 本のペリフェラル割り込みを多重化します。また、ベクタ テーブルを拡張して、各割り込みに独自の ISR を割り当てることもできます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各段には、独自のイネーブル レジスタとフラグ レジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 6-29 に、このデバイスの割り込みアーキテクチャを示します。

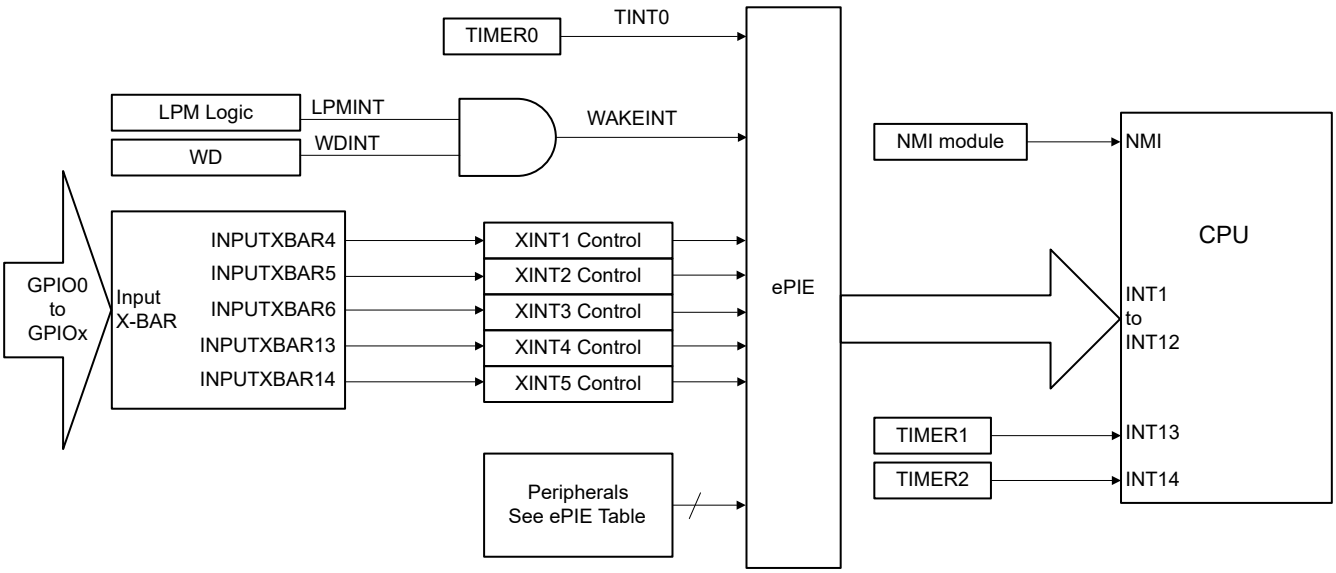


図 6-29. デバイス割り込みアーキテクチャ

6.16.9.1 外部割り込み (XINT) の電気的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.16.9.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low/High	同期	$2t_{c(SYSCLK)}$		サイクル
		クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

6.16.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(INT)}$	遅延時間、INT Low/High から割り込みベクタ フェッチまで[(1)]	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	サイクル

(1) これは、ISR がシングルサイクル メモリ内にあることを想定しています。

6.16.9.1.3 外部割り込みのタイミング

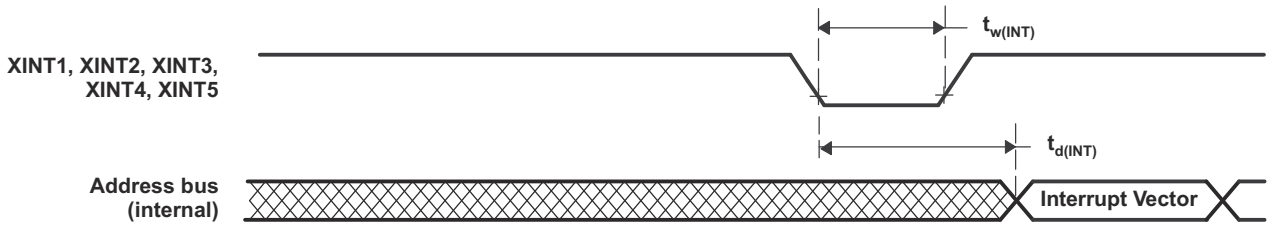


図 6-30. 外部割り込みのタイミング

6.16.10 低消費電力モード

このデバイスには、クロック ゲーティング低消費電力モードとして、ホールト、アイドル、スタンバイがあります。

すべての低消費電力モードの詳細と、開始および終了手順の詳細については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「*低消費電力モード*」セクションを参照してください。

6.16.10.1 クロック ゲーティング低消費電力モード

このデバイスの アイドル モードおよびホールト モードは、他の C28x デバイスのモードと同様です。表 6-10 に、いずれかのクロック ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 6-10. クロック ゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロック ドメイン	IDLE	STANDBY	HALT
SYSCLK	アクティブ	ゲート	ゲート
CPUCLK	ゲート	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	ゲート	ゲート
WDCLK	アクティブ	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります。
INTOSC1	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ[(1)]	電源供給	電源供給	電源供給

Copyright © 2026 Texas Instruments Incorporated

表 6-10. クロック ゲーティング低消費電力モードによるデバイスへの影響 (続き)

モジュール / クロック ドメイン	IDLE	STANDBY	HALT
XTAL[(2)]	電源供給	電源供給	電源供給

(1) フラッシュ モジュールは、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。
(2) XTAL は、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこれを実行できます。

6.16.10.2 低消費電力モードのウェークアップ タイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.16.10.2.1 アイドル モードのタイミング要件

			最小値　最大値	単位
$t_{w(WAKE)}$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

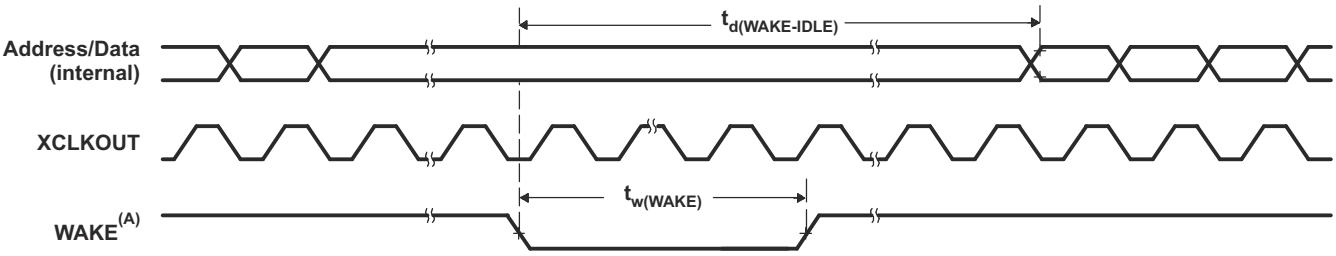
6.16.10.2.2 アイドル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値　最大値	単位
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで [(1)]	フラッシュから (アクティブ状態)	入力クオリファイヤなし	$40t_{c(SYSCLK)}$	サイクル
			入力クオリファイヤあり	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル
		RAM から	入力クオリファイヤなし	$25t_{c(SYSCLK)}$	サイクル
			入力クオリファイヤあり	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

6.16.10.2.3 IDLE 開始および終了タイミング図



A. WAKE には、イネーブルになっている任意の割り込み、$\overline{WDINT}$、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-31. IDLE 開始および終了タイミング図

6.16.10.2.4 スタンバイ モードのタイミング要件

			最小値　最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	サイクル
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY は、LPMCR レジスタ内の 6 ビット フィールドです。

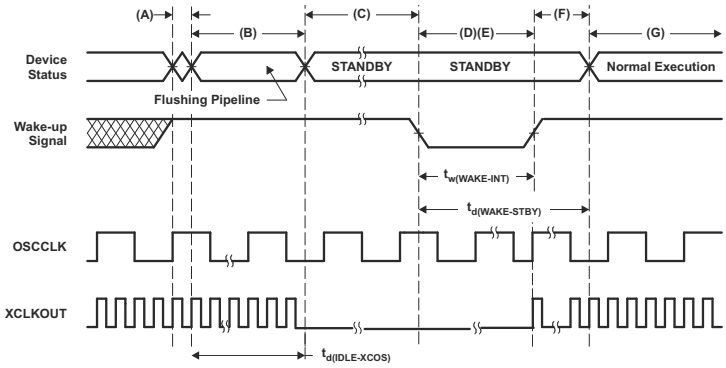
6.16.10.2.5 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値　最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	フラッシュからのウェークアップ (フラッシュ モジュールはアクティブ状態)	$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$		RAM からのウェークアップ	$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

6.16.10.2.6 STANDBY の開始 / 終了タイミング図



A. IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
D. 外部ウェークアップ信号がアクティブに駆動されます。
E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
F. 遅延時間が経過すると、スタンバイ モードが終了します。
G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-32. STANDBY の開始 / 終了タイミング図

Copyright © 2026 Texas Instruments Incorporated

6.16.10.2.7 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE\text{-}GPIO)}$	パルス幅、GPIO ウェークアップ信号 (1)	t_{oscst} + $2t_{c(OSCCLK)}$		サイクル
$t_{w(WAKE\text{-}XRS)}$	パルス幅、$\overline{XRS}$ ウェークアップ信号 (1)	t_{oscst} + $8t_{c(OSCCLK)}$		サイクル

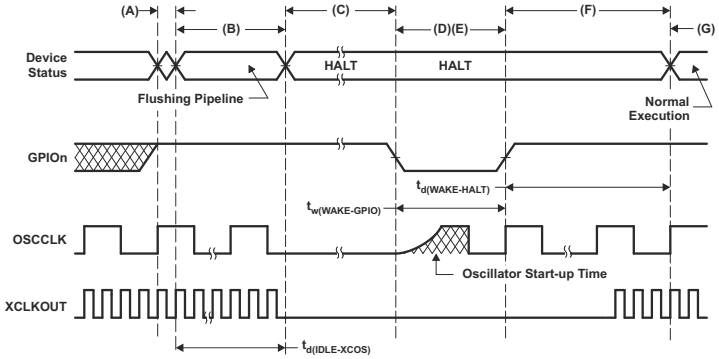
(1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器 (XTAL)」セクションを参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、「内部発振器」セクションの t_{oscst} を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

6.16.10.2.8 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE\text{-}XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE\text{-}HALT)}$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで			サイクル
	フラッシュからのウェークアップ - アクティブ状態のフラッシュ モジュール		$75t_{c(OSCCLK)}$	
	RAM からのウェークアップ		$75t_{c(OSCCLK)}$	

6.16.10.2.9 HALT 開始および終了タイミング図



A. IDLE 命令が実行され、デバイスがホールト モードに移行します。

B. LPM ブロックが HALT 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。

C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールト モードに移行しており、消費電力はごくわずかです。HALT モード中、内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

D. GPIOn ピン (デバイスの HALT を解除するために使用) を Low にすると、発振器がオンになり、発振器ウェークアップ シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック シーケンスの間、クリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期にウェークアップ手順が開始されるので、ホールト モードに移行する前およびホールト モードになっている間は、低ノイズ環境を維持するように注意する必要があります。

E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。

F. コアへの CLKIN がイネーブルになると、デバイスは、いくらかのレイテンシの後で割り込みに応答します (割り込みイネーブルの場合)。これで、ホールト モードが終了します。
G. 通常動作を再開します。
H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-33. HALT 開始および終了タイミング図

Copyright © 2026 Texas Instruments Incorporated

6.17 アナログ ペリフェラル

このセクションでは、アナログ サブシステム モジュールについて説明します。

このデバイスのアナログ モジュールには、A/D コンバータ (ADC)、温度センサ、コンパレータ サブシステム (CMPSS)、プログラマブル ゲイン アンプ (PGA)、バッファ付き D/A コンバータ (DAC) が含まれます。

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
  - ADC には次の 3 つのリファレンス オプションがあります:
    1. 内部リファレンス:このモードでは、高いリファレンス電圧がオンチップで生成され、容量バッファリング用に V_{REFHI} ピンに供給されます。V_{REFLO} ピンはローサイド リファレンスとして機能し、通常は VSSA に接続されます。HW レジスタのビットを使用して、ADC の範囲を 2.5V または 3.3V に構成するオプションもあります。
    2. 外部リファレンス:このモードでは、外部ソースを元に V_{REFHI} ピンからデバイスに高リファレンス電圧が供給されます。V_{REFLO} ピンはローサイド リファレンスとして機能し、通常は VSSA に接続されます。HW レジスタのビットを使用して、ADC の範囲を 1x V_{REFHI} または 2x V_{REFHI} に構成するオプションもあります。
    3. VDDA/VSSA リファレンス:このモードでは、High および Low のリファレンス電圧が VDDA/VSSA アナログ電源から供給されます。すべての ADC がこのモードを使用している場合、アナログ ピン信号の種類に従って、V_{REFHI}/V_{REFLO} ピンを ADC 入力チャネルとして使用できます。
  - バッファ付き DAC は、V_{REFHI} および VVSSA を基準としています。DAC を正常に動作させるには、少なくとも 1 つの ADC が内部リファレンスまたは外部リファレンス モードのいずれかを使用する必要があります。
  - コンパレータ DAC は、VDDA および VSSA を基準としています。
- フレキシブルなピンの用途
  - バッファ付き DAC 出力、コンパレータ サブシステム入力、およびデジタル入力 (AIO) / 出力 (AGPIO) は、ADC 入力と多重化されています。
  - オフセット セルフ キャリブレーションのために、すべての ADC で V_{REFLO} に内部接続

6.17.1 ブロック図

以下のアナログ サブシステム ブロック図は、各種の内蔵アナログ モジュールとデバイス ピンとの間の接続を示しています。これらのピンは 2 つの区分 (アナログ モジュールの入力 / 出力、リファレンス ピン) に分類されます。

リファレンス ピン (VREFHI、VREFLO) は、関連する ADC に外部基準電圧を供給するために使用できます。VREFHI は、バッファ付き DAC に基準電圧を供給するためにも使用できます。リファレンスの選択は、各 CMPSS またはバッファ付き DAC について、モジュールごとに設定できます。この選択はモジュールの構成レジスタを使用して行われます。

一部のアナログ ピンは、多重化された AIO および AGPIO によってデジタル機能をサポートしています。AIO はデジタル入力機能のみをサポートしているのに対して、AGPIO はデジタル入力および出力機能を全面的にサポートしています。

以下の注意事項は、すべてのパッケージに適用されます。

- すべてのデバイスにおいて、すべてのアナログ ピンが利用できるとは限りません。使用可能なピンを確認するには、本デバイスのデータ マニュアルを参照してください。
- VREFHI および VREFLO の許容電圧範囲については、デバイスのデータ マニュアルを参照してください。
- VREFHI ピンには外付けコンデンサが必要です。必要な値については、デバイスのデータ マニュアルを参照してください。

図 6-34 に、80 ピン TQFP、64 ピン LQFP、56 ピン VQFN のアナログ サブシステムのブロック図を示します。

図 6-35 に、100 ピン LQFP のアナログ サブシステムのブロック図を示します。

図 6-36 に、アナログ グループ接続の概要を示します。

セクション 6.17.2 に、アナログ ピンと内部接続を示します。セクション 6.17.3 に、アナログ信号の説明を示します。

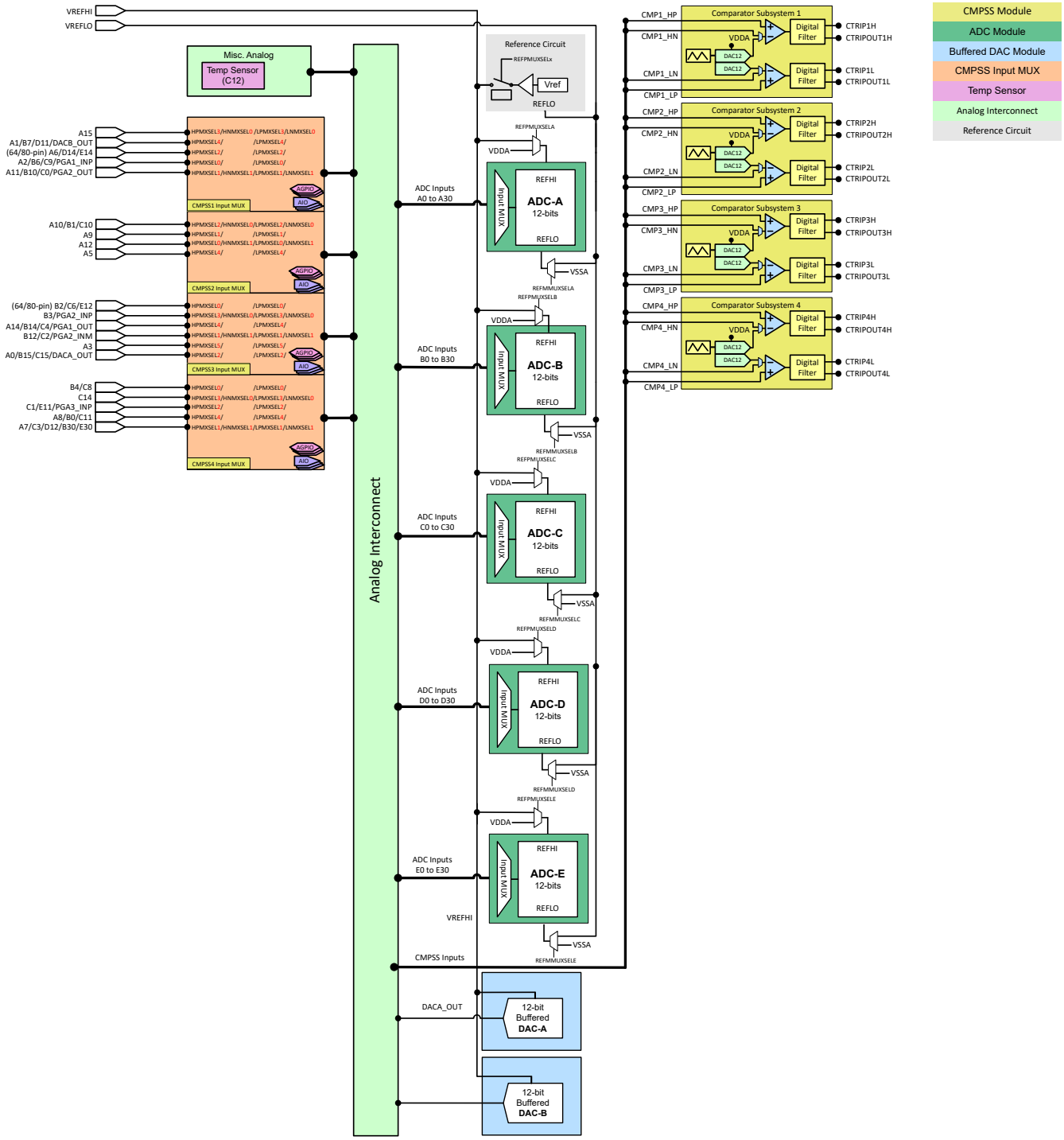


図 6-34. アナログ サブシステムのブロック図 (80/64/56 ピン パッケージ)

Copyright © 2026 Texas Instruments Incorporated

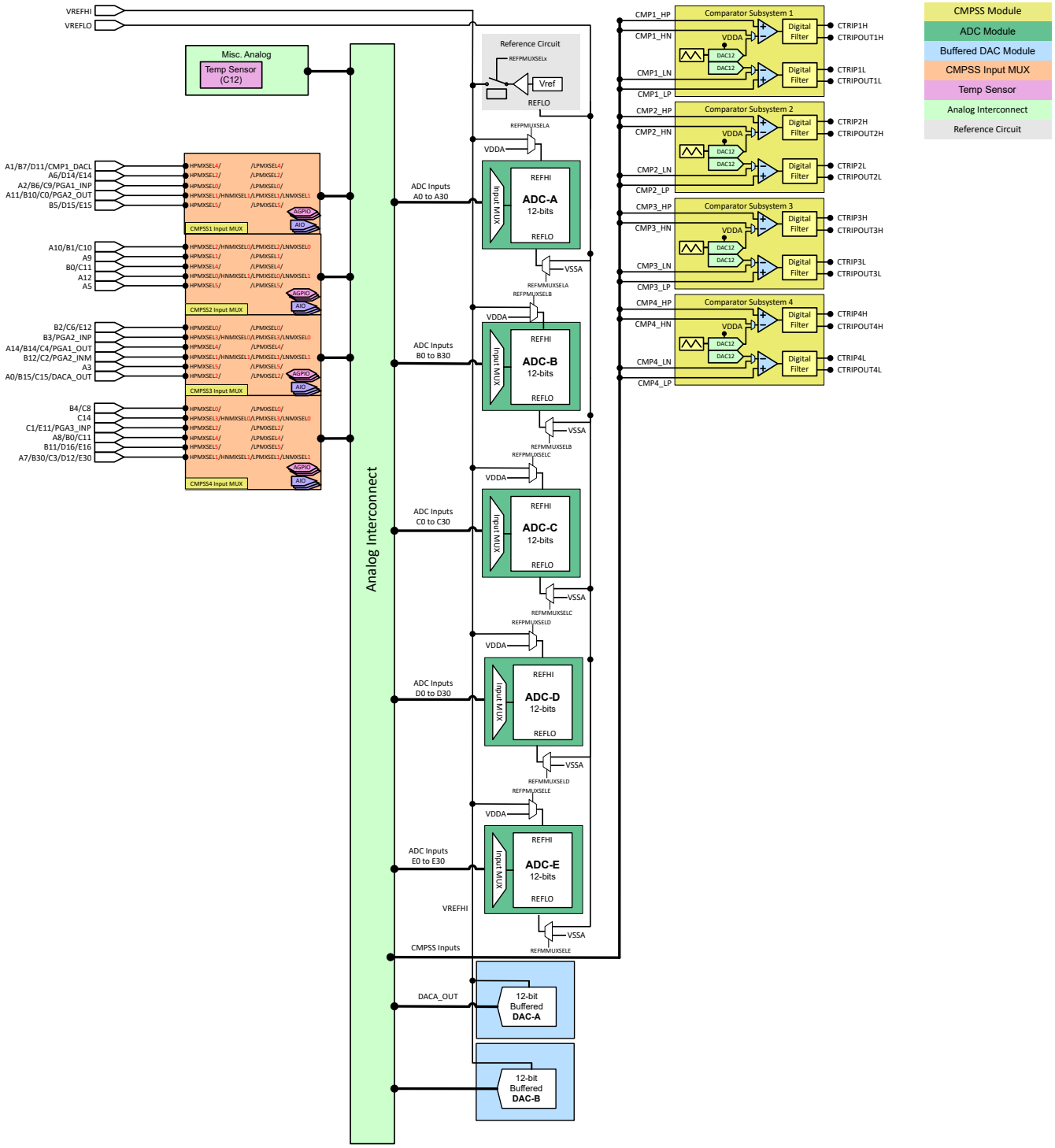


図 6-35. アナログ サブシステムのブロック図 (100 ピン パッケージ)

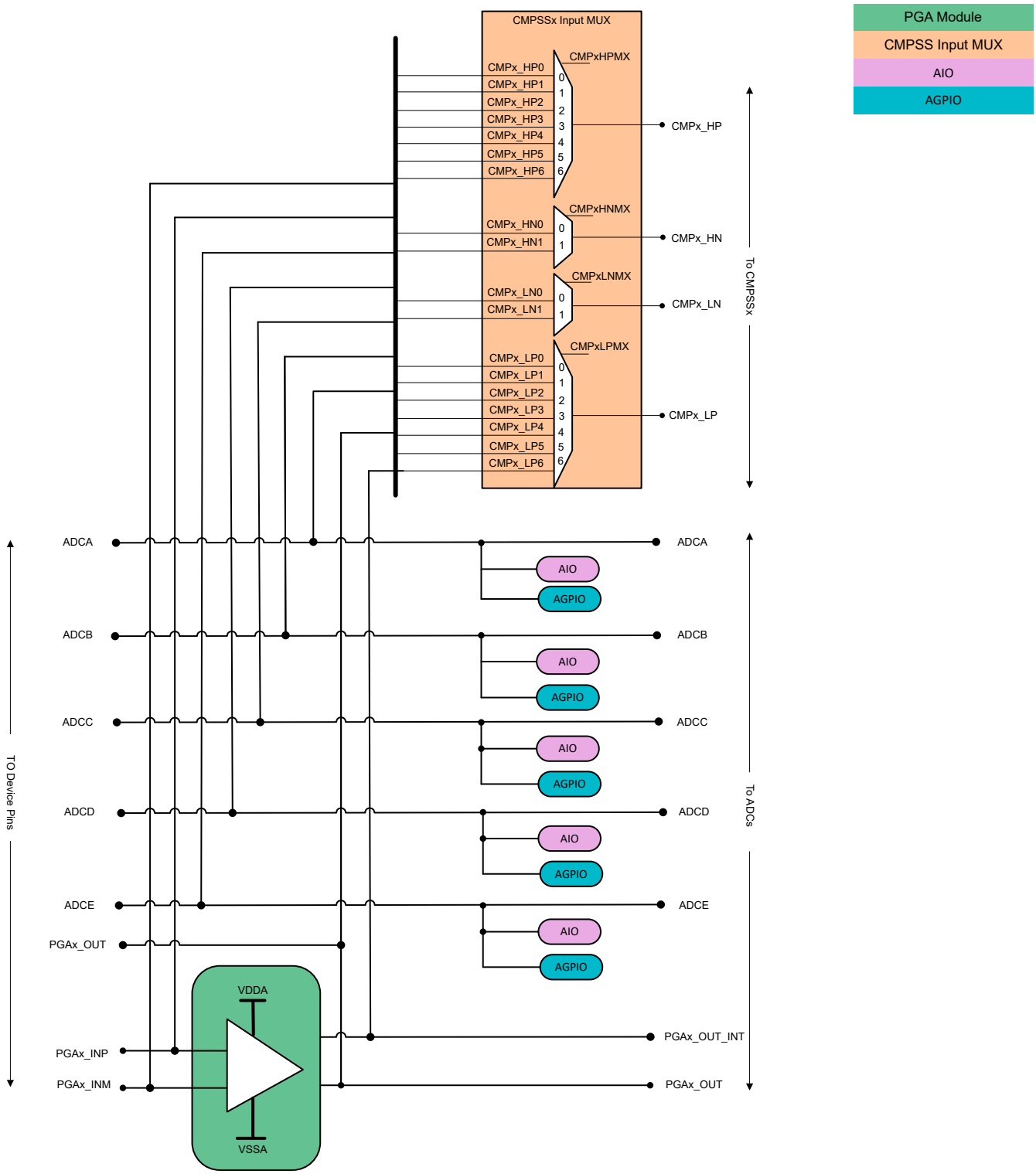


図 6-36. アナログ グループ接続

Copyright © 2026 Texas Instruments Incorporated

CMPSS モジュールとの入力接続は、プログラム可能な入力マルチプレクサにより選択できます。図 6-36 に、CMPSS モジュールの入力マルチプレクサ、PGA モジュール、ADC モジュールの間の接続を示します。表 6-11 に、ADC 入力信号と PGA 入力および出力信号の CMPSS マルチプレクサ入力への割り当てを示します。

- CMPSSx の CMPx_HP 入力マルチプレクサを構成するには、CMPHPMXSEL アナログ サブシステム レジスタの CMPxHPMXSEL フィールドに書き込みます。
- CMPSSx の CMPx_HN 入力マルチプレクサを構成するには、CMPHNMXSEL アナログ サブシステム レジスタの CMPxHNMXSEL フィールドに書き込みます。
- CMPSSx の CMPx_LP 入力マルチプレクサを構成するには、CMPLPMXSEL アナログ サブシステム レジスタの CMPxLPMXSEL フィールドに書き込みます。
- CMPSSx の CMPx_LN 入力マルチプレクサを構成するには、CMPLNMXSEL アナログ サブシステム レジスタの CMPxLNMXSEL フィールドに書き込みます。

表 6-11. CMPSS 入力マルチプレクサ オプション

CMPSSx 入力マルチプレクサ	CMP1	CMP2	CMP3	CMP4
HP0	A2、B6、C9、PGA1_INP	A4、B8	B2、C6、E12	B4、C8
HP1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、C3、D12、B30、E30、
HP2	A6、D14、E14(3)	A9	A0、B15、C15、DACA_OUT	C1、E11、PGA3_INP
HP3	A15(2)	A10、B1、C10	B3、PGA2_INP	C14
HP4	A1、B7、D11、DACB_OUT	B0、C11(1)	A14、B14、C4、PGA1_OUT	A8 B0、C11(2)
HP5	B5、D15、E15(4)	A5(1)	A3	B11、D16、E16(4)
HP6	PGA1_OUT_INT	PGA3_OUT_INT	PGA2_OUT_INT	
HP7		温度センサ		
HN0	A15(2)	A10、B1、C10	B3、PGA2_INP	C14
HN1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、B30、C3、D12、E30
LP0	A2、B6、C9、PGA1_INP	A4、B8	B2、C6、E12	B4、C8
LP1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、B30、C3、D12、E30
LP2	A6、D14、E14(3)	A9	A0、B15、C15、DACA_OUT	C1、E11、PGA3_INP
LP3	A15(2)	A10、B1、C10	B3、PGA2_INP	C14
LP4	A1、B7、D11、DACB_OUT	B0、C11(1)	A14、B14、C4、PGA1_OUT	A8 B0、C11(2)
LP5	B5、D15、E15(4)	A5(1)	A3	B11、D16、E16(4)
LP6	PGA1_OUT_INT	PGA3_OUT_INT	PGA2_OUT_INT	
LN0	A15	A10、B1、C10	B3、PGA2_INP	C14
LN1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、C3、D12、B30、E30

(1) これらのマルチプレクサ オプションは 100 QFP パッケージでのみ利用できます。
(2) このマルチプレクサ オプションは 56 QFN、64 QFP および 80 QFP パッケージでのみ利用できます。
(3) このマルチプレクサ オプションは 64 QFP、80 QFP および 100 QFP パッケージでのみ利用できます。
(4) このマルチプレクサ オプションは 100 QFP パッケージでのみ利用できます。

6.17.2 アナログ ピンと内部接続

表 6-12. アナログ ピンと内部接続

ピン名	ピン数 / パッケージ						ADC					DAC	PGA	コンパレータ・サブシステム (MUX)				AIO 入力 / AGPIO
	100 QFP	80 QFP	64 QFP	56 QFN	49 WCSP	32 QFN	A	B	C	D	E			High 正	High 負	Low 正	Low 負	
VREFHI	24 25	20	16	14			-	-	-	D20	E20							
VREFLO	26 27	21	17	15			A13	B13	C13	D13	E13							
アナログ グループ 1														CMP1				
A6/D14/E14	14	10	6	-	A3	7	A6	-	-	D14	E14			CMP1 (HPMXSEL=2)	-	CMP1 (LPMXSEL=2)	-	AGPIO228 (3)
A2/B6/C9/PGA1_INP	17	13	9	7	A4	5	A2	B6	C9	-	-		PGA1_INP	CMP1 (HPMXSEL=0)	-	CMP1 (LPMXSEL=0)	-	AGPIO224 (3)
A15	-	14	10	8	A5	4	A15	-	-	-	-			CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AGPIO233 (3)
B9/C7/PGA1_INM	18						-	B9	C7				PGA1_INM					
A11/B10/C0/ PGA2_OUT	20	16	12	10	A6	2	A11	B10	C0	-	-		PGA2_OUT	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1/B7/D11/DACB_OUT	22	18	14	12	B5	3	A1	B7	-	D11	-	DACB_OUT		CMP1 (HPMXSEL=4)	-	CMP1 (LPMXSEL=4)	-	AIO232
B5/D15/E15	32	-	-	-	-	-	-	B5	-	D15	E15		-	CMP1 (HPMXSEL=5)	-	CMP1 (LPMXSEL=5)	-	AIO252
PGA3_OUT		24	20	18	B7	28		-		-	-		PGA3_OUT					
アナログ グループ 2														CMP2				
A4/B8	36	27	23	21	E7	26	A4	B8	-	-	-			CMP2 (HPMXSEL=0)	-	CMP2 (LPMXSEL=0)	-	AIO225
A12	28	22	18	16	D5	27	A12	-	-	-	-			CMP2 (HPMXSEL=1)	-	CMP2 (LPMXSEL=1)	-	AIO238
A9	38	28	24	22	E6	-	A9	-	-	-	-			CMP2 (HPMXSEL=2)	-	CMP2 (LPMXSEL=2)	-	AGPIO227 (3)
A10/B1/C10	40	29	25	23		-	A10	B1	C10	-	-			CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	AGPIO230 (3)
B0/C11	41	-	-	-	-	-	-	B0	C11					CMP2 (HPMXSEL=3)	-	CMP2 (LPMXSEL=3)	-	AGPIO231 (3)
	35	17	13	11	C5	2	A5	-	-	-	-			CMP2 (HPMXSEL=5)	-	CMP2 (LPMXSEL=5)	-	
A5																		AIO249
アナログ グループ 3														CMP3				
B2/C6/E12	15	11	7	-	A3	7	-	B2	C6	-	E12			CMP3 (HPMXSEL=0)	-	CMP3 (LPMXSEL=0)	-	AGPIO226 (3)

Copyright © 2026 Texas Instruments Incorporated

表 6-12. アナログ ピンと内部接続 (続き)

ピン名	ピン数 / パッケージ						ADC					DAC	PGA	コンパレータ・サブシステム (MUX)				AIO 入力 / AGPIO
	100 QFP	80 QFP	64 QFP	56 QFN	49 WCSP	32 QFN	A	B	C	D	E			High 正	High 負	Low 正	Low 負	
B12/C2/PGA2_INM	21	17	13	11	C5	2	-	B12	C2	-	-		PGA2_INM	CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
A0/B15/C15/ DACA_OUT	23	19	15	13	C6	1	A0	B15	C15	-	-	DACA_OUT		CMP3 (HPMXSEL=2)	-	CMP3 (LPMXSEL=2)	-	AIO231
B3/PGA2_INP	16	12	8	6	B4	6	-	B3	-	-	-		PGA2_INP	CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AGPIO242 (3)
C5	28							-	C5									
A14/B14/C4/ PGA1_OUT	19	15	11	9	C4	4	A14	B14	C4	-	-		PGA1_OUT	CMP3 (HPMXSEL=4)	-	CMP3 (LPMXSEL=4)	-	AIO239
A3	-	12	8	6	B4	6	A3	-	-	-	-			CMP3 (HPMXSEL=5)	-	CMP3 (LPMXSEL=5)	-	
	18	-	-	-														AIO229
アナログ グループ 4														CMP4				
B4/C8	39	28	24	22	-	-	-	B4	C8	-	-			CMP4 (HPMXSEL=0)	-	CMP4 (LPMXSEL=0)	-	AGPIO236 (3)
C1/E11/PGA3_INP	29	22	18	16	D5	27	-	-	C1	-	E11		PGA3_INP	CMP4 (HPMXSEL=2)	-	CMP4 (LPMXSEL=2)	-	-
C14	42	27	23	21	E7	26	-	-	C14	-	-			CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AGPIO247 (3)
B0/C11	-	24	20	18	-	-	-	B0	C11	-	-			CMP4 (HPMXSEL=4)	-	CMP4 (LPMXSEL=4)	-	AIO241
A8	37	-	-	-	B7	28	A8	-	-									AIO240
B11/D16/E16	30	-	-	-	-	-	-	B11	-	D16	E16			CMP4 (HPMXSEL=5)	-	CMP4 (LPMXSEL=5)	-	AIO251
PGA3_INM	30(1)	23	19	17	D6	28	-	-	-	-	-		PGA3_INM					
A7/B30/C3/D12/E30	31						A7	B30	C3	D12	E30			CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
その他のアナログ																		
温度センサ(2)							-	-	C12	-	-			CMP2 (HPMXSEL=7)	-	-	-	-
PGA1_OUT_INT(2)							A21	B21	-	-	-		PGA1_OUT_ INT	CMP1 (HPMXSEL=6)	-	CMP1 (LPMXSEL=6)	-	-
PGA2_OUT_INT(2)							-	B22	C21	-	-		PGA2_OUT_ INT	CMP3 (HPMXSEL=6)	-	CMP3 (LPMXSEL=6)	-	-
PGA3_OUT_INT(2)							A22	-	C22	-	-		PGA3_OUT_ INT	CMP2 (HPMXSEL=6)	-	CMP2 (LPMXSEL=6)	-	-
内部テスト							A31	B31	C31	D31	E31							

(1) このパッケージでは、1 本のピンで、異なる信号同士が結合されています。
(2) 内部接続のみ。デバイス ピンに接続されません。

(3) 100 QFP パッケージでのみ、AGPIO 247 を利用できます。

注

これらのアナログ ピンの GPIO は、完全なデジタル入出力機能をサポートしており、AGPIO と呼ばれます。デフォルトでは AGPIO は接続されておらず、アナログ機能とデジタル機能の両方がディセーブルになっています。構成の詳細については、「ADC ピンのデジタル入出力 (AGPIO)」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.17.3 アナログ信号の説明

表 6-13. アナログ信号の説明

信号名	説明
AIOx	ADC ピンのデジタル入力
AGPIOx	デジタル入出力ピン、ADC 機能付き
ADCINAx、Ax	ADC A 入力
ADCINBx、Bx	ADC B 入力
ADCINCx、Cx	ADC C 入力
ADCINDx、Dx	ADC D 入力
ADCINEx、Ex	ADC E 入力
CMPx_HP	コンパレータ サブシステムのハイ コンパレータ正入力
CMPx_HN	コンパレータ サブシステムのハイ コンパレータ負入力
CMPx_LP	コンパレータ サブシステムのロー コンパレータ正入力
CMPx_LN	コンパレータ サブシステムのロー コンパレータ負入力
DACA_OUT/DACB_OUT	バッファ付き DAC 出力
CMP1_DACL	CMPSS1 DAC 出力
PGAx_INP	PGA モジュール非反転ピン
PGAx_INM	PGA モジュール反転ピン
PGAx_OUT	PGA モジュール出力
PGAx_OUT_INT	PGA モジュール内部出力を CMPSS および ADC モジュールに接続
TEMP SENSOR、TS	内部温度センサ

6.17.4 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します (『*TMS320F28P551/552/558 リアルタイム マイコン テクニカル リファレンス マニュアル*』の「A/D コンバータ (ADC)」の章にある「*SOC の動作原理*」セクションを参照)。。

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- シングルエンド信号モード。ADC C、D、E のシングルエンド モード。
- 最大 32 チャネルの入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- SOC ごとに外部アナログ入力マルチプレクサを選択可能 (最大 4 ビット)
- メモリ クロストークを軽減するためのサンプル容量リセット機能
- 複数のトリガ ソース
  - ソフトウェアによる直接開始
  - すべての ePWM :ADCSOC A または B
  - GPIO XINT2
  - CPU タイマ 0/1/2
  - ADCINT1/2
  - キャプチャ モードの eCAP イベント (CEVT1、CEVT2、CEVT3、CEVT4) と APWM モード (期間一致、比較一致、または両方)。
  - 複数の ADC 向けのグローバル ソフトウェア トリガ
- 4 つのフレキシブルな割り込み
- バースト モード トリガ オプション
- 最大 8x のハードウェア オーバーサンプリング モード、トリガ拡散遅延を構成可能
- ハードウェア アンダーサンプリング モード
- トリガ位相遅延機能
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
  - 高、低、ゼロクロス比較用のデジタル フィルタを構成可能
  - トリガからサンプルまでの遅延キャプチャ
  - 絶対値の計算
  - オーバーサンプリング用の 24 ビット累積レジスタ、バイナリ シフトを構成可能
  - 外れ値除去の最小値 / 最大値の計算

注

すべてのチャネルがすべての ADC からピンへ接続できるわけではありません。使用可能なチャネルを確認するには、「*ピン構成および機能*」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

図 6-37 に、ADC コアと ADC ラッパーのブロック図を示します。

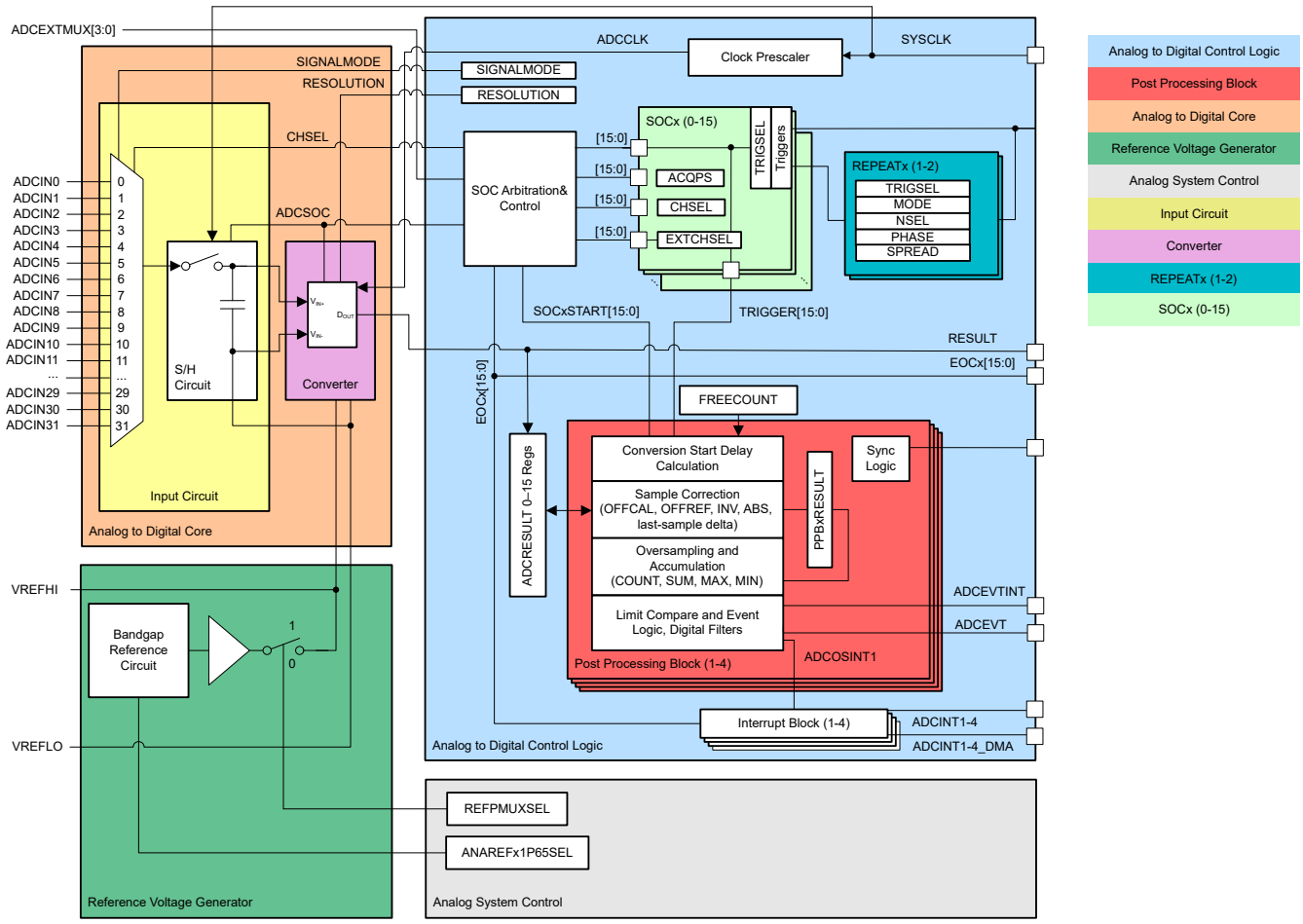


図 6-37. ADC モジュールのブロック図

6.17.4.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-14 に、基本的な ADC オプションとその構成レベルを示します。

表 6-14. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと(1)
分解能	構成不可 (12 ビット分解能のみ)
信号モード	構成不可 (シングルエンド信号モードのみ)
リファレンス電圧源	すべてのモジュールに対して、外部または内部のいずれか
トリガ ソース	SOC ごと(1)
変換対象チャネル	SOC ごと
アクイジション ウィンドウ幅	SOC ごと(1)
EOC の位置	モジュールごと
バースト モード	モジュールごと(1)

(1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*の「A/D コンバータ (ADC)」の章にある「*同期動作の確保*」セクションを参照してください。

6.17.4.1.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。コンバータへの入力電圧は、1 本のピン (ADCINx) を介し、VREFLO を基準としてサンプリングされます。

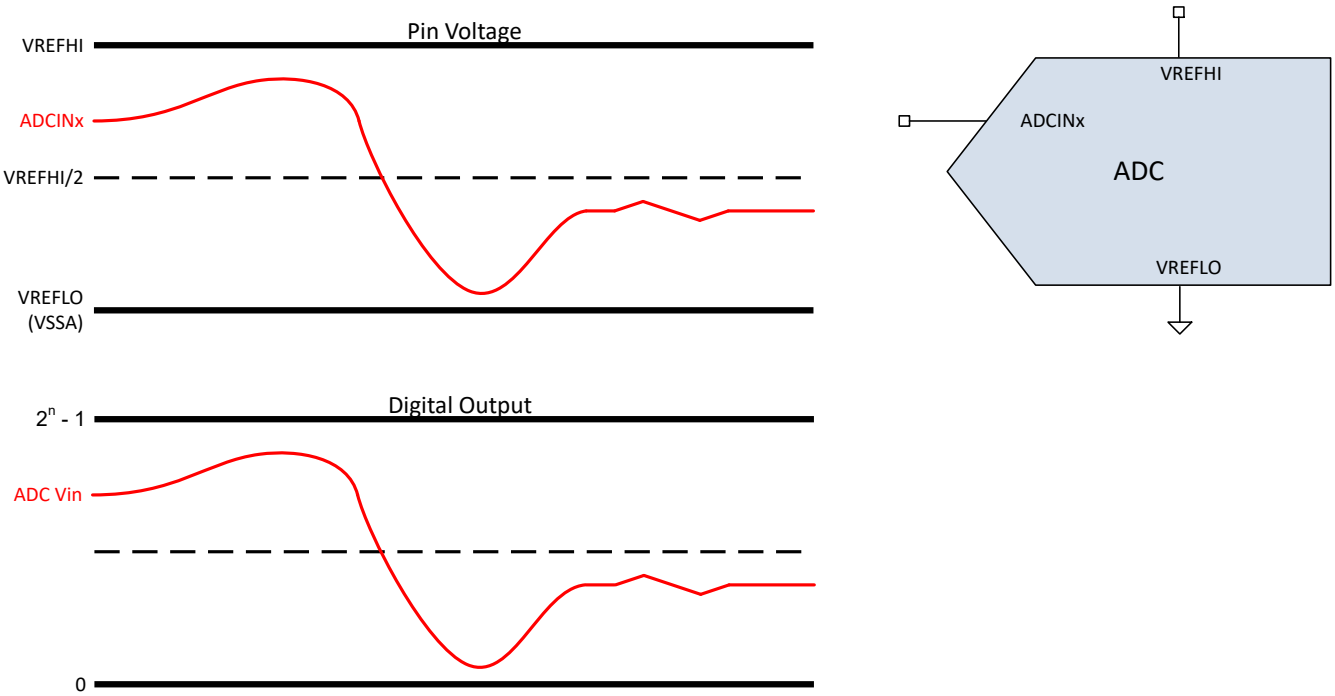


図 6-38. シングルエンド信号モード

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2 ADC の電気的データおよびタイミング

注

ADC 入力は VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
- 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、V_{REF} が安定するまで、任意のチャネルでの以降の ADC 変換に乱れが生じます。

注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

6.17.4.2.1 ADC の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		80	MHz
サンプル レート	160MHz SYSCLK			4.1	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R_s	67			ns
VREFHI	外部リファレンス: ANAREFx1P65SEL = 0 FSR = VREFHI ピン電圧	2.4	2.5 または 3.0	VDDA	V
	外部リファレンス: ANAREFx1P65SEL = 1 FSR = VREFHI ピン電圧 x2	1.55	1.65	VDDA/2	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.50		V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
変換範囲	内部リファレンス = 2.5V レンジ	0		2.5	V
変換範囲	外部リファレンス	VREFLO		VREFHI	V
変換範囲	基準電圧としてのアナログ電源	VSSA		VDDA	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。 このモードでは、ピンに電圧を印加しないでください。

6.17.4.2.2 ADC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADCCLK 変換サイクル	160MHz SYSCLK			14	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (1)			40		µA
内部リファレンス コンデンサの値 (2)		2.2			µF
外部リファレンス コンデンサの値(2)		2.2			µF
DC の特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
ゲイン誤差	内部リファレンス — 49YAF/32ZNG パッケージ (量産開始前のみ)(7)	-160	±80	160	LSB
ゲイン誤差	外部リファレンス	-5	±3	5	LSB
オフセット誤差		-5	±2	5	LSB
チャネル間ゲイン誤差 (4)			2		LSB
チャネル間オフセット誤差 (4)			2		LSB
ADC 間ゲイン誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		4		LSB
ADC 間オフセット誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.5	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
AC の特性					
SNR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		69.2		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK(6)		60.1		dB
THD(3)	VREFHI = 2.5V、fin = 100kHz		-83		dB
SFDR(3)	VREFHI = 2.5V、fin = 100kHz		79.2		dB
SINAD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.5		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK(6)		60.0		dB
ENOB(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.2		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		ビット

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2.2 ADC の特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		105		dB
	VDD = DC 1.2V + 100mV DC から 300kHz の正弦波まで		102		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		97		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		85		

(1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。 その結果、不正確な変換が発生します。
(2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
(3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(5) 他の ADC モジュールと比較した場合のワーストケースの変動。
(6) INTOSC の温度に対する周波数の許容誤差により FFT が不確実になるため、SNR が外部クロックよりも低くなります。
(7) 量産開始前の番号のみ。最終生産は、±–60 LSB またはそれ以上を目標としています

6.17.4.2.3 ADC の INL と DNL

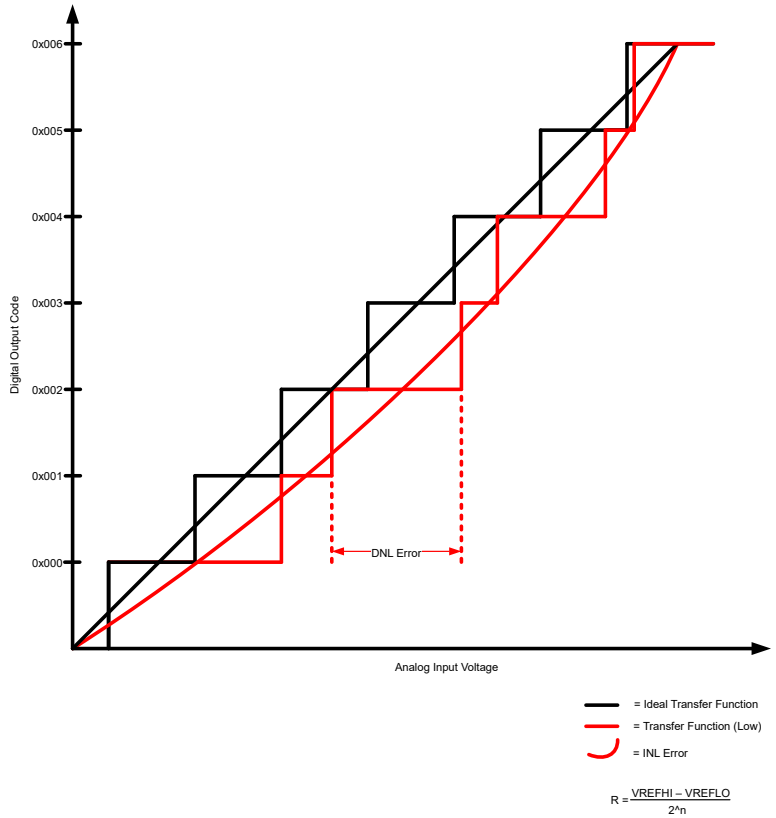


図 6-39. ADC の INL と DNL

6.17.4.2.4 ピンごとの ADC 性能

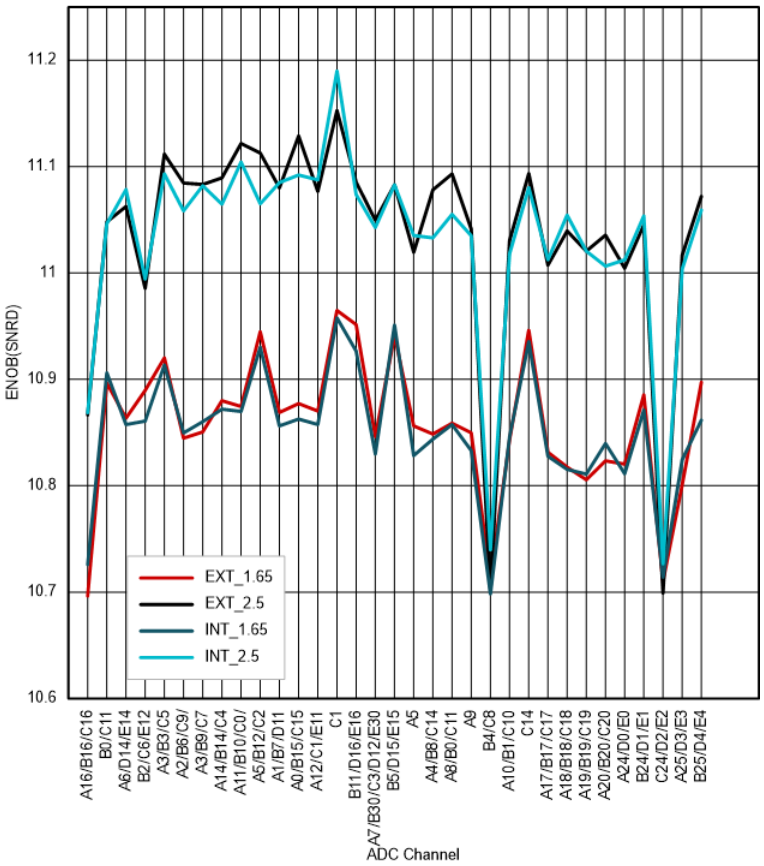


図 6-40. 100 ピン PZ のチャネルごとの ENOB

Copyright © 2026 Texas Instruments Incorporated

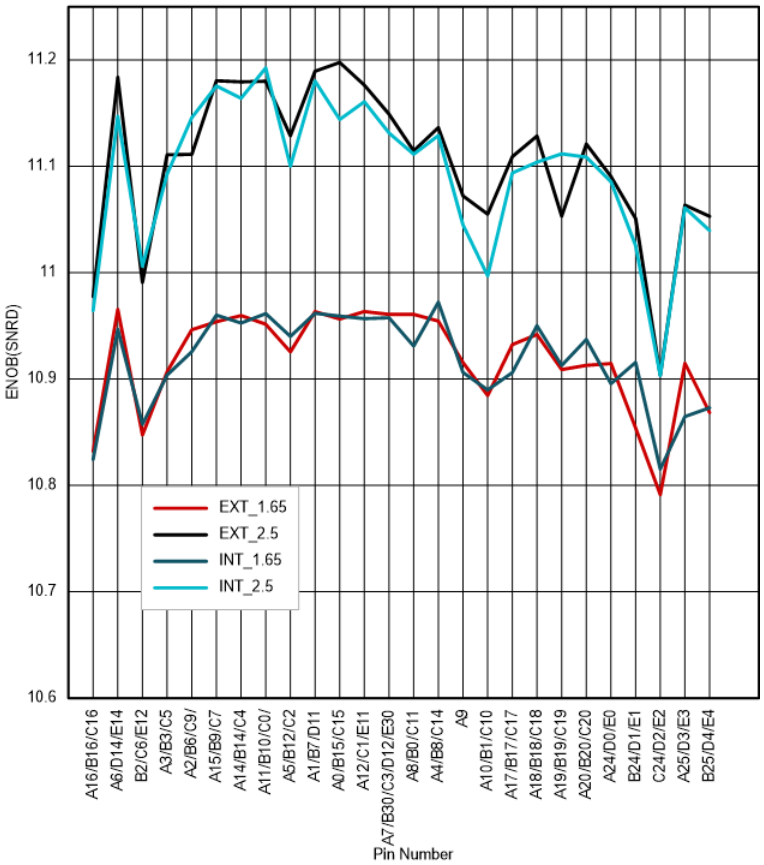


図 6-41. 80 ピン PNA/PN のチャネルごとの ENOB

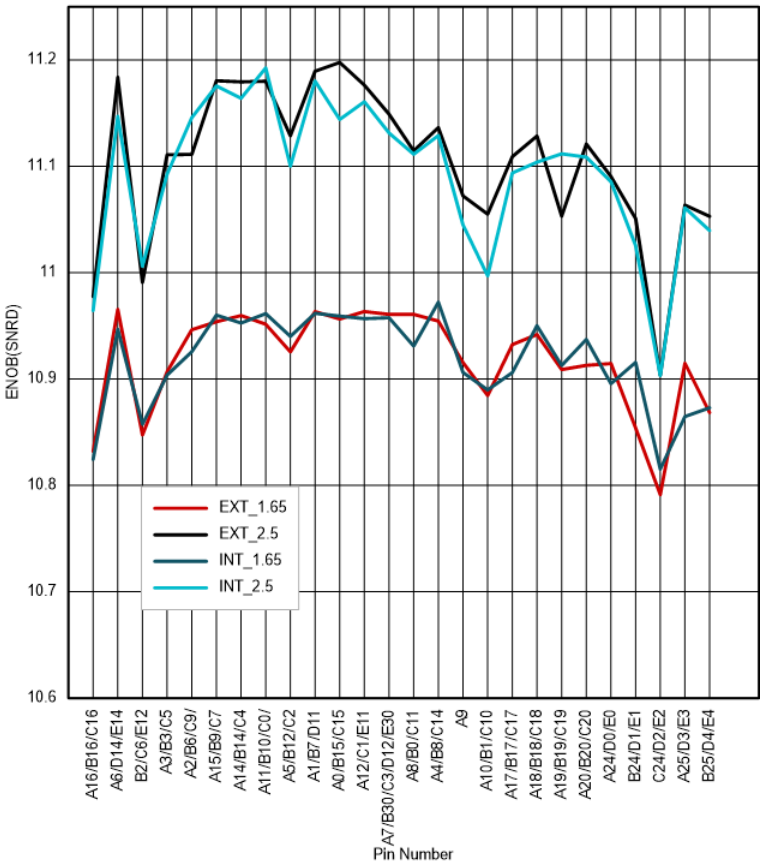


図 6-42. 64 ピン PM のチャネルごとの ENOB

Copyright © 2026 Texas Instruments Incorporated

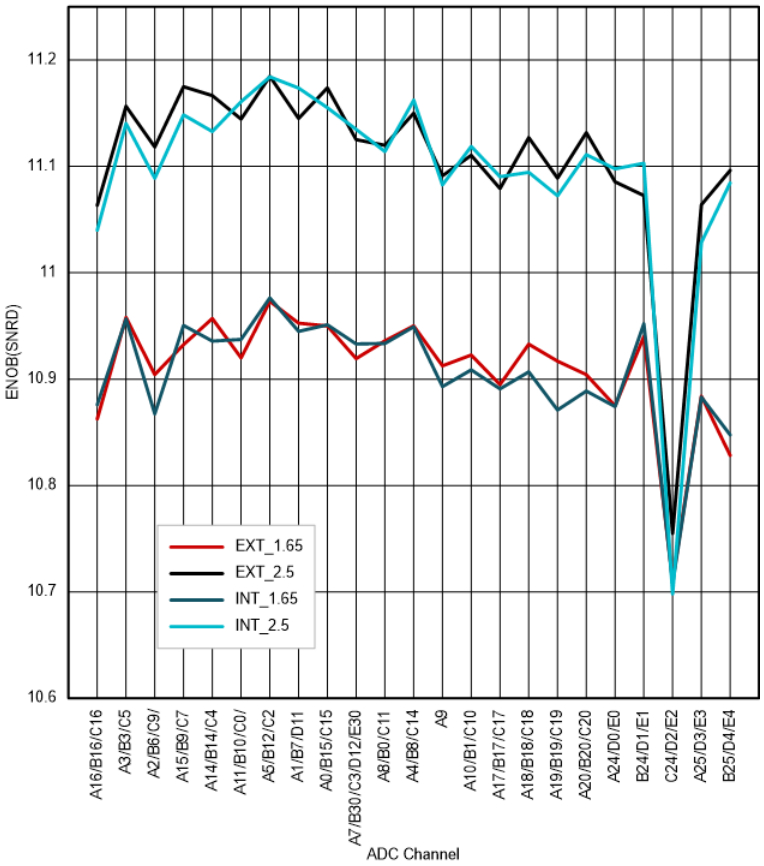


図 6-43. 56 ピン RSH のチャネルごとの ENOB

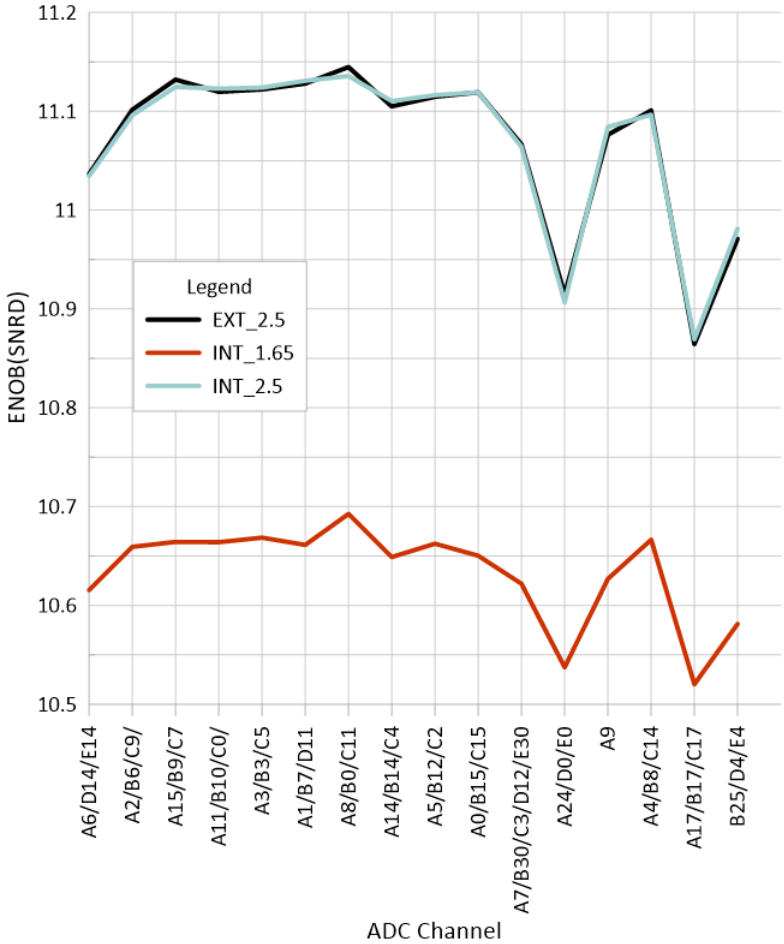


図 6-44. 49 ボール YAF のチャネルごとの ENOB

6.17.4.2.5 ADC 入力モデル

表 6-15. 入力モデルのパラメータ

	説明	リファレンス モード	値
C_p	寄生入力容量	すべて	表 6-16 から表 6-19 を参照
R_{on}	サンプリング スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	1000Ω
		3.3V 内部リファレンス	1700Ω
C_h	サンプリング コンデンサ	外部リファレンス、2.5V 内部リファレンス	4pF
		3.3V 内部リファレンス	2.5pF
R_s	公称ソース インピーダンス	すべて	50Ω

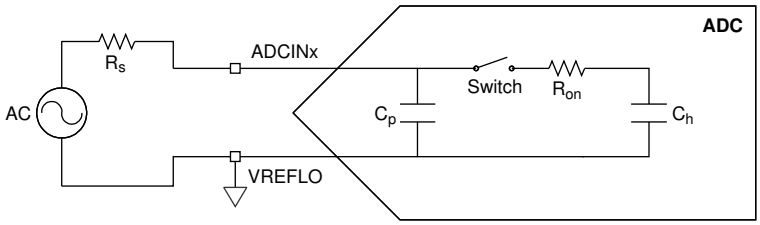


図 6-45. 入力モデル

Copyright © 2026 Texas Instruments Incorporated

この入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の A/D コンバータ (ADC) の章にある「*アクイジション ウィンドウ期間の選択*」セクションを参照してください。ADC 入力回路の改善に関する推奨事項については、『*C2000 MCU 用 ADC 入力回路の評価*』アプリケーション ノートを参照してください。

表 6-16. 100 ピン QFP のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.4
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A5	4.2	7.6
A6、D14、E14	7.5	10.3
A7、C3、D12、B30、E30	3.4	7.8
A8、B0、C11	3.7	8.7
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11、B10、C0、PGA2_OUT	9.4	13.0
A12	6.5	11.5
A14、B14、C4、PGA1_OUT	5.8	8.0
A16/B16/C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.2
B2、C6、E12	4.6	6.8
B3、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
B5、D15、E15	6.2	8.8
A3、B9、C7、PGA1_INM	7.0	7.6
B11、D16、E16	4.0	7.4
B12、C2、PGA2_INM	8.6	12.8
C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3

Copyright © 2026 Texas Instruments Incorporated

表 6-16. 100 ピン QFP のチャネルごとの寄生容量 (続き)

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

表 6-17. 80 ピン QFP のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.6
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A6、D14、E14	4.2	7.6
A7、C3、D12、B30、E30	7.5	10.3
A8、B0、C11	3.4	7.8
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11、B10、C0、PGA2_OUT	9.4	13.0
A14、B14、C4、PGA1_OUT	5.8	8.0
A16/B16/C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.1
B2、C6、E12	4.6	6.8
A3、B3、C9、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
A15、B9、C7、PGA1_INM	3.8	11.2
A5、B12、C2、PGA2_INM	8.6	12.8
A12、C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

Copyright © 2026 Texas Instruments Incorporated

表 6-18. 64 ピン QFP のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.6
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A6、D14、E14	4.2	7.6
A7、C3、D12、B30、E30	7.5	10.3
A8、B0、C11	3.4	7.8
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11、B10、C0、PGA2_OUT	9.4	13.0
A14、B14、C4、PGA1_OUT	5.8	8.0
A16、B16、C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.1
B2、C6、E12	4.6	6.8
A3、B3、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
A15、B9、C7、PGA1_INM	3.8	11.2
A5、B12、C2、PGA2_INM	8.6	12.8
A12、C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

Copyright © 2026 Texas Instruments Incorporated

表 6-19. 56 ピン QFN のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.6
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A7、C3、D12、B30、E30	7.5	10.3
A8、B0、C11	3.4	7.8
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11、B10、C0、PGA2_OUT	9.4	13.0
A14、B14、C4、PGA1_OUT	5.8	8.0
A16、B16、C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.1
A3、B3、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
A15、B9、C7、PGA1_INM	3.8	11.2
A5、B12、C2、PGA2_INM	8.6	12.8
A12、C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2.6 ADC のタイミング図

次の図に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド ロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、割り込みコントローラの構成によって決まります)。

表 6-20 に、ADC タイミング パラメータの説明を示します。表 6-21 および 表 6-22 に、ADC タイミングの一覧を示します。

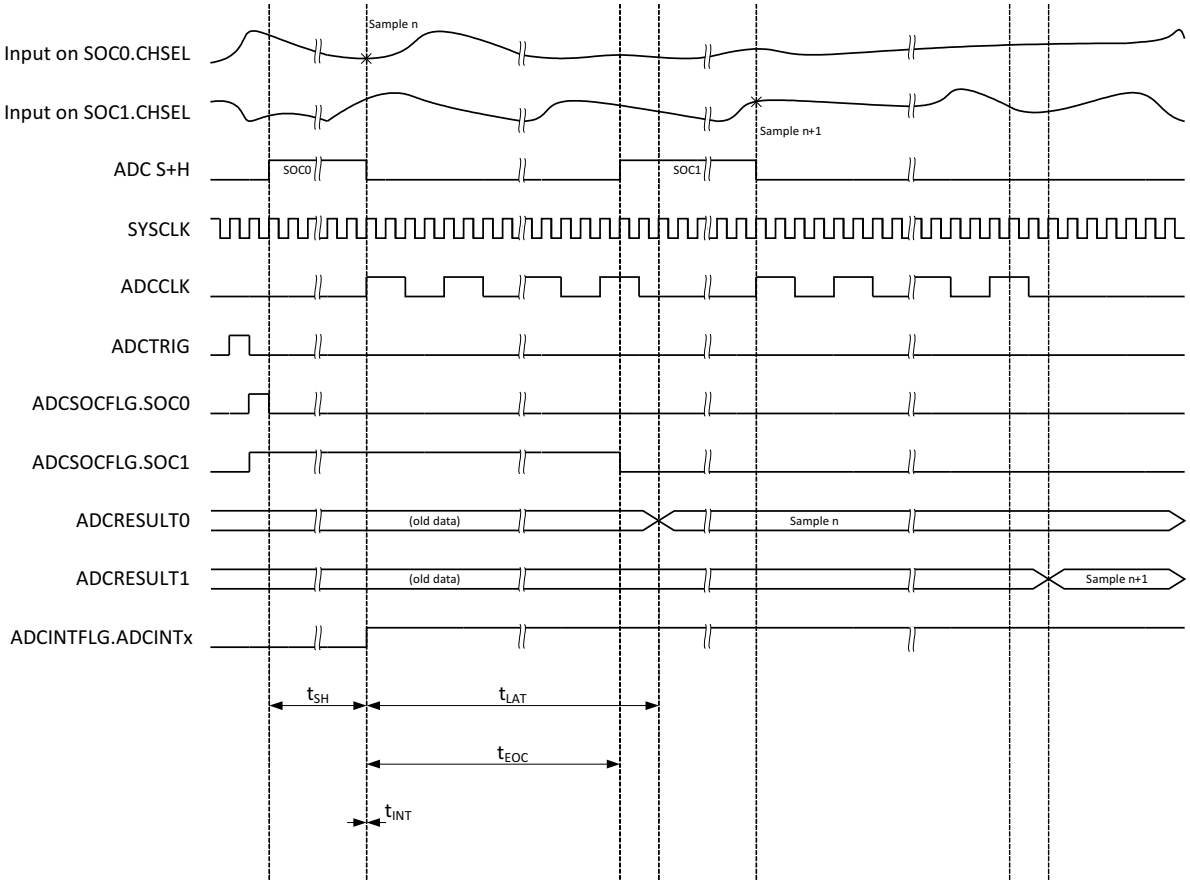


図 6-46. 12 ビット モードの Early 割り込みモードでの ADC タイミング

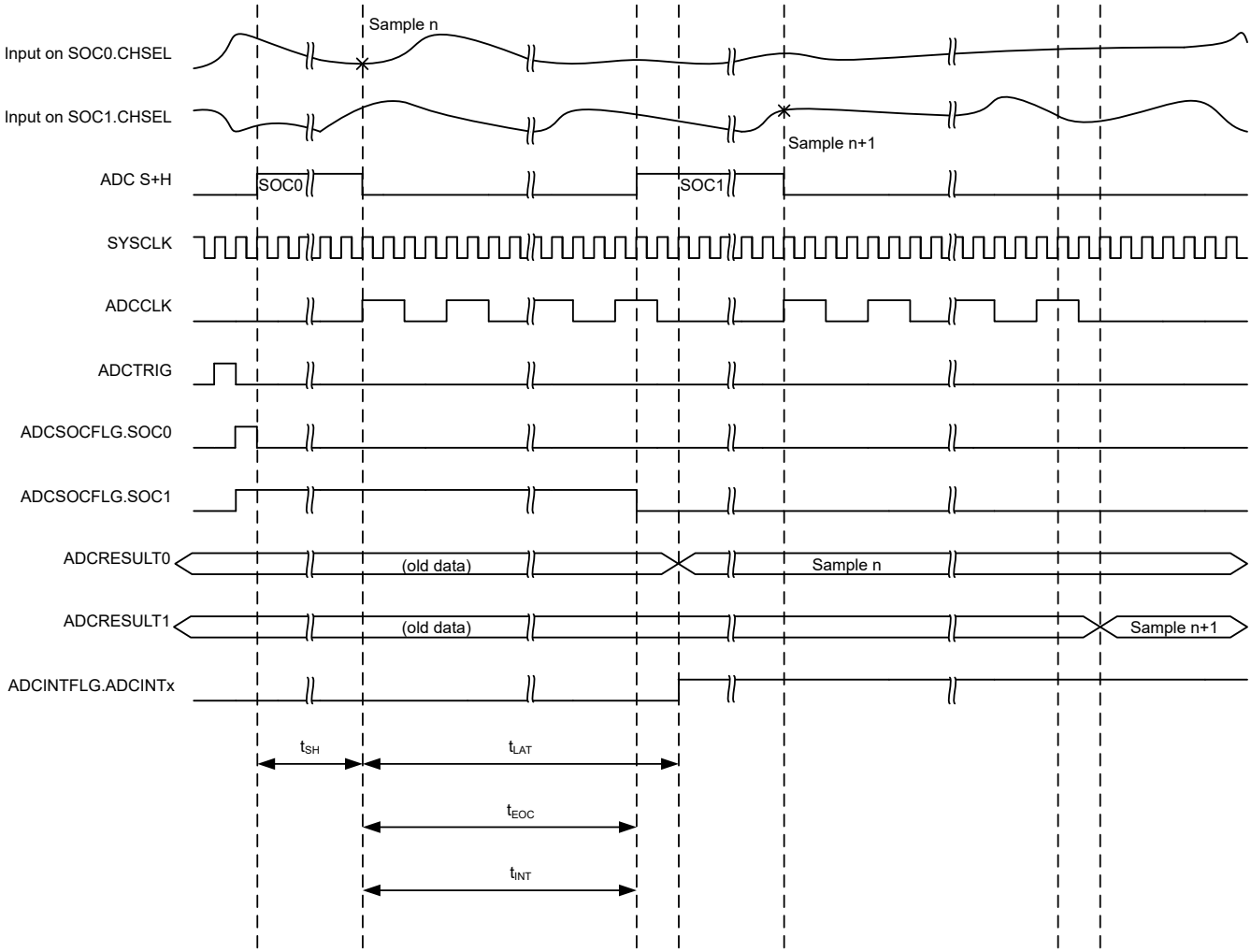


図 6-47. 12 ビット モードの Late 割り込みモードでの ADC タイミング

Copyright © 2026 Texas Instruments Incorporated

表 6-20. ADC タイミング パラメータの説明

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 **注:** デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、t_{INT} は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 の場合、t_{INT} は、S+H ウィンドウの終了時点と一致します。t_{INT} によって ADC 結果レジスタの読み取りが (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に) トリガされる場合、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。 INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET SYSCLK サイクルの遅延が発生します。この遅延時間を使えば、ちょうどサンプリングの用意ができた時点で ISR に入ることができます。また、その時点で DMA をトリガすることもできます。
t_{DMA}	S+H ウィンドウの終了時点から ADC 変換結果の DMA 読み取りがトリガされる

表 6-21. 12 ビット モードでの ADC タイミング、SAMPCAPRESETSEL = 0

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)(1)	t_{INT} (遅延)	t_{DMA}
0	1	15	20	1	15	20
2	2	30	35	1	30	35
3	2.5	38	46	1	38	46
4	3	45	50	1	45	50
5	3.5	53	58	1	53	58
6	4	60	65	1	60	65
7	4.5	68	73	1	68	73
8	5	75	80	1	75	80
9	5.5	83	88	1	83	88
10	6	90	95	1	90	95
11	6.5	98	103	1	98	103
12	7	105	110	1	105	110
13	7.5	113	118	1	113	118
14	8	120	125	1	120	125
15	8.5	128	133	1	128	133

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

表 6-22. 12 ビット モードでの ADC タイミング、SAMPCAPRESETSEL = 1

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)(1)	t_{INT} (遅延)	t_{DMA}
0	1	14	19	1	14	19
2	2	28	33	1	28	33
3	2.5	35	40	1	35	40
4	3	42	47	1	42	47
5	3.5	49	54	1	49	54
6	4	56	61	1	56	61
7	4.5	63	68	1	63	68
8	5	70	75	1	70	75
9	5.5	77	82	1	77	82
10	6	84	89	1	84	89
11	6.5	91	96	1	91	96
12	7	98	103	1	98	103
13	7.5	105	110	1	105	110
14	8	112	117	1	112	117
15	8.5	119	124	1	119	124

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

Copyright © 2026 Texas Instruments Incorporated

6.17.5 温度センサ

6.17.5.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアクイジション時間を満たす必要があります。

6.17.5.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	温度精度	外部リファレンス		±15		°C
$t_{startup}$	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		µs
t_{acq}	ADC アクイジション時間		450			ns

6.17.6 コンパレータ サブシステム (CMPSS)

コンパレータ サブシステム (CMPSS) は、アナログ コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

コンパレータ サブシステムは、多数のモジュールで構築されています。各サブシステムには 2 つのコンパレータ、2 つのリファレンス用 12 ビット DAC、2 つのデジタル フィルタが含まれます。サブシステムには、2 つのランプ生成器も含まれています。ランプ生成器は上昇および下降します。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ) と「Low」(ロー) を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力は、外部ピンから駆動されます (CMPSS で利用可能なマルチプレクサ オプションについては、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「アナログ サブシステム」の章を参照してください)。負入力は、外部ピンまたはプログラマブル リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。オプションで、サブシステムのハイ コンパレータおよびロー コンパレータのリファレンス 12 ビット DAC 値の制御に 2 つのランプ生成器回路を使用できます。DAC をラッパーと共に使用して、ピーク電流モード制御 (PCMC) や他のアプリケーションでスロープ補償に使用されるランプを生成できます。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ コンパレータ
- 2 つの独立したプログラマブル リファレンス 12 ビット DAC
- デクリメントとインクリメントを行うデュアル ランプ生成器
- 2 つのデジタル フィルタ、最大フィルタ クロック プリスケール 2^{24}
- サブモジュールを EPWMSYNCPER と同期可能
- EPWMBLANK によりクリア信号を拡張可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- コンパレータの正入力を外部信号または PGA で駆動するオプション
- ロー コンパレータ DAC 出力 (CMPx_DACL) を外部ピンで使用するオプション (インスタンスのみ選択、比較機能とは相互に排他的で、同時利用は不可)
- CMPSS フィルタへの外部接続
- ランプ生成器プリスケーラ

- CMPSS トリップ出力によってトリガされるスタンバイおよびホールトの LPM (低消費電力モード) からのウェークアップ

6.17.6.1 CMPx_DACL

一部の CMPSS モジュールのインスタンスでは、DAC 出力からピンとの間でバッファが利用できます。この CMPSS モジュールからの CMPx_DACL 出力では、指定された CMPSS モジュールのローサイド DAC を使用します。CMPSS インスタンスからの DAC 出力を使用する場合、その CMPSS モジュールの他の機能はすべて使用できなくなります。

特定のデバイスで利用可能な CMPx_DACL のインスタンスについては、「アナログ ピンと内部接続」の表で、「DAC」列を参照してください。

DAC 出力の各機能については、「CMPx_DACL のバッファ付き出力の電気的特性」セクションを参照してください。

6.17.6.2 CMPSS 接続図

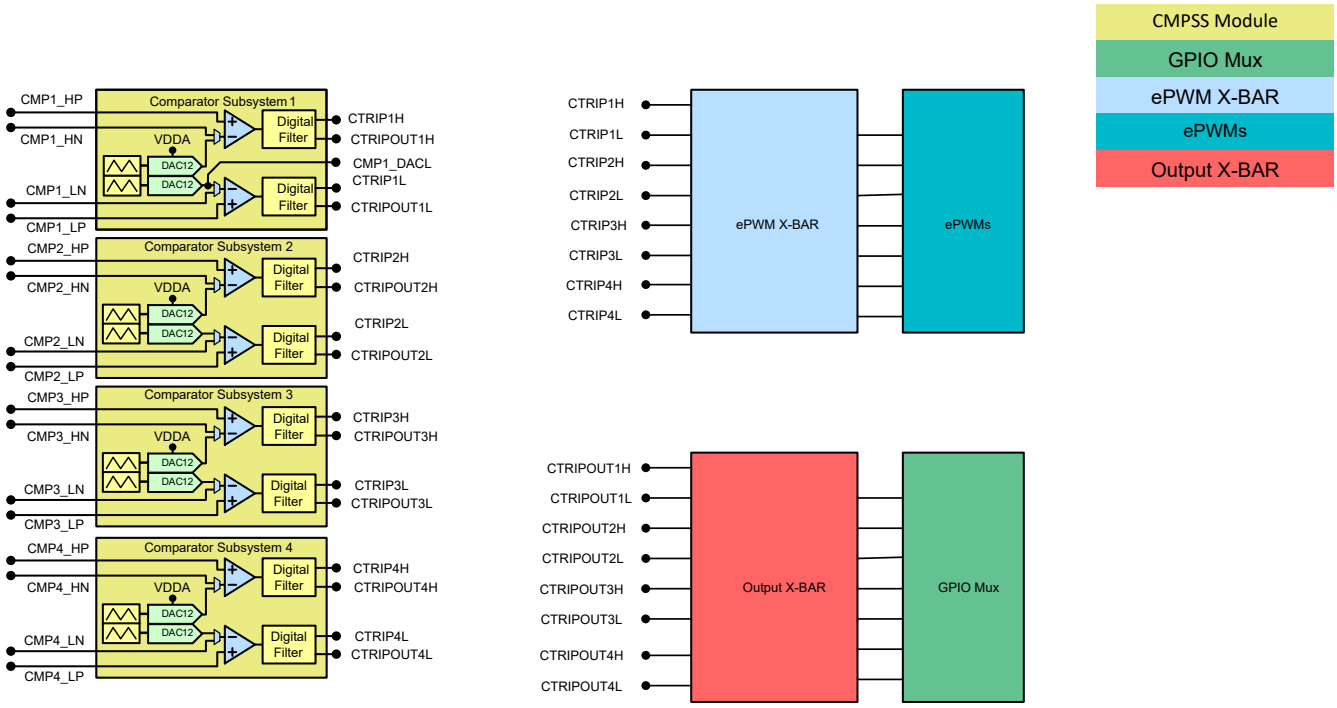


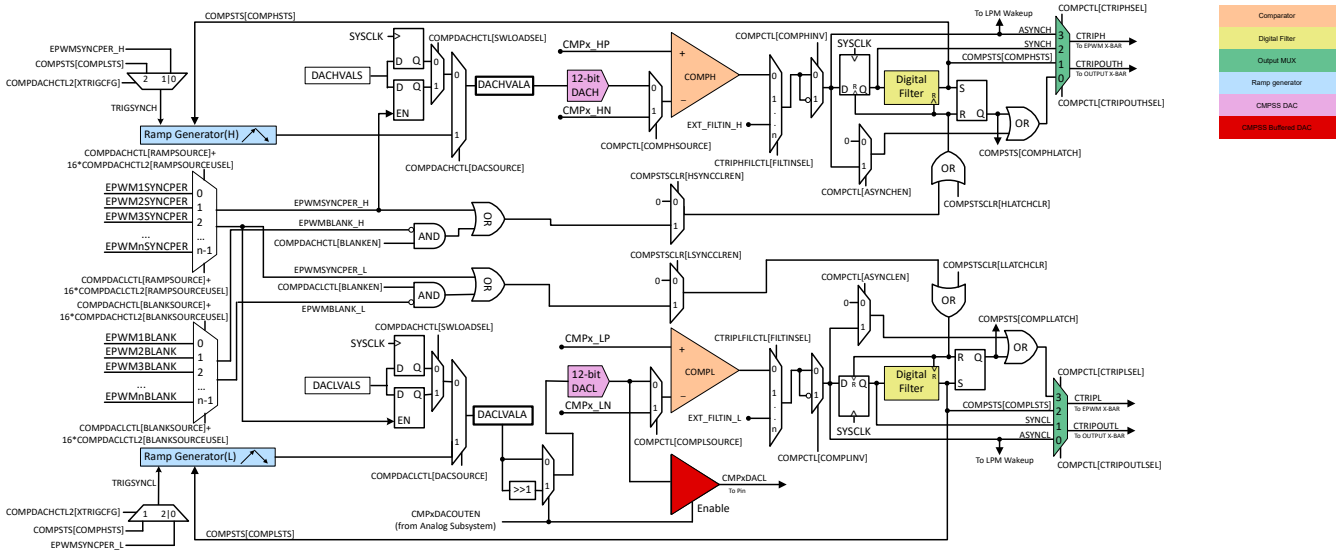
図 6-48. CMPSS の接続

Copyright © 2026 Texas Instruments Incorporated

6.17.6.3 ブロック図

CMPSS のブロック図を 図 6-49 に示します。

- ePWM トリップ応答のために、CTRIPx (x = H または L) 信号は、ePWM クロスバーに接続されています。ePWM クロスバーのマルチプレクサ構成の詳細については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「拡張パルス幅変調器 (ePWM)」の章を参照してください。
- CTRIPxOUTx (x = H または L) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバーのマルチプレクサ構成の詳細については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「汎用入出力 (GPIO)」の章を参照してください。



A. CMPx_DACL は、このデバイスの CMPSS 1 モジュールにのみ存在します。

B. DACL をピンにイネーブルにすると、CMPL (ローサイド コンパレータ) への機能がディスエーブルされ、この場合は COMPL への負入力をデバイス ピンから駆動する必要があります。

図 6-49. CMPSS モジュールのブロック図

各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆動するように構成できます。一部の CMPSS インスタンスでは、低 DAC 出力をピンに配線して、外部 DAC として動作させることもできます。この場合、DAC 出力は COMPL で使用できません。この場合、COMPL への負入力をデバイス ピンから駆動する必要があります。リファレンス 12 ビット DAC を 図 6-50 に示します。

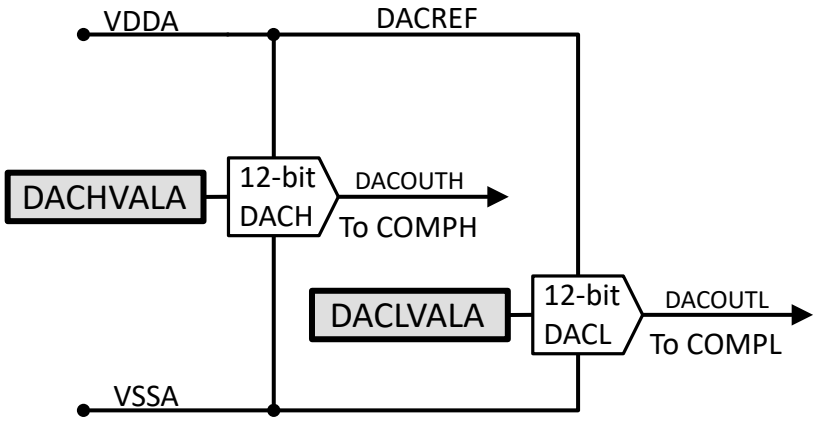


図 6-50. リファレンス DAC のブロック図

6.17.6.4 CMPSS の電気的データおよびタイミング

6.17.6.4.1 CMPSS コンパレータの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間				500	μs
コンパレータ入力 (CMPINxx) 範囲			0		VDDA	V
入力換算オフセット誤差		低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス (1)		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)		ステップ応答		21	60	ns
		ランプ応答 (1.65 V/μs)		26		
		ランプ応答 (8.25 mV/μs)		30		ns
PSRR	電源除去比	最高 250kHz		46		dB
CMRR	同相除去比		40			dB

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。 したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケーリングされます。 ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

CMPSS コンパレータの入力換算オフセットとヒステリシス

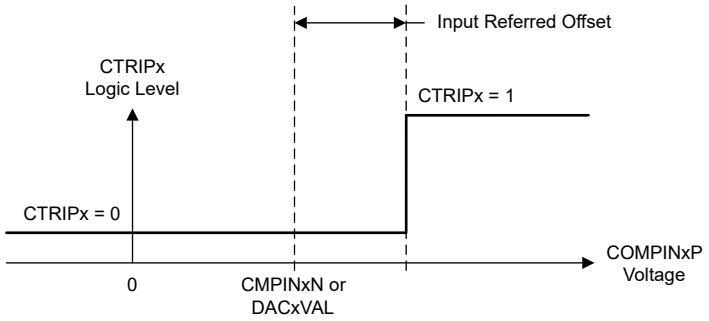


図 6-51. CMPSS コンパレータの入力換算オフセット

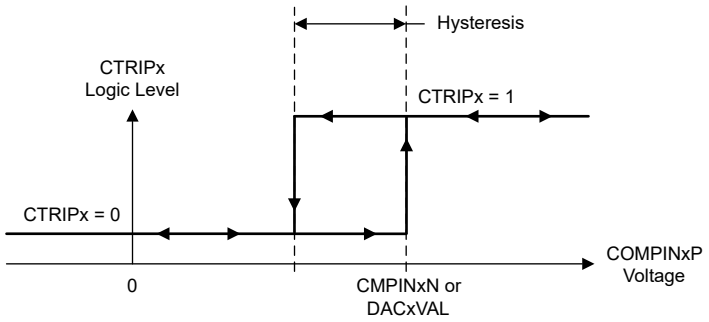


図 6-52. CMSS コンパレータのヒステリシス

Copyright © 2026 Texas Instruments Incorporated

6.17.6.4.2 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
静的オフセット誤差 (1)		-25		25	mV
静的ゲイン誤差 (1)		-2		2	FSR の %
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング タイム	フルスケール出力変化後 1LSB にセトリング			1	µs
分解能			12		ビット
CMPSS DAC 出力の外乱 (2)	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 (2)				200	ns

(1) コンパレータの入力換算誤差を含みます。
(2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。

6.17.6.4.3 CMPSS の説明用グラフ

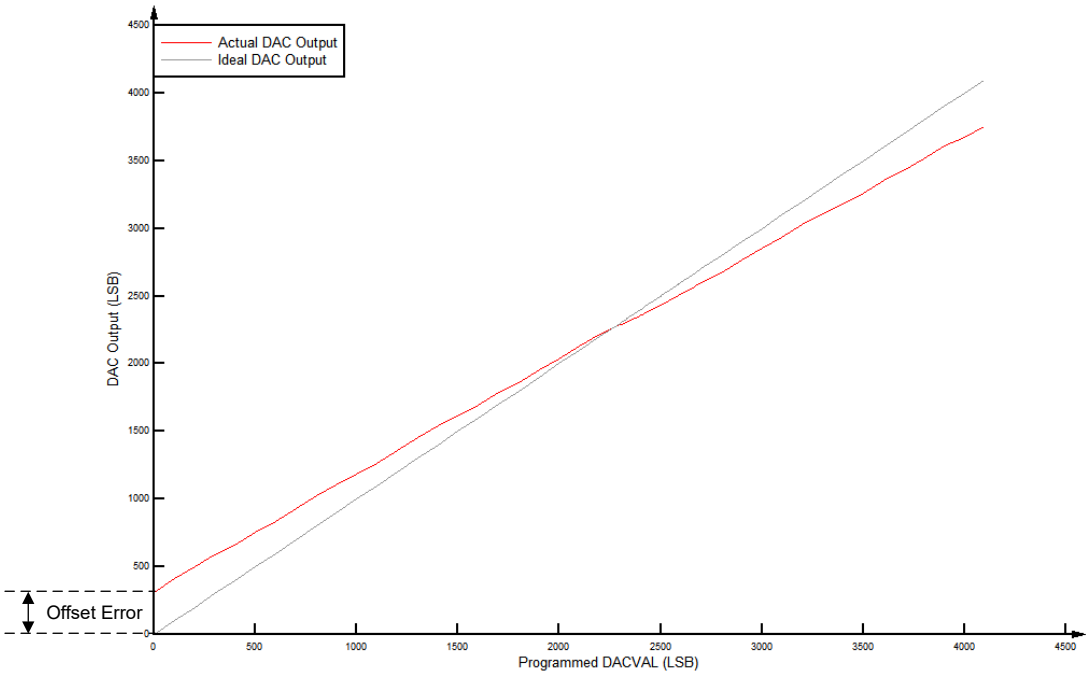


図 6-53. CMPSS DAC の静的オフセット

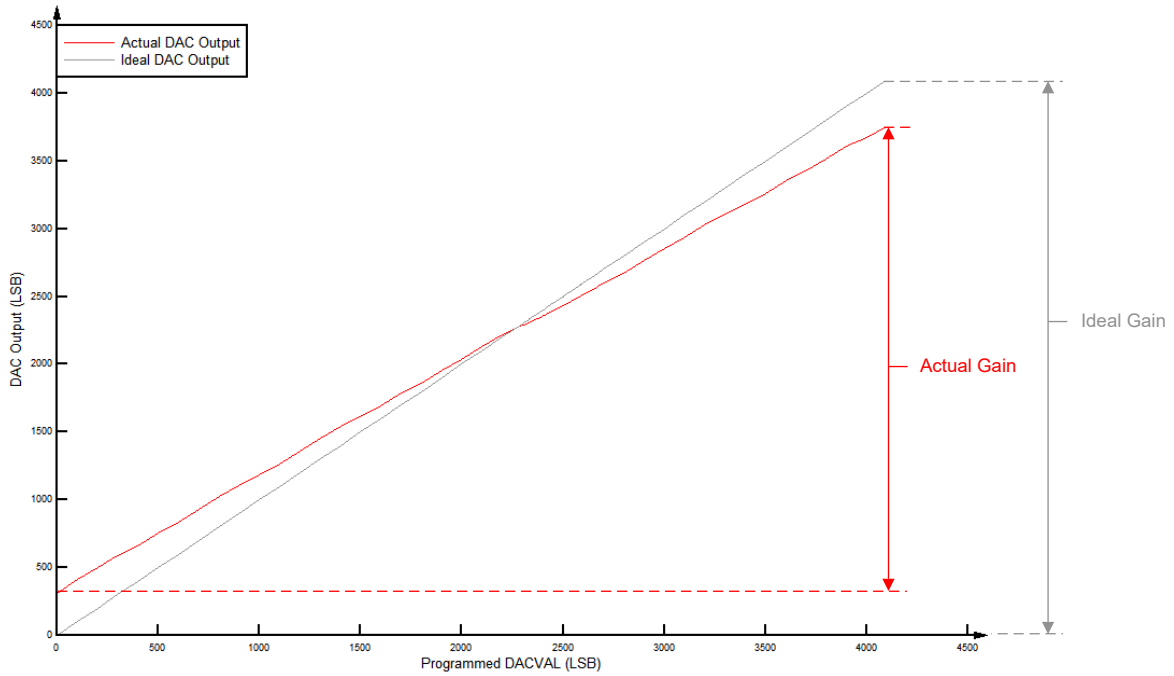


図 6-54. CMPSS DAC の静的ゲイン

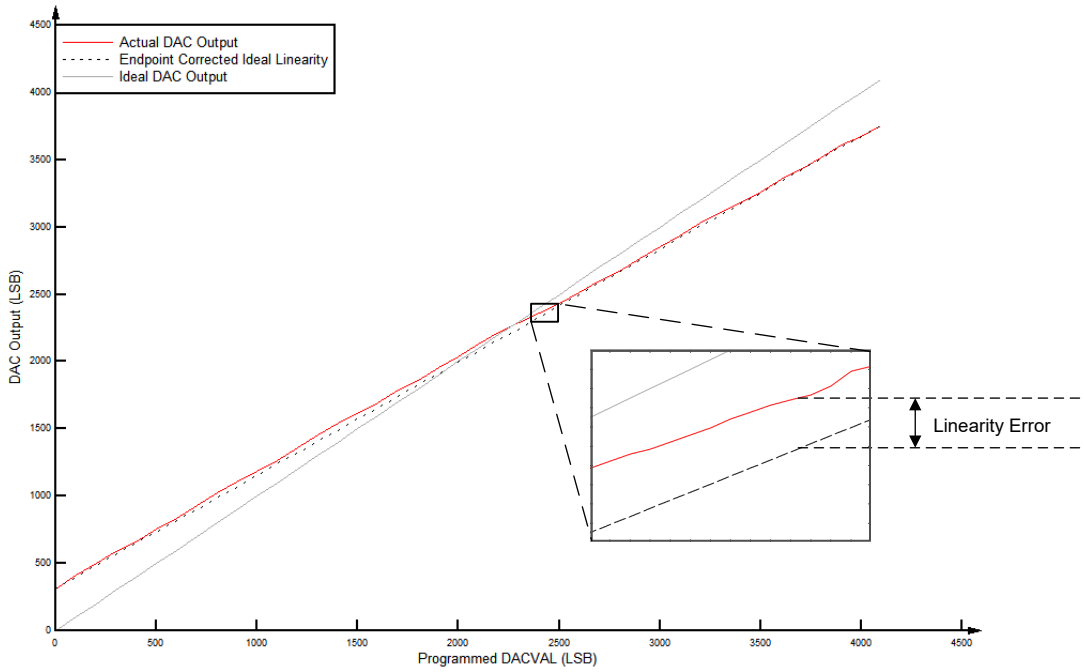


図 6-55. CMPSS DAC の静的直線性

6.17.6.4.4 CMPx_DACL のバッファ付き出力の動作条件

推奨動作条件範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_L	抵抗性負荷 [2]		5			kΩ
C_L	容量性負荷				100	pF

Copyright © 2026 Texas Instruments Incorporated

6.17.6.4.4 CMPx_DACL のバッファ付き出力の動作条件 (続き)

推奨動作条件範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OUT}	有効出力電圧範囲 [3]	R_L = 5kΩ	0.3		VDDA - 0.3	V
		R_L = 1kΩ	0.6		VDDA - 0.6	V
リファレンス電圧 [4]		VREFHI	2.4	2.5 または 3.0	VDDA	V

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。
(3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
(4) 最高の PSRR 性能を得るには、VREFHI を VDDA よりも低くする必要があります。

6.17.6.4.5 CMPx_DACL のバッファ付き出力の電気的特性

推奨動作条件範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
総則						
分解能 [4]				12		ビット
ロード レギュレーション			-1		1	mV/V
グリッチ エネルギー				1.5		V-ns
電圧出力セトリング時間、フルスケール		0.3V から 3V への遷移後 2LSB にセトリング			2	µs
電圧出力セトリング時間、1/4 フルスケール		0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	µs
電圧出力スルー レート		0.3V から 3V への遷移時のスルーレート	2.8		4.5	V/µs
負荷過渡セトリング時間		5kΩ 負荷			328	ns
TPU	パワーアップ時間	バンドギャップはディセーブル			500	µs
DC の特性						
オフセット	オフセット誤差		-100		100	mV
ゲイン	ゲイン誤差 [2]		-1.5		1.5	FSR の %
DNL	微分非直線性[4]	エンドポイント補正	-2		2	LSB (12 ビット)
INL	積分非直線性	エンドポイント補正	-10		10	LSB (12 ビット)
AC の特性						
出力ノイズ		100Hz～100kHz の積分ノイズ		600		µVrms
		10kHz でのノイズ密度		800		nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS		64		dB
THD	全高調波歪み	1kHz、200KSPS		-64.2		dB
SFDR	スプリアス フリー ダイナミック レンジ	1kHz、200KSPS		66		dB
SINAD	信号対雑音＋歪み比	1kHz、200KSPS		61.7		dB
PSRR	電源除去比[3]	DC		70		dB
		100kHz		30		dB

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) ゲイン誤差は、線形出力範囲について計算しています。
(3) VREFHI = 3.2V、VDDA = DC 3.3V + 100mV 正弦波。

Copyright © 2026 Texas Instruments Incorporated

(4) 11 ビット有効 (単調応答)。

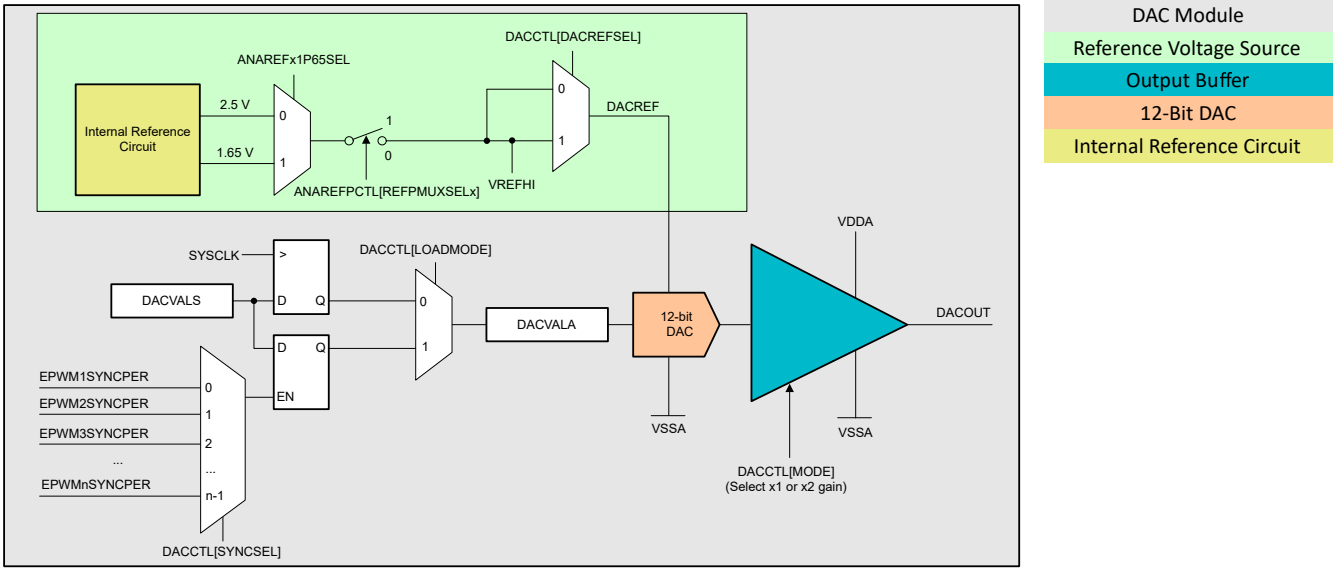
Copyright © 2026 Texas Instruments Incorporated

6.17.7 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。標準よりもさらに高い負荷を駆動するには、負荷サイズと出力電圧スイングの間でトレードオフが可能です。バッファ付き DAC の負荷条件については、「バッファ付き DAC の電気的データおよびタイミング」セクションを参照してください。バッファ付き DAC は汎用 DAC であり、正弦波、方形波、三角波などの DC 電圧または AC 波形を生成するために使用できます。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCO イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビット分解能
- リファレンス電圧源を選択可能
- 内部 VREFHI を使用する場合、x1 および x2 ゲイン モード
- EPWMSYNCPER と同期可能



A. このデバイスに VDAC は使用できないため、リファレンス電圧は VREFHI と VSSA です。

B. VREFHI 電圧は DAC を使用するために必要です。DAC を正常に動作させるには、少なくとも 1 つの ADC が INTREF または EXTREF のいずれかの基準電圧ソースを使用する必要があります。

図 6-56. DAC モジュールのブロック図

6.17.7.1 バッファ付き DAC の電気的データおよびタイミング

6.17.7.1.1 バッファ付き DAC の動作条件

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_L	抵抗性負荷 (2)		5			kΩ
C_L	容量性負荷				100	pF
V_{OUT}	有効出力電圧範囲 (3)	R_L = 5kΩ	0.3		VDDA - 0.3	V
		R_L = 1kΩ	0.6		VDDA - 0.6	V
リファレンス電圧 (4)		VREFHI	2.4	2.5 または 3.0	VDDA	V

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。
(3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
(4) 最高の PSRR 性能を得るには、VREFHI を VDDA よりも低くする必要があります。

6.17.7.1.2 バッファ付き DAC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
総則						
分解能				12		ビット
ロード レギュレーション			-1		1	mV/V
グリッチ エネルギー				1.5		V-ns
電圧出力セトリング時間、フルスケール		0.3V から 3V への遷移後 2LSB にセトリング			2	µs
電圧出力セトリング時間、1/4 フルスケール		0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	µs
電圧出力スルー レート		0.3V から 3V への遷移時のスルーレート	2.8		4.5	V/µs
負荷過渡セトリング時間		5kΩ 負荷			328	ns
		1kΩ 負荷			557	ns
リファレンス入力抵抗 (2)		VREFHI	160	200	240	kΩ
TPU	パワーアップ時間	外部リファレンス モード			500	µs
		内部リファレンス モード			5000	µs
DC の特性						
オフセット	オフセット誤差	中点	-10		10	mV
ゲイン	ゲイン誤差 (3)		-2.5		2.5	FSR の %
DNL	微分非直線性(4)	エンドポイント補正	-1	±0.4	1	LSB
INL	積分非直線性	エンドポイント補正	-5	±2	5	LSB
AC の特性						
出力ノイズ		100Hz～100kHz の積分ノイズ		600		µVrms
		10kHz でのノイズ密度		800		nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS		64		dB
THD	全高調波歪み	1kHz、200KSPS		-64.2		dB
SFDR	スプリアス フリー ダイナミック レンジ	1kHz、200KSPS		66		dB
SINAD	信号対雑音＋歪み比	1kHz、200KSPS		61.7		dB

Copyright © 2026 Texas Instruments Incorporated

6.17.7.1.2 バッファ付き DAC の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比[5]	DC		70		dB
		100kHz		30		dB

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) アクティブなバッファ付き DAC モジュール 1 個あたり。
(3) ゲイン誤差は、線形出力範囲について計算しています。
(4) DAC 出力は単調です。
(5) VREFHI = 3.2V、VDDA = DC 3.3V + 100mV 正弦波。

6.17.8 プログラマブル ゲイン アンプ (PGA)

プログラマブル ゲイン アンプ (PGA) は、入力電圧を増幅して、下流側の ADC および CMPSS モジュールの実効分解能を高めるために使用されます。

内蔵 PGA により、従来は外付けのスタンドアロン アンプを必要としていた多くの制御アプリケーションで、コストの削減と設計工数の低減に役立ちます。オンチップ統合により、この PGA は下流側の ADC および CMPSS モジュールに適合していることが保証されます。ゲインおよびフィルタの設定をソフトウェアで選択できるため、PGA はさまざまな性能ニーズに対応できます。

PGA の特長は次のとおりです。

- VDDA および VSSA 範囲内のレール ツー レール入力および出力電圧
- ユニティ ゲインとその他の値 (2～64 倍) を含むプログラマブル ゲイン モード
- オフチップ受動部品を使ったスタンドアロン ゲイン モード
- オンチップ抵抗を使ったポスト ゲイン フィルタリング
- 差動入力のサポート
- ハードウェア支援型チョッピングによるオフセット低減
- PGA_INM ピンを使用したケルビン グランド接続をサポート

PGA の能動部品は、内蔵オペアンプであり、内蔵の帰還抵抗を備えた非反転または反転アンプとして構成されています。これらの内部帰還抵抗の値は、ソフトウェアで選択可能な電圧ゲインを生成するように組み合わせられています。

次の 3 つの PGA 信号がデバイスのピンで利用できます。

- PGA_INP は PGA オペアンプへの正入力です。
- PGA_INM は PGA オペアンプへの負入力です。詳細については、本デバイスのデータ マニュアルを参照してください。
- PGA_OUT は、RC 部品によるオペアンプ出力フィルタリングをサポートしています。フィルタ処理された信号は、オンチップ ADC および CMPSS モジュールでサンプリングおよび監視できます。

PGA_OUT_INT は、オペアンプ出力の内部信号です。内部 ADC および CMPSS モジュールでサンプリングと監視が可能です。図 6-57 に、PGA のブロック図を示します。

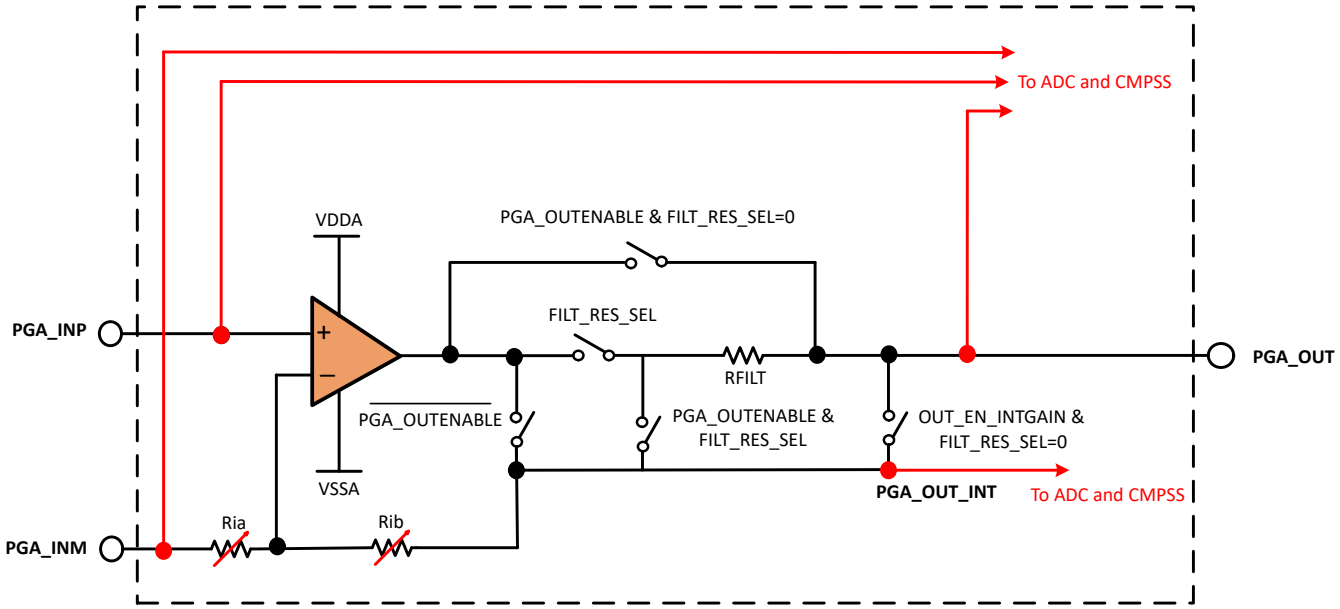


図 6-57. PGA のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.17.8.1 PGA の電気的データおよびタイミング

6.17.8.1.1 PGA の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PGA の出力範囲 (1)(2)		VSSA+0.025		VDDA-0.025	V
PGA 出力の容量性負荷			40		pF

(1) これは PGA の線形出力範囲です。PGA はこの範囲外の電圧を出力できますが、電圧は線形ではありません。
(2) PGA 出力 (PGAxOUT) が VDDA (PGAxOUT≥VDDA) 以上に飽和すると、関連する非反転 PGA 入力 (PGAxINP) は約 300µA のリーク電流を示します。これは、PGAxINP とピンを共有する他の IP に影響を及ぼします。

6.17.8.1.2 PGA の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADC LSB 精度が ±1 以内の最小 ADC S+H セトリング (フィルタなし、すべてのゲイン設定、シングル ADC 駆動) (4)	ゲイン = 1	125			ns
	ゲイン = 2/-1	146			
	ゲイン = 4/-3	125			
	ゲイン = 8/-7	154			
	ゲイン = 16/-15	227			
	ゲイン = 32/-31	322			
	ゲイン = 64/-63	380			
ADC LSB 精度が ±1 以内の最小 ADC S+H セトリング (フィルタなし、すべてのゲイン設定、2x ADC 駆動) (4)	ゲイン = 1	146			ns
	ゲイン = 2/-1	146			
	ゲイン = 4/-3	113			
	ゲイン = 8/-7	155			
	ゲイン = 16/-15	230			
	ゲイン = 32/-31	352			
	ゲイン = 64/-63	450			
ゲイン設定			1		
			2、4、8、16、32、64		
			-1、-3、-7、-15、-31、-63		
短絡電流 (5)			41		mA
フルスケール ステップ応答 (フィルタなし)、精度が 0.05% 以内のセトリング(4)	G = 64/-63			500	ns
	G < 64			420	ns
セトリング タイム: ゲイン切り替え				10	µs
スルーレート	ネイキッド OPA モード		12		V/µs

6.17.8.1.2 PGA の特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
スルーレート	ゲイン = 1		12		V/µs
	ゲイン = 2/-1		24		V/µs
	ゲイン = 4/-3		43		V/µs
	ゲイン = 8/-7		67		V/µs
	ゲイン = 16/-15		35		V/µs
	ゲイン = 32/-31		29		V/µs
	ゲイン = 64/-63		26		V/µs
R_{ia}	ゲイン = 1		256		kΩ
	ゲイン = 2/-1		16		kΩ
	ゲイン = 4/-3		8		kΩ
	ゲイン = 8/-7		8		kΩ
	ゲイン = 16/-15		8		kΩ
	ゲイン = 32/-31		8		kΩ
	ゲイン = 64/-63		4		kΩ
R_{ib}	ゲイン = 1		0		kΩ
	ゲイン = 2/-1		16		kΩ
	ゲイン = 4/-3		24		kΩ
	ゲイン = 8/-7		56		kΩ
	ゲイン = 16/-15		120		kΩ
	ゲイン = 32/-31		248		kΩ
	ゲイン = 64/-63		252		kΩ
フィルタ抵抗のターゲット	R_{FILT} = 800Ω		800		Ω
	R_{FILT} = 400Ω		400		Ω
	R_{FILT} = 200Ω		200		Ω
	R_{FILT} = 100Ω		100		Ω
	R_{FILT} = 50Ω		50	62	Ω
ゲイン帯域幅積 (ネイキッド オペアンプ モード)	ゲイン = 1		7		MHz
閉ループ -3dB BW	ゲイン = 1		15		MHz
	ゲイン = 2/-1		14		MHz
	ゲイン = 4/-3		13.5		MHz
	ゲイン = 8/-7		12		MHz
	ゲイン = 16/-15		11		MHz
	ゲイン = 32/-31		5.5		MHz
	ゲイン = 64/-63		5.0		MHz
DC の特性					
ゲイン誤差(1)	ゲイン = 1	-0.18		0.18	%
ゲイン誤差(1)	ゲイン = 2、-1	-0.45		0.45	%
ゲイン誤差(1)	ゲイン = 4、-3	-0.70		0.70	%
ゲイン誤差(1)	ゲイン = 8、-7	-0.84		0.84	%
ゲイン誤差(1)	ゲイン = 16、-15	-0.90		0.90	%
ゲイン誤差(1)	ゲイン = 32、-31	-1.05		1.05	%

Copyright © 2026 Texas Instruments Incorporated

6.17.8.1.2 PGA の特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ゲイン誤差[(1)]	ゲイン = 64、-63	-1.82		1.82	%
オフセット誤差[(2)]	入力換算	-3.0	±1.0	3.0	mV
オフセット温度係数	入力換算	-7.0		7.0	μV/C
オフセット誤差 - チョップ		-0.8		0.8	mV
オフセット温度係数 - チョップ			0.3		μV/C
DC コード分布	G<64		2.5		12b LSB
	G = 64/-63		4		12b LSB
AC の特性					
位相マージン ネイキッド OPA	C_{load} = 40pF G = 1		45		度
Aol (開ループ電圧ゲイン) ネイキッド OPA	R_L = 7.5kΩ から GND へ 0.3V<V_O<VDDA-0.3V		94		dB
THD + ノイズ (THD+N) ネイキッド OPA	f_{in} = 1kHz G = 1		82		dB
SNR 10kHz (ADC あり)	ゲイン = 1		68		dB
	ゲイン = 2、-1		68		
	ゲイン = 4、-3		66		
	ゲイン = 8、-7		62		
	ゲイン = 16、-15		58		
	ゲイン = 32、-31		55		
	ゲイン = 64、-63		51		
THD[(3)]	DC		-78		dB
THD (最大 100kHz) [(3)]	ゲイン = 1		-58		dB
	ゲイン = 2、-1		-70		
	ゲイン = 4、-3		-70		
	ゲイン = 8、-7		-70		
	ゲイン = 16、-15		-70		
	ゲイン = 32、-31		-58		
	ゲイン = 64、-63		-58		
CMRR	DC:V_{IN} <=1.5V		-86		dB
	DC:フル入力レンジ		-77		dB
	最高 100kHz		-50		dB
PSRR[(3)]	DC		-75		dB
	最高 10kHz		-60		dB
	最高 100kHz		-40		dB
ノイズ PSD[(3)]	1kHz		200		nV/sqrt(Hz)
	10kHz		100		nV/sqrt(Hz)
積分ノイズ (入力換算)[(3)]	3Hz ～ 30MHz		100		μV

(1) ADC ゲイン誤差を含む
(2) ADC オフセット誤差を含む
(3) PGA 単独の性能。
(4) ステップ応答時間 (フィルタあり) = tS+H + 7.6*R_{filt}* C_{filt}

(5) フィルタ回路なしと想定

Copyright © 2026 Texas Instruments Incorporated

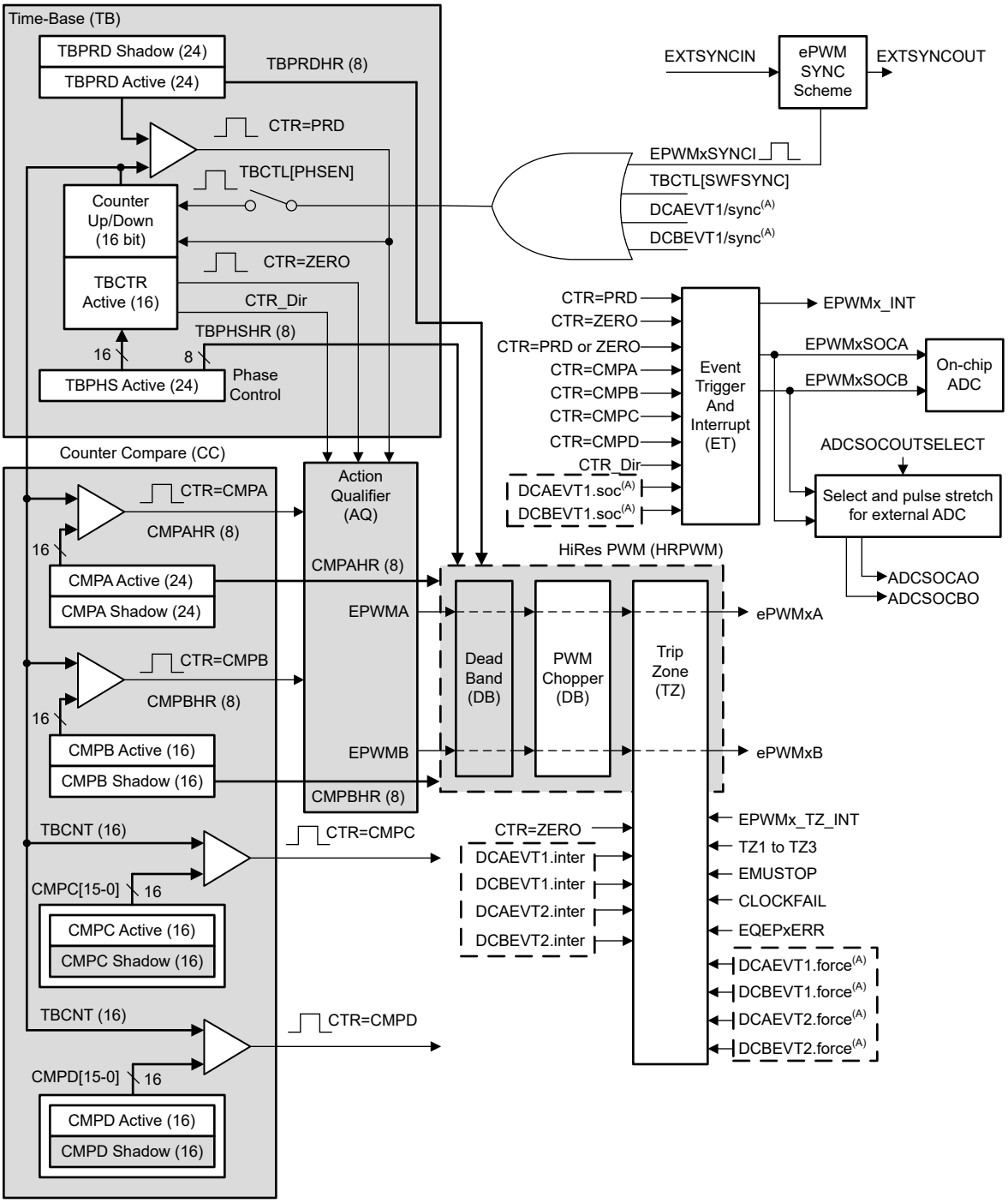
6.18 制御ペリフェラル

6.18.1 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュール の主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタ リロード機能が挙げられます。

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

ePWM モジュールを 図 6-58 に示します。図 6-59 に、ePWM トリップ入力の接続を示します。



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-58. ePWM サブモジュールおよび重要な内部信号の相互接続

Copyright © 2026 Texas Instruments Incorporated

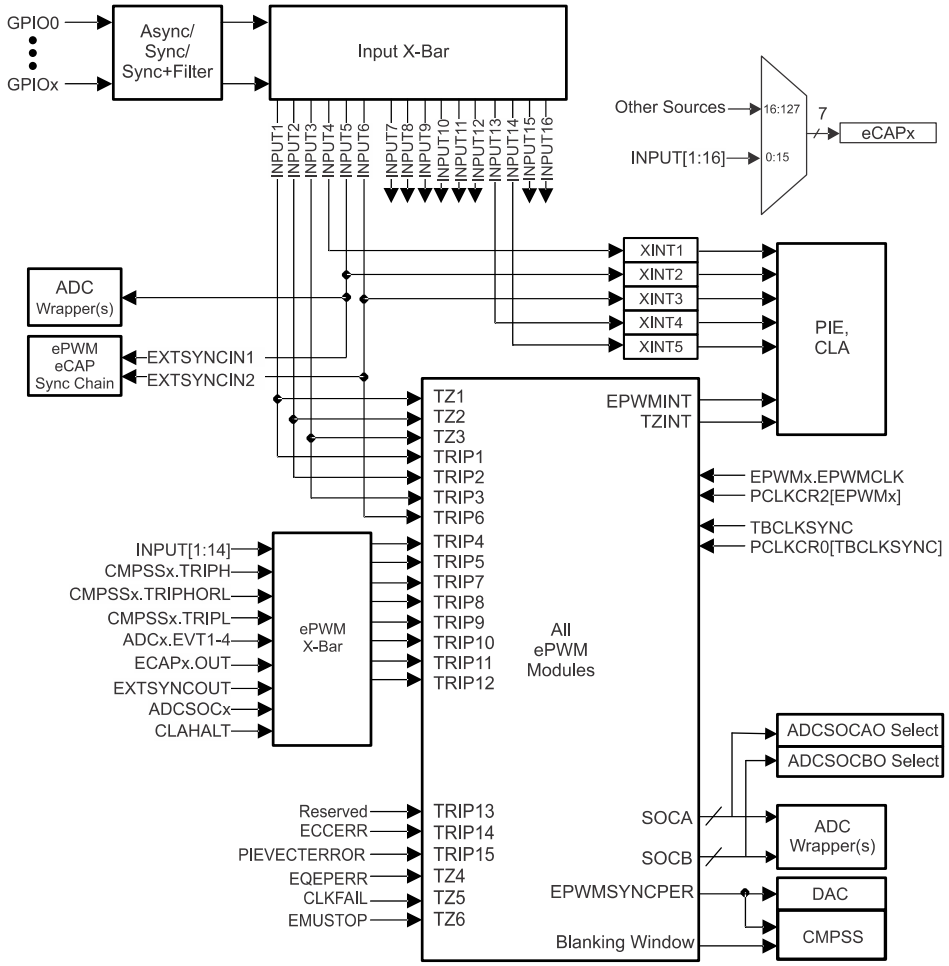


図 6-59. ePWM トリップ入力の接続

6.18.1.1 制御ペリフェラルの同期

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。図 6-60 に、この同期スキームを示します。

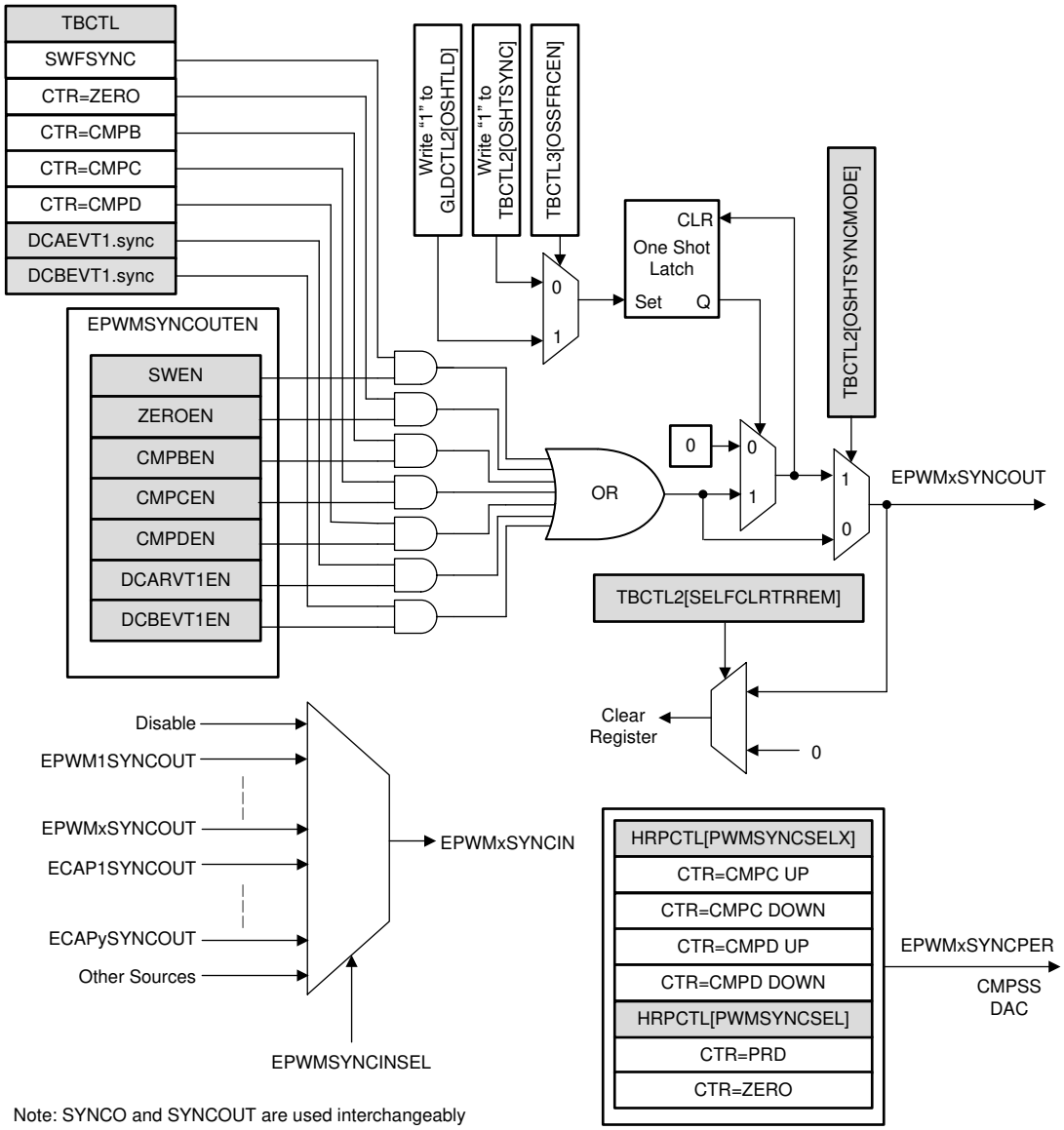


図 6-60. 同期チェーンのアーキテクチャ

Copyright © 2026 Texas Instruments Incorporated

6.18.1.2 ePWM の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.1.2.1 ePWM のタイミング要件

			最小値	最大値	単位
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.18.1.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ (1)		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High/Low	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSCLK)}$		サイクル
$t_{d(TZ-PWM)}$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで		25	ns

(1) ピンの負荷は 20pF。

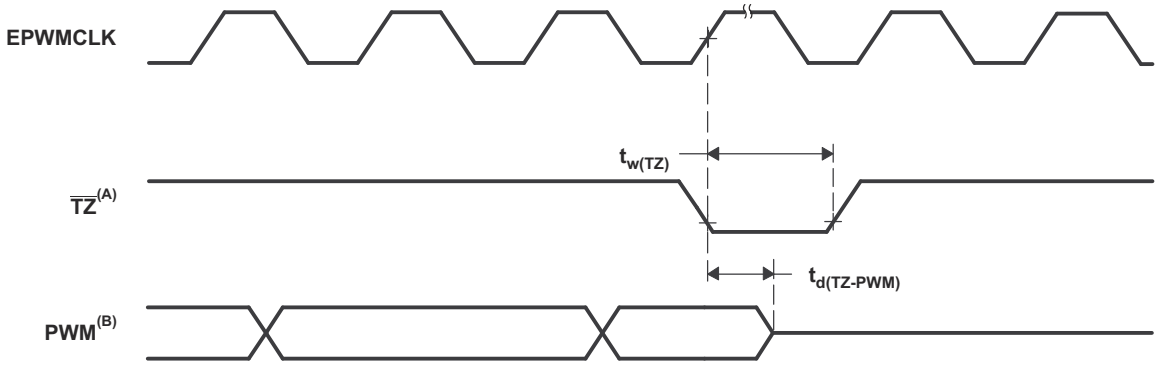
6.18.1.2.3 トリップ ゾーン入力のタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.1.2.3.1 トリップ ゾーン入力のタイミング要件

			最小値	最大値	単位
$t_{w(TZ)}$	パルス幅、$\overline{TZx}$ 入力 Low	非同期	$1t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		サイクル
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		サイクル

6.18.1.2.3.2 PWM ハイ インピーダンス特性のタイミング図



A. $\overline{TZ}$:$\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1～TRIP12

B. PWM は、デバイスのすべての PWM ピンのことです。$\overline{TZ}$ が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-61. PWM ハイ インピーダンス特性

6.18.2 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ ラインを 1 つのモジュールに統合し、専用のキャリブレーション ディレイ ラインを使用して、簡素化されたキャリブレーション システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャネル A の HR デューティおよびデッドバンド制御
- チャネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル エッジ (デューティ サイクルおよび位相シフト制御) とデュアル エッジ (周波数 / 周期変調制御) の両方で使用できる。
- ePWM モジュールの比較 A、比較 B、位相、周期、デッドバンド レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

6.18.2.1 HRPWM の電気的データおよびタイミング

6.18.2.1.1 高分解能 PWM の特性

パラメータ		最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ (1)	マイクロ エッジ ポジショニング (MEP) ステップ サイズ (1)		75	152	ps

(1) MEP ステップ サイズは、高温かつ V_{DD} 最小電圧で最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP スケール因子最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

6.18.3 外部 ADC 変換開始の電気的データおよびタイミング

6.18.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、$\overline{ADCSOCxO}$ Low	$32t_{c(SYSCLK)}$		サイクル

6.18.3.2 $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング図

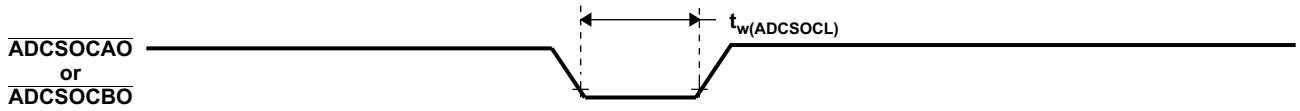


図 6-62. $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング

Copyright © 2026 Texas Instruments Incorporated

6.18.4 拡張キャプチャ (eCAP)

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

このセクションで説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント タイムスタンプのシングルショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- キャプチャ モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力として構成可能

タイプ 1 の eCAP におけるキャプチャ機能は、タイプ 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント フィルタ リセット ビット
  - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント フィルタ、モジュロ カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。
- モジュロ カウンタのステータス ビット
  - モジュロ カウンタ (ECCTL2 [MODCNTRSTS]) は、どのキャプチャ レジスタを次にロードするかを示します。タイプ 0 の eCAP には、モジュロ カウンタの現在の状態を知る方法はありませんでした。
- DMA トリガ ソース
  - eCAPxDMA が DMA トリガとして追加されました。CEVT[1-4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチプレクサ
  - ECCTL0 [INPUTSEL] は、128 の入力信号のいずれかを選択します。詳細については、『』『』『』『』『*TMS320F28P551/552/558 リアルタイム マイコン テクニカル リファレンス マニュアル*』の「拡張キャプチャ (eCAP)」の章にある「*eCAP のデバイス ピンの構成*」セクションを参照してください。
- EALLOW 保護
  - 重要なレジスタに EALLOW 保護が追加されました。タイプ 0 とのソフトウェア互換性を維持するには、DEV_CFG_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。

タイプ 2 の eCAP におけるキャプチャ機能は、タイプ 1 の eCAP を拡張したものであり、以下の機能が追加されています。

- ECAPxSYNCINSEL レジスタを追加
  - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

6.18.4.1 eCAP のブロック図

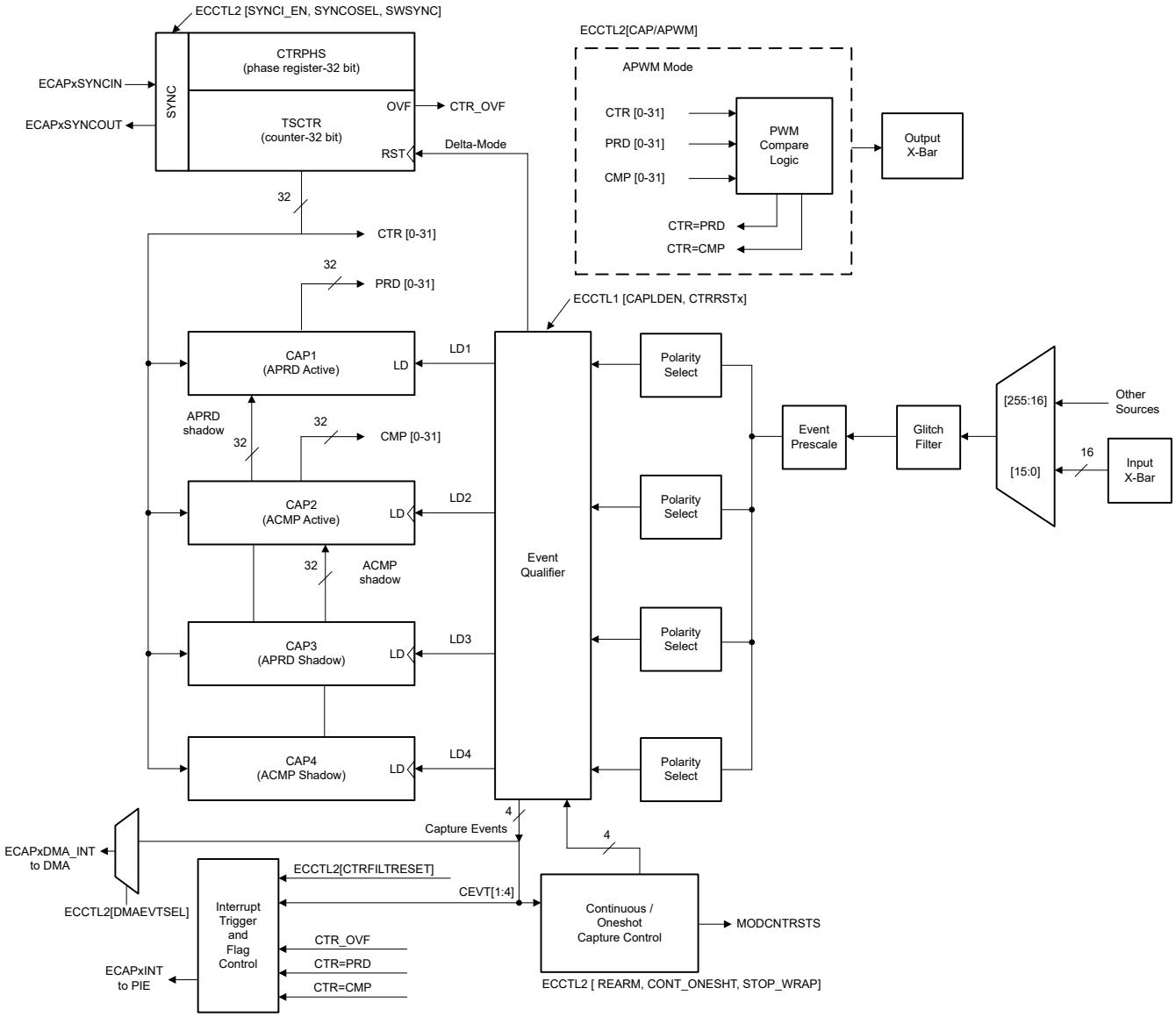


図 6-63. eCAP のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.18.4.2 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。 外部同期入力信号は、ePWM 、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 6-64 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

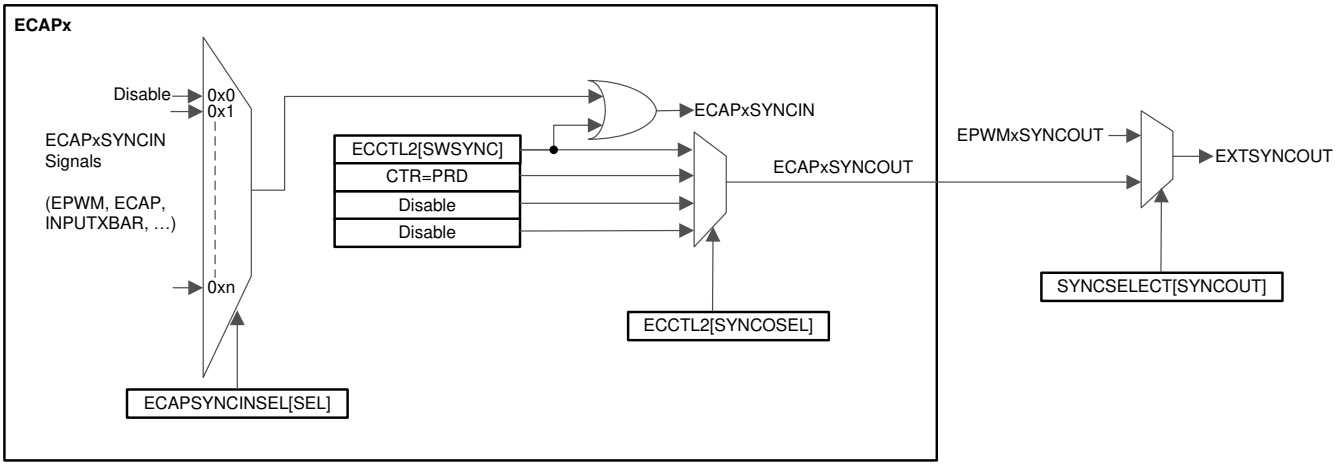


図 6-64. eCAP の同期方式

6.18.4.3 eCAP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.4.3.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$2t_{c(SYSCLK)}$			ns
		同期	$2t_{c(SYSCLK)}$			
		入力クオリファイヤあり	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.18.4.3.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	20			ns

6.18.5 拡張直交エンコーダ パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 6-65 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)

- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モード アダプタ (QMA)

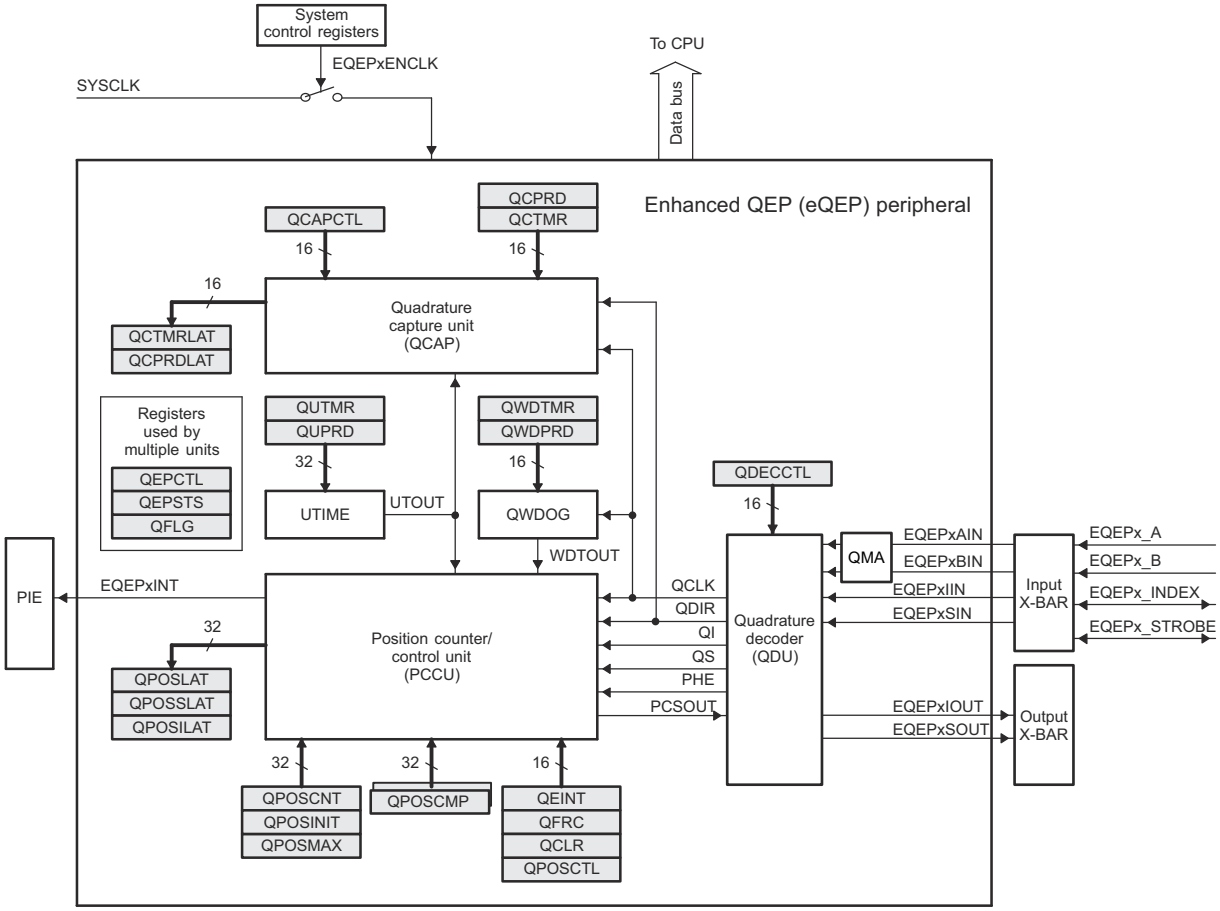


図 6-65. eQEP のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.18.5.1 eQEP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.5.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

6.18.5.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_{c(SYSCLK)}$	サイクル
$t_{d(PCS\text{-}OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCLK)}$	サイクル

6.18.6 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM の主な特長は次のとおりです。

- SDFM モジュールごとに 8 本の外部ピン
  - SDFM モジュールごとに 4 本のシグマ-デルタ データ入力ピン (SD-Dx、ここで x = 1～4)
  - SDFM モジュールごとに 4 本のシグマ-デルタ クロック入力ピン (SD-Cx、ここで x = 1～4)
- さまざまな構成可能な変調器クロック モードをサポート:
  - モード 0:変調器クロック レートが変調器データ レートに等しい。
- SDFM モジュールごとに 4 つの独立した構成可能な 2 次フィルタ (コンパレータ) ユニット:
  - 4 種類のフィルタ タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
  - 値超過状態、値不足状態、スレッショルド クロッシング状態を検出可能
    1. 2 つの独立した高スレッショルド コンパレータ (値超過状態の検出に使用)
    2. 2 つの独立した低スレッショルド コンパレータ (値不足状態の検出に使用)
    3. 1 つの独立したスレッショルド クロッシング コンパレータ (eCAP でデューティ サイクル / 周波数を測定するために使用)
  - 1～32 の範囲でプログラム可能なコンパレータ フィルタ ユニットの OSR 値 (COSR)
- SDFM モジュールごとに 4 つの独立した構成可能な 1 次フィルタ (データ フィルタ) ユニット:
  - 4 種類のフィルタ タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
  - 1～256 の範囲でプログラム可能なデータ フィルタ ユニットの OSR 値 (DOSR)
  - 個別のフィルタ モジュールを有効または無効 (あるいはその両方) に設定可能
  - メイン フィルタ イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- データ フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- データ フィルタ ユニットにはプログラマブル モード FIFO があり、割り込みオーバーヘッドを低減。FIFO の特長は次のとおりです。
  - 1 次フィルタ (データ フィルタ) に深さ 16 x 32 ビット FIFO。
  - FIFO は、プログラムした数のデータ レディ イベントが発生した後 CPU に割り込みを発生させることが可能。
  - FIFO の同期待ち機能:PWM 同期信号 (SDSYNC) を受信するまで、データ レディ イベントを無視する機能。SDSYNC イベントを受信すると、データ レディ イベントごとに FIFO に書き込み。
  - データ フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- PWMx.SOCA/SOCB は、データ フィルタ チャネルごとに SDSYNC ソースとして機能するように構成可能。
- PWM を使用して、シグマ-デルタ モジュレータ用の変調器クロックを生成可能。
- SD-Cx と SD-Dx の両方に構成可能な入力認定を利用可能。
- 1 つのフィルタ チャネル クロック (SD-C1) を使用して、他のフィルタ クロック チャネルにクロックを供給する機能。
- コンパレータ フィルタ イベントでスプリアス ノイズに起因するコンパレータ イベントを除外する構成可能なデジタル フィルタ。

図 6-66 に、SDFM モジュールのブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

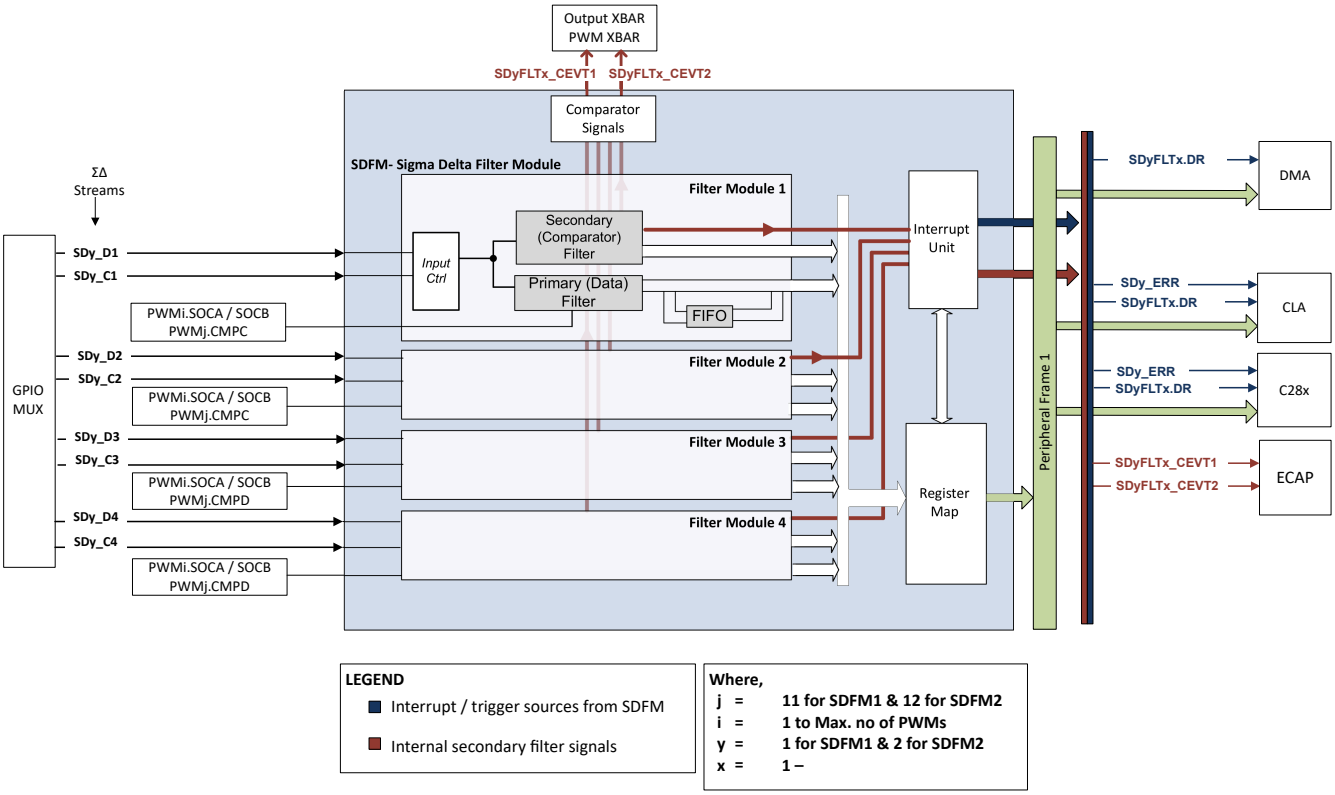


図 6-66. シグマ デルタ フィルタ モジュール (SDFM) のブロック図

6.18.6.1 SDFM の電気的データおよびタイミング

6.18.6.1.1 SDFM の電気的データおよびタイミング (同期 GPIO)

この同期 GPIO モードを使用する場合、$t_{W(GPI)}$ のパルス幅は、$2t_{c(SYSCLK)}$ というタイミング要件を満たす必要があります。SD-Cx と SD-Dx の両方のペアを SYNC オプションで構成することが重要です。このセクション に、同期 GPIO (SYNC) オプションを使用した場合の SDFM タイミング要件を示します。図 6-67 に、SDFM のタイミング図を示します。

「*同期 GPIO (SYNC) オプション使用時の SDFM のタイミング要件*」表に、SDFM のタイミング要件を示します。次のような構成を行う必要があります。

- SDFM GPIO ピンは、SYNC モードでのみ構成する必要があります (GPYQSELn = 00b を使用)。
- SDx-Cy 信号と SDx-Dy 信号の両方を PLLRAWCLK に同期させる必要はありません (SDCTLPARMx.SDDATASYNC / SDCLKSYNC = 0b を使用)。

注

SDx_Cy ピンでランダム ノイズのグリッチが発生すると、コンパレータの誤動作やフィルタ出力の異常につながり、SDFM モジュールが誤動作する可能性がありますが、SDFM 同期 GPIO (SYNC) オプションは、この誤動作に対する保護を提供します。

SDFM 同期 GPIO (SYNC) モードは、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

6.18.6.1.2 SDFM の電気的データおよびタイミング (ASYNC を使用)

「非同期 GPIO ASYNC オプション使用時の SDFM のタイミング要件」の表に、SDFM のタイミング要件を示します。次のような構成を行う必要があります。

- SDFM GPIO ピンは、ASYNC モードでのみ構成する必要があります (GPYQSELn = 0b11 を使用)。
- SDx-Cy 信号と SDx-Dy 信号の両方を PLLRAWCLK に同期させる必要があります (SDCTLPARMx レジスタを使用)。

図 6-67 に、SDFM のタイミング図を示します。

6.18.6.1.3 非同期 GPIO - ASYNC - オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	4 * $t_{c(PLLRAWCLK)}$	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	2 * $t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	1 * $t_{c(PLLRAWCLK)}$ + 3		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	1 * $t_{c(PLLRAWCLK)}$ + 3		ns

6.18.6.1.4 同期 GPIO SYNC オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	5 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	2 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns

Copyright © 2026 Texas Instruments Incorporated

6.18.6.1.5 SDFM タイミング図

警告

SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するため、SD-Cx および SD-Dx 信号の両方に特別な措置を取る必要があります。クロック ドライバのインピーダンス ミスマッチによるリンギング ノイズに備える直列終端抵抗や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

注

SDFM SD-Cx および SD-Dx 信号を PLLRAWCLK と同期させると、偶発的なランダム ノイズ グリッチによりコンパレータのトリップおよびフィルタ出力が誤って発生したために SDFM モジュールが破損することから保護できます。ただし、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

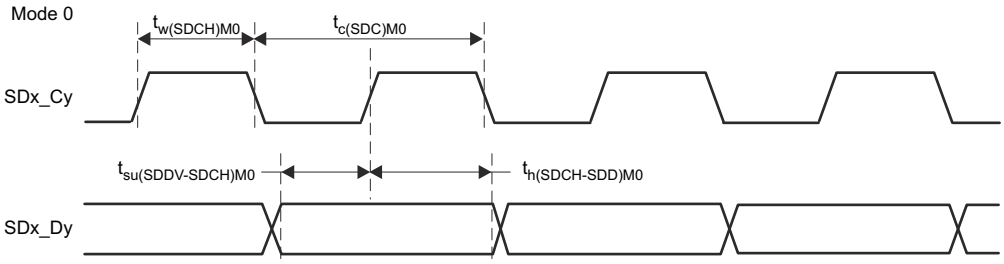


図 6-67. SDFM タイミング図 - モード 0

6.19 通信ペリフェラル

6.19.1 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショート メッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN とフレキシブル データ レート) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワーク トランシーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

注

CAN FD 機能が利用可能かどうかは、デバイスの型番によります。

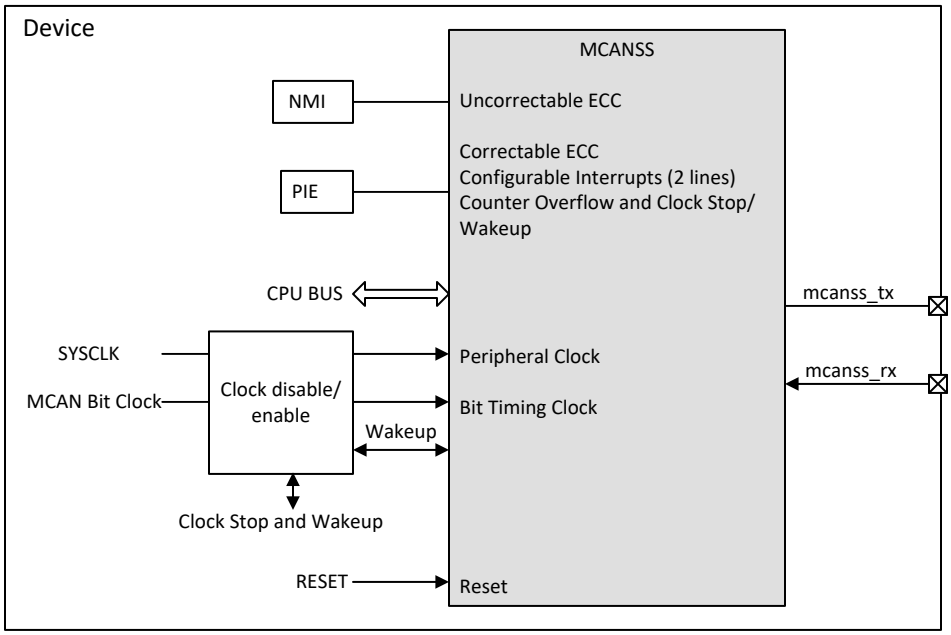


図 6-68. MCAN モジュールの概要

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 柔軟なメッセージ RAM 割り当て (以下の最大構成は 4352 の 32 ビット ワード メッセージ RAM を搭載したデバイスの場合)
  - 最大 32 個の専用送信バッファ
  - 構成可能な送信 FIFO、最大 32 個の素子
  - 構成可能な送信キュー、最大 32 個の素子
  - 構成可能な送信イベント FIFO、最大 32 個の素子
  - 最大 64 個の専用受信バッファ
  - 2 つの構成可能な受信 FIFO、それぞれ最大 64 個の素子

Copyright © 2026 Texas Instruments Incorporated

  - 最大 128 個のフィルタ素子
- セルフ テスト用のループバック モード
- マスク可能な割り込み (2 つの設定可能な割り込みライン、訂正可能な ECC、カウンタ オーバーフロー、クロックの停止 / ウェークアップ)
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロックドメイン (CAN クロック / ホスト クロック)
- メッセージ RAM の ECC チェック
- クロックの停止およびウェークアップのサポート
- タイムスタンプ カウンタ

サポートされない機能:

- ホスト バス ファイアウォール
- クロックのキャリブレーション
- CAN 経由のデバッグ

6.19.2 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I^2C バス規格 (バージョン 2.1) に準拠:
  - 8 ビット形式の転送をサポート
  - 7 ビットおよび 10 ビットのアドレッシング モード
  - ゼネラル コール
  - START バイト モード
  - 複数のコントローラ トランスミッタとターゲット レシーバをサポート
  - 複数のターゲット トランスミッタとコントローラ レシーバをサポート
  - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
  - 10Kbps～400Kbps のデータ転送レート (ファスト モード)
- 以下と互換性のある電圧スレッショルドをサポート:
  - SMBus 3.0 以下
  - PMBus 1.3 以下
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 次の 2 つの割り込みをサポート
  - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
    - 送信準備完了
    - 受信準備完了
    - レジスタ アクセス準備完了
    - アクノリッジなし
    - 調停消失
    - ストップ条件検出
    - ターゲットとしてアドレス指定
  - I2Cx_FIFO 割り込み:
    - 送信 FIFO 割り込み
    - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー データ形式モード

図 6-69 に、本デバイス内の I2C ペリフェラル モジュールの接続図を示します。

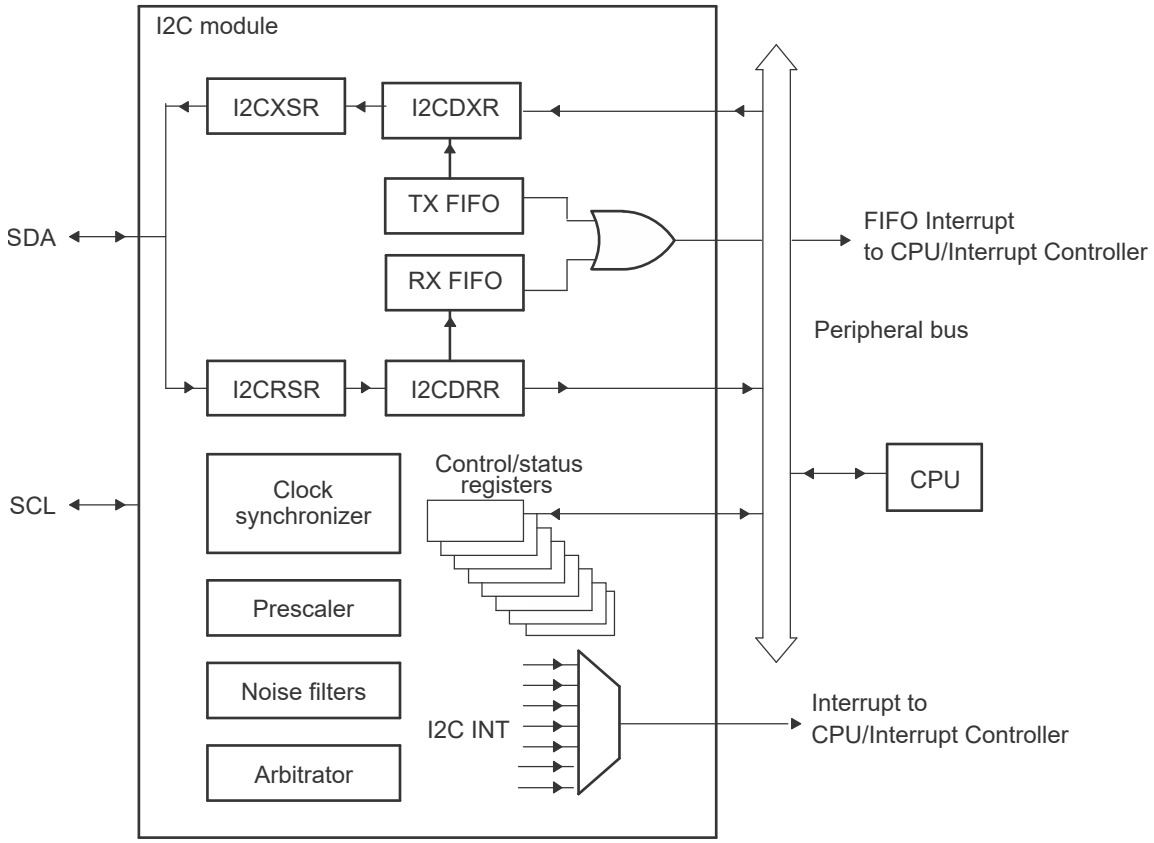


図 6-69. I2C ペリフェラル モジュール インターフェイス

Copyright © 2026 Texas Instruments Incorporated

6.19.2.1 I2C の電気的データおよびタイミング

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対する合計バス抵抗の 2.2kΩ で十分です。特定の設計のプルアップ抵抗値の評価については、『I2C バスのプルアップ抵抗の計算』アプリケーション ノートを参照してください。

6.19.2.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
スタンダード モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	4.0		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	4.0		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	250		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA		1000	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL		1000	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA		300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	4.0		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF
ファスト モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	0.6		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	0.6		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	100		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA	20	300	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL	20	300	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	0.6		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF

6.19.2.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
スタンダード モード						
S1	f_{SCL}	SCL クロック周波数		0	100	kHz
S2	T_{SCL}	SCL クロック周期		10		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		4.7		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		4.0		µs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			3.45	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			3.45	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA
ファスト モード						
S1	f_{SCL}	SCL クロック周波数		0	400	kHz
S2	T_{SCL}	SCL クロック周期		2.5		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		1.3		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		0.6		µs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			0.9	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			0.9	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA

6.19.2.1.3 I2C のタイミング図

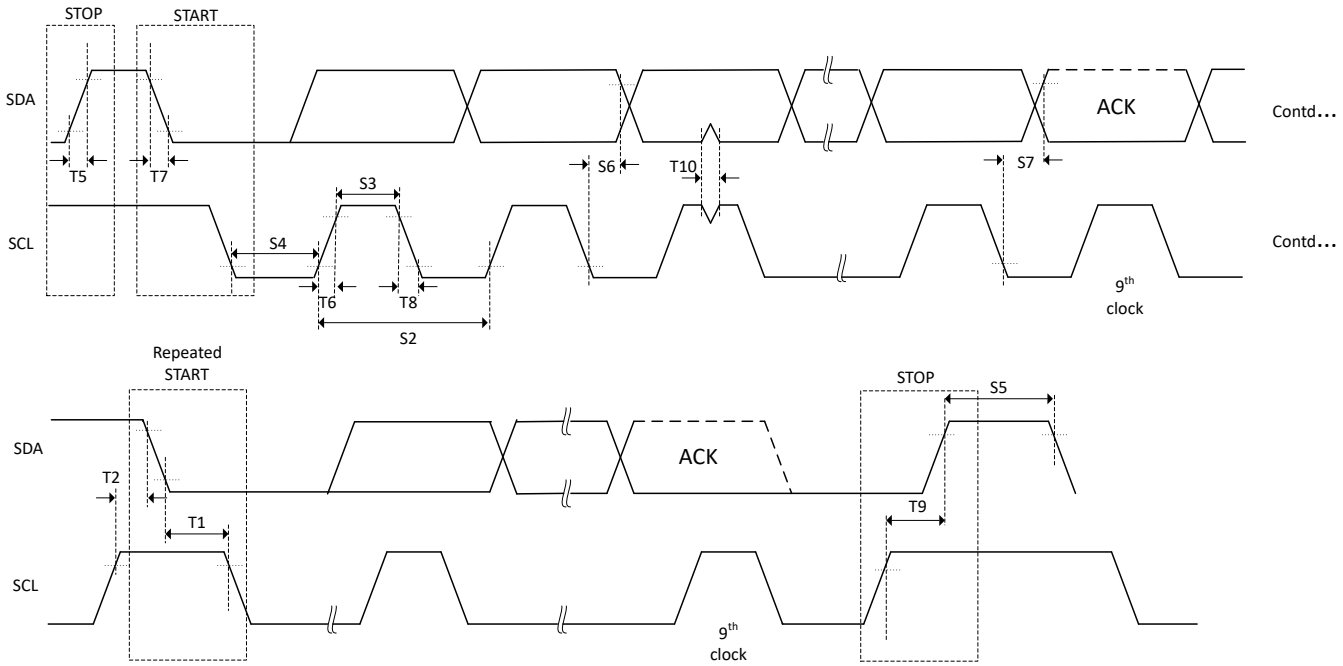


図 6-70. I2C のタイミング図

Copyright © 2026 Texas Instruments Incorporated

6.19.3 PMBus (Power Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- 以下と互換性のある電圧スレッショルドをサポート:
  - PMBus 1.3 以下
  - SMBus 3.0 以下
- コントローラとターゲットをサポート
- I2C モードのサポート
- 以下の 3 種類の速度をサポート
  - スタンダード モード:最高 100kHz
  - ファースト モード:400kHz
  - ファスト プラス モード:1MHz
- パケット エラー チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつか条件によって生成可能:
  - 受信データ準備完了
  - 送信バッファ空
  - ターゲット アドレス受信
  - メッセージ終了
  - ALERT 入力アサート
  - クロック Low タイムアウト
  - クロック High タイムアウト
  - バス フリー

注

ファスト プラス モードをサポートするピン、および SMBUS3.0 と PMBUS1.3 の完全な仕様については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』を参照してください。

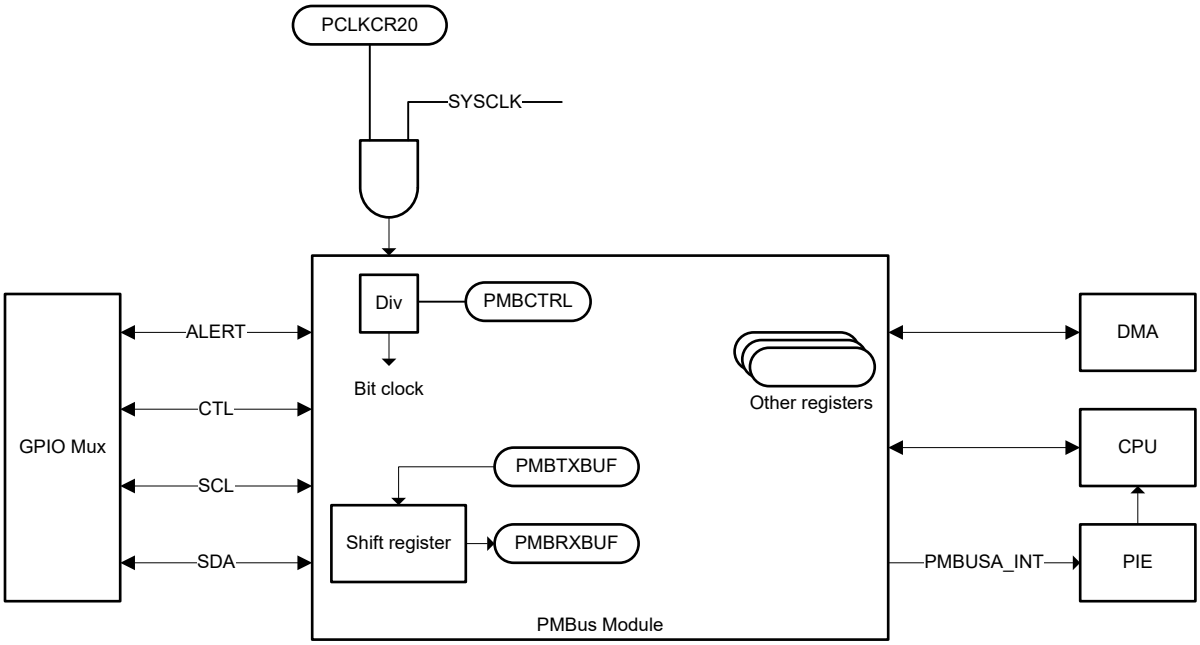


図 6-71. PMBus のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.19.3.1 PMBus の電気的データおよびタイミング

6.19.3.1.1 PMBus の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	有効 Low レベル入力電圧				0.8	V
V_{IH}	有効 High レベル入力電圧	GPIO2/3/9/32：IO_MODSEL:MODSEL GPIOx = 0/その他のすべての GPIO	2.1		VDDIO	V
		GPIO2/3/9/32： IO_MODSEL:MODSEL GPIOx = 1	1.35		VDDIO	V
V_{OL}	Low レベル出力電圧	I_{pullup} = 4mA のとき			0.4	V
		I_{pullup} = 20 mA のとき GPIO2/3/9/32：IO_DRVSEL：DRVSELGPIOx = 1			0.4	V
I_{OL}	Low レベル出力電流	V_{OL} ≤ 0.4V	4			mA
		V_{OL} ≤ 0.4V IO_DRVSEL:DRVSELGPIOx = 1	20			mA
t_{SP}	入力フィルタにより抑制されるスパイクのパルス幅		0		50	ns
I_i	各ピンの入力リーク電流	0.1Vbus < Vi < 0.9Vbus	-10		10	µA
C_i	各ピンの容量				10	pF

6.19.3.1.2 PMBus ファスト プラス モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{mod}	PMBus モジュール クロック周波数(2)		20		25	MHz
f_{SCL}	SCL クロック周波数	公称バス電圧 3.3V	10		1000	kHz
		公称バス電圧 5.0V	10		1000	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		0.5			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		0.26			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		0.26			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		0.26			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
	SCL 立ち下がり後のデータ ホールド時間 PMBCTRL_ZH_EN = 1 (1)		0			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		50			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		0.5			µs
t_{HIGH}	SCL クロックの High 期間		0.26		50	µs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (ターゲット デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (コントローラ デバイス)	各バイト内			10	ms

6.19.3.1.2 PMBus ファスト プラス モードのスイッチング特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_r	SDA および SCL の立ち上がり時間	5%～95%	20		120	ns
t_f	SDA および SCL の立ち下がり時間	95%～5%	20		120	ns

(1) このビットは、0ns のホールド時間 / SMBUS3.0 準拠を有効にするために設定する必要があります
(2) 最大クロックが使用されている場合、それよりも低いすべてのタイミングが PMBus のデフォルトのレジスタ構成で満たされます

6.19.3.1.3 PMBus ファスト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{mod}	PMBus モジュール クロック周波数 (2)		$f_{(SYSCLK)}$ / 32		10	MHz
f_{SCL}	SCL クロック周波数		10		400	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		0.6			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		0.6			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		0.6			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
	SCL 立ち下がり後のデータ ホールド時間 PMBCTRL_INC_1[ZH+EN] = 1(1)		0			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		100			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		1.3			µs
t_{HIGH}	SCL クロックの High 期間		0.6		50	µs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (ターゲット デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (コントローラ デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間	5%～95%	20		300	ns
t_f	SDA および SCL の立ち下がり時間	95%～5%	20		300	ns

(1) このビットは、0ns のホールド時間 / SMBUS3.0 準拠を有効にするために設定する必要があります
(2) 最大クロックが使用されている場合、それよりも低いすべてのタイミングが PMBus のデフォルトのレジスタ構成で満たされます

Copyright © 2026 Texas Instruments Incorporated

6.19.3.1.4 PMBus スタンダード モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{mod}	PMBus モジュール クロック周波数(2)		$f_{(SYSCLK)}$ / 32		10	MHz
f_{SCL}	SCL クロック周波数		10		100	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		4.7			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
	SCL 立ち下がり後のデータ ホールド時間 PMBCTRL_INC_1[ZH+EN] = 1 (1)		0			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		250			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		4.7			µs
t_{HIGH}	SCL クロックの High 期間		4		50	µs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (ターゲット デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (コントローラ デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間				1000	ns
t_f	SDA および SCL の立ち下がり時間				300	ns

(1) このビットは、0ns のホールド時間 / SMBUS3.0 準拠を有効にするために設定する必要があります
(2) 最大クロックが使用されている場合、それよりも低いすべてのタイミングが PMBus のデフォルトのレジスタ構成で満たされます

6.19.4 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル ビットと割り込みビットを持ちます。この両方が、半二重通信用として個別に動作することも、全二重通信用として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレーク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット レートは、16 ビットのボー選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
  - SCITXD:SCI 送信出力ピン
  - SCIRXD:SCI 受信入力ピン
  - 64K までの異なるレートにプログラム可能なボーレート
- データ ワード フォーマット
  - 1 スタート ビット
  - データ ワード (1～8 ビットの範囲でワード長をプログラム可能)
  - パリティ ビット (偶数 / 奇数 / なしを選択可能)
  - 1 または 2 ストップ ビット
- 4 つのエラー検出フラグ:パリティ、オーバーラン、フレーミング、ブレーク検出
- 2 つのウェイクアップ マルチプロセッサ モード:アイドル ラインおよびアドレス ビット
- 半二重または全二重動作
- ダブル バッファ付き受信および送信機能
- トランスミッタおよびレシーバの動作は、割り込み駆動、またはステータス フラグによるポーリング アルゴリズムで実現できます。
  - トランスミッタ:TXRDY フラグ (トランスミッタ バッファ レジスタが次の文字を受信する準備ができた) と TX EMPTY フラグ (トランスミッタ シフト レジスタが空である)
  - レシーバ:RXRDY フラグ (レシーバ バッファ レジスタが次の文字を受信する準備ができた)、BRKDT フラグ (ブレーク条件が発生した)、RX エラー フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア ロジック
- 16 レベルの送信および受信 FIFO

図 6-72 に、SCI のブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

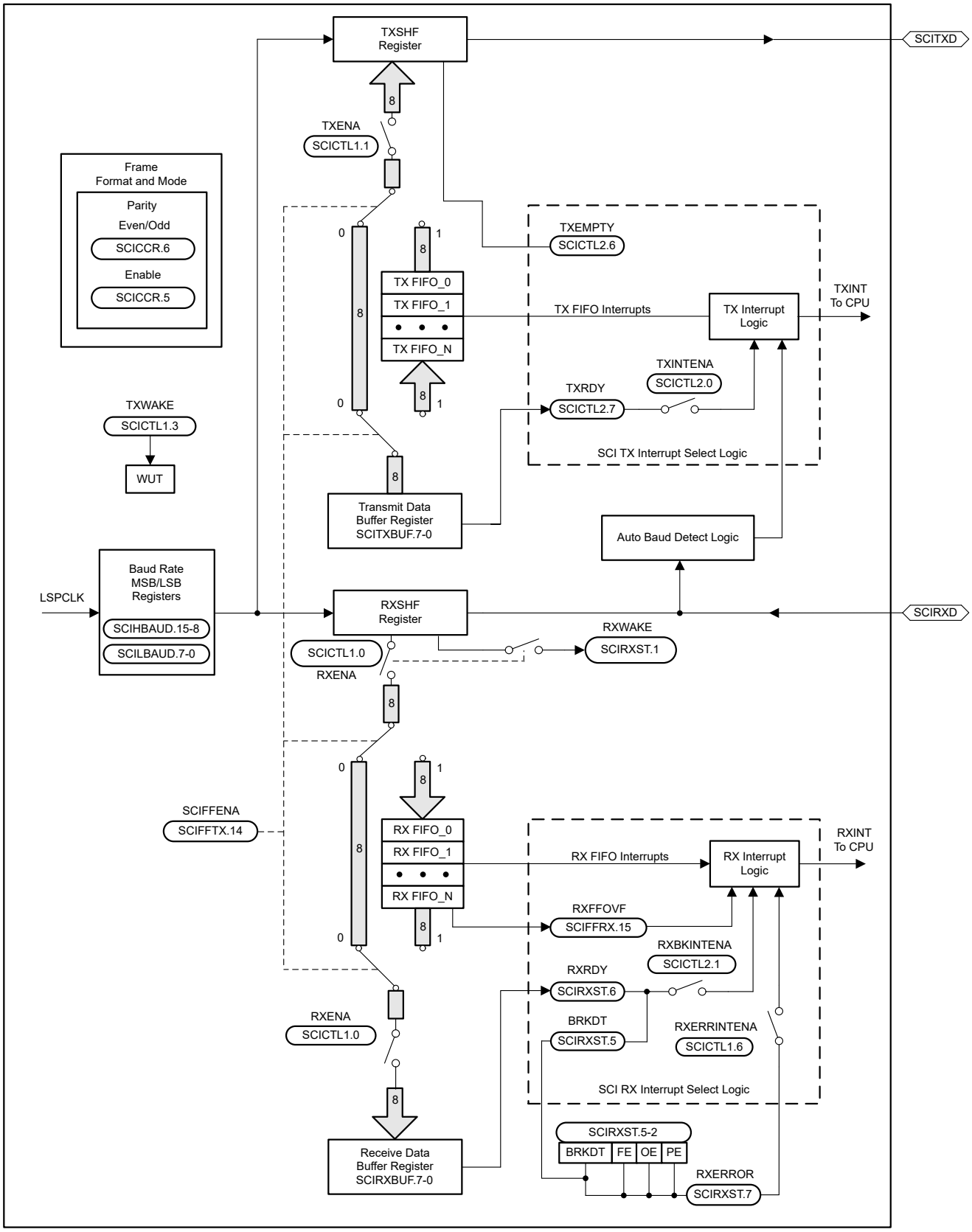


図 6-72. SCI のブロック図

6.19.5 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1～16 ビット) のシリアル ビット ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト レジスタ、ディスプレイドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のコントローラまたはペリフェラル動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPIPOCI:SPI ペリフェラル出力 / コントローラ入力ピン
- SPIPICO:SPI ペリフェラル入力 / コントローラ出力ピン
- $\overline{\text{SPIPTE}}$:SPI ペリフェラル送信イネーブル ピン
- SPICLK:SPI シリアル クロック ピン
- 2 つの動作モード:コントローラおよびペリフェラル
- ボーレート:プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データ ワード長:1～16 データ ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
  - 位相遅延なしの立ち下がりエッジ:SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
  - 位相遅延付きの立ち下がりエッジ:SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延なしの立ち上がりエッジ:SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延付きの立ち上がりエッジ:SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- DMA のサポート
- 高速度モード
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル オーディオ インターフェイス受信モードのための $\overline{\text{SPIPTE}}$ 反転

図 6-73 に、SPI CPU インターフェイスを示します。

Copyright © 2026 Texas Instruments Incorporated

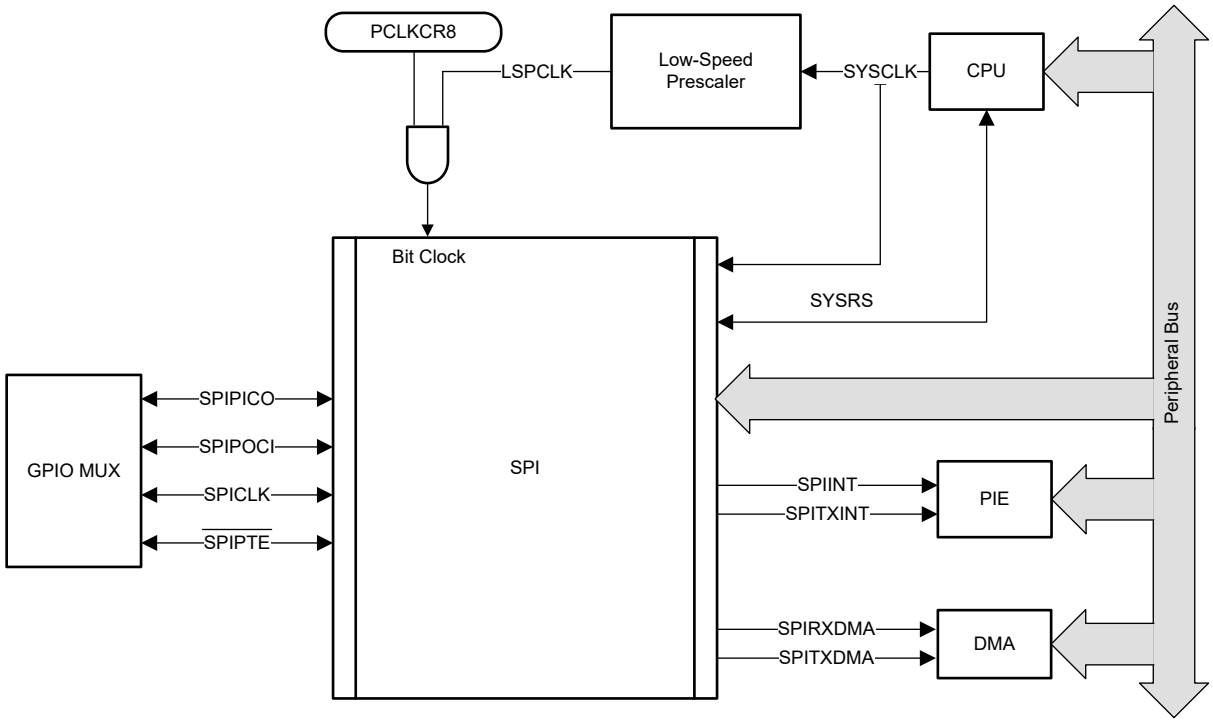


図 6-73. SPI CPU インターフェイス

6.19.5.1 SPI コントローラ モードのタイミング

以下のセクションに、SPI コントローラ モードのタイミングを示します。

注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPIPICO、SPIPOCI の負荷容量を 5pF と仮定しています。HS_MODE では、最大 50Mhz のクロックがサポートされます。

表 6-23. 高速モードをサポートするための SPI クロックおよびピン

高速をサポートする SPI	SPICLK GPIO#	SPIPICO GPIO#	SPIPOCI GPIO#	SPIPTE GPIO#
SPIA	GPIO18	GPIO224	GPIO4/GPIO10/GPIO228	GPIO242
SPIA	GPIO226	GPIO224	GPIO4/GPIO10/	GPIO242
SPIA	GPIO12	GPIO224	GPIO10	GPIO242
SPIB	GPIO22	GPIO7/GPIO50	GPIO41/GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO533
SPIB	GPIO28	GPIO7/GPIO50	GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO53
SPIB	GPIO52	GPIO7/GPIO50	GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO53
SPIB	GPIO4	GPIO7/GPIO50	GPIO41/GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO53

6.19.5.1.1 SPI コントローラ モードのタイミング要件

番号	パラメータ [2]		(BRR + 1)[1]	最小値	最大値	単位
ハイスピード モード						
8	$t_{su(POCI)M}$	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	0.7		ns

6.19.5.1.1 SPI コントローラ モードのタイミング要件 (続き)

番号	パラメータ (2)		(BRR + 1)(1)	最小値	最大値	単位
9	$t_{h(POCI)M}$	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	6.5		ns
通常モード						
8	$t_{su(POCI)M}$	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	15		ns
9	$t_{h(POCI)M}$	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	0		ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。
(2) GPIO 2、3、9、23、32、または 41 は、フル高速モード (37.5MHz) での SPI の動作をサポートしていません

Copyright © 2026 Texas Instruments Incorporated

6.19.5.1.2 SPI コントローラ モードのスイッチング特性 - クロック位相 0

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ (1)(2)(4)		(BRR + 1)(3)	最小値	最大値	単位
総則						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPIPTE}$ 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPIPTE}$ 有効から SPICLK まで (PMBUS と多重化されたピン GPIO2、3、9、または 32 での使用時)	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 4$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 4$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有効時間、SPICLK から $\overline{SPIPTE}$ 無効まで	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
24	$t_{v(STE)M}$	有効時間、SPICLK から $\overline{SPIPTE}$ 無効まで (PMBUS と多重化されたピン GPIO2、3、9、または 32 での使用時)	偶数	$0.5t_{c(SPC)M} - 4$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 4$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
ハイスピード モード						
4	$t_{d(PICO)M}$	遅延時間、SPICLK から SPIPICO 有効まで	偶数、奇数	1		ns
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
通常モード						
4	$t_{d(PICO)M}$	遅延時間、SPICLK から SPIPICO 有効まで	偶数、奇数	3		ns
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M} - 4$		ns
			奇数	0.5tc(SPC)M - 0.5tc(LSPCLK) - 4		

(1) 高速モードではピンの負荷は 10pF。
(2) 通常モードではピンの負荷は 20pF。
(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。
(4) GPIO 2、3、9、23、32、または 41 は、フル高速モード (37.5MHz) での SPI の動作をサポートしていません

6.19.5.1.3 SPI コントローラ モードのスイッチング特性 - クロック位相 1

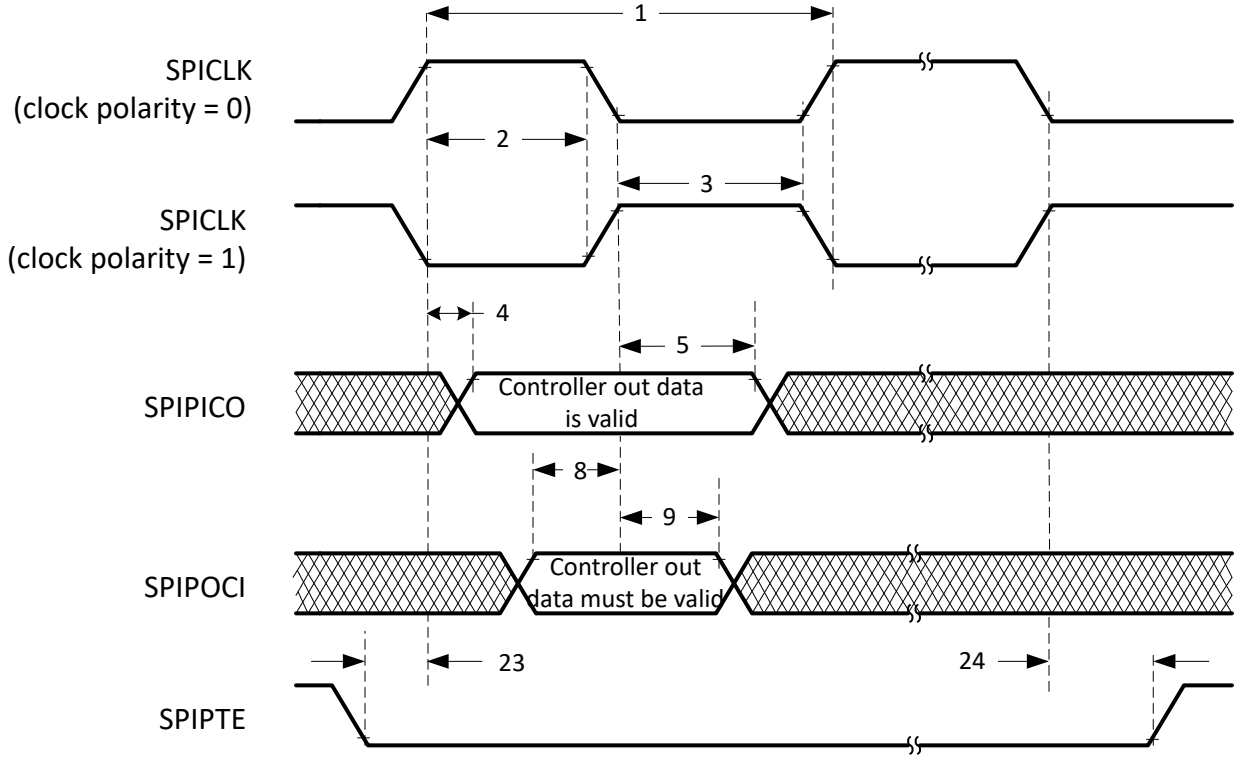
推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ (1)(2)(4)			(BRR + 1) (3)	最小値	最大値	単位
総則							
1	$t_{c(SPC)M}$	サイクル時間、SPICLK		偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
				奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス		偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
				奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス		偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
				奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPIPTE}$ 有効から SPICLK まで		偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPIPTE}$ 有効から SPICLK まで (PMBUS と多重化されたピン GPIO2、3、9、または 32 での使用時)		偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 4$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	遅延時間、SPICLK から $\overline{SPIPTE}$ 無効まで		偶数	-3	3	ns
				奇数	-3	3	
24	$t_{d(STE)M}$	遅延時間、SPICLK から $\overline{SPIPTE}$ 無効まで (PMBUS と多重化されたピン GPIO2、3、9、または 32 での使用時)		偶数	-4	3	ns
				奇数	-4	3	
ハイスピード モード							
4	$t_{d(PICO)M}$	遅延時間、SPIPICO 有効から SPICLK まで		偶数	$0.5t_{c(SPC)M} - 2$		ns
				奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 2$		
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間		偶数	$0.5t_{c(SPC)M} - 3$		ns
				奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
通常モード							
4	$t_{d(PICO)M}$	遅延時間、SPIPICO 有効から SPICLK まで		偶数	$0.5t_{c(SPC)M} - 3$		ns
				奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$		
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間		偶数	$0.5t_{c(SPC)M} - 4$		ns
				奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 4$		

(1) 高速モードではピンの負荷は 10pF。
(2) 通常モードではピンの負荷は 20pF。
(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。
(4) GPIO 2、3、9、23、32、または 41 は、フル高速モード (37.5MHz) での SPI の動作をサポートしていません

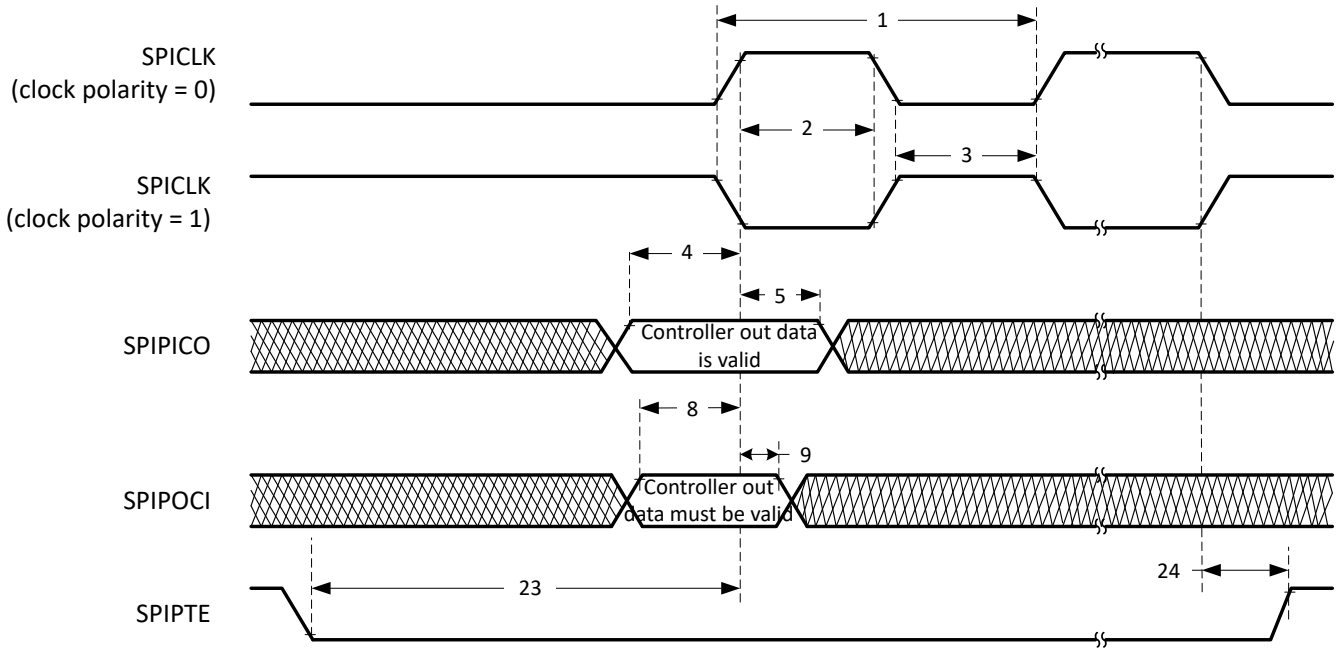
Copyright © 2026 Texas Instruments Incorporated

6.19.5.1.4 SPI コントローラ・モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、$\overline{\text{SPIPTE}}$ は非アクティブになります。

図 6-74. SPI コントローラ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、$\overline{\text{SPIPTE}}$ は非アクティブになります。

図 6-75. SPI コントローラ・モードの外部タイミング (クロック位相 = 1)

6.19.5.2 SPI ペリフェラル モードのタイミング

以下のセクションに、SPI ペリフェラル モードのタイミングを示します。

6.19.5.2.1 SPI ペリフェラル モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)S}$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)}$ - 1		ns
14	$t_{w(SPC2)S}$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)}$ - 1		ns
19	$t_{su(PICO)S}$	セットアップ時間、SPIPICO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)S}$	ホールド時間、SPICLK 後の SPIPICO が有効な期間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	セットアップ時間、$\overline{SPIPTE}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)}$ + 15		ns
		セットアップ時間、$\overline{SPIPTE}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)}$ + 15		ns
26	$t_{h(STE)S}$	ホールド時間、SPICLK から $\overline{SPIPTE}$ 無効まで	$1.5t_{c(SYSCLK)}$		ns

6.19.5.2.2 SPI ペリフェラル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
15	$t_{d(POCI)S}$	遅延時間、SPICLK から SPIPOCI 有効まで (非高速モード)		17	ns
15	$t_{d(POCI)S}$	遅延時間、SPICLK から SPIPOCI 有効まで (高速モード)		12.5	ns
16	$t_{v(POCI)S}$	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns

(1) ピンの負荷は 20pF。

Copyright © 2026 Texas Instruments Incorporated

6.19.5.2.3 SPI ペリフェラル・モードのタイミング図

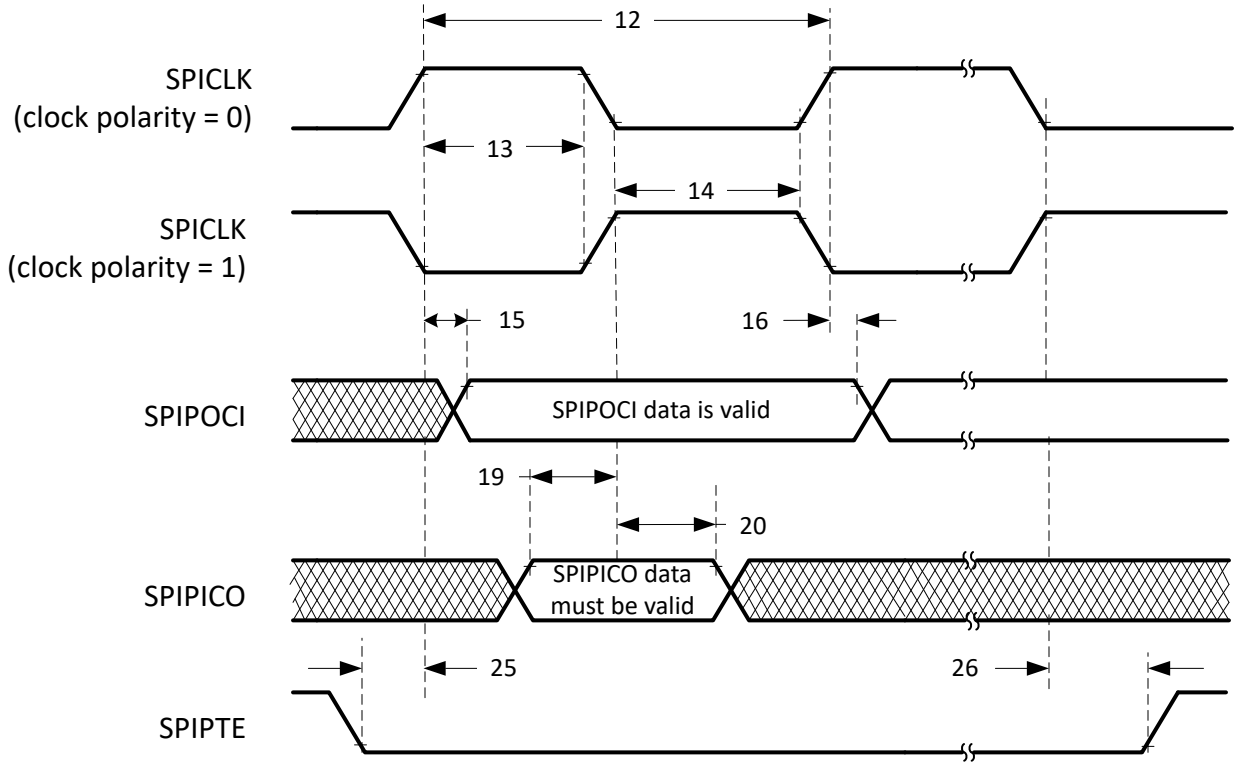


図 6-76. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 0)

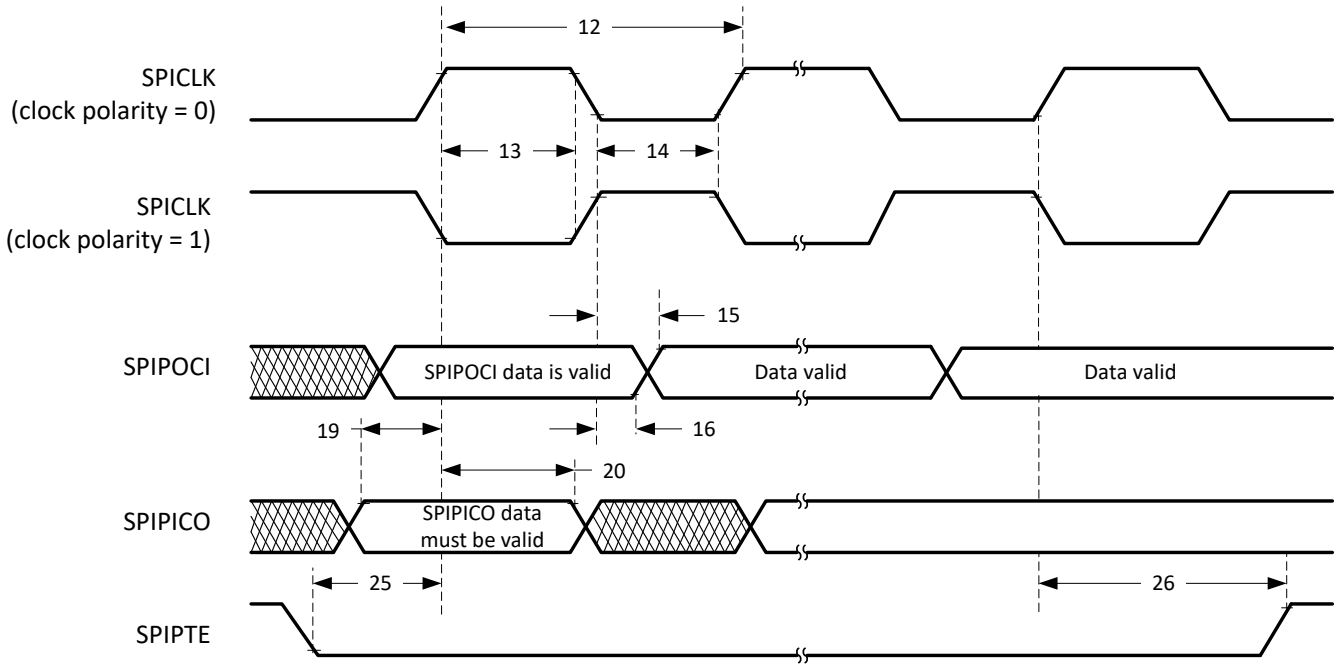


図 6-77. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 1)

6.19.6 LIN (Local Interconnect Network)

このデバイスには、1 つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージ リビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。たとえば、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどです。

LIN 規格は、SCI (UART) シリアル データ リンク形式に基づいています。通信の基本構成は、任意のネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルコマンダとマルチレスポダです。

この LIN モジュールは、モジュールのコアが SCI なので、LIN として動作する以外に、SCI として動作するようにもプログラムできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバ トランスミッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン：LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ フィルタリング用識別マスク
- コマンダ ヘッダの自動生成
  - プログラマブルな同期ブレーク フィールド
  - 同期フィールド
  - 識別子フィールド
- レスポンダの自動同期
  - 同期ブレーク検出
  - オプションのボーレート更新
  - 同期検証
- 7 つのフラクショナル ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント レベルでのウェークアップ
- 自動ウェークアップのサポート
  - ウェークアップ信号の生成
  - 有効期限付きウェークアップ信号
- バス アイドルの自動検出
- エラー検出
  - ビット エラー
  - バス エラー
  - 無応答エラー
  - チェックサム エラー
  - 同期フィールド エラー
  - パリティ エラー
- ダイレクト メモリ アクセス (DMA) によるデータ送受信可能
- 優先度エンコード機能付きの 2 本の割り込みライン：
  - 受信
  - 送信
  - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート

Copyright © 2026 Texas Instruments Incorporated

- フレーム処理用の拡張シンクロナイザ有限ステート マシン (FSM) をサポート
- 拡張フレームの処理能力を強化
- 拡張ボーレート ジェネレータ
- ウェークアップ / スリープ移行を更新

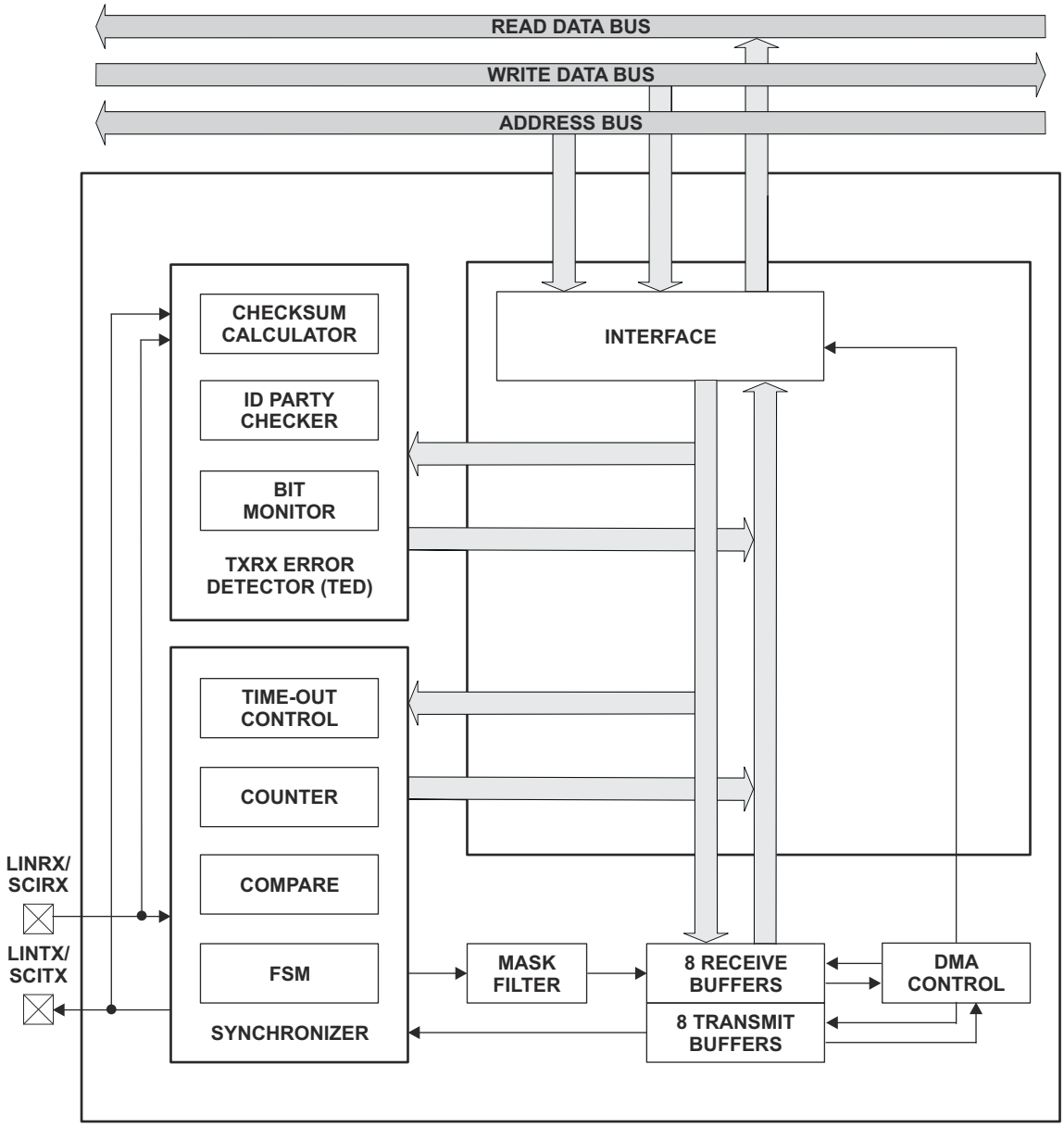


図 6-78. LIN のブロック図

6.19.7 高速シリアル インターフェイス (FSI)

高速シリアル インターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザー定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPU との追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサ データまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキュー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキューを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキューなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データ リンクの整合性チェック、スキュー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスミッタ コアとレシーバ コア
- ソース同期送信
- デュアル データ レート (DDR)
- 1 つまたは 2 つのデータ ライン
- データ長をプログラム可能
- スキュー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレーム エラー検出
- プログラム可能なフレーム タグ機能によるメッセージ フィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウォッチドッグ)
- FSI コアごとに 2 つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA のサポート
- SPI 互換モード (限定された機能が利用可能)

デュアル データ レート (120Mbps) において FSI を最大速度 (60MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキュー補償ブロックを構成する必要があります。『*高速シリアル インターフェイス (FSI) スキュー補償*』アプリケーション ノートには、高速シリアル インターフェイスでの内蔵スキュー補償ブロックの構成および設定方法を示す、サンプル ソフトウェアが含まれています。

FSI は、独立したトランスミッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、「*FSI トランスミッタ*」セクションと *FSI レシーバ*」『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の*セクション*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

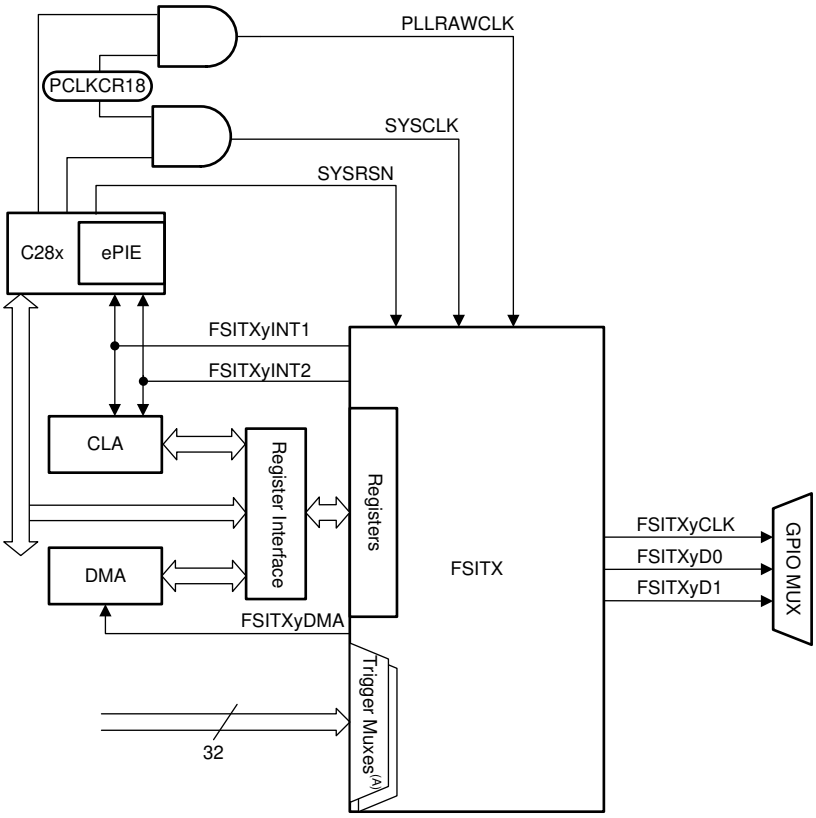
6.19.7.1 FSI トランスミッタ

FSI トランスミッタ モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランスミッタ コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランスミッタ制御レジスタを使って、CPU (または CLA) は、FSI トランスミッタの動作をプログラム、制御、および監視できます。送信データ バッファは、CPU、CLA、および DMA からアクセスできます。

トランスミッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- 外部からトリガされるデータ フレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ バッファ
- データ バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータ ビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA のサポート
- CLA タスクのトリガ

図 6-79 に、FSITX CPU インターフェイスを示します。図 6-80 に、FSITX の概略ブロック図を示します。すべてのデータパスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



A. トリガ マルチプレクサに接続されている信号については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の高速シリアル インターフェイス (FSI) の章にある「*外部フレーム トリガ マルチプレクサ*」セクションを参照してください。

図 6-79. FSITX CPU インターフェイス

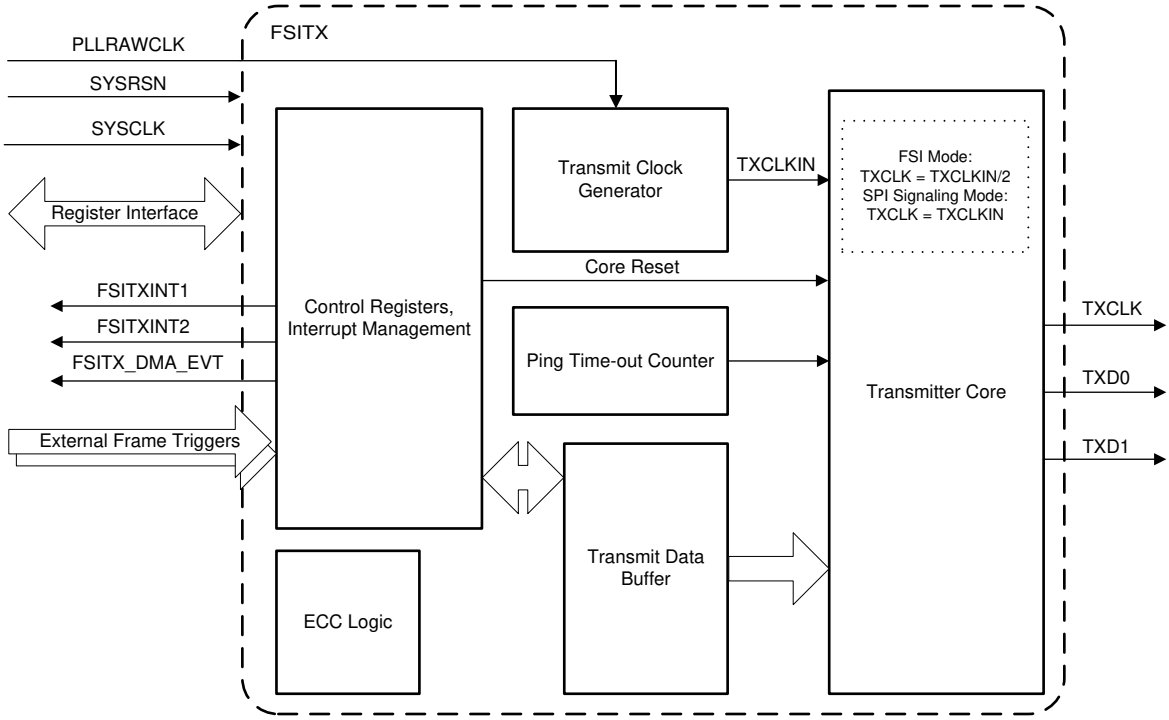


図 6-80. FSITX のブロック図

6.19.7.1.1 FSITX の電気的データおよびタイミング

6.19.7.1.1.1 FSITX スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK		16.67	ns
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK (PMBUS と多重化されたピンで任意の FSI 信号が使用された場合 - GPIO2、3、9、32)		26.67	ns
2	$t_{w(TXCLK)}$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_{c(TXCLK)}) - 1$	$(0.5t_{c(TXCLK)}) + 1$	ns
3	$t_{d(TXCLK–TXD)}$	遅延時間、TXCLK の立ち上がりまたは立ち下がりから TXD 有効	$(0.25t_{c(TXCLK)}) - 2$	$(0.25t_{c(TXCLK)}) + 2$	ns
3	$t_{d(TXCLK–TXD)}$	遅延時間、TXCLK の立ち上がりまたは立ち下がりから TXD 有効まで (PMBUS 多重化されたピンで使用された場合 - GPIO2、3、9、32)	$(0.25t_{c(TXCLK)}) - 2$	$(0.25t_{c(TXCLK)}) + 2.5$	ns
4	$t_{d(TXCLK)}$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 での TXCLK 遅延補償	9.4	30	ns
5	$t_{d(TXD0)}$	TX_DLYLINE_CTRL[TXD0_DLY] = 31 での TXD0 遅延補償	9.4	30	ns
6	$t_{d(TXD1)}$	TX_DLYLINE_CTRL[TXD1_DLY] = 31 での TXD1 遅延補償	9.4	30	ns
7	$t_{d(DELAY_ELEMENT)}$	TXCLK、TXD0、TXD1 の各ディレイライン素子の増分遅延	0.29	1	ns

(1) ピンの負荷は 10pF。

Copyright © 2026 Texas Instruments Incorporated

6.19.7.1.1.2 FSITX タイミング

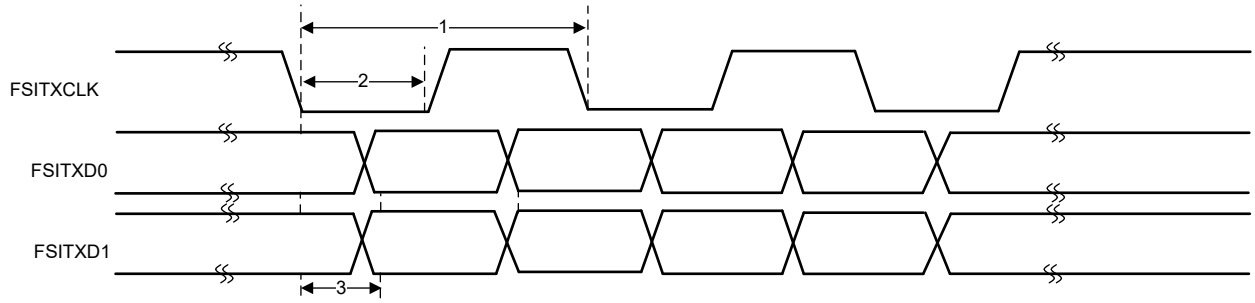


図 6-81. FSITX タイミング

6.19.7.2 FSI レシーバ

レシーバ モジュールは、オプションのプログラマブル遅延ラインを通過した後の FSI クロック (RXCLK) およびデータ ライン (RXD0 および RXD1) に接続します。レシーバ コアは、データ フレーミング、CRC 計算、フレーム関連のエラー チェックを処理します。レシーバ ビット クロックおよびステート マシンは、デバイスのシステム クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ制御レジスタにより、CPU (または CLA) は FSIRX の動作をプログラム、制御、および監視できます。受信データ バッファには、CPU、CLA、および DMA からアクセスできます。

レシーバ コアは以下に示す機能を備えています。

- 16 ワードのデータ バッファ
- 複数のフレーム タイプをサポート
- Ping フレーム ウォッチドッグ
- フレーム ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイ ライン制御
- DMA のサポート
- SPI 互換モード
- CLA タスクのトリガ

図 6-82 に、FSIRX CPU インターフェイスを示します。図 6-83 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータ パスと内部接続が表示されているわけではありません。

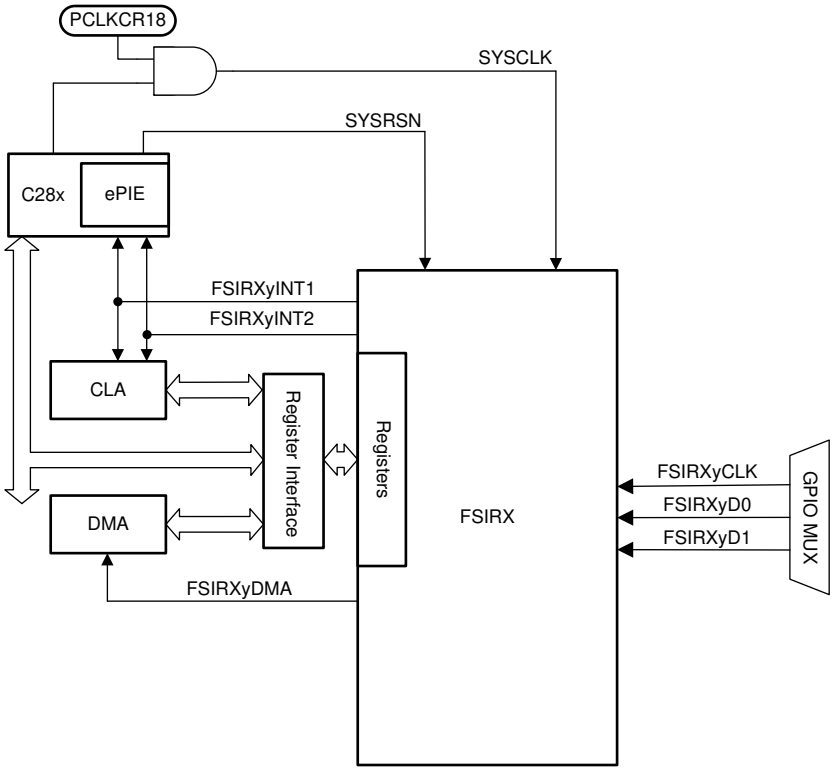


図 6-82. FSIRX CPU インターフェイス

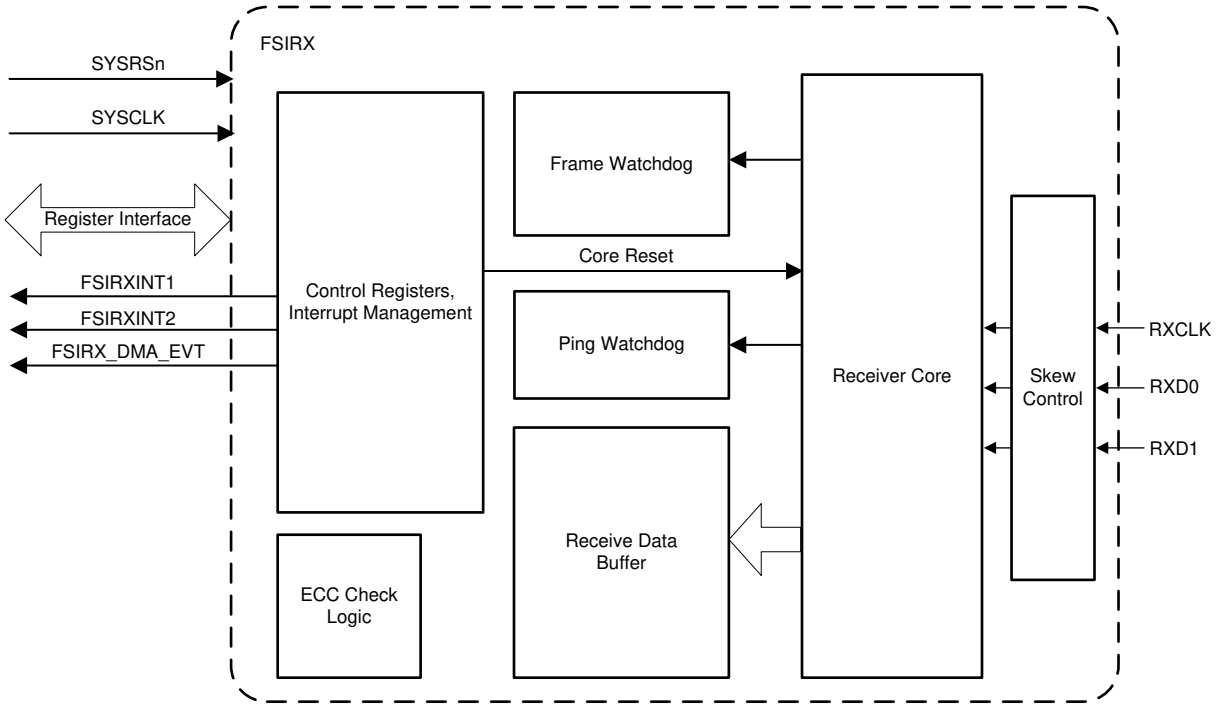


図 6-83. FSIRX のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.19.7.2.1 FSIRX の電気的データおよびタイミング

6.19.7.2.1.1 FSIRX のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(RXCLK)}$	サイクル時間、RXCLK		16.67	ns
1	$t_{c(RXCLK)}$	サイクル時間、RXCLK (PMBUS と多重化されたピンで任意の FSI 信号が使用された場合 - GPIO2、3、9、32)		26.67	ns
2	$t_{w(RXCLK)}$	パルス幅、RXCLK LOW または RXCLK HIGH	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK–RXD)}$	RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	1.7		ns
3	$t_{su(RXCLK–RXD)}$	RXCLK を基準としたセットアップ時間、クロックの両方のエッジに適用 (PMBUS 多重化されたピンで使用された場合 - GPIO2、3、9、32)	2.6		ns
4	$t_{h(RXCLK–RXD)}$	RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	2		ns

6.19.7.2.1.2 FSIRX スイッチング特性

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での RXCLK 遅延補償	9.7	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY] = 31 での RXD0 遅延補償	9.7	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY] = 31 での RXD1 遅延補償	9.7	30	ns
4	$t_{d(DELAY_ELEMENT)}$	RXCLK、RXD0、RXD1 の各ディレイライン素子の増分遅延	0.29	1	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	RXCLK-TDM_CLK 遅延と RXDx-TDM_Dx 遅延の間に生じる遅延スキュー	-3	3	ns
TDM1	$t_{d(RXCLK-TDM_CLK)}$	遅延時間、RXCLK 入力から TDM_CLK 出力	2	14.5	ns
TDM2	$t_{d(RXD0-TXD0)}$	遅延時間、RXD0 入力から TXD0 出力	2	14.5	ns
TDM3	$t_{d(RXD1-TXD1)}$	遅延時間、RXD1 入力から TXD1 出力	2	14.5	ns

(1) ピンの負荷は 10pF。

6.19.7.2.1.3 FSIRX タイミング

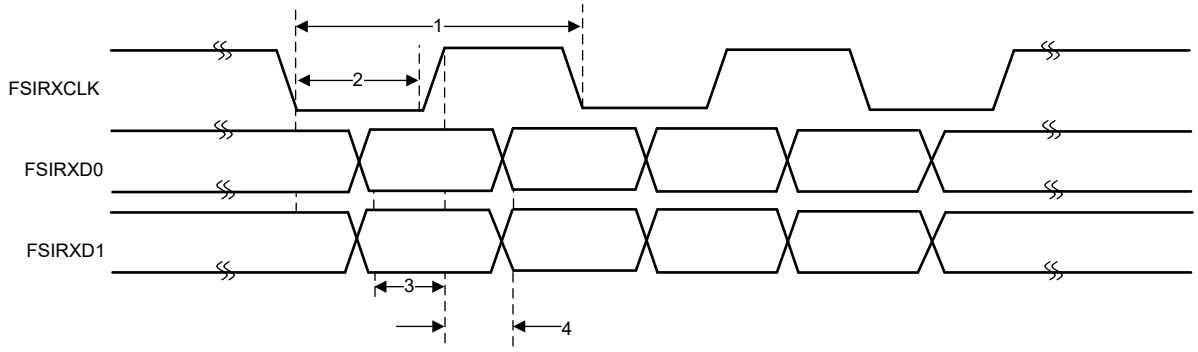


図 6-84. FSIRX タイミング

6.19.7.3 FSI SPI 互換モード

FSI は SPI 互換モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は単一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードできる必要があります。これは、FSI がプリアンブルとポストアンブルを除くすべての SPI フレーム・フェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレーム・チェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレーム・ウォッチドッグ、フレーム・タグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 互換モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワード・サイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバ・チップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブ・クロック・エッジでレシーバにシフト・インされます。
- プリアンブルまたはポストアンブル・クロックは送信されません。すべての信号は、フレーム・フェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロック ソースを使用できないため、SPI ペリフェラル構成で送信することはできません。

6.19.7.3.1 FSITX SPI 信号モードの電気的データおよびタイミング

SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。「FSIRX のタイミング要件」表に記載されている FSIRX のタイミングは、SPI 互換モードに適用されます。立ち下がりエッジが SPI 信号モードのアクティブ エッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

6.19.7.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK		16.67	ns
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK (PMBUS と多重化されたピンで任意の FSI 信号が使用された場合 - GPIO2、3、9、32)		26.67	ns
2	$t_{w(TXCLK)}$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_{c(TXCLK)}) - 1$	$(0.5t_{c(TXCLK)}) + 1$	ns
3	$t_{d(TXCLKH–TXD0)}$	遅延時間、TXCLK HIGH から TXD0 有効まで		3	ns
4	$t_{d(TXD1-TXCLK)}$	遅延時間、TXD1 LOW から TXCLK HIGH まで	$t_{w(TXCLK)} – 3$		ns
5	$t_{d(TXCLK-TXD1)}$	遅延時間、TXCLK LOW から TXD1 HIGH まで	$t_{w(TXCLK)}$		ns

(1) ピンの負荷は 10pF

6.19.7.3.1.2 FSITX SPI 信号モードのタイミング

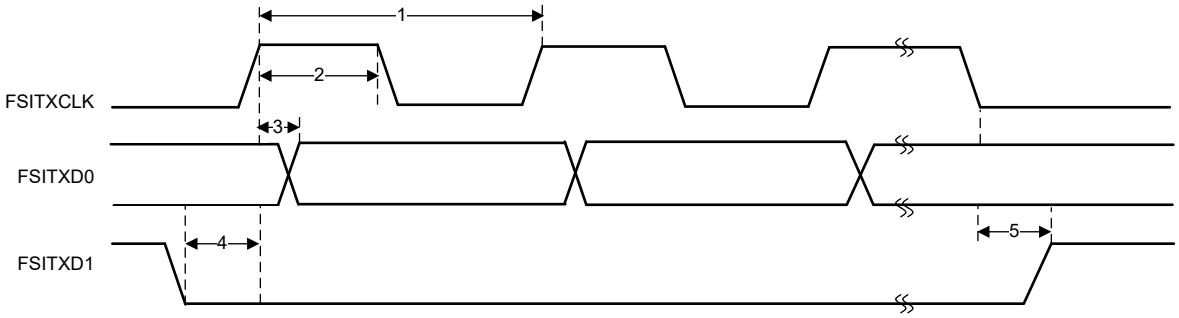


図 6-85. FSITX SPI 信号モードのタイミング

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TMS320F28P551/552/558 は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートなど、パワー エレクトロニクスの効率を向上させるように設計された、スケーラブルできわめてレイテンシの低いデバイスである C2000™ リアルタイム マイクロコントローラ ファミリの製品です。

主なアプリケーションには以下が含まれます。

- 産業用モータドライブ
- モーター制御
  - トラクション インバータ モーター制御
  - HVAC (空調) モーター制御
  - 移動型ロボットのモーター制御
- ソーラー インバータ
  - セントラル インバータ
  - マイクロ インバータ
  - ストリング インバータ
- デジタル電源
- 電気自動車および輸送
- EV 充電インフラ

リアルタイム制御サブシステムは、TI の 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対してコアごとに 160MIPS の信号処理性能を発揮します。C28x CPU は、三角関数演算ユニット (TMU) と VCRC (巡回冗長検査) 拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。拡張命令セットにより、IEEE 倍精度 32 ビット浮動小数点演算が可能になります。最後に、制御補償器アクセラレータ (CLA) によって、コアあたり 160MIPS の独立した処理能力が追加できます。

既存のファームウェアから新しいファームウェアへのコンテキスト切り換えを高速化するため、ライブ ファームウェア アップデート (LFU) のためのハードウェア拡張がこのデバイスに存在しています。

高性能アナログ ブロックは、処理および制御ユニットと緊密に統合されており、最適なリアルタイム シグナル チェーン性能を実現します。A/D コンバータ (ADC) は 最大 35 個のアナログ チャネルをサポートし、そのうち 19 個は汎用入出力 (GPIO) 機能を備えています。ハードウェアの改善により、オーバーサンプリングの実装は大幅に簡略化されました。セーフティ クリティカルな ADC 変換に対応するため、ハードウェア冗長性チェッカが追加されました。ハードウェア冗長性チェッカは、CPU サイクルを追加することなく、複数の ADC モジュールから取得した ADC 変換結果を比較して一貫性を保つことができます。3 つのプログラマブル ゲイン アンプ (PGA) が備わっており、ユニティ ゲインと最大 64 倍の非反転ゲインをサポートします。周波数に依存しない 24 の PWM (うち 16 は高分解能対応) は、3 相インバータから高度なマルチレベル電源トポロジまで、各種電力段を制御できます。

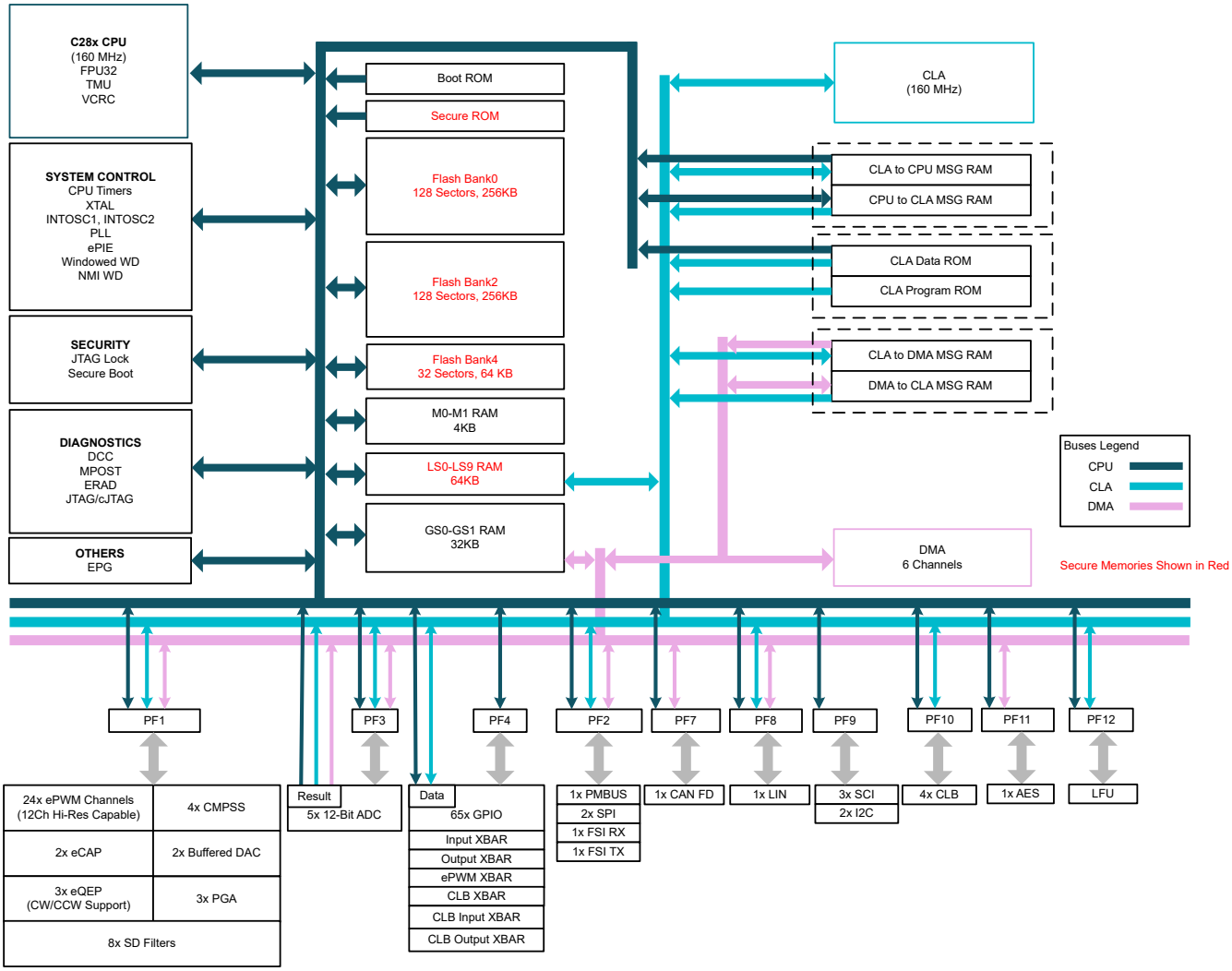
構成可能ロジック ブロック (CLB) を内蔵しているため、ユーザーはカスタム ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム マイコンに統合できます。

このデバイスでは、CAN FD、I2C などの業界標準プロトコルを使用できます。高速シリアル インターフェイス (FSI) を使用すると、絶縁境界越しに最大 200Mbps の堅牢な通信が可能です。ファスト プラス モードをサポートするため、PMBUS モジュールがさらに拡張されました。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『C2000™ リアルタイム マイコンを使った開発のための基本ガイド』をご覧いただくとともに、C2000™ リアルタイム制御マイコンのページにアクセスしてください。

7.2 機能ブロック図

図 7-1 に、CPU システムおよび関連ペリフェラルを示します。



A. CMPSS モジュールの 1 つに接続された内部 DAC は、出力 DAC として構成できます。

B. LIN モジュールは SCI モジュールとしても使えます。

図 7-1. 機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

7.3 メモリ

7.3.1 メモリ マップ

「メモリ マップ」表に、メモリ マップを示します。『TMS320F28P551/552/558 リアルタイム マイコン テクニカル リファレンス マニュアル』のシステム制御の章にある「メモリ コントローラ モジュール」を参照してください。

表 7-1. メモリ マップ

メモリ	SIZE (x16)	開始アドレス	終了アドレス	CPU1.DMA アクセス	CPU1.CLA1 データ アクセス	CPU1.CLA1 プログラム アクセス	ECC / パリティ	セキュリティ	部品番号
M0 RAM	1024	0x0000_0000	0x0000_03FF	-	-	-	ECC	-	-
M1 RAM	1024	0x0000_0400	0x0000_07FF	-	-	-	ECC	-	-
PIE ベクタ テーブル	512	0x0000_0D00	0x0000_0EFF	-	-	-	パリティ	-	-
CLAtoCPU MSG RAM	128	0x0000_1480	0x0000_14FF	-	あり	-	パリティ	-	-
CPUtoCLA MSG RAM	128	0x0000_1500	0x0000_157F	-	あり	-	パリティ	-	-
CLAtoDMA MSG RAM	128	0x0000_1680	0x0000_16FF	あり	あり	-	パリティ	-	-
DMAtoCLA MSG RAM	128	0x0000_1700	0x0000_177F	あり	あり	-	パリティ	-	-
LS8 RAM - CLA Prog	8192	0x0000_4000	0x0000_5FFF	-	-	あり	パリティ	あり	-
LS9 RAM - CLA プログラム	8192	0x0000_6000	0x0000_7FFF	-	-	あり	パリティ	あり	-
LS0 RAM	2048	0x0000_8000	0x0000_87FF	-	あり	あり	パリティ	あり	-
LS1 RAM	2048	0x0000_8800	0x0000_8FFF	-	あり	あり	パリティ	あり	-
LS2 RAM	2048	0x0000_9000	0x0000_97FF	-	あり	あり	パリティ	あり	-
LS3 RAM	2048	0x0000_9800	0x0000_9FFF	-	あり	あり	パリティ	あり	-
LS4 RAM	2048	0x0000_A000	0x0000_A7FF	-	あり	あり	パリティ	あり	-
LS5 RAM	2048	0x0000_A800	0x0000_AFFF	-	あり	あり	パリティ	あり	-
LS6 RAM	2048	0x0000_B000	0x0000_B7FF	-	あり	あり	パリティ	あり	-
LS7 RAM	2048	0x0000_B800	0x0000_BFFF	-	あり	あり	パリティ	あり	-
GS0 RAM	8192	0x0000_C000	0x0000_DFFF	あり	-	-	パリティ	-	-
GS1 RAM	8192	0x0000_E000	0x0000_FFFF	あり	-	-	パリティ	-	-
CLA データ ROM	4096	0x0000_F000	0x0000_FFFF	-	あり	-	パリティ	-	-
LS8 RAM - CPU	8192	0x0001_4000	0x0001_5FFF	-	-	-	パリティ	あり	-
LS9 RAM - CPU	8192	0x0001_6000	0x0001_7FFF	-	-	-	パリティ	あり	-
MCANA メッセージ RAM (ペリフェラル モード)	4096	0x0005_8000	0x0005_8FFF	あり	-	-	ECC	-	-
MCANA メッセージ RAM (CPU アクセス モード)	2048	0x0005_8000	0x0005_87FF	あり	-	-	ECC	-	-
TI OTP バンク 0	1536	0x0007_2000	0x0007_25FF	-	-	-	ECC	-	-
UID_REGS	16	0x0007_2168	0x0007_2177	-	-	-	ECC	-	-
TI OTP バンク 2	1536	0x0007_4000	0x0007_45FF	-	-	-	ECC	-	-
TI OTP バンク 4	1536	0x0007_6000	0x0007_65FF	-	-	-	ECC	-	-

表 7-1. メモリ マップ (続き)

メモリ	SIZE (x16)	開始アドレス	終了アドレス	CPU1.DMA アクセス	CPU1.CLA1 データ アクセス	CPU1.CLA1 プログラム アクセス	ECC / パリティ	セキュリティ	部品番号
DCSM BANK0 Z1 OTP	512	0x0007_8000	0x0007_81FF	-	-	-	ECC	あり	-
DCSM BANK0 Z2 OTP	512	0x0007_8200	0x0007_83FF	-	-	-	ECC	あり	-
ユーザー OTP バンク 2	1024	0x0007_9000	0x0007_93FF	-	-	-	ECC	-	-
ユーザー OTP バンク 4	1024	0x0007_A000	0x0007_A3FF	-	-	-	ECC	-	-
フラッシュ バンク 0	131072	0x0008_0000	0x0009_FFFF	-	-	-	ECC	あり	-
フラッシュ バンク 2	131072	0x000C_0000	0x000D_FFFF	-	-	-	ECC	あり	-
フラッシュ バンク 4	32768	0x0010_0000	0x0010_7FFF	-	-	-	ECC	あり	-
Z1 セキュア ブート機能	3072	0x003F_4000	0x003F_4BFF	-	-	-	パリティ	あり	-
Z1 安全機能	1536	0x003F_4C00	0x003F_51FF	-	-	-	パリティ	あり	-
Z2 安全機能	1536	0x003F_5600	0x003F_5BFF	-	-	-	パリティ	あり	-
CPU STL	9216	0x003F_5C00	0x003F_7FFF	-	-	-	パリティ	-	-
ブート ROM	32768	0x003F_8000	0x003F_FFFF	-	-	-	パリティ	-	-
PIE ベクタ テーブル スワップ	512	0x0100_0900	0x0100_0AFF	-	-	-	パリティ	-	-
CLA データ ROM (CPU 割り当て)	4096	0x0100_1000	0x0100_1FFF	-	-	-	パリティ	-	-
TI OTP バンク 0 ECC	192	0x0107_0400	0x0107_04BF	-	-	-	-	-	-
TI OTP バンク 2 ECC	192	0x0107_0800	0x0107_08BF	-	-	-	-	-	-
TI OTP バンク 4 ECC	192	0x0107_0C00	0x0107_0CBF	-	-	-	-	-	-

7.3.1.1 専用 RAM (Mx RAM)

CPU サブシステムには、ECC 対応の 2 つの専用 RAM ブロックがあります。M0 および M1 に分割されています。これらのメモリは、CPU と緊密に結合された小型の非セキュア ブロックです (つまり、CPU のみがアクセスできます)。

7.3.1.2 ローカル共有 RAM (LSx RAM)

ローカル共有 RAM (LSx RAM) には、CPU と CLA からアクセスできます。すべての LSx RAM ブロックにパリティがあります。これらのメモリはセキュアであり、CPU アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

7.3.1.3 グローバル共有 RAM (GSx RAM)

グローバル共有 RAM (GSx RAM) には、CPU と DMA からアクセスできます。CPU と DMA は、これらのメモリに対する完全な読み取りおよび書き込みアクセス権を持っています。すべての GSx RAM ブロックにパリティがあります。GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み / HIC 書き込み) を備えています。

7.3.1.4 メッセージ RAM

このデバイスには 2 種類のメッセージ RAM があり、CPU、CLA、DMA の間で共有するために使用できます。CLA-CPU メッセージ RAM は CLA と CPU の間でデータを共有し、CLA-DMA メッセージ RAM は CLA と DMA の間でデータを共有します。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 制御補償器アクセラレータ (CLA) メモリ マップ

表 7-2 に、CLA データ ROM メモリ マップを示します。

表 7-2. CLA データ ROM メモリ マップ

メモリ	開始アドレス	長さ
FFT テーブル (ロード)	0x0100 1070	0x0800
データ (ロード)	0x0100 1870	0x078A
バージョン (ロード)	0x0100 1FFA	0x0006
FFT テーブル (実行)	0x0000 F070	0x0800
データ (実行)	0x0000 F870	0x078A
バージョン (実行)	0x0000 FFFA	0x0006

7.3.3 フラッシュ メモリ マップ

F28P55x デバイスには、3 つのフラッシュ バンク (576KB) を搭載しています。2 つのバンクは 256KB、3 番目のバンクは 64KB のサイズです。フラッシュ動作 (消去と書き込み) はバンク レベルで実行されます。動作が実行されているバンクと同じバンクからコードを実行することはできません。これらの動作の進行中に、別のフラッシュ バンク、SRAM、ROM にコードを割り当てることができます。以下の「フラッシュ セクタのアドレス」表に、各型番で使用可能なフラッシュ セクタのアドレスを一覧で示します。

7.3.3.1 フラッシュ セクタのアドレス

表 7-3. フラッシュ メモリ マップ

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
OTP セクタ							
すべて	TI OTP バンク 0 (アンセキュア)	1520 x 16	0x0007 2000	0x0007 25EF	190 x 16	0x0107 0400	0x0107 04BD
	TI OTP バンク 0 (セキュア)	16 x 16	0x0007 25F0	0x0007 25FF	2 x 16	0x0107 04BE	0x0107 04BE
	TI OTP バンク 2	1536 x 16	0x0007 4000	0x0007 45FF	192 x 16	0x0107 0800	0x0107 08BF
	TI OTP バンク 4	1536 x 16	0x0007 6000	0x0007 65FF	192 x 16	0x0107 0C00	0x0107 0CBF
すべて	ユーザーが構成可能な DCSM Z1 OTP バンク 0	512 x 16	0x0007 8000	0x0007 81FF	64 x 16	0x0107 1000	0x0107 103F
	ユーザーが構成可能な DCSM Z2 OTP バンク 0	512 x 16	0x0007 8200	0x0007 83FF	64 x 16	0x0107 1040	0x0107 107F
	ユーザーが構成可能な OTP バンク 2	1K x 16	0x0007 9000	0x0007 93FF	128 x 16	0x0107 1100	0x0107 117F
	ユーザーが構成可能な OTP バンク 4	1K x 16	0x0007 A000	0x0007 A3FF	128 x 16	0x0107 1200	0x0107 127F
バンク 0 セクタ							
すべて	セクタ 0	1K x 16	0x0008 0000	0x0008 03FF	128 x 16	0x0108 0000	0x0108 007F
	セクタ 1	1K x 16	0x0008 0400	0x0008 07FF	128 x 16	0x0108 0080	0x0108 00FF
	セクタ 2	1K x 16	0x0008 0800	0x0008 0BFF	128 x 16	0x0108 0100	0x0108 017F
	...	...	...	...	...	...	...
	セクタ 61	1K x 16	0x0008 F400	0x0008 F7FF	128 x 16	0x0108 1E80	0x0108 1EFF
	セクタ 62	1K x 16	0x0008 F800	0x0008 FBFF	128 x 16	0x0108 1F00	0x0108 1F7F
	セクタ 63	1K x 16	0x0008 FC00	0x0008 FFFF	128 x 16	0x0108 1F80	0x0108 1FFF
SG デバイスのみ	...	...	...	...	...	...	...
	セクタ 125	1K x 16	0x0009 F400	0x0009 F7FF	128 x 16	0x0108 3E80	0x0108 3EFF
	セクタ 126	1K x 16	0x0009 F800	0x0009 FBFF	128 x 16	0x0108 3F00	0x0108 3F7F
	セクタ 127	1K x 16	0x0009 FC00	0x0009 FFFF	128 x 16	0x0108 3F80	0x0108 3FFF

Copyright © 2026 Texas Instruments Incorporated

表 7-3. フラッシュ メモリ マップ (続き)

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
バンク 2 セクタ							
すべて	セクタ 0	1K x 16	0x000C 0000	0x000C 03FF	128 x 16	0x0108 8000	0x0108 807F
	セクタ 1	1K x 16	0x000C 0400	0x000C 07FF	128 x 16	0x0108 8080	0x0108 80FF
	セクタ 2	1K x 16	0x000C 0800	0x000C 0BFF	128 x 16	0x0108 8100	0x0108 817F
	...	...	...	...	...	...	...
	セクタ 61	1K x 16	0x000C F400	0x000C F7FF	128 x 16	0x0108 9E80	0x0108 9EFF
	セクタ 62	1K x 16	0x000C F800	0x000C FBFF	128 x 16	0x0108 9F00	0x0108 9F7F
	セクタ 63	1K x 16	0x000C FC00	0x000C FFFF	128 x 16	0x0108 9F80	0x0108 9FFF
SG デバイスのみ	...	...	...	...	...	...	...
	セクタ 125	1K x 16	0x000D F400	0x000D F7FF	128 x 16	0x0108 BE80	0x0108 BEFF
	セクタ 126	1K x 16	0x000D F800	0x000D FBFF	128 x 16	0x0108 BF00	0x0108 BF7F
	セクタ 127	1K x 16	0x000D FC00	0x000D FFFF	128 x 16	0x0108 BF80	0x0108 BFFF
バンク 4 セクタ							
すべて	セクタ 0	1K x 16	0x0010 0000	0x0010 03FF	128 x 16	0x0109 0000	0x0109 007F
	セクタ 1	1K x 16	0x0010 0400	0x0010 07FF	128 x 16	0x0109 0080	0x0190 00FF
	セクタ 2	1K x 16	0x0010 0800	0x0010 0BFF	128 x 16	0x0109 0100	0x0109 0180
	...	...	...	...	...	...	...
	セクタ 29	1K x 16	0x0010 7400	0x0010 77FF	128 x 16	0x0109 0E80	0x0109 0EFF
	セクタ 30	1K x 16	0x0010 7800	0x0010 7BFF	128 x 16	0x0109 0F00	0x0109 0F7F
	セクタ 31	1K x 16	0x0010 7C00	0x0010 7FFF	128 x 16	0x0109 0F80	0x0109 0FFF

7.3.4 ペリフェラル・レジスタのメモリ・マップ

表 7-4. ペリフェラル・レジスタのメモリ・マップ

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.DMA	CPU1.CLA1	パイプライン保護
ペリフェラル・フレーム 0 (PF0)						
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	あり	-	-	-
CLA_ONLY_REGS	CLA1_ONLY_BASE	0x0000_0C00	-	-	あり	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	あり	-	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	あり	-	-	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	あり	-	-	-
CLA_SOFTINT_REGS	CLA1_SOFTINT_BASE	0x0000_0CE0	-	-	あり	-
DMA_REGS	DMA_BASE	0x0000_1000	あり	-	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	あり	-	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	あり	-	-	-
DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	あり	-	-	-
DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	あり	-	-	-
DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	あり	-	-	-
DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	あり	-	-	-
CLA_REGS	CLA1_BASE	0x0000_1400	あり	-	-	-
ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_1800	あり	あり	あり	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_1880	あり	あり	あり	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_1900	あり	あり	あり	-
ADC_RESULT_REGS	ADCDRESULT_BASE	0x0000_1980	あり	あり	あり	-
ADC_RESULT_REGS	ADCERESULT_BASE	0x0000_1A00	あり	あり	あり	-
PCTRACE_BUFFER_REGS	ERAD_PCTRACE_BUFFER_BASE	0x0005_FE00	あり	-	-	あり
ペリフェラル・フレーム 1 (PF1)						
EPWM_REGS	EPWM1_BASE	0x0000_4000	あり	あり	あり	あり
EPWM_REGS	EPWM2_BASE	0x0000_4100	あり	あり	あり	あり
EPWM_REGS	EPWM3_BASE	0x0000_4200	あり	あり	あり	あり
EPWM_REGS	EPWM4_BASE	0x0000_4300	あり	あり	あり	あり
EPWM_REGS	EPWM5_BASE	0x0000_4400	あり	あり	あり	あり
EPWM_REGS	EPWM6_BASE	0x0000_4500	あり	あり	あり	あり
EPWM_REGS	EPWM7_BASE	0x0000_4600	あり	あり	あり	あり
EPWM_REGS	EPWM8_BASE	0x0000_4700	あり	あり	あり	あり
EPWM_REGS	EPWM9_BASE	0x0000_4800	あり	あり	あり	あり
EPWM_REGS	EPWM10_BASE	0x0000_4900	あり	あり	あり	あり
EPWM_REGS	EPWM11_BASE	0x0000_4A00	あり	あり	あり	あり

Copyright © 2026 Texas Instruments Incorporated

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.DMA	CPU1.CLA1	パイプライン保護
EPWM_REGS	EPWM12_BASE	0x0000_4B00	あり	あり	あり	あり
EQEP_REGS	EQEP1_BASE	0x0000_5100	あり	あり	あり	あり
EQEP_REGS	EQEP2_BASE	0x0000_5140	あり	あり	あり	あり
EQEP_REGS	EQEP3_BASE	0x0000_5180	あり	あり	あり	あり
ECAP_REGS	ECAP1_BASE	0x0000_5200	あり	あり	あり	あり
ECAP_REGS	ECAP2_BASE	0x0000_5240	あり	あり	あり	あり
CMPSS_REGS	CMPSS1_BASE	0x0000_5500	あり	あり	あり	あり
CMPSS_REGS	CMPSS2_BASE	0x0000_5540	あり	あり	あり	あり
CMPSS_REGS	CMPSS3_BASE	0x0000_5580	あり	あり	あり	あり
CMPSS_REGS	CMPSS4_BASE	0x0000_55C0	あり	あり	あり	あり
PGA_REGS	PGA1_BASE	0x0000_5B00	あり	あり	あり	あり
PGA_REGS	PGA2_BASE	0x0000_5B10	あり	あり	あり	あり
PGA_REGS	PGA3_BASE	0x0000_5B20	あり	あり	あり	あり
DAC_REGS	DACA_BASE	0x0000_5C00	あり	あり	あり	あり
DAC_REGS	DACB_BASE	0x0000_5C10	あり	あり	あり	あり
SDFM_REGS	SDFM1_BASE	0x0000_5E00	あり	あり	あり	あり
SDFM_REGS	SDFM2_BASE	0x0000_5E80	あり	あり	あり	あり
ペリフェラル・フレーム 2 (PF2)						
SPI_REGS	SPIA_BASE	0x0000_6100	あり	あり	あり	あり
SPI_REGS	SPIB_BASE	0x0000_6110	あり	あり	あり	あり
PMBUS_REGS	PMBUSA_BASE	0x0000_6400	あり	あり	あり	あり
FSI_TX_REGS	FSITXA_BASE	0x0000_6600	あり	あり	あり	あり
FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	あり	あり	あり	あり
ペリフェラル・フレーム 3 (PF3)						
ADC_REGS	ADCC_BASE	0x0000_6A00	あり	-	あり	あり
ADC_REGS	ADCD_BASE	0x0000_6C00	あり	-	あり	あり
ADC_REGS	ADCE_BASE	0x0000_6E00	あり	-	あり	あり
ADC_REGS	ADCA_BASE	0x0000_7400	あり	-	あり	あり
ADC_REGS	ADCB_BASE	0x0000_7600	あり	-	あり	あり
ペリフェラル・フレーム 4 (PF4)						
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	あり	-	-	あり
XBAR_REGS	XBAR_BASE	0x0000_7920	あり	-	-	あり
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	あり	-	-	あり
INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	あり	-	-	あり
DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	あり	-	-	あり

Copyright © 2026 Texas Instruments Incorporated

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.DMA	CPU1.CLA1	パイプライン保護
EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	あり	-	-	あり
CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	あり	-	-	あり
OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	あり	-	-	あり
OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7BC0	あり	-	-	あり
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	あり	-	-	あり
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	あり	-	あり	あり
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	あり	-	あり	あり
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	あり	-	-	あり
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	あり	-	-	あり
CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	あり	-	-	あり
SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	あり	-	-	あり
PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	あり	-	-	あり
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	あり	-	-	あり
ペリフェラル・フレーム 6 (PF6)						
ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	あり	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	あり	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	あり	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	あり	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	あり	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	あり	-	-	あり
ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	あり	-	-	あり
ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	あり	-	-	あり

Copyright © 2026 Texas Instruments Incorporated

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.DMA	CPU1.CLA1	パイプライン保護
ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	あり	-	-	あり
PCTRACE_REGS	ERAD_PCTRACE_BASE	0x0005_EAD0	あり	-	-	あり
EPG_REGS	EPG1_BASE	0x0005_EC00	あり	-	-	あり
EPG_MUX_REGS	EPG1MUX_BASE	0x0005_ECD0	あり	-	-	あり
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	あり	-	-	あり
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	あり	-	-	あり
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	あり	-	-	あり
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	あり	-	-	あり
ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	あり	-	-	あり
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	あり	-	-	あり
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	あり	-	-	あり
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	あり	-	-	あり
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	あり	-	-	あり
ペリフェラル・フレーム 7 (PF7)						
MCANSS_REGS	MCANASS_BASE	0x0005_9400	あり	-	-	あり
MCAN_REGS	MCANA_BASE	0x0005_9600	あり	-	-	あり
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_9800	あり	-	-	あり
DCC_REGS	DCC0_BASE	0x0005_E700	あり	-	-	あり
DCC_REGS	DCC1_BASE	0x0005_E740	あり	-	-	あり
ペリフェラル・フレーム 8 (PF8)						
LIN_REGS	LINA_BASE	0x0000_6800	あり	あり	あり	あり
ペリフェラル・フレーム 9 (PF9)						
WD_REGS	WD_BASE	0x0000_7000	あり	-	-	あり
NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	あり	-	-	あり
XINT_REGS	XINT_BASE	0x0000_7070	あり	-	-	あり
SCI_REGS	SCIA_BASE	0x0000_7200	あり	-	-	あり
SCI_REGS	SCIB_BASE	0x0000_7210	あり	-	-	あり
SCI_REGS	SCIC_BASE	0x0000_7220	あり	-	-	あり
I2C_REGS	I2CA_BASE	0x0000_7300	あり	-	-	あり
I2C_REGS	I2CB_BASE	0x0000_7340	あり	-	-	あり
ペリフェラル・フレーム 10 (PF10)						
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	あり	-	あり	あり
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_3100	あり	-	あり	あり
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	あり	-	あり	あり
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3400	あり	-	あり	あり

Copyright © 2026 Texas Instruments Incorporated

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.DMA	CPU1.CLA1	パイプライン保護
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x0000_3500	あり	-	あり	あり
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_3580	あり	-	あり	あり
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_3800	あり	-	あり	あり
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x0000_3900	あり	-	あり	あり
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_3980	あり	-	あり	あり
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_3C00	あり	-	あり	あり
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x0000_3D00	あり	-	あり	あり
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_3D80	あり	-	あり	あり
ペリフェラル・フレーム 11 (PF11)						
AES_REGS	AESA_BASE	0x0004_2000	あり	あり	-	あり
AES_SS_REGS	AESA_SS_BASE	0x0004_2C00	あり	あり	-	あり
ペリフェラル・フレーム 12 (PF12)						
LFU_REGS	LFU_BASE	0x0000_7FE0	あり	-	あり	あり

Copyright © 2026 Texas Instruments Incorporated

7.4 識別

表 7-5 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『TMS320F28P551/552/558 リアルタイム マイコン テクニカル リファレンス マニュアル』を参照してください。生産ステータス (TMX または TMS) の識別およびその他のデバイス情報については、PARTIDH および PARTIDL のレジスタの説明を参照してください。

表 7-5. デバイス識別レジスタ

名称	アドレス	SIZE (x16)	説明	
			ビット	*オプション*
PARTIDL	0x0005 D008	2	14-13 INSTASPIN	1 = InstaSPIN-FOC 2 = NONE 3 = NONE
			10-8 PIN_COUNT	0 = 56 ピン (QFN) 1 = 64 ピン (QFP) 2 = 80 ピン PN (QFP) 3 = 100 ピン (QFP) 4 = 80 ピン PNA (QFP) 5 = 49 ボール (WCSP) 6 = 32 ピン (QFN)
			7-6 QUAL	0 = エンジニアリング サンプル (TMX) 1 = 試験的生産 (TMP) 2 = 完全認定済み (TMS)
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号 TMS320F28P55xSG5 TMS320F28P55xSG4 TMS320F28P55xSG3 TMS320F28P55xSG2 TMS320F28P55xSD5 TMS320F28P55xSD3	 0x09F1 0500 0x09F0 0500 0x09EF 0500 0x09EE 0500 0x09E7 0500 0x09E5 0500
REVID	0x0005 D00C	2	シリコンのリビジョン番号 リビジョン 0	 0x0000 0001
UID_UNIQUE	0x0007 2172	4	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。	

7.5 バス アーキテクチャ – ペリフェラル コネクティビティ

「ペリフェラル コネクティビティ」表に、各バス コントローラからペリフェラルおよび構成レジスタへのアクセス性に関する全体的な概観を示します。

表 7-6. ペリフェラルの接続

ペリフェラル	DMA	CLA	C28
システム ペリフェラル			
CPU タイマ			Y
ERAD			Y
GPIO データ		Y	Y
GPIO ピンのマッピングおよび構成			Y
XBAR の構成			Y
システム構成			Y
AES	Y		Y
EPG			Y
LFU		Y	Y
DCC			Y
メモリ			
M0/M1			Y
LSx		Y	Y
GSx	Y		Y
ROM			Y
フラッシュ			Y
制御ペリフェラル			
ePWM/HRPWM	Y	Y	Y
eCAP	Y	Y	Y
eQEP[(1)]	Y	Y	Y
CLB		Y	Y
SDFM	Y	Y	Y
アナログ ペリフェラル			
CMPSS[(1)]	Y	Y	Y
DAC[(1)]	Y	Y	Y
ADC の構成		Y	Y
ADC の結果[(1)]	Y	Y	Y
PGA[(1)]	Y	Y	Y
通信ペリフェラル			
MCAN(CAN-FD)[(1)]	Y		Y
FSITX/FSIRX	Y	Y	Y
I2C			Y
LIN	Y	Y	Y
PMBus	Y	Y	Y
SCI			Y
SPI	Y	Y	Y

(1) これらのモジュールは、DMA からアクセスできますが、DMA 転送をトリガすることはできません。

Copyright © 2026 Texas Instruments Incorporated

7.6 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ アーキテクチャ、ファームウェア、ツール セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード アーキテクチャおよびサーキュラー アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス / データ バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『TMS320C28x CPU および命令セット リファレンス ガイド』を参照してください。

7.6.1 浮動小数点演算ユニット (FPU)

C28x + 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0～7)
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

C28x 浮動小数点ユニット (FPU) の詳細については、『TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル』を参照してください。

7.6.2 三角関数演算ユニット (TMU)

三角関数演算ユニット (TMU) は、C28x+FPU に命令を追加するとともに既存の FPU 命令を活用することで、その機能を拡張し、表 7-7 に示すような、一般的な三角関数と算術演算の実行を高速化します。

表 7-7. TMU がサポートする命令

命令	C での等価演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	a = b * 2pi	2/3
DIV2PIF32 RaH,RbH	a = b / 2pi	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2pi)	4
COSPUF32 RaH,RbH	a = cos(b*2pi)	4
ATANPUF32 RaH,RbH	a = atan(b)/2pi	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

C2000 デジタル制御ライブラリの非線形比例積分微分制御 (NLPID) コンポーネントにおける、浮動小数点電力関数の演算をサポートするために、指数命令 IEXP2F32 および対数命令 LOG2F32 が追加されています。これら 2 つの追加命令により、電力関数の計算を、ライブラリにあるエミュレーションを使用した場合の標準的な 300 サイクルから、10 サイクル未満に低減できます。

既存の命令、パイプライン、メモリ バス アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ セット (R0H～R7H) を使用して演算を実行します。

詳細については、『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』を参照してください。

7.6.3 VCRC ユニット

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ ブロック、通信パケット、またはコード セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCRC は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば 10 バイトのブロック長の場合、VCRC は CRC 計算を 10 サイクルで完了します。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

以下が、VCRC の CRC 計算ロジックで使用される CRC 多項式です。

- CRC8 多項式 = 0x07
- CRC16 多項式 1 = 0x8005
- CRC16 多項式 2 = 0x1021
- CRC24 多項式 = 0x5d6dcb
- CRC32 多項式 1 = 0x04c11db7
- CRC32 多項式 2 = 0x1edc6f41

このモジュールでは、1 サイクルで 1 バイトのデータに対する CRC を計算できます。CRC8、CRC16、CRC24、CRC32 の CRC 計算は、(C28x コアが読み取る 16 ビットまたは 32 ビットのデータ全体を計算する代わりに) バイト単位で実行されるので、各種規格で要求されているバイト単位の計算要件にも適合します。

また、この VCRC ユニットでは、任意の多項式のサイズ (1 バイト～32 バイト) と値を指定して、カスタムの CRC 要件を満たすこともできます。カスタムの多項式を使用する場合には、CRC の実行時間が 3 サイクルに増加します。

巡回冗長検査 (VCRC) 命令セットの詳細については、『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』を参照してください。

7.7 制御補償器アクセラレータ (CLA)

CLA タイプ 2 は、独立した、完全にプログラマブルな 32 ビット浮動小数点演算プロセッサであり、C28x ファミリで制御ループの同時実行を可能にします。CLA の割り込みレイテンシが短いため、ADC サンプルを「ジャスト イン タイム」で読み取ることができます。これにより、ADC サンプルから出力までの遅延が大幅に減少し、システム応答の高速化と高い MHz での制御ループを実現できます。CLA を使って時間に制約のある制御ループを処理することで、メイン CPU は、他のシステムタスク、たとえば通信や診断を自由に実行できます。

制御補償アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張します。時間に制約のある制御ループを CLA で処理することにより、ADC のサンプリングから出力までの遅延を低減できます。したがって CLA を使用することで、より速いシステム応答とより高い周波数の制御ループを実現できます。時間に制約のあるタスクに CLA を利用すると、メイン CPU が解放され、その他のシステム機能と通信機能を同時に実行できます。

CLA の主な機能を以下に示します。

- CLA ソフトウェア開発には C コンパイラが利用可能
- メイン CPU と同じ速度のクロック (SYSCLKOUT) で動作
- 独立したアーキテクチャにより、メイン C28x CPU から独立して CLA アルゴリズムを実行
  - 充実したバス アーキテクチャ:
    - プログラム アドレス バス (PAB) とプログラム データ バス (PDB)
    - データ読み取りアドレス バス (DRAB)、データ読み取りデータ バス (DRDB)、データ書き込みアドレス バス (DWAB)、データ書き込みデータ バス (DWDB)
  - 独立した 8 段パイプライン。
  - 16 ビット プログラム カウンタ (MPC)
  - 4 つの 32 ビット結果レジスタ (MR0～MR3)
  - 2 つの 16 ビット補助レジスタ (MAR0、MAR1)
  - ステータス レジスタ (MSTF)
- 命令セットの内容:
  - IEEE 単精度 (32 ビット) 浮動小数点演算

Copyright © 2026 Texas Instruments Incorporated

  - 並列ロードまたはストア付き浮動小数点演算
  - 並列加減算付き浮動小数点乗算
  - 1/X と 1/sqrt(X) の概算
  - データ タイプ変換
  - 条件付き分岐および呼び出し
  - データのロード / ストア操作
- CLA プログラム コードは、最大 8 つのタスクもしくは割り込みサービス ルーチン、または 7 つのタスクとメインのバックグラウンド タスクで構成できます。
  - 各タスクの開始アドレスは MVECT レジスタで指定されます。
  - 設定可能な CLA プログラム メモリ空間内にタスクが収まる限り、タスク サイズに制限はありません。
  - 一度に 1 つのタスクが最後まで処理されます。タスクのネスティングはありません。
  - タスクが完了すると、PIE 内でタスク固有の割り込みが生成されます。
  - 1 つのタスクが完了すると、次に優先度が高い保留タスクが自動的に開始されます。
  - タイプ 2 CLA では、バックグラウンドでメイン タスクを継続的に実行しながら、優先度の高い他のイベントによってフォアグラウンド タスクをトリガすることも可能です。
- タスク トリガ機構:
  - C28x CPU から IACK 命令による
  - タスク 1～タスク 8:CLA が第 2 位の所有権を持つ共有バスに接続されているペリフェラルから、最大 256 のトリガ ソースを使用可能。
  - タスク 8 は、バックグラウンド タスクに設定でき、タスク 1～7 はペリフェラル トリガに設定できます。
- メモリおよび共有ペリフェラル:
  - CLA とメイン CPU の間の通信のための 2 つの専用メッセージ RAM。
  - C28x CPU は、CLA プログラムとデータ メモリをメイン CPU 空間または CLA 空間に割り当てることが可能。
  - CLA と DMA の間の通信のための 2 つの専用メッセージ RAM

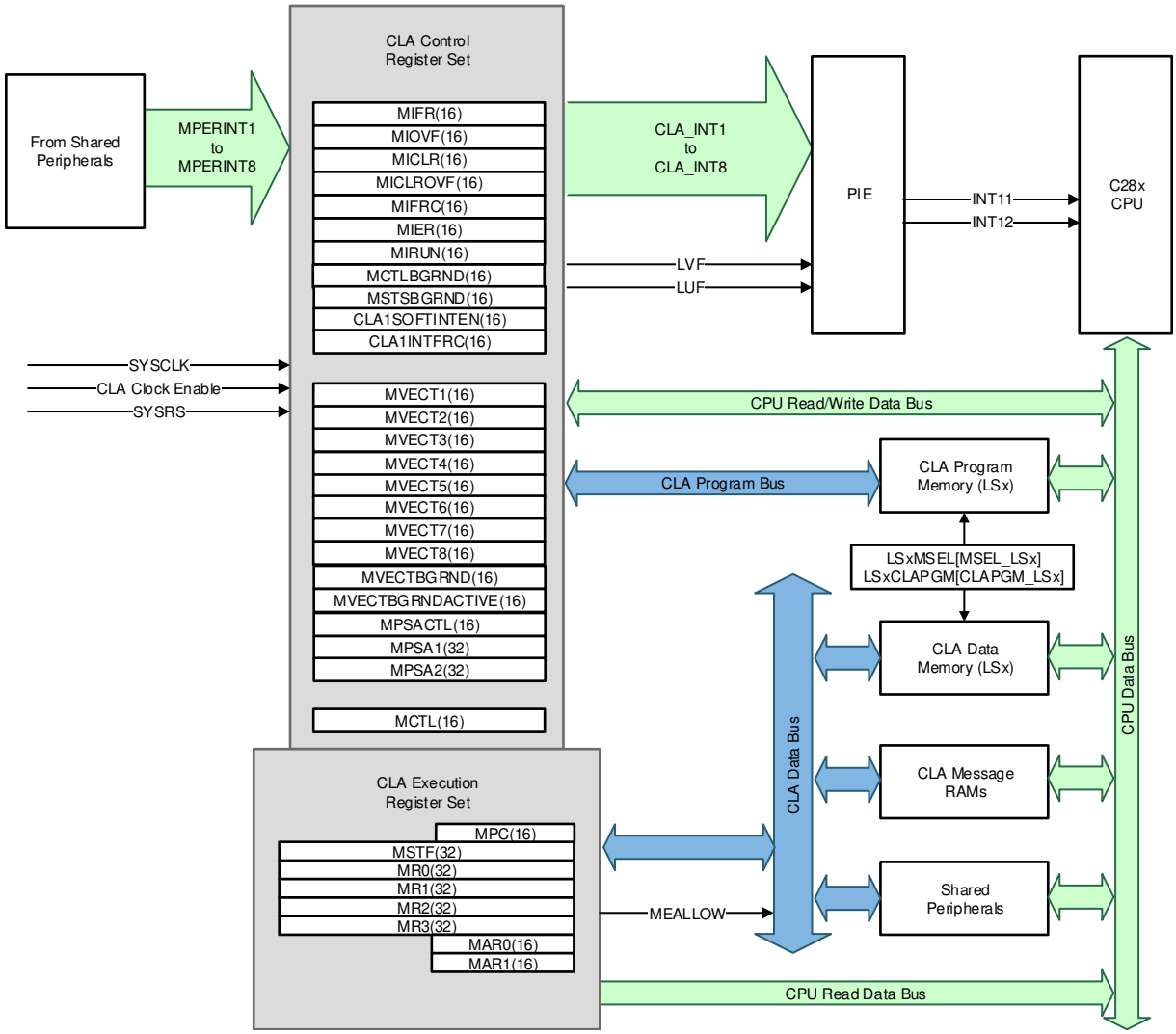


図 7-2. CLA のブロック図

Copyright © 2026 Texas Instruments Incorporated

7.8 組み込みのリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス コンパレータ ユニットとシステム イベント カウンタ ユニットで構成されています。拡張バス コンパレータ ユニットは、ハードウェア ブレークポイント、ハードウェア ウォッチポイント、およびその他の出力イベントの生成に使用されます。システム イベント カウンタ ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールは、デバッガとアプリケーション ソフトウェアからアクセスでき、特にデバッガが接続されていない状況で、多くのリアルタイム システムにおいてデバッグ性能が大幅に向上します。ERAD モジュールには、PC の不連続性を追跡できるプログラム カウンタ トレース (PC トレース) が搭載されています。TMS320F28P55x デバイスには、ERAD モジュールに 8 つの拡張バス コンパレータ ユニット (ハードウェア ブレークポイント数を 2 から 10 に増加) と、4 つのベンチマーク システム イベント カウンタ ユニットが搭載されています。

7.9 ダイレクト メモリ アクセス (DMA)

DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。DMA のデバイスレベル ブロック図を 図 7-3 に示します。

DMA の主な特長は次のとおりです。

- 独立した ePIE 割り込みを持つ 6 つのチャネル
- ペリフェラル割り込みトリガ ソース
  - ADC 割り込みおよび EVT 信号
  - 外部割り込み
  - ePWM SOC 信号
  - CPU タイマ
  - eCAP
  - SPI 送信および受信
  - LIN 送信および受信
- データ ソースおよびデータ デスティネーション:
  - GSx RAM
  - ADC 結果レジスタ
  - 制御ペリフェラル レジスタ (ePWM、eQEP、eCAP)
  - 通信ペリフェラル レジスタ (SPI、LIN、CAN、PMBus、FSI)
  - PGA 制御レジスタ
- ワード サイズ:16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット:調停なしで、1 ワードあたり 3 サイクル

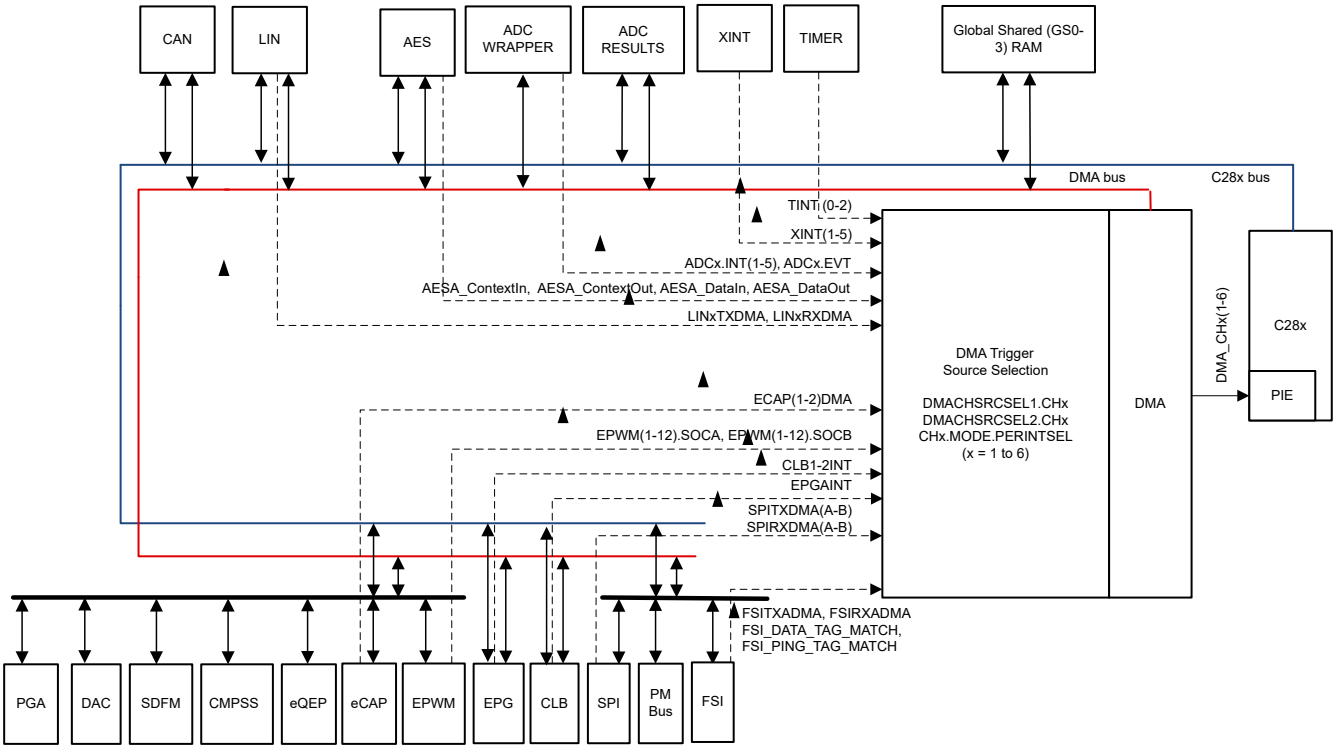


図 7-3. DMA のブロック図

Copyright © 2026 Texas Instruments Incorporated

注

EALLOW 保護付きのペリフェラル レジスタは、スプリアス DMA 書き込みに対し書き込み保護されています。これらのレジスタに DMA を使用して書き込むには、EALLOW 保護メカニズムを無効にします。

7.10 デバイス ブート モード

このセクションでは、デフォルトのブート モードと、このデバイスでサポートされているすべてのブート モードについて説明します。ブート ROM は、ブート モード選択、汎用入出力 (GPIO) ピンを使用して、ブート モードの構成を判断します。

デバイスのデフォルト ブート モード に、デフォルトのブート モード選択ピンで選択可能なブート モード オプションを示します。ブートアップ テーブルで選択可能なブート モードと、使用するブート モード選択ピン GPIO をカスタマイズできるようにデバイスをプログラムすることができます。

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA、SPIA、I2CA、CANA など) を使用します。この章でこれらのブート モードに言及する場合は、最初のモジュール インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

ブート ROM の実行からフラッシュ内の最初の命令をフェッチするまでの時間である $t_{boot\text{-}flash}$ については、「リセット (XRSn) のスイッチング特性」の表と「パワーオン リセット」の図を参照してください。

表 7-8. デバイスのデフォルト ブート モード

ブート モード	GPIO24 (デフォルトのブート モード選択ピン 1)	GPIO32 (デフォルトのブート モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト ブート(1)	0	1
CAN(MCAN-NONFD)	1	0
フラッシュ	1	1

(1) SCI ブート モードは、SCI オートボー ロック プロセス中に SCI が「A」または「a」を待機し続ける限り、待機ブート モードとして使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.10.1 デバイス ブートの構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0～3 本のブート モード選択ピンと、1～8 個のブート モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します(たとえば、メイン アプリケーション用のフラッシュ ブートのプライマリ ブート オプション、ファームウェア更新用の CAN ブートのセカンダリ ブート オプション、デバッグ用の SCI ブートの 3 番目のブート オプションなどです。
2. 必要なブート モードの数に基づいて、ブート モードの選択に必要なブート モード選択ピン (BMSP) の数を決定します。(たとえば、3 つのブート モード オプションから選択するには、2 つの BMSP が必要です。
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。(たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど)。これらの構成を実行する詳細については、セクション 7.10.1.1 を参照してください。
4. 決定したブート モード定義を、BMSP のデコードされた値に相関付けるカスタム ブート テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = CAN ブート、BOOTDEF2 = SCI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。カスタム ブート モード テーブルの設定と構成の詳細については、セクション 7.10.1.2 を参照してください。

また、『TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ブート モードの使用例」セクションに、BMSP およびカスタム ブート テーブルの構成方法に関する使用例がいくつか記載されています。

注

CAN ブート モードは、XTAL をオンにします。CAN ブート モードを使用する前に、アプリケーションに XTAL がインストールされていることを確認してください。

7.10.1.1 ブート モード ピンの構成

このセクションでは、ユーザーが構成可能なデュアル ゾーン セキュリティ モジュール (DCSM) OTP 内の BOOTPIN-CONFIG 領域 (表 7-9 を参照) をプログラムすることで、ブート モード選択ピンをカスタマイズする方法について説明します。DCSM OTP 内のその領域は、Z1-OTP-BOOTPIN-CONFIG または Z2-OTP-BOOTPIN-CONFIG です。デバッグ時には、EMU-BOOTPIN-CONFIG が Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート モードを検証するようにプログラムできます。このデバイスは、必要に応じて 0、1、2、3 のブート モード選択ピンを使用するようにプログラムできます。

注

Z2-OTP-BOOTPIN-CONFIG を使用する場合、この領域にプログラムされた構成が Z1-OTP-BOOTPIN-CONFIG の構成よりも優先されます。まず Z1-OTP-BOOTPIN-CONFIG を使用し、OTP 構成を変更する必要がある場合に Z2-OTP-BOOTPIN-CONFIG を使用するように切り替えることを推奨します。

表 7-9. BOOTPIN_CONFIG のビット フィールド

ビット	名称	説明
31:24	API キー	この 8 ビットに 0x5A を書き込んでこのレジスタのビットが有効であることを示す
23:16	ブート モード選択ピン 2 (BMSP2)	BMSP2 以外は BMSP0 の説明を参照
15:8	ブート モード選択ピン 1 (BMSP1)	BMSP1 以外は BMSP0 の説明を参照
7:0	ブート モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定 (最大 255): - 0x0 = GPIO0 - 0x01 = GPIO1 - 以下同様 0xFF を書き込むと BMSP0 がディセーブルになり、このピンはブート モードの選択には使用されない

以下の GPIO を BMSP として使用することはできません。ある BMSP に対してこの GPIO を選択した場合、ブート ROM は出荷時のデフォルト GPIO を自動的に選択します (BMSP2 の出荷時デフォルトは 0xFF であり、BMSP はディセーブルです)。

- GPIO 20 および GPIO 21
- GPIO 36 および GPIO 38
- GPIO 62～GPIO 223

Copyright © 2026 Texas Instruments Incorporated

表 7-10. スタンドアロンのブート モード選択ピン デコード

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート モード
!= 0x5A	不定	不定	不定	工場出荷時デフォルトの BMSP で定義されるブート
= 0x5A	0xFF	0xFF	0xFF	ブート モード 0 のブート テーブルで定義されるブート (すべての BMSP が無効)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 がディセーブル)
	0xFF	有効な GPIO	0xFF	この値の定義では BMSP1 でブートします (BMSP0 および BMSP2 は無効)。
	0xFF	0xFF	有効な GPIO	この値の定義では BMSP2 でブートします (BMSP0 および BMSP1 は無効)。
	有効な GPIO	有効な GPIO	0xFF	BMSP0 と BMSP1 の値で定義されるブート (BMSP2 がディセーブル)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 と BMSP2 の値で定義されるブート (BMSP1 がディセーブル)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 と BMSP2 の値で定義されるブート (BMSP0 がディセーブル)
	有効な GPIO	有効な GPIO	有効な GPIO	BMSP0、BMSP1、BMSP2 の値で定義されるブート
	無効な GPIO	有効な GPIO	有効な GPIO	BMSP0 は工場出荷時のデフォルトの BMSP0 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	無効な GPIO	有効な GPIO	BMSP1 は工場出荷時のデフォルトの BMSP1 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	有効な GPIO	無効な GPIO	BMSP2 は工場出荷時のデフォルト状態 (ディセーブル) にリセット BMSP0 および BMSP1 の値で定義されるブート

注

ブート モードをデコードする際、BMSP0 がブート テーブル インデックス値の最下位ビット、BMSP2 が最上位ビットです。BMSP をディセーブルにする場合は、BMSP2 から開始することをお勧めします。たとえば、BMSP2 のみを使用する場合 (BMSP1 と BMSP0 がディセーブル)、ブート テーブル インデックスの 0 と 4 のみが選択可能です。BMSP0 のみを使用する場合、選択可能なブート テーブル インデックスは 0 と 1 です。

7.10.1.2 ブート モード テーブル オプションの設定

このセクションでは、デバイスおよび関連するブート オプションのブート定義表、BOOTDEF を構成する方法について説明します。ユーザーが構成可能な DCSM OTP の中に、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH として 64 ビットの領域があります。デバッグ時には、EMU-BOOTDEF-LOW および EMU-BOOTDEF-HIGH が、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート モード オプションを検証するようにプログラムできます。ブート定義テーブルに対するカスタマイズの範囲は、使用されているブート モード選択ピン (BMSP) の数によって異なります。たとえば、0 本の BMSP は 1 つのテーブル エントリに等しく、1 本の BMSP は 2 つのテーブル エントリに等しく、2 本の BMSP は 4 つのテーブル エントリに等しく、3 本の BMSP は 8 つのテーブル エントリに等しくなります。BOOTPIN_CONFIG および BOOTDEF 値を設定する方法の例については、『*TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』を参照してください。

注

Z2-OTP-BOOTPIN-CONFIG が設定されている場合には、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH のロケーションの代わりに、Z2-OTP-BOOTDEF-LOW および Z2-OTP-BOOTDEF-HIGH のロケーションが使用されます。BOOTPIN_CONFIG の使用方法の詳細については、「ブート モード ピンの構成」を参照してください。

表 7-11. BOOTDEF のビット フィールド

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7:0	BOOT_DEF0 モード / オプション	ブート テーブルのインデックス 0 にブート モードを設定します。 それぞれのブート モードとそのオプションの例としては、特定のブートローダのための異なる GPIO の使用、あるいはフラッシュ上の異なるエントリ ポイント アドレスの使用などが挙げられます。サポートされていないブート モードを使用すると、デバイスはブートを待機するか、フラッシュからブートします。 テーブルで設定する有効な BOOTDEF 値については、「*GPIO* の割り当て」セクションを参照してください。
BOOT_DEF1	15:8	BOOT_DEF1 モード / オプション	BOOT_DEF0 の説明を参照
BOOT_DEF2	23:16	BOOT_DEF2 モード / オプション	
BOOT_DEF3	31:24	BOOT_DEF3 モード / オプション	
BOOT_DEF4	39:32	BOOT_DEF4 モード / オプション	
BOOT_DEF5	47:40	BOOT_DEF5 モード / オプション	
BOOT_DEF6	55:48	BOOT_DEF6 モード / オプション	
BOOT_DEF7	63:56	BOOT_DEF7 モード / オプション	

Copyright © 2026 Texas Instruments Incorporated

7.10.2 GPIO の割り当て

このセクションでは、BOOT_DEF メモリの領域 Z1-OTP-BOOTDEF-LOW / Z2-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH / Z2-OTP-BOOTDEF-HIGH でのブート モードの設定に使用される GPIO とブート オプションの値について詳細に説明します。BOOT_DEF の構成方法については、「ブート モード テーブルのオプションの構成」を参照してください。ブート モード オプションを選択するときは、使用する特定のデバイス パッケージのピン マルチプレクサ オプションで、必要なピンが利用可能であることを確認します。

表 7-12. SCI ブート オプション

オプション	BOOTDEFx 値	SCITXDA GPIO	SCIRXDA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x01	GPIO29	GPIO28	100-PZ、80-PNA、80-PN、64-PM、56-RSH
1	0x21	GPIO1	GPIO0	すべて これらは 49-YAF および 32-ZNG パッケージ用のデフォルトの SCI ブート ピンです
2	0x41	GPIO8	GPIO9	100-PZ、80-PNA、80-PN、64-PM
3	0x61	GPIO7	GPIO3	100-PZ、80-PNA、80-PN、64-PM、56-RSH
4	0x81	GPIO16	GPIO3	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-13. CAN-FD ブート オプション

オプション	BOOTDEFx 値	MCANTX GPIO	MCANRX GPIO	サポート対象のパッケージ
0 (デフォルト)	0x08	GPIO4	GPIO5	すべて
1	0x28	GPIO1	GPIO0	すべて
2	0x48	GPIO13	GPIO12	100-PZ、80-PNA、80-PN、64-PM、56-RSH
3 (DEBUG - テスト送信)	0x68	GPIO4	GPIO5	すべて
4 (DEBUG - テスト送信)	0x88	GPIO1	GPIO0	すべて
5 (DEBUG - テスト送信)	0xA8	GPIO13	GPIO12	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-14. CAN ブート オプション

オプション	BOOTDEFx 値	CANTXA GPIO	CANRXA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x02	GPIO4	GPIO5	すべて
1	0x22	GPIO1	GPIO0	すべて
2	0x42	GPIO13	GPIO12	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-15. I2C ブート オプション

オプション	BOOTDEFx 値	SDAA GPIO	SCLA GPIO	サポート対象のパッケージ
0	0x07	GPIO0	GPIO1	すべて
1	0x27	GPIO32	GPIO33	100-PZ、80-PNA、80-PN、64-PM、56-RSH
2	0x47	GPIO5	GPIO4	すべて

表 7-16. RAM ブート オプション

オプション	BOOTDEFx 値	RAM エントリ ポイント(アドレス)
0	0x05	0x0000 0000

表 7-17. フラッシュ ブート オプション

オプション	BOOTDEFx 値	フラッシュ エントリ アドレス	フラッシュ セクタ
0 (デフォルト)	0x03	0x0008 0000	CPU1 バンク 0 セクタ 0
1	0x23	0x0008 8000	CPU1 バンク 0 セクタ 32

Copyright © 2026 Texas Instruments Incorporated

表 7-17. フラッシュ ブート オプション (続き)

オプション	BOOTDEFx 値	フラッシュ エントリ アドレス	フラッシュ セクタ
2	0x43	0x000C 0000	CPU1 バンク 2 セクタ 0
3	0x63	0x000C 8000	CPU1 バンク 2 セクタ 32
4	0x83	0x0010 0000	CPU1 バンク 4 セクタ 0

表 7-18. セキュア フラッシュ ブート オプション

オプション	BOOTDEFx 値	フラッシュ エントリ アドレス	フラッシュ セクタ
0 (デフォルト)	0x0A	0x0008 0000	CPU1 バンク 0 セクタ 0
2	0x2A	0x0008 8000	CPU1 バンク 0 セクタ 32
3	0x4A	0x000C 0000	CPU1 バンク 2 セクタ 0
4	0x6A	0x000C 8000	CPU1 バンク 2 セクタ 32
5	0x8A	0x0010 0000	CPU1 バンク 4 セクタ 0

表 7-19. LFU ブート オプション

オプション	BOOTDEFx 値	バンク 0	バンク 2
0	0x0B	0x0008 0000	0x000C 0000
1	0x2B	0x0008 8000	0x000C 8000

表 7-20. 待機ブート オプション

オプション	BOOTDEFx 値	ウォッチドッグのステータス
0 (デフォルト)	0x04	有効
1	0x24	無効

表 7-21. SPI ブート オプション

オプション	BOOTDEFx 値	SPIPICOA	SPIPOCIA	SPICLKA	SPIPTEA	サポート対象のパッケージ
0	0x06	GPIO2	GPIO1	GPIO3	GPIO5	100-PZ、80-PNA、80-PN、64-PM、56-RSH
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0	100-PZ、80-PNA、80-PN、64-PM、56-RSH
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11	100-PZ、80-PNA、80-PN、64-PM
3	0x66	GPIO16	GPIO12	GPIO9	GPIO24	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-22. パラレル ブート オプション

オプション	BOOTDEFx 値	D0～D7 GPIO	DSP 制御 GPIO	ホスト制御 GPIO	サポート対象のパッケージ
0 (デフォルト)	0x00	D0-D7 (GPIO 0-7)	GPIO16	GPIO29	100-PZ、80-PNA、80-PN、64-PM、56-RSH
1	0x20	D0-D7 (GPIO 0-3,5-7,24)	GPIO12	GPIO13	100-PZ、80-PNA、80-PN、64-PM、56-RSH

7.11 セキュリティ

セキュリティ機能は、デュアル コード セキュリティ モジュール (DCSM) によって実装されます。第一の防御層はチップの境界を保護することであり、これは常に有効にしておく必要があります。それに加えて、デュアル ゾーン セキュリティ機能をコード分割のサポートに利用できます。

7.11.1 チップの境界の保護

次の 2 つの機能をファームウェア アップデート コードの認証と組み合わせて使用すると、デバイス上で不正なコードが実行されるのを防止するのに役立ちます。

Copyright © 2026 Texas Instruments Incorporated

7.11.1.1 JTAGLOCK

USER OTP で JTAGLOCK 機能をイネーブルにすると、デバイス上のリソースへの JTAG アクセス (デバッグ プローブなど) がディセーブルになります。

7.11.1.2 ゼロピン ブート

USER OTP ブロックでゼロピン ブート オプションをフラッシュ ブートと組み合わせてイネーブルにすると、ピンベースの外部ブートローダー オプション (SCI、CAN、Parallel など) がすべてブロックされます。

7.11.2 デュアル ゾーン セキュリティ

デュアル ゾーン セキュリティ メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (LSx RAM、フラッシュ・セクタ) があります。

7.11.3 免責事項

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、この CMS がテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

7.12 ウォッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000™ マイクロコントローラと同じですが、オプションでカウンタのソフトウェア リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-4 に、ウォッチドッグ モジュール内の各種機能ブロックを示します。

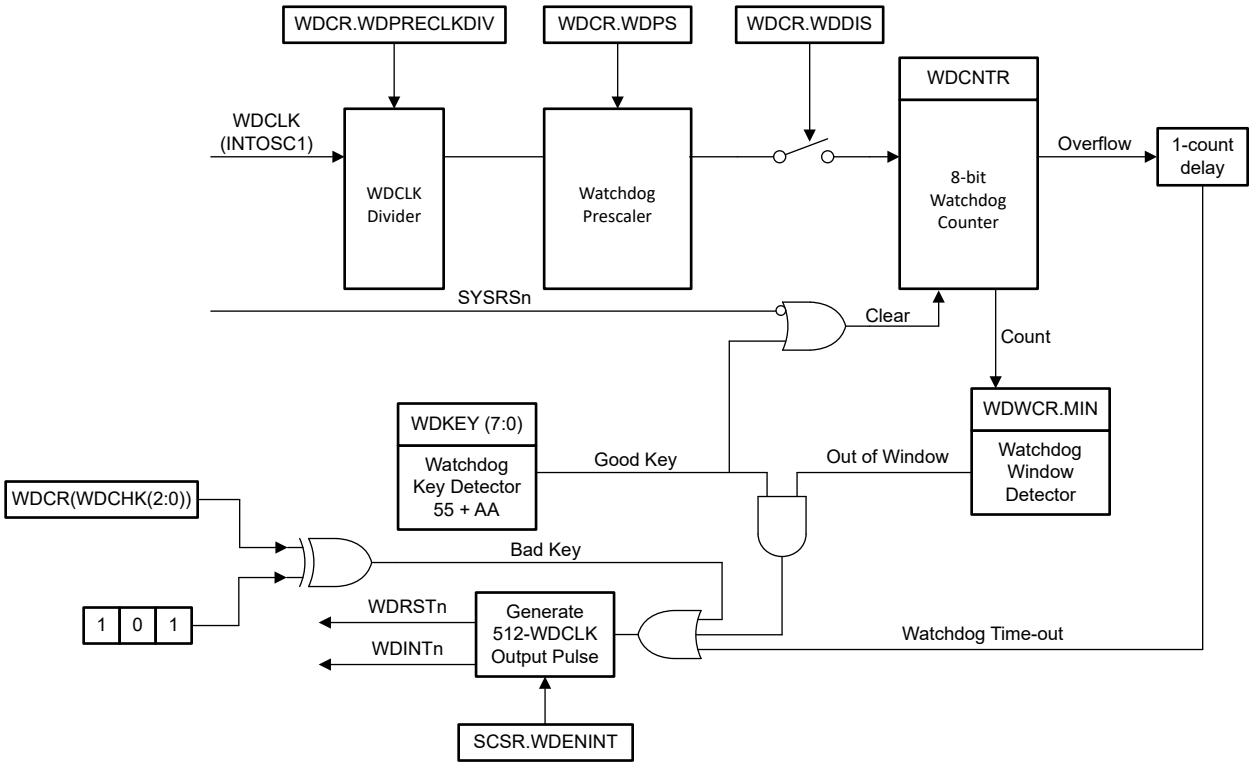


図 7-4. ウィンドウ ウォッチドッグ

Copyright © 2026 Texas Instruments Incorporated

7.13 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット タイマであり、周期をプリセット可能で、16 ビット クロック プリスケーリングを備えています。これらのタイマには、32 ビットのカウントダウン レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール設定値で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部ゼロ ピン発振器 1 (INTOSC1)
- 内部ゼロ ピン発振器 2 (INTOSC2)
- X1 (XTAL)

7.14 デュアル クロック コンパレータ (DCC)

DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

7.14.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

7.14.2 DCCx クロック ソース入力のマッピング

表 7-23. DCCx クロック ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-24. DCCx クロック ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xA	AUXCLKIN

Copyright © 2026 Texas Instruments Incorporated

表 7-24. DCCx クロック ソース 1 表 (続き)

DCCxCLKSRC1[4:0]	クロック名
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
その他	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.15 構成可能ロジック ブロック (CLB)

C2000 構成可能ロジック ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム デジタル ロジック機能の実装や既存のオンチップ ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ モジュール (eCAP)、拡張直交エンコーダ パルス モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル データ交換プロトコルを実装したりできます。従来は外部のロジック デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション ノート、およびユーザーガイドの詳細については、 の以下の場所を参照してください。C2000 マイコン向け C2000Ware パッケージ (C2000Ware_2_00_00_03 以降):

- **C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc**
- CLB ツール ユーザー ガイド
- 『C2000™ 構成可能ロジック ブロック (CLB) を使用した設計』アプリケーション ノート
- 『カスタム ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法』アプリケーション ノート

図 7-5 に、CLB モジュールとその相互接続を示します。

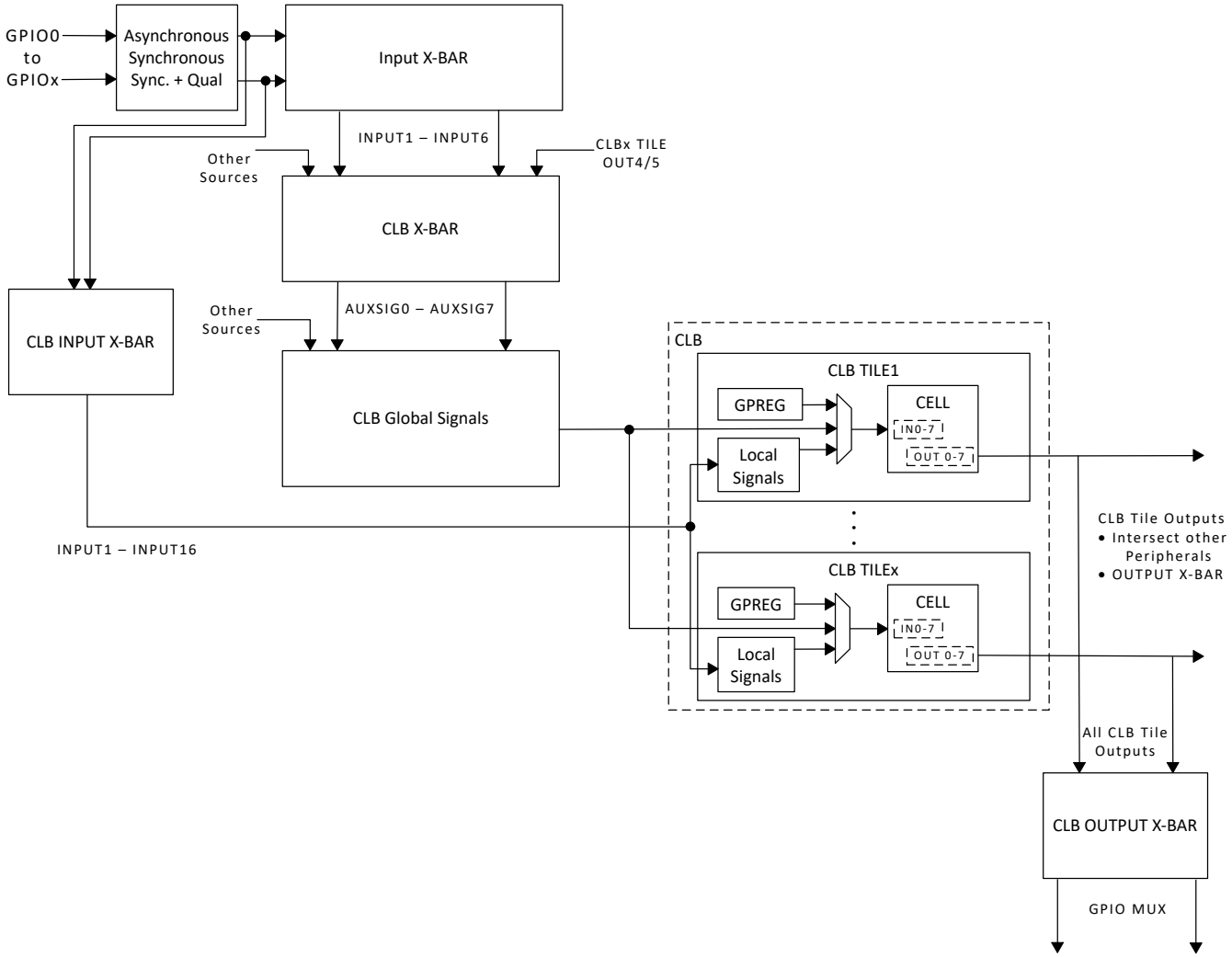


図 7-5. GPIO から CLB へのタイル接続

C2000Ware モーター制御 SDK では、アブソリュート エンコーダ プロトコル インターフェイスが Position Manager ソリューションとして提供されています。C2000Ware モーター制御 SDK には、構成ファイル、アプリケーション プログラミング インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、テキサス・インスツルメンツが構成した CLB を、SPI ポートや C28x CPU など他のオンチップ リソースと組み合わせて使って、より複雑な機能を実行します。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

8.1 代表的なアプリケーション

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1.1 リファレンス デザイン

テキサス・インスツルメンツ リファレンス デザイン ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス デザイン ライブラリです。すべての TI リファレンス デザインは、システム設計を迅速に開始できるように テキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。テキサス・インスツルメンツのリファレンス デザインの選択ページで、リファレンス デザインを検索およびダウンロードします。

以下に、該当するリファレンス デザインの一部を示します。このデバイスや他の C2000 MCU でサポートされているリファレンス デザインの完全なリストは、テキサス・インスツルメンツの Resource Explorer で管理されています。

最大 16A の入力に対応し、180W/in3、3kW の単相トーテム ポール ブリッジレス PFC のリファレンス デザイン
このリファレンス デザインは、C2000™ マイコンを使用して連続導通モード トーテム ポール力率補正コンバータ (PFC) を制御する方法を示します。この PFC はほかに、グリッド接続 (電流制御) モードでインバータとして動作します。このコンバータは、16A RMS の最大入力電流と 3.6kW のピーク電力をサポートできる設計を採用しています。

双方向 400V/12V DC/DC コンバータのリファレンス デザイン
この双方向 400V/12V DC/DC コンバータのリファレンス デザインは、絶縁型双方向 DC/DC コンバータをマイクロコントローラ ベースで実装したものです。位相シフト フル ブリッジ（PSFB）と同期整流機能を組み合わせており、400V バス / バッテリから 12V バッテリへの電力の流れを降圧モードで制御します。一方、プッシュ プル段は、低電圧バッテリから高電圧バス / バッテリへの逆の電力の流れを昇圧モードで制御します。

GaN ベース、6.6kW、双方向オンボード チャージャのリファレンス デザイン
PMP22650 リファレンス デザインは、6.6kW の双方向オンボード チャージャです。このデザインは、同期整流機能付きの 2 相トーテムポール PFC とフル ブリッジ CLLLC コンバータを搭載しています。CLLLC は周波数変調と位相変調の両方を活用し、必須のレギュレーション範囲全体で出力のレギュレーションを実施します。

HEV/EV オンボード チャージャ向け双方向 CLLLC 共振デュアル アクティブ ブリッジ (DAB) のリファレンス デザイン
双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。

C2000™ マイコン使用、CCM トーテム ポール PFC と CLLLC DC/DC を搭載、7.4kW オンボード チャージャのリファレンス デザイン
TIDM-02013 は双方向オンボード チャージャのリファレンス デザインです。このデザインは、インターリーブ連続導通モード (CCM) トーテムポール (TTPL) ブリッジレス力率補正 (PFC) 電力段と、その後段にある CLLLC DC/DC 電力段で構成されています。これらはいずれも、単一の C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用して制御するほか、TI の GaN (窒化ガリウム) パワー モジュールを活用しています。

シャント ベースのインライン モーター位相電流センシング機能を搭載した 48V 3 相インバータ評価モジュール
BOOSTXL-3PHGANINV 評価モジュールは、高精度インライン シャント ベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを搭載し、サーボ ドライブなどの高精度ドライブを正確に制御します。

C2000 DesignDRIVE PositionManager BoosterPack™ プラグイン モジュール

この PositionManager BoosterPack は、アブソリュート エンコーダと、リゾルバや SinCos トランスデューサなどのアナログ センサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェア ソリューションとの組み合わせにより、一般的に使用されている EnDat、BiSS、T-format などのさまざまなタイプのポジション エンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナログ ポジション センサとのインターフェイスを C2000 リアルタイム コントローラに統合して、このような機能のための外部 FPGA を不要にします。

高速シリアル インターフェイス (FSI) 経由の分散型多軸サーボ ドライブのリファレンス デザイン

このリファレンス デザインは、C2000™ リアルタイム コントローラを使用した高速シリアル インターフェイス (FSI) 経由の分散型または非集中型多軸サーボ ドライブの例を示します。多軸サーボ ドライブは、ファクトリ オートメーションやロボットなど多くのアプリケーションで使用されています。この種のシステムで、1 軸当たりのコスト、性能、使いやすさは常に重要な考慮事項になっています。FSI は、低ジッタで、コスト最適化された信頼性の高い高速通信インターフェイスであり、複数の C2000 マイクロコントローラをデイジーチェーン接続することもできます。

10kW、双方向 3 相 3 レベル (T タイプ) インバータおよび PFC のリファレンス デザイン

この検証済みリファレンス デザインは、3 レベル、3 相、SiC ベースの T タイプ DC/AC インバータ段を実装する方法の概要を示します。50KHz の高いスイッチング周波数により、フィルタ設計に使用する磁気素子のサイズ低減と、電力密度の向上を実現しています。SiC MOSFET の採用によりスイッチング損失を低減し、最大 1,000V の高い DC バス電圧に対応するとともに、スイッチング損失低減を通じて 99% のピーク効率も実現します。このデザインは、2 レベルまたは 3 レベルのインバータとして動作するよう構成可能です。

レベル 3 電気自動車充電ステーション向け双方向デュアル アクティブ ブリッジのリファレンス デザイン

このリファレンス デザインは、単相デュアル アクティブ ブリッジ (DAB) DC/DC コンバータの実装の概要を示します。DAB トポロジには、ソフト スイッチング整流、デバイス数の削減、高効率といった利点があります。このデザインは、電力密度、コスト、ガルバニック絶縁、高い電圧変換比、信頼性を重要な要因とする場合に有利であり、EV (電気自動車) の充電ステーションやエネルギー ストレージの各アプリケーションに最適です。DAB でモジュール型の対称的構造を採用しているので、コンバータを積層化すると高い電力スループットを達成し、バッテリ充放電アプリケーションをサポートするための双方向動作モードを簡単に実現することができます。

GaN ベース、1.6kW、双方向マイクロ インバータのリファレンス デザイン

このリファレンス デザインは、エネルギー ストレージ機能搭載、4 入力、双方向、1.6kW、GaN ベースのマイクロ インバータです。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI では MCU デバイスとサポート ツールすべての型番に接頭辞を割り当てます。TMS320 ™ MCU 商用ファミリの各製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、**TMS**320F28P551SG)。テキサス インスツルメンツでは、サポート ツールに対して、使用可能な 3 つの接頭辞のうち、TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMX および TMDX)から、完全認定済みの量産デバイス/ツール(TMS および TMDS)まであります。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

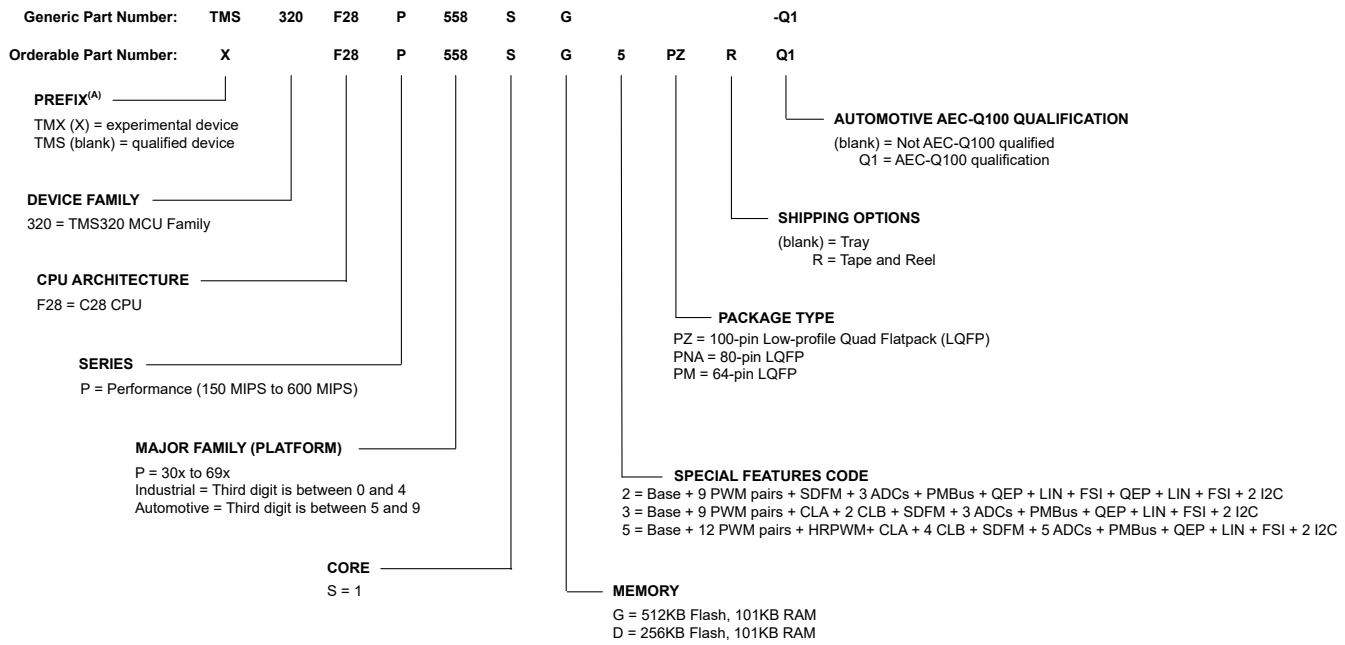
「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

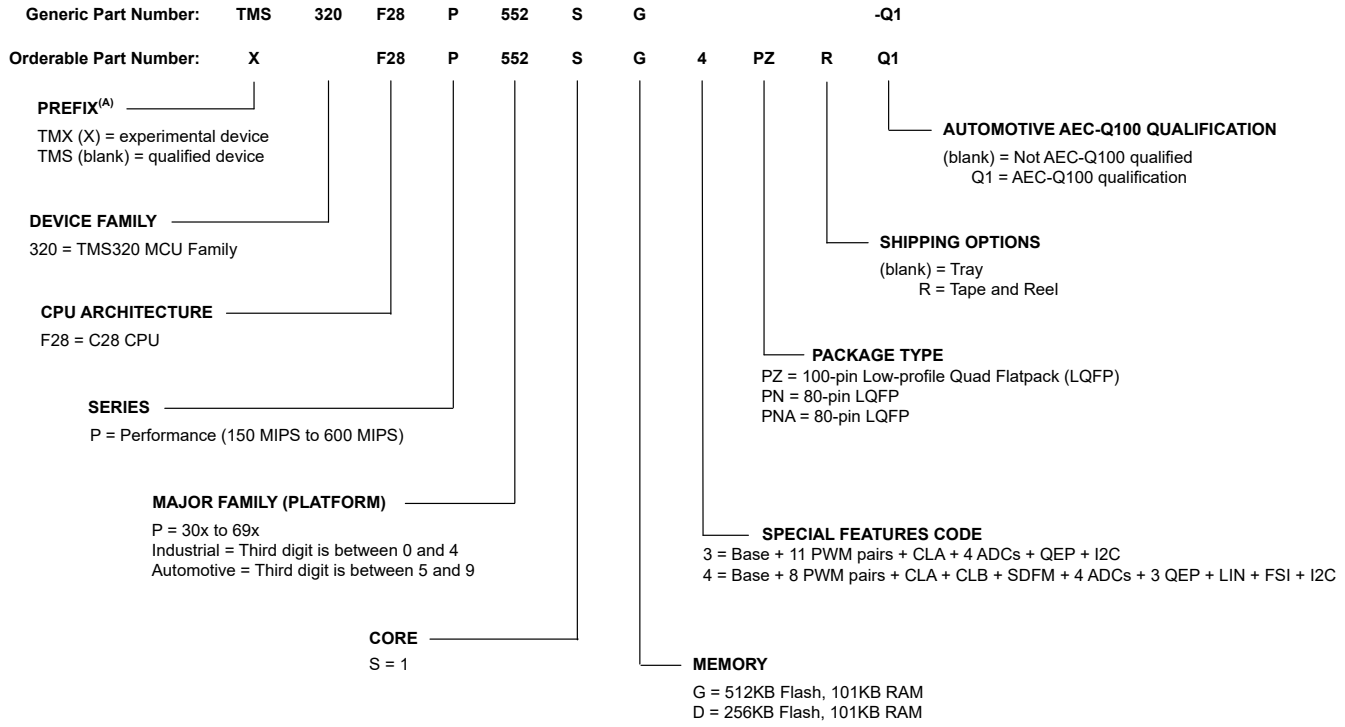
TI デバイスの命名規則には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞はパッケージ タイプを示します(例: PZ)。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの Web サイト (www.tij.co.jp) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。



A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイスの命名規則 P558

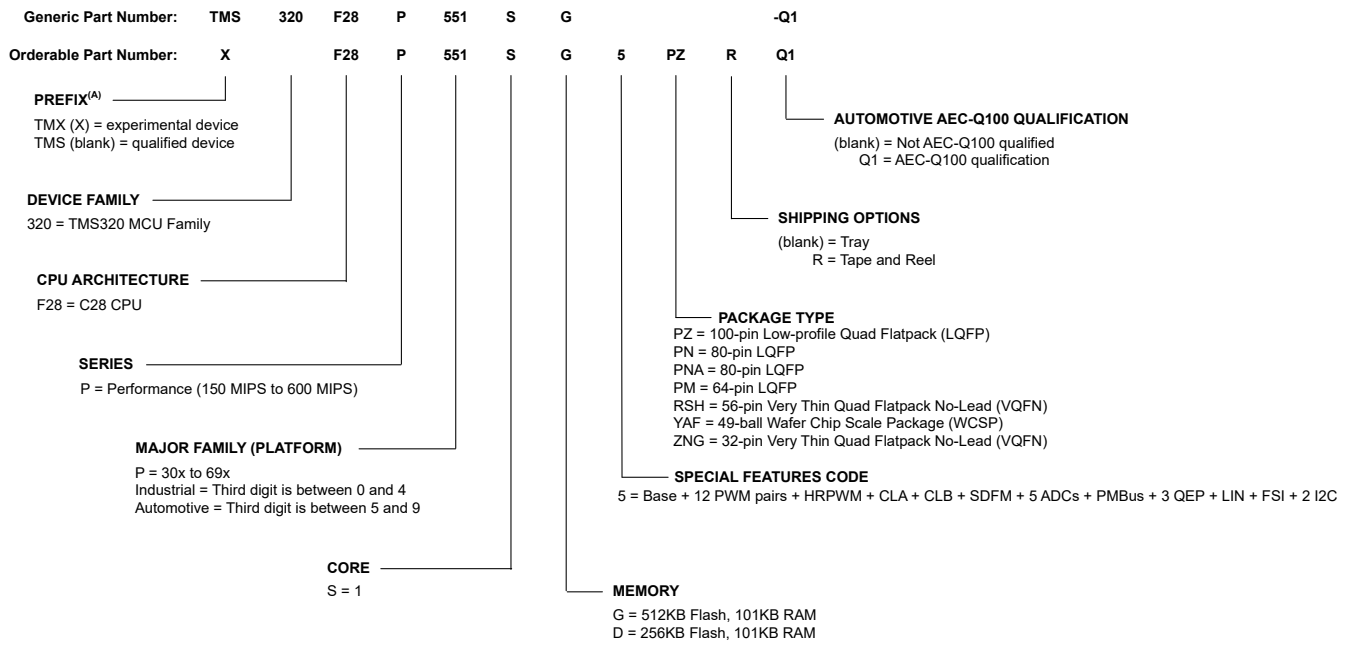


注

注文用型番には接頭辞 X を使用。

図 9-2. デバイスの命名規則 P552

Copyright © 2026 Texas Instruments Incorporated



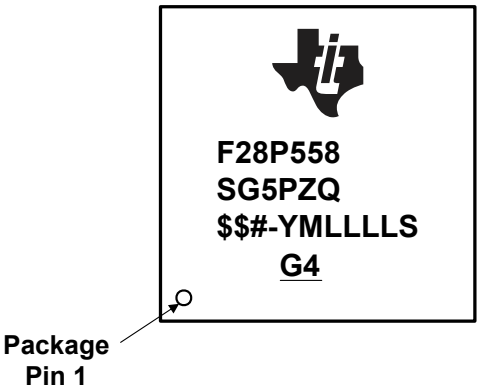
注

注文用型番には接頭辞 X を使用。

図 9-3. デバイスの命名規則 P551

9.2 マーキング

図 9-4、図 9-5、図 9-6、図 9-7、図 9-8、図 9-10、図 9-11、図 9-12 および図 9-13 に、パッケージ マーキングを示します。表 9-1 に、シリコンのリビジョン コードを示します。

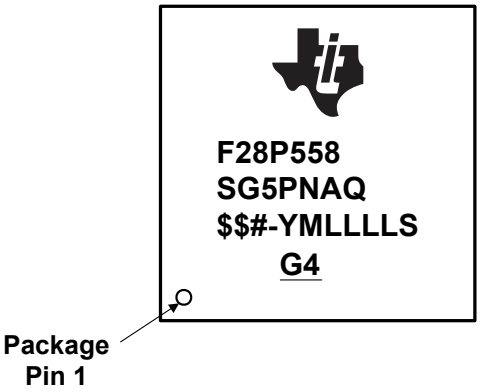


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-4. PZ パッケージのパッケージ マーキング – 車載

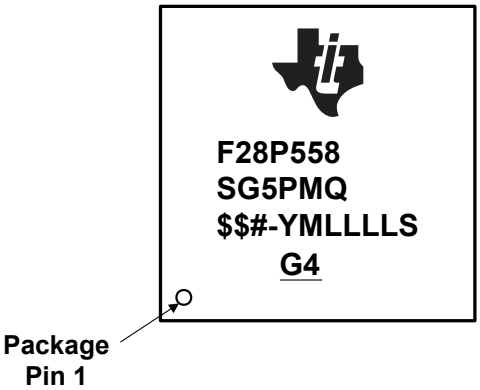


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-5. PNA パッケージのパッケージ マーキング – 車載

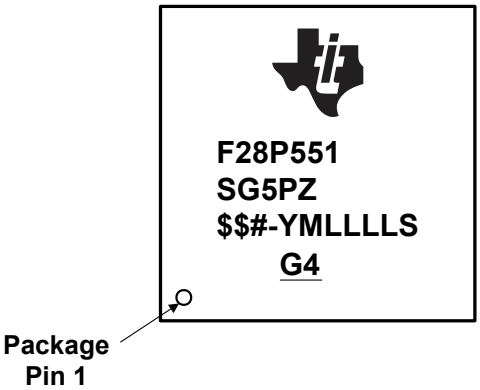


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-6. PM パッケージのパッケージ マーキング – 車載



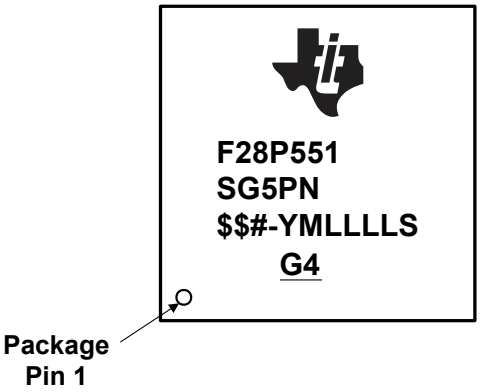
YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-7. PZ パッケージのパッケージ マーキング – 車載以外

Copyright © 2026 Texas Instruments Incorporated

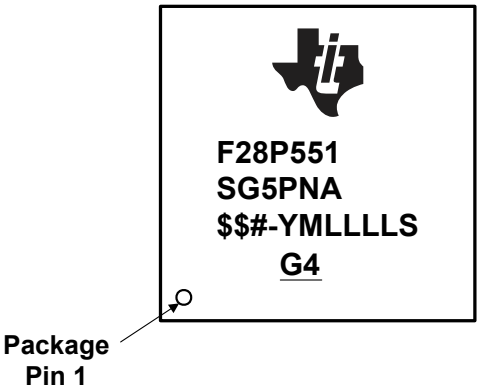


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-8. PN パッケージのパッケージ マーキング – 車載以外

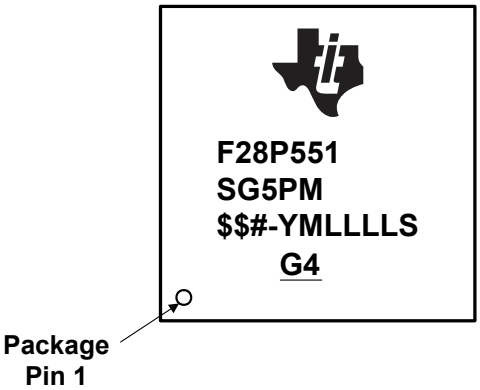


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-9. PNA パッケージのパッケージ マーキング – 車載以外

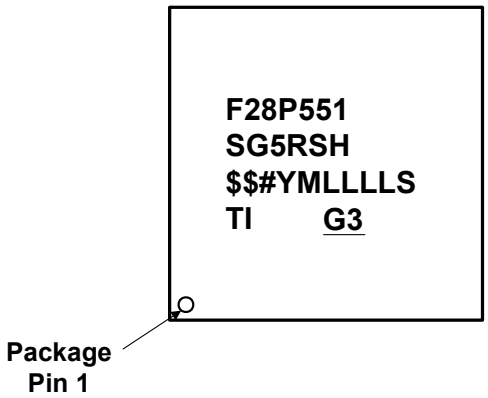


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-10. PM パッケージのパッケージ マーキング – 車載以外

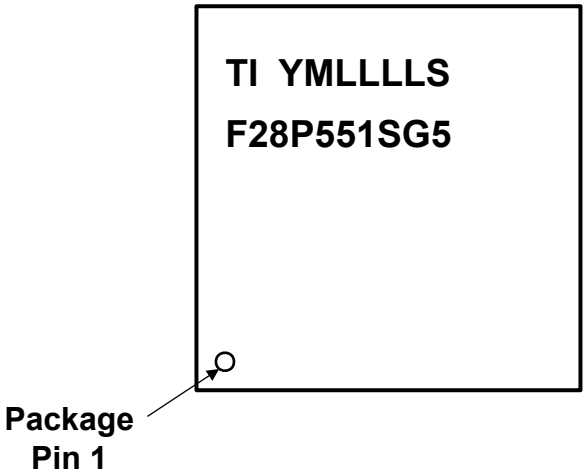


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G3 = Green (Low Halogen and RoHS-compliant)

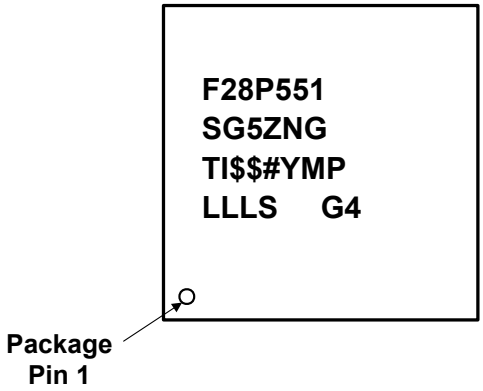
図 9-11. RSH パッケージのパッケージ マーキング – 車載以外



YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

図 9-12. YAF パッケージのパッケージ マーキング – 車載以外



$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
P = Secondary Assembly Site Code
YM = 2-digit Year/Month Code
LLL = Assembly Lot Code
S = Assembly Site Code
G4 = Green (Low Halogen and RoHS-compliant)

図 9-13. ZNG パッケージのパッケージ マーキング – 車載以外

表 9-1. リビジョンの識別

シリコンのリビジョン コード	シリコンのリビジョン	REVID[1] アドレス:0x5D00C	備考[2]
空白または「-」	0	0x0000 0001	このシリコン リビジョンは TMX/TMS として供給されます。

(1) シリコンのリビジョン ID

Copyright © 2026 Texas Instruments Incorporated

(2) 注文可能なデバイス番号については、このデータシートの末尾にある「パッケージ情報」表を参照してください。

9.3 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、C2000 リアルタイム制御 MCU - 設計および開発のページをご覧ください。

開発ツール

TI Resource Explorer
操作性を向上させるには、TI Resource Explorer からアプリケーションのサンプル、ライブラリ、資料を参照してください。

ソフトウェア ツール

C2000 MCU 用 C2000Ware
C2000™ MCU 用の C2000Ware は、ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。特定デバイス向けドライバ、ライブラリ、ペリフェラル サンプルを収録しています。

DigitalPower SDK
DigitalPower SDK は、ソフトウェア インフラ、ツール、資料の総合的なセットで、AC/DC、DC/DC、DC/AC 電源アプリケーション向け C2000 MCU ベース デジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの TI Designs (TID) が含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

モーター制御 SDK
モーター制御 SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計したソフトウェア インフラ、ツール、資料の総合的なセットです。このソフトウェアには、C2000 モーター制御評価基板 (EVM) で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けの TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを用意しています。

Code Composer Studio™ 統合開発環境 (IDE)
Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ用の統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。Code Composer Studio は、Windows®、Linux®、macOS® デスクトップからダウンロードできます。https://dev.ti.com にアクセスし、クラウド環境で使用することもできます。Code Composer Studio は、最適化 C/C++ コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能を搭載しています。直観的な IDE を使用すると、アプリケーション開発フローの各ステップを順に実行することができます。使い慣れたツールとインターフェイスを活用して、これまで以上に迅速に開発を開始できます。Code Composer Studio のデスクトップ バージョンは、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの高度な機能を組み合わせたもので、魅力的かつ機能の豊富な環境を実現しています。クラウド ベースの Code Composer Studio は、Theia アプリケーション フレームワークを活用し、大量のソフトウェアのダウンロードやインストールを不要にして、クラウド上での開発を可能にします。

SysConfig システム構成ツール
SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカル ユーティリティ コレクションです。SysConfig を使用すると、問題の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には C ヘッダとコード ファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム ソフトウェアの構成に使用することもできます。SysConfig ツールは、入力した要件を満たす PinMux 設定を自動的に選択します。SysConfig ツールは CCS に統合されており、スタンドアロン インストーラとしても提供されています。また、dev.ti.com クラウド ツール ポータルからも使用できます。SysConfig システム構成ツールの詳細については、システム構成ツールのページを参照してください。

C2000 サード パーティー検索ツール
テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティー各社の概要を手早く参照し、お客様のニーズに適したサード パーティーを見つけることができます。

UniFlash スタンドアロン フラッシュ ツール
UniFlash は、GUI、コマンドライン、またはスクリプト インターフェイスからオンチップ フラッシュ メモリをプログラムするために使用される、スタンドアロンのツールです。

モデル

製品の「設計 & 開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様(IBIS)モデルや、バウンダリ スキャン記述言語(BSDL)モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計 & 開発」ページの「設計ツール & シミュレーション」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるよう、TI は各種のトレーニング リソースを開発しました。オンライン トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、C2000™ アルタイム制御 MCU - サポート & トレーニングのサイトを参照してください。

9.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

Copyright © 2026 Texas Instruments Incorporated

エラッタ

『TMS320F28P551、TMS320F28P552 および TMS320F28P558 リアルタイム MCU シリコン エラッタ』には、シリコンについて既知の問題と回避方法が記載されています。

テクニカル リファレンス マニュアル

『TMS320F28P551/552/558 リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』には、F28P551/552/558 リアルタイム マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

CPU ユーザー ガイド

『TMS320C28x CPU および命令セット リファレンス ガイド』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

ペリフェラル ガイド

『C2000 リアルタイム マイクロコントローラ ペリフェラル リファレンス ガイド』は、TMS320x28x および F29x デバイスで使用可能なペリフェラルについて説明しています。このリファレンス ガイドには、各デバイスで使用されるペリフェラルと、それらのペリフェラルの説明が記載されています。

ツール ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラ ディレクティブ、マクロ、共通オブジェクト ファイル フォーマット、シンボリック デバッグ ディレクティブについて記述しています。

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

機能安全マニュアル

『TMS320F28P55x リアルタイム マイコン用機能安全マニュアル』は、高性能 C2000™ リアルタイム マイコン製品ラインの一部である、テキサス インスツルメンツの TMS320F28P55x マイコン シリーズ用の機能安全マニュアルです。C2000 製品ラインは、車載用および産業用アプリケーションの複数の製品に実装される、一般的な安全アーキテクチャを活用しています。この機能安全マニュアルは機能安全準拠設計パッケージの一部であり、ISO26262 または IEC61508 機能安全規格に準拠するシステムを設計するお客様を支援します。

アプリケーション ノート

「SMT & パッケージ アプリケーション ノート」Web サイトには、テキサス・インスツルメンツの表面実装テクノロジ (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

C2000™ マイクロコントローラのシリアル フラッシュ プログラミング については、フラッシュカーネルおよび ROM ローダーを使用したデバイスのシリアルプログラミングについて説明しています。

『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

『8 ビット (バイト) アドレス指定可能な CPU から C28x CPU へのソフトウェアの移行』では、8 ビット (バイト) アドレス指定可能な CPU から C28x CPU にソフトウェアを移行する一般的なシナリオについて議論するとともに、アドレス指定能力にかかわらずアプリケーションを開発する方法について説明しています。

*『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノート*は、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

9.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.6 商標

C2000™, TMS320C2000™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Windows® is a registered trademark of Microsoft Corporation.
Linux® is a registered trademark of Linus Torvalds.
macOS® is a registered trademark of Apple Inc.
すべての商標は、それぞれの所有者に帰属します。

9.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from May 1, 2026 to September 16, 2026 **Page**

- ePWM インスタンス 1 ～ 6 に HRPWM が存在することを明確化する注を追加 7
- PWM4B および PWM9B が 49 ピンおよび 32 ピンパッケージでパッケージに制限があることを明確にする注を追加 7
- 49 および 32 ピンパッケージでの FSI 使用に関する注を修正 7
- SCI ブート オプションの注を追加し、49 ピンおよび 32 ピン パッケージのオプション 1 がデフォルトであることを明確化。 241

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

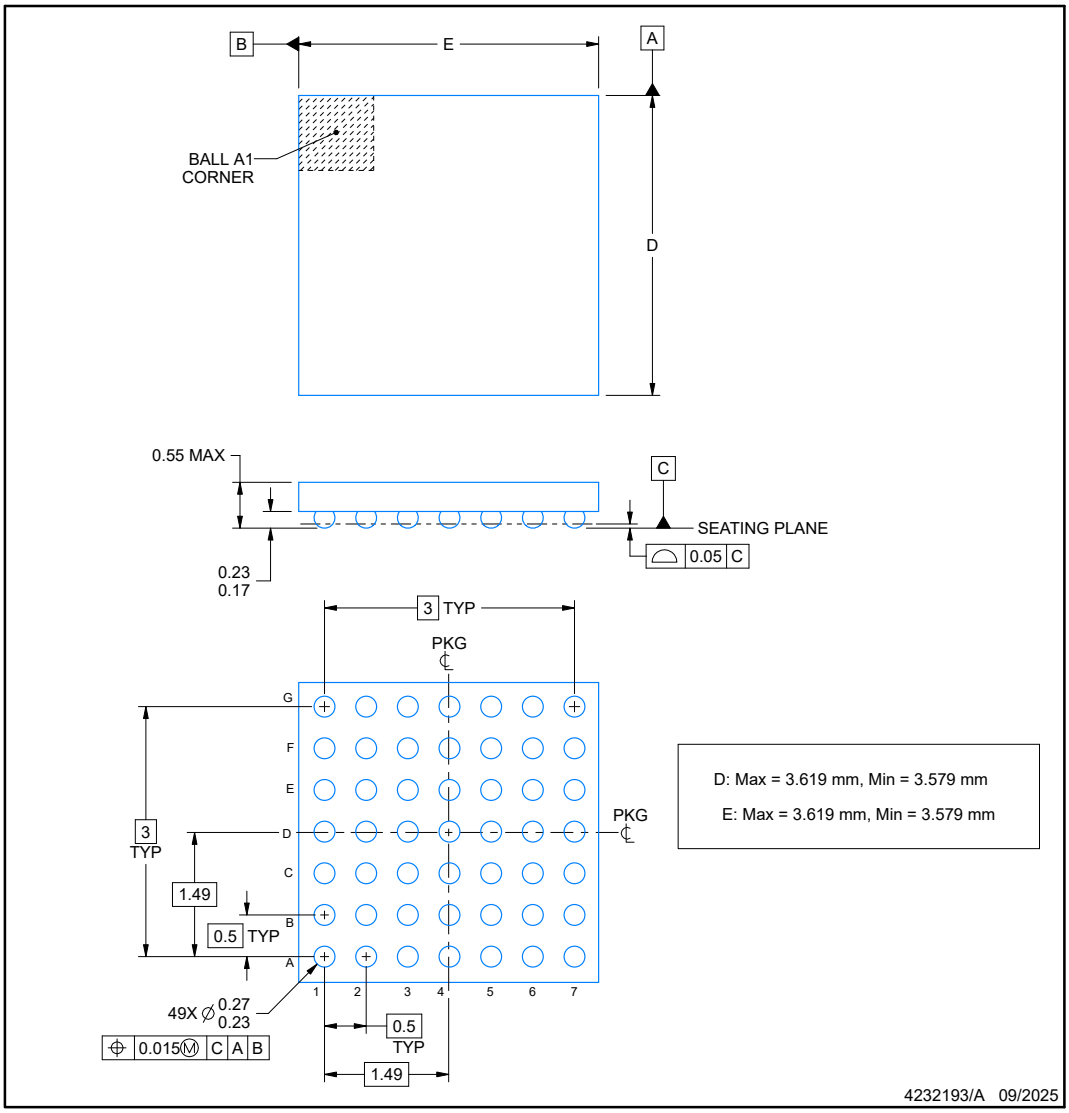
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGE OUTLINE

YAF0049-C02

DSBGA - 0.55 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

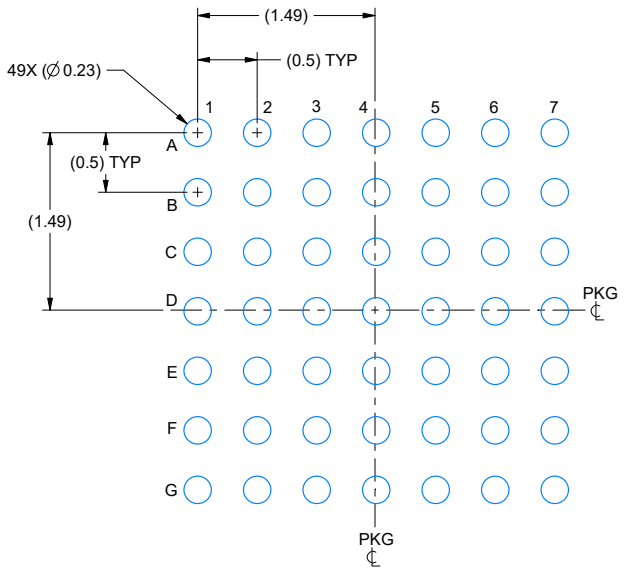
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

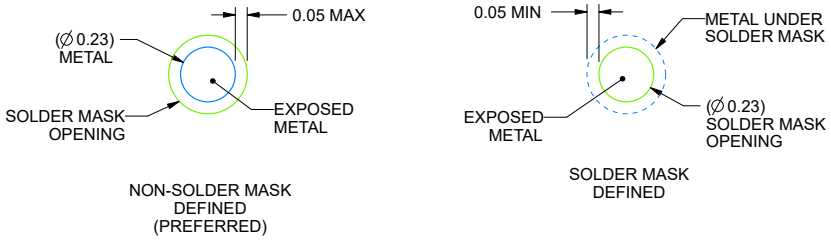
EXAMPLE BOARD LAYOUT

YAF0049-C02 **DSBGA - 0.55 mm max height**

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS
NOT TO SCALE

4232193/A 09/2025

NOTES: (continued)

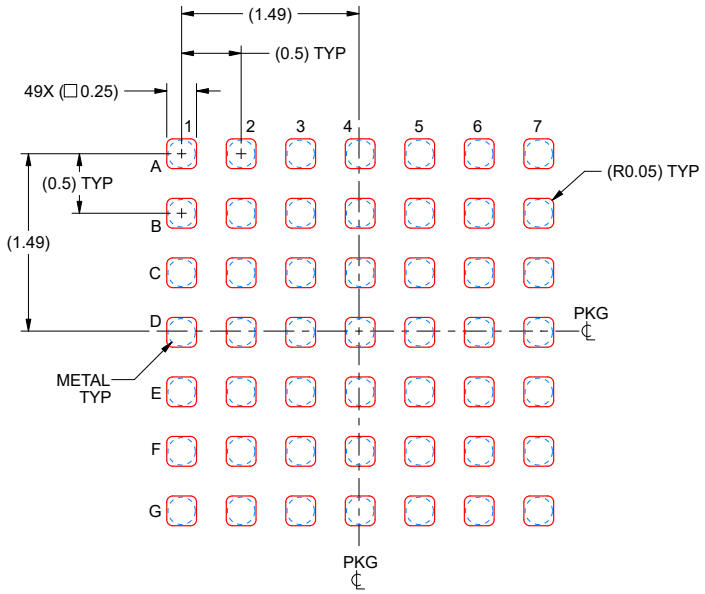
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YAF0049-C02 **DSBGA - 0.55 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 20X

4232193/A 09/2025

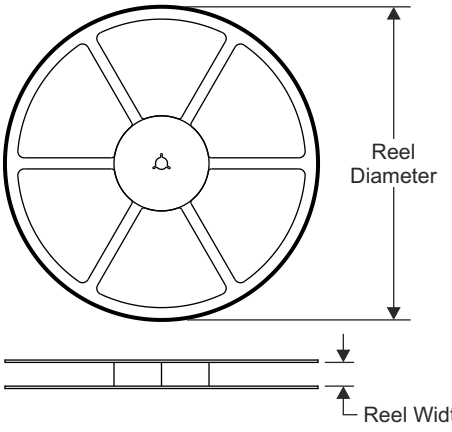
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

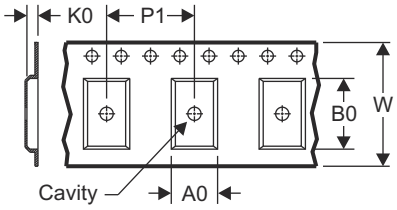
Copyright © 2026 Texas Instruments Incorporated

テープおよびリール情報

REEL DIMENSIONS

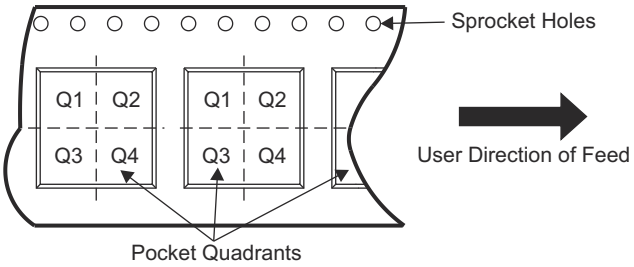


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



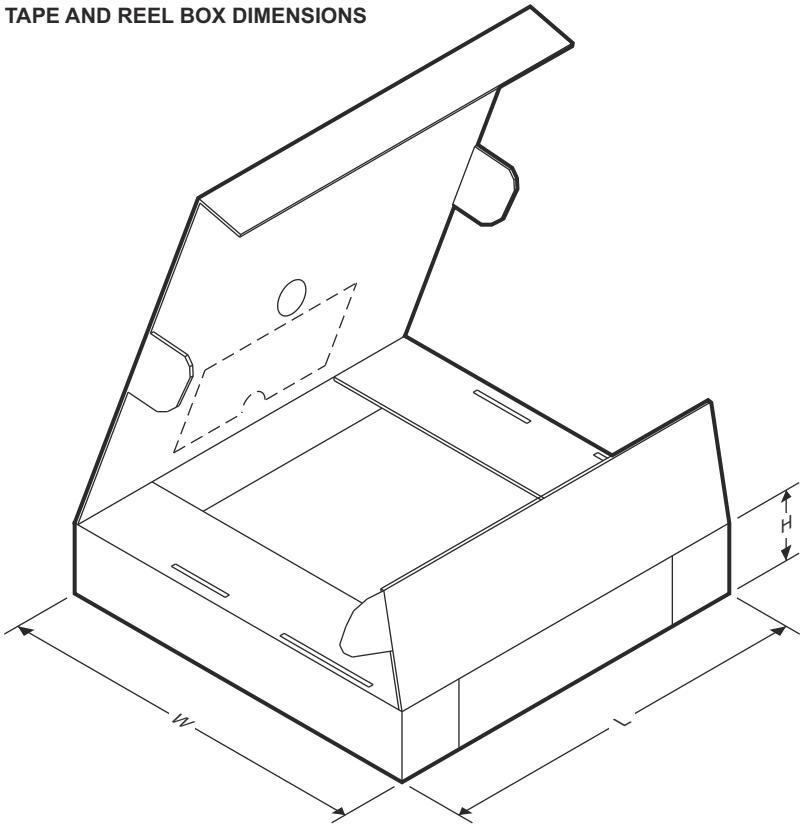
すべての寸法は公称値です。

デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
F28P558SG5PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P558SG3PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P558SG2PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P558SG5PNARQ1	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG3PNARQ1	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG2PNARQ1	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG5PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG3PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG2PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SD5PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P552SG4PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SG3PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SD3PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SG5PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SD5PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P552SG4PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG3PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SD3PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5PNAR	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P552SG4PNAR	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5PMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SD5PMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
F28P551SD5RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

Copyright © 2026 Texas Instruments Incorporated

デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
F28P551SG5YAFR	WCSP	YAF	49	6000	330.0	12.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS

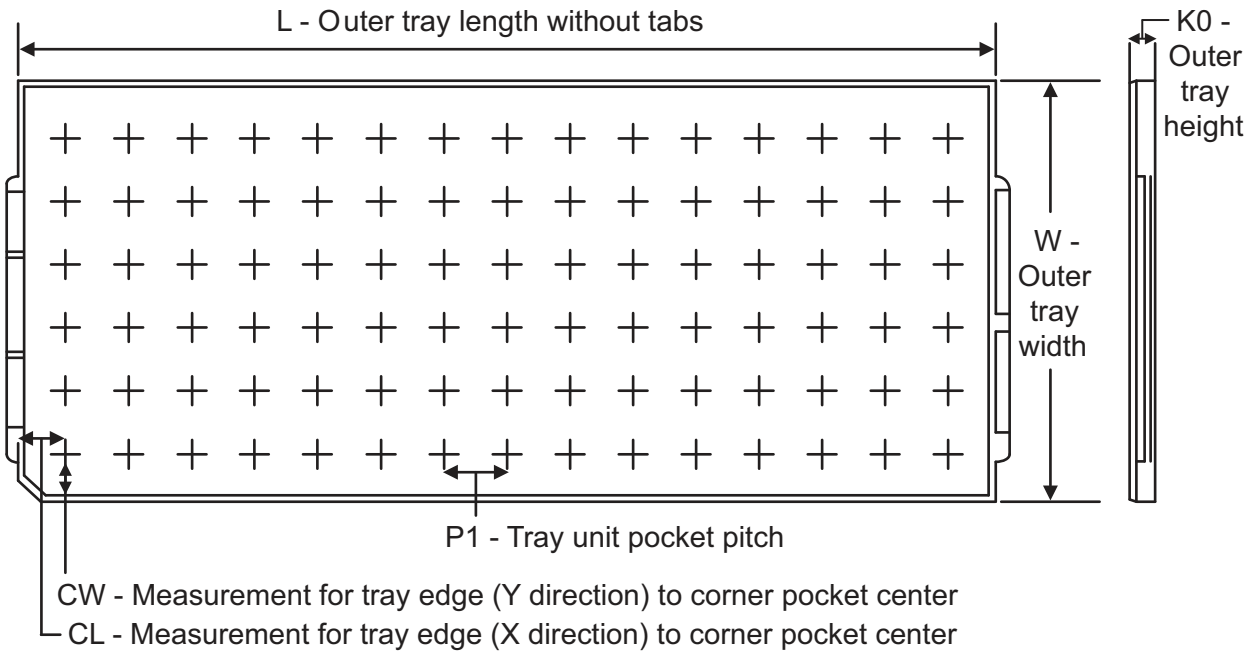


すべての寸法は公称値です。

デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
F28P558SG5PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P558SG2PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG5PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG5PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SG5PMR	LQFP	PM	64	1000	336.6	336.6	41.3
F28P551SG5RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0
F28P551SD5PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SD5PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SD5PMR	LQFP	PM	64	1000	336.6	336.6	41.3
F28P551SD5RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0
F28P552SG4PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P552SG4PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SG3PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG3PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SD3PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SD3PNR	LQFP	PN	80	1000	336.6	336.6	41.3

Copyright © 2026 Texas Instruments Incorporated

トレイ



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

すべての寸法は公称値です。

デバイス	パッケージタイプ	パッケージ名	ピン	SPQ	製品のアレイマトリクス	最大温度 (℃)	奥行き L (mm)	幅 W (mm)	K0 (µm)	P1 (mm)	切り欠きの奥行き CL (mm)	切り欠きの幅 CW (mm)
F28P558SG5PZQ1	LQFP	PZ	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F28P558SG5PNAQ1	LQFP	PNA	100	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
F28P558SG5PMQ1	LQFP	PM	100	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
XF28P551SG5PZ	LQFP	PZ	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
XF28P551SG5PN	LQFP	PN	80	119	7 x 17	150	315	135.9	7620	17.9	14.3	13.95
XF28P551SG5PNA	LQFP	PNA	80	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
XF28P551SG5PM	LQFP	PM	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
XF28P551SG5ZNG	VQFN	ZNG	32	490		150	315	135.9	7620			

付録：パッケージ･オプション

パッケージ情報

注文可能な型番	ステータス(1)	資料のタイプ(2)	パッケージ | ピン数	パッケージ数量 | キャリア	RoHS(3)	リード端子の仕上げ / ボールの原材料(4)	MSL 定格/ピーク リフロー(5)	動作温度 (℃)	部品マーキング(6)
F28P558SG5PZRQ1	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG5PZQ
F28P558SG5PZQ1	プレビュー	量産出荷中	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG5PZQ
F28P558SG3PZRQ1	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG3PZQ
F28P558SG2PZRQ1	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG2PZQ
F28P558SG5PNARQ1	プレビュー	量産出荷中	LQFP (PNA) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG5PNAQ
F28P558SG5PNAQ1	プレビュー	量産出荷中	LQFP (PNA) | 80	160 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG5PNAQ
F28P558SG3PNARQ1	プレビュー	量産出荷中	LQFP (PNA) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG3PNAQ
F28P558SG2PNARQ1	プレビュー	量産出荷中	LQFP (PNA) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG2PNAQ
F28P558SG5PMRQ1	プレビュー	量産出荷中	LQFP (PM) | 64	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG5PMQ
F28P558SG5PMQ1	プレビュー	量産出荷中	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG5PMQ
F28P558SG3PMRQ1	プレビュー	量産出荷中	LQFP (PM) | 64	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG3PMQ
F28P558SG2PMRQ1	プレビュー	量産出荷中	LQFP (PM) | 64	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P558SG2PMQ
F28P551SG5PZ	アクティブ	量産開始前	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PZ
F28P551SG5PZR	アクティブ	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PZ
F28P552SG4PZR	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SG4PZ

Copyright © 2026 Texas Instruments Incorporated

注文可能な型番	ステータス(1)	資料のタイプ(2)	パッケージ | ピン数	パッケージ数量 | キャリア	RoHS(3)	リード端子の仕上げ / ボールの原材料(4)	MSL 定格/ピーク リフロー(5)	動作温度 (℃)	部品マーキング(6)
F28P552SG3PZR	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SG3PZ
F28P551SD5PZR	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SD5PZ
F28P552SD3PZR	プレビュー	量産出荷中	LQFP (PZ) | 100	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SD3PZ
XF28P551SG5PNR	アクティブ	量産開始前	LQFP (PN) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PN
XF28P551SG5PN	アクティブ	量産開始前	LQFP (PN) | 80	90 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PN
F28P551SG5PNR	プレビュー	量産出荷中	LQFP (PN) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PN
F28P551SG5PN	プレビュー	量産開始前	LQFP (PN) | 80	90 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PN
F28P552SG4PNR	プレビュー	量産出荷中	LQFP (PN) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SG4PN
F28P552SG3PNR	プレビュー	量産出荷中	LQFP (PN) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SG3PN
F28P551SD5PNR	プレビュー	量産出荷中	LQFP (PN) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SD5PN
F28P552SD3PNR	プレビュー	量産出荷中	LQFP (PN) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SD3PN
XF28P551SG5PNAR	アクティブ	量産開始前	LQFP (PNA) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PNA
XF28P551SG5PNA	アクティブ	量産開始前	LQFP (PNA) | 80	160 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PNA
F28P551SG5PNAR	プレビュー	量産出荷中	LQFP (PNA) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PNA
F28P551SG5PNA	プレビュー	量産開始前	LQFP (PNA) | 80	160 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PNA
F28P552SG4PNAR	プレビュー	量産出荷中	LQFP (PNA) | 80	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P552SG4PNA
XF28P551SG5PMR	アクティブ	量産出荷中	LQFP (PM) | 64	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PM

Copyright © 2026 Texas Instruments Incorporated

注文可能な型番	ステータス(1)	資料のタイプ(2)	パッケージ | ピン数	パッケージ数量 | キャリア	RoHS(3)	リード端子の仕上げ / ボールの原材料(4)	MSL 定格/ピーク リフロー(5)	動作温度 (℃)	部品マーキング(6)
XF28P551SG5PM	アクティブ	量産開始前	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PM
F28P551SG5PMR	プレビュー	量産出荷中	LQFP (PM) | 64	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PM
F28P551SG5PM	プレビュー	量産出荷中	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5PM
F28P551SD5PMR	プレビュー	量産出荷中	LQFP (PM) | 64	1000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SD5PM
XF28P551SG5RSHR	アクティブ	量産開始前	VQFN (RSH) | 56	4000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5RSH
F28P551SG5RSHR	プレビュー	量産出荷中	VQFN (RSH) | 56	4000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5RSH
F28P551SD5RSHR	プレビュー	量産出荷中	VQFN (RSH) | 56	4000 | 大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SD5RSH
XF28P551SG5YAFR	アクティブ	量産開始前	WCSP (YAF) | 49	3000 | 大口径のテープ リール	あり	NiPdAu	レベル-1-260C-UNLIM	-40～125	F28P551SG5YAF
F28P551SG5YAFR	プレビュー	量産出荷中	WCSP (YAF) | 49	3000 | 大口径のテープ リール	あり	NiPdAu	レベル-1-260C-UNLIM	-40～125	F28P551SG5YAF
XF28P551SG5ZNG	プレビュー	量産開始前	VQFN (ZNG) | 32	490 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5ZNG
F28P551SG5ZNG	プレビュー	量産出荷中	VQFN (ZNG) | 32	490 | JEDEC TRAY (10+1)	あり	NiPdAu	Level-3-260C-168 HR	-40～125	F28P551SG5ZNG

(1) **ステータス:** ステータスの詳細については、TI の製品ライフ サイクルをご覧ください。
(2) **資料のタイプ:** 指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
(3) **RoHS 値:** はい、いいえ、RoHS 免除。詳細情報および値の定義については、TI RoHS に関する声明を参照してください。
(4) **リード端子の仕上げ/ボールの原材料:** 部品には複数の材料仕上げオプションがある場合があります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
(5) **MSL 定格/ピークリフロー:** 湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
(6) **部品マーキング:** ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。
複数の部品マーキングが括弧の中に記載されています。括弧内で「～」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P551SD5PMR	Active	Production	null (null) |	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	SD5PM F28P551
F28P551SG5PM	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PM F28P551
F28P551SG5PMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PM F28P551
F28P551SG5PNR	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PN F28P551
F28P551SG5PZ	Active	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	F28P551 SG5PZ
F28P551SG5PZR	Active	Production	LQFP (PZ) | 100	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	F28P551 SG5PZ
F28P551SG5RSHR	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-	F28P551 SG5RSH
F28P551SG5YAFR	Active	Production	DSBGA (YAF) | 49	6000 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	F28P551SG5

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

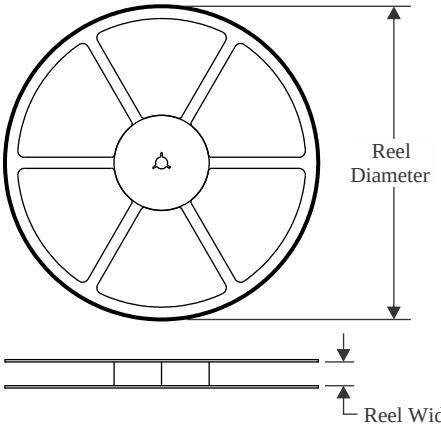
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

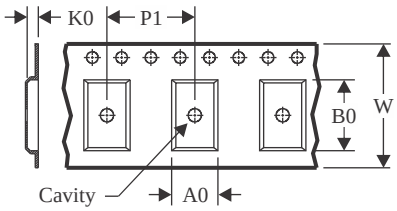
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

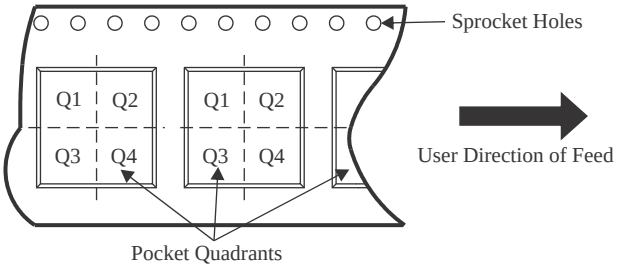


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

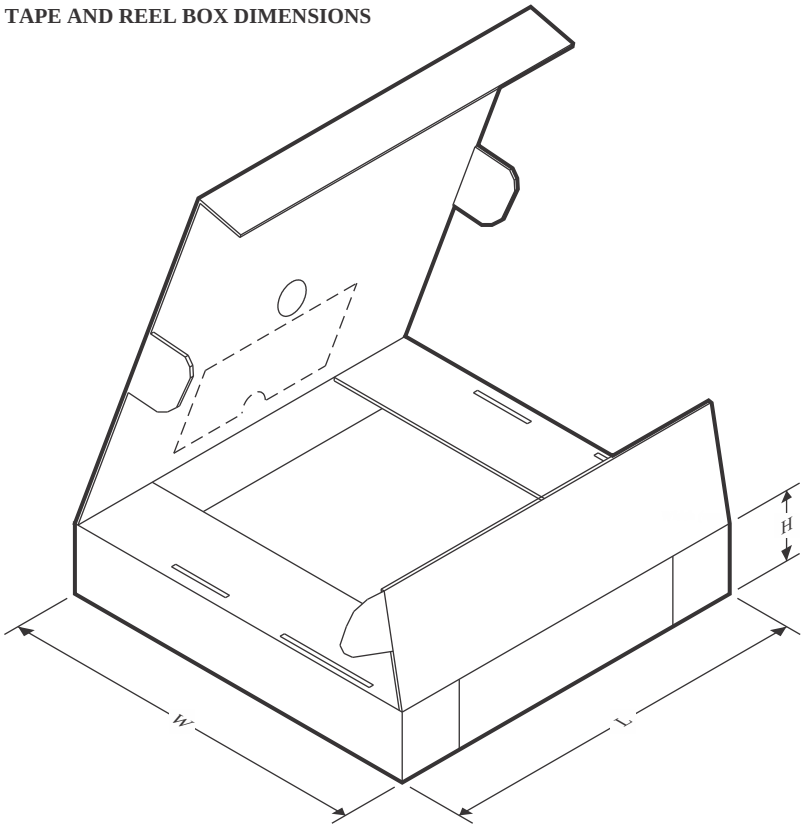
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28P551SG5PMR	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
F28P551SG5PNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F28P551SG5PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.1	24.0	32.0	Q2
F28P551SG5RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
F28P551SG5YAFR	DSBGA	YAF	49	6000	330.0	12.4	3.64	3.64	0.75	8.0	12.0	Q1

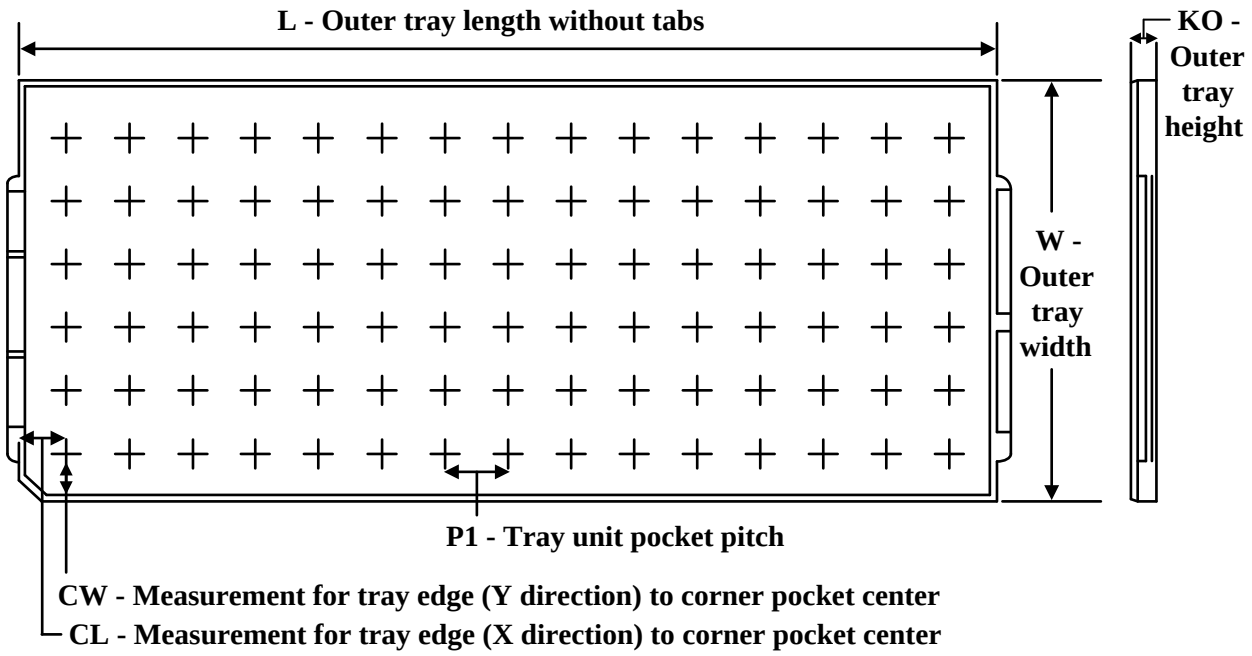
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28P551SG5PMR	LQFP	PM	64	1000	336.6	336.6	41.3
F28P551SG5PNR	LQFP	PN	80	1000	367.0	367.0	55.0
F28P551SG5PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG5RSHR	VQFN	RSH	56	4000	360.0	360.0	36.0
F28P551SG5YAFR	DSBGA	YAF	49	6000	335.0	335.0	25.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

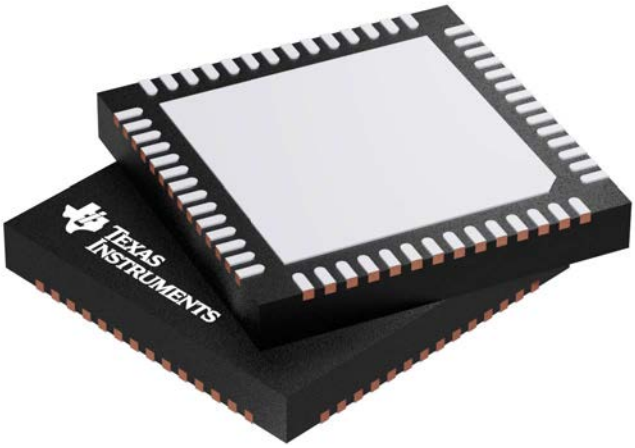
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28P551SG5PM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F28P551SG5PZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

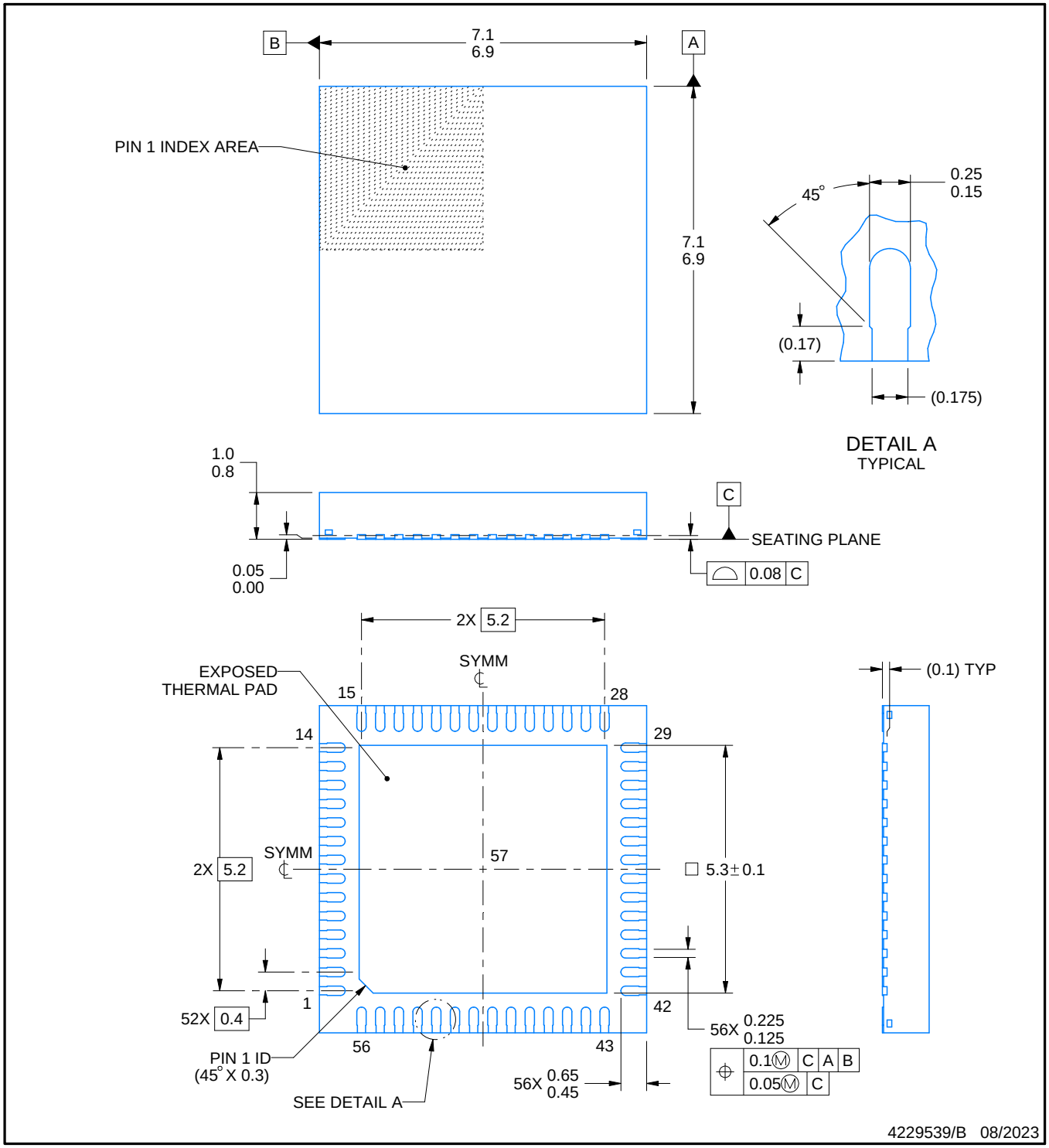
RSH 56

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

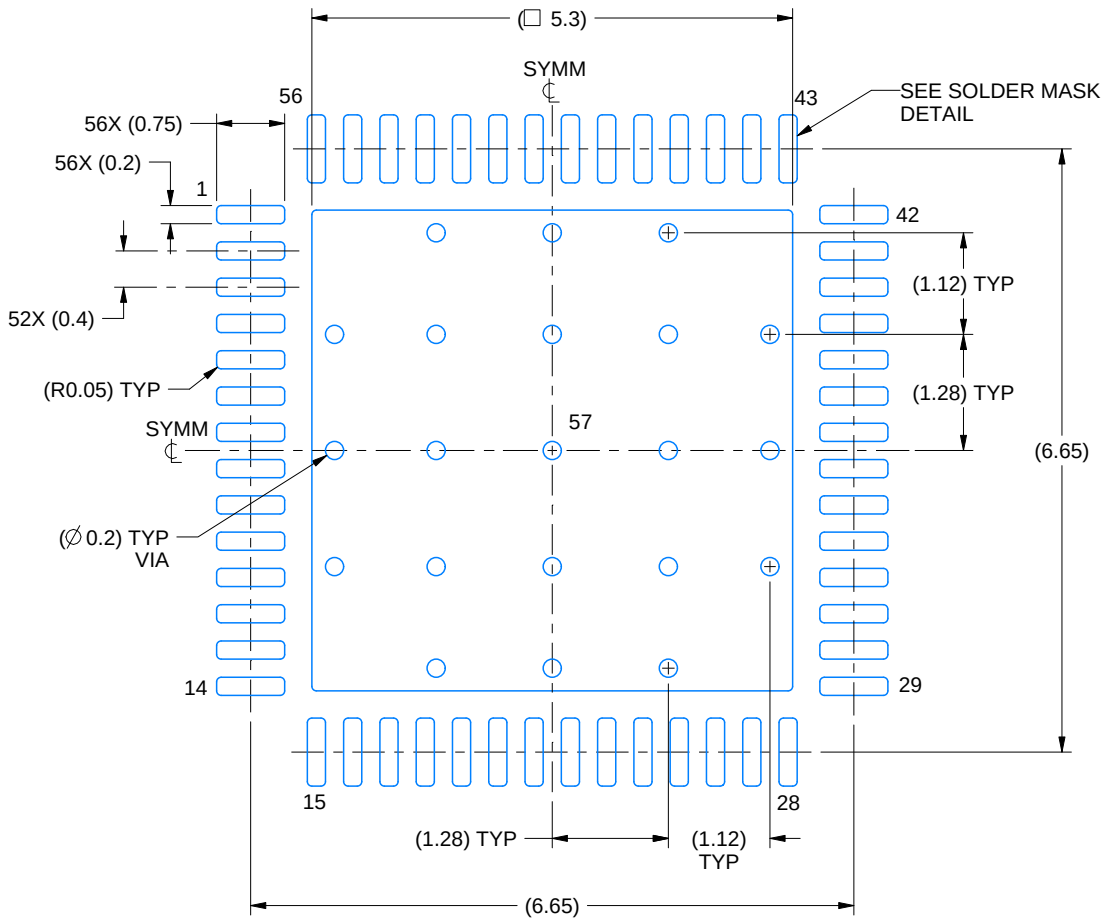


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

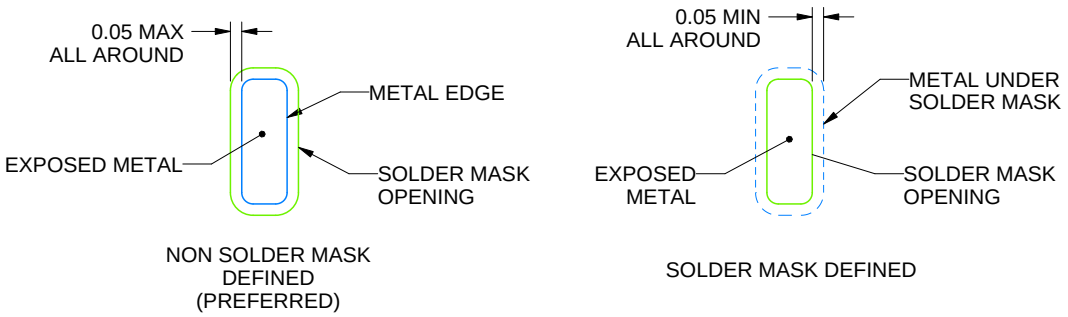


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

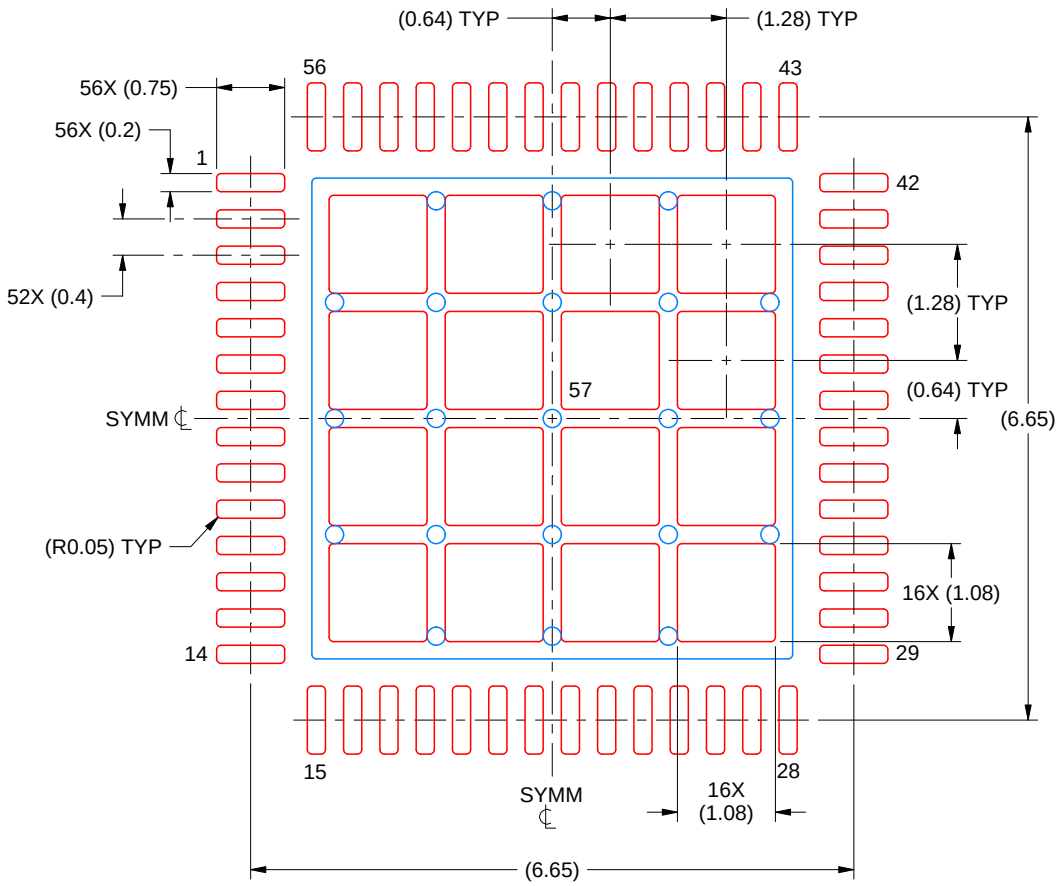


SOLDER MASK DETAILS

4229539/B 08/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



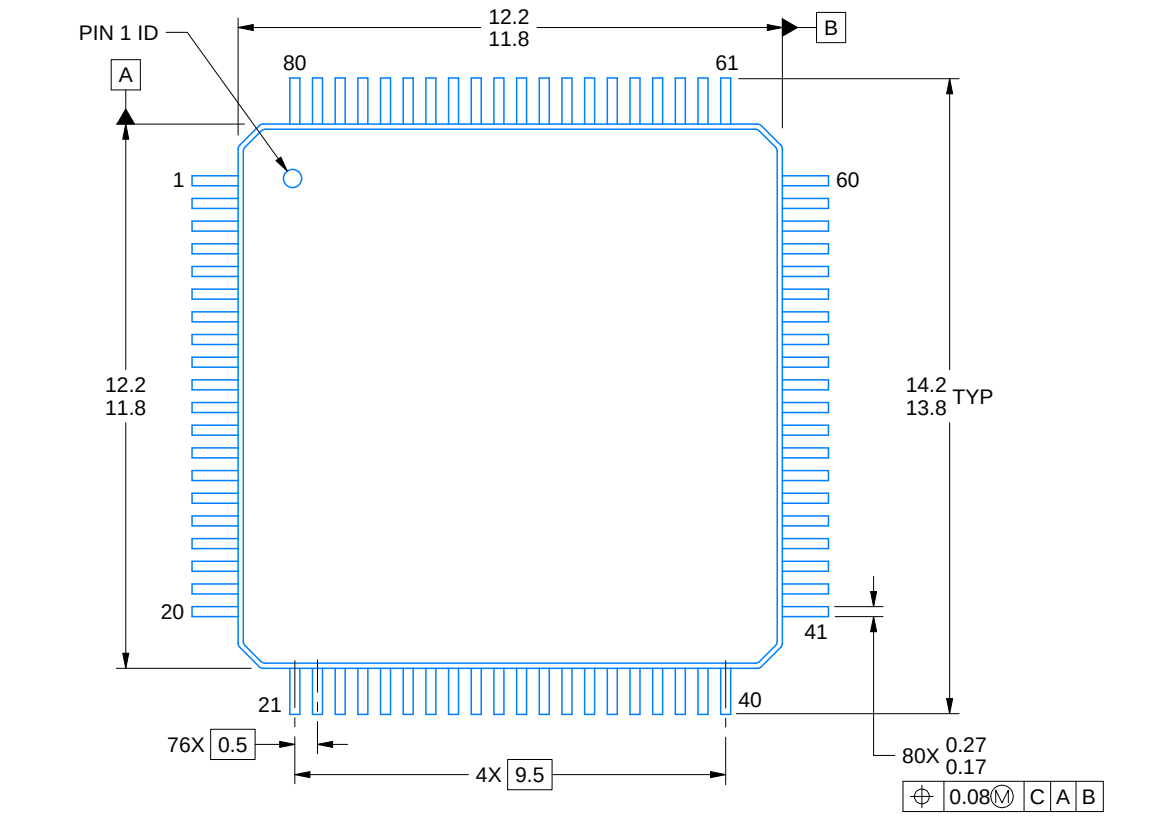
SOLDER PASTE EXAMPLE
BASED ON 0.100 MM THICK STENCIL
SCALE: 12X

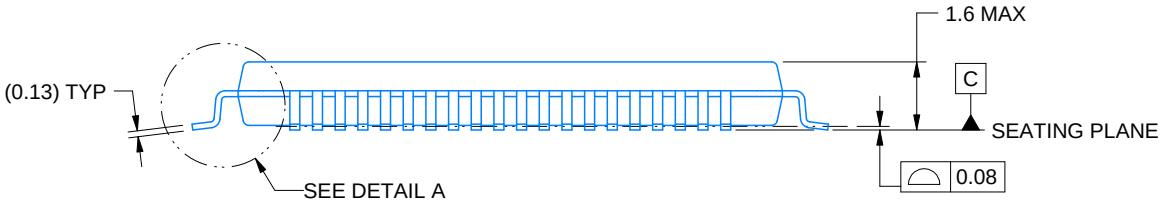
EXPOSED PAD 57
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

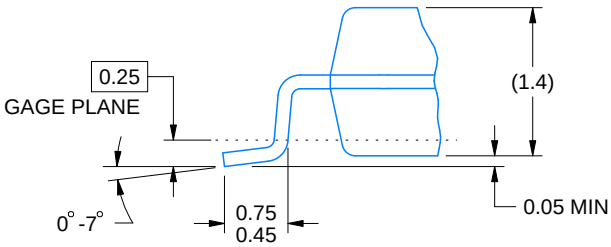
4229539/B 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.





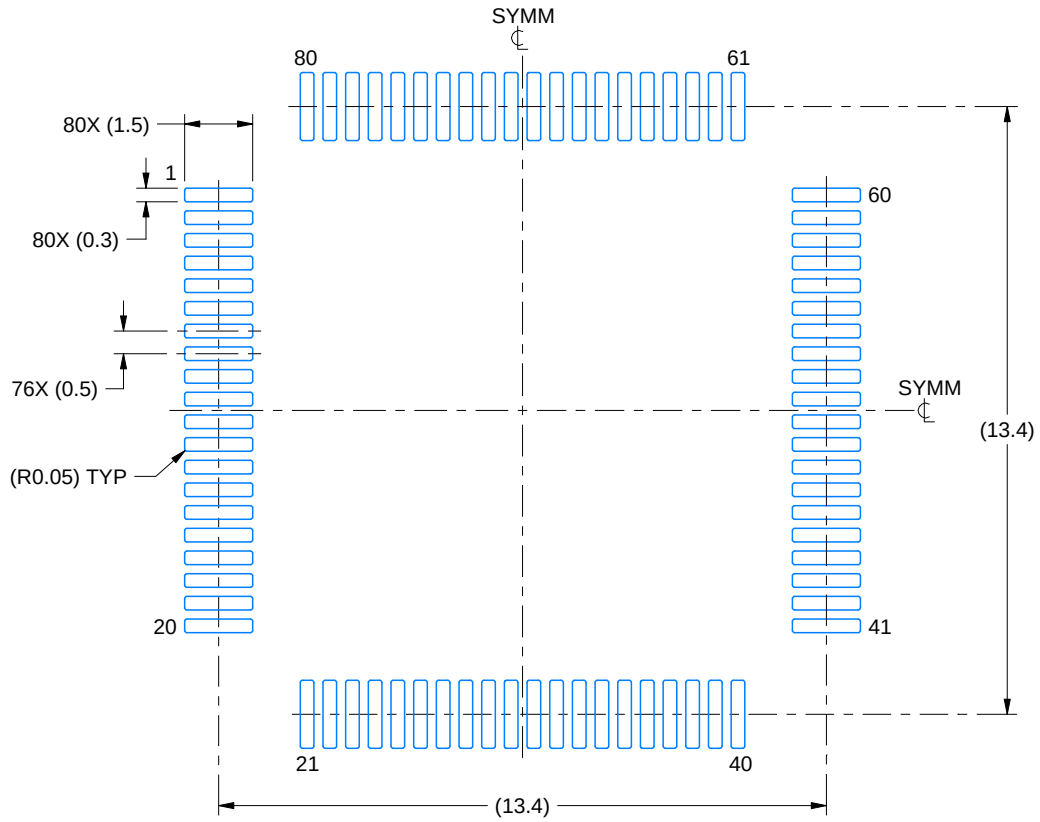


DETAIL A
TYPICAL

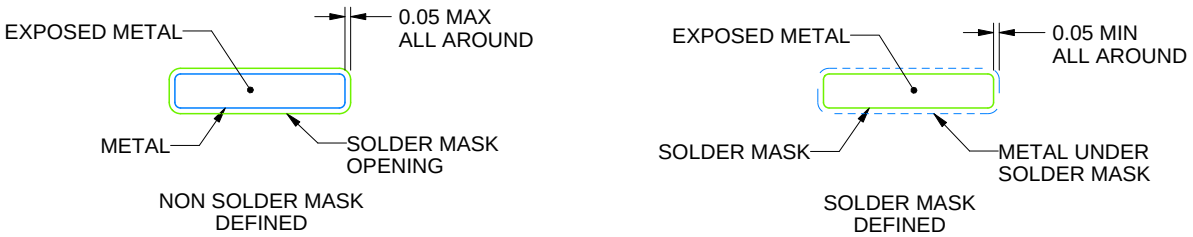
4215166/A 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

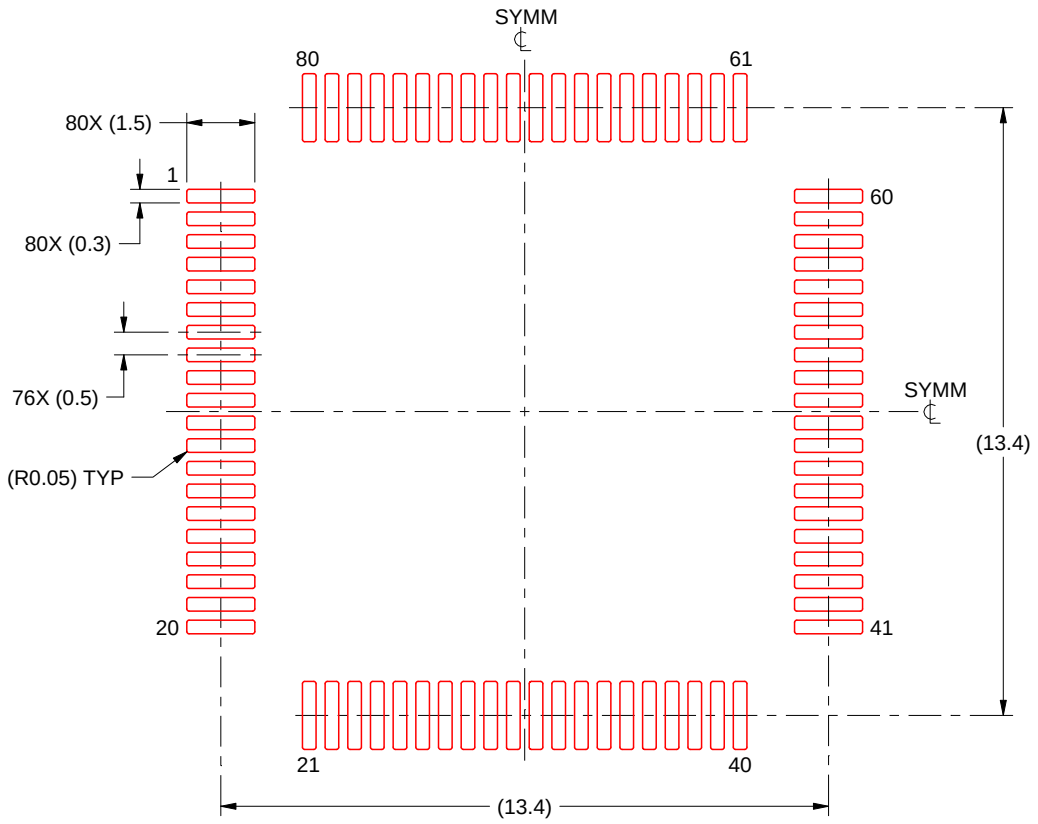


SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

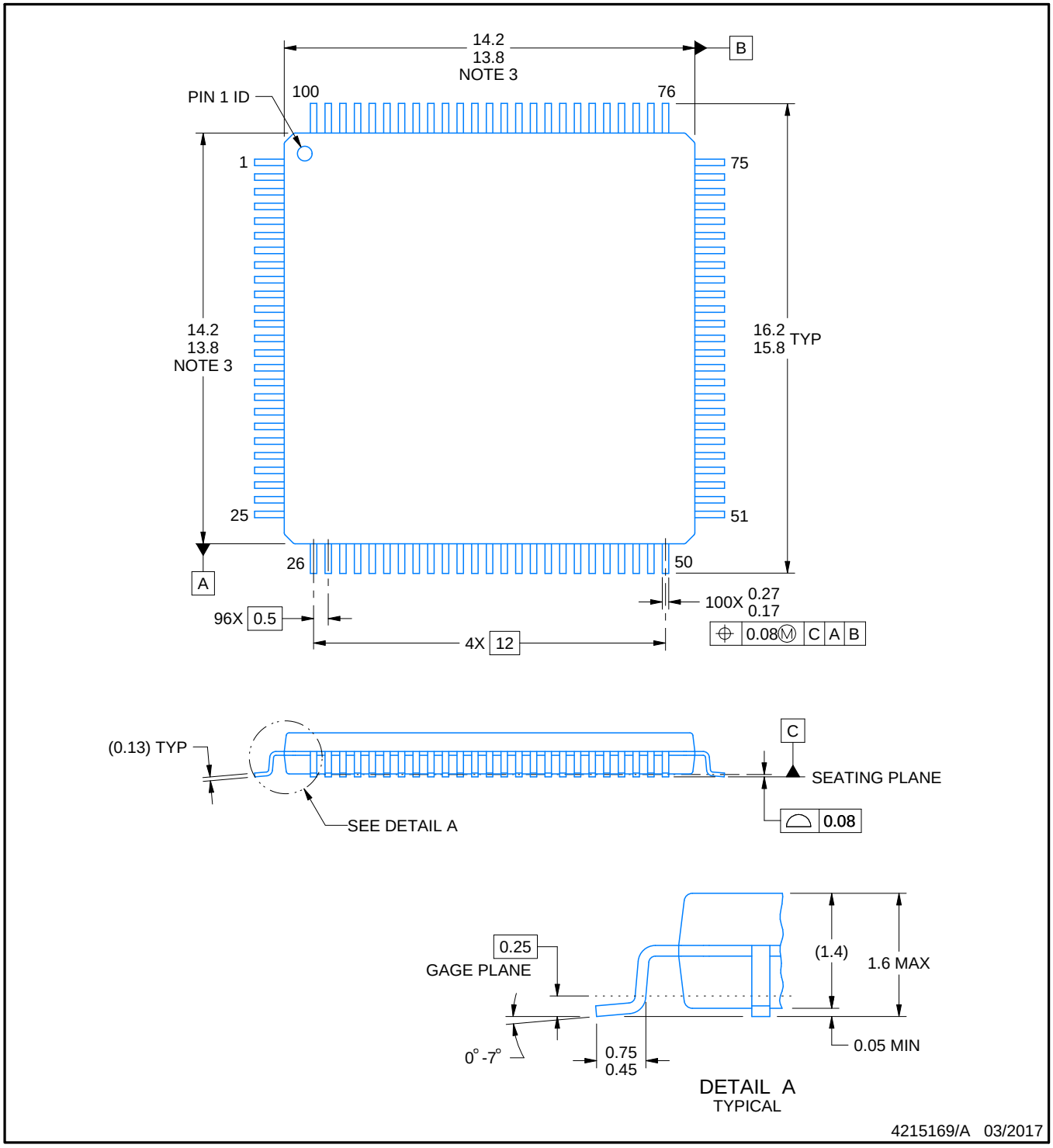


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

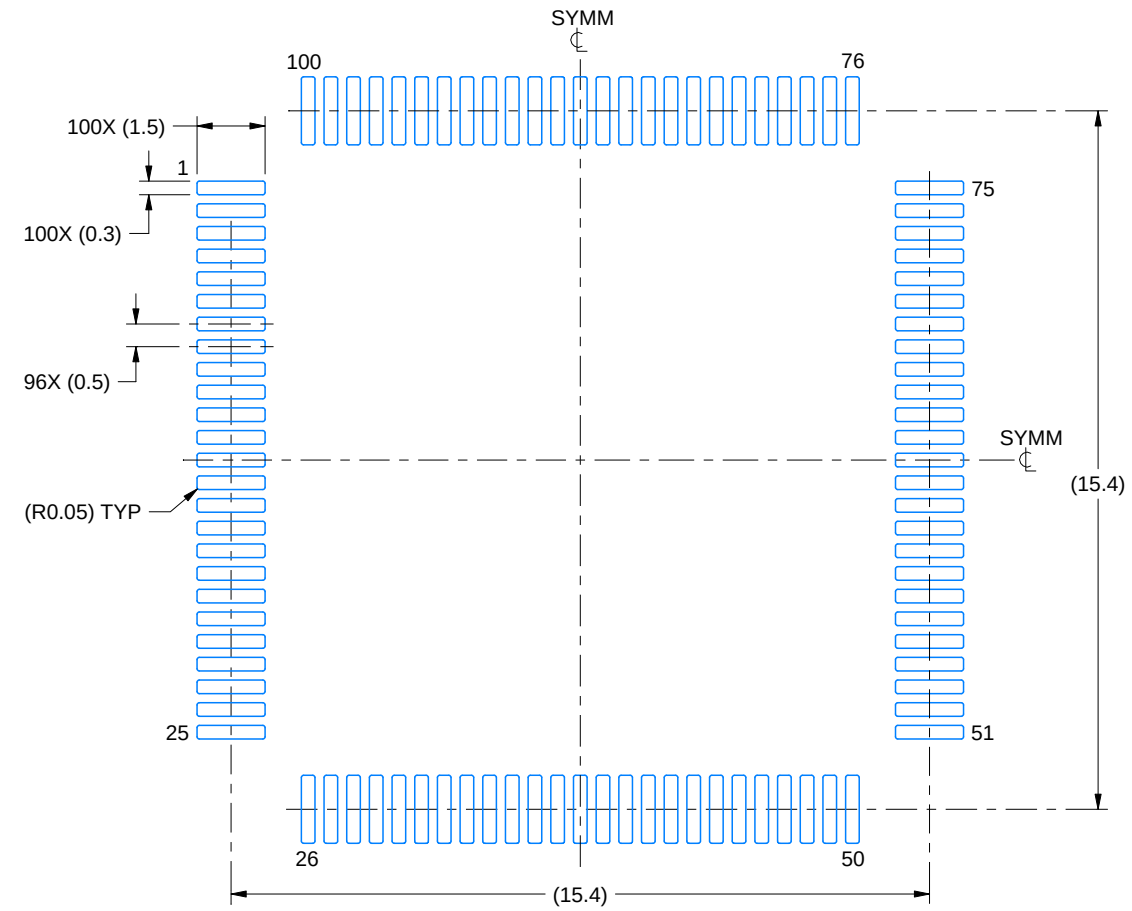
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

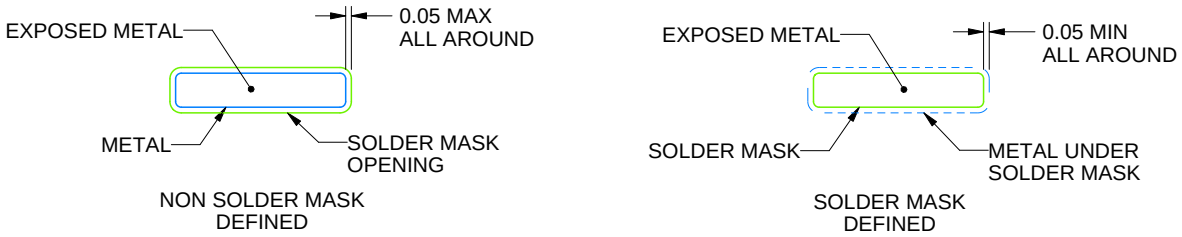


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

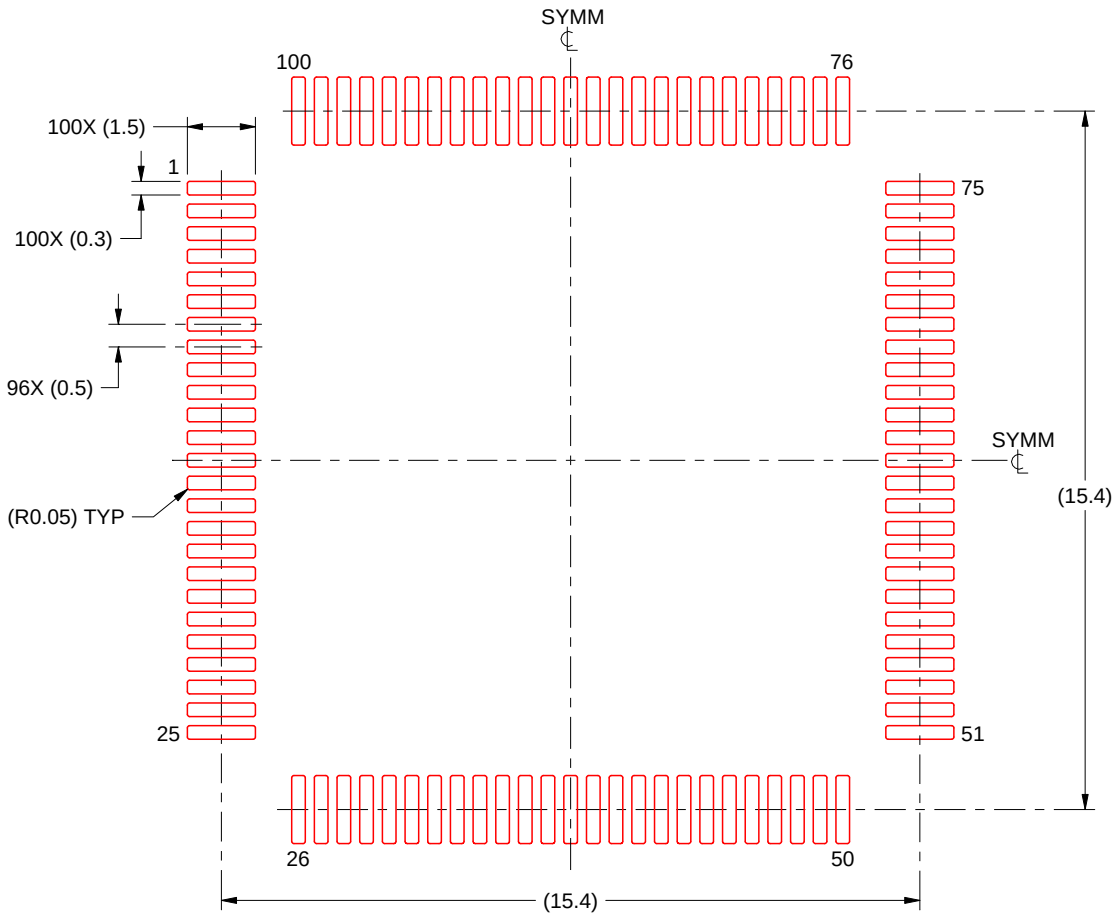


SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

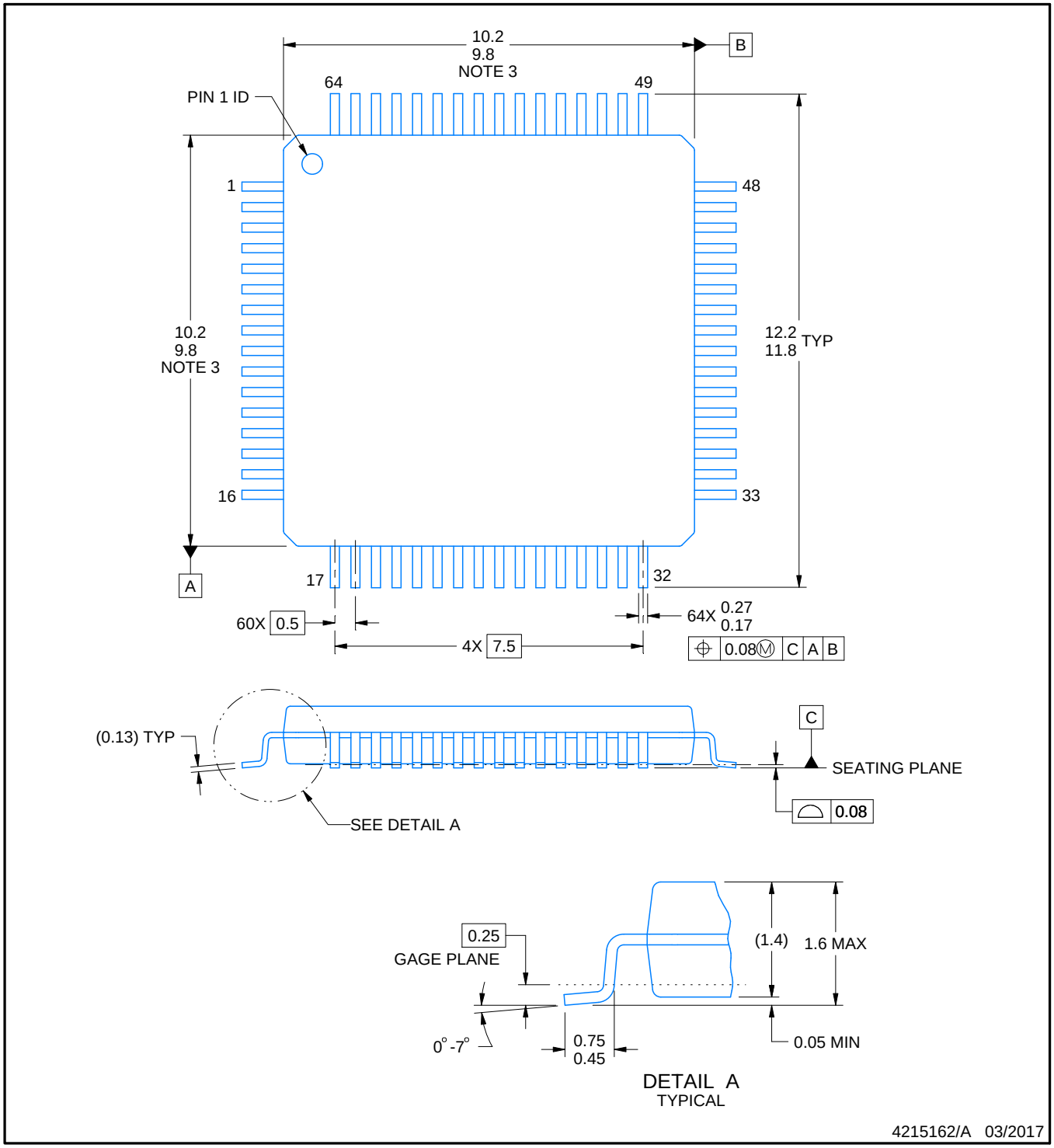


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

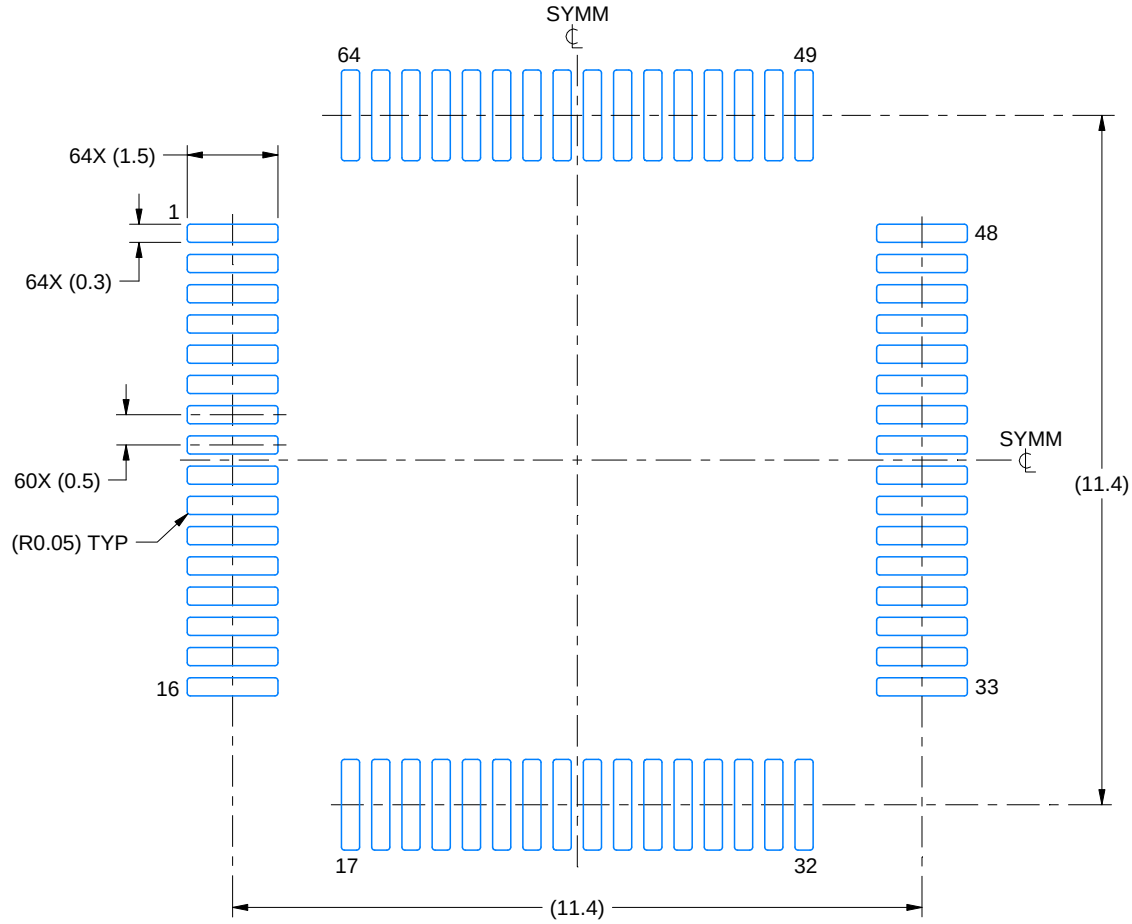
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

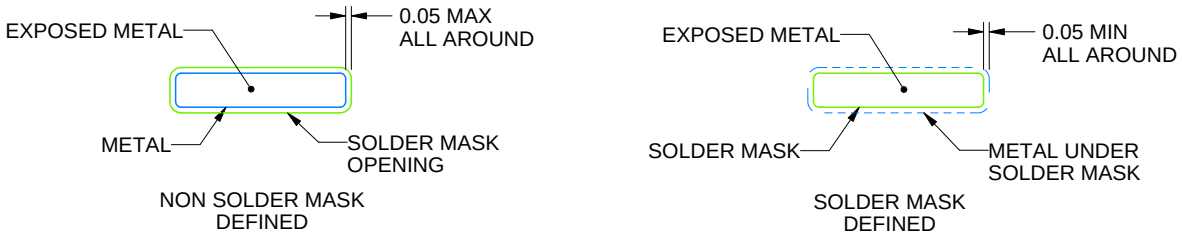


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

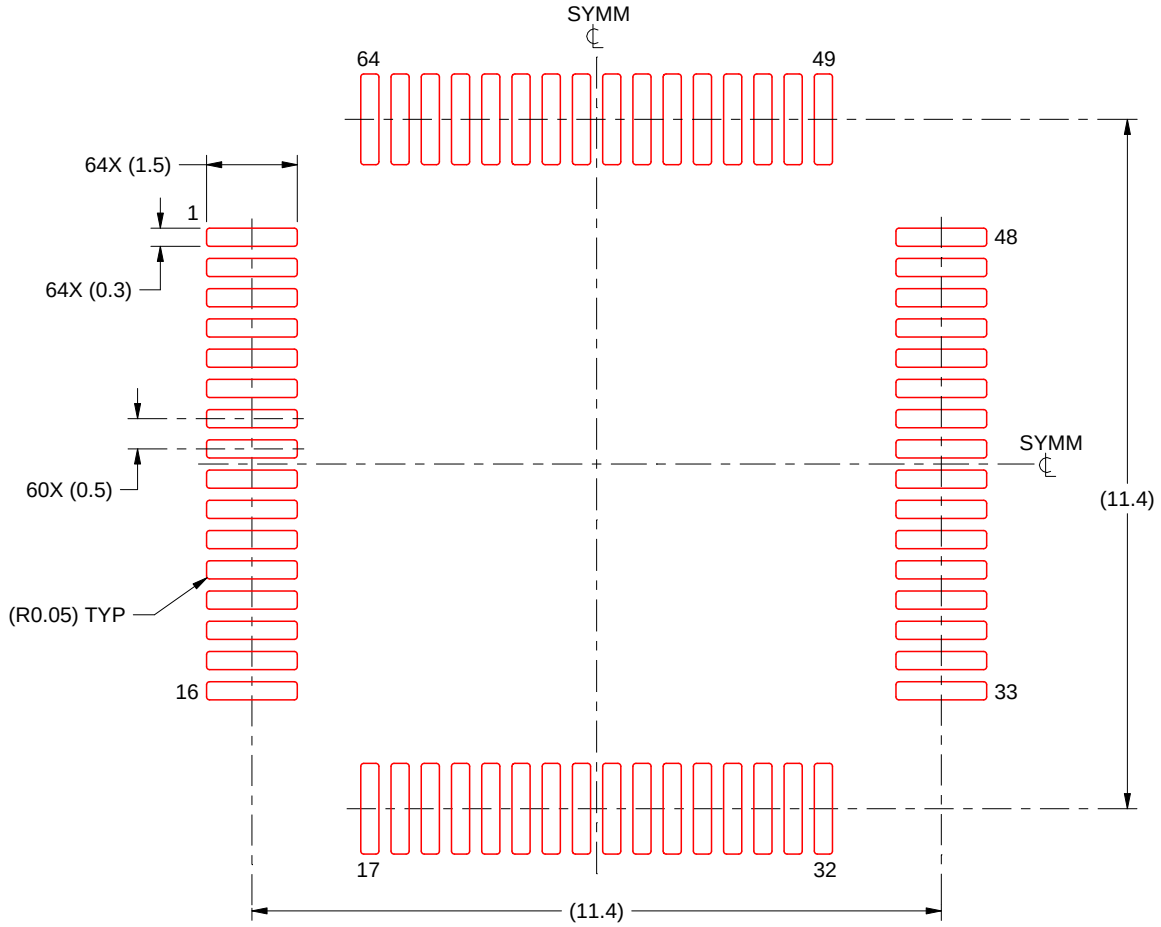


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月