TMUX142-SEP 耐放射線特性、15V、4:1、2 チャネル マルチプレクサ、1.8V ロジック対応

1 特長

- VID XXXX
- 宇宙向け強化プラスチック
  - 防衛および航空宇宙アプリケーションのサポート
  - 動作温度範囲：-55℃～+125℃
  - 管理されたベースライン
  - Au (金) ボンド ワイヤと NiPdAu リード仕上げ
  - 単一の製造、アセンブリ、テスト施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ
  - モールド コンパウンドの改良による低いガス放出
  - NASA ASTM E595 アウトガス仕様に適合
- 総吸収線量（TID）特性：30krad（Si）
  - ウェハー ロットごとに 30krad (Si) までの累積線量耐性放射線ロット受け入れ(TID RLAT)
- シングル イベント効果 (SEE) 特性：
  - シングル イベント ラッチアップ (SEL) 耐性：線エネルギー付与 (LET) = 47MeV-cm^2/mg
  - シングル イベント過渡 (SET) 特性レポートを利用可能
- 単一電源の範囲：5V ～ 15V
- デュアル電源電圧範囲： 最大 ±6V
- 低い容量：3pF
- 双方向の信号パス
- レール ツー レール動作
- 1.8V ロジック互換
- ブレイク ビフォー メイクのスイッチング動作
- ESD 保護 (HBM)：2000V

2 アプリケーション

- アナログ多重化 / 多重分離
- 低軌道 (LEO) 衛星用途
- リモート インターフェイス ユニット (RIU)
- リモート テレメトリ ユニット (RTU)
- 宇宙のシステム監視
- ラッチアップおよび過電圧検出
- パワーアップ シーケンシング保護
- オンボード データ処理用の衛星テレメトリおよびテレコマンド
- センサ データ アクイジション

3 説明

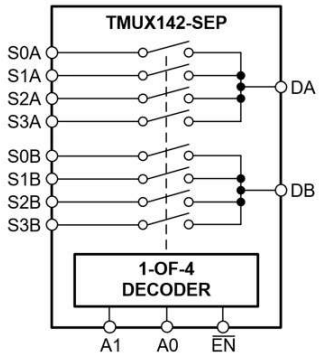
TMUX142-SEP デバイスは、2 チャネル、4:1 の汎用相補型金属酸化膜半導体 (CMOS) マルチプレクサ (MUX) です。本デバイスは、単一電源 (5V ～ 15V)、デュアル電源 (最大 ±6V)、または非対称電源 (V_{DD} = 6V、V_{SS} = -3V など) で動作します。電源電圧範囲が広いため、宇宙分野における幅広いアプリケーションで使用できます。この二つのチャネルは、差動アプリケーションとシングルエンド アプリケーションの両方に使用できます。

TMUX142-SEP デバイスは、ソース (Sx) ピンおよびドレイン (Dx) ピンで、V_{SS} から V_{DD} までの範囲の双方向アナログ信号をサポートします。すべてのロジック入力のスレッショルドは 1.8V ロジック互換で、有効な電源電圧で動作していれば、TTL と CMOS の両方のロジックと互換性があります。

パッケージ情報

部品番号	パッケージ	パッケージ サイズ(1)
TMUX142-SEP	DYY (SOT-23-THIN、16)	4.2mm × 3.26mm

(1) 詳細については、セクション 11 を参照してください。



TMUX142-SEP のブロック図

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 熱に関する情報 ... 5
5.4 推奨動作条件 ... 5
5.5 電気的特性 ... 6
5.6 AC 性能特性 ... 8
5.7 タイミング特性 ... 9
5.8 代表的特性 ... 10
6 パラメータ測定情報 ... 12
6.1 オン抵抗 ... 12
6.2 オフ リーク電流 ... 12
6.3 オン リーク電流 ... 13
6.4 遷移時間 ... 13
6.5 ブレイク ビフォー メイク ... 14
6.6 $t_{ON(EN)}$ および $t_{OFF(EN)}$ ... 14
6.7 伝搬遅延 ... 15
6.8 電荷注入 ... 15
6.9 オフ アイソレーション ... 16
6.10 クロストーク ... 16
6.11 帯域幅 ... 17
7 詳細説明 ... 18
7.1 概要 ... 18
7.2 機能ブロック図 ... 18
7.3 機能説明 ... 18
8 アプリケーションと実装 ... 20
8.1 使用上の注意 ... 20
8.2 代表的なアプリケーション ... 20
8.3 設計要件 ... 22
8.4 詳細な設計手順 ... 22
8.5 アプリケーション曲線 ... 22
8.6 電源に関する推奨事項 ... 22
8.7 レイアウト ... 23
9 デバイスおよびドキュメントのサポート ... 24
9.1 ドキュメントのサポート ... 24
9.2 ドキュメントの更新通知を受け取る方法 ... 24
9.3 サポート・リソース ... 24
9.4 商標 ... 24
9.5 静電気放電に関する注意事項 ... 24
9.6 用語集 ... 24
10 改訂履歴 ... 24
11 メカニカル、パッケージ、および注文情報 ... 24

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

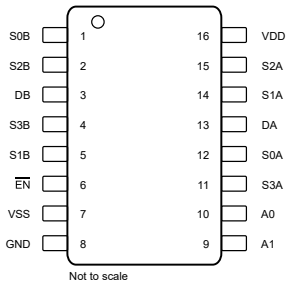


図 4-1. TMUX142-SEP DYY パッケージ、16 ピン SOT-23-THIN (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明(2)
名称	番号		
S0B	1	I/O	マルチプレクサ B のソース ピン 0。入力または出力として使用が可能。
S2B	2	I/O	マルチプレクサ B のソース ピン 2。入力または出力として使用が可能。
DB	3	I/O	マルチプレクサ B のドレイン ピン (共通)。入力または出力として使用が可能。
S3B	4	I/O	マルチプレクサ B のソース ピン 3。入力または出力として使用が可能。
S1B	5	I/O	マルチプレクサ B のソース ピン 1。入力または出力として使用が可能。
$\overline{EN}$	6	I	アクティブ "Low" ロジックのイネーブル信号。このピンが "High" 状態のとき、すべてのスイッチがオフになる。表 7-1 に、このピンを「Low」状態にしたときに、A[2:0] のアドレス入力によって、どのスイッチをオンに指定できるかを示す。
V_{SS}	7	P	負電源。このピンは最も負の電源電位になる。確実な動作を保証するため、V_{SS} と GND の間に 0.1µF～10µF のデカップリング コンデンサを接続。
GND	8	P	グランド (0V) リファレンス
A1	9	I	アドレス ライン 1 表 8-2 で、A1 がスイッチ構成を制御する方法を説明します。
A0	10	I	アドレス ライン 0 表 8-2 で、A0 がスイッチ構成を制御する方法を説明します。
S3A	11	I/O	マルチプレクサ A のソース ピン 3。入力または出力として使用が可能
S0A	12	I/O	マルチプレクサ A のソース ピン 0。入力または出力として使用が可能
DA	13	I/O	マルチプレクサ A のドレイン ピン (共通)。入力または出力として使用が可能
S1A	14	I/O	マルチプレクサ A のソース ピン 1。入力または出力として使用が可能
S2A	15	I/O	マルチプレクサ A のソース ピン 2。入力または出力として使用が可能
V_{DD}	16	P	正電源。このピンは最も正の電源電位になる。確実な動作を保証するため、V_{DD} と GND の間に 0.1µF～10µF のデカップリング コンデンサを接続。

(1) I: 入力、O: 出力、I/O: 入力または出力、P: 電源。
(2) 未使用ピンの使用方法については、セクション 7.3.4 を参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)(3)

		最小値	最大値	単位
V_{DD} - V_{SS}	電源電圧		18	V
V_{DD}		-0.5	18	V
V_{SS}		-8	0.5	V
V_{SEL} または V_{EN}	ロジック制御入力ピン電圧 ($\overline{EN}$、Ax、SELx)	-0.5	V_{DD}+0.5	V
I_{SEL} または I_{EN}	ロジック制御入力ピン電流 ($\overline{EN}$、Ax、SELx)	-0.5	28	mA
V_S または V_D	ソースまたはドレイン電圧 (Sx、D)	V_{SS}-0.5	V_{DD}+0.5	V
I_{IK}	ダイオード クランプ電流(2)	-30	30	mA
I_S または I_D (CONT)	ソースまたはドレインでの連続電流 (Sx、D)	-10	10	mA
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが正しく動作することを意味するものではありません。*「絶対最大定格」*の範囲内で、一時的に*「推奨動作条件」*の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 各入力ピンは、電源レールに対してダイオードでクランプされています。信号として過電圧が加わる場合、その電圧および電流は最大定格の範囲に制限される必要があります。

(3) V_{DD} または V_{SS} に過剰な電流が流れるのを避けるため、双方向スイッチ パス (ΔV_{switch}) での電圧降下が 1.2V (高温の場合は 600mV) を超えないようにする必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 熱に関する情報

熱評価基準(1)		TMUX142-SEP DYY (SOT) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	138.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	69.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	69.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{DD} - V_{SS}$(1)	電源間の電圧差	5		15	V
V_{DD}	正電源電圧 (単一電源、Vss = 0V)	5		15	V
V_{SS}	負電源電圧 (デュアル 電源)	-6		0	V
V_{DD_D}	正電源電圧 (デュアル 電源)	5		6	V
V_S または V_D	信号パスにおける入出力電圧 (ソースまたはドレイン ピン) (Sx、D)	V_{SS}		V_{DD}	V
V_{Ax} または V_{EN}	アドレスまたはイネーブル ピンの電圧	0		V_{DD}	V
I_S または I_D (CONT)	ソースまたはドレインでの連続電流 (Sx、D)	-10		10	mA
T_A	周辺温度	-55		125	°C

(1) 5V ≤ (V_{DD} − V_{SS}) ≤ 15V の範囲内であり、かつ V_{DD} および V_{SS} の最小値を満たしている限り、V_{DD} および V_{SS} は任意の値で使用できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5.5 電気的特性

自由気流での動作温度範囲内、代表値 T_A = 25℃ (特に記述のない限り)

パラメータ	テスト条件	V_{DD}	V_{SS}	T_A	最小値	標準値	最大値	単位
電源								
電源電流 I_{DD}	アドレス入力 = 0V、5V、または V_{DD} $\overline{EN}$ = 0V	5V	0V	-55°C			60	μA
				25°C		17	60	
				85°C			80	
				125°C			80	
		10V	0V	-55°C			60	
				25°C		18	60	
				85°C			80	
				125°C			80	
		5V	-5V	-55°C			60	
				25°C		18	60	
				85°C			80	μA
				125°C			80	μA
		15V	0V	-55°C			60	μA
				25°C		18	60	μA
				85°C			80	μA
				125°C			80	μA
負電源電流 I_{SS}	アドレス入力 = 0V、5V、または V_{DD} $\overline{EN}$ = 0V	5V	-5V	-55°C			20	μA
				25°C		6	20	
				85°C			25	
				125°C			25	μA
ディスエーブル時 I_{DD}	$\overline{EN}$ = 5V または V_{DD}	すべて		25°C		8		μA
				–55°C ～ 125°C			20	
アナログ スイッチ								
R_{ON} ソースドレイン間オン抵抗	V_S = V_{SS}～V_{DD} I_D = -1mA	5V	0V	-55°C			800	Ω
				25°C		75	1050	
				85°C			1200	
				125°C			1300	
		10V	0V	-55°C			310	
				25°C		60	400	
				85°C			520	
				125°C			550	
		5V	-5V	-55°C			310	
				25°C		60	400	
				85°C			520	Ω
				125°C			550	Ω
		15V	0V	-55°C			200	Ω
				25°C		60	240	Ω
				85°C			300	Ω
				125°C			300	Ω
ΔR_{ON}	V_S = V_{SS}～V_{DD} I_D = -1mA	すべて		25°C		2		Ω

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内、代表値 T_A = 25℃ (特に記述のない限り)

パラメータ	テスト条件	V_{DD}	V_{SS}	T_A	最小値	標準値	最大値	単位
$R_{ON\ FLAT}$	V_S = V_{SS} ～ V_{DD} I_D = –1mA	すべて		25°C		60		Ω
				–55°C ～ 85°C			150	
				–55°C ～ 125°C			150	
$I_{S(OFF)}$ $I_{D(OFF)}$	スイッチ状態はオフ V_S = V_{SS} / V_{DD} V_D = V_{DD} / V_{SS}	5V	0V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
$I_{S(OFF)}$ $I_{D(OFF)}$	スイッチ状態はオフ V_S = V_{SS} / V_{DD} V_D = V_{DD} / V_{SS}	10V	0V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
	スイッチ状態はオフ V_S = V_{SS} / V_{DD} V_D = V_{DD} / V_{SS}	15V	0V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
	スイッチ状態はオフ V_S = V_{SS} / V_{DD} V_D = V_{DD} / V_{SS}	5V	-5V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
I_{ON}	スイッチ状態はオン V_S = V_D = V_{SS} または V_{DD}	5V	0V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
		10V	0V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
		5V	-5V	25°C		±0.3	±100	nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
		15V	0V	25°C		±0.3		nA
				–55°C ～ 85°C			±800	nA
				–55°C ～ 125°C			±1000	nA
ロジック入力 (アドレス / イネーブル ピン)								
V_{IH}	入力 High 電圧	すべて		–55°C ～ 125°C	1.35		V_{DD}	V
V_{IL}	入力 Low 電圧	すべて		–55°C ～ 125°C	0		0.8	V
I_{IH} I_{IL}	V_{LOGIC} = 0V、5V、または V_{DD}	すべて		25°C		±0.6		μA
				–55°C ～ 125°C	-1		1	
C_{IN}		すべて		25°C		2		pF

ADVANCE INFORMATION

5.6 AC 性能特性

T_A = 25℃での標準値 (特に記述のない限り)

パラメータ	テスト条件			T_A = –55°C ～ 125°C			単位
	条件	V_{DD}	V_{SS}	最小値	標準値	最大値	
容量							
$C_{S(OFF)}$	V_S = (V_{DD} + V_{SS}) / 2V f = 1MHz	5V	-5V		3		pF
$C_{D(OFF)}$	V_S = (V_{DD} + V_{SS}) / 2V f = 1MHz	5V	-5V		6		pF
$C_{S(ON)}$ $C_{D(ON)}$	V_S = (V_{DD} + V_{SS}) / 2V f = 1MHz	5V	-5V		8		pF
ダイナミック特性							
帯域幅 (BW) (正弦波入力)	V_{BIAS} = (V_{DD} + V_{SS}) / 2V_S = 200mVpp R_L = 50Ω、C_L = 5pF	+5V	-5V		600		MHz
オフ絶縁 チャネル OFF (正弦波入力)	V_{BIAS} = (V_{DD} + V_{SS}) / 2V_S = 200mVpp R_L = 50Ω、C_L = 5pF f = 1MHz	+5V	-5V		-95		dB
クロストーク (正弦波入力)	V_{BIAS} = (V_{DD} + V_{SS}) / 2V_S = 200mVpp R_L = 50Ω、C_L = 5pF f = 1MHz	+5V	-5V		-90		dB
電荷注入	V_S = (V_{DD} + V_{SS}) / 2 R_S = 0Ω、C_L = 100pF	+5V	-5V		6		pC

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.7 タイミング特性

自由気流での動作温度範囲内、代表値 T_A = 25℃ (特に記述のない限り)

パラメータ		テスト条件				最小値	標準値	最大値	単位
		条件	V_{DD}	V_{SS}	T_A				
伝搬遅延	入力信号から出力信号	V_S = V_{SS}～V_{DD}	5V	0V	25°C		4	20	ns
			10V	0V	25°C		4	20	
			5V	-5V	25°C		4	20	
t_{TRAN}	出力信号に関するアドレス指定により、入力が遷移するまでの時間	t_r、t_f = 20ns、C_L = 50pF、R_L = 10kΩ	5V	0V	25°C		105		ns
					–55°C ～ +125°C			190	
			10V	0V	25°C		100		
					–55°C ～ +125°C			190	
			5V	-5V	25°C		100		
					–55°C ～ +125°C			190	
$t_{ON\ (EN)}$	イネーブルから出力信号チャネルがオンになるまでの時間	t_r、t_f = 20ns、C_L = 50pF、R_L = 10kΩ	5V	0V	25°C		100		ns
					–55°C ～ +125°C			190	
			10V	0V	25°C		95		
					–55°C ～ +125°C			190	
			5V	-5V	25°C		100		
					–55°C ～ +125°C			190	
$t_{OFF\ (EN)}$	イネーブルから出力信号チャネルがオフになるまでの時間	t_r、t_f = 20ns、C_L = 50pF、R_L = 10kΩ	5V	0V	25°C		90		ns
					–55°C ～ +125°C			140	
			10V	0V	25°C		90		
					–55°C ～ +125°C			140	
			5V	-5V	25°C		100		
					–55°C ～ +125°C			160	
t_{BBM}		C_L = 15pF、R_L = 10kΩ	5V	0V	25°C		60		ns
					–55°C ～ +125°C	1			
			10V	0V	25°C		45		
					–55°C ～ +125°C	1			
		C_L = 15pF、R_L = 10kΩ	5V	-5V	25°C		45		ns
		C_L = 15pF、R_L = 10kΩ	5V	-5V	–55°C ～ +125°C	1			ns

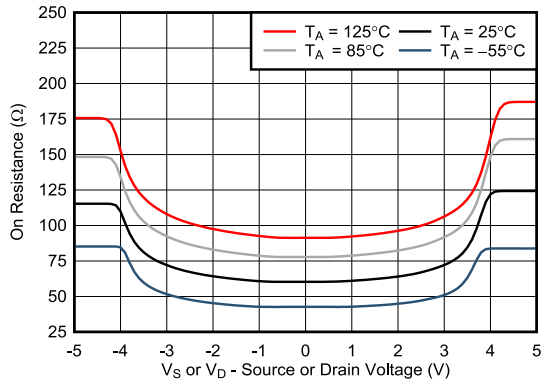
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

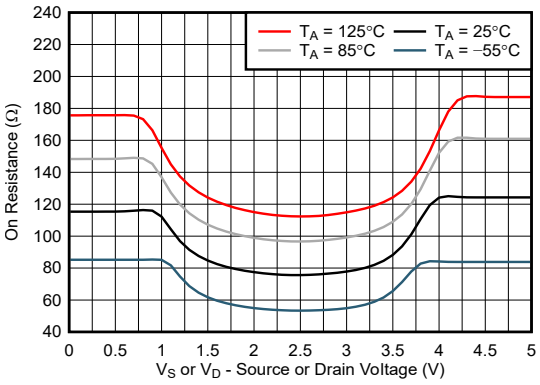
5.8 代表的特性

T_A = 25℃、V_{DD} = 5V (特に記述のない限り)



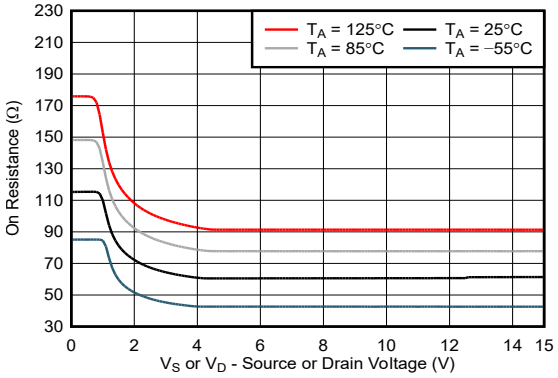
V_{DD} = 5V、V_{SS} = -5V

図 5-1. オン抵抗と温度との関係



V_{DD} = 5V

図 5-2. オン抵抗と温度との関係



V_{DD} = 15V

図 5-3. オン抵抗と温度との関係

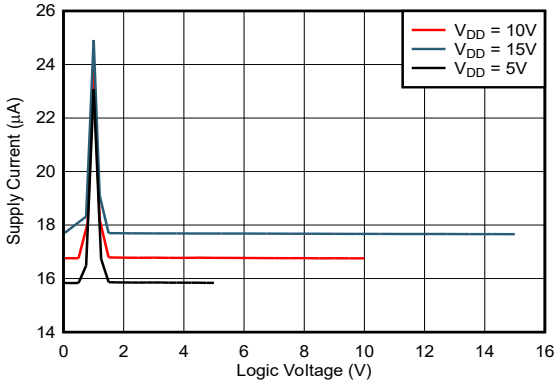
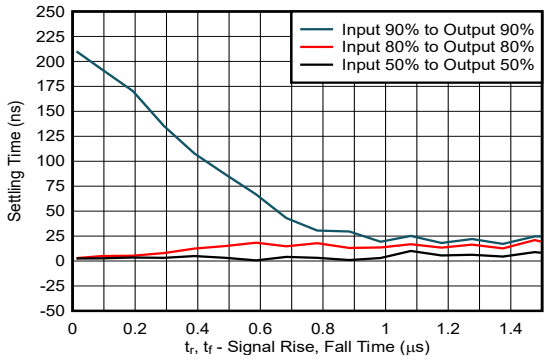
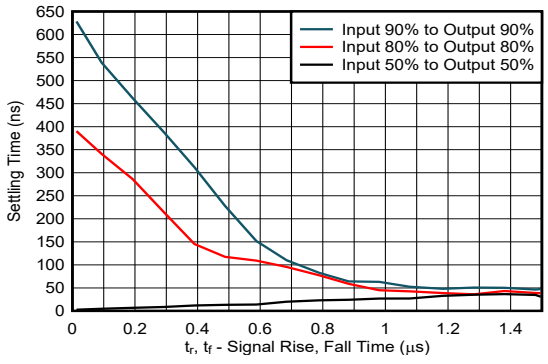


図 5-4. 電源電流とロジック電圧との関係



V_{DD} = 5V、V_{signal} = 5V
R_L = 200kΩ、C_L = 15pF

図 5-5. システムのセトリング タイム



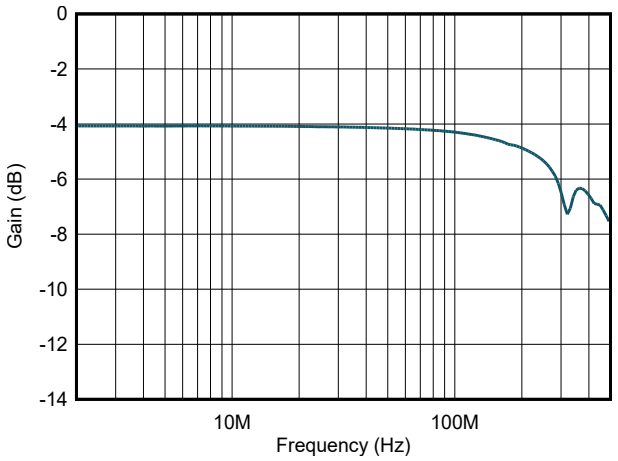
V_{DD} = 5V、V_{signal} = 5V
R_L = 10kΩ、C_L = 15pF

図 5-6. システムのセトリング タイム

Copyright © 2026 Texas Instruments Incorporated

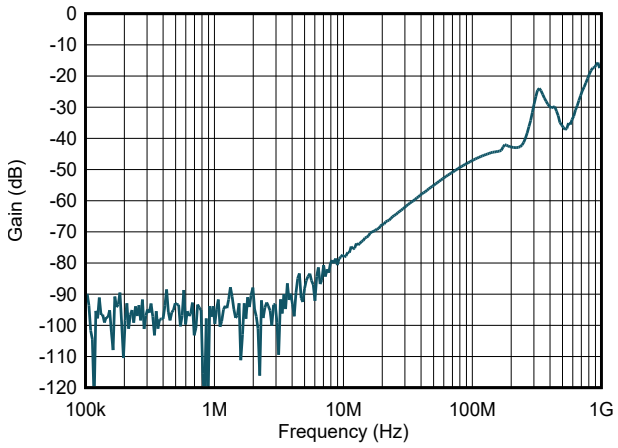
5.8 代表的特性 (続き)

T_A = 25℃、V_{DD} = 5V (特に記述のない限り)



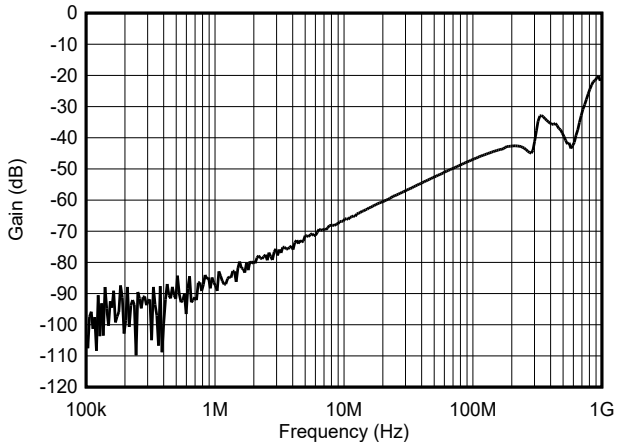
V_{DD} = 12V、V_{SS} = -12V

図 5-7. オン応答と周波数との関係



V_{DD} = 12V、V_{SS} = -12V

図 5-8. オフ絶縁と周波数との関係



V_{DD} = 12V、V_{SS} = -12V

図 5-9. クロストークと周波数との関係

ADVANCE INFORMATION

ADVANCE INFORMATION

6 パラメータ測定情報

6.1 オン抵抗

デバイスのオン抵抗は、デバイスのソース ピン (Sx) とドレイン ピン (D) の間の抵抗値 (Ω) です。オン抵抗は、入力電圧と電源電圧によって変化します。オン抵抗は、記号 R_{ON} を使用して示されます。R_{ON} の測定時に使用する構成を次の図に示します。図 6-1 に、この構成で測定された電圧 (V) と電流 (I_{SD}) を使用して、式 $R_{ON} = V / I_{SD}$ により R_{ON} を算出する方法を示します。

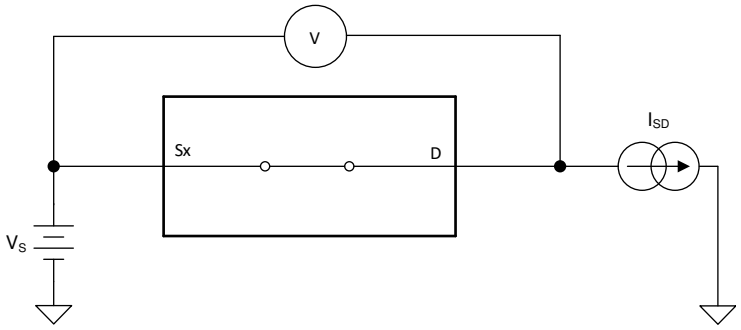


図 6-1. オン抵抗測定時の構成

6.2 オフ リーク電流

オフ状態にあるスイッチに関連するリーク電流には、次の 2 種類があります。

1. ソース側オフ リーク電流。
2. ドレイン側オフ リーク電流。

ソース側リーク電流は、スイッチがオフ状態にあるとき、ソース ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{S(OFF)}$ を使用して示されます。

ドレイン側リーク電流は、スイッチがオフ状態にあるとき、ドレイン ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{D(OFF)}$ を使用して示されます。

図 6-2 に、これら 2 種類のオフ リーク電流の測定に使用する構成を示します。

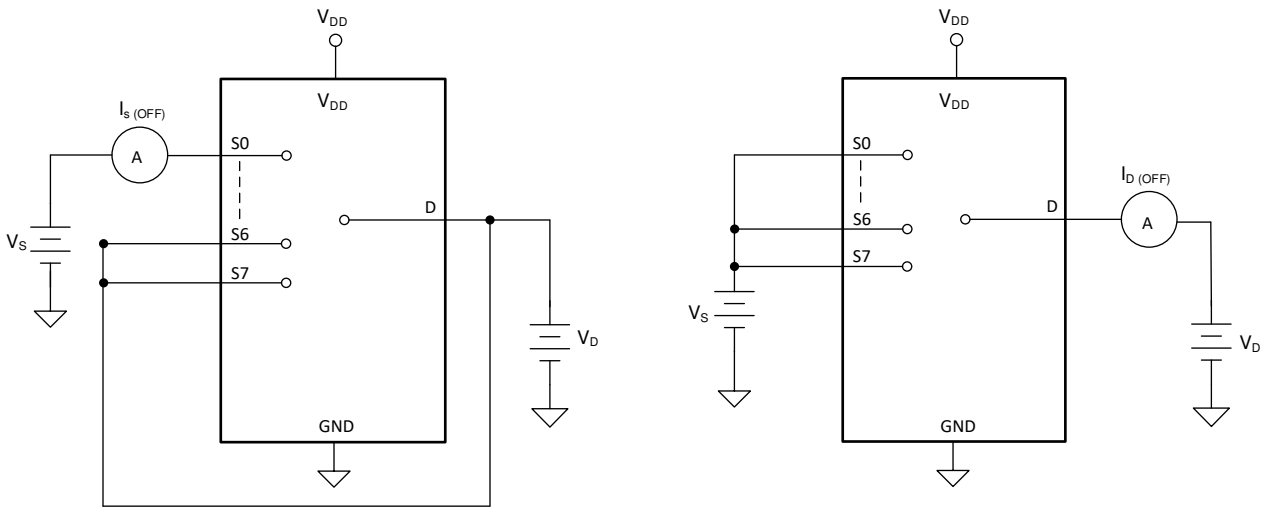


図 6-2. オフ リーク測定時の構成

Copyright © 2026 Texas Instruments Incorporated

6.3 オン リーク電流

ソース側オン リーク電流は、スイッチがオン状態にあるとき、ソース ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{S(ON)}$ を使用して示されます。

ドレイン側オン リーク電流は、スイッチがオン状態にあるとき、ドレイン ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{D(ON)}$ を使用して示されます。

測定中、ソース ピンまたはドレイン ピンはフローティング状態を維持します。図 6-3 に、オン リーク電流 ($I_{S(ON)}$ または $I_{D(ON)}$) の測定に使用される回路構成を示します。

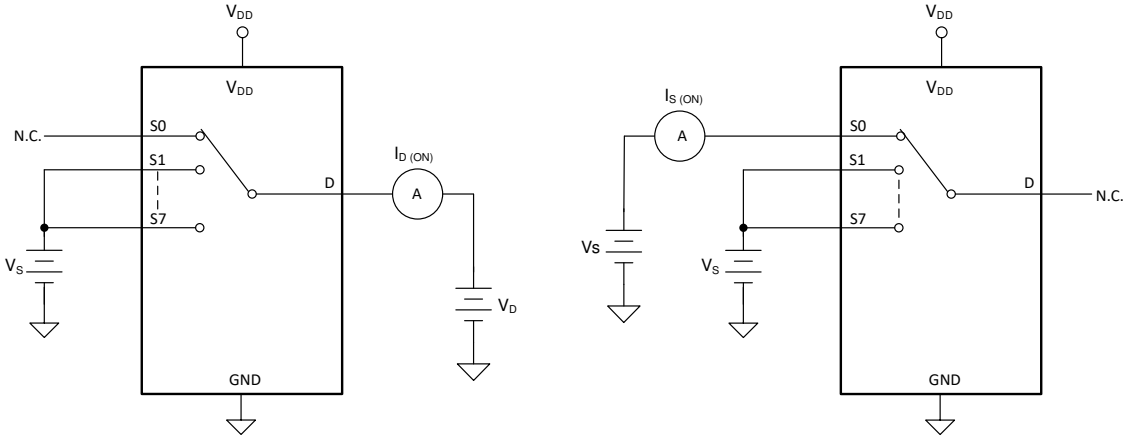


図 6-3. オン リーク測定時の構成

6.4 遷移時間

遷移時間は、アドレス信号が 50% のスレッショルドを上回った、または下回った後に、デバイスの出力が 10% に上昇または降下するまでに要する時間として定義されます。図 6-4 に、遷移時間 (記号 $t_{TRANSITION}$) の測定に使用する構成を示します。

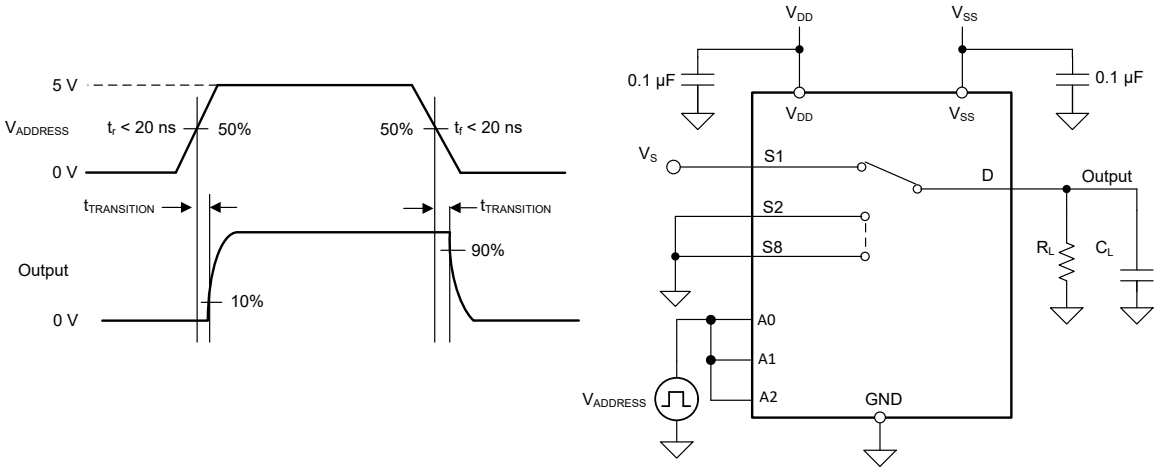


図 6-4. 遷移時間測定時の構成

ADVANCE INFORMATION

ADVANCE INFORMATION

6.5 ブレイク ビフォー メイク

ブレイク ビフォー メイク遅延は、デバイスのスイッチング時に 2 つの入力が接続されることを防止する安全機能です。出力は、次のオン状態スイッチと接続する前に、まずオン状態スイッチから切断されます。このブレイク (接続解除) とメイク (接続) の間の時間遅延を、ブレイク ビフォー メイク遅延と呼びます。図 6-5 に、ブレイク ビフォー メイク遅延 (記号 $t_{OPEN(BBM)}$) の測定に使用する構成を示します。

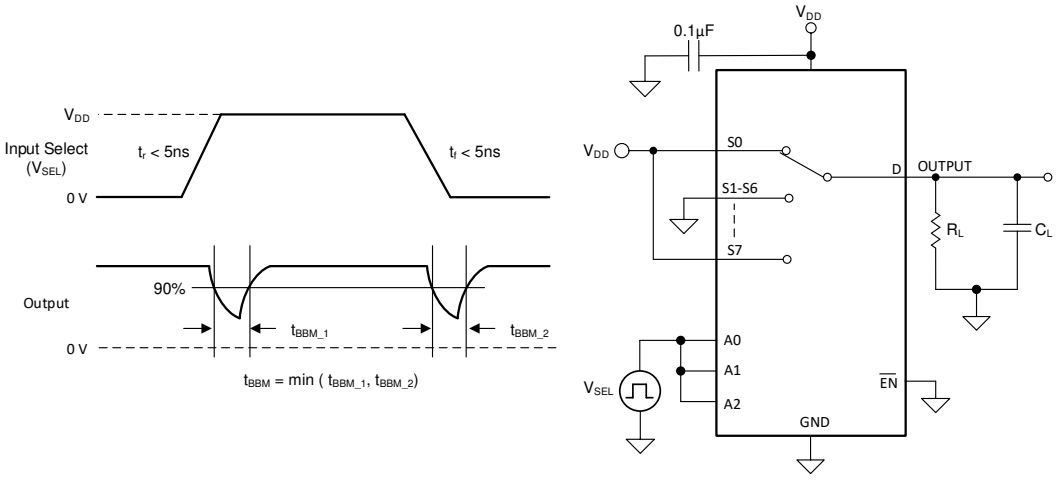


図 6-5. ブレイク ビフォー メイク遅延測定時の構成

6.6 $t_{ON(EN)}$ および $t_{OFF(EN)}$

ターンオン時間は、イネーブル信号が 50% のスレッショルドを超えた後、デバイスの出力信号が 10% まで上昇するまでに要する時間として定義されます。この 10% の測定値を使用してデバイスのタイミングを把握し、システム レベルでは、負荷抵抗と負荷容量により追加される時定数を含めながらタイミングを考察します。図 6-6 に、遷移時間 (記号 $t_{ON(EN)}$) の測定に使用する構成を示します。

ターンオフ時間は、イネーブル信号が 50% のスレッショルドを下回った後、デバイスの出力信号が 90% に低下するまでに要する時間として定義されます。この 90% の測定値を使用してデバイスのタイミングを把握し、システム レベルでは、負荷抵抗と負荷容量により追加される時定数を含めながらタイミングを考察します。図 6-6 に、遷移時間 (記号 $t_{OFF(EN)}$) の測定に使用する構成を示します。

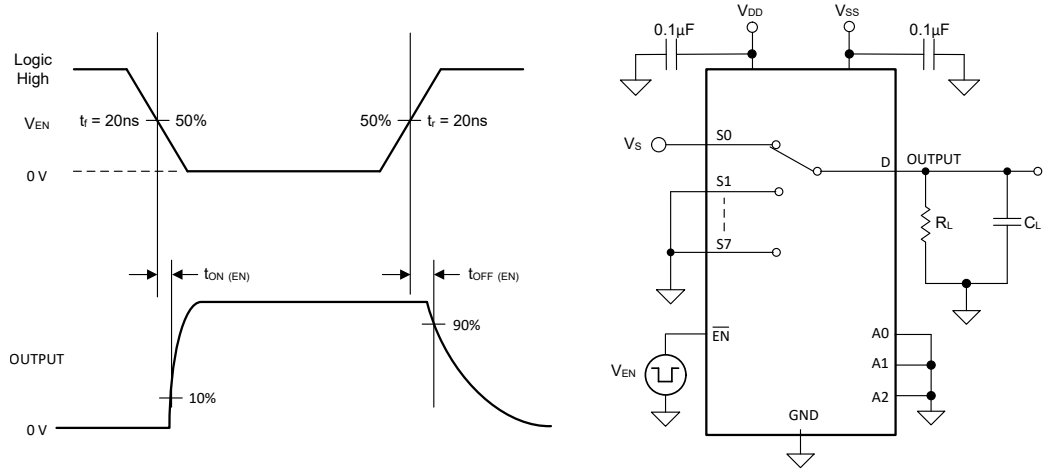


図 6-6. ターンオンおよびターンオフ時間の測定に使用する構成

Copyright © 2026 Texas Instruments Incorporated

6.7 伝搬遅延

伝搬遅延は、入力信号が 50% のスレッショルドを上回った、または下回った後に、デバイスの出力が 50% に上昇または降下するまでに要する時間として定義されます。図 6-7 に、伝搬遅延 (記号 t_{PD}) の測定に使用する構成を示します。

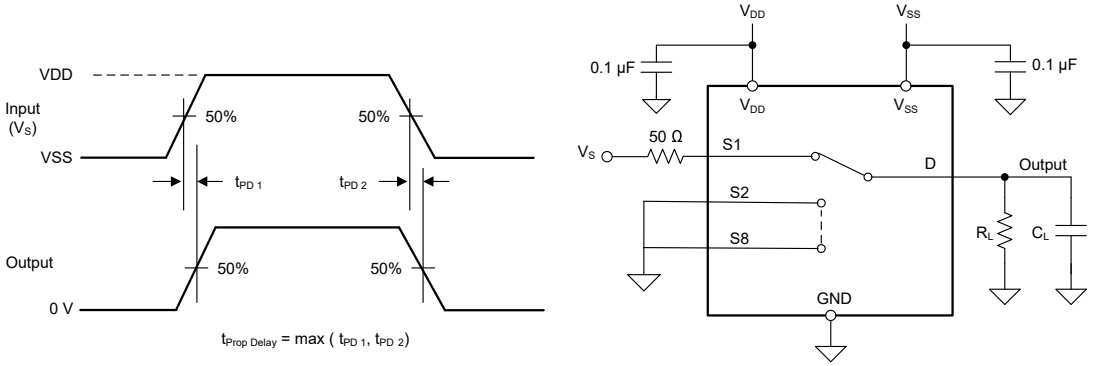


図 6-7. 伝搬遅延測定時の構成

6.8 電荷注入

NMOS トランジスタと PMOS トランジスタの間で容量の不一致がある場合、ゲート信号の立ち下がりエッジまたは立ち上がりエッジにおいて、ドレインまたはソースに電荷が注入されます。デバイスのソースまたはドレインに注入される電荷の量を電荷注入と呼び、Q_C という記号で表します。図 6-8 に、ソース (Sx) からドレイン (D) に向けた電荷注入の測定に使用する構成を示します。

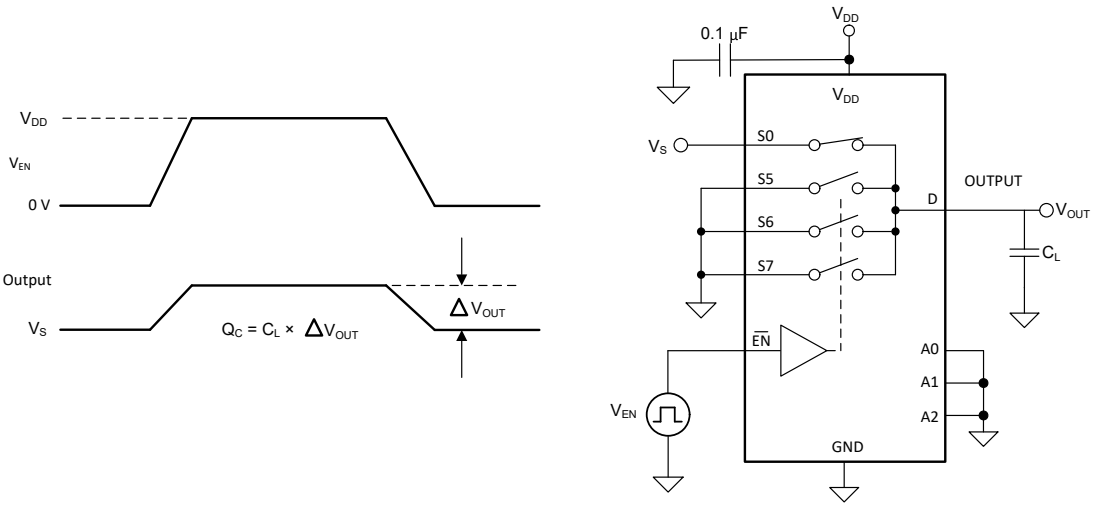


図 6-8. 電荷注入測定時の設定

ADVANCE INFORMATION

ADVANCE INFORMATION

6.9 オフ アイソレーション

オフ絶縁は、オフチャネルのソース ピン (Sx) に信号が印加された場合に、そのデバイスのドレイン ピン (D) に現れる信号の比率として定義されます。図 6-9 に、測定を行う際の設定と、絶縁を計算するための式を示します。

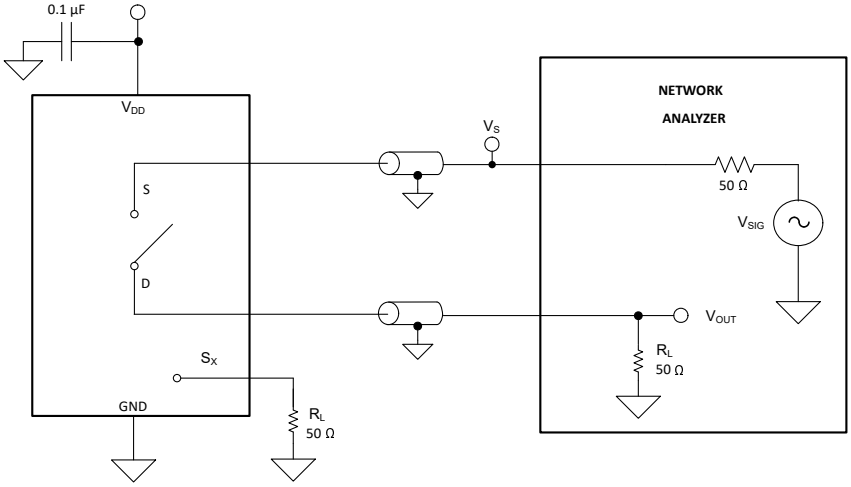


図 6-9. オフ絶縁測定時の設定

$$Off\ Isolation\ =\ 20\ \times\ Log\left(\frac{V_{OUT}}{V_S}\right) \quad (1)$$

6.10 クロストーク

クロストークは、オンチャネルのソース ピン (Sx) に信号が印加された場合に、他のチャネルのドレイン ピン (D) に現れる信号の比率として定義されます。図 6-10 に、クロストークの測定を行う際の設定と、クロストークの計算に使用する式を示します。

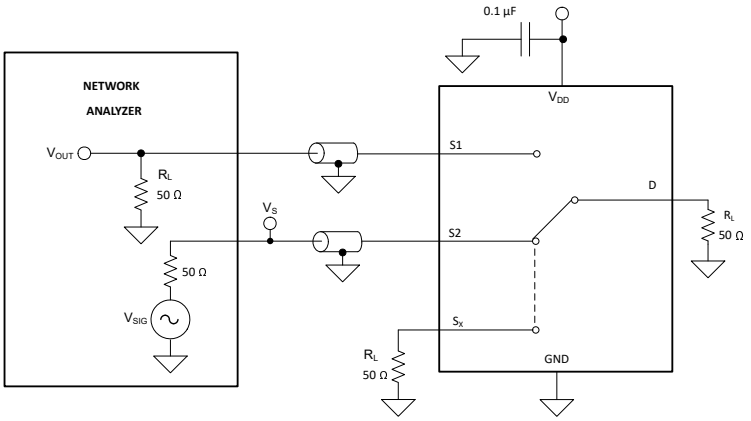


図 6-10. チャネル間クロストーク測定時の設定

$$Channel-to-Channel\ Crosstalk\ =\ 20\ \times\ Log\left(\frac{V_{OUT}}{V_S}\right) \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

6.11 帯域幅

帯域幅は、入力をオンチャネルのソース ピン (Sx) に印加したときに、デバイスのドレイン ピン (D) で測定される出力の減衰量が、3dB 未満である周波数の範囲として定義されます。図 6-11 に、帯域幅を測定する際の設定を示します。

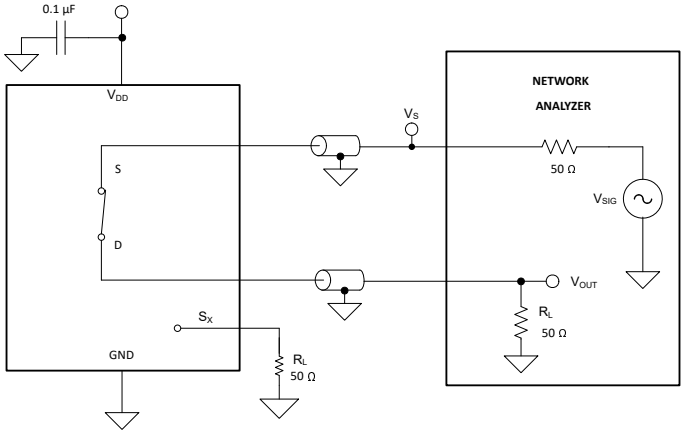


図 6-11. 帯域幅測定時の設定

$$Attenuation = 20 \times Log\left(\frac{V_2}{V_1}\right) \quad (3)$$

ADVANCE INFORMATION

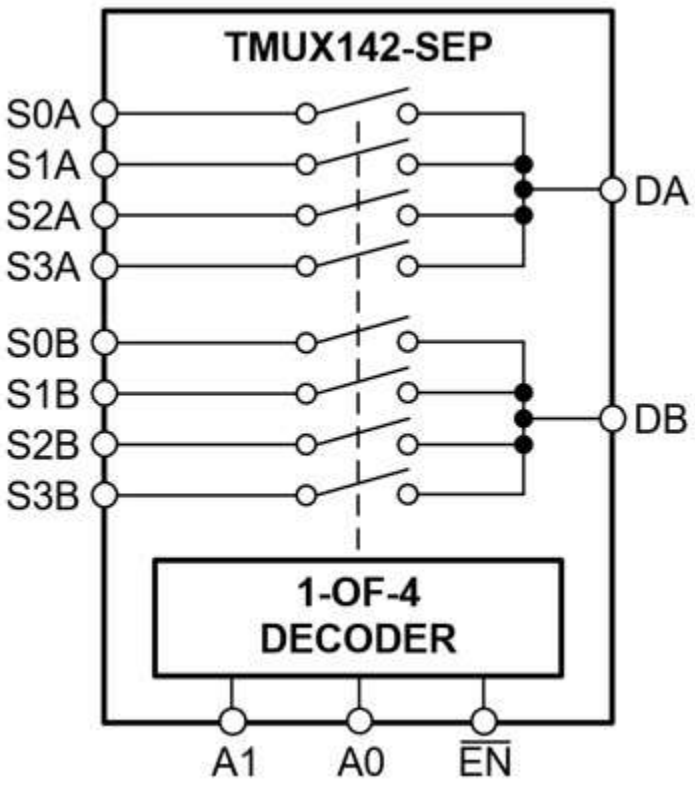
ADVANCE INFORMATION

7 詳細説明

7.1 概要

TMUX142-SEP は 4:1、2 チャネルのマルチプレクサで、差動アプリケーションとシングルエンド アプリケーションの両方に使用できます。アドレス ラインとイネーブル ピンの状態に基づいて、各チャネルがオンまたはオフになります。

7.2 機能ブロック図



7.3 機能説明

7.3.1 双方向動作

TMUX142-SEP デバイスは、ソース (Sx) からドレイン (Dx) への方向、およびドレイン (Dx) からソース (Sx) への方向のいずれにおいても、同等に良好な導通特性を示します。各信号パスの特性は双方向で非常に類似しているため、アナログ信号に対して、マルチプレクサおよびデマルチプレクサとして機能します。

7.3.2 レール ツー レール動作

TMUX142-SEP の信号パスでは、入力および出力電圧として V_{SS} から V_{DD} までの範囲が有効です。

7.3.3 1.8V ロジック互換入力

TMUX142-SEP は、すべてのロジック制御入力で 1.8V ロジック互換の制御に対応しています。1.8V のロジック レベル入力により、低いロジック I/O レールを持つプロセッサから本マルチプレクサと連結できるので、外部電圧変換器は不要となり、スペースと BOM コストの両方を削減できます。1.8V ロジックの実装の詳細については、『1.8V ロジックのマルチプレクサとスイッチを使用した設計の簡素化』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 デバイスの機能モード

デバイスの $\overline{EN}$ ピンが Low の場合、アドレス ピンまたは選択ピンの状態に基づいて、いずれかのスイッチが閉じます。$\overline{EN}$ ピンをハイ レベルに引き上げると、アドレス ピンや選択ピンの状態に関係なく、すべてのスイッチが開いた状態になります。

『低速またはフローティング状態の CMOS 入力の影響』に記述されているように、デバイスでの余剰な電流消費を防止するために、未使用のロジック制御ピンは GND または V_{DD} に接続する必要があります。また、未使用の信号パス入力 (Sx および Dx) は GND に接続しておきます。

7.3.5 真理値表

表 7-1 に、TMUX142-SEP の真理値表を示します。

表 7-1. TMXU142-SEP の真理値表

EN	A1	A0	ドレイン ピン (D) に接続するために選択された信号パス
0	0	0	S0A から DA S0B から DB
0	0	1	S1A から DA S1B から DB
0	1	0	S2A から DA S2B から DB
0	1	1	S3A から DA S3B から DB
1	X(1)	X(1)	すべての入力が非選択 (Hi-Z)

(1) X は「任意」を意味します。

TMUX142-SEP デバイスのイネーブル ピン ($\overline{EN}$) には、電源投入時にデバイスをディスエーブル状態にするための、抵抗値が低い内部プルアップ抵抗が付いています。SELx / アドレス ピン (Ax) には、スイッチを定義済みのロジック状態にするための、抵抗値が低い内部プルダウン抵抗が付いています。

ADVANCE INFORMATION

8 アプリケーションと実装

注

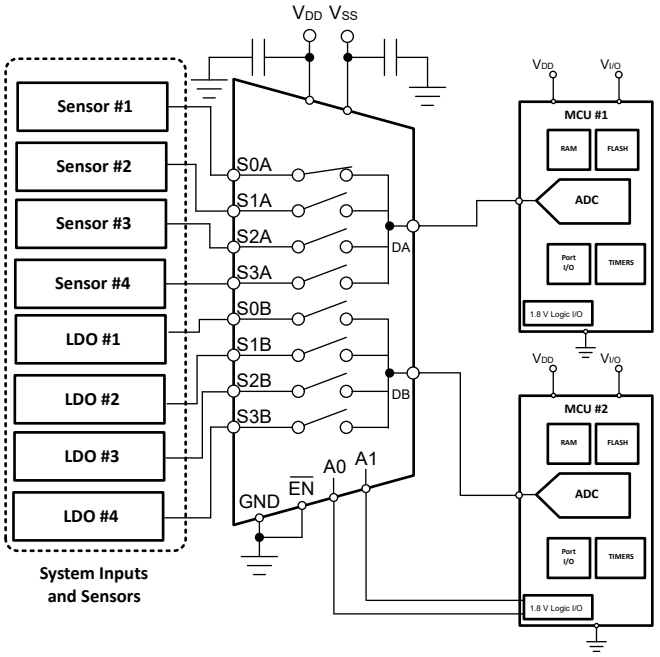
以下のアプリケーションに関するセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TMUX142-SEP は、5V ～ 15V および ±6V の広い動作電源範囲にわたって、優れたシステム性能を提供します。これらのデバイスは 1.8V ロジック互換の制御入力ピンを備えており、I/O が 1.8V のシステムでの動作が可能です。これらの特長から、TMUX142-SEP マルチプレクサは多くのシステムにとって適切な設計手法であり、システムの複雑さ、基板サイズ、およびシステム全体のコストを低減できます。

8.2 代表的なアプリケーション

TMUX142-SEP の機能を利用することが適したアプリケーションの 1 例としては、複数の信号から選択してマイコンに統合された ADC に接続する場合が挙げられます。マイコンに内蔵された ADC を利用すると、システム性能とのトレードオフが見込めるので、外部 ADC と比較してコストを最小化できます。マルチプレクサを使用すると、デバイスの単一の ADC ピンで複数の入力またはセンサを監視できます。これは、I/O が限られているシステムにおいて重要です。



Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

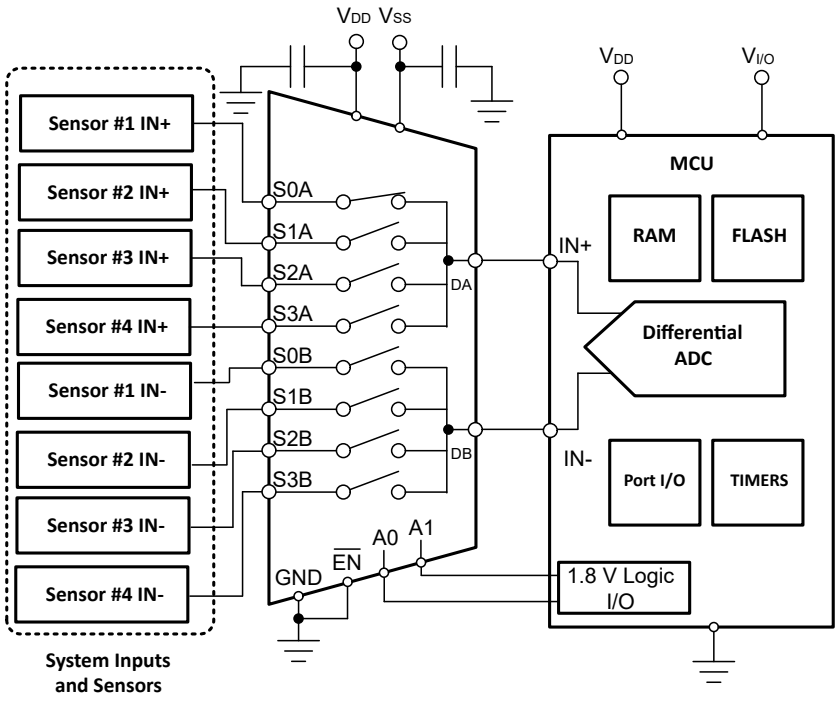


図 8-1. TMUX142-SEP を使用した内蔵 ADC への信号のマルチプレキシング

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3 設計要件

表 8-1 に、この設計例で使用する必要のあるパラメータを示します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧 (V_{DD})	12V
I/O 信号範囲	0V～V_{DD} (レール ツー レール)
制御入力のロジック スレッショルド	1.8V 互換

8.4 詳細な設計手順

TMUX142-SEP は、電源デカップリング コンデンサを除き、外部コンポーネントなしで動作します。MCU は GPIO 経由でイネーブル ピンとアドレス ピンを制御することで、マルチプレクサの各入力間を切り替えることができます。システム内で本デバイスの機能を使用しない場合には、イネーブル ($\overline{EN}$) ピンを電源に接続します。MCU の ADC 入力を多重化する場合、すべての入力を、その信号範囲や連続電流の値を含め、必ず推奨動作条件の範囲内で使用する必要があります。この設計のように 12V の電源を使用する場合、可能な信号範囲は 0V～12V となります。

8.5 アプリケーション曲線

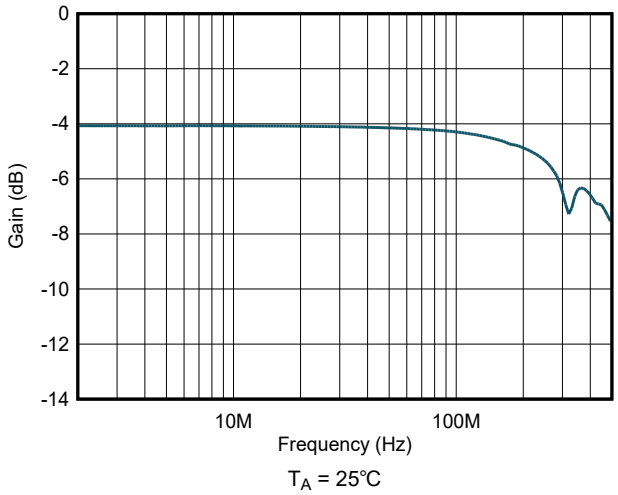


図 8-2. 帯域幅

8.6 電源に関する推奨事項

TMUX142-SEP は、単一電源で 5V ～ 15V、デュアル電源で最大 ±6V の広い電源電圧範囲で動作します。

電源のバイパスによって、ノイズ マージンが向上し、電源ピンから他の部品へのスイッチング ノイズの伝搬が防止されます。最適な性能を実現するには、良好な電源デカップリングが重要です。電源のノイズ耐性を向上させるため、V_{DD} からグランドおよび V_{SS} からグランドに対し、0.1µF～10µF の範囲の電源デカップリング コンデンサをそれぞれ使用してください。バイパス コンデンサは、デバイスの電源ピンのできるだけ近くに配置し、低インピーダンスで接続します。

テキサス・インスツルメンツでは、電源デカップリング用として、ESR (等価直列抵抗) および ESL (インダクタンス) が低い特性を持つ、積層セラミック チップ コンデンサ (MLCC) の使用を推奨しています。非常に敏感なシステムや、過酷なノイズ環境のシステムでは、コンデンサとデバイスのピン間の接続にビアの使用を避けることで、ノイズ耐性を改善できる場合があります。並列に複数のビアを使用すると、全体的なインダクタンスが低減でき、さらにグランド プレーンへの接続も改善されます。

Copyright © 2026 Texas Instruments Incorporated

8.7 レイアウト

8.7.1 レイアウトのガイドライン

高速信号は、ビア数とコーナー数を最小にしてを配線し、信号の反射とインピーダンスの変化を低減します。ビアを使用する必要がある場合は、Th ビア周囲の空間距離を大きくして、静電容量を最小限に抑えます。各ビアは、信号伝送ラインの連続性を損ない、基板の他の層からの干渉を受ける可能性を高めます。高周波信号向けのテスト ポイントを設計する際、スルーホール ピンの使用は推奨されません。

- V_{DD} と V_{SS} ピンは、可能な限りそのピンの近くで 0.1µF のコンデンサによるデカップリングを行います。このコンデンサには、電圧定格が十分なものを使用する必要があります。
- 入力への配線は可能な限り短くします。
- 平面状のグランド プレーンを使用し、電磁干渉 (EMI) ノイズのピックアップを低減します。
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。可能な限り、デジタル パターンとアナログ パターンの交差は避け、どうしても必要な場合には、必ず直角に交差させてください。

8.7.2 レイアウト例

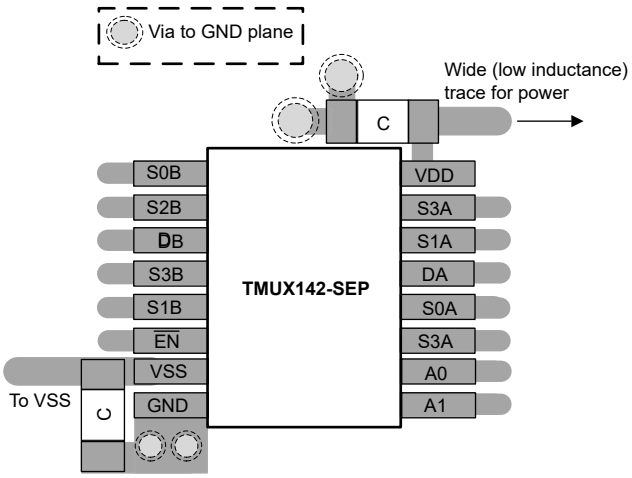


図 8-3. レイアウト例

ADVANCE INFORMATION

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『1.8V ロジックのマルチプレクサおよびスイッチによる設計の簡素化』アプリケーション ブリーフ
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション レポート
- テキサス・インスツルメンツ、『クワッド フラットパック リード端子なしロジック パッケージ』アプリケーション レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTMUX142MDYYTSEP	Active	Preproduction	SOT-23-THIN (DYY) | 16	250 | SMALL T&R	-	Call TI	Call TI	-55 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

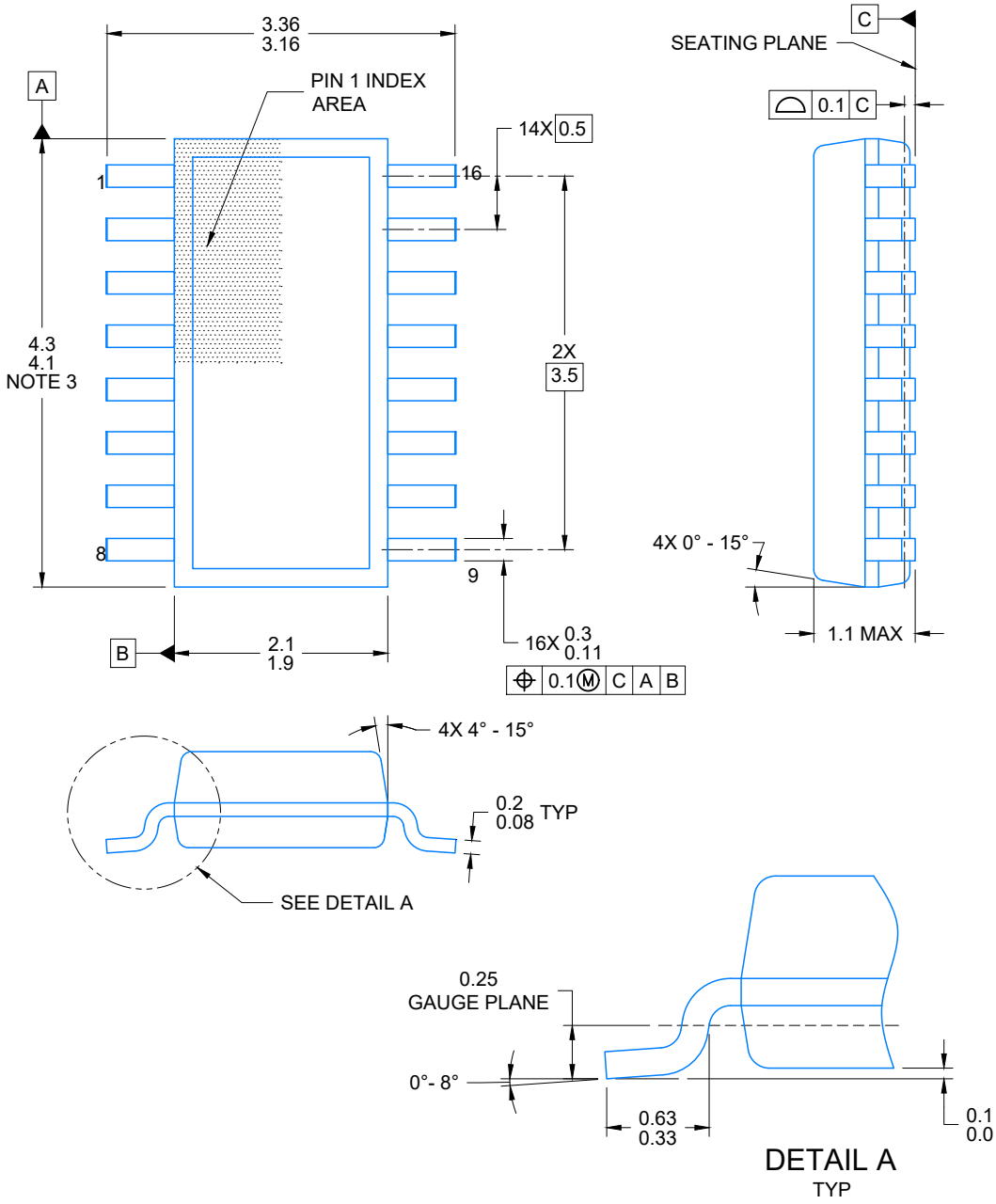
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DYY0016A

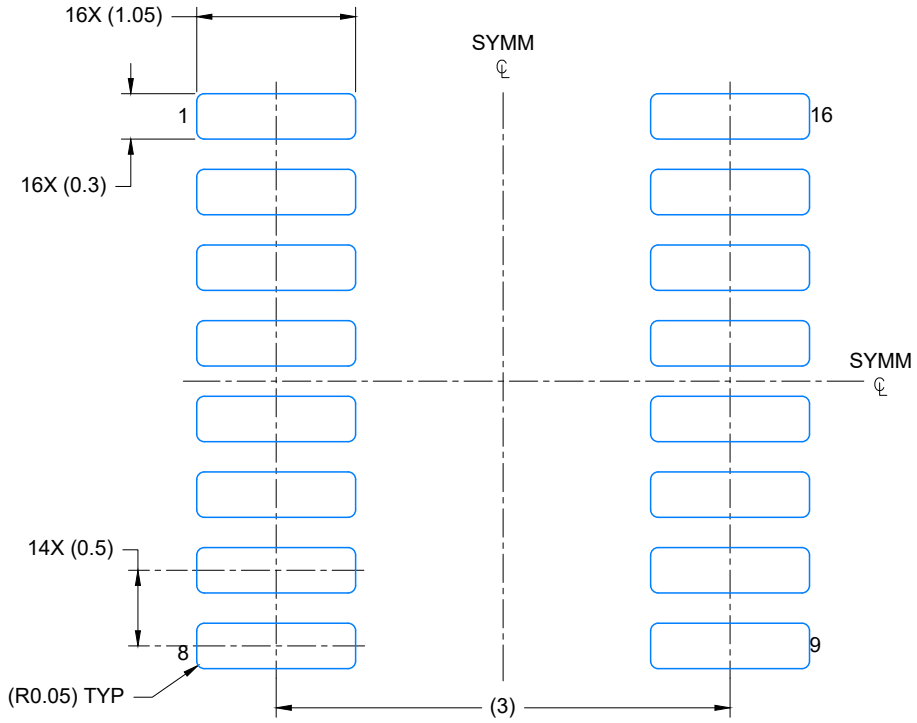
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

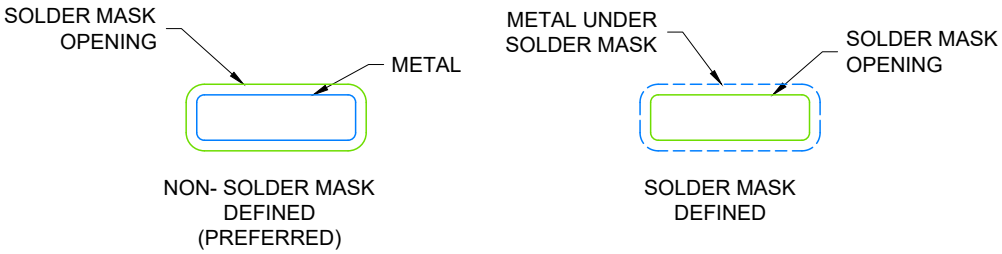


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

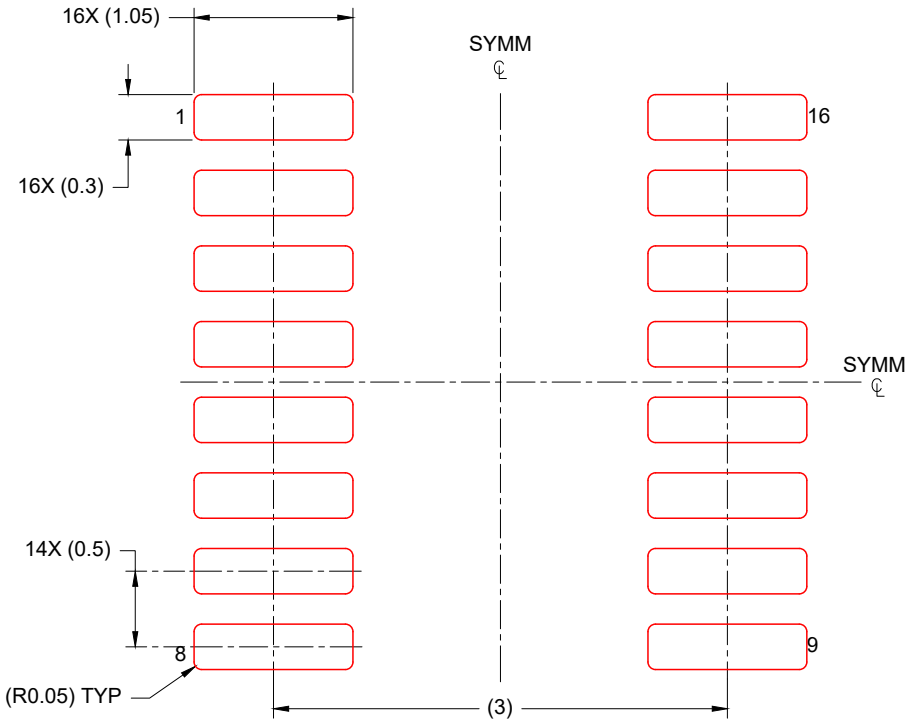
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月