

TMUX6136 $\pm 16.5\text{V}$ 、低静電容量、低リーク電流、高精度 デュアル SPDT スイッチ

1 特長

- 幅広い電源電圧範囲: $\pm 5\text{V} \sim \pm 16.5\text{V}$ (デュアル)、 $10\text{V} \sim 16.5\text{V}$ (シングル)
- すべてのピンで、JEESD78 Class II Level A 準拠の 100mA を満たすラッチアップ性能
- 小さいオン容量: 5.5pF
- 低い入力リーク: 5pA
- 少ない電荷注入: -0.4pC
- レール ツー レール動作
- 低いオン抵抗: $120\ \Omega$
- 高速な遷移時間: 66ns
- ブレイク ビフォー メイクの切り替え動作
- SELx ピンを内蔵プルダウンにより V_{DD} に接続可能
- ロジックレベル: $2\text{V} \sim V_{DD}$
- 低い消費電流: $17\mu\text{A}$
- 人体モデル (HBM) ESD 保護: すべてのピンで $\pm 2\text{kV}$
- 業界標準の TSSOP パッケージ

2 アプリケーション

- ファクトリ・オートメーションと産業プロセス制御
- プログラマブル・ロジック・コントローラ (PLC)
- アナログ入力モジュール
- ATE 試験装置
- デジタル・マルチメータ
- バッテリー・モニタリング・システム

3 説明

TMUX6136 は、独立して選択可能な 2 つの SPDT スイッチを備えた相補型金属酸化膜半導体 (CMOS) アナログ スイッチです。このデバイスは、デュアル電源 ($\pm 5\text{V} \sim \pm 16.5\text{V}$)、シングル電源 ($10\text{V} \sim 16.5\text{V}$)、非対称電源のいずれでも正常に動作します。デジタル選択ピン (SELx) は、スレッシュホールドが TTL (Transistor-Transistor Logic) 互換で、TTL/CMOS ロジックの互換性が保証されます。

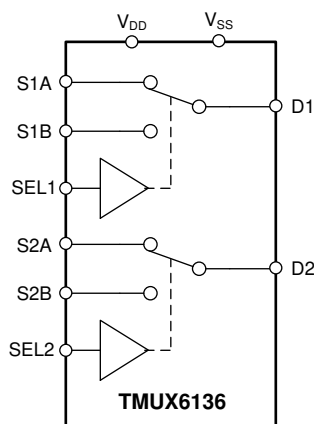
TMUX6136 は 2 つの入力 (Sx) の 1 つを、SELx ピンのステータスに応じて、共通の出力 (D) に切り替えます。各スイッチはオン位置において、どちらの方向にも同程度に導電性が高く、電源電圧までの入力信号範囲をサポートします。OFF 状態では、電源電圧までの信号レベルがブロックされます。すべてのスイッチは、Break-Before-Make (BBM) スwitchング動作を行います。

TMUX6136 は、テキサス・インスツルメンツの高精度スイッチおよびマルチプレクサ ファミリの製品です。このデバイスは、リーク電流と電荷注入が非常に小さいため、高精度の測定アプリケーションに使用できます。また、このデバイスはスイッチがオフ位置のとき、電源電圧までの信号レベルをブロックすることで、絶縁性能も非常に優れています。供給電流が $17\mu\text{A}$ と小さいため、携帯用アプリケーションで使用できます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TMUX6136	PW (TSSOP、16)	5.00mm × 4.40mm

- (1) 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。



Copyright © 2018, Texas Instruments Incorporated

概略回路図



目次

1 特長	1	6.4 デバイスの機能モード	19
2 アプリケーション	1	7 アプリケーションと実装	20
3 説明	1	7.1 アプリケーション情報.....	20
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	20
5 仕様	4	8 電源に関する推奨事項	22
5.1 絶対最大定格.....	4	9 レイアウト	23
5.2 ESD 定格.....	4	9.1 レイアウトのガイドライン.....	23
5.3 熱に関する情報.....	4	9.2 レイアウト例.....	23
5.4 推奨動作条件.....	5	10 デバイスおよびドキュメントのサポート	24
5.5 電気的特性 (デュアル電源: $\pm 15V$).....	5	10.1 ドキュメントのサポート.....	24
5.6 スイッチング特性 (デュアル電源: $\pm 15V$).....	6	10.2 ドキュメントの更新通知を受け取る方法.....	24
5.7 電気的特性 (シングル電源: 12V).....	7	10.3 サポート・リソース.....	24
5.8 スイッチング特性 (シングル電源: 12V).....	8	10.4 商標.....	24
5.9 代表的特性.....	9	10.5 静電気放電に関する注意事項.....	24
6 詳細説明	12	10.6 用語集.....	24
6.1 概要.....	12	11 改訂履歴	24
6.2 機能ブロック図.....	18	12 メカニカル、パッケージ、および注文情報	25
6.3 機能説明.....	18		

4 ピン構成および機能

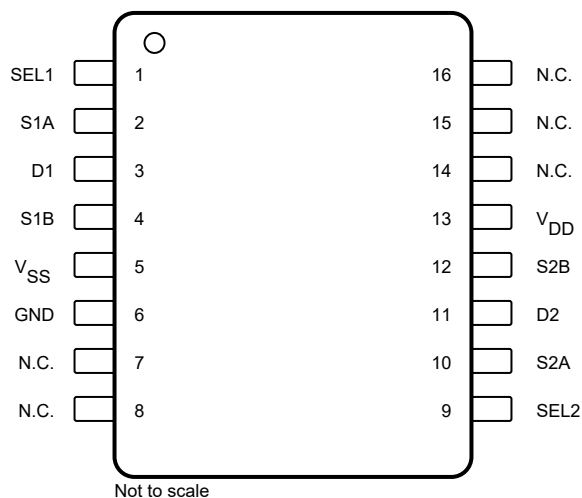


図 4-1. PW パッケージ、16 ピン TSSOP (上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
SEL1	1	I	選択ライン 0
S1A	2	I/O	ソース ピン 1A。入力または出力として使用が可能。
D1	3	I/O	ドレイン ピン D1。入力または出力として使用が可能。
S1B	4	I/O	ソース ピン 1B。入力または出力として使用が可能。
V _{SS}	5	P	負電源。このピンは最も負の電源電位になる。単一電源アプリケーションでは、このピンをグラウンドに接続できる。確実な動作を保証するため、V _{SS} と GND の間に 0.1μF ～ 10μF のデカップリング コンデンサを接続します。
GND	6		グラウンド (0V) リファレンス
N.C.	7、8、14、 15、16	接続なし	内部接続なし
SEL2	9	I	選択ライン 1
S2A	10	I/O	ソース ピン 2A。入力または出力として使用が可能。
D2	11	I/O	ドレイン ピン D2。入力または出力として使用が可能。
S2B	12	I/O	ソース ピン 2B。入力または出力として使用が可能。
V _{DD}	13	P	正電源。このピンは最も正の電源電位になる。確実な動作を保証するため、V _{DD} と GND の間に 0.1μF ～ 10μF のデカップリング コンデンサを接続します。

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
$V_{DD} \sim V_{SS}$	電源電圧		36	V
V_{DD} から GND		-0.3	18	V
V_{SS} から GND		-18	0.3	V
V_{DIG}	デジタル入力ピン (SEL1、SEL2) 電圧	GND -0.3	$V_{DD}+0.3$	V
I_{DIG}	デジタル入力ピン (SEL1、SEL2) 電流	-30	30	mA
V_{ANA_IN}	アナログ入力ピン (Sx) 電圧	$V_{SS}-0.3$	$V_{DD}+0.3$	V
I_{ANA_IN}	アナログ入力ピン (Sx) 電流	-30	30	mA
V_{ANA_OUT}	アナログ出力ピン (D) 電圧	$V_{SS}-0.3$	$V_{DD}+0.3$	V
I_{ANA_OUT}	アナログ出力ピン (D) 電流	-30	30	mA
T_A	周囲温度	-55	140	°C
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 熱に関する情報

熱評価基準 ⁽¹⁾		TMUX6136	単位
		PW (TSSOP)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	111.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	57.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	56.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{DD} \sim V_{SS}$ (1)	電源間の電圧差	10		33	V
V_{DD} から GND	正電源電圧 (シングル電源、 $V_{SS} = 0V$)	10		16.5	V
V_{DD} から GND	正電源電圧 (2 電源)	5		16.5	V
V_{SS} から GND	負電源電圧 (2 電源)	-16.5		-5	V
V_S (1)	ソース ピンの電圧	V_{SS}		V_{DD}	V
V_D	ドレイン ピンの電圧	V_{SS}		V_{DD}	V
V_{DIG}	デジタル入力ピン (SEL1、SEL2) 電圧	0		V_{DD}	V
I_{CH}	チャネル電流 ($T_A = 25^\circ C$)	-25		25	mA
T_A	周囲温度	-40		125	$^\circ C$

(1) $10V \leq (V_{DD} - V_{SS}) \leq 33V$ の範囲内であれば、 V_{DD} および V_{SS} は任意の値で使用できます。

5.5 電気的特性 (デュアル電源 : $\pm 15V$)

$T_A = 25^\circ C$ 時、 $V_{DD} = 15V$ 、 $V_{SS} = -15V$ (特に記述のない限り)

パラメータ		テスト条件		テスト条件		最小値	標準値	最大値	単位
アナログ スイッチ									
V _A	アナログ信号範囲			T _A = −40°C〜+125°C		V _{SS}		V _{DD}	V
R _{ON}	オン抵抗	V _S = 0V、I _S = 1mA				120		135	Ω
					140		160	Ω	
		V _S = ±10V、I _S = 1mA	T _A = −40°C〜+85°C				210		Ω
			T _A = −40°C〜+125°C					245	
ΔR _{ON}	チャネル間のオン抵抗の不整合	V _S = ±10V、I _S = 1mA				2.5		6	Ω
			T _A = −40°C〜+85°C				9		Ω
			T _A = −40°C〜+125°C					11	
R _{ON_FLAT}	オン抵抗の平坦性	V _S = −10V、0V、+10V、I _S = 1mA				23		33	Ω
			T _A = −40°C〜+85°C				35		Ω
			T _A = −40°C〜+125°C				37		Ω
R _{ON_DRIFT}	オン抵抗のドリフト	V _S = 0V				0.42			%/°C
I _{S(OFF)}	ソース オフ リーク電流 ⁽¹⁾	スイッチ状態はオフ、V _S = +10V/ −10V、V _D = −10V/ +10V				−0.05	0.005	0.05	nA
		スイッチ状態はオフ、V _S = +10V/ −10V、V _D = −10V/ +10V	T _A = −40°C〜+85°C			−0.17		0.1	nA
		スイッチ状態はオフ、V _S = +10V/ −10V、V _D = −10V/ +10V	T _A = −40°C〜+125°C			−1		0.25	nA
I _{D(ON)}	リーク電流のドレイン	スイッチ状態はオン、V _S = +10V/ −10V、V _D = −10V/ +10V				−0.06	0.008	0.06	nA
			T _A = −40°C〜+85°C			−0.25		0.15	nA
			T _A = −40°C〜+125°C			−1.6		0.4	nA
デジタル入力 (SELx ピン)									

5.5 電気的特性 (デュアル電源 : $\pm 15V$) (続き)

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 15V$ 、 $V_{SS} = -15V$ (特に記述のない限り)

パラメータ		テスト条件	テスト条件	最小値	標準値	最大値	単位
V_{IH}	ロジック電圧 High			2			V
V_{IL}	ロジック電圧 Low					0.8	V
$R_{PD(SELx)}$	SELx ピンに対するプルダウン抵抗				6		M Ω
電源							
I_{DD}	V_{DD} の電源電流	$V_A = 0V$ または $3.3V$ 、 $V_S = 0V$			17	21	μA
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			22	μA
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			23	μA
I_{SS}	V_{SS} の電源電流	$V_A = 0V$ または $3.3V$ 、 $V_S = 0V$			8	10	μA
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			11	μA
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			12	μA

(1) V_S が正の場合、 V_D は負の値になり、その逆も同様です。

5.6 スイッチング特性 (デュアル電源 : $\pm 15V$)

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 15V$ 、 $V_{SS} = -15V$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{TRAN}	遷移時間	$V_S = 10V$ 、 $R_L = 300\Omega$ 、 $C_L = 35pF$		66	78	ns
		$V_S = 10V$ 、 $R_L = 300\Omega$ 、 $C_L = 35pF$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			107	ns
		$V_S = 10V$ 、 $R_L = 300\Omega$ 、 $C_L = 35pF$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			117	ns
t_{BBM}	ブレイク ビフォー メイクの時間遅延	$V_S = 10V$ 、 $R_L = 300\Omega$ 、 $C_L = 35pF$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	20	40		ns
Q_J	電荷注入	$V_S = 0V$ 、 $R_S = 0\Omega$ 、 $C_L = 1nF$		-0.4		pC
O_{ISO}	オフ絶縁	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1\text{MHz}$		-85		dB
X_{TALK}	チャンネル間クロストーク	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1\text{MHz}$ (チャンネル間: S1x および S2x)		-105		dB
		$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1\text{MHz}$ (チャンネル内: SxA および SxB)		-92		dB
I_L	挿入損失	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1\text{MHz}$		-7		dB
ACPSRR	AC 電源除去比	$R_L = 10k\Omega$ 、 $C_L = 5pF$ 、 V_{DD} で $V_{PP} = 0.62V$ 、 $f = 1\text{MHz}$		-59		dB
		$R_L = 10k\Omega$ 、 $C_L = 5pF$ 、 V_{SS} で $V_{PP} = 0.62V$ 、 $f = 1\text{MHz}$		-59		dB
BW	-3dB 帯域幅	$R_L = 50\Omega$ 、 $C_L = 5pF$		670		MHz
THD	全高調波歪み + ノイズ	$R_L = 10k\Omega$ 、 $C_L = 5pF$ 、 $f = 20\text{Hz} \sim 20\text{kHz}$		0.08		%
C_{IN}	デジタル入力容量	$V_{\text{IN}} = 0V$ または V_{DD}		1.5		pF
$C_{\text{S(OFF)}}$	ソース オフ容量	$V_S = 0V$ 、 $f = 1\text{MHz}$		2.4	3.3	pF
$C_{\text{S(ON)}}$ 、 $C_{\text{D(ON)}}$	ソース容量とドレイン オン容量	$V_S = 0V$ 、 $f = 1\text{MHz}$		5.5	7.5	pF

5.7 電気的特性 (シングル電源 : 12V)

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 12\text{V}$ 、 $V_{SS} = 0\text{V}$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
アナログ スイッチ							
V _A	アナログ信号範囲			V _{SS}	V _{DD}	V	
R _{ON}	オン抵抗	V _S = 10V、I _S = 1mA		235	345	Ω	
			T _A = −40°C〜+85°C		400	Ω	
			T _A = −40°C〜+125°C		440	Ω	
ΔR _{ON}	チャネル間のオン抵抗の不整合	V _S = 10V、I _S = 1mA		4	12	Ω	
			T _A = −40°C〜+85°C		19	Ω	
			T _A = −40°C〜+125°C		23	Ω	
R _{ON_DRIFT}	オン抵抗のドリフト	V _S = 0V		0.47		%/°C	
I _{S(OFF)}	ソース オフ リーク電流 ⁽¹⁾	スイッチ状態はオフ、V _S = 10V/ 1V、V _D = 1V/ 10V		-0.03	0.005	0.03	nA
			T _A = −40°C〜+85°C	-0.1		0.07	nA
			T _A = −40°C〜+125°C	-0.8		0.2	nA
I _{D(ON)}	リーク電流のドレイン	スイッチ状態はオン、V _S = フローティング、V _D = 1V/ 10V		-0.04	0.01	0.04	nA
			T _A = −40°C〜+85°C	-0.16		0.09	nA
			T _A = −40°C〜+125°C	-1.2		0.3	nA
デジタル入力 (SELx ピン)							
V _{IH}	ロジック電圧 High			2		V	
V _{IL}	ロジック電圧 Low				0.8	V	
R _{PD(SELx)}	SELx ピンに対するプルダウン抵抗				6	MΩ	
電源							
I _{DD}	V _{DD} の電源電流	V _A = 0V または 3.3V、V _S = 0V		13	16	μA	
			T _A = −40°C〜+85°C		17	μA	
			T _A = −40°C〜+125°C		18	μA	

(1) V_S が正の場合、 V_D は負の値になり、その逆も同様です。

5.8 スイッチング特性 (シングル電源 : 12V)

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 12\text{V}$ 、 $V_{SS} = 0\text{V}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{TRAN}	遷移時間	$V_S = 8\text{V}$ 、 $R_L = 300\Omega$ 、 $C_L = 35\text{pF}$		72	84	ns
		$V_S = 8\text{V}$ 、 $R_L = 300\Omega$ 、 $C_L = 35\text{pF}$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			117	ns
		$V_S = 8\text{V}$ 、 $R_L = 300\Omega$ 、 $C_L = 35\text{pF}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			128	ns
t_{BBM}	ブレイク ビフォー メイクの時間遅延	$V_S = 8\text{V}$ 、 $R_L = 300\Omega$ 、 $C_L = 35\text{pF}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	20	40		ns
Q_J	電荷注入	$V_S = 6\text{V}$ 、 $R_S = 0\Omega$ 、 $C_L = 1\text{nF}$		-0.7		pC
O_{ISO}	オフ絶縁	$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$ 、 $f = 1\text{MHz}$		-85		dB
X_{TALK}	チャンネル間クロストーク	$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$ 、 $f = 1\text{MHz}$ (チャンネル間: S1x および S2x)		-110		dB
		$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$ 、 $f = 1\text{MHz}$ (チャンネル内: SxA および SxB)		-95		dB
I_L	挿入損失	$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$ 、 $f = 1\text{MHz}$		-13		dB
ACPSRR	AC 電源除去比	$R_L = 10\text{k}\Omega$ 、 $C_L = 5\text{pF}$ 、 $V_{\text{PP}} = 0.62\text{V}$ 、 $f = 1\text{MHz}$		-58		dB
BW	-3dB 帯域幅	$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$		650		MHz
C_{IN}	デジタル入力容量	$V_{\text{IN}} = 0\text{V}$ または V_{DD}		1.7		pF
$C_{\text{S(OFF)}}$	ソース オフ容量	$V_S = 6\text{V}$ 、 $f = 1\text{MHz}$		2.6	3.7	pF
$C_{\text{S(ON)}}$ 、 $C_{\text{D(ON)}}$	ソース容量とドレイン オン容量	$V_S = 6\text{V}$ 、 $f = 1\text{MHz}$		6.3	8.5	pF

5.9 代表的特性

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 15\text{V}$ 、 $V_{SS} = -15\text{V}$ (特に記述のない限り)

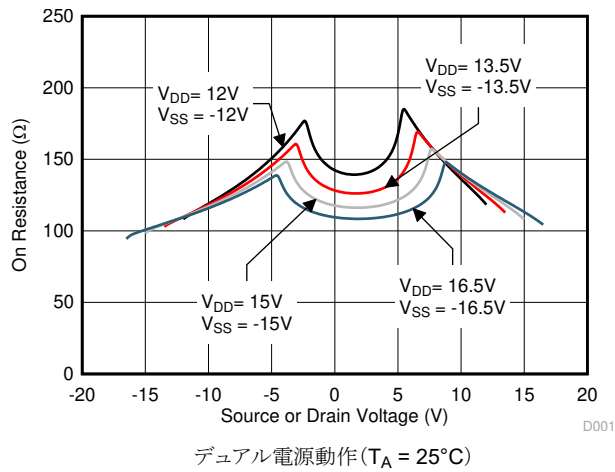


図 5-1. オン抵抗とソースまたはドレイン電圧との関係

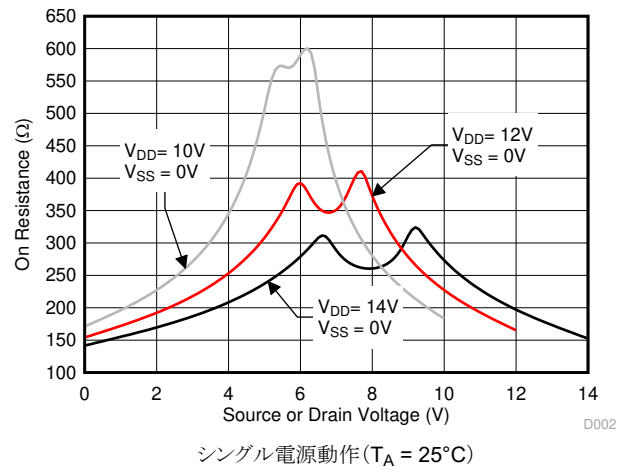


図 5-2. オン抵抗とソースまたはドレイン電圧との関係

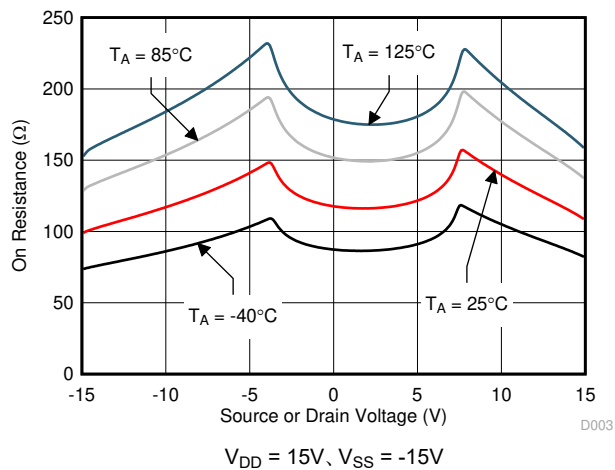


図 5-3. オン抵抗とソースまたはドレイン電圧との関係

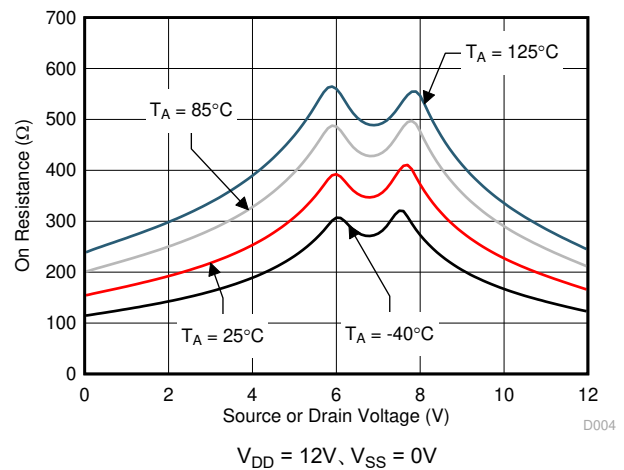


図 5-4. オン抵抗とソースまたはドレイン電圧との関係

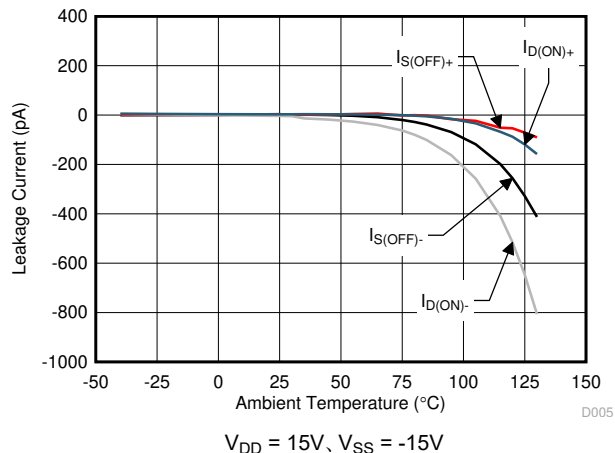


図 5-5. リーク電流と温度との関係

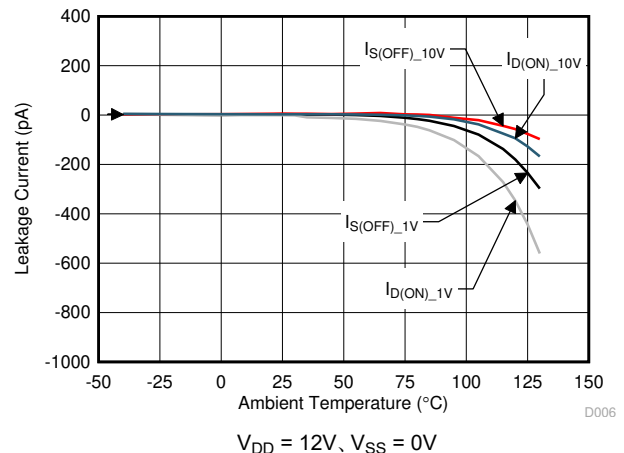


図 5-6. リーク電流と温度との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 15\text{V}$ 、 $V_{SS} = -15\text{V}$ (特に記述のない限り)

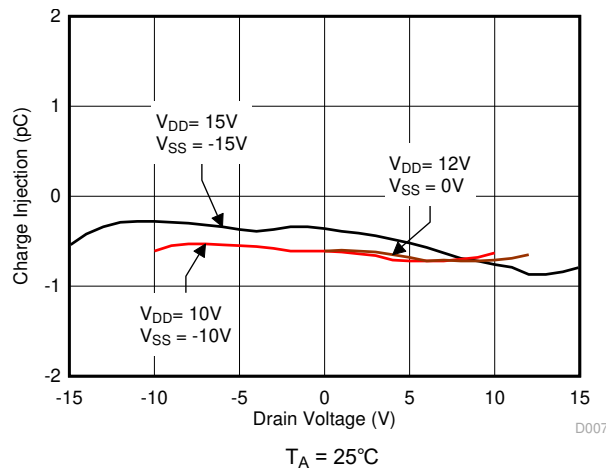


図 5-7. 電荷注入とソース電圧との関係

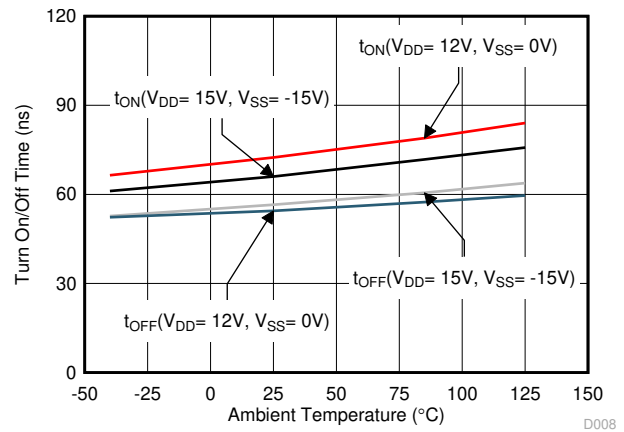


図 5-8. 遷移時間と温度との関係

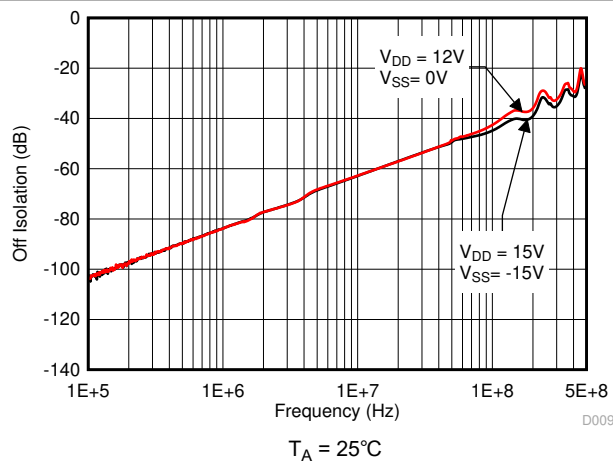


図 5-9. オフ絶縁と周波数との関係

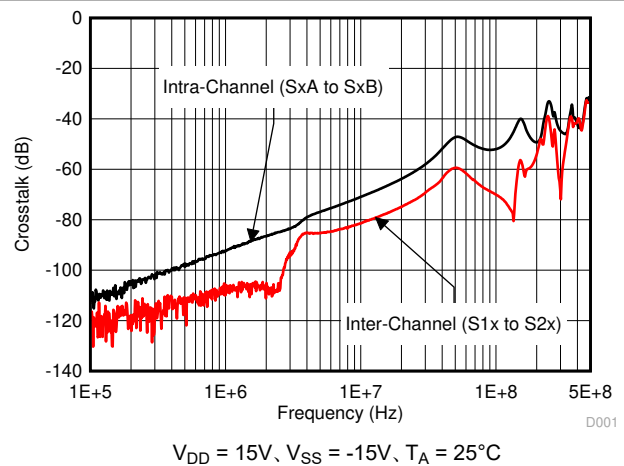


図 5-10. クロストークと周波数との関係

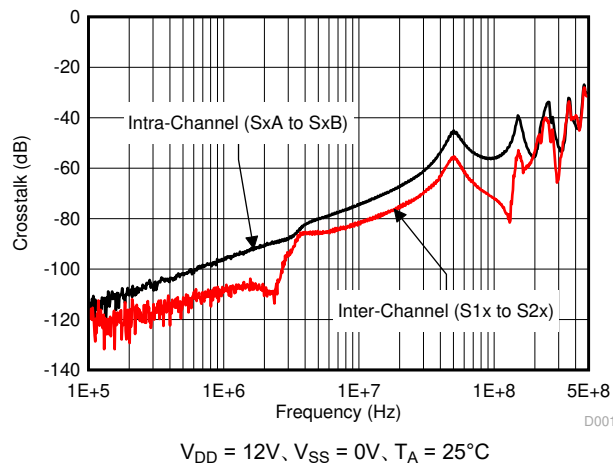


図 5-11. クロストークと周波数との関係

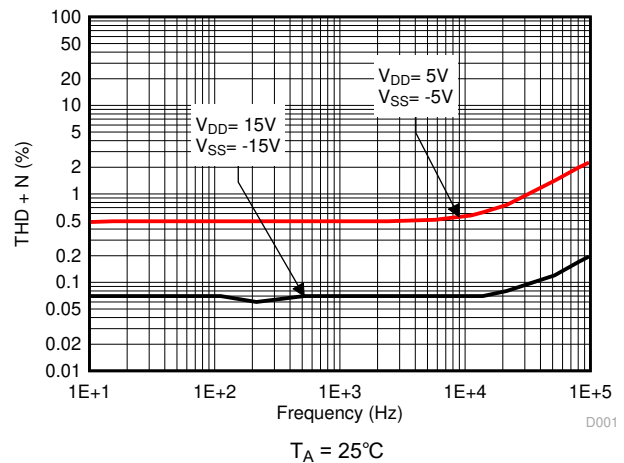


図 5-12. THD+N と周波数との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 時、 $V_{DD} = 15\text{V}$ 、 $V_{SS} = -15\text{V}$ (特に記述のない限り)

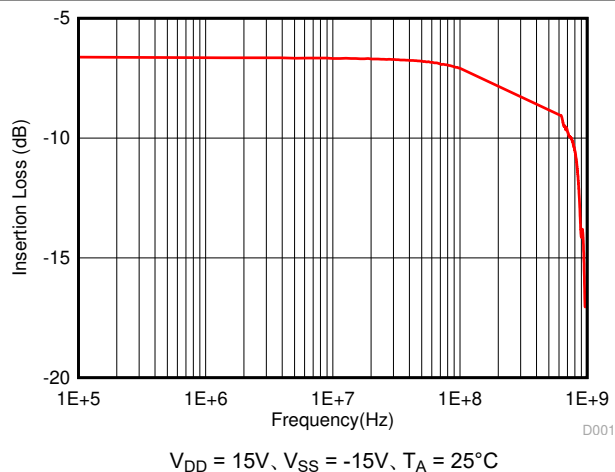


図 5-13. オン応答と周波数との関係

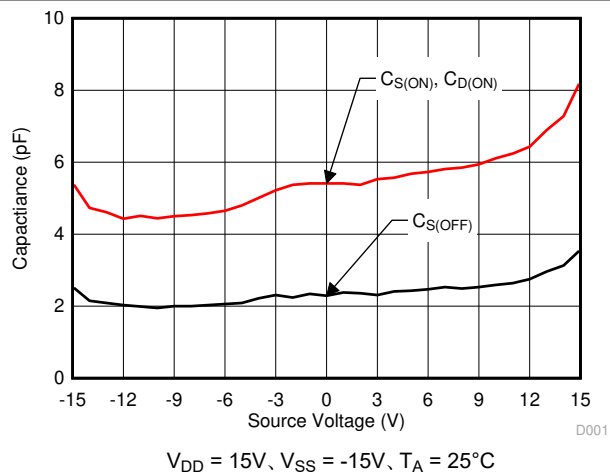


図 5-14. 静電容量とソース電圧との関係

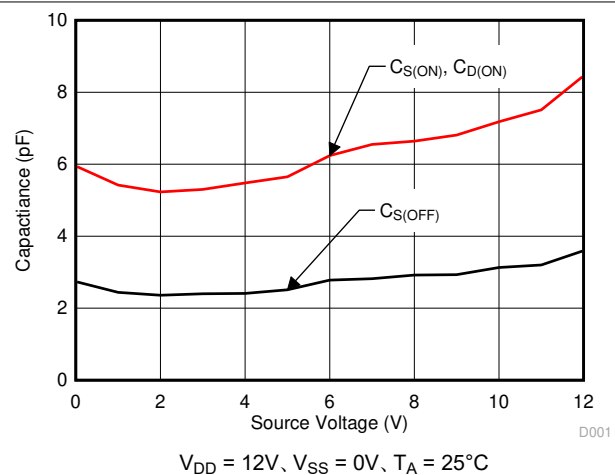


図 5-15. 静電容量とソース電圧との関係

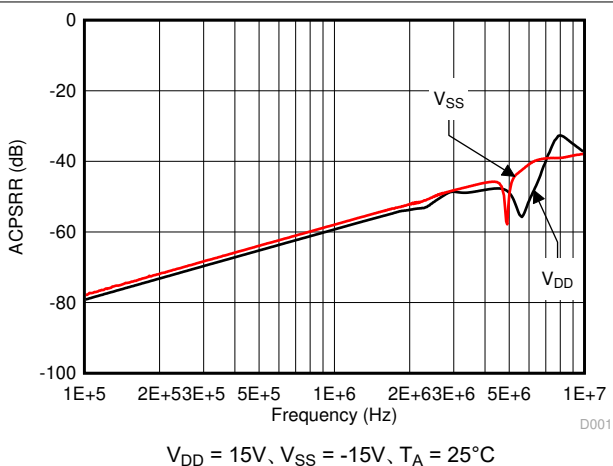


図 5-16. ACPSRR と周波数との関係

6 詳細説明

6.1 概要

6.1.1 オン抵抗

TMUX6136 のオン抵抗は、デバイスのソース ピン (Sx) とドレイン ピン (D) の間の抵抗値 (Ω) です。オン抵抗は、入力電圧と電源電圧によって変化します。オン抵抗は、記号 R_{ON} を使用して示されます。 R_{ON} の測定時に使用する構成を図 6-1 示します。この設定を使用して電圧 (V) と電流 (I_{CH}) を測定し、 R_{ON} は、式 1 に示すように計算します。

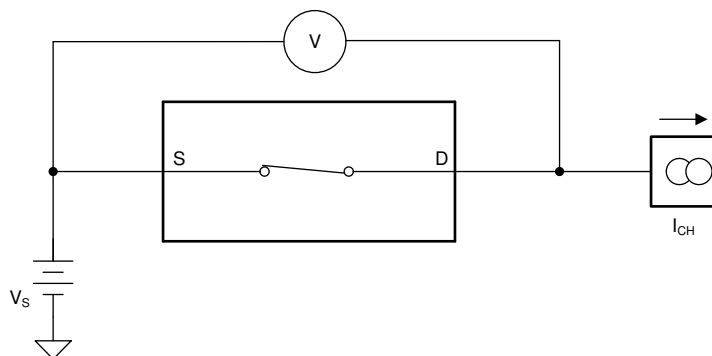


図 6-1. オン抵抗測定時の構成

$$R_{ON} = V / I_{CH} \quad (1)$$

6.1.2 オフ リーク電流

ソース オフ リーク電流は、スイッチがオフ状態にあるとき、ソース ピンに流入、または流出するリーク電流と定義されます。この電流は、記号 $I_{S(OFF)}$ を使用して示されます。ドレイン ピンは常に 2 つのソース ピンのいずれかに接続されているため、ドレイン オフ リーク測定は特性評価ではありません。

図 6-2 に、これら 2 種類のオフ リーク電流の測定に使用する設定を示します。

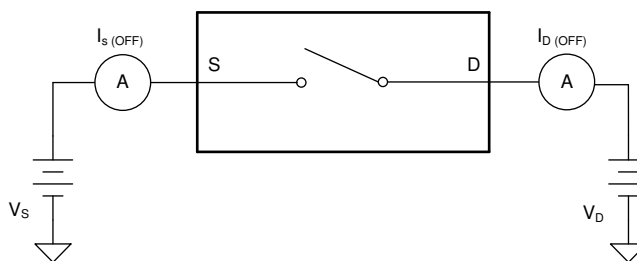


図 6-2. オフ リーク測定時の構成

6.1.3 オン リーク電流

オン リーク電流は、スイッチがオン状態にあるとき、ドレイン ピンに流入する、または流出するリーク電流と定義されます。測定中、ソース ピンはフローティング状態を維持します。図 6-3 に、オン リーク電流 $I_{D(ON)}$ の測定時に使用される回路構成を示します。

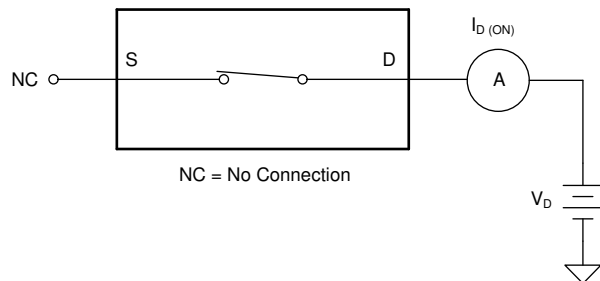


図 6-3. オン リーク測定時の構成

6.1.4 遷移時間

遷移時間は、デジタルアドレス信号が遷移の 50% を上回った、または下回った後に、TMUX6136 の出力が遷移の 90% まで上昇または降下するのに要する時間として定義されます。図 6-4 に、遷移時間 (記号 t_{TRAN}) の測定に使用する構成を示します。

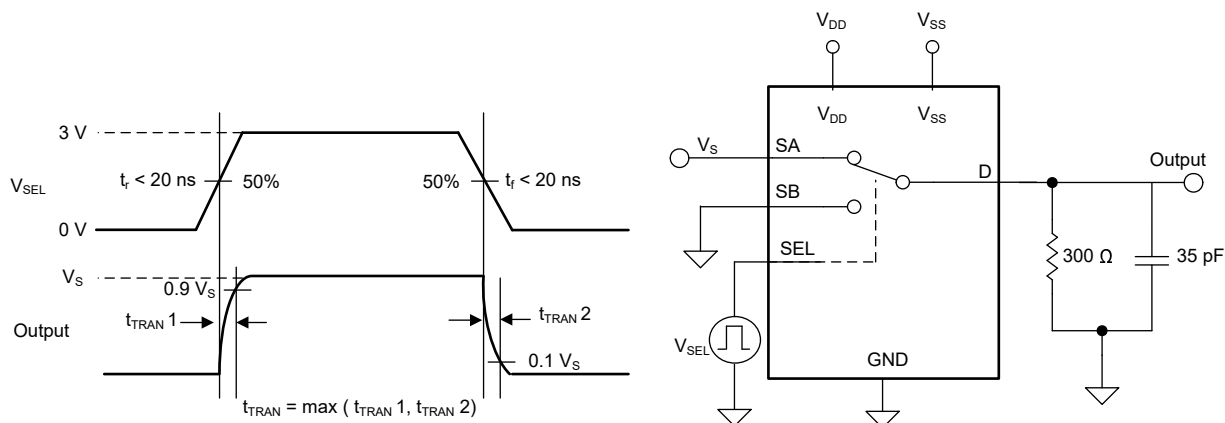


図 6-4. 遷移時間測定時の構成

6.1.5 ブレイク ビフォー メイク遅延

ブレイク ビフォー メイク遅延は、TMUX6136 のスイッチング時に 2 つの入力が接続されることを防止する安全機能です。TMUX6136 の出力は、次のオン状態スイッチと接続する前に、まずオン状態スイッチから切断されます。この ブレイク (切断) と メイク (接続) の間の時間遅延を、ブレイク ビフォー メイク遅延と呼んでいます。図 6-5 に、ブレイク ビフォー メイク遅延 (記号 t_{BBM}) の測定に使用する設定を示します。

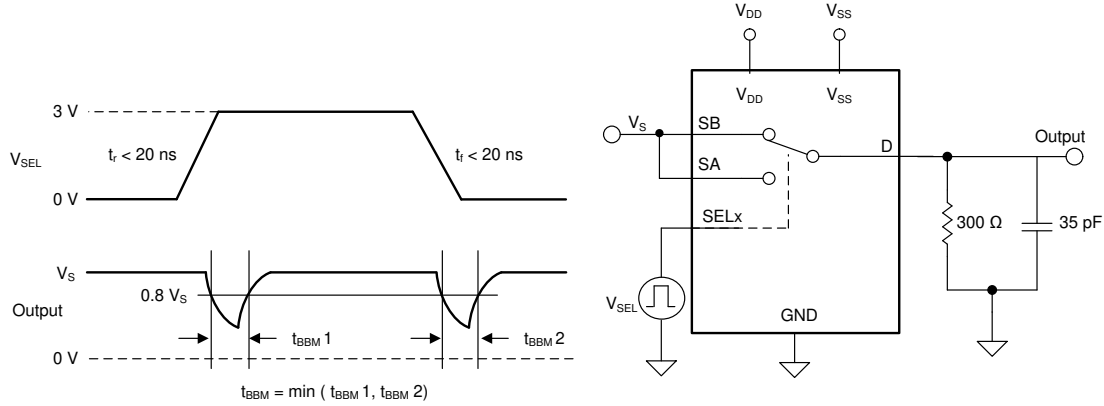


図 6-5. ブレイク ビフォー メイク遅延測定時の構成

6.1.6 電荷注入

TMUX6136 には、シンプルな送信ゲートトポロジが採用されています。NMOS トランジスタと PMOS トランジスタの間で容量の不一致がある場合、ゲート信号の立ち下がりエッジまたは立ち上がりエッジにおいて、ドレインまたはソースに電荷が注入されます。デバイスのソースに注入される電荷の量は電荷注入と呼ばれ、 Q_{INJ} という記号で表されます。図 6-6 に、ドレイン (D) からソース (Sx) に向けた電荷注入の測定に使用する設定を示します。

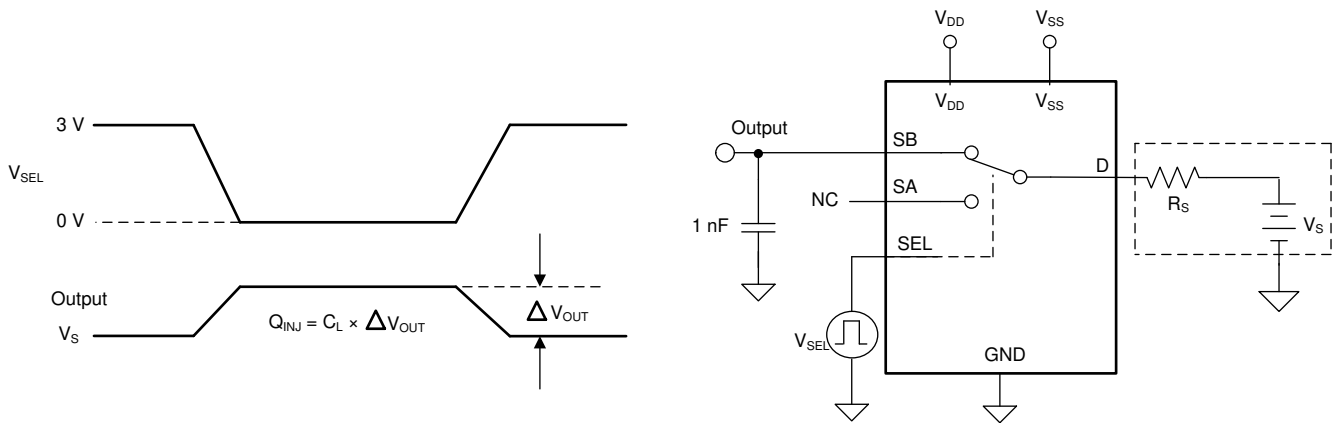


図 6-6. 電荷注入測定時の設定

6.1.7 オフ アイソレーション

オフ絶縁は、オフチャネルのソース ピン (Sx) に $1-V_{RMS}$ 信号を印加した場合の、TMUX6136 のドレイン ピン (D) の電圧として定義されます。図 6-7 に、オフ絶縁の測定に使用する設定を示します。式 2 を絶縁の計算に使用します。

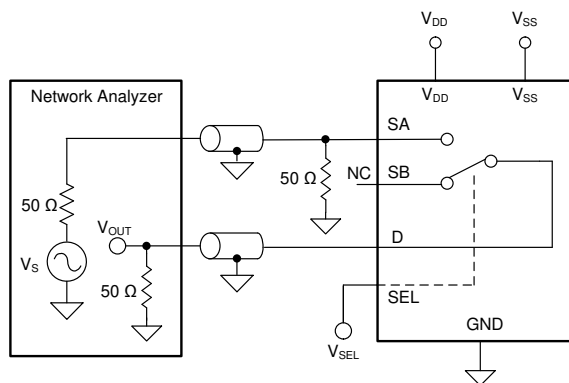


図 6-7. オフ絶縁測定時の設定

$$Off\ Isolation = 20 \times \log\left(\frac{V_{OUT}}{V_S}\right) \quad (2)$$

6.1.8 チャネル間クロストーク

TMUX6136 向けに設定できるクロストークは 2 種類あります。

1. チャネル内クロストーク: 図 6-8 に示すように、同じチャネルのオンスイッチ入力のソースピンに 1-VRMS 信号を印加した場合の、オフスイッチ入力のソースピン (Sx) 電圧。
2. チャネル間クロストーク: 図 6-9 に示すように、別のチャネルのオンスイッチ入力のソースピンに 1-VRMS 信号を印加した場合の、オンスイッチ入力のソースピン (Sx) 電圧。

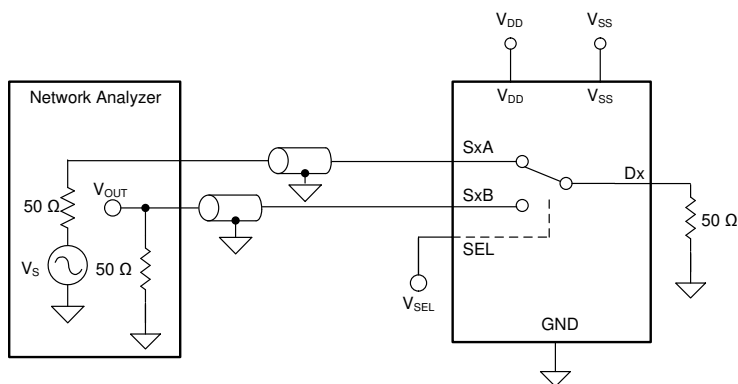


図 6-8. チャネル内クロストーク測定時の設定

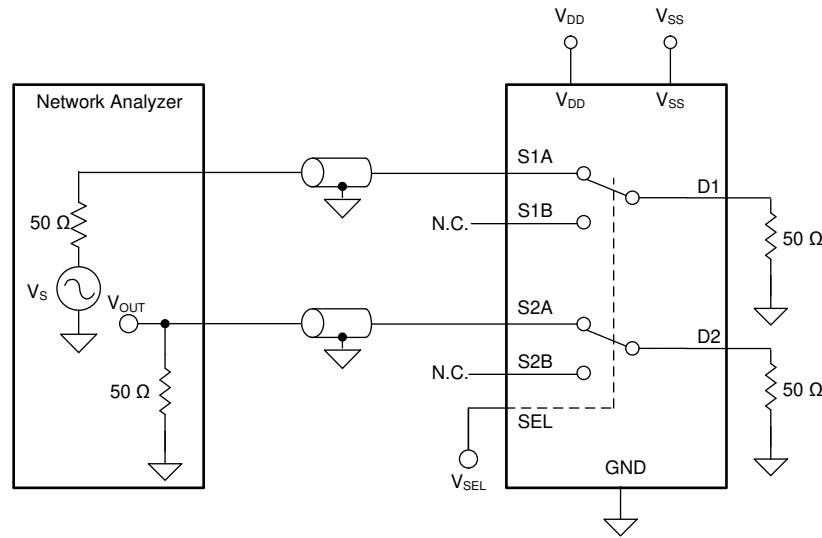


図 6-9. チャネル間クロストーク測定時の設定

$$\text{Channel-to-Channel Crosstalk} = 20 \times \text{Log}\left(\frac{V_{OUT}}{V_S}\right) \quad (3)$$

6.1.9 帯域幅

帯域幅は、入力をオンチャネルのソースピン (Sx) に印加したときに、TMUX6136 のドレインピン (D) で測定される出力の減衰量が、3dB 未満である周波数の範囲として定義されます。図 6-10 に、マルチプレクサの帯域幅を測定する際の設定を示します。減衰の計算に式 4 を使用します。

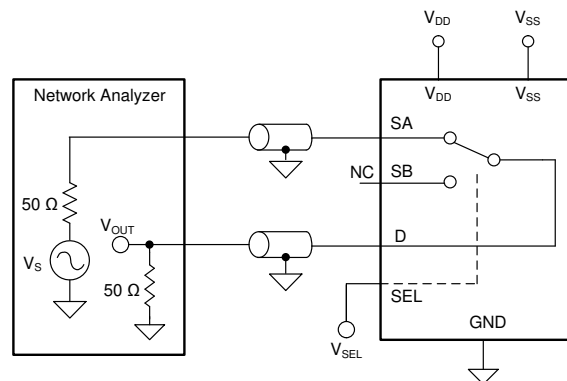


図 6-10. 帯域幅測定時の設定

$$\text{Attenuation} = 20 \times \text{Log}\left(\frac{V_2}{V_1}\right) \quad (4)$$

6.1.10 THD + ノイズ

信号の全高調波歪み (THD) は、マルチプレクサの出力において、すべての高調波成分の電力の合計と基本周波数の電力の比として定義される、高調波歪みを測定した値です。TMUX6136 のオン抵抗は入力信号の振幅によって変化し、ドレインピンを低インピーダンスの負荷に接続することで、歪み発生の原因となります。全高調波歪み + ノイズは、THD+N として表されます。

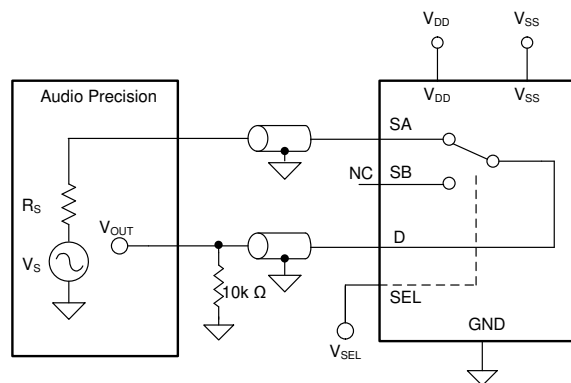


図 6-11. THD+N 測定時の構成

6.1.11 AC 電源電圧変動除去比 (AC PSRR)

電源電圧ピンに現れるノイズ信号やスプリアス信号が、スイッチの出力に対し結合されることを防止するデバイスの能力を測定したものが **AC PSRR** です。測定対象のデバイスの DC 電源電圧は、 620mV_{PP} の正弦波によって変調されます。出力に現れる信号振幅と変調信号の振幅との比率が **AC PSRR** です。

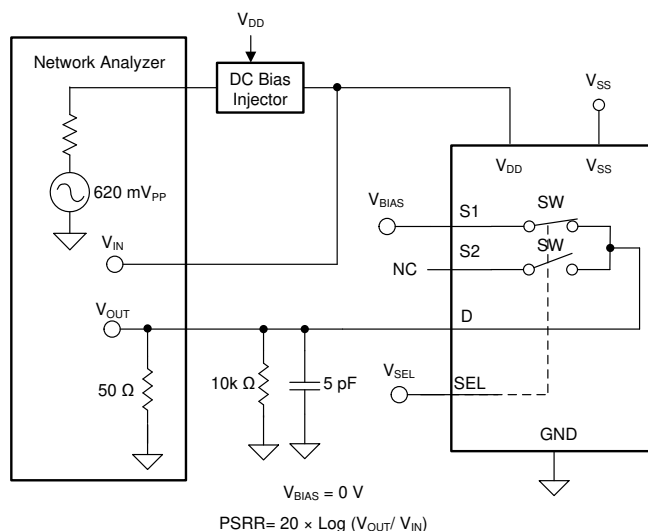
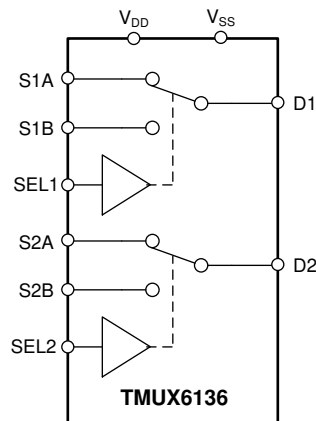


図 6-12. AC PSRR 測定時の構成

TMUX6136 の概略ブロック図については、[セクション 6.2](#) を参照してください。TMUX6136 は、4 チャンネルのシングルエンドアナログマルチプレクサです。アドレスラインとイネーブルピンの状態に基づいて、各チャンネルがオンまたはオフになります。

6.2 機能ブロック図



Copyright © 2018, Texas Instruments Incorporated

6.3 機能説明

6.3.1 超低リーク電流

TMUX6136 は、非常に小さいオン リークおよびオフ リーク電流を実現します。TMUX6136 のリーク電流が極めて低いいため、オフセット誤差を最小限に抑えながら、高いソース インピーダンス入力から高い入力インピーダンスのオペアンプに信号をスイッチングできます。図 6-13 に、TMUX6136 の代表的なリーク電流と温度との関係を示します。

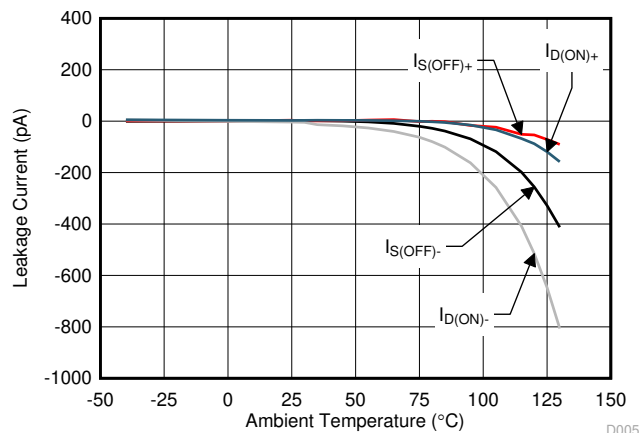


図 6-13. リーク電流と温度との関係

6.3.2 超低電荷注入

TMUX6136 は、図 6-14 に示されるように、シンプルな伝送ゲート トポロジで実装されています。NMOS および PMOS に関連する浮遊容量の不整合が発生すると、スイッチを開閉するたびに出力レベルが変化します。

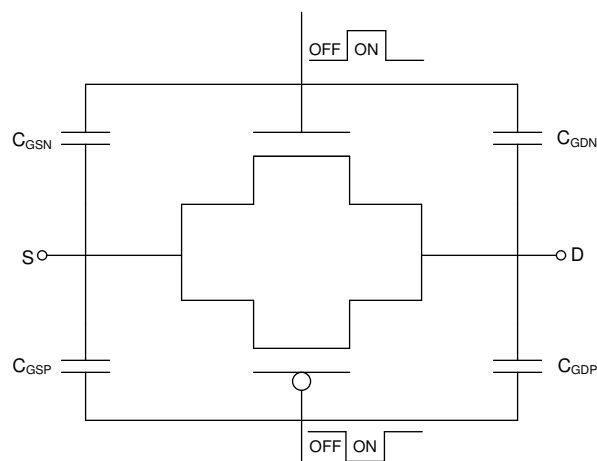


図 6-14. 伝送ゲート トポロジ

TMUX6136 は、[図 6-15](#) に示されるように、特殊な電荷注入キャンセル回路を採用しており、ドレイン (D) からソース (Sx) への電荷注入を、 $V_S = 0V$ の条件下で最大 $-0.4pC$ まで低減します。

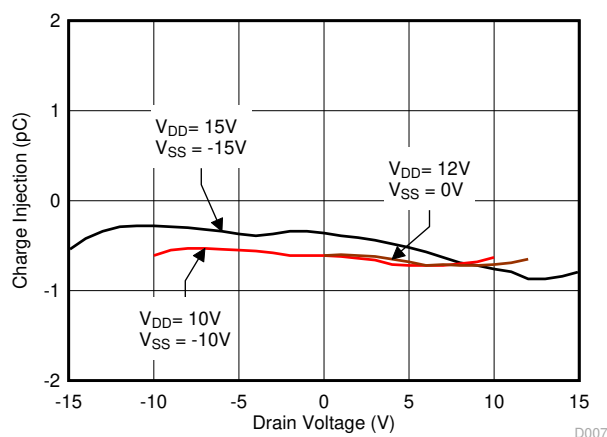


図 6-15. 電荷注入とドレイン電圧との関係

6.3.3 双方向およびレール ツー レール動作

TMUX6136 は、ソース (Sx) からドレイン (D)、またはドレイン (D) からソース (Sx) への双方向で良好な動作を提供します。TMUX6136 の各チャネルは、両方向において非常に類似した特性を持っています。TMUX6136 のアナログ信号では、 V_{SS} から V_{DD} までの範囲が有効です。TMUX6136 への入力信号が V_{SS} から V_{DD} まで変動しても、性能を大きく損なうことはありません。

6.4 デバイスの機能モード

6.4.1 真理值表

表 6-1. TMUX6136 の真理値表

SELx	スイッチ A (S1A から D1 または S2A から D2)	スイッチ B (S1B から D1 または S2B から D2)
0	OFF	オン
1	オン	OFF

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TMUX6136 は、卓越した入出力リーク電流と超低電荷注入を備えています。このデバイスは最大 33V (V_{DD} と V_{SS} のデュアル電源) または 16.5V (V_{DD} のシングル電源) で動作し、真のレール ツー レール入出力を実現します。TMUX6136 では、オン容量も低く抑えられています。これらの特長から、TMUX6136 は高電圧の産業用アプリケーションに適した、堅牢で高精度、高性能なアナログ マルチプレクサと言えます。

7.2 代表的なアプリケーション

TMUX6136 の高精度性能を活用できる 1 つの例は、半導体自動テスト装置 (ATE) アプリケーションにパラメトリック測定ユニット (PMU) を実装することです。PMU は、被試験デバイス (DUT) のデジタル ピンの DC 特性の特性評価と測定に頻繁に使用されています。PMU のすべての機能の中で、電圧印加電流測定 (FVMC) と電流印加電圧測定 (FCMV) は、DC 特性評価において最も代表的な 2 つの構成です。

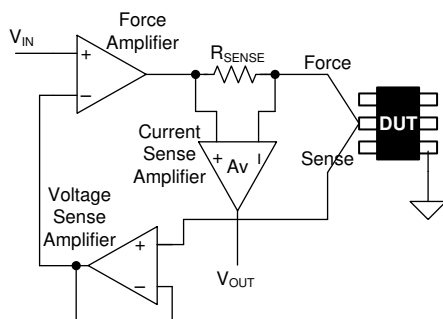


図 7-1. PMU での FVMC 測定

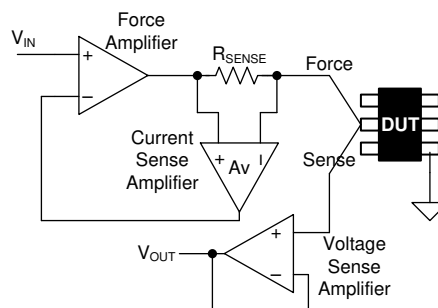


図 7-2. PMU での FCMV 測定

図 7-1 は FVMC 構成における、PMU の概略図です。制御ループは、フォースアンプと電圧センスアンプ (この例ではユニティゲイン) で構成され、帰還パスを構成しています。DUT に流れる電流は、DUT と直列にセンス抵抗 (R_{SENSE}) を流れる電流を検出することで測定されます。 Av のゲインの電流センスアンプは、その出力で電圧 (V_{OUT}) を生成し、その電圧は ADC で測定できます。DUT ピンで生成される電圧は、フォースアンプがレールアウトしない限り (たとえば、 $I_{DUT} \times R_{SENSE} \times Av$ がフォースアンプの入力電圧範囲内にとどまる限り)、入力電圧レベル (V_{IN}) に維持されます。測定する DUT 電流のレベルに応じて、電流センスアンプに対してさまざまなゲイン設定を構成する必要があります。

図 7-2 に、FCMV モードの PMU の概略図を示します。これで、電圧 V_{IN} は次の関係で電流に変換されます。

$$\text{Force Current} = V_{IN} / (R_{SENSE} \times Av) \quad (5)$$

制御ループは、フォースアンプと電流センスアンプで構成され、帰還パスを構成します。DUT の電圧は電圧センスアンプ (この例ではユニティゲイン) の両端で検出され、サンプルの出力に示されます。

7.2.1 設計要件

この設計例の目的は、SPDT スイッチを使用して、PMU 設計の FVMC および FCMV 機能を簡素化することです。FVMC 構成は、電源として使用されるデバイスをテストする場合、または導通テストやリークageテストで役立ちます。この構成では、入力電圧を DUT ピンに直接印加し、DUT ピンに流入または流出する電流がセンス抵抗によって電圧に変換

され、アナログ/デジタルコンバータ (ADC) で測定されます。FCMV モードでは、入力電流が強制的に DUT に送られ、DUT ピンで生成される電圧が直接測定されます。この例では、PMU の設計が次の仕様を満たす必要があります。

- 電圧の強制印加範囲: $-15\text{V} \sim +15\text{V}$
- 電流の強制印加範囲: $\pm 5\mu\text{A} \sim \pm 50\text{mA}$
- 電圧の測定範囲: $-15\text{V} \sim +15\text{V}$
- 電流の測定範囲: $\pm 5\mu\text{A} \sim \pm 50\text{mA}$

電圧と電流の要件に加えて、DUT の製造コストに直接関係するため、高速スループットも ATE において重要な要件となります。

7.2.2 詳細な設計手順

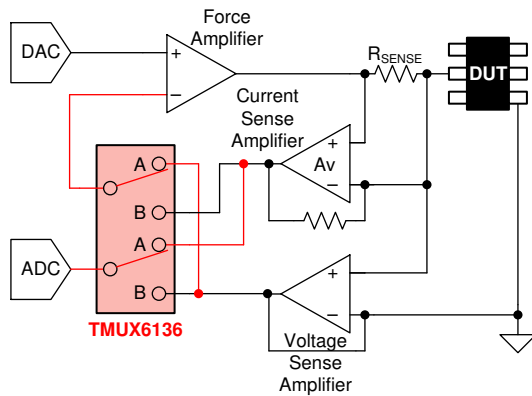


図 7-3. TMUX6136 を使用した PMU への FVMC の実装

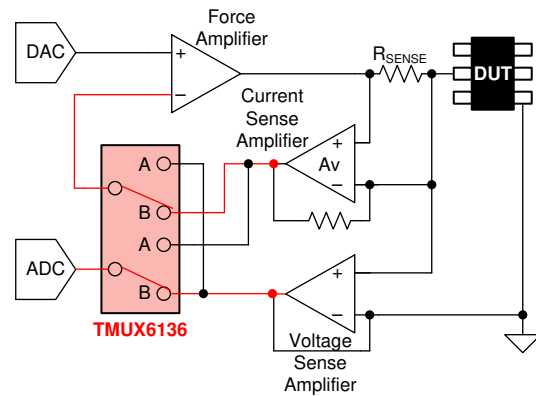


図 7-4. TMUX6136 を使用した PMU への FCMV の実装

FVMC モードと FCMV モードの実装は、TMUX6136 などのデュアル SPDT スイッチを使用するデバイスと組み合わせることができます。図 7-3 および 図 7-4、そのような実装の簡略図を示しています。FVMC モードでは、スイッチを位置 A に切り替えることで、電圧センスアンプを帰還ループの一部にし、電流センスアンプの電圧出力を ADC でサンプリングすることができます。FCMV モードでは、スイッチを位置 B に切り替えることで、電流センスアンプを帰還ループの一部にし、電圧センスアンプの電圧出力を ADC でサンプリングすることができます。

7.2.3 アプリケーション曲線

TMUX6136 は遷移時間が高速で、入力/出力寄生容量が低いため、セトリングタイムを最小化できます。そのため、TMUX6136 は PMU の FVMC および FCMV 機能を実装するうえで優れた候補となります。図 7-5 に TMUX6136 の遷移時間と温度の関係を示します。

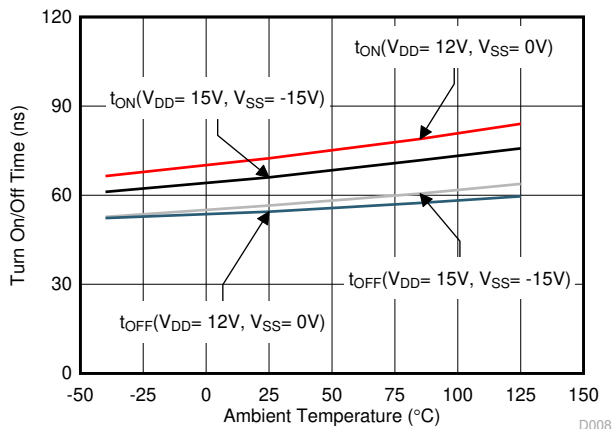


図 7-5. TMUX6136 の遷移時間と温度の関係

8 電源に関する推奨事項

TMUX6136 は、 $\pm 5V \sim \pm 16.5V$ (単一電源モードで $10V \sim 16.5V$) の広い電源電圧範囲で動作します。また、このデバイスは $V_{DD} = 12V$ 、 $V_{SS} = -5V$ などの非対称電源でも適切に動作します。確実な動作を保証するため、 V_{DD} ピンおよび V_{SS} ピン両方からグラウンドに対し、 $0.1\mu F \sim 10\mu F$ の範囲の電源デカップリング コンデンサを使用してください。

9 レイアウト

9.1 レイアウトのガイドライン

図 9-1 に、TMUX6136 向けの PCB レイアウト例を示します。

主に考慮すべき事項は以下の通りです。

1. V_{DD} と V_{SS} ピンは、可能な限りそのピンの近くで $0.1\mu\text{F}$ のコンデンサによるデカップリングを行います。電源電圧 V_{DD} および V_{SS} に対してコンデンサの電圧定格が十分であることを確認します。
2. 入力への配線は可能な限り短くします。
3. ソリッド グランド プレーンを使用すると、熱の分散や、電磁干渉 (EMI) ノイズのピックアップの低減に役立ちます。
4. デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。可能な限り、デジタル パターンとアナログ パターンの交差は避け、どうしても必要な場合には、必ず直角に交差させてください。

9.2 レイアウト例

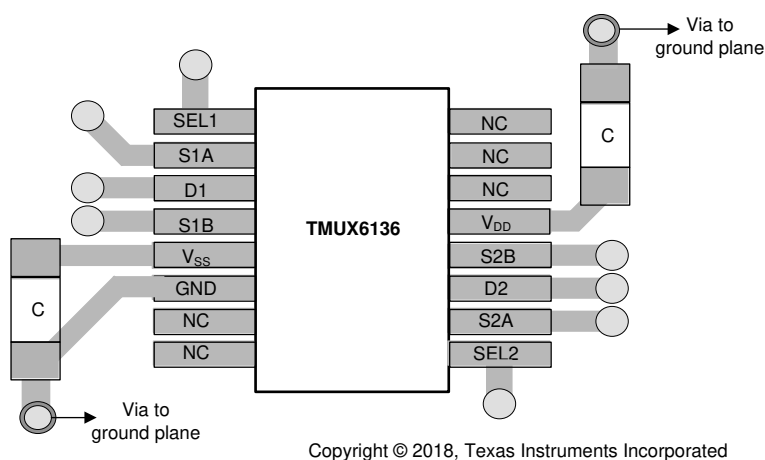


図 9-1. TMUX6136 のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメント、『[ADS8664](#)、12 ビット、500kSPS、4 および 8 チャンネル、単一電源電圧、SAR ADC、バイポーラ入力範囲に対応』
- テキサス・インスツルメント、『[OPA192](#) 36V、高精度、レールツーレール入力/出力、低オフセット電圧、低入力バイアス電流オペアンプ、e-trim™ 搭載』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメント [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメントの仕様を構成するものではなく、必ずしもテキサス・インスツルメントの見解を反映したものではありません。テキサス・インスツルメントの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメント E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメントは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメント用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (October 2022) to Revision B (August 2025) Page

- | | |
|-----------------------------------|---|
| • 低入力リーク電流を 0.5pA から 5pA に更新..... | 1 |
|-----------------------------------|---|

Changes from Revision * (November 2018) to Revision A (October 2022) Page

- | | |
|--------------------------------------|----|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
| • 「遷移時間測定時の構成」図を更新..... | 13 |

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMUX6136PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	MUX6136
TMUX6136PWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MUX6136
TMUX6136PWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MUX6136
TMUX6136PWRG4.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MUX6136

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

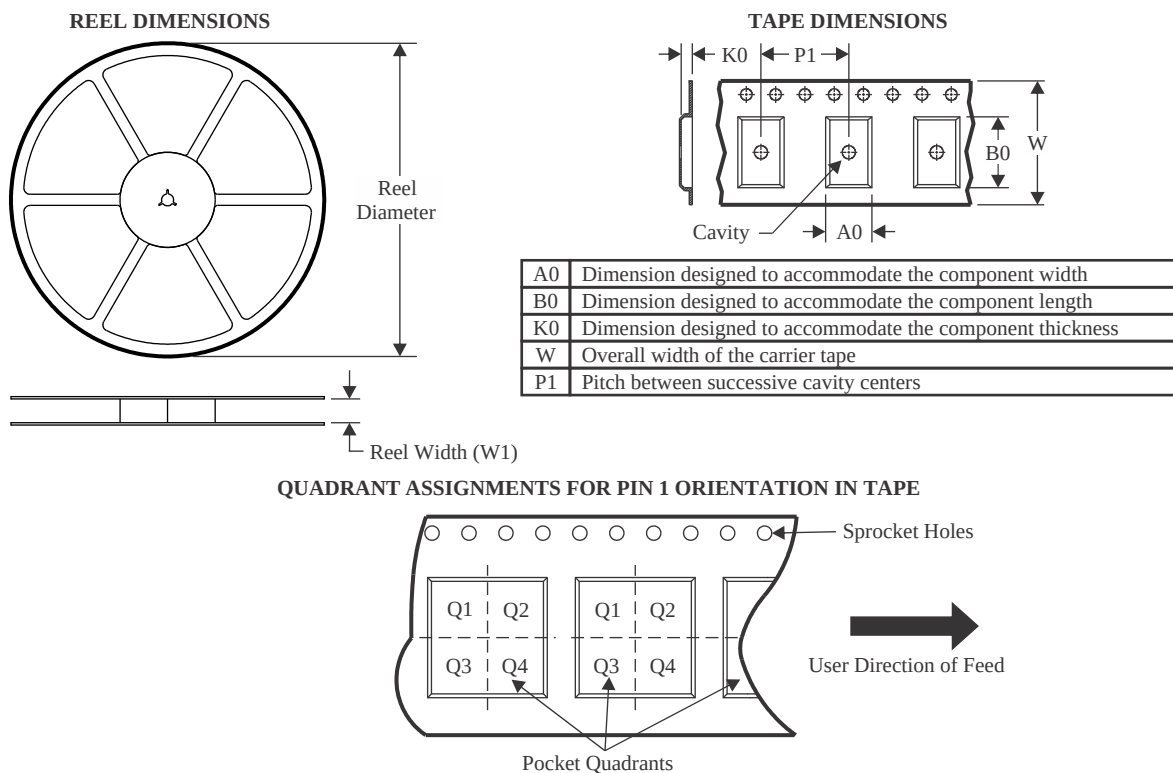
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

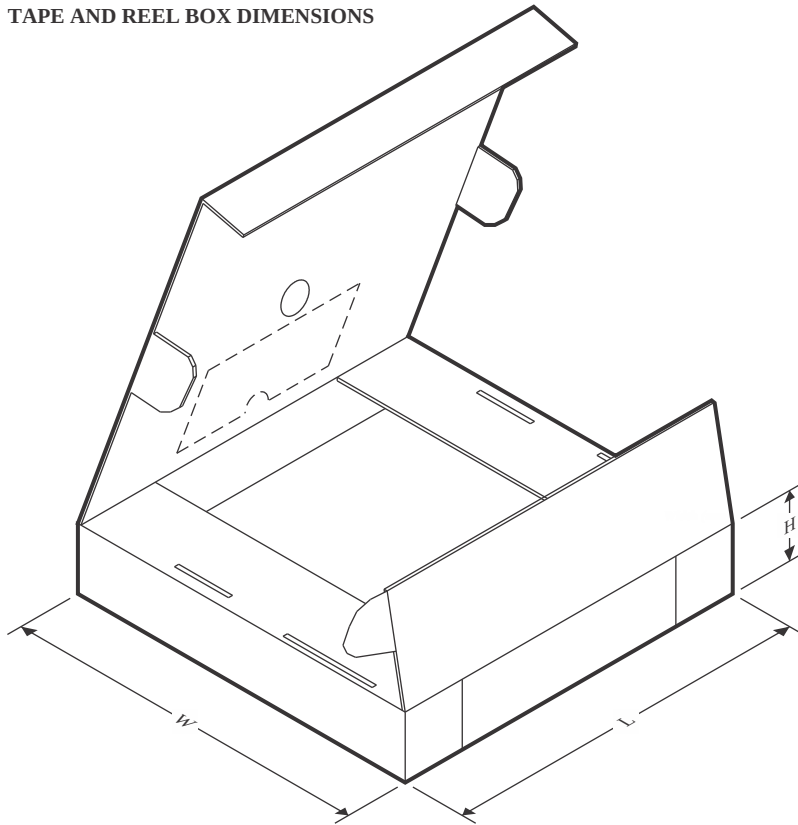
TAPE AND REEL INFORMATION



*All dimensions are nominal

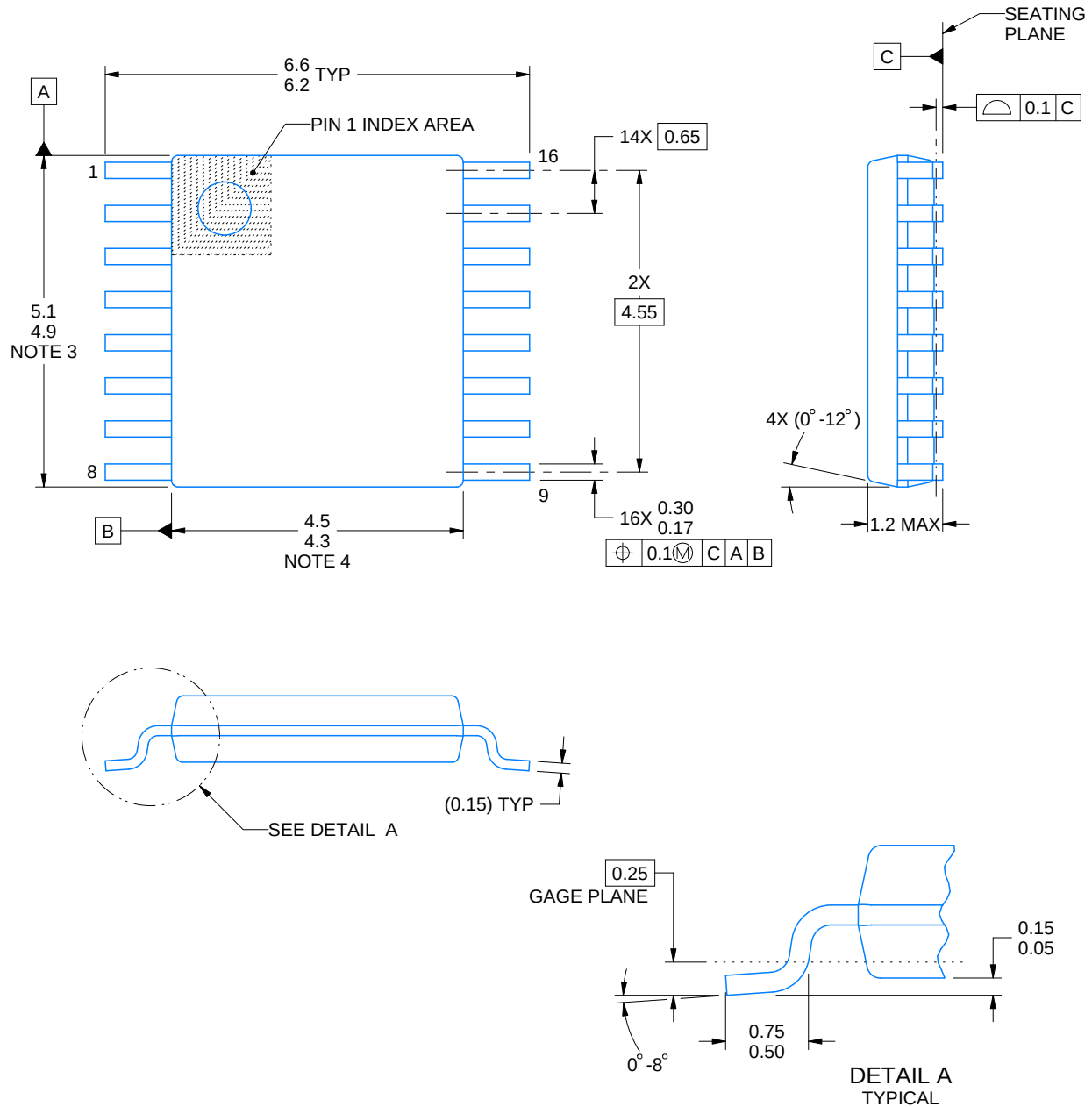
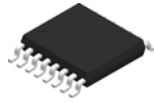
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMUX6136PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TMUX6136PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMUX6136PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
TMUX6136PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0



4220204/B 12/2023

NOTES:

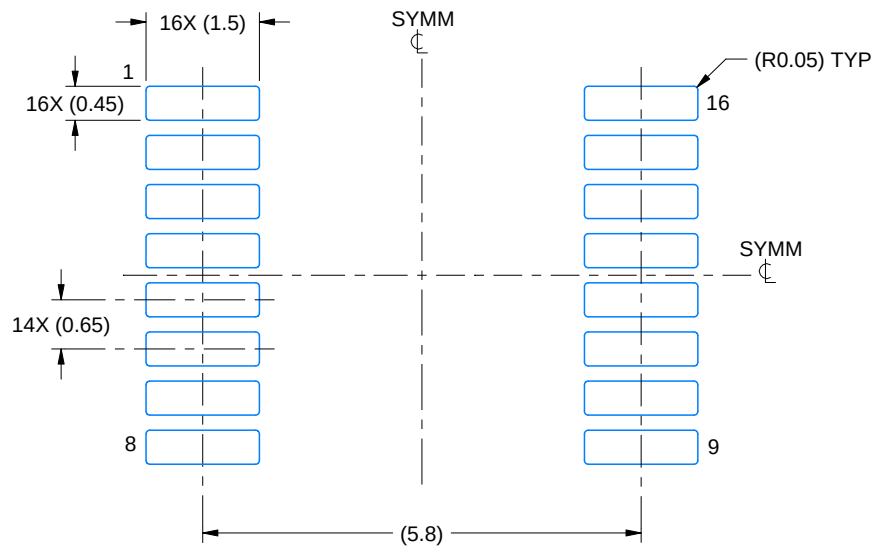
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

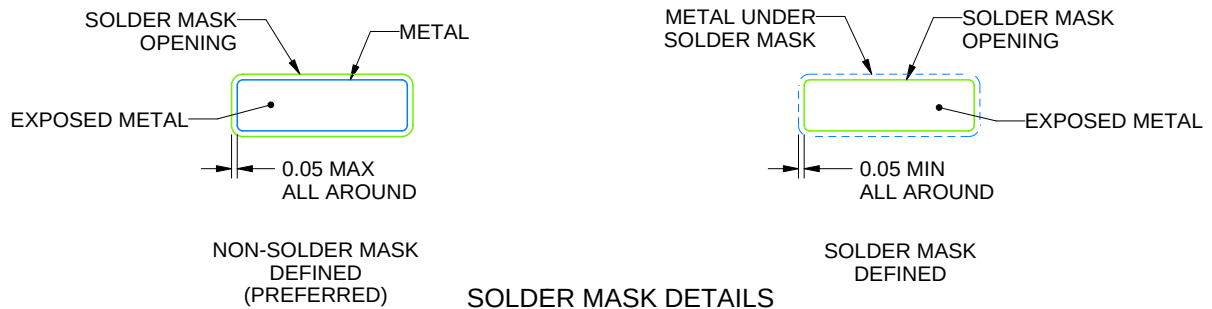
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

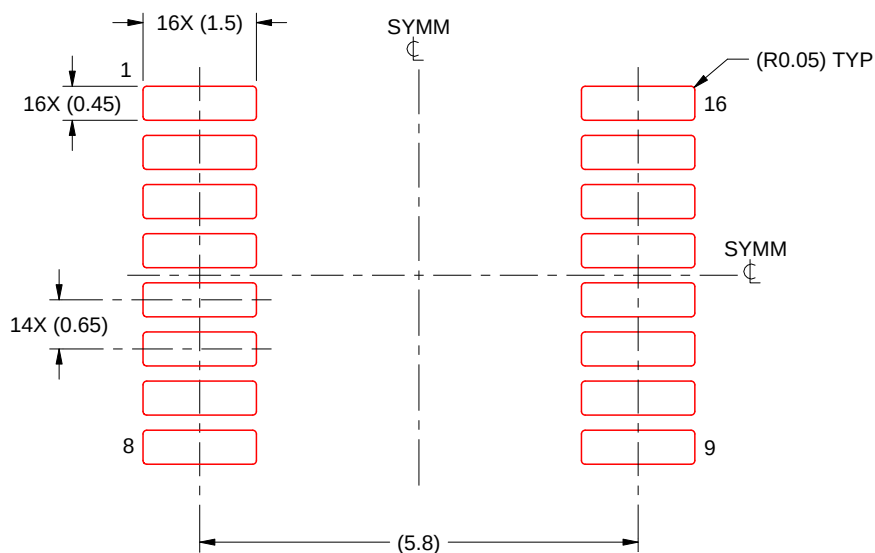
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月