TMUXHS5212 32Gbps 2 チャネル、差動、2:1 マルチプレクサ、または 1:2 デマルチプレクサ

1 特長

- 双方向の 2:1 マルチプレクサ / 1:2 デマルチプレクサとして動作する差動 2 チャネルを提供
- 最大 32Gbps NRZ のデータレートを使用するインターフェイスに最適
  - PCIe 5.0 (32GT/s)、USB 4.0、CXL 3.1、TBT 4、SATA 3、SAS-4、DSI/CSI、およびイーサネット® アプリケーションをサポート
- -3dB 差動帯域幅が標準で 18.5GHz
- 16GHz での動的特性の標準値 (差動):
  - 挿入損失 = -2.75dB
  - 反射損失 = -17dB
  - クロストーク=-30dB
- 最小スキュー:
  - ビット間 = 3ps (標準値)
  - チャネル間 = 10ps (標準値)
- 0 ～ 1.2V の同相電圧をサポート
- V_{CC} が 1.8V の単一電源
- 適応型同相電圧トラッキング
- 低アクティブ時 (標準値 65µA)、スタンバイ時 (標準値 0.22µA) の消費電流
- −40℃ ～ 105℃ の温度範囲
- 2.5mm × 2.5mm、0.35mm ピッチの小型 QFN パッケージ

2 アプリケーション

- PC とノート PC
- スマートフォン、タブレット、テレビ
- ゲーム、ホーム シアター、およびエンターテインメント
- データ センターおよびエンタープライズ コンピューティング
- 試験および測定機器
- ファクトリ オートメーション / 制御
- 電子 POS (EPOS)
- ワイヤレス インフラ

3 説明

TMUXHS5212 は、2:1 マルチプレクサまたは 1:2 デマルチプレクサ構成対応した、2 チャネル双方向パッシブ スイッチです。最大 32Gbps NRZ の差動信号をサポートしており、PCI Express 5.0、USB 4.0、50G イーサネット、CXL 3.1、Thunderbolt™ 4 など多くのアプリケーションに使用できます。このデバイスは、1.8V 電源で動作し、アクティブおよびスタンバイ時の消費電力が極めて低いことに加え、制御ピンは 1.8V デジタル入力と互換性があります。

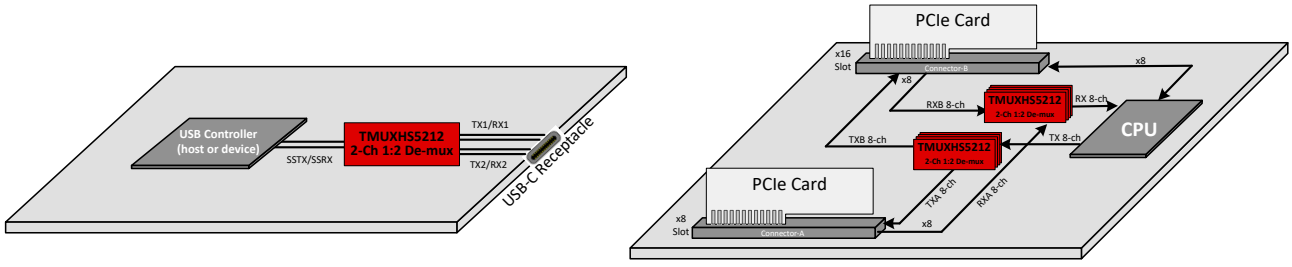
TMUXHS5212 の動的特性により、NRZ と PAM アプリケーションの両方において、最小限の減衰と無視できるほどのアイ ダイアグラムへのジッタ追加で高速スイッチングが可能です。ペア内スキュー性能を最大限に高め、クロストークを低減し、信頼性の高い信号整合性を実現するように設計されています。

TMUXHS5212 は、-40℃ ～ 105℃ の温度範囲が定格内であり、商用、産業用、パーソナル エレクトロニクスのアプリケーションに適しています。

パッケージ情報

部品番号	最大 TA	パッケージ (1)	本体サイズ (公称)
TMUXHS5212	105℃	UQFN (24)	2.50mm × 2.50mm × 0.35mm ピッチ

(1) 供給されているすべてのパッケージについては、セクション 10 を参照してください。



アプリケーション使用事例

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 高速性能パラメータ.....6
5.7 スイッチング特性.....6
6 詳細説明.....7
6.1 概要.....7
6.2 機能ブロック図.....7
6.3 機能説明.....7
6.4 デバイスの機能モード.....8
7 アプリケーションと実装.....9
7.1 使用上の注意.....9
7.2 代表的なアプリケーション.....11
7.3 システム例.....12
7.4 PCIe レーン マルチプレクサ.....13
7.5 アプリケーション曲線.....14
7.6 電源に関する推奨事項.....14
7.7 レイアウト.....15
8 デバイスおよびドキュメントのサポート.....16
8.1 ドキュメントの更新通知を受け取る方法.....16
8.2 サポート・リソース.....16
8.3 商標.....16
8.4 静電気放電に関する注意事項.....16
8.5 用語集.....16
9 改訂履歴.....16
10 メカニカル、パッケージ、および注文情報.....16

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

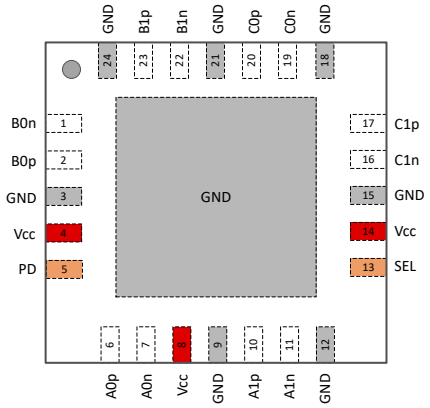


図 4-1. DTY パッケージ、24 ピン UQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
A0n	7	I/O	ポート A、チャネル 0、高速負信号
A0p	6	I/O	ポート A、チャネル 0、高速正信号
A1n	11	I/O	ポート A、チャネル 1、高速負信号
A1p	10	I/O	ポート A、チャネル 1、高速正信号
B0n	1	I/O	ポート B、チャネル 0、高速負信号
B0p	2	I/O	ポート B、チャネル 0、高速正信号
B1n	22	I/O	ポート B、チャネル 1、高速負信号
B1p	23	I/O	ポート B、チャネル 1、高速正信号
C0n	19	I/O	ポート C、チャネル 0、高速負信号
C0p	20	I/O	ポート C、チャネル 0、高速正信号
C1n	16	I/O	ポート C、チャネル 1、高速負信号
C1p	17	I/O	ポート C、チャネル 1、高速正信号
GND	3、9、12、15、18、21、24	G	グランド
PD	5	I	アクティブ low チップ イネーブル。常時オンの機能動作が必要な場合は、このピンを GND に接続できます。 L:通常動作、H:シャットダウン。
SEL	13	I	ポート選択ピン。 L:ポート A からポート B、H:ポート A からポート C
V_{CC}	4、8、14	P	1.8V 電源

(1) I = 入力、O = 出力、G = グランド、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
$V_{CC-ABSMAX}$	電源電圧	電源電圧	-0.5	2.1	V
$V_{HS-ABSMAX}$	電圧	差動 I/O	-0.5	1.4	V
$V_{CTR-ABSMAX}$	電圧	コントロール ピン	-0.5	2.1	V
T_{STG}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
V_{ESD}	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
V_{DD}	電源電圧		1.65	1.8	1.98	V
V_{IH}	入力 High 電圧	SEL、PD ピン	$0.75V_{CC}$			V
V_{IL}	入力 Low 電圧	SEL、PD ピン			$0.25V_{CC}$	V
V_{DIFF}	高速信号ピンの差動電圧	VDD = 1.8V	0		1.2	V_{pp}
V_{CM}	高速信号ピンの同相電圧	高速信号ピンの同相電圧	0		1.2	V
T_A	自由空気での動作温度 / 周囲温度		-40		105	°C

5.4 熱に関する情報

熱評価基準(1)		TMUXHS5212 DTY (UQFN) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗 - High K	143.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	103.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	105.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	95.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由気流での動作温度および電源電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC}	デバイスのアクティブ電流	PD = 0、0V ≤ V_{CM} ≤ 1.8、SEL = 0 または V_{CC}		65	90	µA
I_{STDN}	デバイス シャットダウン電流	PD = V_{CC}		0.22	1	µA
C_{ON}	GND に対する出力 ON 容量	PD = 0、周波数 = 10MHz		1.5		pF
C_{OFF}	GND に対する出力 OFF 容量	PD = 0、周波数 = 10MHz		0.45		pF
R_{ON}	出力オン抵抗	0V ≤ V_{CM} ≤ 1.2V、I_O = –8mA		9	15	Ω
ΔR_{ON}	同じ V_{CM}、V_{CC}、T_A での、同じチャネルのペア間のオン抵抗マッチング	0V ≤ V_{CM} ≤ 1.2V、I_O = –8mA			0.25	Ω
R_{FLAT_ON}	オン抵抗平坦性 R_{ON}(MAX) - R_{ON}(MIN) (V_{CM} 範囲全体で、同じチャネルの V_{CC} および T_A)	0V ≤ V_{CM} ≤ 1.2V、I_O = –8mA			0.75	Ω
$I_{IH,CTRL}$	入力高電流、制御ピン (SEL、PD)	V_{IN} = V_{CC}			100	nA
$I_{IL,CTRL}$	入力低電流、制御ピン (SEL、PD)	V_{IN} = 0V			100	nA
$I_{IH,HS,SEL}$	入力高電流、高速ピン [Ax/Bx/Cx][p/n]	選択されたポートの V_{IN} = 1.8V、SEL = 0 の場合はポート A および B、SEL = V_{CC} の場合はポート A および C			8	µA
$I_{IH,HS,NSEL}$	入力高電流、高速ピン [Ax/Bx/Cx][p/n]	非選択ポートの V_{IN} = 1.8V、C with SEL = 0 の場合は C、SEL = V_{CC}(1) の場合は B			8	µA
$I_{IL,HS}$	入力低電流、高速ピン [Ax/Bx/Cx][p/n]	V_{IN} = 0V			100	nA
$I_{HIZ,HS}$	Ax[p/n] ～ [B]x[p/n] と [C]x[p/n] の間のオフ スイッチを流れるリーク電流	PD = VCC、Ax[p/n] = 1.8V、[B および C]×[p/n] = 0V、および Ax[p/n] = 0V、[B および C]×[p/n] = 1.8V			10	µA
$R_{A,p2n}$	Ax ピンの p と n の間の DC インピーダンス	PD = 0 および V_{CC}		50		KΩ

(1) 選択していないポートには 500kΩ プルダウンがあります。

5.6 高速性能パラメータ

パラメータ		テスト条件	最小値	標準値	最大値	単位
ピン配置 A						
I_L	差動挿入損失	f = 2.5GHz		-1		dB
		f = 4.0GHz		-1.15		
		f = 5.0GHz		-1.3		
		f = 8.0GHz		-1.65		
		f = 10.0GHz		-1.85		
		f = 16.0GHz		-2.75		
BW	-3dB 帯域幅			18.5		GHz
R_L	差動リターン ロス	f = 2.5GHz		-20		dB
		f = 4.0GHz		-20		
		f = 5.0GHz		-16		
		f = 8.0GHz		-15.5		
		f = 10.0GHz		--17.66		
		f = 16.0GHz		-17.2		
OIRR	差動オフ絶縁	f = 2.5GHz		-28.5		dB
		f = 4.0GHz		-25		dB
		f = 5.0GHz		-23		dB
		f = 8.0GHz		-19.5		dB
		f = 10.0GHz		-17.5		dB
		f = 16.0GHz		-13		dB
DDXT	差動クロストーク	f = 2.5GHz		-42		dB
		f = 4.0GHz		-38		
		f = 5.0GHz		-37		
		f = 8.0GHz		-35		
		f = 10.0GHz		-33		
		f = 16.0GHz		-30		

5.7 スイッチング特性

自由気流での動作温度および電源電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PD}	スイッチ伝搬遅延	f = 1Ghz			60	ps
t_{SW_ON}	スイッチング時間 SEL からスイッチ オン	T > 0ºC、同じ CMV			100	ns
$t_{SW_ON_COLD}$	スイッチング時間 SEL からスイッチ オン	T < 0ºC、同じ CMV			1000	ns
t_{SW_OFF}	スイッチング時間 SEL からスイッチ オフ	同じ CMV			100	ns
t_{SK_INTRA}	同じチャネルにおける P ピンと N ピン間のペア間出力スキュー	f = 1Ghz		3	8	ps
t_{SK_INTER}	チャネル間のペア間出力スキュー	f = 1Ghz		10	20	ps

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

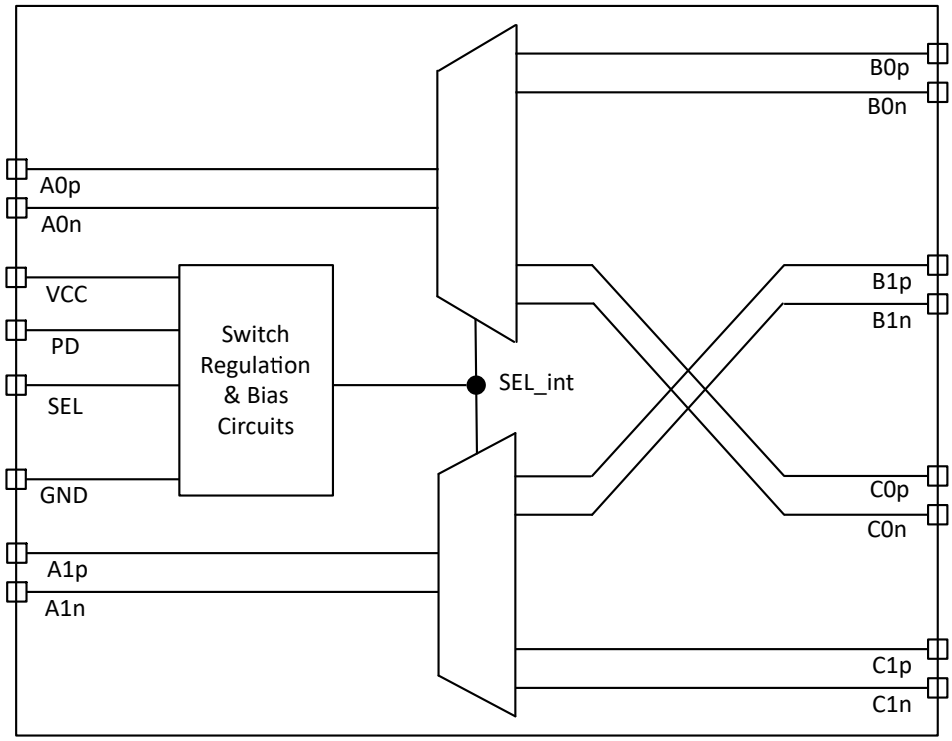
6.1 概要

TMUXHS5212 は、最大 32Gbps NRZ の高速差動インターフェイスに対応した 2 チャネルの汎用アナログ パッシブ型 2:1 マルチプレクサまたは 1:2 デマルチプレクサです。最大 1.2Vpp の差動振幅と最大 1.2V の同相電圧 (CMV) と互換性があります。適応型同相電圧トラッキングを採用することで、TMUXHS5212 はチャネルが CMV 範囲内で変化しないようにしながら、デバイスの 2 つのチャネルが異なる CMV レベルを伝送できるようにします。また、このように 2 つのレーンを使用することで、デバイスがデータおよび電気的特性を異なる 2 つの異なるインターフェイス信号の間でスイッチングすることもできます。

TMUXHS5212 の動的特性が可能にした高速スイッチングでは、信号アイ ダイアグラムの減衰は最小化され、発生するジッタは非常に低いレベルに抑えられます。このデバイスは最大 32Gbps までのインターフェイスでの使用が推奨されていますが、実際に使用できる最大データ レートは電気チャネルに大きく依存します。損失が小さく、十分なマージンが確保されているチャネルでは、このデバイスをより高いデータ レートで使用できる可能性があります。

TMUXHS5212 は差動信号伝達にのみ推奨されます。ただし、特定の低電圧シングル エンド信号 (Mipi DPHY LP 信号など) はデバイスを通過できます。このようなシングルエンドの使用事例では、デバイスのデータ ライン バイアスを分析することを推奨します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 出力イネーブルと電力削減

TMUXHS5212 には、アクティブ / 通常動作モードとスタンバイ / シャットダウンモードの 2 つの電力モードがあります。このデバイスは、スタンバイ モード時の消費電流が非常に小さく、省電力が重要なシステムで超低消費電力を実現します。スタンバイ モードに移行するには、PD 制御ピンが抵抗を使用して High にプルされ、High に維持される必要があります。アクティブ / 通常動作では、PD 制御ピンを GND に Low にプルするか、H と L を切り替えるように動的に制御する必要があります。

Copyright © 2026 Texas Instruments Incorporated

TMUXHS5212 は、動作時に 65µA (通常値) を消費し、PD ピンでシャットダウン モードに移行することで、消費電流を 0.22µA に抑えることができます。

6.3.2 データ ラインのバイアス

TMUXHS5212 には、A[0/1][p/n] ピンから GND への 2MΩ の弱いプルダウンがあります。これらの抵抗は、デバイスのデータ チャネルを非常に弱い強度で 0V の同相電圧 (CMV) にバイアスしますが、デバイスのどちらかの側からの高インピーダンスで 0 ～ 1.2V の範囲の有効な値にデバイスをバイアスすることを推奨します。二重バイアスを避けるため、適切な AC カップリング コンデンサをデバイスのどちらの側にも配置してください。

特定の使用事例で、TMUXHS5212 の両側が AC 結合されている場合は、デバイスに適切な CMV バイアスを使用することが推奨されます。ほとんどの使用事例で、10kΩ から GND へ、または A[0/1][p/n] ピンの CMV 範囲内の他のバイアス電圧で十分です。

高速データ ポートには 500kΩ プルダウン抵抗が組み込まれており、ポートが選択されていない場合は接続され、ポートが選択されているときはオフになります。たとえば、SEL = L の場合、C[0/1][p/n] ピンは GND に対して 500kΩ の抵抗で接続されます。この機能により、選択されていないポートが常に既知の電圧にバイアスされることが保証され、デバイスと電気的チャネルの長期的な信頼性が確保されます。

データピン A[0/1] の正端子と負端子には、デバイス スイッチ レギュレーション動作用の弱い (50kΩ) 差動抵抗があります。これは、一般に差動インピーダンスがはるかに大きい (100Ω など) 高速差動信号伝送のシグナル インテグリティや機能には影響しません。

6.4 デバイスの機能モード

表 6-1. ポート選択制御ロジック

ポート A チャネル (1)	ポート A チャネルに接続されたポート B またはポート C チャネル		PD ピン
	SEL = L	SEL = H	PD ピン
A0p	B0p	C0p	低
A0n	B0n	C0n	低
A1p	B1p	C1p	低
A1n	B1n	C1n	低
ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	High

(1) TMUXHS5212 は、ポート A、B、C 上のすべての差動信号の極性反転に耐えられます。このような柔軟な実装では、ポート A とポート B または C で同じ極性が維持されるようにしてください。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TMUXHS5212 は、回路基板における 2 地点間の高速信号のルーティングに適した 2 チャネルの汎用アナログ パッシブ型 2:1 マルチプレクサまたは 1:2 デマルチプレクサです。TMUXHS5212 は、信号の差動振幅が 1.2Vpp の範囲、同相電圧 (CMV) が 0 ～ 1.2V の範囲であれば、多くの高速データプロトコルをサポートします。TMUXHS5212 は、以下のような多くの高速インターフェイスで使用できます。

- ユニバーサル シリアル バス (USB) 3.2 Gen 1 および Gen 2
- USB4 最大 Gen 4
- USB Type-C
- Gen 5.0 までの PCIe™ (ペリフェラル コンポーネント インターコネクト エクスプレス)
- シリアル ATA (SATA/eSATA)
- シリアル接続型 SCSI (SAS)
- DisplayPort (DP) 2.1 (UHBR 20)
- Thunderbolt™ (TBT) 3
- Mipi カメラ シリアル インターフェイス (CSI-2)、ディスプレイ シリアル インターフェイス (DSI)
- 低電圧差動信号伝送 (LVDS)
- Serdes フレーマ インターフェイス (SFI)
- 最大 5.0 のユニバーサル フラッシュ ストレージ (UFS)
- 最大 50G のイーサネット インターフェイス

デバイスのマルチプレクサまたはデマルチプレクサの選択ピン SEL は、コントローラの利用可能な GPIO ピンで容易に制御できるほか、アプリケーションで必要に応じて H または L の電圧レベルにハード接続することもできます。

TMUXHS5212 は、RX ペアと TX ペアで同相モードが異なるアプリケーションをサポートできる適応型電圧トラッキング機能を備えています。TMUXHS5212 のスイッチ パスは、A ポートのピンに 2MΩ の内部弱プルダウン抵抗を備えています。これらの抵抗は、デバイスのデータ チャネルを弱い強度で 0V の CMV にバイアスしますが、デバイスをデバイスの両側から 0 ～ 1.2V の範囲の有効な値にバイアスすることを推奨します。システム / ホストコントローラとデバイス / エンドポイントの同相モード バイアス インピーダンスは、TMUXHS5212 内部プルダウン抵抗よりもはるかに強力 (小さい) であることが期待されるため、これらのインピーダンスに影響を与えません。

多くのインターフェイスでは、トランスミッタとレシーバの間で AC 結合が必要です。AC 結合には、0201 または 0402 のコンデンサが推奨されます。0603 と 0805 サイズのコンデンサと C パックは避けてください。AC カップリング コンデンサを配置する場合は、対称型の配置が最善です。コンデンサの値は、デバイスが使用される特定のインターフェイスに合わせて選択する必要があります。コンデンサの値は、正と負の信号ペアと一致している必要があります。多くのインターフェイス (USB 3.2 や PCIe など) のにおいて、設計者はそれらをシステム基板上の TX ペアに沿って配置する必要があります。このようなインターフェイスは通常、基板の最上層に配線されます。アプリケーションとインターフェイスの仕様に応じて、AC カップリング コンデンサに適切な値を使用します。

AC カップリング コンデンサには、複数の配置オプションがあります。一般的な使用事例では、コンデンサを TMUXHS5212 の片側に配置することが求められます。特定の使用事例で、TMUXHS5212 の両側が AC 結合されている場合は、デバイスに適切な CMV バイアスを使用することが推奨されます。ほとんどの使用事例で、10kΩ から GND へ、または各 A[0/1][p/n] ピンについて 0 ～ 1.2V の範囲の他のバイアス電圧で十分です。図 7-1 に、いくつかの配置オプションを示します。USB SS や PCIe などの一部のインターフェイスでは、コネクタに接続する前に、TX 信号の AC カップリング コンデンサを接続することを推奨しています。オプション (a) は、TMUXHS5212 のコネクタ側に TX AC カップリ

Copyright © 2026 Texas Instruments Incorporated

ング コンデンサを配置しています。オプション (b) に、TMUXHS5212 のホストのコンデンサを示します。オプション (c) に、TMUXHS5212 が両側で AC 結合されている構成を示します。V_{BIAS} の範囲は 0V ～ 1.2V です。

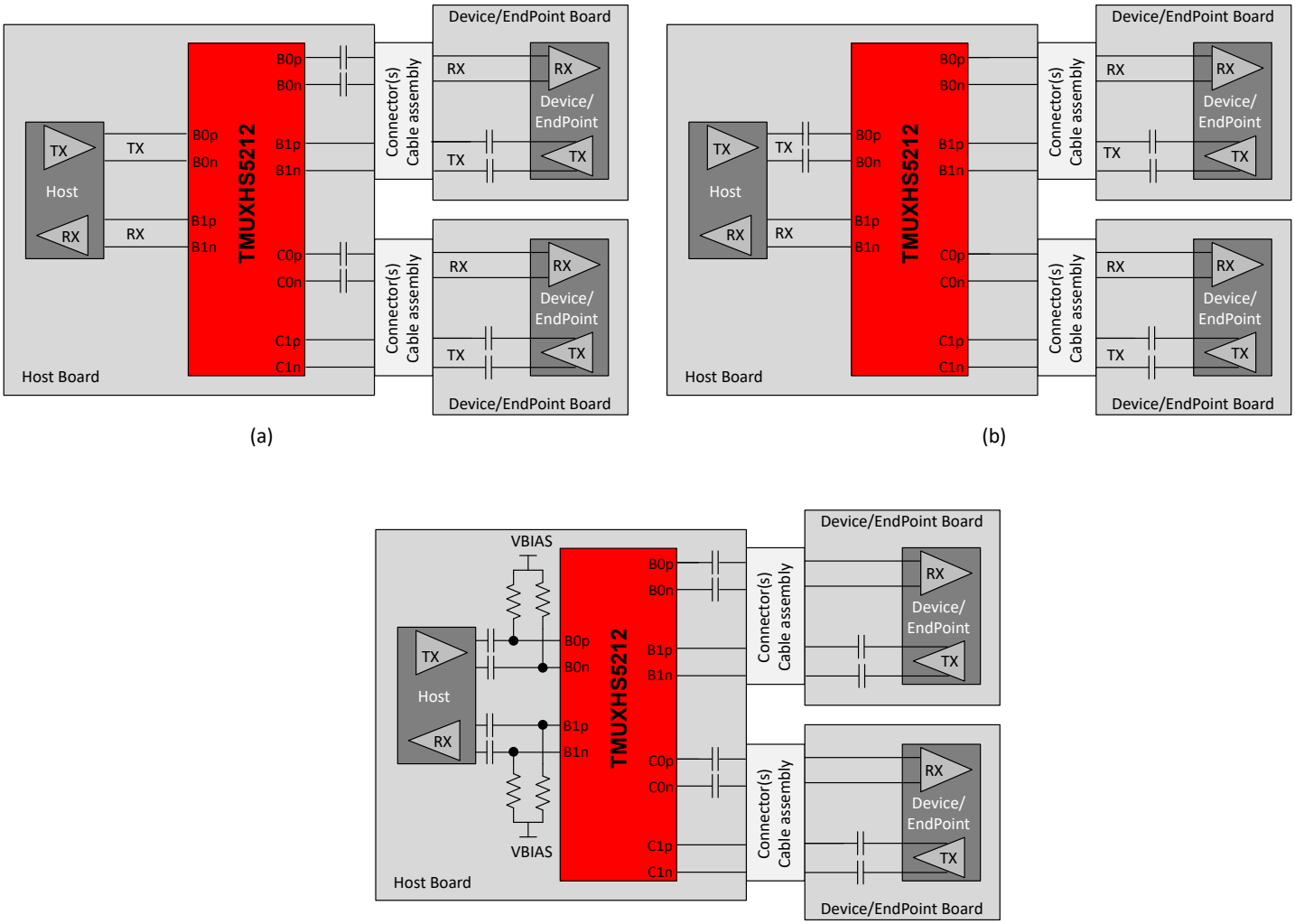


図 7-1. TMUXHS5212 を介したホストとデバイス / エンドポイントの間の AC カップリング コンデンサの配置オプション

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 USB Type-C 用 USB 3.2/4 の実装

TMUXHS5212 は、USB Type-C 実装で使用して、USB 3.2/4 信号 (TX1 および RX1 のペアと TX2 および RX2 のペア) を多重化し、プラグの反転に対応することができます。一般的な使用事例では、マルチプレクサは USB Type-C チャネル構成 (CC) またはパワー デリバリ (PD) コントローラによって選択されます。このデバイスは、USB Type-C DFP、UFP、DRP ポートで使用できます。図 7-2 に、ホスト側とデバイス側の両方に対応した 2 つの USB Type-C コネクタ アプリケーションを示します。2 つのコネクタ間のケーブルはペアを回転させ、信号を正しいピンに正しく配線します。他のアプリケーションは、異なるコネクタを使用できるため、より一般的です。

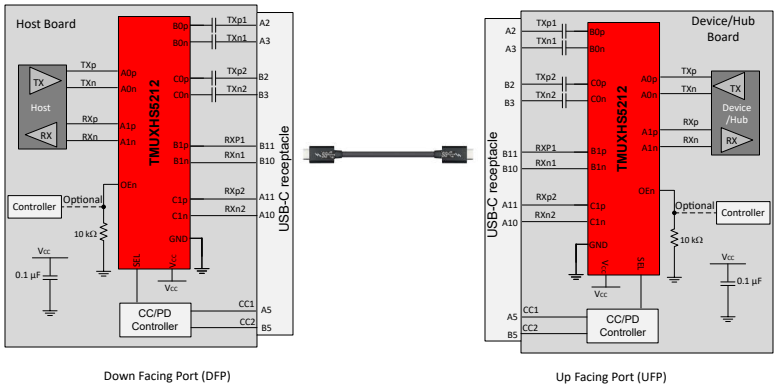


図 7-2. USB Type-C コネクタの USB 3.2 実装

7.3 システム例

7.3.1 USB4/TBT 3.0 デマルチプレクサ

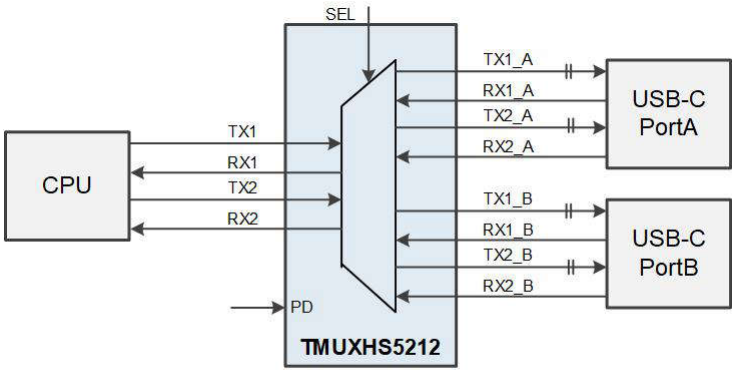


図 7-3. USB4/TBT 3.0 デマルチプレクサ

7.3.2 DisplayPort メイン リンク マルチプレクサ / デマルチプレクサ

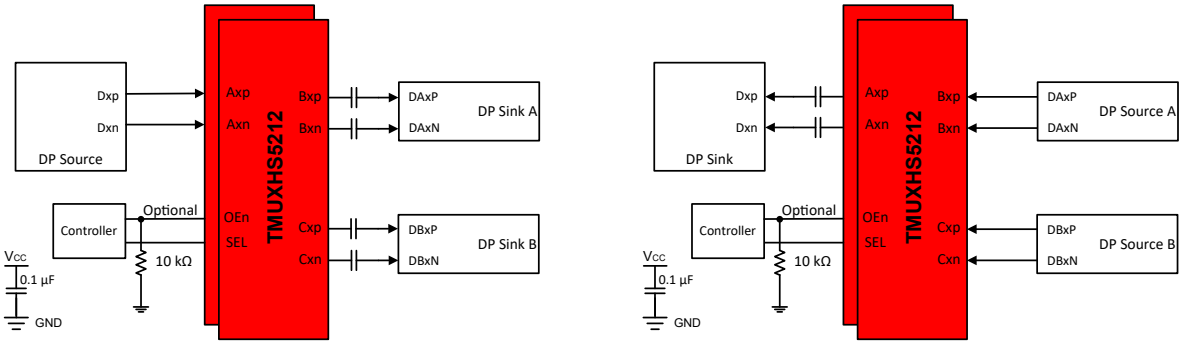


図 7-4. デュアル シンク / ソース用 DP メイン リンク マルチプレクサ / デマルチプレクサ

7.3.3 MIPI カメラ シリアル インターフェイス

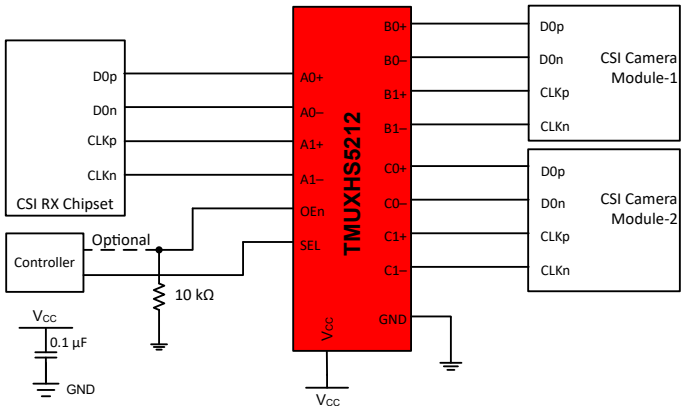


図 7-5. CSI カメラ選択

Copyright © 2026 Texas Instruments Incorporated

7.4 PCIe レーン マルチプレクサ

TMUXHS5212 を使用して、2 つのスロット間で PCIe レーンを切り替えることができます。多くの PC およびサーバーのマザーボードでは、エンドユーザーに望ましいシステム フレキシビリティを提供するために、CPU に十分な PCIe レーンがありません。このようなアプリケーションでは、TMUXHS5212 を使用して 2 つのスロット間で PCIe TX および RX レーンを切り替えることができます。図 7-6 に、8 つの TMUXHS5212 デバイスを使用して 8 つの PCIe TX および 8 つの RX レーンを切り替える回路図を示します。注：TMUXHS5212 の同相電圧 (CMV) バイアスは 0 ～ 1.2V の範囲内である必要があります。PCIe のルート コンプレックスまたはエンドポイントのレシーバ CMV バイアスを CMV 範囲内で保証できない実装では、追加の DC ブロッキング コンデンサと適切な CMV バイアスを実装する必要があります。

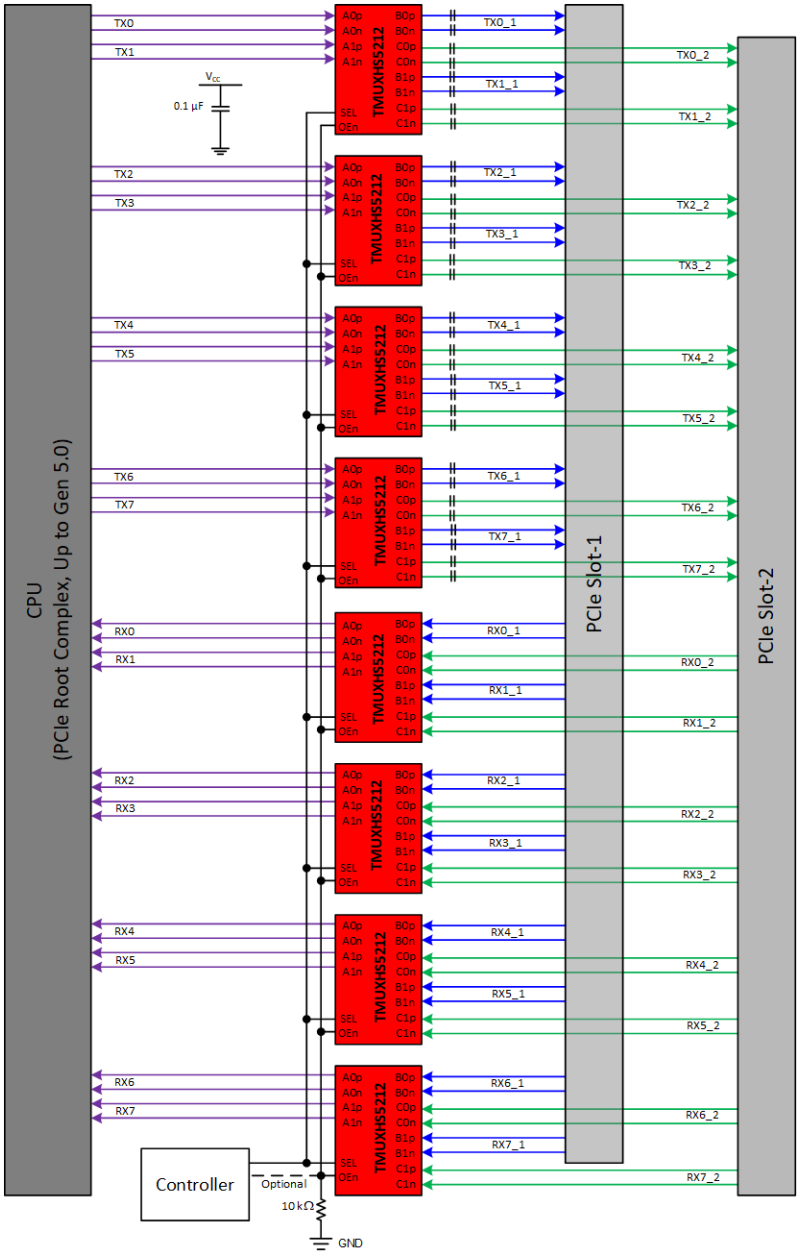


図 7-6. PCIe レーン マルチプレクサ

7.5 アプリケーション曲線

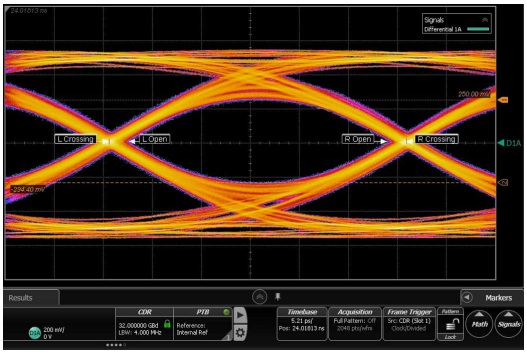


図 7-7. TI 評価ボードのキャリブレーション用トレースを通過する 32Gbps PRBS-7 信号

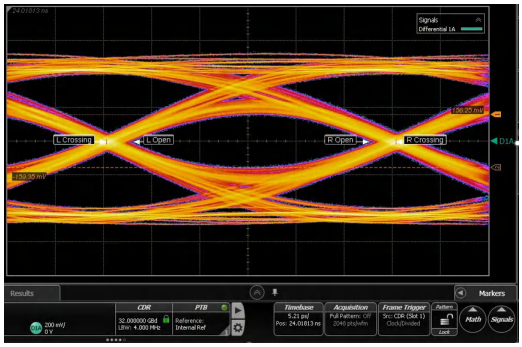


図 7-8. TI 評価ボードで標準的な TMUXHS5212 チャネルを通過する 32Gbps PRBS-7 信号

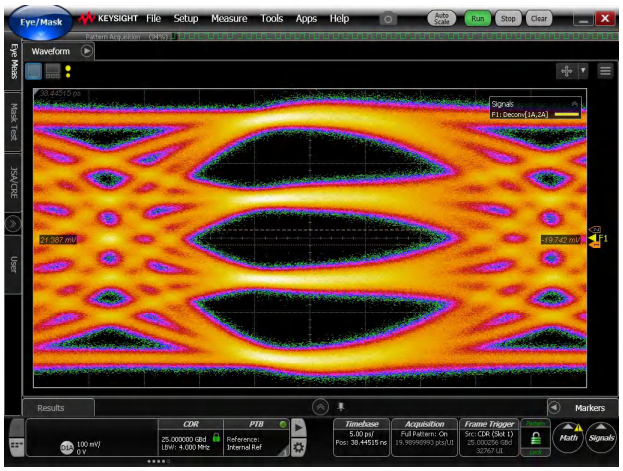


図 7-9. TI 評価ボードのキャリブレーション用トレースを通過する 50Gbps PAM4 (25 GBaud) PRBS-7 信号

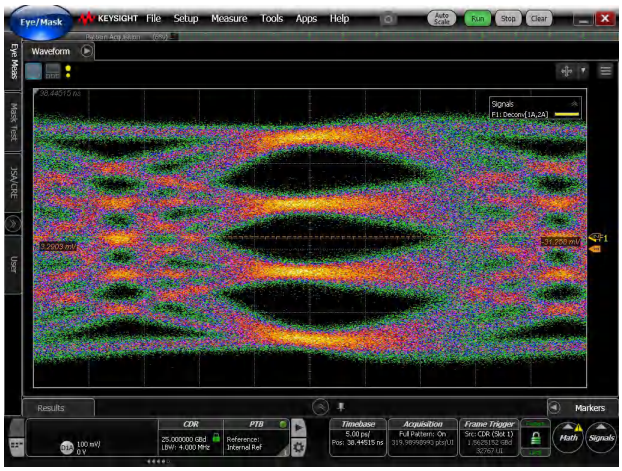


図 7-10. TI 評価ボードで標準的な TMUXHS5212 チャネルを通過する 50Gbps PAM4 (25 GBaud) PRBS-7 信号

7.6 電源に関する推奨事項

TMUXHS5212 では、電源シーケンスは必要ありません。ただし、デバイス電源 V_{CC} が安定し、規定の範囲内となった後に PD を Low にすることを推奨します。また、デバイスの V_{CC} にピンの近くに十分なデカップリング コンデンサを配置することも推奨します。

Copyright © 2026 Texas Instruments Incorporated

7.7 レイアウト

7.7.1 レイアウトのガイドライン

High-K 基板では、PowerPAD™ を常にサーマル ランドに半田付けすることを推奨します。サーマル ランドとは、PowerPAD パッケージの下にある半田錫銅の領域です。High-K 基板では、TMUXHS5212 は、PowerPAD をビアなしでサーマル ランドに半田付けすることにより、全温度範囲で動作できます。

高速レイアウトのガイドラインについては、『シグナル コンディショナおよび USB ハブの高速レイアウトのガイドライン』を参照してください。

Low-K 基板では、GND ピンとサーマル ランドを接続する 1 オンスの Cu パターンを使用する必要があります。PowerPAD パッケージ用の一般的な PCB 設計ガイドは、『熱特性強化型パッケージのパワー パッド』に掲載されています。

7.7.2 レイアウト例

図 7-11 に、USB 3.2/4 Type-C マルチプレクサ実装の基本的なレイアウト例を示します。

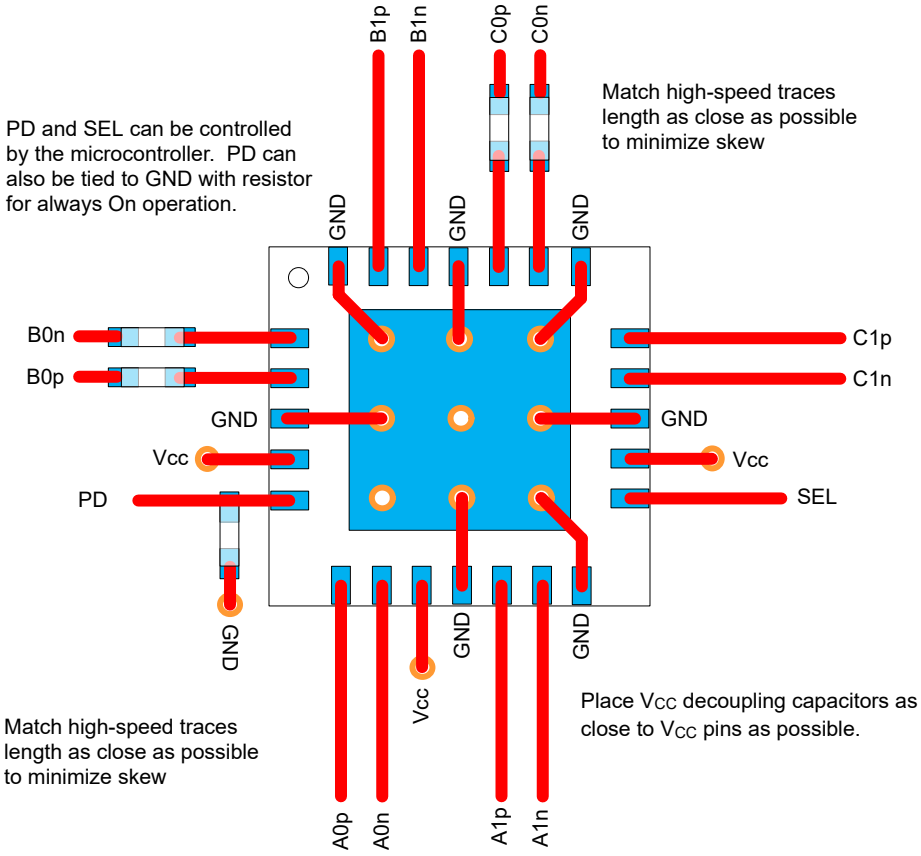


図 7-11. TMUXHS5212 レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

PCIe™ is a trademark of PCI-SIG.
is a trademark of Intel Corporation.
PowerPAD™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
イーサネット® is a registered trademark of Fuji Xerox Co., Ltd.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2026) to Revision A (October 2026) **Page**

- データシート ステータスを「事前情報」から「量産データ」に更新 1
- RSVD1 および RSVD2 の説明を更新 3
- 単一電源電圧 V_{CC} を「3.3V」から「3.3 または 1.8V」に変更 3

日付	改訂	注
July 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMUXHS5212DTYR	Active	Production	UQFN (DTY) | 24	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	5212

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

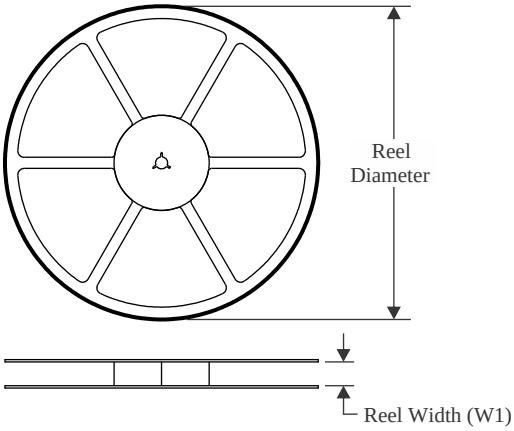
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

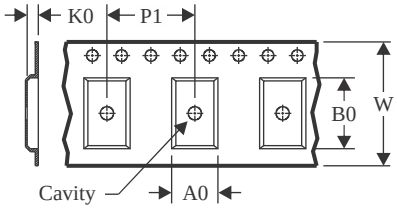
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

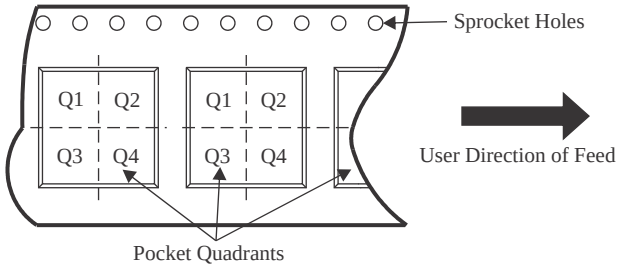


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

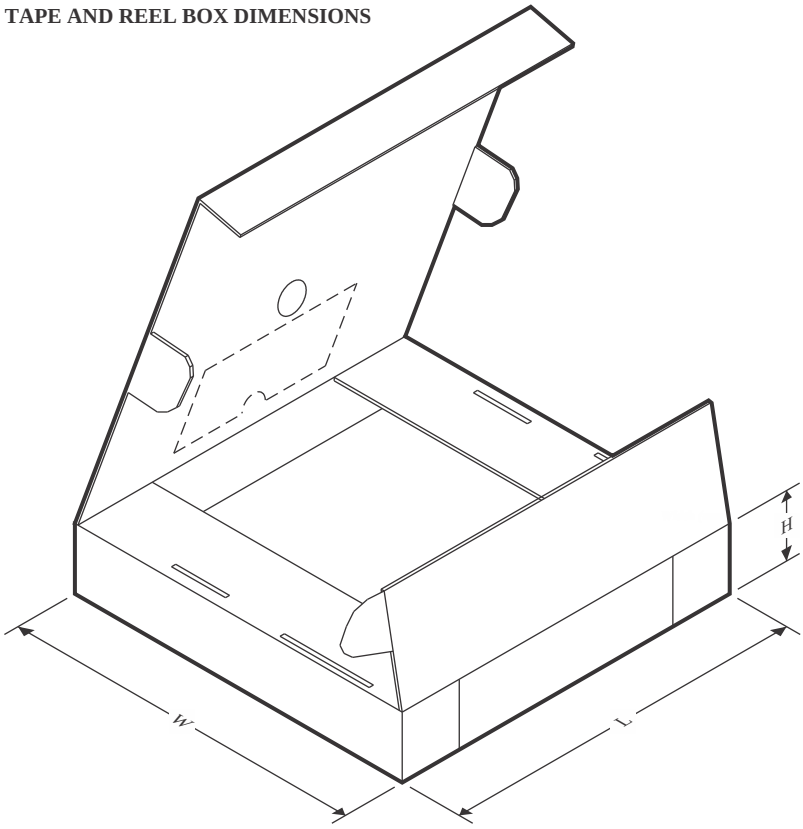
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMUXHS5212DTYR	UQFN	DTY	24	3000	180.0	8.4	2.7	2.7	0.75	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMUXHS5212DTYR	UQFN	DTY	24	3000	210.0	185.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月