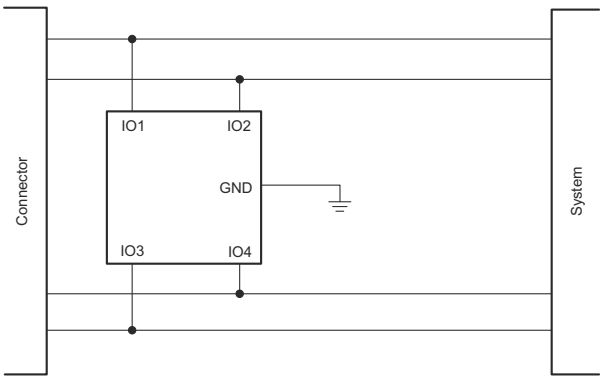
TPD4E1B06 4 チャネル超低リーク ESD 保護ダイオード デバイス

1 特長

- 超低リーク電流:0.5nA (最大値)
- 4 本の I/O ラインの過渡保護:
  - IEC 61000-4-2 接触放電 ±12kV
  - IEC 61000-4-2 エアギャップ放電 ±15kV
  - IEC 61000-4-5 サージ 3.0A (8/20µs)
- I/O 容量:0.7pF (標準値)
- 双方向 ESD 保護ダイオード アレイ
- 低 ESD クランプ電圧
- 産業用温度範囲:-40℃～125℃
- 小型で配線が容易な DRL および DCK パッケージ

2 アプリケーション

- 血糖値測定器
- タブレット
- GPS
- 携帯用メディア・プレーヤ
- テレビ
- セット・トップ・ボックス



概略回路図

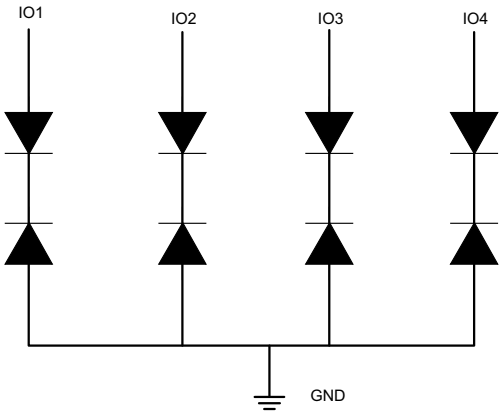
3 概要

TPD4E1B06 は、4 チャネルの双方向静電気放電 (ESD) 保護ダイオード アレイです。このデバイスは超低リーク電流 (0.5nA) を特長とし、高精度アナログ測定に適しています。±12kV 接触および ±15kV エアギャップに対する ESD 保護は、IEC 61000-4-2 レベル 4 要件を上回っています。TPD4E1B06 デバイスのライン容量は 0.7pF で、高精度アナログ、USB 2.0、イーサネット、SATA、LVDS、および 1394 の各インターフェイスに適しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPD4E1B06	DCK (SC70、6)	2mm × 2.1 mm
	DRL (SOT、6)	1.6mm × 1.6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 Pin Configuration and Functions ... 3
5 Specifications ... 4
5.1 Absolute Maximum Ratings ... 4
5.2 ESD Ratings ... 4
5.3 Recommended Operating Conditions ... 4
5.4 Thermal Information ... 4
5.5 Electrical Characteristics ... 5
5.6 Typical Characteristics ... 6
6 Detailed Description ... 8
6.1 Overview ... 8
6.2 Functional Block Diagram ... 8
6.3 Feature Description ... 8
6.4 Device Functional Modes ... 8
7 Application and Implementation ... 9
7.1 Application Information ... 9
7.2 Typical Application ... 9
7.3 Layout ... 10
8 Device and Documentation Support ... 12
8.1 ドキュメントの更新通知を受け取る方法 ... 12
8.2 サポート・リソース ... 12
8.3 Trademarks ... 12
8.4 静電気放電に関する注意事項 ... 12
8.5 用語集 ... 12
9 Revision History ... 13
10 Mechanical, Packaging, and Orderable Information ... 13

Copyright © 2024 Texas Instruments Incorporated

4 Pin Configuration and Functions

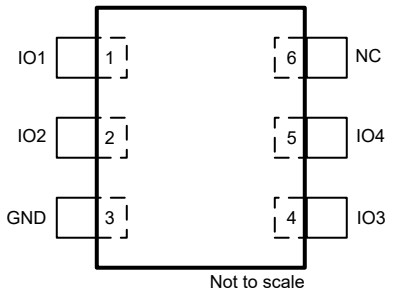


図 4-1. DCK Package, 6-Pin SC70 (Top View)

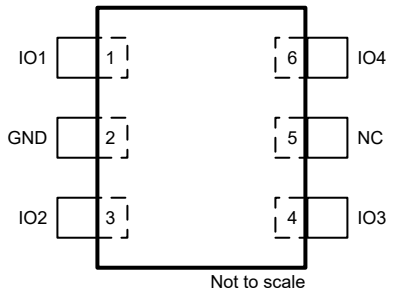


図 4-2. DRL Package, 6-Pin SOT (Top View)

表 4-1. Pin Functions

PIN			TYPE(1)	DESCRIPTION
NAME	NO.			
	DCK	DRL		
IO1	1	1	I/O	ESD protected channel. Connect to data line as close to the connector as possible.
IO2	2	3	I/O	ESD protected channel. Connect to data line as close to the connector as possible.
IO3	4	4	I/O	ESD protected channel. Connect to data line as close to the connector as possible.
IO4	5	6	I/O	ESD protected channel. Connect to data line as close to the connector as possible.
GND	3	2	GND	Ground
NC	6	5	NC	Not internally connected

(1) I = input, O = output, GND = ground, NC = no connection

Copyright © 2024 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)(1)

	MIN	MAX	UNIT
Operating temperature range	–40	125	°C
I_{PP}, peak pulse current (tp = 8/20 µs), IO pin to GND		3.0	A
P_{PP}, peak pulse power (tp = 8/20 µs)		45	W

(1) Operation outside the *Absolute Maximum Rating* may cause permanent device damage. *Absolute Maximum Rating* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Condition*. If used outside the *Recommended Operating Condition* but within the *Absolute Maximum Rating*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

5.2 ESD Ratings

			MIN	MAX	UNIT
T_{stg}	Storage temperature range		–65	155	°C
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins(1)	–4.0	4.0	kV
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins(2)	–1.5	1.5	
		IEC 61000-4-2 contact ESD	–12	12	
		IEC 61000-4-2 air-gap ESD	–15	15	

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process. Pins listed as 4 kV may actually have higher performance.
(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process. Pins listed as 1.5 kV may actually have higher performance.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
V_{IO}	The voltage between any two device pins should not exceed 5.5 V	–5.5	5.5	V
T_A	Operating free-air temperature	–40	125	°C

5.4 Thermal Information

THERMAL METRIC(1)		TPD4E1B06		UNIT
		DCK	DRL	
		6 PINS	6 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	227.3	233.4	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	79.5	95.5	
$R_{\theta JB}$	Junction-to-board thermal resistance	72.1	68.1	
ψ_{JT}	Junction-to-top characterization parameter	3.6	7.6	
ψ_{JB}	Junction-to-board characterization parameter	70.4	67.9	

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, SPRA953.

Copyright © 2024 Texas Instruments Incorporated

5.5 Electrical Characteristics

T_A = 25°C

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage		–5.5		5.5	V
V_{CLAMP}	Clamp voltage with ESD strike, IO to GND	I_{PP} = 1 A, tp = 8/20 µSec, from I/O to GND or GND to I/O		10.9		V
		I_{PP} = 3 A, tp = 8/20 µSec, from I/O to GND or GND to I/O		14.5		V
R_{DYN}	Dynamic resistance	I_{TLP} = 10 A to 20 A, I/O to GND		1		Ω
		I_{TLP} = 10 A to 20 A, GND to I/O		0.8		
C_L	Line capacitance	f = 1 MHz, V_{BIAS} = 2.5 V		0.7	0.95	pF
V_{BR}	Break-down voltage	I_{IO} = 1 mA, from I/O to GND or GND to I/O	7		9.5	V
I_{LEAK}	Leakage current	V_{IO} = 2.5 V			0.5	nA

Copyright © 2024 Texas Instruments Incorporated

5.6 Typical Characteristics

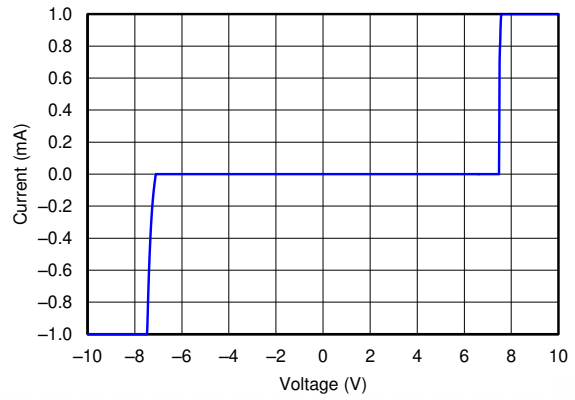


図 5-1. DC Voltage Sweep I-V Curve

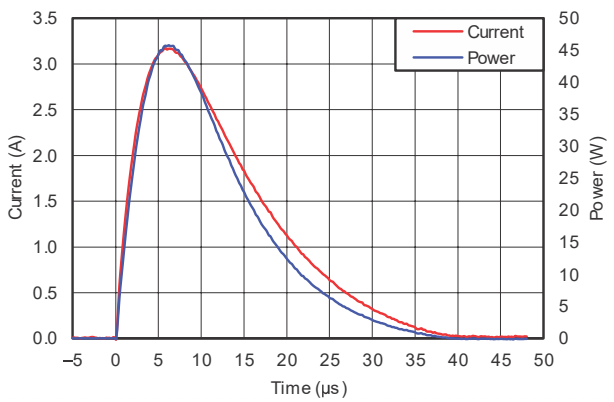


図 5-2. Surge Curve (tp = 8/20 µs), Pin IO to GND

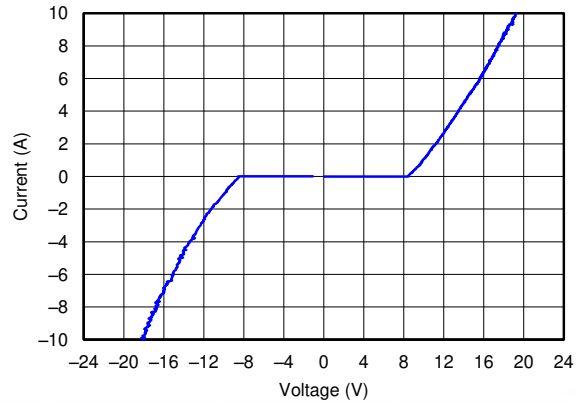


図 5-3. TLP Plot IO to GND

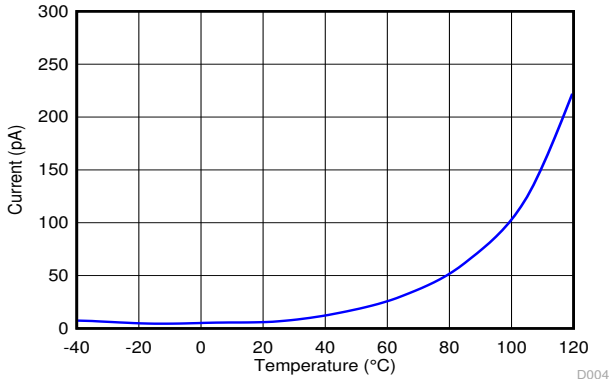


図 5-4. Leakage vs Temperature

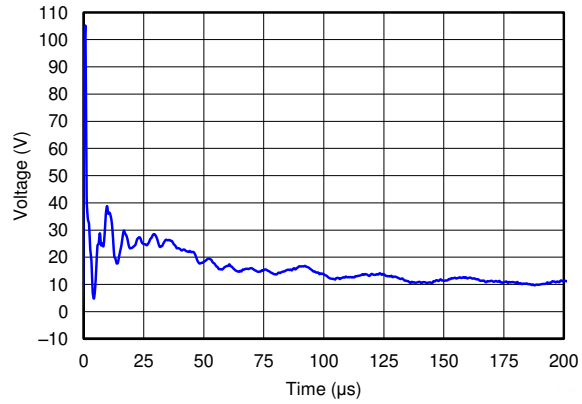


図 5-5. +8 kV IEC Waveform

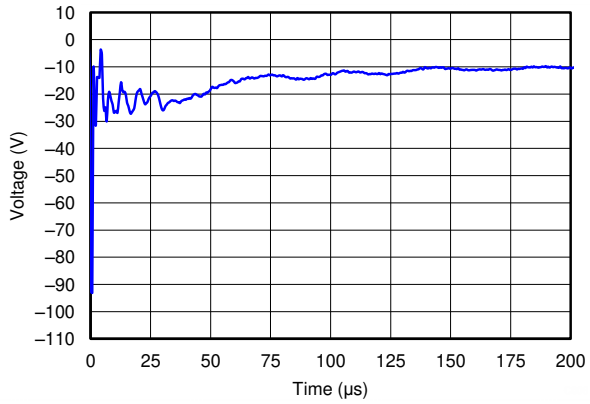


図 5-6. –8 kV IEC Waveform

Copyright © 2024 Texas Instruments Incorporated

5.6 Typical Characteristics (continued)

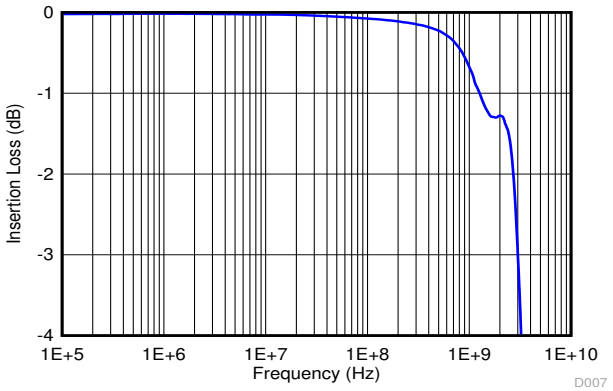


図 5-7. Insertion Loss

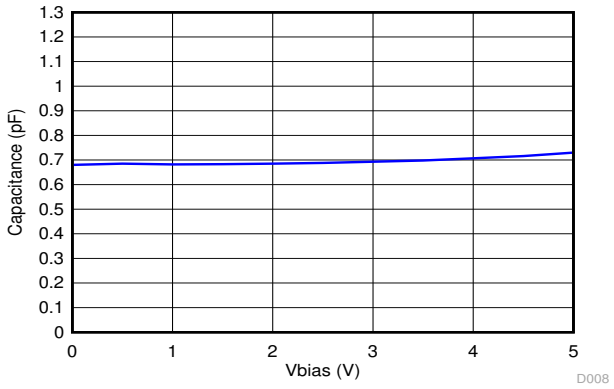


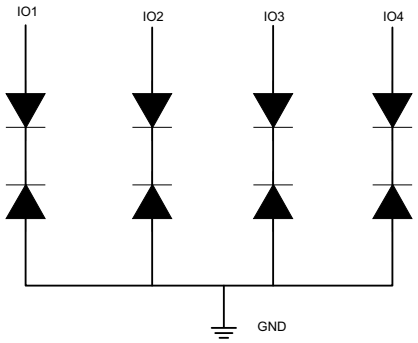
図 5-8. Capacitance vs V_{BIAS}

6 Detailed Description

6.1 Overview

The TPD4E1B06 is a 4-channel bi-directional Electrostatic Discharge (ESD) protection diode array. This device features ultra low leakage current (0.5 nA) for precision analog measurements. The ±12 kV contact and ±15 kV air gap ESD protection exceeds IEC 61000-4-2 level 4 requirements. The TPD4E1B06 0.7 pF line capacitance makes it suitable for precision analog, USB2.0, Ethernet, SATA, LVDS, and 1394 interfaces.

6.2 Functional Block Diagram



6.3 Feature Description

TPD4E1B06 diode array structure uses back-to-back diode topology to accommodate bi-directional signaling between –5.5 V and 5.5 V. Each pin has an additional 2 steering diodes, including the ground pin. The Zener diodes are not meant to be forward biased, creating the need for having the steering diodes. If there is +8 V on IO1 and 0V on IO2, the IO1 Zener diode will breakdown and forward bias one of the steering diodes on IO2. The current will then flow out of IO2.

6.3.1 Ultra Low Leakage Current 0.5 nA (Maximum)

TPD4E1B06 ultra-low leakage current supports long battery life and allows for precision analog measurements.

6.3.2 Transient Protection for 4 I/O Lines

The four I/O pins of TPD4E1B06 can withstand ESD events up to ±12 kV contact and ±15 kV air gap per IEC61000-4-2.

6.3.3 I/O Capacitance 0.7 pF (Typical)

TPD4E1B06 I/O pins present an ultra-low 0.7 pF capacitance to the protected signal lines, making it suitable for a wide range of applications.

6.3.4 Bi-Directional (ESD) Protection Diode Array

TPD4E1B06 diode array structure uses back to back diode topology to accommodate bi-directional signaling between –5.5 V and 5.5 V.

6.3.5 Low ESD Clamping Voltage

TPD4E1B06 clamps ESD events to a safe level to protect system components.

6.4 Device Functional Modes

TPD4E1B06 is a passive integrated circuit that activates whenever fast transient voltages above V_{BR} or below –V_{BR} are present on the circuit being protected. During ESD events, voltages as high as ±12 kV can be directed to ground through the internal diode network. Once the voltages on the protected line fall below the trigger levels of TPD4E1B06 (usually within 10’s of nano-seconds) the device reverts to passive.

Copyright © 2024 Texas Instruments Incorporated

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

TPD4E1B06 is an ESD protection diode array which is typically used to provide a path to ground for dissipating ESD events on hi-speed signal lines between a human interface connector and a system. As the current from ESD passes through the diode, only a small voltage drop is present across the diode. This is the voltage presented to the protected IC. The low R_{DYN} of the triggered diode holds this voltage, V_{CLAMP}, to a safe level to the protected IC.

7.2 Typical Application

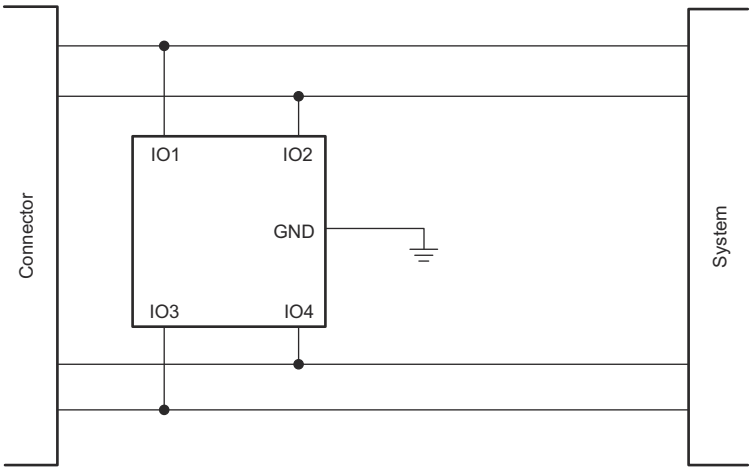


図 7-1. Protecting a Pair of Bi-Directional Differential Data Lines

The typical application of the TBD4E1B06 is to be placed in between the connector and the system. The low capacitance of the TBD4E1B06 gives flexibility in the end application, as it can be used on many different high speed interfaces.

7.2.1 Design Requirements

表 7-1. Design Parameters

DESIGN PARAMETER	EXAMPLE VALUE
Signal range on IO1, IO2, IO3, IO4 Pins	–5.5 V to 5.5 V
Operating frequency	1.7 GHz

7.2.2 Detailed Design Procedure

The designer needs to know the following:

- Signal range on all the protected lines
- Operating frequency

7.2.2.1 Signal Range on IO1, IO2, IO3, and IO4 Pins

TPD4E1B06 has 4 protection channels for signal lines. Any I/O will support a signal range of –5.5 V to 5.5 V.

Copyright © 2024 Texas Instruments Incorporated

7.2.2.2 Operating Frequency

The 0.7 pF capacitance of each I/O channel supports data rates up to 3.4 Gbps.

7.2.3 Application Curves

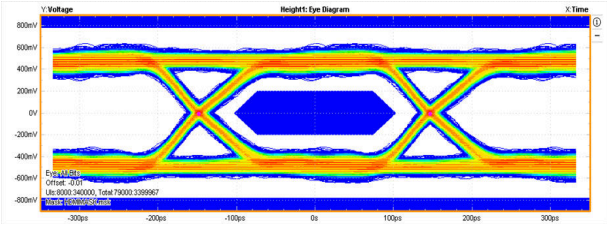


図 7-2. 3.4 Gbps HDMI 1.4 Eye Diagram in DCK Package

7.3 Layout

7.3.1 Layout Guidelines

- Place the device as close to the connector as possible.
  - EMI during an ESD event can couple from the trace being struck to other nearby unprotected traces, resulting in early system failures.
  - The PCB designer should minimize the possibility of EMI coupling by keeping any unprotected traces away from the protected traces which are between the diode and the connector.
- Route the protected traces as straight as possible.
- Eliminate any sharp corners on the protected traces between the diode and the connector by using rounded corners with the largest radii possible.
  - Electric fields tend to build up on corners, increasing EMI coupling.

7.3.2 Layout Examples

図 7-3 shows a layout example for theTPD4E1B06DCK. Pins 1 and 2 and 4 and 5 are routed differentially. Pin 3 is routed to the ground plane. Pin 6 does not have an internal connection in the device and does not need to be routed anywhere on the board. It is also acceptable to connect pin 6 to the ground plane.

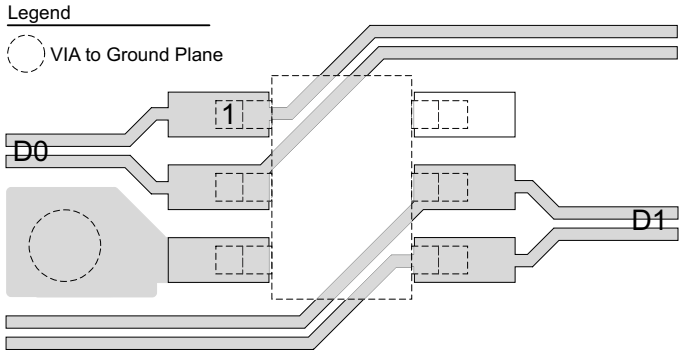


図 7-3. DCK Layout Example Showing Two Data Pairs, D0 and D1

図 7-4 shows a layout example for theTPD4E1B06DRL. Pins 1 and 6 and 3 and 4 are routed differentially. Pin 2 is routed to the ground plane. Pin 5 does not have an internal connection in the device and does not need to be routed anywhere on the board. It is also acceptable to connect pin 5 to the ground plane.

Copyright © 2024 Texas Instruments Incorporated

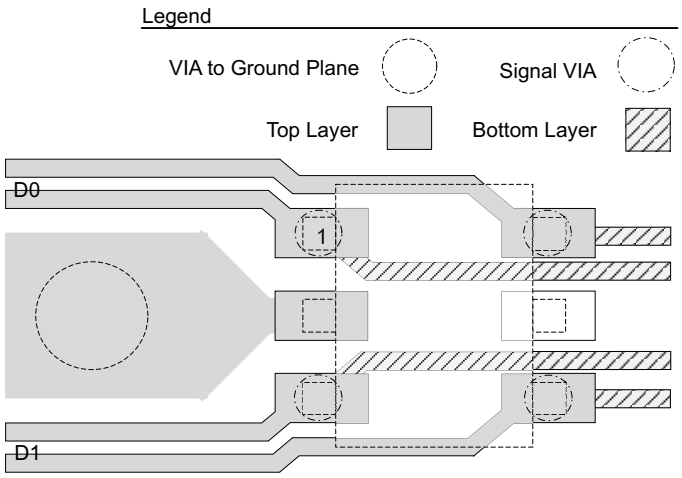


図 7-4. DRL Layout Example Showing Two Data Pairs, D0 and D1

8 Device and Documentation Support

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2024 Texas Instruments Incorporated

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (October 2023) to Revision E (October 2024) **Page**

- Updated 図 4-1 3

Changes from Revision C (July 2014) to Revision D (October 2023) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1
- パッケージ リード サイズを含めるよう「パッケージ情報」表を更新..... 1
- Updated the *Feature Description* section..... 8
- Updated the *Bi-directional (ESD) Protection Diode Array* section..... 8

Changes from Revision B (May 2014) to Revision C (July 2014) **Page**

- Changed 2 device names from TPD4E6B06 to TPD4E1B06 9

Changes from Revision A (January 2013) to Revision B (May 2014) **Page**

- データシートに DRL パッケージを追加..... 1
- Changed I_{PP}, peak pulse current from 3.5 A to 3.0 A..... 4
- Added the ESD Ratings table..... 4
- Added Recommended Operating Conditions table..... 4
- Changed Electrical Characteristics table to reflect operating conditions at 25 °C..... 5
- Added MIN V_{RWM} value of –5.5 V..... 5
- Changed V_{CLAMP} at I_{PP} = 1 A from 10.5 V to 10.9 V. 5
- Changed Line Capacitance TYP value from 1 pF to 0.7 pF..... 5
- Added Line Capacitance MAX value of 0.95 pF. 5
- Changed I_{LEAK} from MAX of 10 nA to 0.5 nA 5

Changes from Revision * (December 2012) to Revision A (January 2013) **Page**

- Fixed "f" units typo from GHz to MHz for C_L parameter in ELECTRICAL CHARACTERISTICS table..... 5

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD4E1B06DCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYP
TPD4E1B06DCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYP
TPD4E1B06DCKRG4	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYP
TPD4E1B06DCKRG4.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYP
TPD4E1B06DRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(BYG, BYH)
TPD4E1B06DRLR.B	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(BYG, BYH)
TPD4E1B06DRLRG4	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYH
TPD4E1B06DRLRG4.B	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

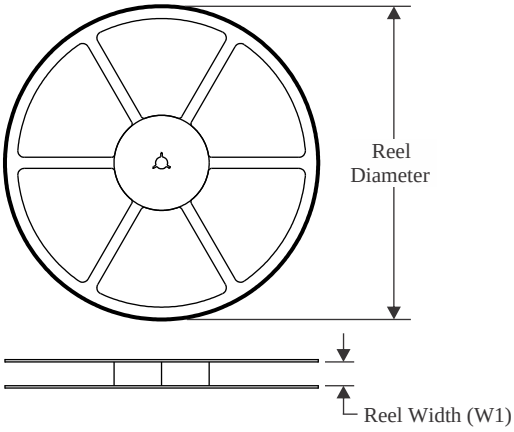
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

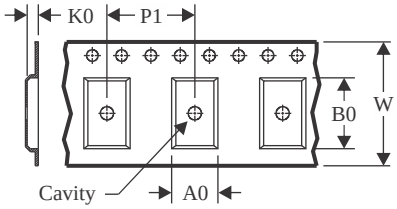
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

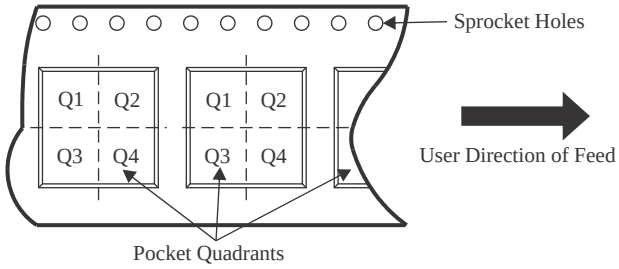


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

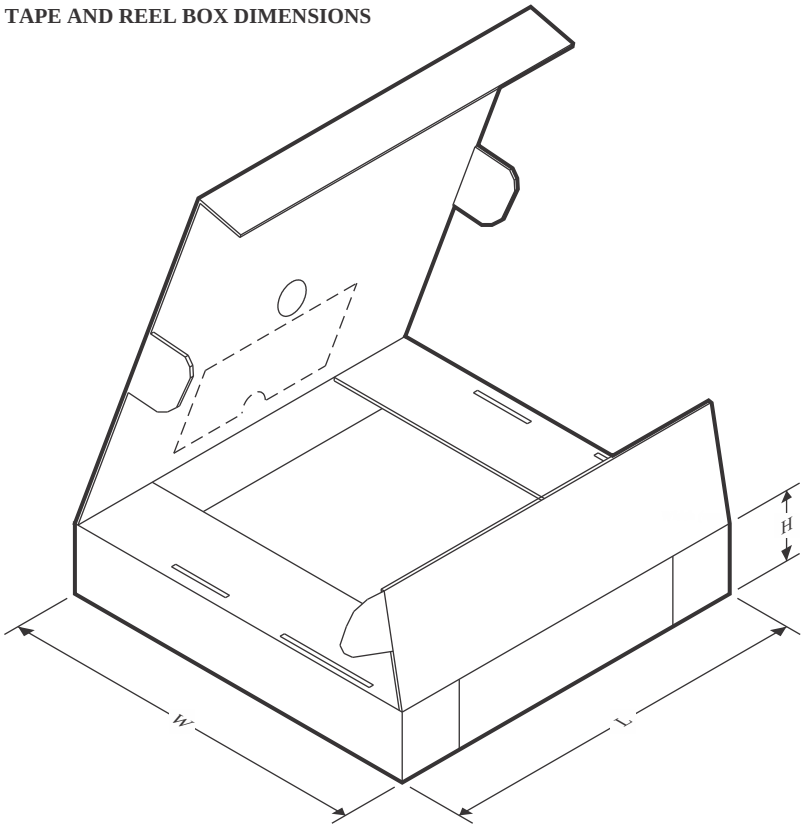
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPD4E1B06DCKR	SC70	DCK	6	3000	178.0	8.4	2.4	2.5	1.2	4.0	8.0	Q3
TPD4E1B06DCKRG4	SC70	DCK	6	3000	178.0	8.4	2.4	2.5	1.2	4.0	8.0	Q3
TPD4E1B06DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPD4E1B06DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
TPD4E1B06DRLRG4	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

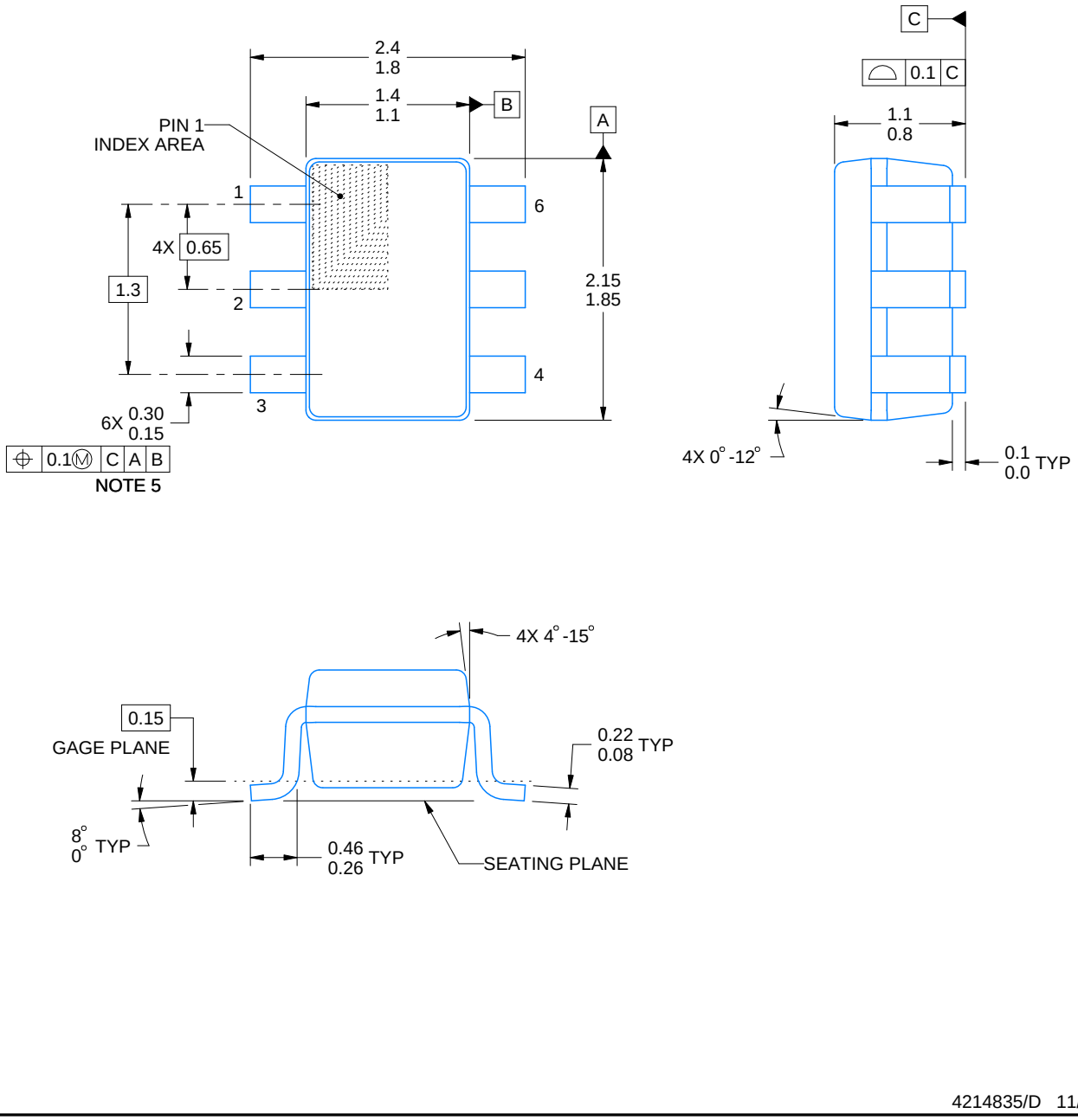
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPD4E1B06DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TPD4E1B06DCKRG4	SC70	DCK	6	3000	180.0	180.0	18.0
TPD4E1B06DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPD4E1B06DRLR	SOT-5X3	DRL	6	4000	183.0	183.0	20.0
TPD4E1B06DRLRG4	SOT-5X3	DRL	6	4000	210.0	185.0	35.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

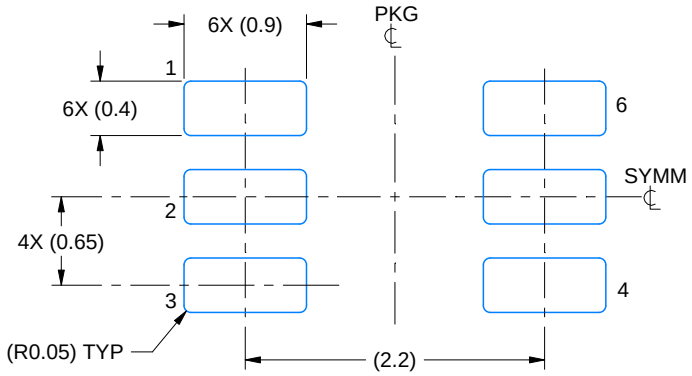
SMALL OUTLINE TRANSISTOR



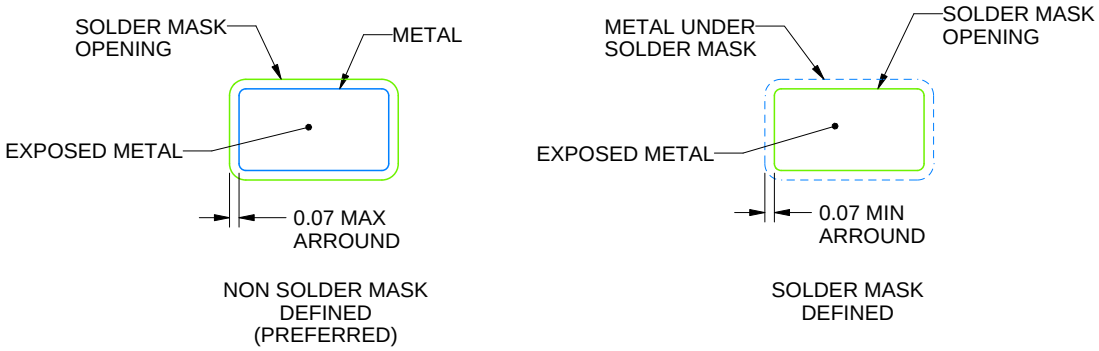
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

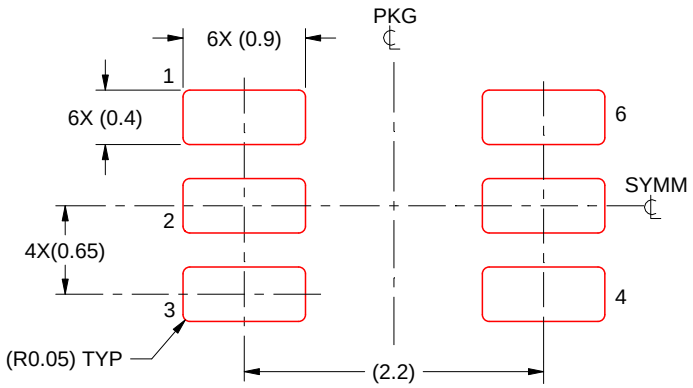


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

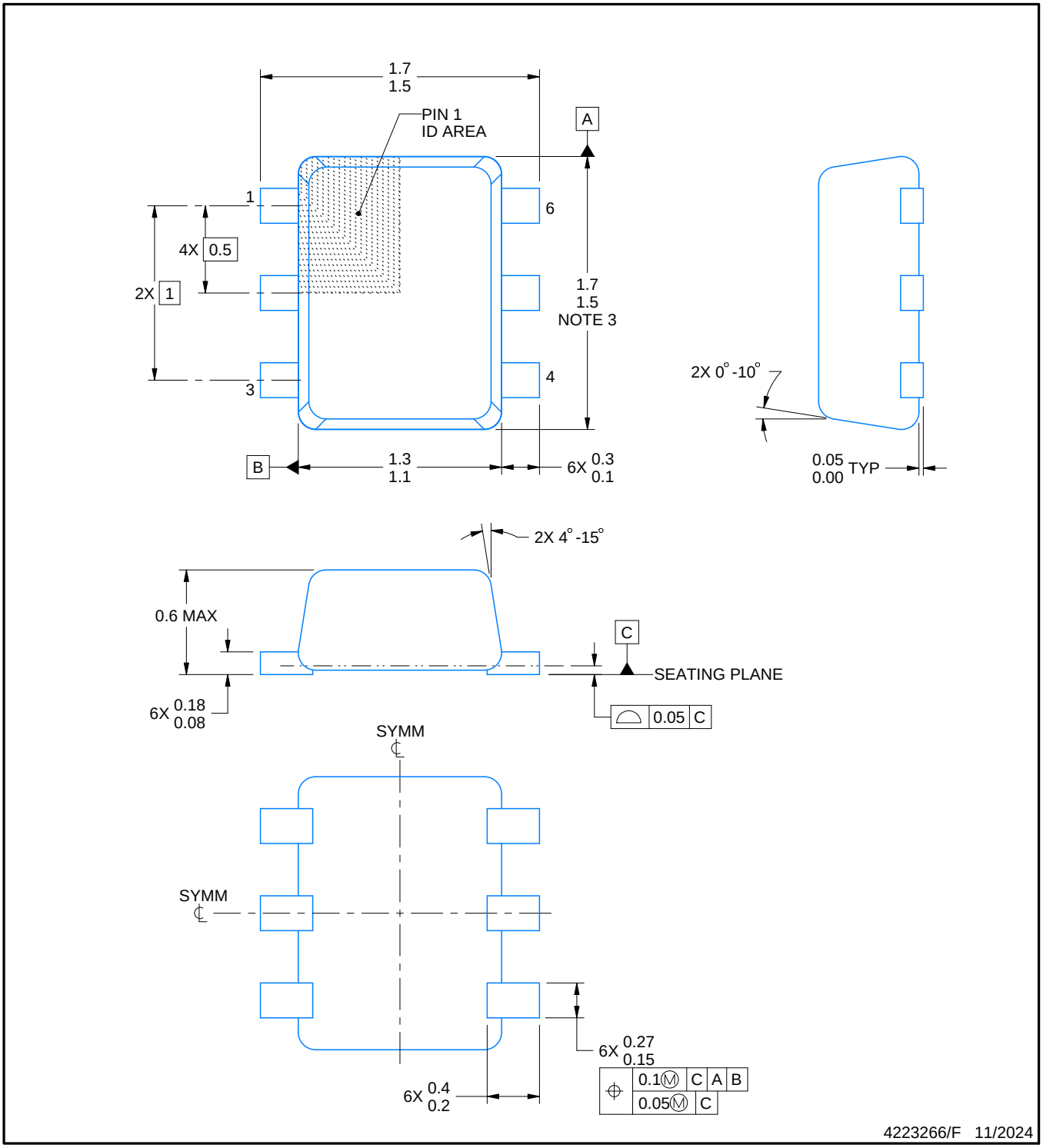


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

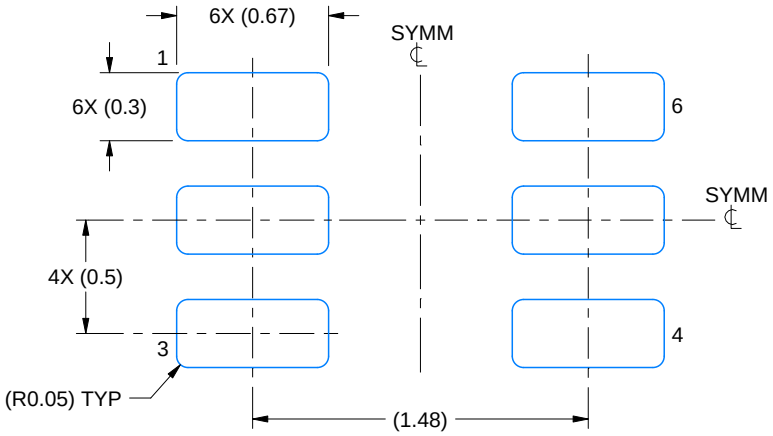
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

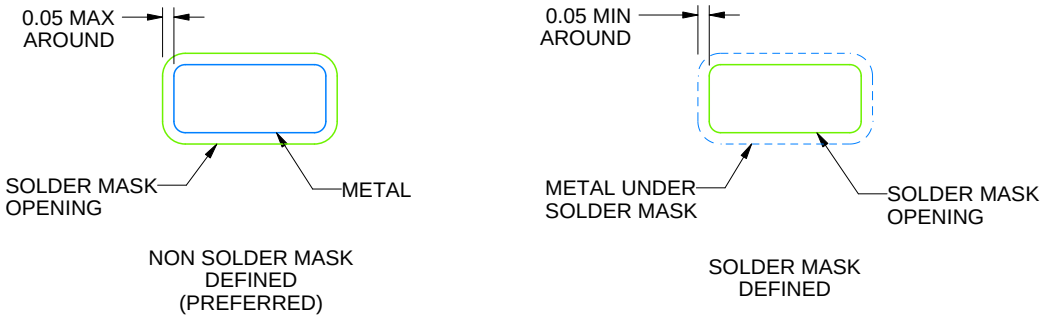
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

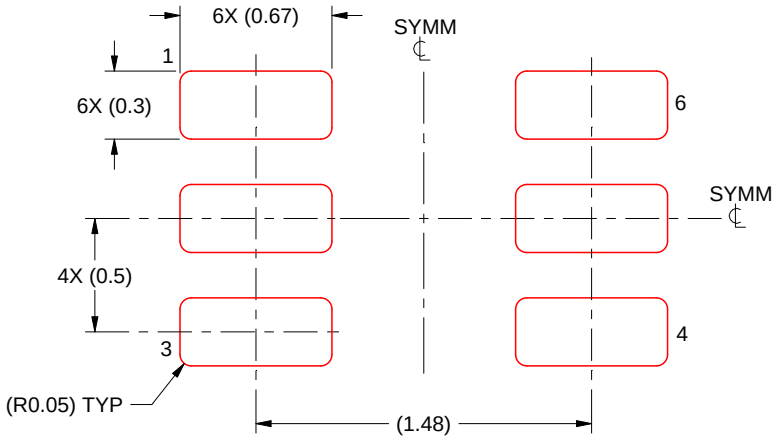
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月