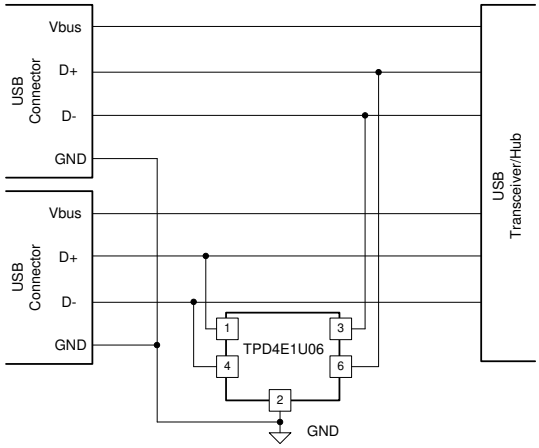
TPD4E1U06 4 チャネル高速 ESD 保護デバイス

1 特長

- IEC 61000-4-2 レベル 4 ESD 保護
  - 接触放電: ±15kV
  - 空中放電: ±15kV
- IEC 61000-4-4 EFT 保護
  - 80A (5/50ns)
- IEC 61000-4-5 サージ保護
  - 3A (8/20µs)
- IO 容量 0.8pF (標準値)
- DC ブレークダウン電圧 6.5V (最小値)
- 超低リーク電流 10nA (最大値)
- 低 ESD クランプ電圧
- 産業用温度範囲:–40℃ ～ +125℃
- 小型で配線が容易な DCK および DBV パッケージ

2 アプリケーション

- USB 2.0
- イーサネット
- HDMI コントロール ライン
- MIPI バス
- LVDS
- SATA



概略回路図

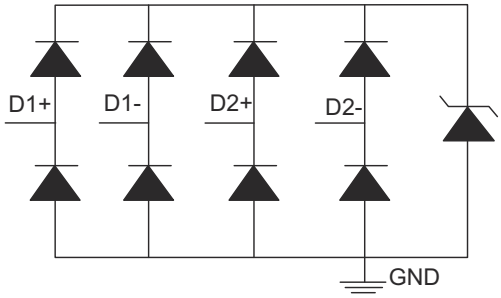
3 説明

TPD4E1U06 は、超低容量の、4 チャネル単方向過渡電圧サプレッサ (TVS) ベースの静電気放電 (ESD) 保護ダイオードです。このデバイスは、IEC 61000-4-2 国際規格で規定されている最大レベルを上回る ESD のエネルギーを消費できます。0.8pF のライン容量により、幅広い用途に最適な選択肢となります。代表的なアプリケーション分野には、HDMI、USB2.0、MHL、DisplayPort があります。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPD4E1U06DCK	SC70	2.00mm × 1.25mm
TPD4E1U06DBV	SOT-23	2.90mm × 1.60mm

(1) 供給されているすべてのパッケージについては、セクション 10 を参照してください。



回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 ESD 定格 - IEC 仕様 ... 4
5.4 推奨動作条件 ... 4
5.5 熱に関する情報 ... 4
5.6 電気的特性 ... 5
5.7 代表的特性 ... 6
6 詳細説明 ... 8
6.1 概要 ... 8
6.2 機能ブロック図 ... 8
6.3 機能説明 ... 8
6.4 デバイスの機能モード ... 9
7 アプリケーションと実装 ... 9
7.1 使用上の注意 ... 9
7.2 代表的なアプリケーション ... 9
7.3 電源に関する推奨事項 ... 11
7.4 レイアウト ... 11
8 デバイスおよびドキュメントのサポート ... 13
8.1 ドキュメントのサポート ... 13
8.2 ドキュメントの更新通知を受け取る方法 ... 13
8.3 コミュニティリソース ... 13
8.4 商標 ... 13
9 改訂履歴 ... 13
10 メカニカル、パッケージ、および注文情報 ... 13

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

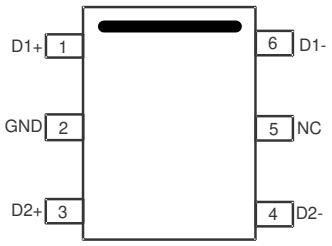


図 4-1. DCK パッケージ 6 ピン SC70 上面図

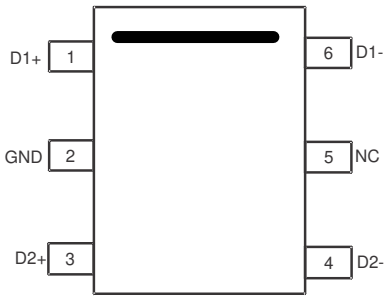


図 4-2. DBV パッケージ 6 ピン SOT-23 上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
D1+	1	I/O	ESD 保護チャネル。コネクタのできるだけ近くにデータ ラインに接続します
D1–	6	I/O	
D2–	4	I/O	
D2+	3	I/O	
GND	2	GND	グランド。グランドに接続
NC	5	I/O	接続なし。フローティングのままにしたり、グランドに接続したり、VCC に接続したりすることができます

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
	IEC 61000-4-4 EFT 保護 (5/50ns)		80	A
I_{PP}	IEC 61000-4-5 サージ保護 (8/20µs) ピークパルス電流		3	A
P_{PP}	IEC 61000-4-5 サージ保護 (8/20µs) ピークパルス電力		45	W
	動作温度	-40	125	°C
T_{stg}	保存温度	-65	115	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 ESD 定格 - IEC 仕様

			値	単位
$V_{(ESD)}$	静電放電	IEC 61000-4-2 接触 ESD	±15000	V
		IEC 61000-4-2 エアギャップ ESD	±15000	

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{IO}	入力ピンの電圧	0	5.5	V
T_A	自由空気での動作温度	-40	125	°C

5.5 熱に関する情報

熱評価基準(1)		TPD4E1U06		単位
		DBV (SOT-23)	DCK (SC-70)	
		6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	224.3	274.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	166.1	113.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	68.4	76.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	57.3	3.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	67.9	75.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。spra953

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{RWM}	逆スタンドオフ電圧	I_{IO} = 10µA				5.5	V
V_{CLAMP}	ESD 衝撃によるクランプ電圧	I_{PP} = 1A、tp = 8/20µs、I/O ～ GND 間(1)			11		V
		I_{PP} = 3A、tp = 8/20µs、I/O ～ GND 間(1)			15		V
R_{DYN}	動的抵抗	ピン x から GND ピンへ(2)			1.0		Ω
		GND からピン x へ			0.6		
C_L	ライン容量	f = 1MHz、V_{BIAS} = 2.5V、25°C			0.8	1	pF
C_{CROSS}	チャネル入力容量	ピン 2 = 0V、f = 1MHz、V_{BIAS} = 2.5V、チャネル ピン間	DCK パッケージ		0.006	0.015	pF
			DBV パッケージ		0.01	0.025	
$\Delta C_{IO-TO-GND}$	チャネル入力容量の変動	ピン 2 = 0V、f = 1MHz、V_{BIAS} = 2.5V、channel_x ピンをグランドに接続 – channel_y ピンをグランドに接続			0.025	0.07	pF
V_{BR}	ブレークダウン電圧、IO から GND へ	I_{IO} = 1mA		6.5		8.5	V
I_{LEAK}	リーク電流	V_{IO} = 2.5V			1	10	nA

(1) IEC61000-4-5 に従うと、非反復的な電流パルスの 8/20µs の指数関数的減衰波形。
(2) I = 10A と I = 20A の間の TLP 特性の最小二乗一致を用いた R_{DYN} の抽出。

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

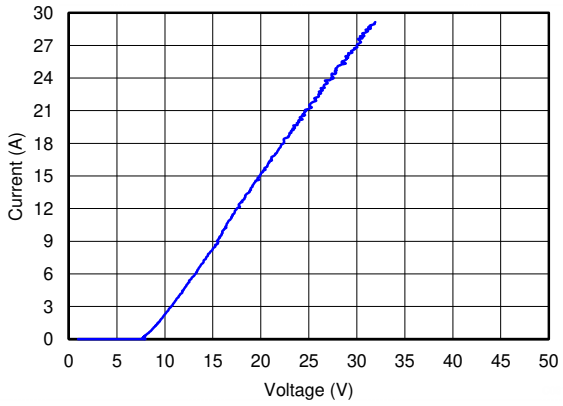


図 5-1. TLP、データ から GND へ

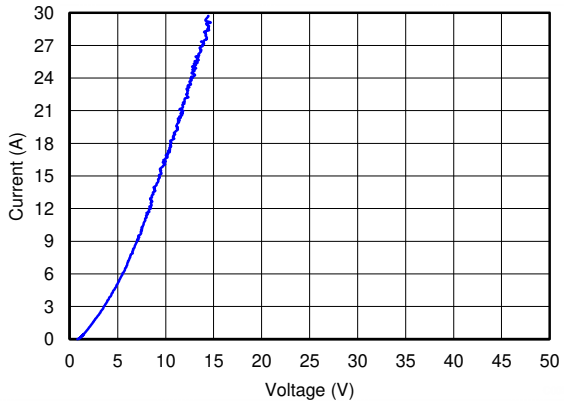


図 5-2. TLP、GND からデータへ

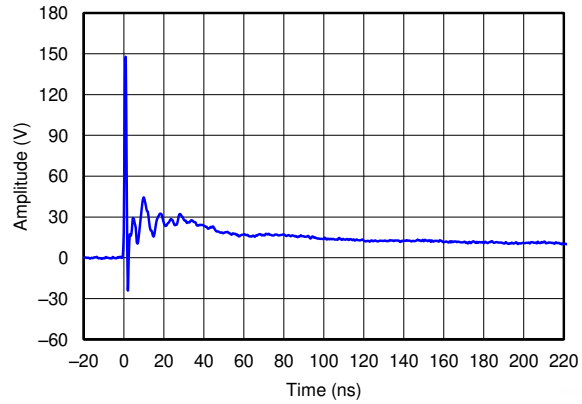


図 5-3. IEC 61000-4-2 クランプ電圧、8kV 接触

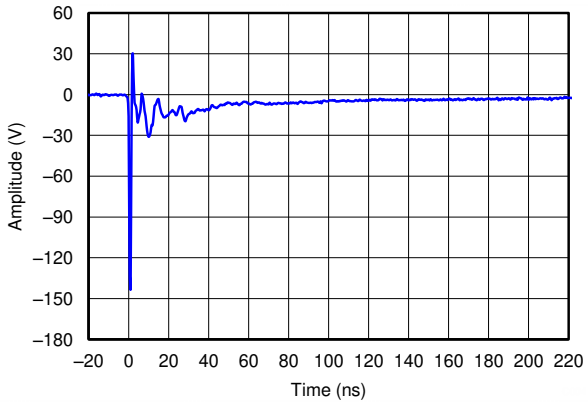


図 5-4. IEC 61000-4-2 クランプ電圧、-8kV 接触

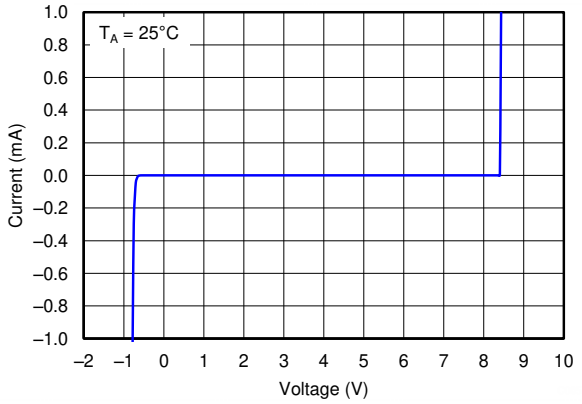


図 5-5. ダイオード曲線

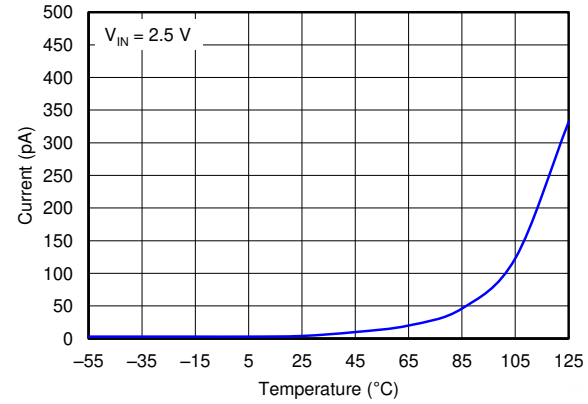


図 5-6. I_{LEAK} vs 温度

Copyright © 2026 Texas Instruments Incorporated

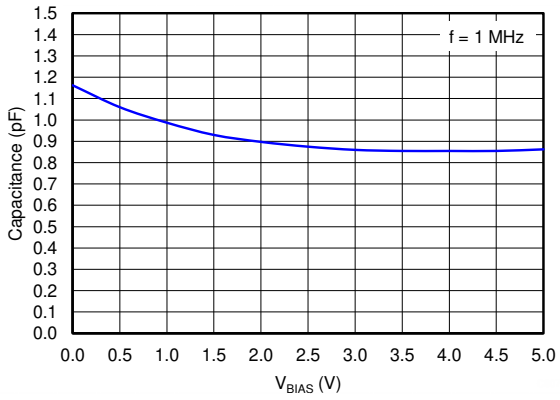


図 5-7. V_{BIAS} 両端の静電容量

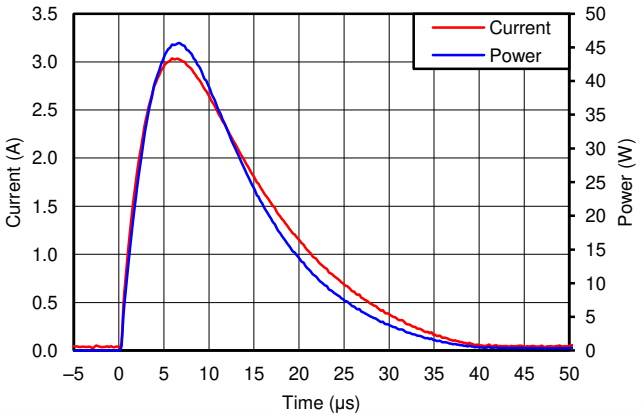


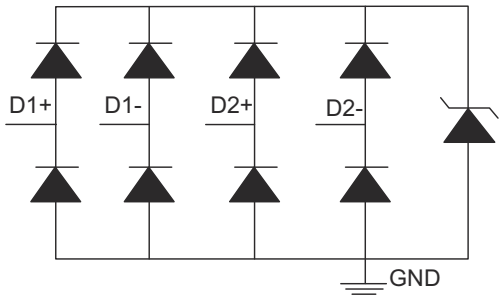
図 5-8. サージ曲線 (tp = 8/20µs)、ピン IO から GND へ

6 詳細説明

6.1 概要

TPD4E1U06 は、超低容量の 4 チャネル単方向 TVS ESD 保護ダイオードです。このデバイスは、IEC 61000-4-2 国際規格で規定されている最大レベルを上回る ESD のエネルギーを消費できます。代表的なアプリケーション分野には、HDMI、USB2.0、MHL、DisplayPort があります。0.8pF のライン容量により、幅広い用途に最適な選択肢となります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 IEC 61000-4-2 レベル 4 ESD 保護

I/O ピンは、最大 ±15kV 接触およびエアの ESD イベントに耐えられます。ESD/サージ クランプは、電流をグランドに迂回します。

6.3.2 IEC 61000-4-5 サージ保護

IO ピンは、最大 3A および 45W のサージ イベントに耐えられます (8/20µs 波形)。ESD サージ クランプは、この電流をグランドに転送します。

6.3.3 IEC 61000-4-4 EFT 保護

IO ピンは、最大 80A の電気的高速過渡バーストに耐えることができます (5/50ns 波形、50Ω インピーダンスで 4kV)。ESD サージ クランプは、電流をグランドに迂回します。

6.3.4 IO 容量

各 I/O ピンとグランド間の静電容量は 0.8pF です。

6.3.5 DC ブレークダウン電圧

各 I/O ピンの DC 耐圧は 6.5V 以上です。これにより、逆スタンドオフ電圧 5.5V を超えるサージから、敏感な機器を保護します。

6.3.6 超低リーク電流

I/O ピンは、バイアス 2.5V で 10nA (最大値) の超低リーク電流を特長としています。

6.3.7 低 ESD クランプ電圧

I/O ピンには、電圧を 11V (I_{PP} = 1A) にクランプできる ESD クランプがあります。

6.3.8 産業用温度範囲

この製品は、–40°C ～ +125°C の産業用温度範囲で動作します

6.3.9 小型でルートが容易なパッケージ

このデバイスのレイアウトにより、設計への保護機能の追加が容易になります。業界標準のパッケージにより、基板を簡単に追加でき、レイアウトが簡単です。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

TPD4E1U06 は、電圧が V_{BR} を上回るか順方向ダイオード電圧降下を下回るとトリガされるパッシブ IC です。ESD イベント中は、内部ダイオード ネットワークを介して最大 ±15kV の電圧をグランドに接続できます。保護されるラインの電圧が TPD4E1U06 のトリガ レベルを下回ると (通常は 10ns 以内)、デバイスはパッシブに戻ります。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPD4E1U06 は TVS ダイオード アレイです。通常、ヒューマン インターフェイス コネクタとシステム間の高速信号ライン上の ESD イベントを消散させるためのグランドへのパスを提供するために使用されます。ESD 電流が TVS を通過するため、ダイオードの両端ではわずかな電圧降下が発生します。これは、保護対象の IC に供給される電圧です。トリガされた TVS の R_{DYN} が低いと、この電圧 (V_{CLAMP}) は、保護された IC に対して安全なレベルに保持されます。

7.2 代表的なアプリケーション

この設計例では、1 つの TPD4E1U06 デバイスをデュアル USB 2.0 アプリケーションで使用しています。これにより、完全なポート保護方式が実現します。

Copyright © 2026 Texas Instruments Incorporated

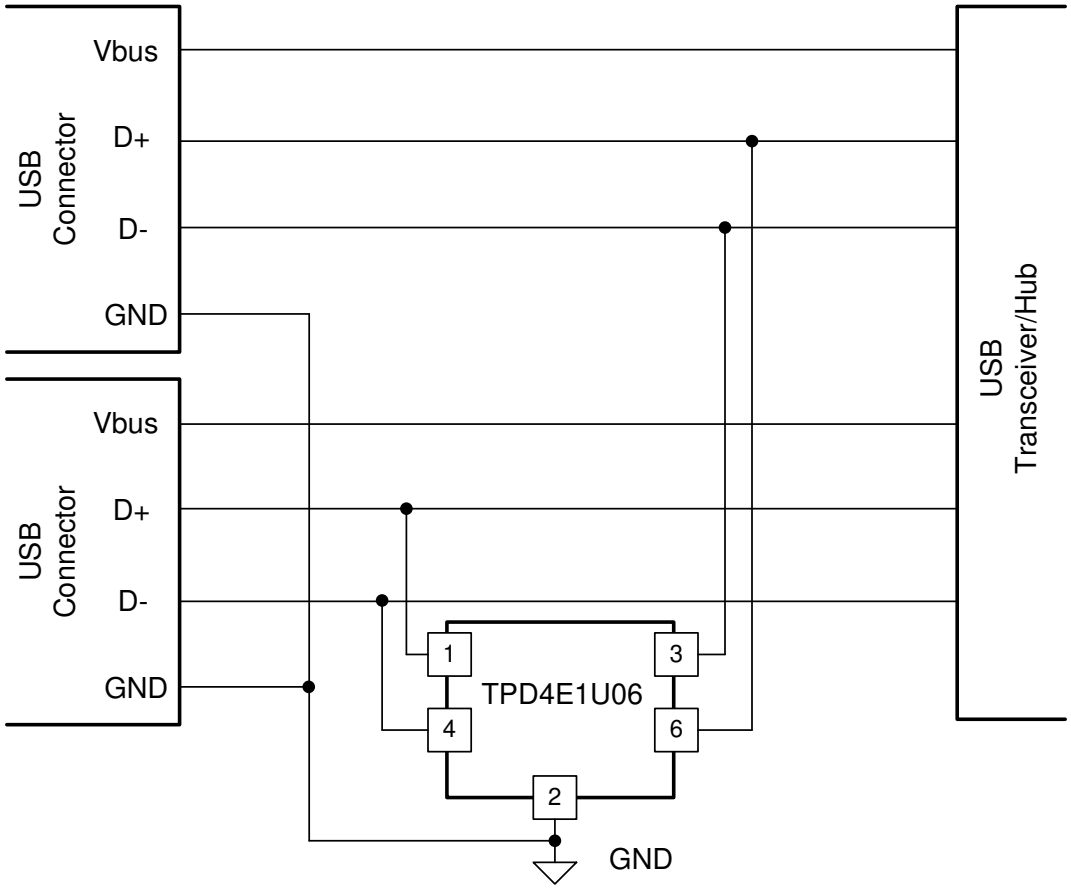


図 7-1. デュアル USB 2.0 アプリケーション

Copyright © 2026 Texas Instruments Incorporated

7.2.1 設計要件

USB 2.0 アプリケーションを前提とすると、表 7-1 に記載されているパラメータは既知です。

表 7-1. 設計パラメータ

設計パラメータ	値
ピン 1、3、4、6 の信号範囲	0V ～ 5V
動作周波数	240MHz

7.2.2 詳細な設計手順

7.2.2.1 ピン 1、3、4、6 の信号範囲

TPD4E1U06 は、信号ライン用の 4 つの同一の保護チャネルを備えています。デバイスの対称性により、4 つの I/O チャネルのうちどの信号ラインを保護するかを柔軟に選択できます。すべての I/O は、0 ～ 5.5V の信号範囲をサポートします。

7.2.2.2 動作周波数

TPD4E1U06 の静電容量は 0.8pF (標準) で、USB 2.0 のデータ転送速度に対応しています。

7.2.3 アプリケーション曲線

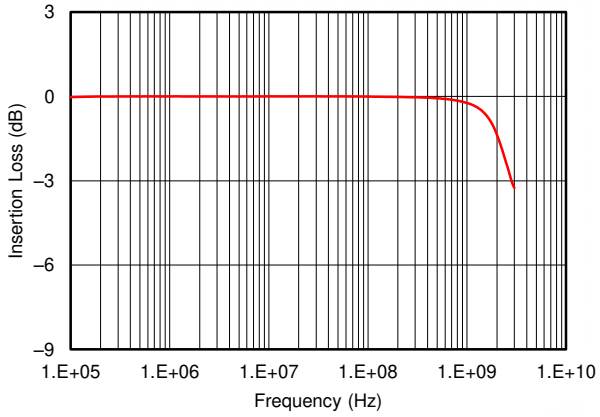


図 7-2. 挿入損失のグラフ

7.3 電源に関する推奨事項

このデバイスはパッシブ ESD デバイスであるため、電力を供給する必要はありません。デバイスが正常に機能することを確認するため、推奨 I/O 仕様 (0V ～ 5.5V) を遵守してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- 最適な配置はコネクタのできるだけ近くです。
  - ESD イベント中の EMI が、配線と接触した配線から、保護されていない他の配線と結合し、システムの早期障害を引き起こす可能性があります。
  - PCB 設計者は、TVS とコネクタの間にある保護されていないトレースから離れた場所に配置して、EMI 結合の可能性を最小限に抑える必要があります。
- 保護トレースを可能な限り直線的に配線します。
- 可能な限り大きな半径の丸みを帯びた角を使用し、TVS とコネクタの間の保護トレースの鋭角な角を排除します。
  - 電界は角で蓄積する傾向があり、EMI 結合を増加させます。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

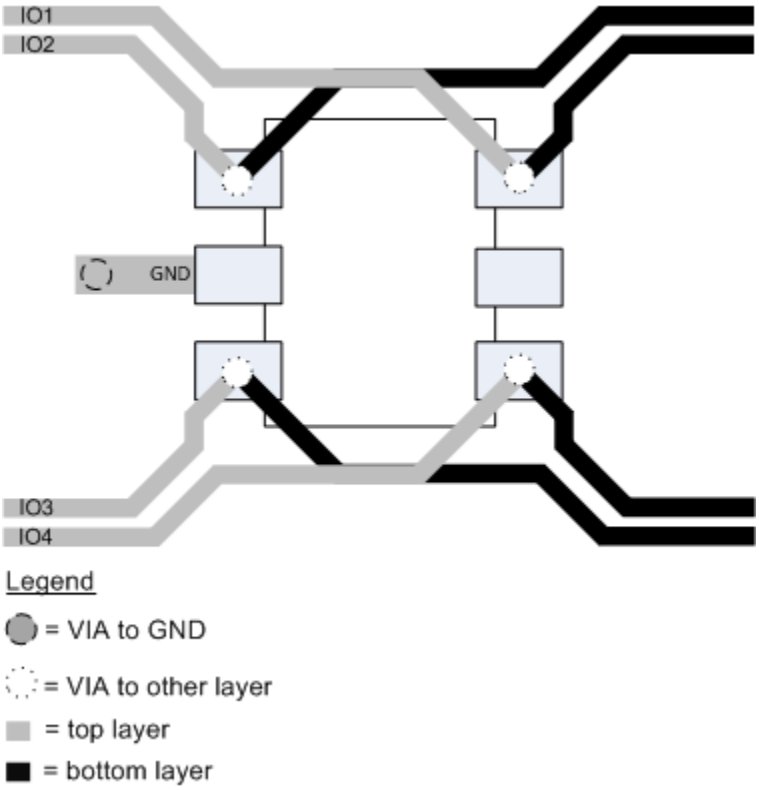


図 7-3. PCB の推奨レイアウト

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『ESD 保護の読み取りと理解』データ シート
- テキサス インスツルメンツ、『ESD レイアウト ガイド』
- テキサス インスツルメンツ、『TTPD4E1U06DCK EVM ユーザー ガイド』
- テキサス インスツルメンツ、『TPD4E1U06DBV EVM ユーザー ガイド』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメント更新の通知を、シリコンの正誤表も含めて受け取るには、ti.com でお使いの製品のフォルダへ移動します。右上の隅にある「通知を受け取る」ボタンをクリックします。これによって登録が行われ、変更された製品情報がある場合、その概要を毎週受け取ることができます。変更の詳細については、修正されたドキュメントの改訂履歴をご覧ください。

8.3 コミュニティ リソース

8.4 商標

すべての商標は、それぞれの所有者に帰属します。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (April 2017) to Revision E (October 2026)	Page
• TPD4E1U06-G4 をデータシートに追加	1

Changes from Revision C (October 2014) to Revision D (April 2017)	Page
• DCK および DBV のピン配置図を更新	3
• 「絶対最大定格」表に 61000-4-5 仕様を追加	4
• *セクション 6.3.2* セクションを追加	8
• *セクション 6.3.3* セクションを追加	8

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD4E1U06DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(NG4, NG4P)
TPD4E1U06DBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(NG4, NG4P)
TPD4E1U06DCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(BP6, BP8, BPI) (BPP, BPP, BPS)
TPD4E1U06DCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(BP6, BP8, BPI) (BPP, BPP, BPS)
TPD4E1U06DCKRG4	Active	Production	SC70 (DCK) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	BPP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

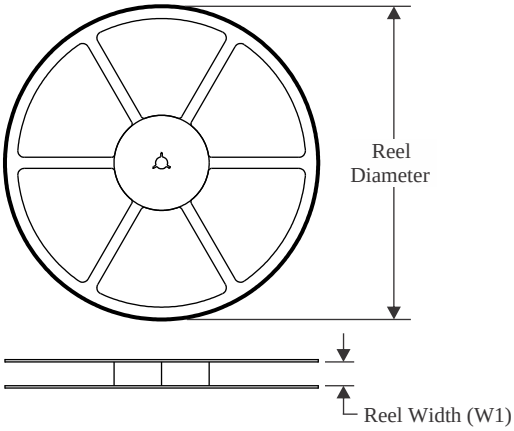
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

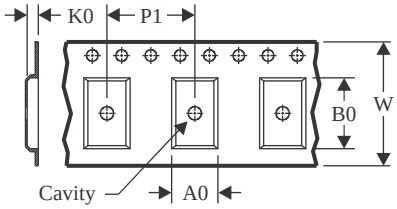
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

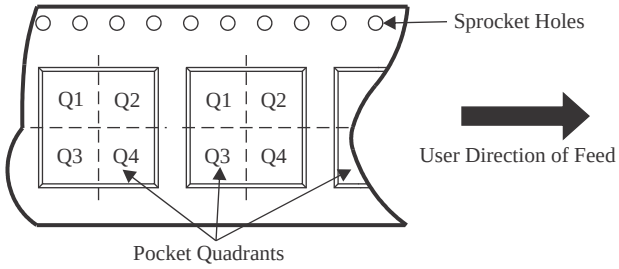


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

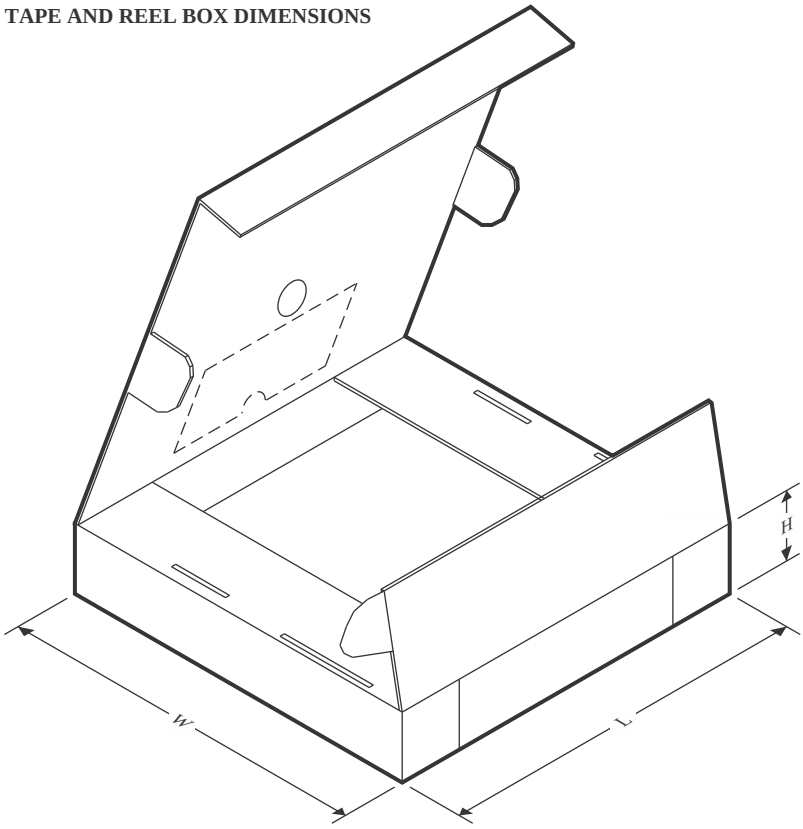
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPD4E1U06DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPD4E1U06DCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

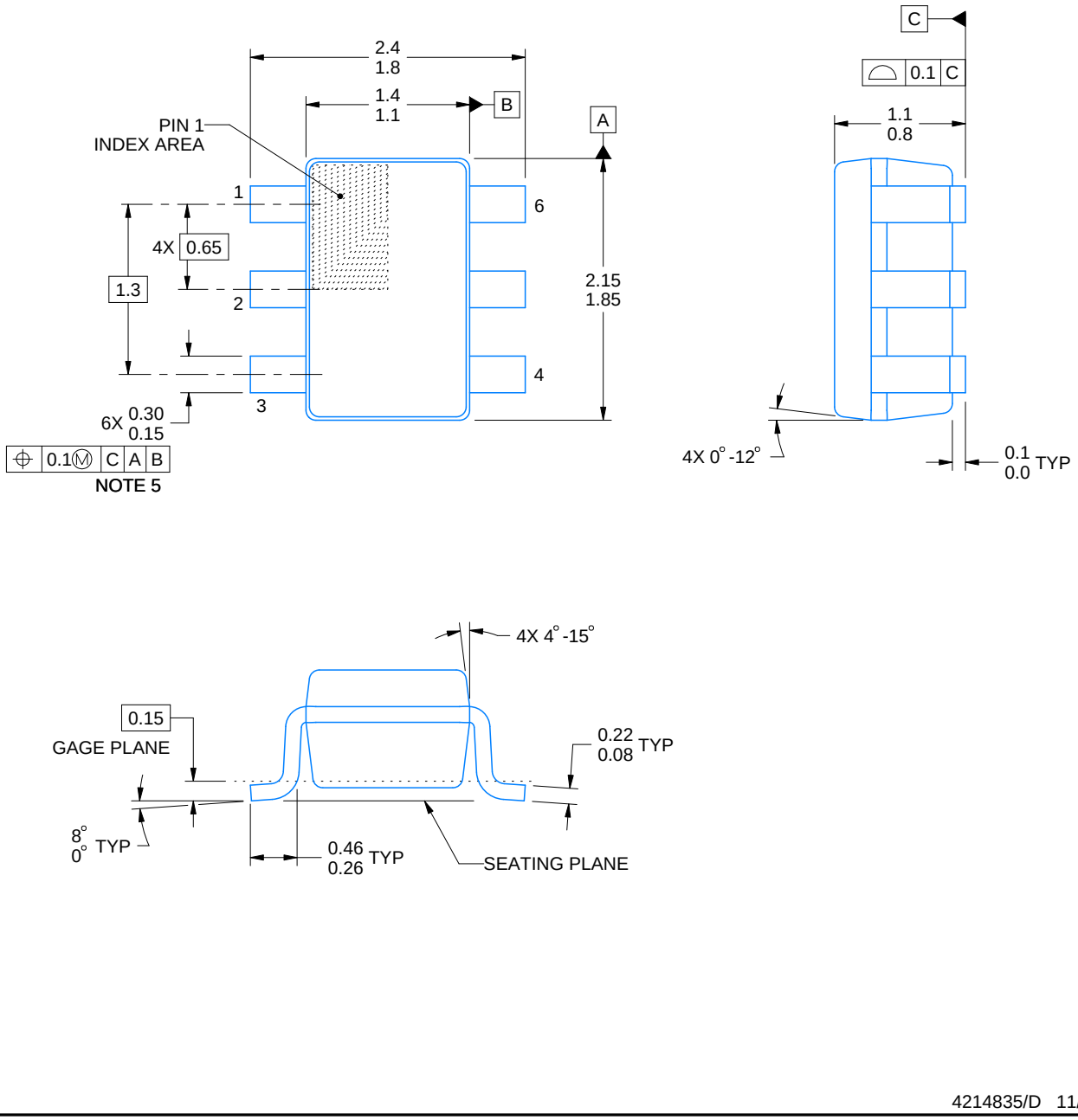
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPD4E1U06DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPD4E1U06DCKR	SC70	DCK	6	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

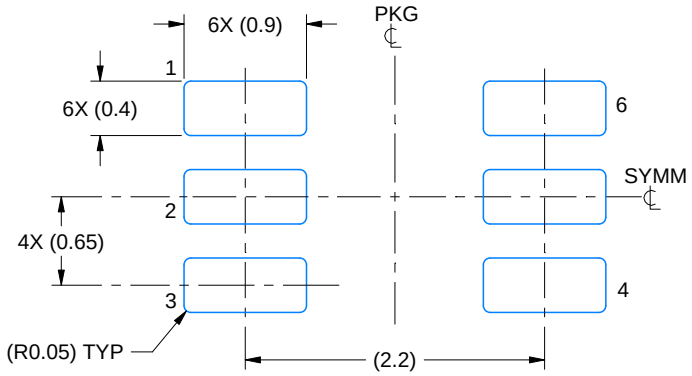
SMALL OUTLINE TRANSISTOR



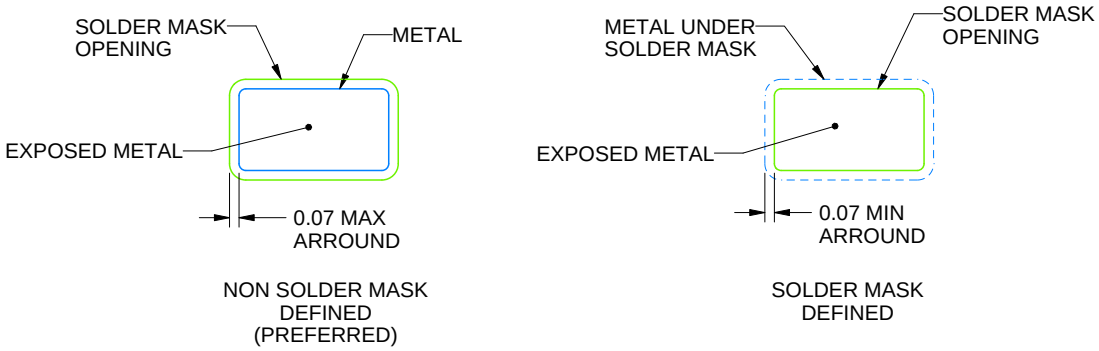
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

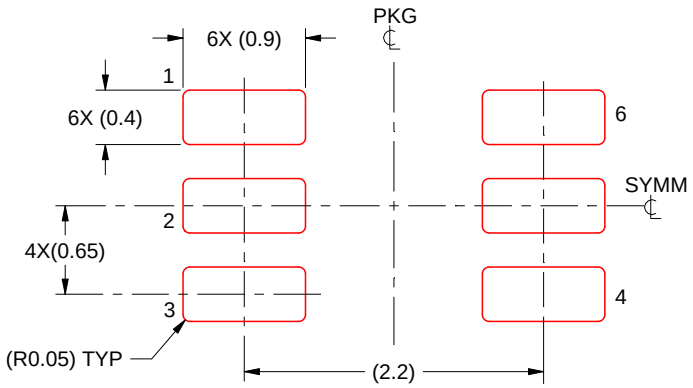


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

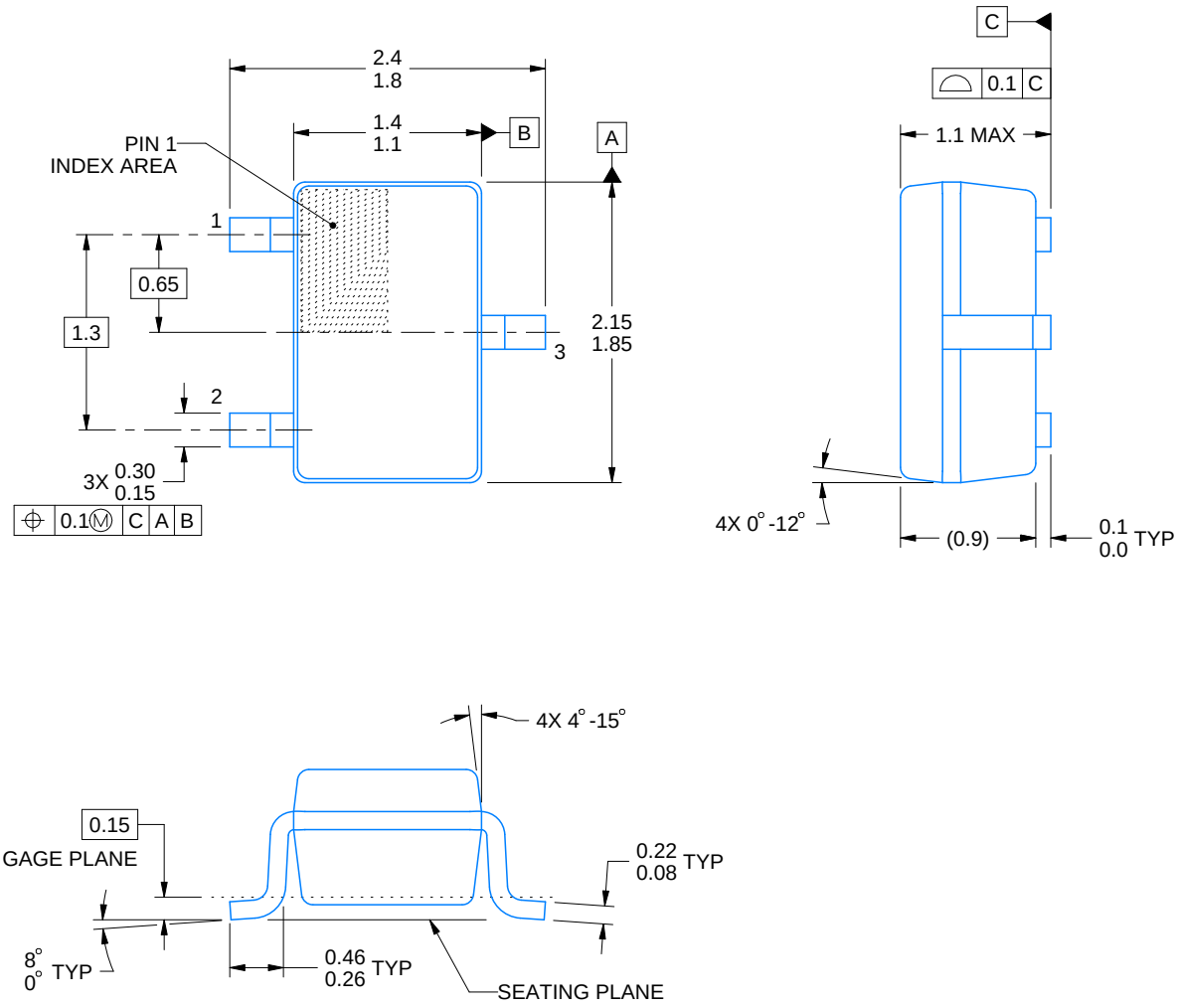
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0003A

SOT-SC70 - 1.1 max height

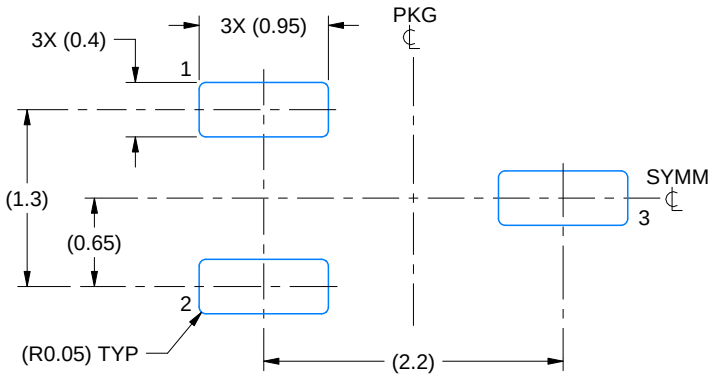
SMALL OUTLINE TRANSISTOR SC70



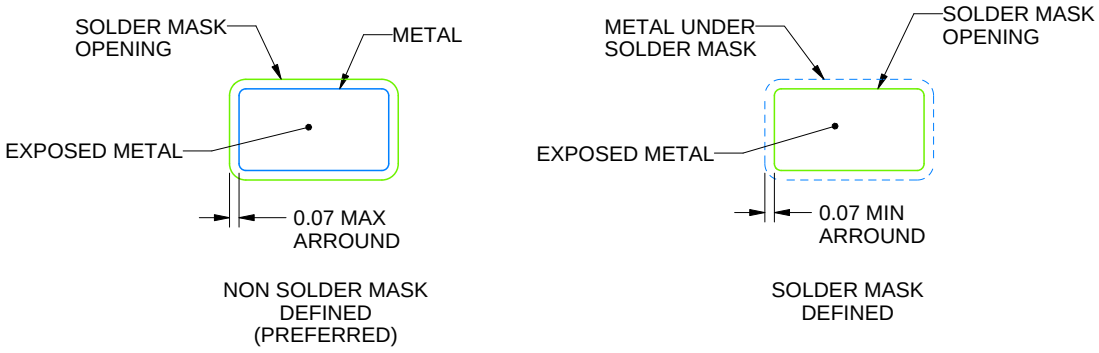
4220745/F 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

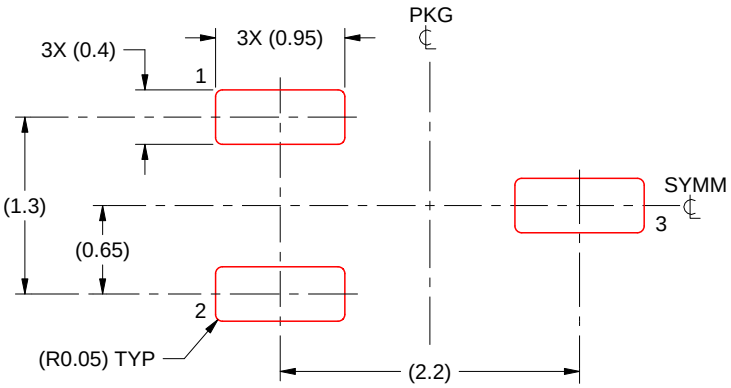


SOLDER MASK DETAILS

4220745/F 11/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4220745/F 11/2024

NOTES: (continued)

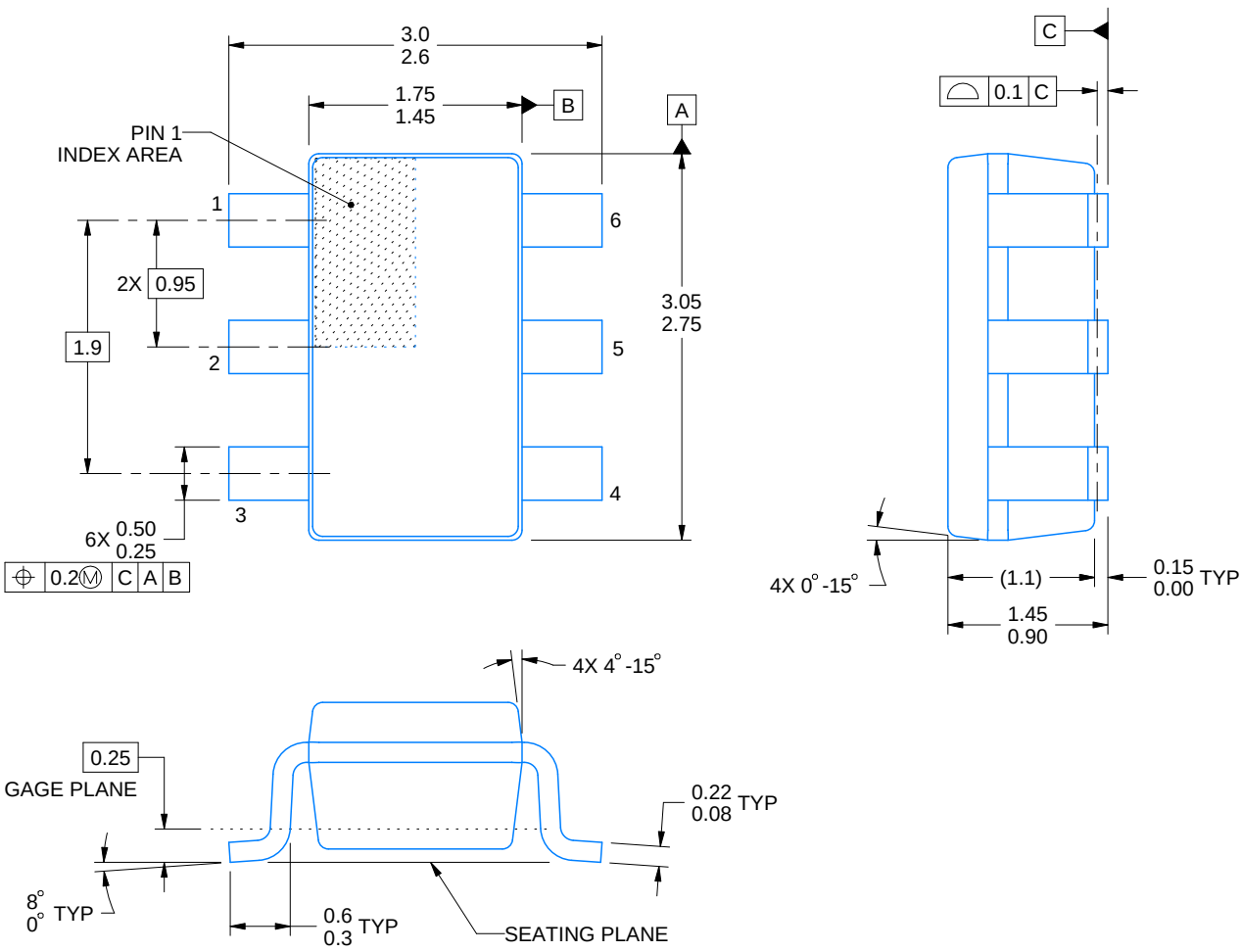
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

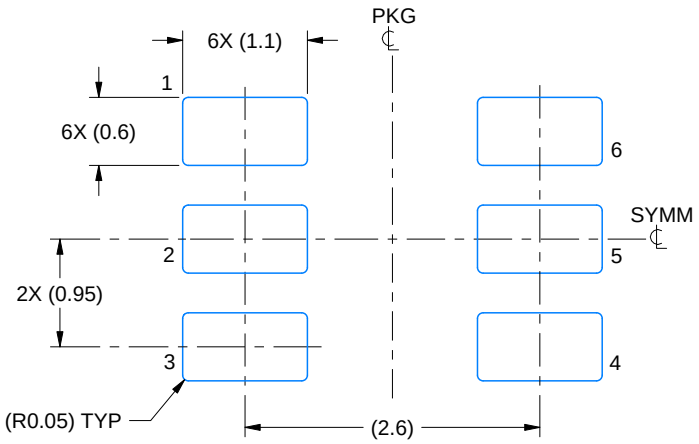
SMALL OUTLINE TRANSISTOR



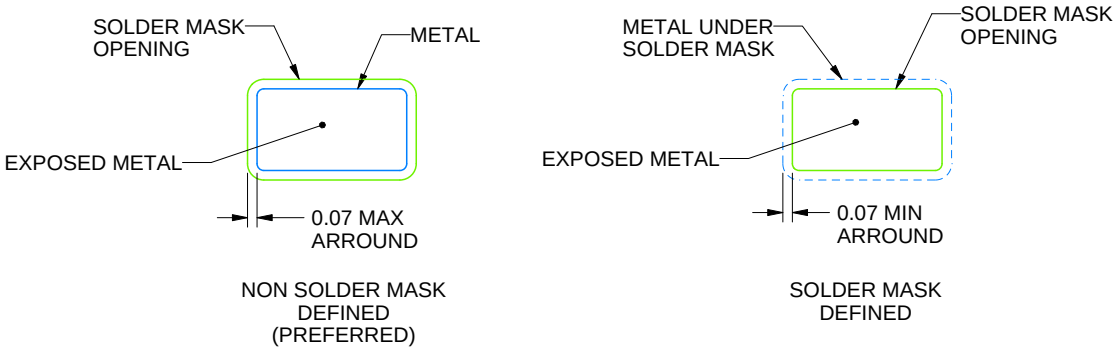
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

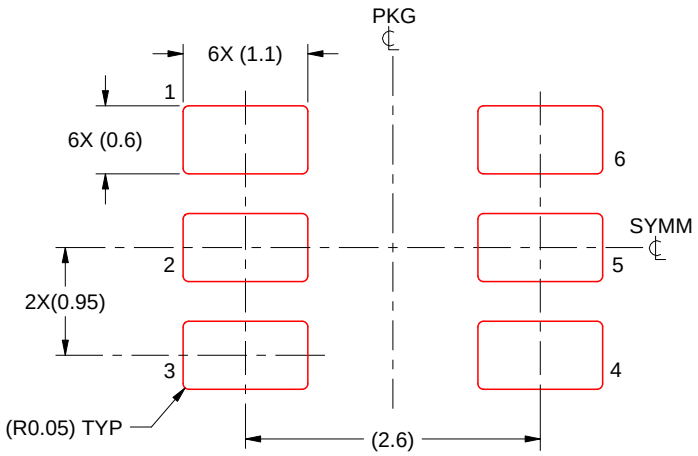


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月