TPIC6596 パワー ロジック 8 ビット シフト レジスタ

1 特長

- 低い $R_{DS(ON)}$：1.3Ω (標準値)
- アバランシェエネルギー：75mJ
- 8 つのパワー DMOS トランジスタ出力、250mA 連続電流
- 出力あたり 1.5A のパルス電流
- 45V の出力クランプ電圧
- 複数のステージの拡張されたカスケード処理シングル入力で全レジスタをクリア
- 低消費電力

2 アプリケーション

- インストルメント クラスター
- 警告灯 (テルテール) ランプ
- LED 照明および制御
- 車載リレーまたはソレノイド ドライバ

3 概要

TPIC6596 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するように設計されたモノリシック、高電圧、大電流出力の 8 ビット シフト レジスタです。本デバイスは、誘導性過渡保護のために電圧クランプを出力に組み込んでいます。パワー ドライバ アプリケーションには、リレー、ソレノイド、その他の中電流または高電圧負荷が含まれます。

このデバイスには、8 ビットのシリアル イン、パラレル アウトのシフト レジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。シフト レジスタとストレージ レジスタのどちらを経由するデータ転送も、シフト レジスタ クロック(SRCK)とレジスタ クロック(RCK)の立ち上がりエッジで行われます。ストレージ レジスタは、シフト レジスタ クリア ($\overline{SRCLR}$) が HIGH のとき、出力バッファへデータを転送します。書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。$\overline{SRCLR}$ が LOW の場合、デバイスのすべてのレジスタがクリアされます。出力イネーブル ($\overline{G}$) が HIGH に保持されると、出力バッファのすべてのデータが LOW に保持され、すべてのドレイン出力がオフになります。$\overline{G}$ を LOW に保持すると、ストレージ レジスタのデータが出力バッファへ透過的になります。シリアル出力 (SER OUT) は、カスケード接続されたアプリケーションに追加のホールドタイムを提供するために、SRCK の立ち下がりエッジでデバイスからクロックアウトされます。これにより、クロック信号にスキューが発生する可能性がある場合、デバイスが互いに近接していない場合、またはシステムが電磁妨害を許容しなければならない場合のアプリケーションのパフォーマンスが向上します。

出力は、45V の出力定格と 250mA の連続シンク電流能力を持つローサイド オープン ドレイン DMOS トランジスタです。出力バッファのデータが LOW のとき、DMOS トランジスタの出力がオフになります。データが HIGH のとき、DMOS トランジスタ出力はシンク電流能力を持つようになります。

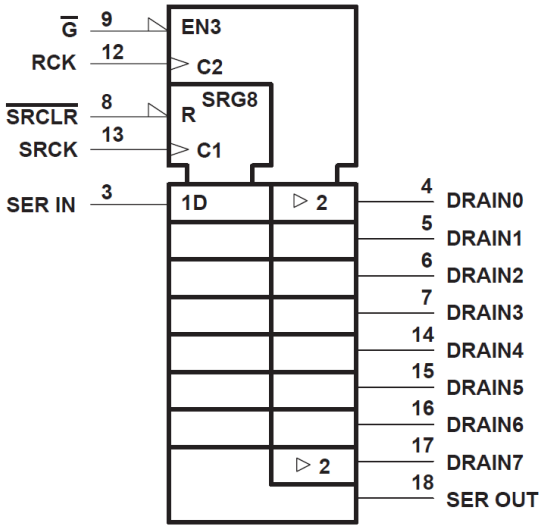
電源ピンとロジックレベルのグランドピンを分離しているため、システムの最大の柔軟性が得られます。寄生インダクタンスを最小限に抑えるため、ピン 1、10、11、20 は内部的に接続されており、各ピンは電源システムのグランドに外部で接続する必要があります。ピン 19、ロジックグランド (LGND) とピン 1、10、11、20、パワーグランド (PGND) の間のシングルポイント接続では、ロジック回路と負荷回路の間のクロストークを低減するように外部で作成する必要があります。TPIC6596 デバイスは、動作ケース温度範囲 -40℃～125℃ 全体での動作が規定されています。

製品情報

部品番号 (1)	パッケージ	本体サイズ (公称)
TPIC6596	SOIC (20)	12.80mm × 7.50mm
	PDIP (20)	25.40mm × 6.35mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 Pin Configuration and Functions.....3
5 Specifications.....4
5.1 Absolute Maximum Ratings.....4
5.2 Dissipation Rating Table.....4
5.3 Recommended Operating Conditions.....4
5.4 Electrical Characteristics.....5
5.5 Switching Characteristics.....5
5.6 Thermal Resistance Characteristics.....6
5.7 Typical Characteristics.....6
6 Parameter Measurement Information.....8
7 Detailed Description.....10
7.1 Overview.....10
7.2 Functional Block Diagram.....10
7.3 Feature Description.....11
7.4 Device Functional Modes.....12
8 Device and Documentation Support.....13
8.1 ドキュメントの更新通知を受け取る方法.....13
8.2 サポート・リソース.....13
8.3 Trademarks.....13
8.4 静電気放電に関する注意事項.....13
8.5 用語集.....13
9 Revision History.....13
10 Mechanical, Packaging, and Orderable Information.....13

Copyright © 2025 Texas Instruments Incorporated

4 Pin Configuration and Functions

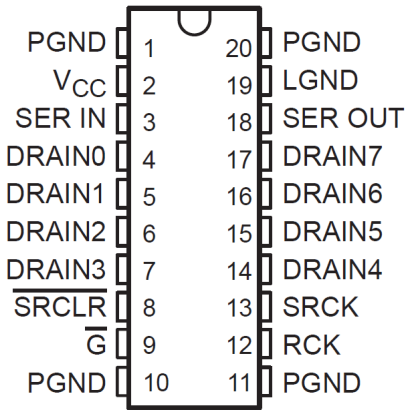


図 4-1. DW or N Package, 20-pin SOIC (Top- View)

表 4-1. Pin Functions

PIN		TYPE(1)	DESCRIPTION
NAME	NO.		
DRAIN0	4	O	Open-drain output
DRAIN1	5		
DRAIN2	6		
DRAIN3	7		
DRAIN4	14		
DRAIN5	15		
DRAIN6	16		
DRAIN7	17		
$\overline{G}$	9	I	Output enable, active-low
LGND	19	-	Logic ground
PGND	1, 10, 11, 20	-	Power ground
RCK	12	I	Register clock
SER IN	3	I	Serial data input
SER OUT	18	O	Serial data output
SRCK	13	I	Shift register clock
$\overline{SRCLR}$	8	I	Shift register clear, active-low
V_{CC}	2	I	Power supply

(1) P: Power Pin; I: Input Pin; I/O: Input/Output Pin; O: Output Pin.

Copyright © 2025 Texas Instruments Incorporated

5 Specifications

over operating free-air temperature range (unless otherwise noted)(1) (2)

5.1 Absolute Maximum Ratings

		MIN	MAX	UNIT
V_{CC}	Logic supply voltage		7	V
V_I	Logic input voltage range	-0.3	7	V
V_{DS}	Power DMOS drain-to-source voltage		45	V
	Continuous source-drain diode anode current		1	A
	Pulsed source-drain diode anode current		2	A
	Pulsed drain current, each output, all outputs on, see also (3)		750	mA
I_{Dn}	Continuous drain current, each output, all outputs on, T_A = 25°		250	mA
$I_{DM,}$	Peak drain current single output, T_A = 25°C (See (3))		2	A
E_{AS}	Single-pulse avalanche energy (See (4))		75	mJ
I_{AS}	Avalanche current (See (4))		1	A
	Continuous total power dissipation	see セクション 5.2		(5)
T_J	Operating virtual junction temperature range	-40	150	°C
T_{stg}	Storage temperature	−65	150	°C
	Lead temperature 1, 6mm (1/16 inch) from case for 10 seconds		260	°C

(1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
(2) All voltage values are with respect to network ground terminal GND.
(3) Pulse duration ≤ 100µs, duty cycle ≤ 2 %
(4) DRAIN supply voltage = 15V, starting junction temperature (TJS) = 25°C, L = 100mH, IAS = 1A (see 図 5-1).
(5) See Dissipation Table

5.2 Dissipation Rating Table

PACKAGE	T_C ≤ 25°C POWER RATING	DERATING FACTOR ABOVE T_C = 25°C	T_C = 125°C POWER RATING
DW	1125mW	9.0mW/°C	225mW
N	1150mW	9.2mW/°C	230mW

over operating free-air temperature range (unless otherwise noted)

5.3 Recommended Operating Conditions

		MIN	MAX	UNIT
V_{CC}	Logic supply voltage	4.5	5.5	V
V_{IH}	High-level input voltage	0.85V_{CC}		V
V_{IL}	Low-level input voltage		0.15V_{CC}	V
	Pulsed drain output current, T_C = 25°C, V_{CC} = 5V See ((1), (2))	-1.8	1.5	A
t_{su}	Setup time, SER IN high before SRCK ↑, see 図 6-2	10		ns
t_h	Hold time, SER IN high after SRCK ↑, see 図 6-2	10		ns
t_w	Pulse duration, see 図 6-2	20		ns
T_C	Operating case temperature	-40	125	°C

(1) Pulse duration ≤ 100µs, duty cycle ≤ 2%.

Copyright © 2025 Texas Instruments Incorporated

(2) Technique must limit $T_J - T_C$ to 10°C maximum.

over operating free-air temperature range (V_{CC} = 5V, T_C = 25°C, unless otherwise noted)

5.4 Electrical Characteristics

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$	Drain-source breakdown voltage	I_D = 1mA		45			V
V_{SD}	Source-drain diode forward voltage	I_F = 250mA, see (1)			0.85	1	V
V_{OH}	High-level output voltage,High-level output voltage, SER OUT	I_{OH} = −20mA, V_{CC} = 4.5V		4.4	4.49		V
		I_{OH} = −4mA, V_{CC} = 4.5V		4.1	4.3		
V_{OL}	Low-level output voltage, SER OUT	I_{OH} = 20mA, V_{CC} = 4.5V			0.002	0.1	V
		I_{OH} = 4mA, V_{CC} = 4.5V			0.2	0.4	
$V_{(hys)}$	Input hysteresis	V_{DS} = 15V			1.3		V
I_{IH}	High-level input current	V_{CC} = 5.5V, V_I = V_{CC}				1	µA
I_{IL}	Low-level input current	V_{CC} = 5.5V, V_I = 0				-1	µA
I_{CCL}	Logic supply current	IO = 0, All inputs low			15	100	µA
$I_{CC(FRQ)}$	Logic supply current frequency	f_{SRCK} = 5MHz, IO = 0, CL = 30pF	See 図 6-1, 図 6-2, and 図 5-2		0.6	5	mA
I_N	Nominal current	$V_{DS(on)}$ = 0.5V, I_N = I_D, T_C = 85°C.	See (2), (3), and (4)		250		mA
I_{DSX}	Off-state drain current	V_{DS} = 40V			0.05	1	µA
		V_{DS} = 40V; T_C = 125°C			0.15	5	
$r_{DS(on)}$	Static drain-source on-state resistance	I_D = 250mA, V_{CC} = 4.5V	See (2), (3), 図 5-5 and 図 5-6		1.3	2	Ω
		I_D = 250mA, V_{CC} = 4.5V, T_C = 125°C.			2	3.2	
		I_D = 500mA, V_{CC} = 4.5V			1.3	2	

(1) Pulse duration ≤ 100µs, duty cycle ≤ 2%.
(2) Technique must limit $T_J - T_C$ to 10°C maximum.
(3) These parameters are measured with voltage-sensing contacts separate from the current-carrying contacts.
(4) Nominal current is defined for a consistent comparison between devices from different sources. The current produces a voltage drop of 0.5V at T_C = 85°C.

over operating free-air temperature range (unless otherwise noted)

5.5 Switching Characteristics

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output from $\overline{G}$	C_{LL} = 30pF = 30pF, I_{DD} = 250mA, See 図 6-1, 図 6-2, and 図 5-7		650		ns
t_{PHL}	Propagation delay time, high-to-low-level output from $\overline{G}$			200		ns
t_r	Rise time, drain output			230		ns
t_f	Fall time, drain output			170		ns
t_{PD}	Propagation delay time, SRCK ↓ to SER OUT	C_L= 30pF, I_D= 250mA, See (3)		50		ns
f_{SRCK}	Serial clock frequency	C_L= 30pF, I_D= 250mA, See 図 6-2			5	MHz
t_a	Reverse-recovery-current rise time	I_{FF} = 250mA, di/dt = 20A/µs. See (1), (2), and 図 6-3		100		ns
t_{rr}	Reverse-recovery time			300		

(1) Technique must limit $T_J - T_C$ to 10°C maximum.
(2) These parameters are measured with voltage-sensing contacts separate from the current-carrying contacts.

Copyright © 2025 Texas Instruments Incorporated

(3) This is the maximum serial clock frequency assuming cascaded operation where serial data is passed from one stage to a second stage. The clock period allows SRCK → SER OUT propagation delay and setup time plus some timing margin

5.6 Thermal Resistance Characteristics

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$	Thermal resistance, junction-to-ambient	DW	All eight outputs with equal power		111	°C/W
		N			108	

5.7 Typical Characteristics

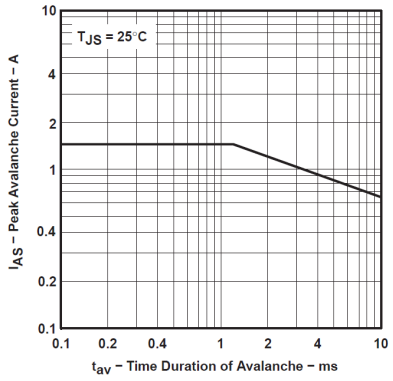


図 5-1. Peak Avalanche Current vs. Time Duration of Avalanche

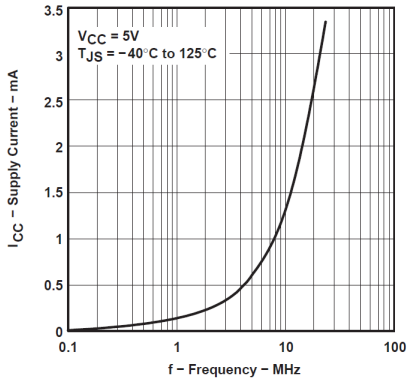


図 5-2. Supply Current vs. Frequency

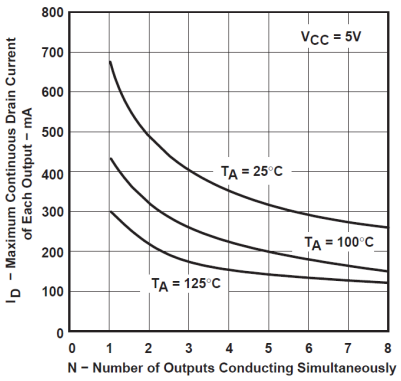


図 5-3. Maximum Continuous Drain Current of Each Output vs. Number Of Outputs Conducting Simultaneously

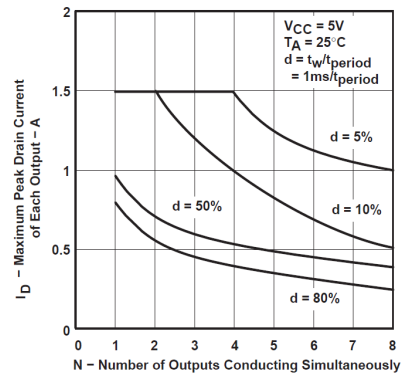


図 5-4. Maximum Peak Drain Current of Each Output vs. Number of Outputs Conducting Simultaneously

Copyright © 2025 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)

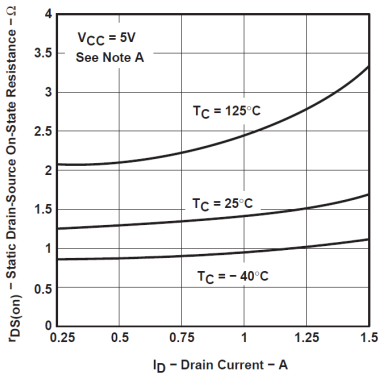


図 5-5. Static Drain-source On-state Resistance vs. Drain Current

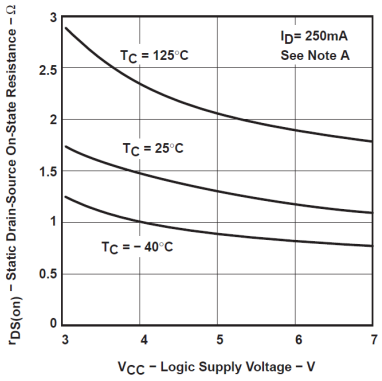


図 5-6. Static Drain-source On-state Resistance vs. Logic Supply Voltage

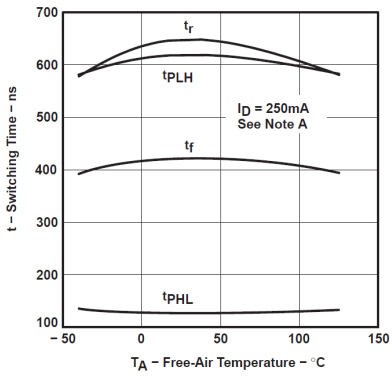
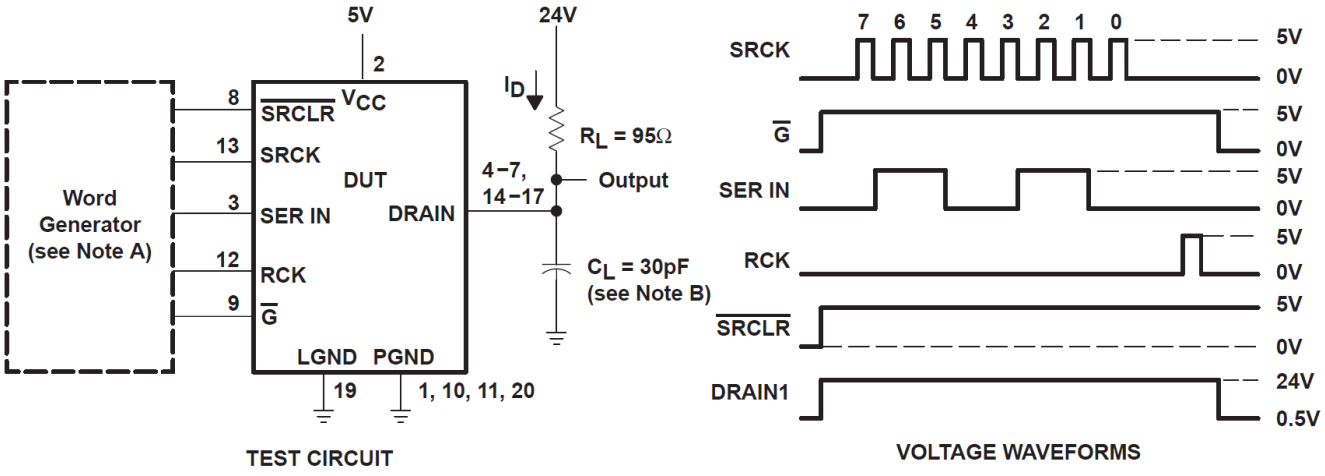


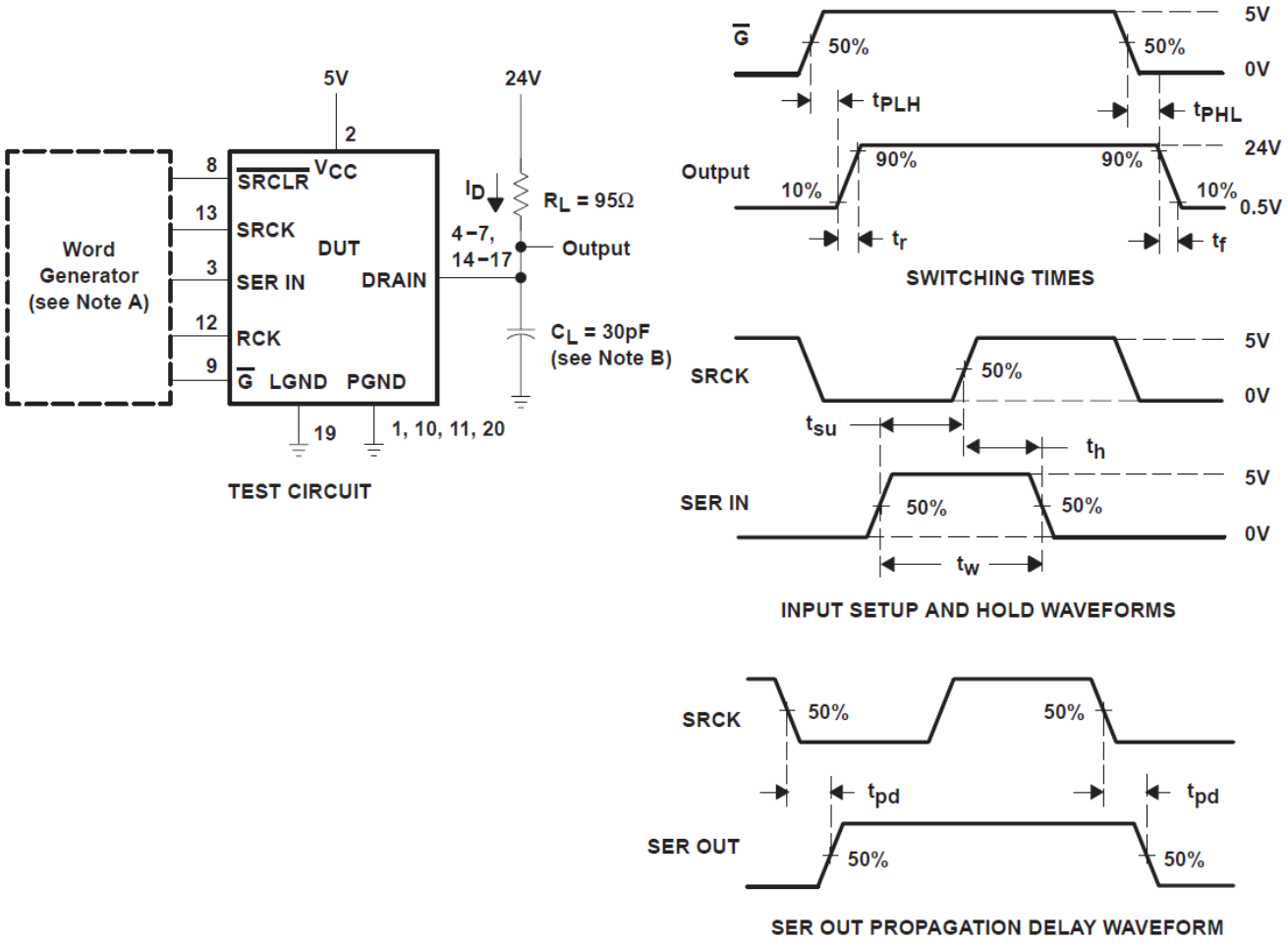
図 5-7. Switching Time vs. Free-air Temperature

6 Parameter Measurement Information



A. Write data and read data are valid only when RCK is low

図 6-1. Resistive Load Operation

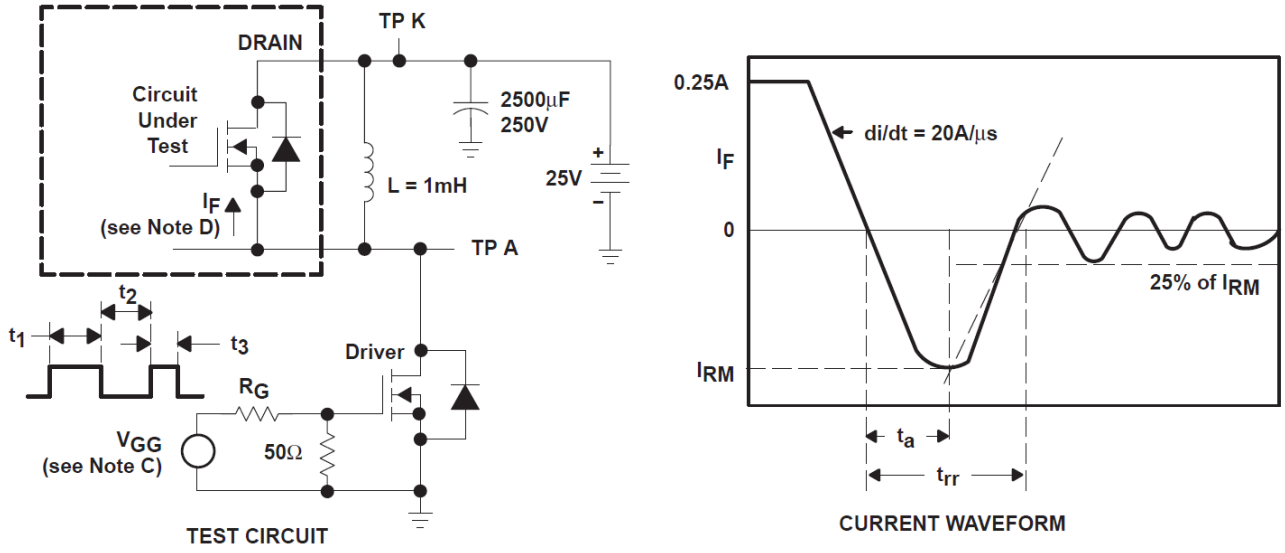


A. C_L includes probe and jig capacitance.

Copyright © 2025 Texas Instruments Incorporated

B. Outputs DRAIN 1, 2, 5, and 6 low (PGND), all other DRAIN outputs are at 24V. The word generator has the following characteristics: $t_r \le 10ns$, $t_f \le 10ns$, $t_w = 300ns$, pulsed repetition rate (PRR) = 5kHz, ZO = 50Ω.

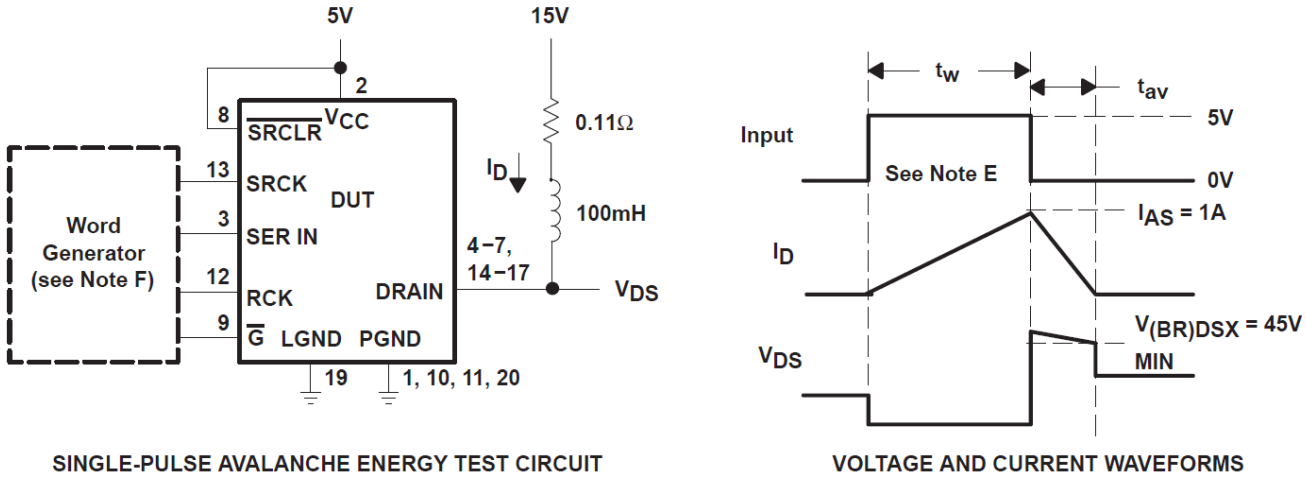
図 6-2. Test Circuit, Switching Times, and Voltage Waveforms



A. The V_{GG} amplitude and R_G are adjusted for di/dt = 20A/µs. A V_{GG} double-pulse train is used to set I_F = 0.25A, where t_1 = 10µs, t_2 = 7µs, and t_3 = 3µs.

B. The DRAIN terminal under test is connected to the TP K test point. All other terminals are connected together and connected to the TP A test point.

図 6-3. Reverse-Recovery-Current Test Circuit and Waveforms of Source-Drain Diode



A. The word generator has the following characteristics: $t_r \le 10ns$, $t_f \le 10ns$, $Z_O = 50Ω$.

B. Input pulse duration, t_w, is increased until peak current I_{AS} = 1A. Energy test level is defined as $E_{AS} = I_{AS} \times V_{(BR)DSX} \times t_{av}/2$ = 75mJ, where t_{av} = avalanche time.

図 6-4. Single-Pulse Avalanche Energy Test Circuit and Waveforms

Copyright © 2025 Texas Instruments Incorporated

7 Detailed Description

7.1 Overview

The TPIC6596 is a monolithic, high-voltage, highcurrent power 8-bit shift register designed for use in systems that require relatively high load power. The device contains a built-in voltage clamp on the outputs for inductive transient protection. Power driver applications include relays, solenoids, and other medium-current or high-voltage loads.

7.2 Functional Block Diagram

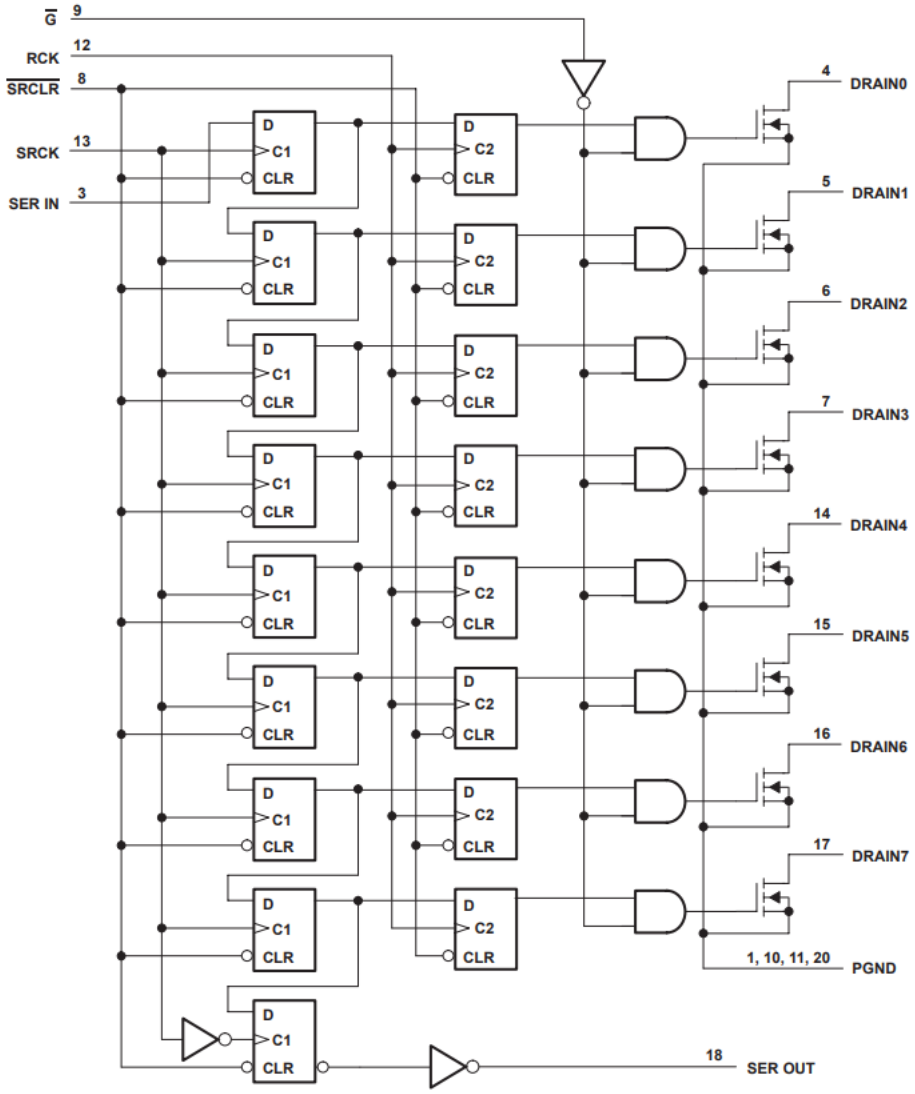
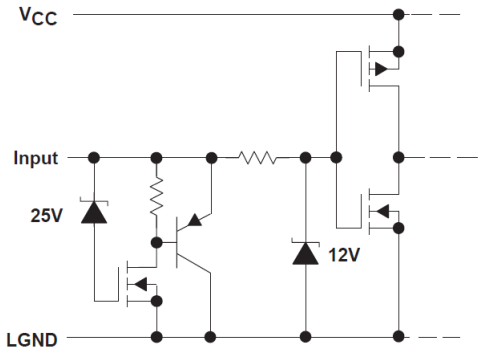
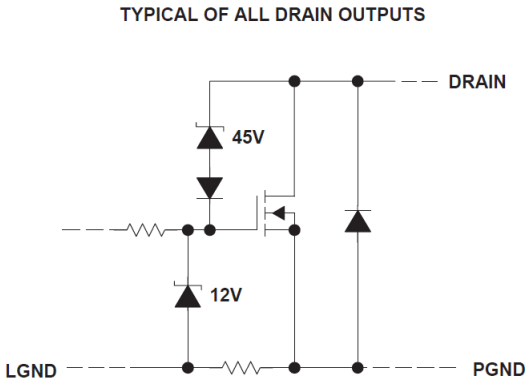


図 7-1. Functional Block Diagram

Copyright © 2025 Texas Instruments Incorporated



Equivalent of Each Input Schematic



Typical of All Drain Outputs Schematic

7.3 Feature Description

7.3.1 Serial-In Interface

This device contains an 8-bit serial-in, parallel-out shift register that feeds an 8-bit D-type storage register. Data transfers through both the shift and storage registers on the rising edge of the shift-register clock (SRCK) and the register clock (RCK) respectively. Write data and read data are valid only when RCK is low. The storage register transfers data to the output buffer when shift register clear ($\overline{\text{SRCLR}}$) is high.

7.3.2 Clear Register

A logical low on ($\overline{\text{SRCLR}}$) clears all registers in the device. TI suggests clearing the device during power up or initialization.

7.3.3 Output Control

When output enable (G) is held high, all data in the output buffers is held low and all drain outputs are off. Holding ($\overline{\text{G}}$) low makes data from the storage register transparent to the output buffers. When data in the output buffers is low, the DMOS transistor outputs are OFF. When data is high, the DMOS transistor outputs have sink-current capability. This pin can also be used for global PWM dimming.

7.3.4 Cascaded Application

The serial output (SER OUT) is clocked out of the device on the falling edge of SRCK to provide additional hold time for cascaded applications. This will provide improved performance for applications where clock signals may be skewed, devices are not located near one another, or the system must tolerate electromagnetic interference. Connect the device (SER OUT) pin to the next device (SER IN) for daisy Chain.

Copyright © 2025 Texas Instruments Incorporated

7.3.5 Current Limit Function

Outputs are low-side, open-drain DMOS transistors with output ratings of 45V and 250mA continuous sink current capability

7.4 Device Functional Modes

7.4.1 Operating with V_{cc} < 4.5V

This device works normally during 4.5V ≤ V_{cc} ≤ 5.5V, when operation voltage is lower than 4.5V, correct behavior of the device, including communication interface and current capability, is not assured.

7.4.2 Operating with 5.5V < V_{cc} ≤ 7V

The device works normally in this voltage range, but reliability issues can occur if the device works for a long time in this voltage range.

Copyright © 2025 Texas Instruments Incorporated

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (April 2000) to Revision B (March 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• Changed $\overline{\text{SRCLR}}$ timing diagram	8

Changes from Revision * (May 2005) to Revision A (April 2000)	Page
• $\overline{\text{SRCLR}}$ タイミング図を変更	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPIC6596DWG4	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-	
TPIC6596DWRG4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	TPIC6596
TPIC6596DWRG4.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6596
TPIC6596N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6596N
TPIC6596N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6596N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

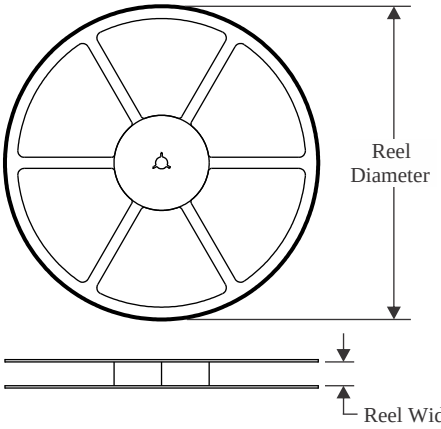
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

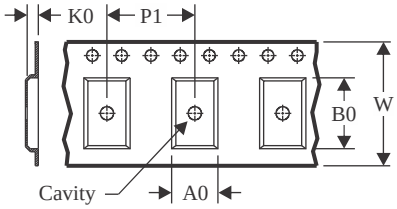
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

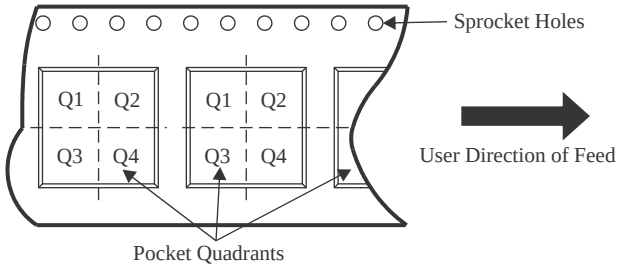


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

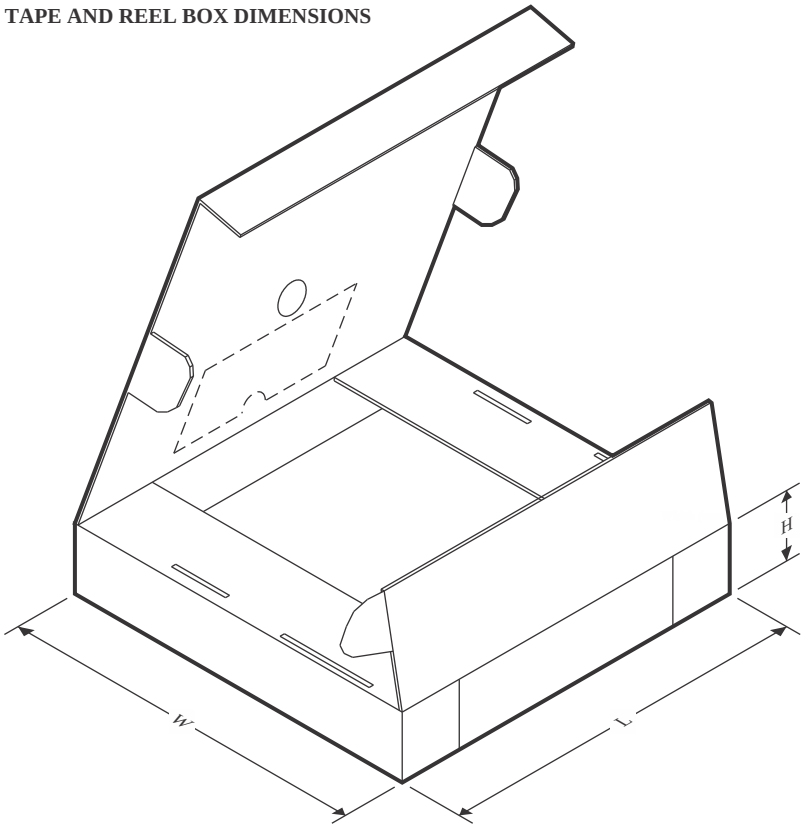
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPIC6596DWRG4	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
TPIC6596DWRG4	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

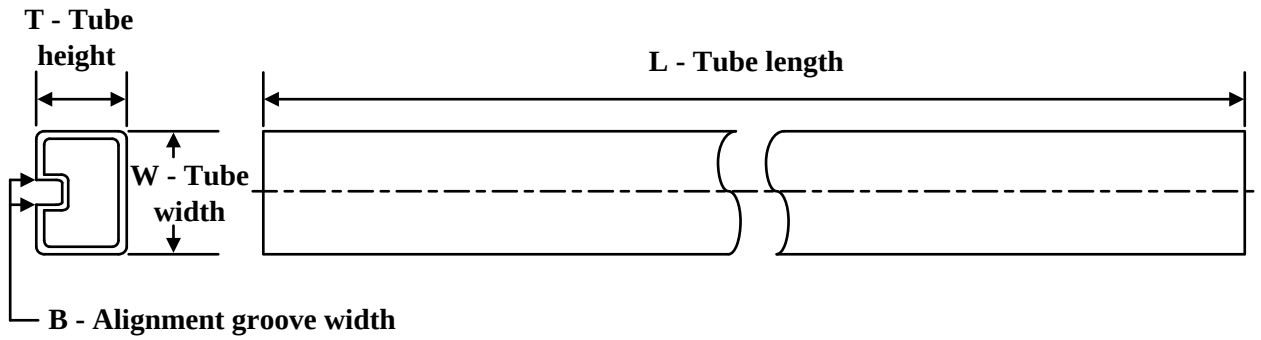
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPIC6596DWRG4	SOIC	DW	20	2000	350.0	350.0	43.0
TPIC6596DWRG4	SOIC	DW	20	2000	350.0	350.0	43.0

TUBE



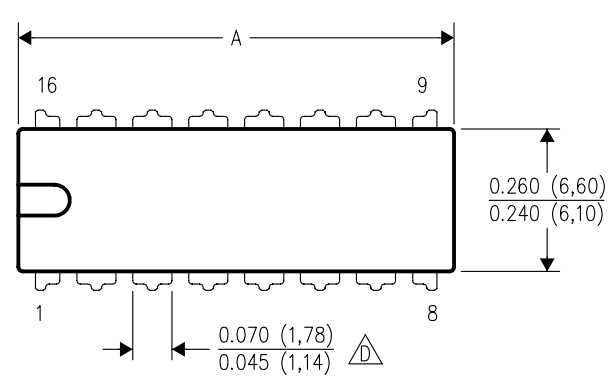
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPIC6596N	N	PDIP	20	20	506	13.97	11230	4.32
TPIC6596N.A	N	PDIP	20	20	506	13.97	11230	4.32

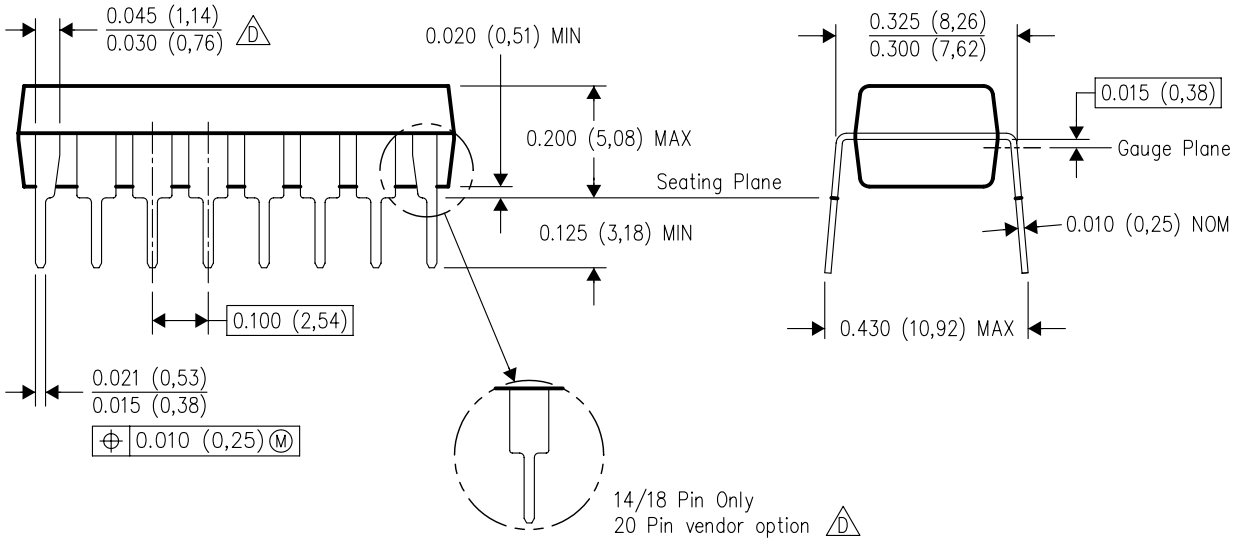
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

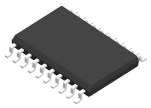


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

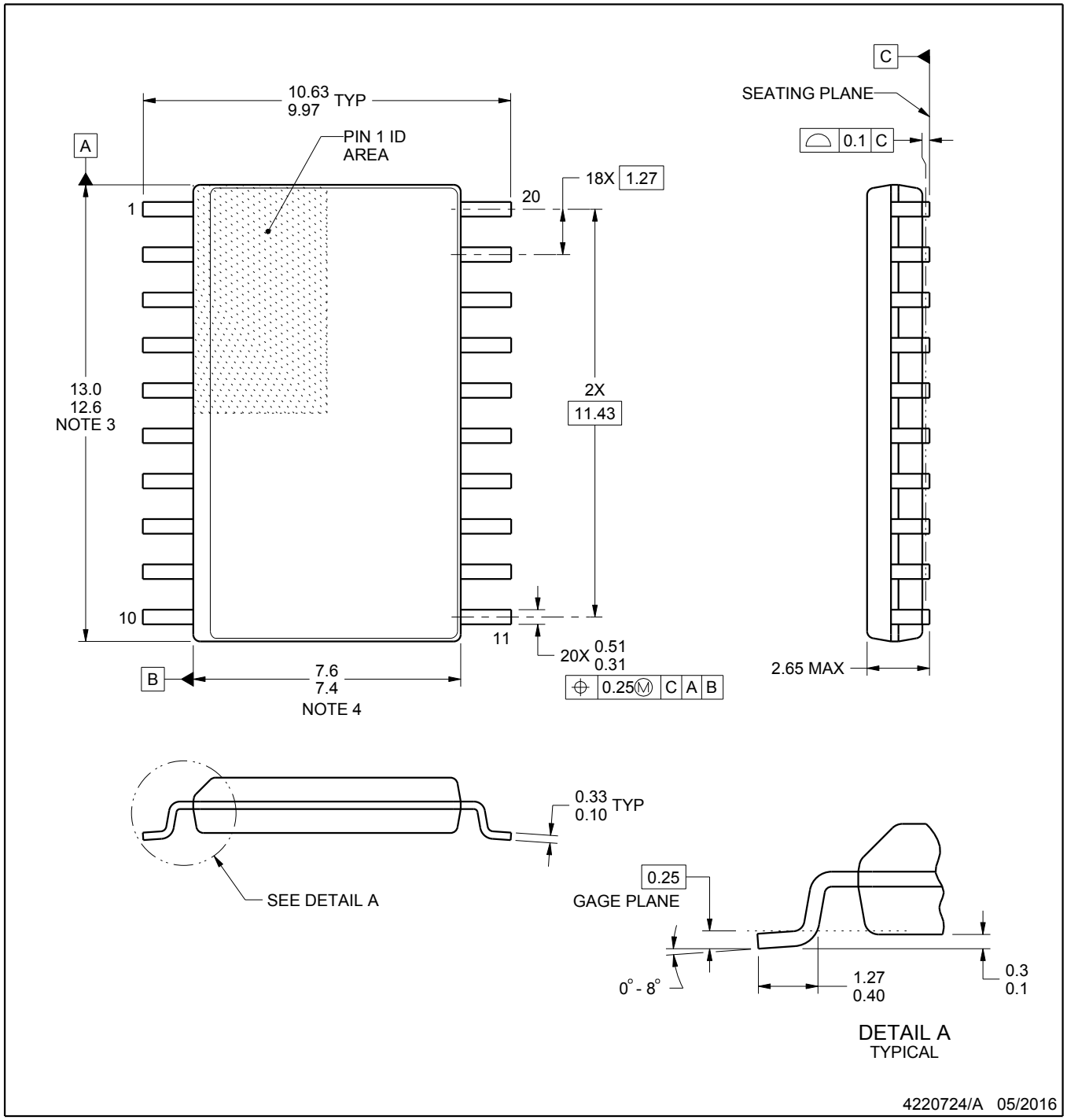


PACKAGE OUTLINE

DW0020A

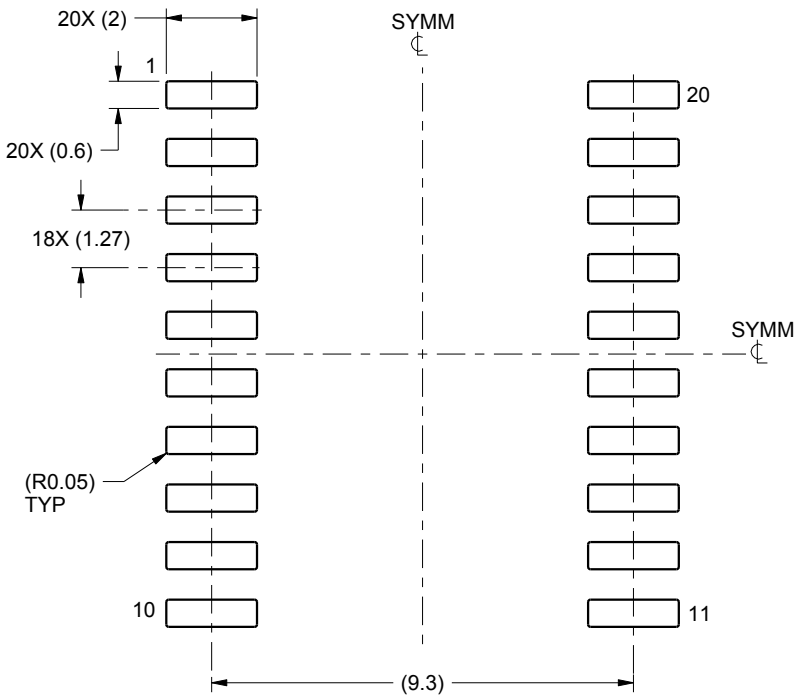
SOIC - 2.65 mm max height

SOIC

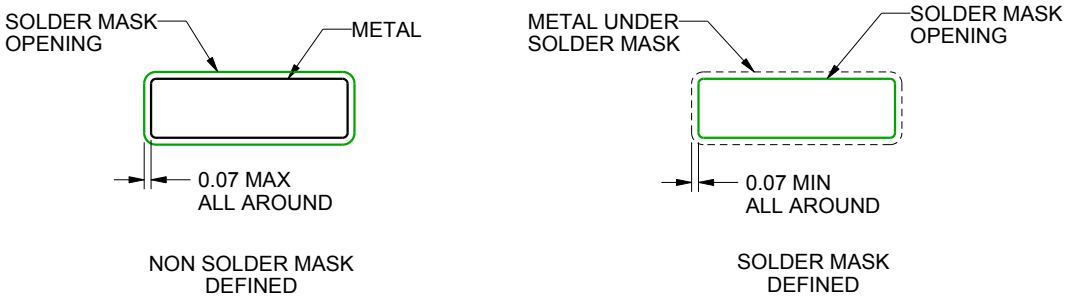


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

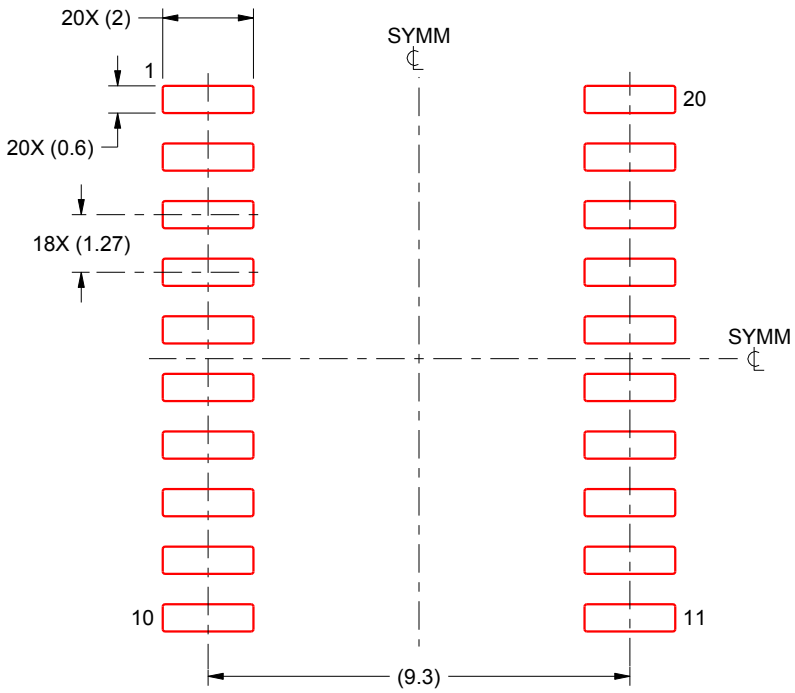


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月