TPIC6A596 パワー ロジック 8 ビット シフト レジスタ

1 特長

- 低い $r_{DS(on)}$：1Ω（代表値）
- 出力短絡保護
- アバランシェ エネルギー：75mJ
- 8 つの 350mA DMOS 出力
- 50V スイッチング能力
- 拡張カスケードにより複数段可能
- 単一の入力ですべてのレジスタをクリア
- 低消費電力

2 アプリケーション

- メーター クラスター
- インジケーター ランプ
- LED 照明および制御
- 車載リレーまたはソレノイド ドライバ

3 概要

TPIC6A596 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するために設計されたモノリシック、高電圧、中電流出力の 8 ビット シフト レジスタです。本デバイスは、誘導性過渡保護のために電圧クランプを出力に組み込んでいます。パワー ドライバ アプリケーションには、リレー、ソレノイド、その他の中電流または高電圧負荷が含まれています。各オープン ドレイン DMOS トランジスタは、短絡発生時の損傷を防止するために独立したチョッピング電流制限回路を備えています。

このデバイスには、8 ビットのシリアル イン、パラレル アウトのシフト レジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。データ転送は、シフト レジスタとストレージ レジスタのどちらを経由するにしても、シフト レジスタ クロック（SRCK）とレジスタ クロック（RCK）の立ち上がりエッジで行われます。ストレージ レジスタは、シフト レジスタ クリア（$\overline{\text{SRCLR}}$）が HIGH のとき、出力バッファへデータを転送します。書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。$\overline{\text{SRCLR}}$ が LOW の場合、デバイスのすべてのレジスタがクリアされます。出力イネーブル（$\overline{\text{G}}$）が HIGH に保持されると、出力バッファのすべてのデータが LOW に保持され、すべてのドレイン出力がオフになります。$\overline{\text{G}}$ を LOW に保持すると、ストレージ レジスタのデータが出力バッファへ透過的になります。シリアル出力（SER OUT）は、カスケード接続されたアプリケーションに追加のホールドタイムを提供するために、SRCK の立ち下がりエッジでデバイスからクロックアウトされます。これにより、クロック信号にスキューが生じたり、デバイスが互いに近接していなかったり、システムが電磁妨害を許容しなければならない場合、このアプリケーションのパフォーマンスが向上します。

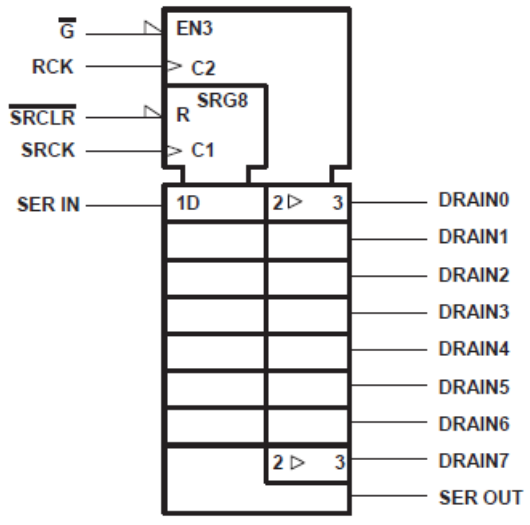
出力は、50V の出力定格と 350mA の連続シンク電流能力を持つローサイド オープン ドレイン DMOS トランジスタです。出力バッファのデータが LOW のとき、DMOS トランジスタの出力がオフになります。データが HIGH のとき、DMOS トランジスタ出力はシンク電流能力を持つようになります。

システムの柔軟性を最大限に高めるため、電源グランド（PGND）端子とロジックグランド（LGND）端子を個別に用意しています。PGND 端子はすべて内部で接続されており、寄生インピーダンスを最小限に抑えるため、各 PGND 端子は電源システムのグランドに外部で接続する必要があります。LGND と PGND 間のシングルポイント接続は、ロジック回路と負荷回路のクロストークを低減する方法により外部的に行う必要があります。

TPIC6A596 は、熱特性を強化したデュアルインライン（NE）パッケージと幅広表面実装（DW）パッケージで提供します。TPIC6A596 デバイスは、動作ケース温度範囲 -40℃～125℃ 全体での動作が規定されています。

表 3-1. 製品情報

部品番号	パッケージ	本体サイズ（標準）
TPIC6A596	PDIP(20)	24.00mm × 6.86mm
	SOIC(24)	15.40mm × 7.50mm



この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。

論理記号

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....2
5 仕様.....4
5.1 絶対最大定格.....4
5.2 許容損失表.....4
5.3 推奨動作条件.....4
5.4 電気的特性.....5
5.5 スイッチング特性.....6
5.6 熱抵抗.....6
5.7 代表的特性.....6
6 パラメータ測定情報.....8
7 詳細説明.....12
7.1 概要.....12
7.2 機能ブロック図.....12
7.3 機能説明.....13
8 デバイスの機能モード.....14
8.1 V_{cc} < 4.5V での動作.....14
8.2 5.5V < V_{cc} ≤ 7V での動作.....14
9 デバイスおよびドキュメントのサポート.....15
9.1 ドキュメントのサポート.....15
9.2 ドキュメントの更新通知を受け取る方法.....15
9.3 サポート・リソース.....15
9.4 商標.....15
9.5 静電気放電に関する注意事項.....15
9.6 用語集.....15
10 改訂履歴.....15
11 メカニカル、パッケージ、および注文情報.....16

4 ピン構成および機能

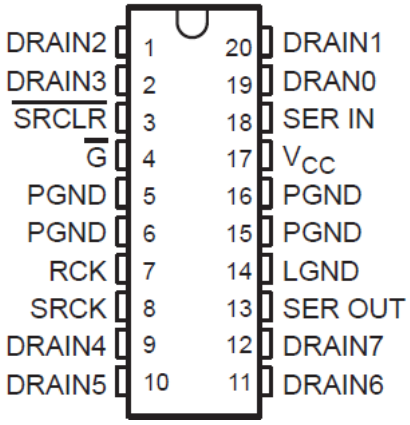


図 4-1. NE パッケージ、20 ピン PDIP 上面図

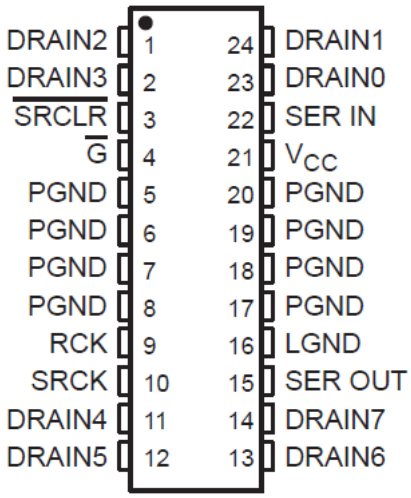


図 4-2. DW パッケージ、24 ピン SOIC 上面図

Copyright © 2025 Texas Instruments Incorporated

ピン機能

表 4-1. PDIP ピンの機能

ピン		I/O	説明
名称	番号		
DRAIN0	19	O	オープンドレイン出力
DRAIN1	20		
DRAIN2	1		
DRAIN3	2		
DRAIN4	9		
DRAIN5	10		
DRAIN6	11		
DRAIN7	12		
$\overline{G}$	4	I	出力イネーブル、アクティブロー
PGND	5、6、15、16	-	電源グランド
LGND	14	-	接地線
RCK	7	I	レジスタ クロック
SERIN	18	I	シリアル データ入力
SEROUT	13	O	シリアル データ出力
SRCK	8	I	シフト レジスタ クロック
$\overline{SRCLR}$	3	I	シフトレジスタクリア、アクティブロー
VCC	17	I	電源

表 4-2. SOIC ピンの機能

ピン		I/O	説明
名称	番号		
DRAIN0	23	O	オープンドレイン出力
DRAIN1	24		
DRAIN2	1		
DRAIN3	2		
DRAIN4	11		
DRAIN5	12		
DRAIN6	13		
DRAIN7	14		
$\overline{G}$	4	I	出力イネーブル、アクティブロー
PGND	5、6、7、8、17、18、19、20	-	電源グランド
LGND	16	-	接地線
RCK	9	I	レジスタ クロック
SERIN	22	I	シリアル データ入力
SEROUT	15	O	シリアル データ出力
SRCK	10	I	シフト レジスタ クロック
$\overline{SRCLR}$	3	I	シフトレジスタクリア、アクティブロー
VCC	21	I	電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

(特に注記のない限り) ケースの推奨動作温度範囲以上(1)

			最小値	最大値	単位
V_{CC}	ロジック電源電圧(2)			7	V
V_I	ロジック入力電圧範囲		-0.3	7	V
V_{DS}	パワー DMOS のドレイン-ソース間電圧(3)			50	V
	ソース-ドレイン間ダイオードの連続アノード電流			1	A
	ソース-ドレイン間ダイオードのアノード側パルス電流(4)			2	A
I_{Dn}	パルス・ドレイン電流、各出力、すべての出力がオン(4)	T_A = 25℃		1.1	A
I_{Dn}	連続ドレイン電流、各出力、すべての出力がオン	T_A = 25℃		350	mA
	ピークドレイン電流、シングル出力(4)	T_A = 25℃		1.1	A
E_{AS}	シングルパルスアバランシェエネルギー (図 6-6 を参照)			75	mJ
I_{AS}	アバランシェ電流(5)			600	mA
	連続総許容損失		セクション 5.2 を参照		
T_C	動作ケース温度範囲		-40	125	℃
T_J	動作接合部温度範囲		-40	150	℃
T_{stg}	保管温度範囲		-65	150	℃
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間			260	℃

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) すべての電圧値は、ネットワークの LGND と PGND を基準としたものです。
(3) 各パワー DMOS ソースは、内部で PGND に接続されています。
(4) パルス持続時間 ≤ 100µs、デューティ サイクル ≤ 2%。
(5) ドレイン電源電圧=15V、開始接合部温度 (T_{JA}) = 25°C、L = 210mH、I_{AS} = 600mA (図 6-6 を参照)。

5.2 許容損失表

パッケージ	T_C ≤ 25℃ の電力定格	T_C = 25℃ を超える場合のディレーティング係数	T_C = 125℃ の電力定格
DW	1750mW	14 mW/℃	350mW
NE	2500mW	20 mW/℃	500mW

5.3 推奨動作条件

		最小値	最大値	単位
V_{CC}	ロジック電源電圧	4.5	5.5	V
V_{IH}	High レベル入力電圧	0.85V_{CC}	V_{CC}	V
V_{IL}	Low レベル入力電圧	0	0.15V_{CC}	V
	パルスドレイン出力電流、T_C = 25°C、V_{CC} = 5V(1) (2)	-1.8	0.6	A
t_{su}	セットアップ時間、SRCK 前の SER IN HIGH (図 6-2 を参照)	10		ns
t_h	ホールド時間、SRCK 後の SER IN HIGH (図 6-2 を参照)	10		ns
t_w	パルス持続時間 (図 6-2 を参照)	20		ns
T_C	動作時のケース温度	-40	125	℃

(1) パルス持続時間 ≤ 100µs、デューティ サイクル ≤ 2%
(2) 技術的には、TJ− TC を最大でも 10°C までに制限する必要があります。

Copyright © 2025 Texas Instruments Incorporated

5.4 電気的特性

(特に注記のない限り) V_{CC} = 5V、T_C = 25℃

パラメータ		テスト条件			最小値	標準値	最大値	単位
$V_{(BR)DSX}$	ドレイン ソース間ブレークダウン電圧	I_D = 1mA			50			V
V_{SD}	ソース-ドレイン間ダイオードの順方向電圧	I_F = 350mA	(1) を参照			0.8	1.1	V
V_{OH}	H レベル出力電圧、SER OUT	I_{OH} = – 20µA			V_{CC} - 0.1	V_{CC}		V
		I_{OH} = – 4mA			V_{CC} - 0.5	V_{CC} - 0.2		
V_{OL}	L レベル出力電圧、SER OUT	I_{OL} = 20µA				0	0.1	V
		I_{OL} = 4mA				0.2	0.5	
I_{IH}	High レベル入力電流	V_I = V_{CC}					1	µA
I_{IL}	Low レベル入力電流	V_I = 0					-1	µA
$I_{O(chop)}$	チョッピングを開始する出力電流	T_C = 25°C、		図 6-3 および 図 6-4 (2) を参照	0.6	0.8	1.1	A
I_{CC}	ロジック供給電流	I_O = 0、		V_I = V_{CC} または 0		0.5	5	mA
$I_{CC(FRQ)}$	ロジック電源電流の周波数	f_{SRCK} = 5MHz、V_I = V_{CC} または 0、	I_O = 0、V_{CC} = 5V、	C_L = 30pF、図 5-1 を参照		1.3		mA
$I_{(nom)}$	公称電流	$V_{DS(on)}$ = 0.5V、V_{CC} = 5V、	$I_{(nom)}$ = I_D、	T_C = 85°C、		350		mA
			(2) (3) (4)を 参照					
I_D	ドレイン電流、オフ状態	V_{DS} = 40V、		T_C = 25°C		0.1	1	µA
		V_{DS} = 40V、		T_C = 125°C		0.2	5	
$r_{DS(on)}$	ドレイン - ソース間オン抵抗	I_D = 350mA、	T_C = 25°C	図 5-4 および 図 5-5 (2) (3) を参照		1	1.5	Ω
		I_D = 350mA、	T_C = 125°C			1.7	2.5	

(1) パルス持続時間 ≤ 100µs、デューティ サイクル ≤ 2%
(2) 技術的には、T_J - T_C を最大でも 10°C までに制限する必要があります。
(3) これらのパラメータは、電流端子とは別の電圧検知用の端子で測定されます。
(4) 定格電流は、異なるソースのデバイス間で一貫した比較を行うために定められています。これは、T_C = 85°C において 0.5V の電圧降下が発生する電流です。

Copyright © 2025 Texas Instruments Incorporated

5.5 スイッチング特性

V_{CC} = 5V、T_C = 25℃

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{PHL}	伝搬遅延時間、G からの出力立ち下がり	C_L = 30pF、図 6-1、図 6-2、図 6-5 を参照	I_D = 350mA、		30		ns
t_{PLH}	伝搬遅延時間、$\overline{G}$ からの出力立ち上がり				125		ns
t_r	立ち上がり時間、ドレイン出力				60		ns
t_f	立ち下がり時間、ドレイン出力				30		ns
t_{pd}	伝搬遅延時間、SRCK↓から SEROUT まで	C_L = 30pF、図 6-2 を参照	I_D = 350mA、		20		ns
$f_{(SRCK)}$	シリアル クロック周波数	C_L = 30pF、(3) を参照	I_D = 350mA、			10	MHz
t_a	逆回復電流の立ち上がり時間	I_F = 350mA、図 6-5 (1) (2) をご覧ください	di/dt = 20A/μs、		100		ns
t_{rr}	逆方向回復時間				300		ns

(1) 技術的には、T_J - T_C 最大でも 10°C までに制限する必要があります。
(2) これらのパラメータは、電流端子とは別の電圧検知用の端子で測定されます。
(3) これは、シリアルデータが 1 段目から 2 段目に渡されるカスケード動作を想定した場合の最大シリアルクロック周波数です。このクロック周期により、SRCK®SEROUT の伝搬遅延時間と、セットアップ時間にある程度のタイミングマージンを加えることが許容されます。

5.6 熱抵抗

パラメータ			テスト条件	最小値	最大値	単位
$R_{\theta JC}$	熱抵抗、接合部からケース	DW	8 つの出力はすべて均等出力		10	℃/W
		NE			10	
$R_{\theta JA}$	熱抵抗、接合部-周囲環境	DW	8 つの出力はすべて均等出力		50	℃/W
		NE			50	

5.7 代表的特性

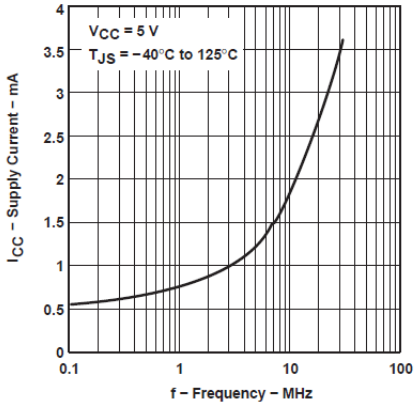


図 5-1. 電源電流と周波数との関係

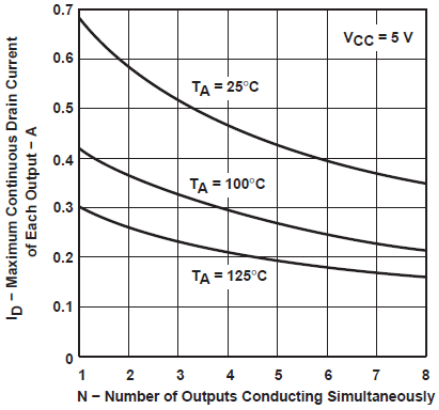


図 5-2. 各出力の最大連続ドレイン電流と、同時に導通する出力数との関係

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

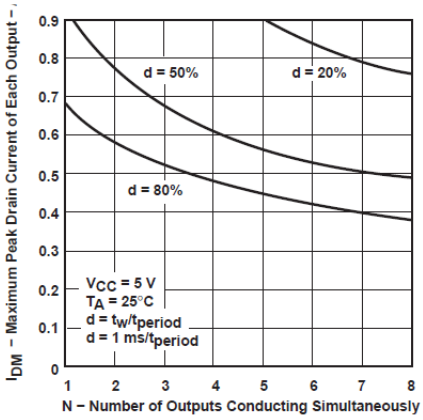
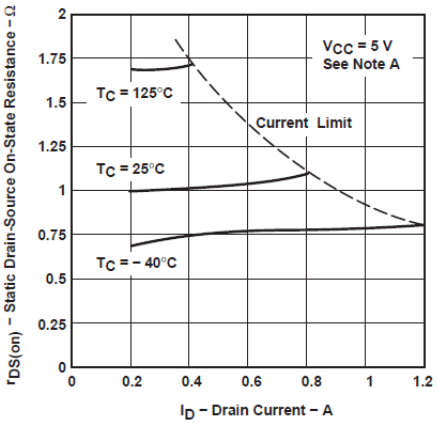
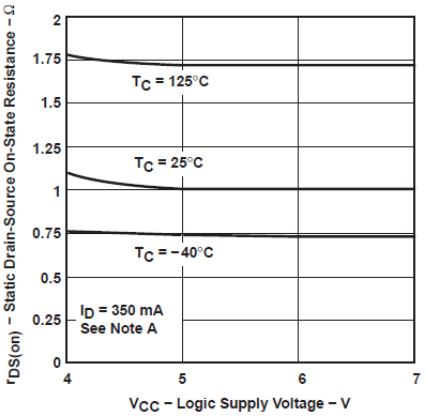


図 5-3. 各出力の最大ピークドレイン電流と同時に導通する出力数との関係



技術的には、T_J - T_C を最大でも 10°C までに制限する必要があります。

図 5-4. ドレインとソース間の静的オン抵抗とドレイン電流との関係



技術的には、T_J - T_C を最大でも 10°C までに制限する必要があります。

図 5-5. ドレイン-ソース間の静的オン抵抗とロジック電源電圧との関係

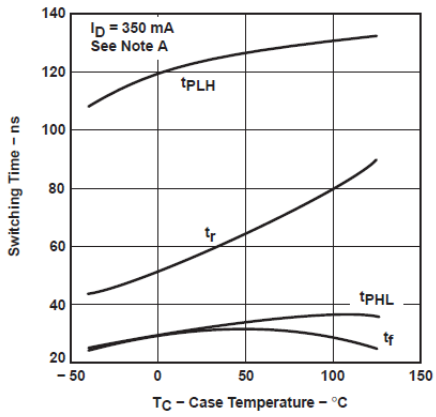


図 5-6. スイッチング時間とケース温度との関係

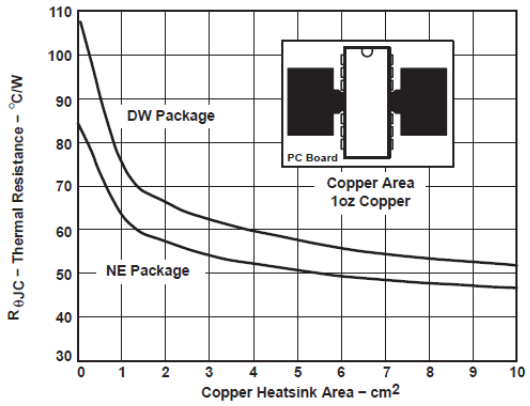
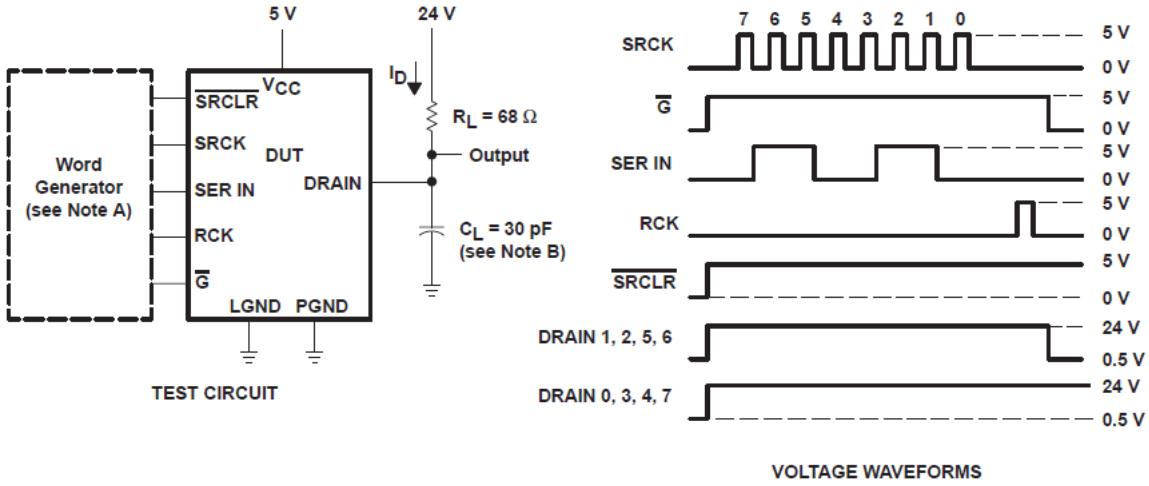


図 5-7. 標準 $R_{\theta JA}$ 熱抵抗とオンボードヒートシンク面積との関係

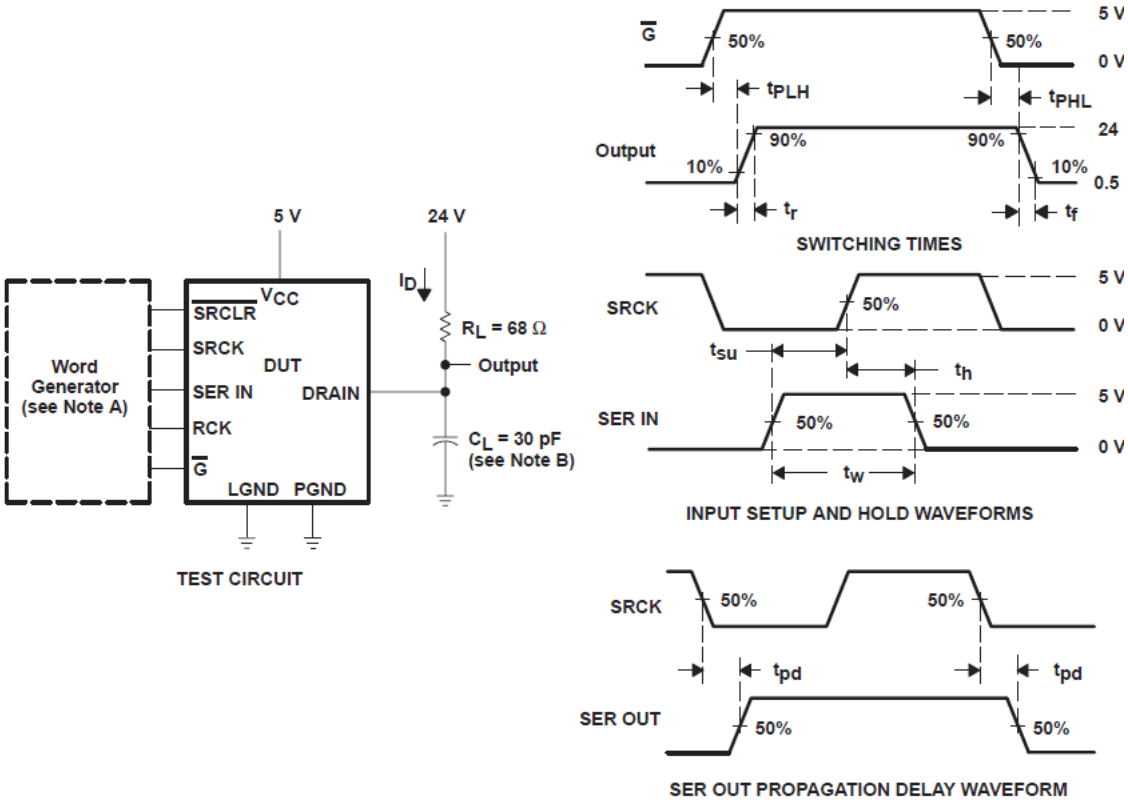
Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報



A. ワード ジェネレータには、t_r ≤ 10ns、t_f ≤ 10ns、t_w = 300ns、パルス反復レート(PRR) = 5kHz、Z_O = 50Ω といった特性があります。
B. C_L にはプローブと治具の容量が含まれます。
C. 書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。

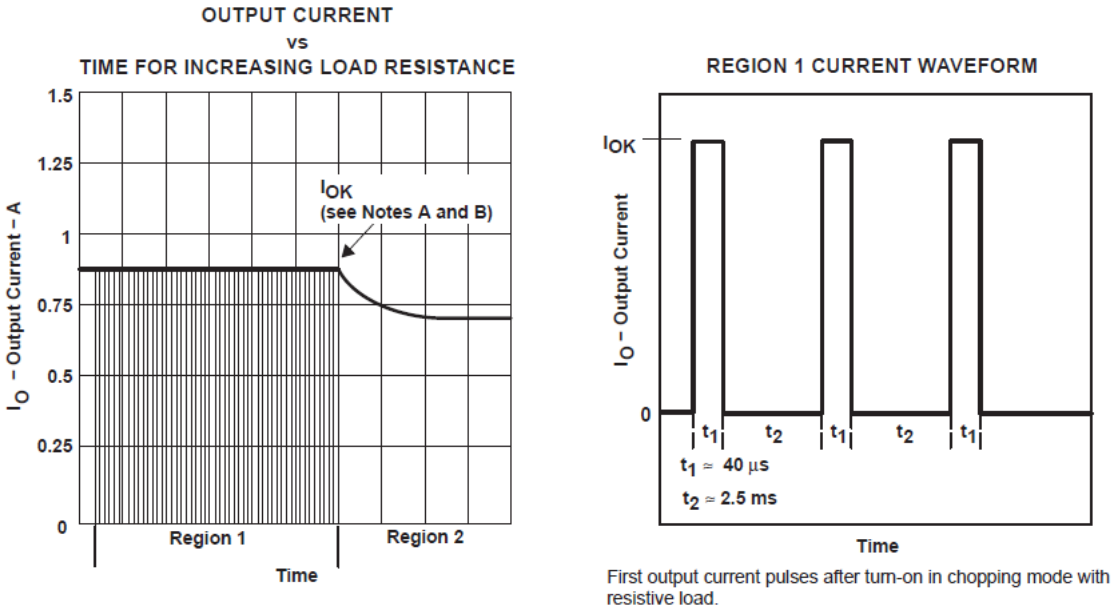
図 6-1. 抵抗負荷動作



A. ワード ジェネレータには、t_r ≤ 10ns、t_f ≤ 10ns、t_w = 300ns、パルス反復レート(PRR) = 5kHz、Z_O = 50Ω といった特性があります。
B. C_L にはプローブと治具の容量が含まれます。

図 6-2. テスト回路、各スイッチング時間、および電圧波形

Copyright © 2025 Texas Instruments Incorporated



A. 上の図は、白熱灯のように最初は抵抗が低く、抵抗が増加していく負荷に通電させるデバイスの出力電流特性を示しています。領域 1 ではチョッピングが発生し、ピーク電流は I_{OK} に制限されます。領域 2 では、出力電流は連続です。最初は抵抗が高く、抵抗が減少していく負荷に通電させるデバイスでは、この同じ特性が逆の順序で発生します。

B. 領域 1 のデューティサイクルは約 2%です。

図 6-3. チョッピングモード特性

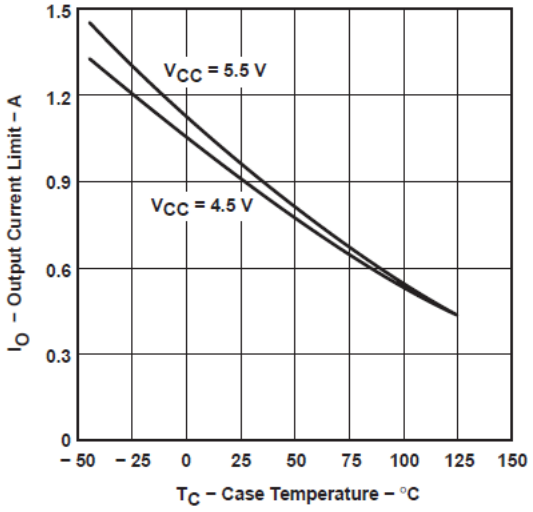
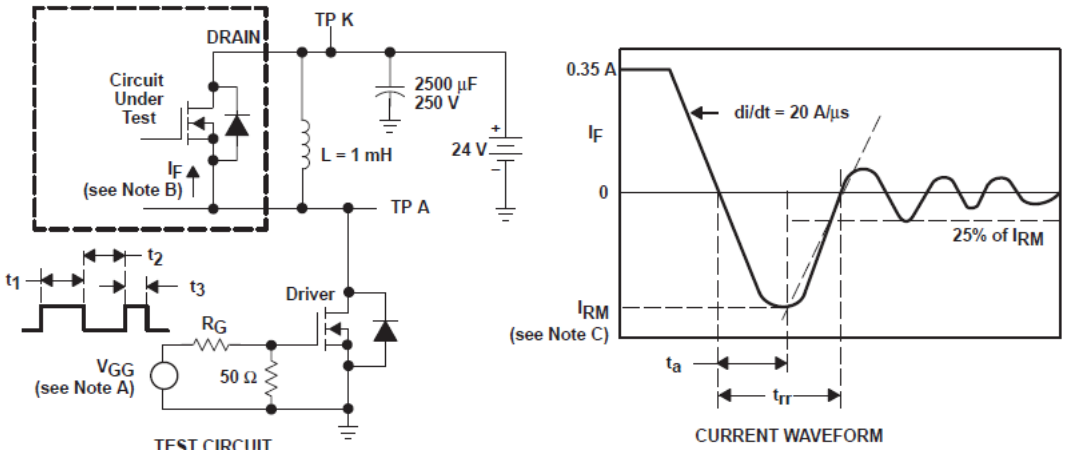


図 6-4. 出力電流制限とケース温度との関係

Copyright © 2025 Texas Instruments Incorporated

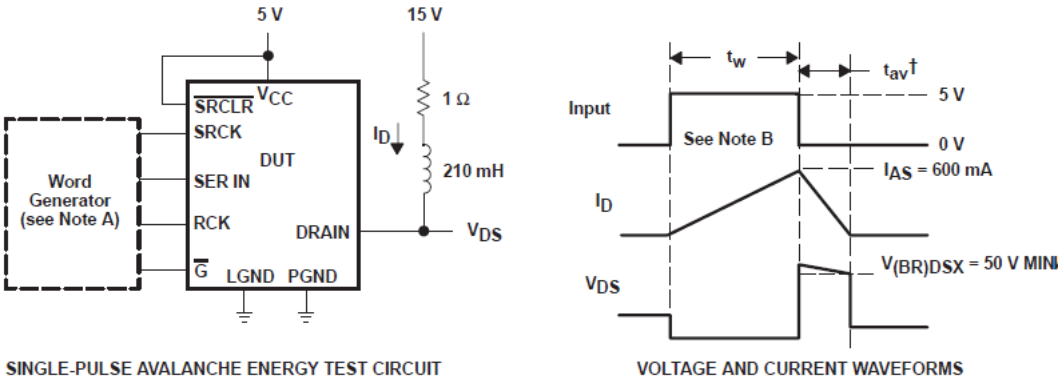


A. di/dt = 20A/µs に合わせて、V_{GG} の振幅と R_G を調整します。I_F = 0.35A を設定するために、V_{GG} のダブルパルス列を使用しますが、その場合、t_1 = 10µs、t_2 = 7µs、t_3 = 3µs となります。

B. テスト対象のドレイン端子は、TP K テストポイントに接続されています。その他の端子はすべて互いに接続され、TPA テストポイントに接続されています。

C. I_{RM} = 最大リカバリ電流。

図 6-5. 逆回復電流テスト回路とソースドレインダイオードの波形



A. アバランシェ期間を示す JEDEC 以外のシンボル。

B. ワード ジェネレータの特性は次の通りです：t_r ≤ 10ns、t_f ≤ 10ns、Z_O = 50Ω。

C. 入力パルス幅 t_w は、ピーク電流が I_{AS} = 600mA になるまで増加します。
エネルギーテストレベルは、$E_{AS} = (i_{AS} \times V_{(BR)DSX} \times t_{av})/2$ = 75mJ と定義されています。

図 6-6. シングルパルスアバランシェエネルギーのテスト回路と波形

Copyright © 2025 Texas Instruments Incorporated

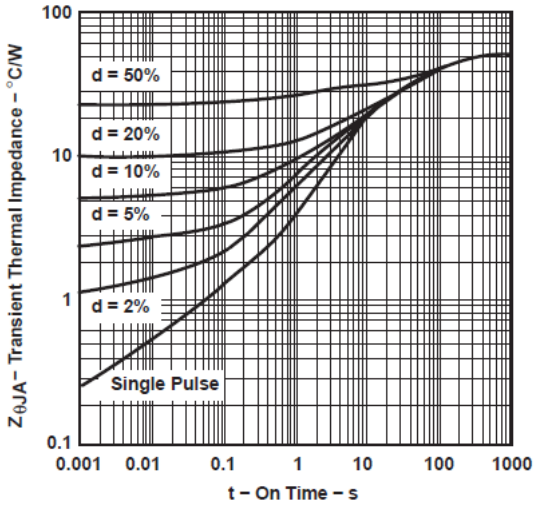


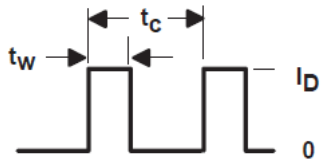
図 6-7. NE パッケージの過渡熱インピーダンスとオン時間との関係

シングルパルスの曲線は測定データを表しています。さまざまなパルス持続時間の曲線は、次の式に基づいています。

$$Z_{\theta JA} = \left|\frac{t_W}{t_C}\right| R_{\theta JA} + \left|1 - \frac{t_W}{t_C}\right| Z_\theta(t_W + t_C) + Z_\theta(t_W) - Z_\theta(t_C) \quad (1)$$

ここで

- $Z_\theta(t_W)$ = シングルパルスの熱インピーダンス Fort = t_W 秒
- $z_\theta(t_C)$ = t_C 秒間のシングルパルス熱インピーダンス
- $z_\theta(t_W + t_C)$ = $t_W + t_C$ 秒におけるシングルパルスの熱インピーダンス
- $d = t_W/t_C$

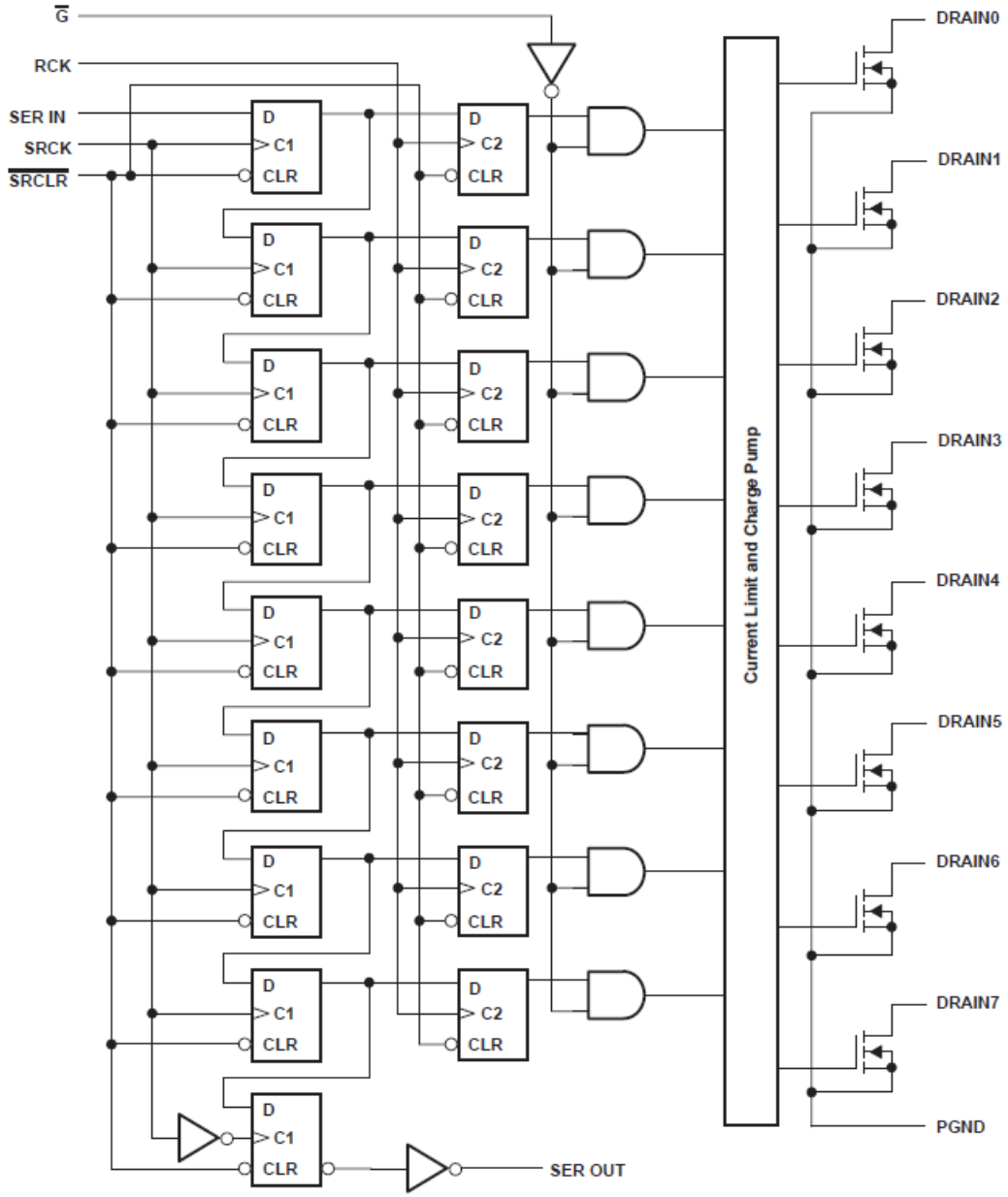


7 詳細説明

7.1 概要

TPIC6A596 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するために設計されたモノリシック、高電圧、中電流出力の 8 ビット シフトレジスタです。このデバイスは、誘導性過渡保護用として出力に電圧クランプが組み込まれているため、リレー、ソレノイド、その他の中電流または高電圧負荷も駆動できます。

7.2 機能ブロック図



機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

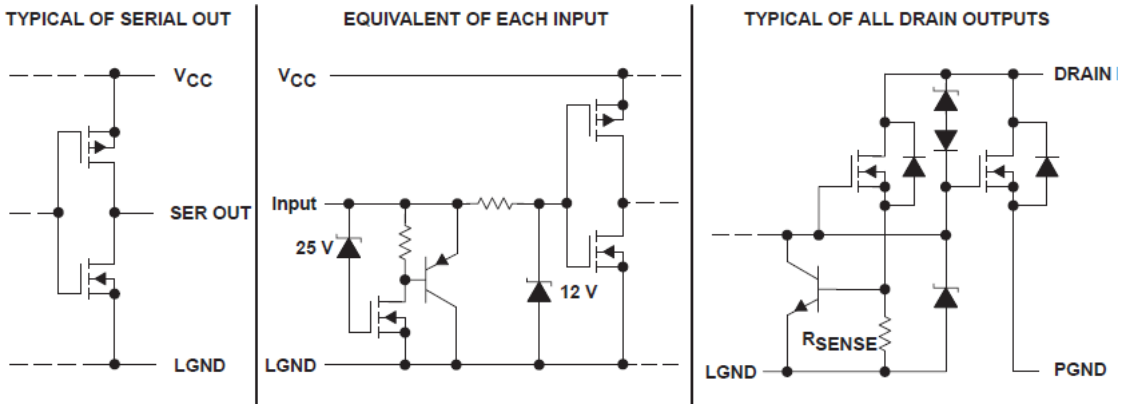


図 7-1. 機能ブロック図（続き）

7.3 機能説明

7.3.1 シリアル イン インターフェイス

このデバイスには、8 ビットのシリアル イン、パラレル アウトのシフト レジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。シフト レジスタとストレージ レジスタのどちらを経由するデータ転送も、シフト レジスタ クロック(SRCK)とレジスタ クロック(RCK)の立ち上がりエッジで行われます。書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。ストレージ レジスタは、シフト レジスタ クリア (SRCLR) が HIGH のとき、出力バッファへデータを転送します。

7.3.2 レジスタのクリア

論理 LOW にすれば(SRCLR)、デバイスのすべてのレジスタがクリアされます。TI では、電源オン時または初期化時にデバイス レジスタのクリアをお勧めしています。

7.3.3 出力制御

出力イネーブル(G)が HIGH に保持されると、出力バッファのすべてのデータが LOW に保持され、すべてのドレイン出力がオフになります。(G)を LOW に保持すると、ストレージ レジスタのデータは出力バッファに対して透過的になります。出力バッファのデータが LOW の場合、DMOS トランジスタの出力はオフになります。データが HIGH の場合、DMOS トランジスタ出力はシンク電流能力を持つようになります。このピンは、グローバル PWM 調光にも使用できます。

7.3.4 カスケードアプリケーション

シリアル出力 (SER OUT) を使用すると、シフトレジスタから追加のデバイスにデータをカスケード接続できます。シリアル出力(SER OUT)は、カスケード接続されたアプリケーションに追加のホールドタイムを提供するために、SRCK の立ち下がりエッジでデバイスからクロックアウトされます。これにより、クロック信号にスキューが生じたり、デバイスが互いに近接していなかったり、システムが電磁妨害を許容しなければならない場合、このアプリケーションのパフォーマンスが向上します。デバイス(SER OUT)ピンを、デイジーチェーン用の次のデバイス(SER IN)に接続します。

7.3.5 電流制限機能

出力は、50V の出力定格と 350mA の連続シンク電流能力を持つローサイド オープン ドレイン DMOS トランジスタです。各オープン ドレイン DMOS トランジスタは、短絡発生時の損傷を防止するために独立したチョッピング電流制限回路を備えています。

Copyright © 2025 Texas Instruments Incorporated

8 デバイスの機能モード

8.1 V_{cc} < 4.5V での動作

このデバイスは 4.5V ≤ V_{cc} ≤ 5.5V のときに正常に機能します。動作電圧が 4.5V 未満の場合、通信インターフェイスや電流機能も含めて、デバイスの正常動作は保証されません。

8.2 5.5V < V_{cc} ≤ 7V での動作

このデバイスは、この電圧範囲で正常に動作しますが、この電圧範囲で長時間使用すると信頼性の問題が発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2015) to Revision B (March 2025)	Page
• 「アプリケーション」セクションを更新	1

Changes from Revision * (March 2000) to Revision A (May 2015)	Page
• $\overline{\text{SRCLR}}$ のタイミング図を変更し、図 6-1 のドレインタイミング図のタイトルを変更	8

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPIC6A596DW	Obsolete	Production	SOIC (DW) | 24	-	-	Call TI	Call TI	-40 to 125	
TPIC6A596DWRG4	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6A596
TPIC6A596DWRG4.A	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6A596
TPIC6A596NE	Active	Production	PDIP (NE) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6A596NE
TPIC6A596NE.A	Active	Production	PDIP (NE) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6A596NE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

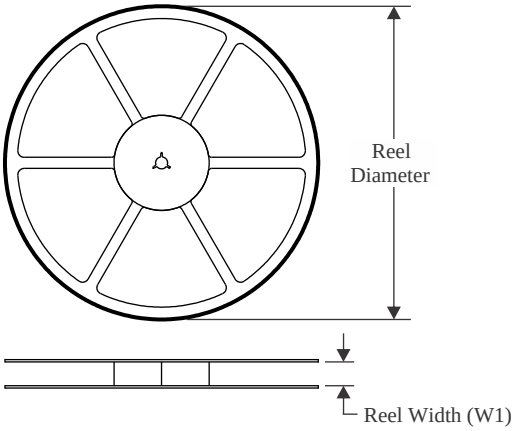
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

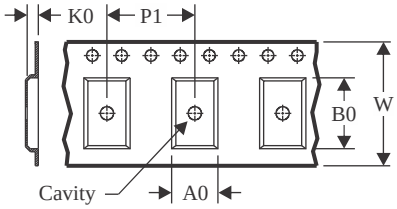
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

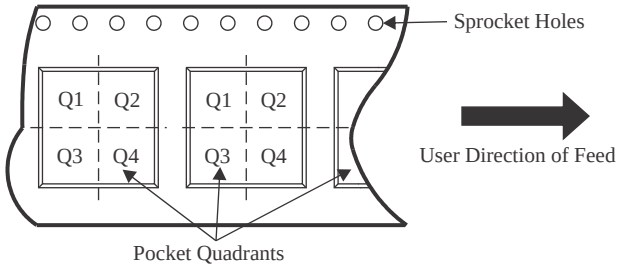


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

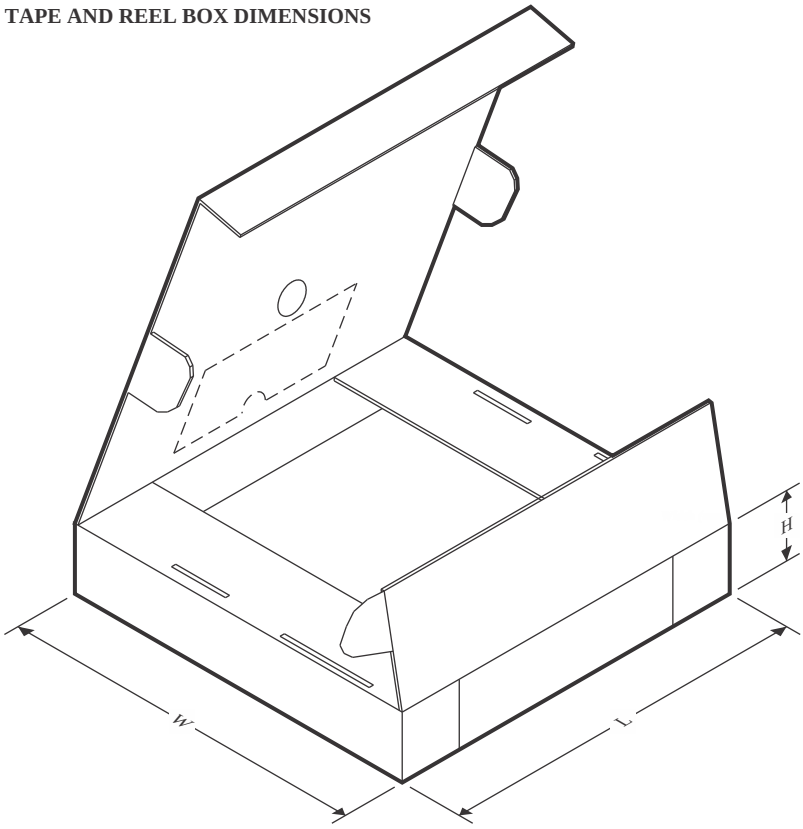
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPIC6A596DWRG4	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
TPIC6A596DWRG4	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1

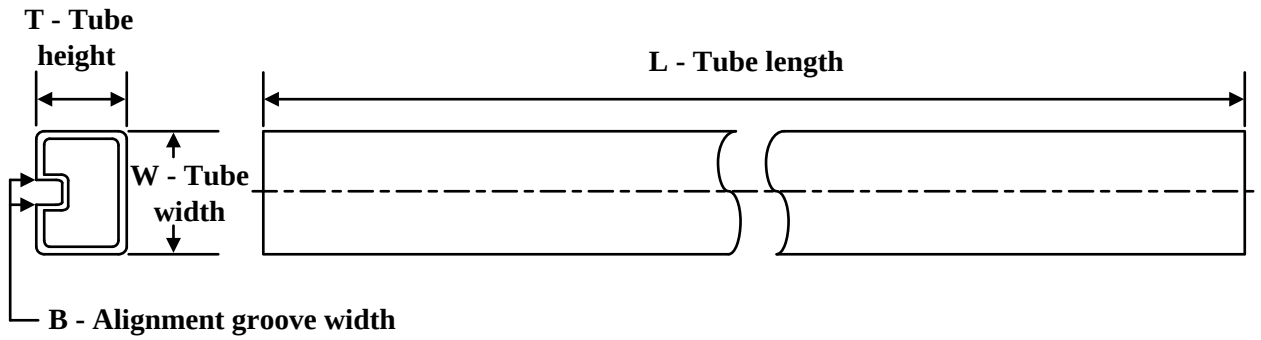
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPIC6A596DWRG4	SOIC	DW	24	2000	350.0	350.0	43.0
TPIC6A596DWRG4	SOIC	DW	24	2000	350.0	350.0	43.0

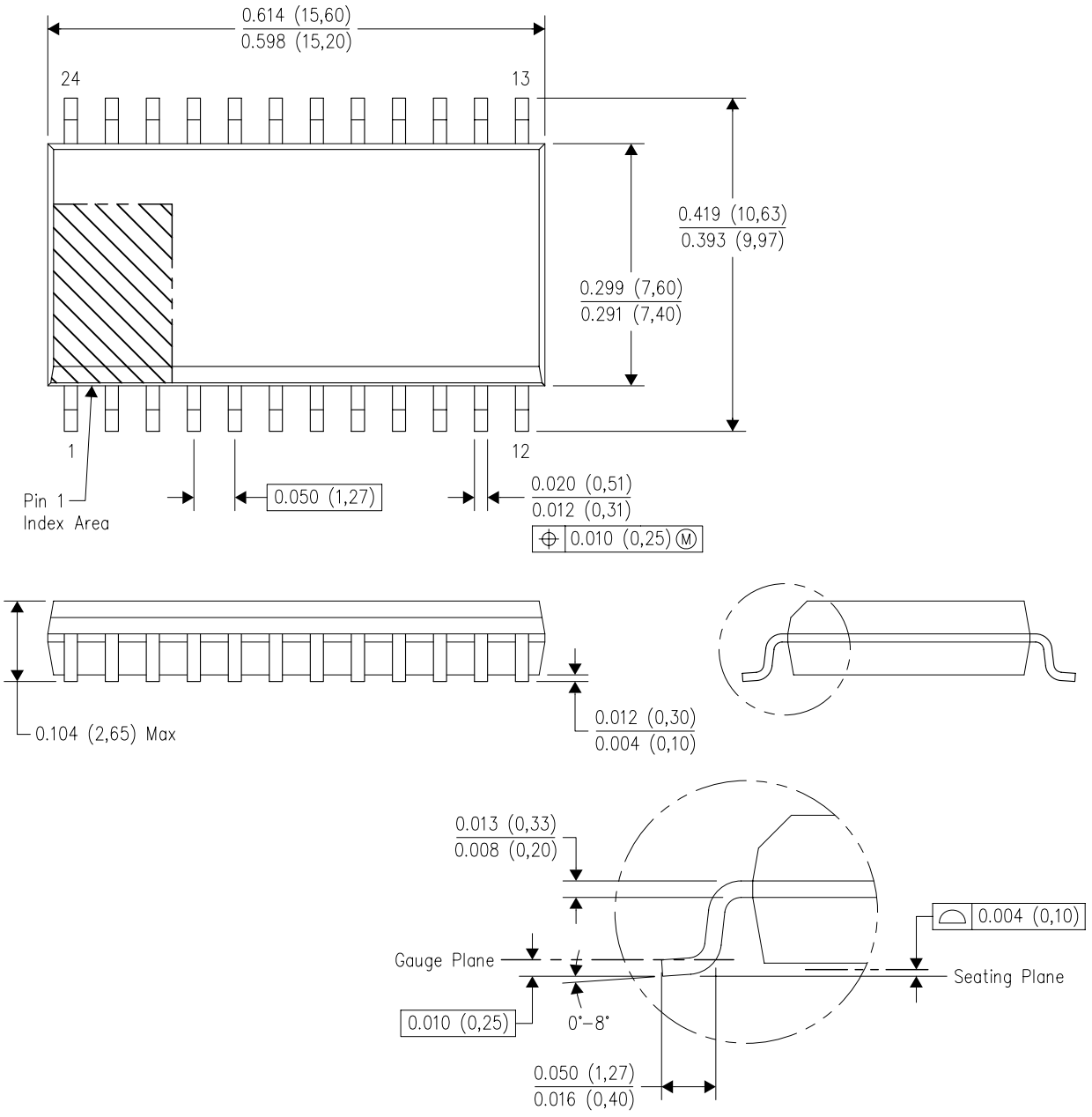
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPIC6A596NE	NE	PDIP	20	20	506	13.97	11230	4.32
TPIC6A596NE.A	NE	PDIP	20	20	506	13.97	11230	4.32

DW (R–PDSO–G24) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters). Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
D. Falls within JEDEC MS–013 variation AD.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月