TPLD1201 8 つの GPIO を備えたプログラマブル ロジック デバイス

1 特長

- 動作特性
  - 拡張温度範囲:–40℃ ～ 125℃
  - 広い電源電圧範囲:1.71V ～ 5.5V
- マクロセルを構成可能
  - 2 ビット、3 ビット、および 4 ビットのルックアップ テーブル
  - D タイプ フリップ フロップおよびラッチ、リセット / セット オプションありとなし
  - 8 ビットのパイプ遅延
  - カウンタと遅延ジェネレータ
  - グリッチ除去フィルタまたはエッジ検出器をプログラム可能
  - ディスクリート アナログ コンパレータ
  - 電圧リファレンス
  - 発振器
- 柔軟なデジタル I/O 機能
  - すべてのデジタル信号を任意の GPIO に配線可能
  - デジタル入力モード:デジタル入力、シュミット トリガあり / なし、低電圧デジタル入力
  - デジタル出力モード:プッシュプル、オープン ドレイン NMOS、トライステート
- 開発ツール
  - InterConnect Studio
  - 評価モジュール
  - TPLD プログラミング基板

2 アプリケーション

- ファクトリ オートメーション / 制御
- 通信機器
- リテール オートメーションおよびペイメント
- 試験および測定機器
- 業務用オーディオ、ビデオ、サイネージ
- パーソナル エレクトロニクス

3 説明

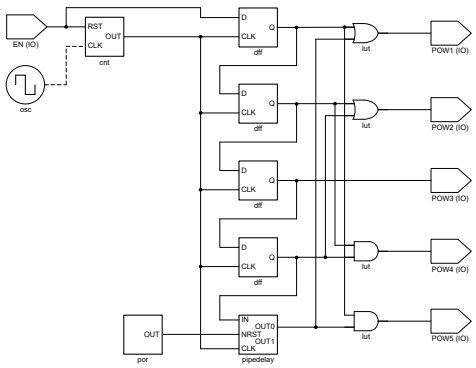
TPLD1201 は、組み合わせ論理、順序論理、およびアナログ ブロックを持つ多用途のプログラマブル ロジック IC を備えた テキサス・インスツルメンツのプログラマブル ロジック デバイス (TPLD) ファミリのデバイスです。TPLD は、タイミング遅延、電圧モニタ、システム リセット、電源シーケンス IC、I/O エクスパンダなどの共通のシステム機能を実装するための統合型低消費電力ソリューションを提供します。このデバイスは構成可能な I/O 構造を採用しているため、混合信号環境で互換性を拡張し、必要な個別部品の数を減らすことができます。

システム設計者は、不揮発性メモリを一時的にエミュレートするか、InterConnect Studio を通じてワンタイム プログラマブル (OTP) を永続的にプログラミングすることにより、回路を作成し、マクロセル、I/O ピン、および相互接続を構成できます。TPLD1201 はハードウェアおよびソフトウェアのエコシステムによってサポートされており、アプリケーション ノート、リファレンス デザイン、設計例が提供されています。詳細および設計ツールへのアクセスについては、ti.com をご覧ください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPLD1201	RWB (X2QFN、12)	1.6mm × 1.6mm
	DGS (VSSOP、10)	4.9mm × 3.0mm
	RWS (X2QFN、12)	1.6mm × 1.6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 電源電流特性.....8
5.7 スイッチング特性.....9
5.8 代表的特性.....13
6 パラメータ測定情報.....14
7 詳細説明.....16
7.1 概要.....16
7.2 機能ブロック図.....17
7.3 機能説明.....18
7.4 デバイスの機能モード.....40
8 アプリケーションと実装.....42
8.1 アプリケーション情報.....42
8.2 代表的なアプリケーション.....42
8.3 電源に関する推奨事項.....45
8.4 レイアウト.....45
9 デバイスおよびドキュメントのサポート.....47
9.1 ドキュメントの更新通知を受け取る方法.....47
9.2 サポート・リソース.....47
9.3 商標.....47
9.4 静電気放電に関する注意事項.....47
9.5 用語集.....47
10 改訂履歴.....47
11 メカニカル、パッケージ、および注文情報.....47

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

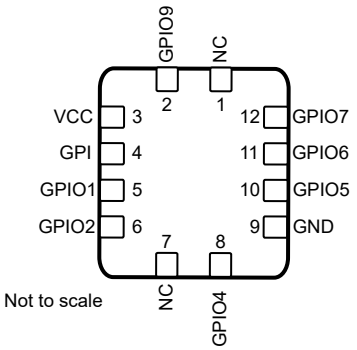


図 4-1. RWB パッケージ、12 ピン X2QFN (上面図)

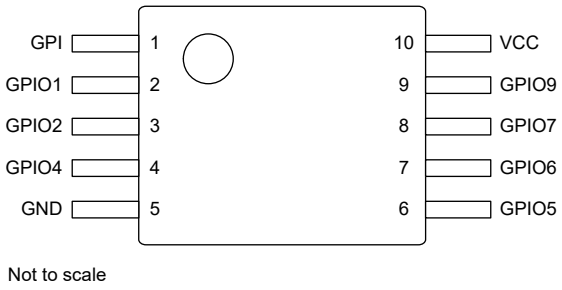


図 4-2. DGS パッケージ、10 ピン VSSOP (上面図)

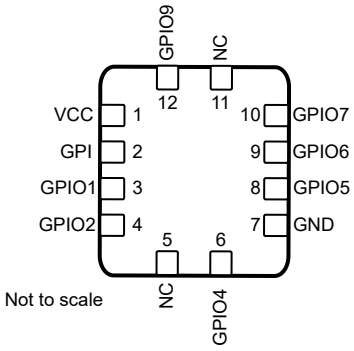


図 4-3. RWS パッケージ、12 ピン X2QFN (上面図)

表 4-1. ピンの機能

ピン					説明	
名称	RWB	DGS	RWS	タイプ(1)	主な機能	2 次的な機能 (ある場合)
GPI	4	1	2	I	汎用入力 (3)	
GPIO1	5	2	3	I/O	汎用 I/O	ACMP0 IN+
GPIO2	6	3	4	I/O	汎用 I/O	外部 VREF IN/ACMP0 または ACMP1 IN-
GPIO4	8	4	6	I/O	出力イネーブル (OE) 付きの汎用 I/O (4)	ACMP1 IN+
GND	9	5	7	P	グランド	
GPIO5	10	6	8	I/O	汎用 I/O	
GPIO6	11	7	9	I/O	汎用 I/O	
GPIO7	12	8	10	I/O	出力イネーブル (OE) 付きの汎用 I/O (4)	内部 VREF OUT
GPIO9	2	9	12	I/O	汎用 I/O	外部 OSC IN
VCC	3	10	1	P	電源電圧	
NC	1	—	5	—	内部接続なし (2)	
NC	7	—	11	—	内部接続なし (2)	

(1) P = 電源、I/O = 入出力、I = 入力
(2) 内部的に接続されていないピンは、グランドに接続するか、フローティングのままにします。
(3) 汎用入力 (GPI) ピンはプログラミング中の高電圧 (VPP) に耐えます。インシステム プログラミングを行う場合、このピンに接続されたペリフェラルに特に注意を払います。
(4) 出力イネーブル (OE) 接続は、接続マルチプレクサを介して利用でき、InterConnect Studio で構成できます。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	GND を基準とした V_{CC} 電源電圧		-0.5	7	V
V_I	入力電圧		-0.5	V_{CC} + 0.5	V
V_O	出力電圧		-0.5	V_{CC} + 0.5	V
I_{IOK}	入力 / 出力クランプ電流	V_{IO} < 0 または V_{IO} > V_{CC}	-50	50	mA
I_O	連続出力電流	V_O = 0～V_{CC}	-50	50	mA
I_{DC}	平均または DC 電流 (各ピンを流れる電流) の最大値	プッシュプル 1X		12	mA
		プッシュプル 2X		17	
		オープンドレイン NMOS 1X		18	
		オープンドレイン NMOS 2X		28	
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、また「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本デバイスが正常に動作することを意味するものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC 仕様 JS-002 に準拠、すべてのピン (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			V_{CC}	最小値	最大値	単位
V_{CC}	電源電圧			1.71	5.5	V
V_I	入力電圧			0	V_{CC}	V
V_O	出力電圧			0	V_{CC}	V
V_{AI}	アナログ入力電圧	正入力 (ACMP IN+)		0	V_{CC}	V
		負入力 (ACMP IN-、外部 VREF)		0.15	1.2	
V_{IH}	High レベル入力電圧	ロジック入力	1.71V ～ 5.5V	0.7 × V_{CC}		V
		低電圧ロジック入力	1.8V ± 0.09V	0.95		
			3.3V ± 0.3V	1.2		
			5V ± 0.5V	1.3		

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

			V_{CC}	最小値	最大値	単位
V_{IL}	Low レベル入力電圧	ロジック入力	1.71V ～ 5.5V		0.3 × V_{CC}	V
		低電圧ロジック入力	1.8V ± 0.09V		0.40	
			3.3V ± 0.3V		0.55	
			5V ± 0.5V		0.65	
$F_{(EXT)}$	外部発振器周波数		1.8V ± 0.09V		8	MHz
			3.3V ± 0.3V		8	
			5V ± 0.5V		8	
T_A	周囲温度			-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
RWB (X2QFN)	12	157.6	50.3	95.5	0.8	95.5	—	°C/W
DGS (VSSOP)	10	152.7	60.8	88.9	4.8	87.2	—	°C/W
RWS (X2QFN)	12	157.6	50.3	95.5	0.8	95.5	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
電源およびパワーオン リセット								
V_{PORR}	パワーオン リセット電圧、V_{CC} 立ち上がり		V_I = V_{CC} または GND、I_O = 0	1.71V ～ 5.5V	1.25	1.30	1.40	V
V_{PORF}	パワーオン リセット電圧、V_{CC} 立ち下がり		V_I = V_{CC} または GND、I_O = 0	1.71V ～ 5.5V	1.20	1.26	1.35	V
t_{SU}	起動時間		V_{CC} 立ち上がりから V_{PORR} を超えるまで	1.71V ～ 5.5V		245		µs
V_{PP}	プログラミング電圧				7.5		8	V
デジタル IO								
V_{T+}	正方向入力スレッショルド電圧	シュミット トリガ付きのロジック入力		1.8V ± 0.09V	0.94		1.27	V
				3.3V ± 0.3V	1.55		2.30	
				5V ± 0.5V	2.21		3.19	
V_{T-}	負方向入力スレッショルド電圧	シュミット トリガ付きのロジック入力		1.8V ± 0.09V	0.58		0.94	V
				3.3V ± 0.3V	1.1		1.79	
				5V ± 0.5V	1.63		2.7	
V_{HYS}	シュミット トリガ ヒステリシス (V_{T+} - V_{T-})	シュミット トリガ付きのロジック入力		1.8V ± 0.09V	0.20		0.51	V
				3.3V ± 0.3V	0.33		0.61	
				5V ± 0.5V	0.42		0.75	
V_{HYS}	GPI ヒステリシス電圧	IN0 に適用可能なヒステリシス電圧		1.71V ～ 5.5V			0.2	V

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	プッシュプル 1X またはオープン ドレイン PMOS 1X	I_{OH} = -100µA	1.8V ± 0.09V	1.68			V
		プッシュプル 2X またはオープン ドレイン PMOS 2X			1.69			
		プッシュプル 1X またはオープン ドレイン PMOS 1X	I_{OH} = -3mA	3.3V ± 0.3V	2.60			
		プッシュプル 2X またはオープン ドレイン PMOS 2X			2.71			
		プッシュプル 1X またはオープン ドレイン PMOS 1X	I_{OH} = -5mA	5V ± 0.5V	3.99			
		プッシュプル 2X またはオープン ドレイン PMOS 2X			4.13			
V_{OL}	Low レベル出力電圧	プッシュプル 1X	I_{OL} = 100µA	1.8V ± 0.09V			0.038	V
		プッシュプル 2X					0.034	
		オープン ドレイン NMOS 1X					0.045	
		オープン ドレイン NMOS 2X					0.02	
		プッシュプル 1X	I_{OL} = 3mA	3.3V ± 0.3V			0.1	
		プッシュプル 2X					0.1	
		オープン ドレイン NMOS 1X					0.1	
		オープン ドレイン NMOS 2X					0.1	
		プッシュプル 1X	I_{OL} = 5mA	5V ± 0.5V			0.12	
		プッシュプル 2X					0.12	
		オープン ドレイン NMOS 1X					0.12	
		オープン ドレイン NMOS 2X					0.12	
I_I	入力リーク電流	すべてのピン	V_I = V_{CC}	1.71V ～ 5.5V			±1	µA
			V_I = GND	1.71V ～ 5.5V			±1	
I_{OZ}	オフ状態 (高インピーダンス状態) の出力電流	IO4、IO7	V_O = 0～5.5V				±1	µA
F_{OUT}	最大出力周波数 (1)	プッシュプル 1X またはプッシュプル 2X	15pF の負荷容量	1.8V ± 0.09V			5	MHz
				3.3V ± 0.3V			12	
				5V ± 0.5V			12	
$R_{pu(int)}$	内部プルアップ抵抗					1		MΩ
						100		kΩ
						10		kΩ
$R_{pd(int)}$	内部プルダウン抵抗					1		MΩ
						100		kΩ
						10		kΩ
C_I	入力ピン容量	各入力ピン	V_I = V_{CC} または GND	1.71V ～ 5.5V		1.2		pF

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
C_{IO}	入力 / 出力ピンの容量	各 I/O ピン	V_{IO} = V_{CC} または GND	1.71V ～ 5.5V		2.0		pF
アナログ コンパレータ								
t_{start}	スタート時間	ACMP パワーオン遅延	バンドギャップ常時オン	1.71V ～ 5.5V		130		µs
V_{AI}	入力電圧	正入力		1.71V ～ 5.5V	0		V_{CC}	V
		負入力			0		1.2	
V_{offset}	入力オフセット電圧	T_A = 25°C	V_{HYS} = 0mV、ゲイン = 1、VREF= 50mV～1200mV	1.71V ～ 5.5V	-10		10	mV
		–40°C < T_A ≤ 125°C			-15		15	
dV_{IO}/dT	入力オフセット電圧ドリフト	–40°C < T_A ≤ 125°C	V_{HYS} = 0mV、ゲイン = 1、VREF= 50mV～1200mV	1.71V ～ 5.5V			±8.5	µV/°C
I_B	入力バイアス電流						1	µA
C_{ID}	入力容量、差動					3		pF
C_{IM}	入力容量、同相					3		pF
PROP	伝搬遅延、応答時間	ゲイン = 1、Vref = 50mV～1200mV、オーバードライブ = 50mV	Low から High、低帯域幅イネーブル	1.71V ～ 5.5V	1.5			µs
			High から Low 低帯域幅イネーブル		2.5			
			Low から High、低帯域幅ディセーブル		0.25			
			High から Low 低帯域幅ディセーブル		0.15			
アナログ コンパレータ - ヒステリシス								
V_{HYS}	ヒステリシス機能内蔵	V_{HYS} = 25mV	T_A = 25°C	1.71V ～ 5.5V	16	21.6	35	mV
			-40°C～125°C		15		40	
		V_{HYS} = 50mV	T_A = 25°C		42	50.7	62	
			-40°C～125°C		40		65	
		V_{HYS} = 200mV	T_A = 25°C		170	202	240	
			-40°C～125°C		165		245	
アナログ コンパレータ - 入力ゲイン								
R_{sin}	直列入力抵抗	ゲイン = 0.5		1.71V ～ 5.5V		1		MΩ
		ゲイン = 0.33				0.75		
		ゲイン = 0.25				1		
G_{err}	ゲイン誤差	ゲイン = 0.5		1.71V ～ 5.5V	-1		1	%
		ゲイン = 0.33			-1.25		2.75	
		ゲイン = 0.25			-1.5		2.5	
電圧リファレンス								

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
VREF	内部 VREF 誤差	T_A = 25℃	VREF = 150mV ～300mV	1.71V ～ 5.5V	-8.5		8.5	%
		–40°C < T_A ≤ 125°C			-9		9	
		T_A = 25℃	VREF = 350mV ～600mV		-3		3	
		–40°C < T_A ≤ 125°C			-4		4	
		T_A = 25℃	VREF = 650mV ～1000mV		-2.5		2.5	
		–40°C < T_A ≤ 125°C			-4		4	
		T_A = 25℃	VREF = 1050mV～ 1200mV		-3		3	
		–40°C < T_A ≤ 125°C			-3.7		3.7	
VREF	VREF 誤差	T_A = 25℃	VREF = 150mV ～300mV	1.71V ～ 5.5V	-10.2		10.2	%
		–40°C < T_A ≤ 125°C			-11		11	
		T_A = 25℃	VREF = 350mV ～600mV		-5		5	
		–40°C < T_A ≤ 125°C			-5.5		5.5	
		T_A = 25℃	VREF = 650mV ～1000mV		-3.3		3.3	
		–40°C < T_A ≤ 125°C			-4.3		4.3	
		T_A = 25℃	VREF = 1050mV～ 1200mV		-4		4	
		–40°C < T_A ≤ 125°C			-5		5	
I_{LOAD}	出力電流			1.71V ～ 5.5V			500	µA
dV_{OUT}/dT	出力電圧の温度ドリフト			1.71V ～ 5.5V			550	ppm/℃
dV_{OUT}/dI_{LOAD}	ロード レギュレーション			1.71V ～ 5.5V		0.1	1	mV/µA

(1) オープン ドレインのスイッチング性能は、使用するプルアップ抵抗によって制限されます。

5.6 電源電流特性

T_A = 25℃ (特に記述のない限り)

パラメータ			テスト条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			単位
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
スタンバイ													
I_{CC}	静止時電流		入力 = 静止、出力 = オープン、I_O = 0、OSC パワーオフ		3.41			3.66			4.00		µA
発振器													

Copyright © 2026 Texas Instruments Incorporated

5.6 電源電流特性 (続き)

T_A = 25℃ (特に記述のない限り)

パラメータ			テスト条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			単位
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
I_{CC}	静止時電流	OSC0 有効:25kHz	事前分周 = 1		3.21			5.24			10.1		μA
			事前分周 = 2		3.14			5.17			10.1		
			事前分周 = 4		3.53			5.11			10.1		
			事前分周 = 8		3.08			5.28			10.0		
		OSC0 有効:2MHz	事前分周 = 1		42.9			56.0			84.9		
			事前分周 = 2		35.9			49.0			79.2		
			事前分周 = 4		32.5			45.6			75.5		
			事前分周 = 8		30.7			43.8			73.8		
アナログ コンパレータ													
I_{CC}	静止時電流	ディスクリート アナログ コンパレータ (ACMP)	外部 VREF、IN+ = 0V		24.8			26.2			26.8		μA
			追加 ACMP		3.2			4.7			4.7		
電圧リファレンス													
I_{CC}	静止時電流	電圧リファレンス (VREF)			16.8			18.3			19.9		μA

5.7 スイッチング特性

T_A = 25℃ (特に記述のない限り)

パラメータ		始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値 標準値 最大値	単位
デジタル IO							
t_{pd}	遅延	デジタル入力	プッシュプル出力	立ち上がり	1.8V ± 0.09V	46.2	ns
				立ち下がり		39.1	
				立ち上がり	3.3V ± 0.3V	27.2	
				立ち下がり		24.5	
				立ち上がり	5V ± 0.5V	22.1	
				立ち下がり		21.1	
t_{pd}	遅延	シュミット トリガ付きデジタル入力	プッシュプル出力	立ち上がり	1.8V ± 0.09V	49.5	ns
				立ち下がり		41.5	
				立ち上がり	3.3V ± 0.3V	29.3	
				立ち下がり		25.3	
				立ち上がり	5V ± 0.5V	23.9	
				立ち下がり		21.5	
t_{pd}	遅延	低電圧デジタル入力	プッシュプル出力	立ち上がり	1.8V ± 0.09V	45.0	ns
				立ち下がり		48.1	
				立ち上がり	3.3V ± 0.3V	25.4	
				立ち下がり		30.3	
				立ち上がり	5V ± 0.5V	19.6	
				立ち下がり		28.6	

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

T_A = 25℃ (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値 標準値 最大値	単位
t_{pd}	遅延		デジタル入力	オープンドレインの NMOS 出力	立ち上がり	1.8V ± 0.09V		ns
					立ち下がり		38.8	
					立ち上がり	3.3V ± 0.3V		
					立ち下がり		24.3	
					立ち上がり	5V ± 0.5V		
					立ち下がり		20.9	
t_{pd}	遅延	ピンからの出力イネーブル	OE	プッシュプル出力	ハイ インピーダンスを 1 に設定	1.8V ± 0.09V	45.0	ns
						3.3V ± 0.3V	26.5	
						5V ± 0.5V	21.7	
					ハイ インピーダンスを 0 に設定	1.8V ± 0.09V	43.2	ns
						3.3V ± 0.3V	22.6	
						5V ± 0.5V	18.3	
機能を設定可能なロジック								
t_{pd}	遅延	2 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V	1.14	ns
					立ち下がり		1.32	
					立ち上がり	3.3V ± 0.3V	1.14	
					立ち下がり		1.31	
					立ち上がり	5V ± 0.5V	1.16	
					立ち下がり		1.35	
t_{pd}	遅延	3 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V	1.31	ns
					立ち下がり		1.53	
					立ち上がり	3.3V ± 0.3V	1.31	
					立ち下がり		1.53	
					立ち上がり	5V ± 0.5V	1.31	
					立ち下がり		1.53	
t_{pd}	遅延	4 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V	1.53	ns
					立ち下がり		1.86	
					立ち上がり	3.3V ± 0.3V	1.53	
					立ち下がり		1.86	
					立ち上がり	5V ± 0.5V	1.53	
					立ち下がり		1.86	
t_{pd}	遅延	DFF/Latch	CLK	Q	立ち上がり	1.8V ± 0.09V	1.42	ns
					立ち下がり		1.44	
					立ち上がり	3.3V ± 0.3V	1.42	
					立ち下がり		1.44	
					立ち上がり	5V ± 0.5V	1.42	
					立ち下がり		1.44	

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

T_A = 25℃ (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{pd}	遅延	DFF/Latch	nRST/nSET	Q	立ち上がり	1.8V ± 0.09V		1.58		ns
					立ち下がり			1.58		
					立ち上がり	3.3V ± 0.3V		1.58		
					立ち下がり			1.58		
					立ち上がり	5V ± 0.5V		1.58		
					立ち下がり			1.58		
カウンタ / 遅延										
t_{pd}	遅延	カウンタ - 遅延モード	IN の立ち上がりエッジ	OUT の立ち上がりエッジ	立ち下がりエッジをトリガ	1.8V ± 0.09V		2.21		ns
			IN の立ち下がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジをトリガ			2.01		
			IN の立ち上がりエッジ	OUT の立ち上がりエッジ	立ち下がりエッジをトリガ	3.3V ± 0.3V		2.21		
			IN の立ち下がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジをトリガ			2.01		
			IN の立ち上がりエッジ	OUT の立ち上がりエッジ	立ち下がりエッジをトリガ	5V ± 0.5V		2.21		
			IN の立ち下がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジをトリガ			2.01		
t_{pw}	パルス幅	カウンタ - エッジ検出モード	OUT の立ち上がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジ検出	1.8V ± 0.09V		57.6		ns
						3.3V ± 0.3V		61.4		
						5V ± 0.5V		62.0		
					立ち下がりエッジ検出	1.8V ± 0.09V		56.0		
						3.3V ± 0.3V		59.6		
						5V ± 0.5V		60.4		
					両方のエッジ検出	1.8V ± 0.09V		55.9		
						3.3V ± 0.3V		59.7		
						5V ± 0.5V		60.5		
発振器										
f_{err}	発振器の周波数誤差				OSC025kHz	1.8V ± 0.09V	-5		5	%
						3.3V ± 0.3V	-5		5	
						5V ± 0.5V	-5		5	
					OSC0 2MHz	1.8V ± 0.09V	-5		5	%
						3.3V ± 0.3V	-5		5	
						5V ± 0.5V	-5		5	
t_{d_osc}	発振器のスタートアップ遅延				OSC025kHz	1.8V ± 0.09V		11.5		µs
						3.3V ± 0.3V		10.5		
						5V ± 0.5V		9.9		
					OSC0 2MHz	1.8V ± 0.09V		3.3		µs
						3.3V ± 0.3V		2.7		
						5V ± 0.5V		2.5		

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

T_A = 25℃ (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{set_osc}	発振器のスタートアップ セトリング時間				OSC025kHz	1.8V ± 0.09V		1		μs
						3.3V ± 0.3V		1		
						5V ± 0.5V		1		
					OSC0 2MHz	1.8V ± 0.09V		7		μs
						3.3V ± 0.3V		7		
						5V ± 0.5V		7		
t_{d_err}	遅延誤差				OSC (強制パワー オン)	1.71V ～ 5.5V	0		1	CLK サイクル
プログラマブル フィルタ										
t_{pflt_pw}	パルス幅	プログラム可能なフィルタ - エッジ検出モード	OUT の立ち上がりエッジ	OUT の立ち下がりエッジ	1cell	1.8V ± 0.09V		154.0		ns
						3.3V ± 0.3V		157.3		
						5V ± 0.5V		158.7		
					2 セル	1.8V ± 0.09V		256.2		ns
						3.3V ± 0.3V		259.7		
						5V ± 0.5V		260.8		
					3 セル	1.8V ± 0.09V		356.2		ns
						3.3V ± 0.3V		360.3		
						5V ± 0.5V		361.5		
					4 セル	1.8V ± 0.09V		455.3		ns
						3.3V ± 0.3V		459.6		
						5V ± 0.5V		461.4		
t_{pflt_pd}	遅延	プログラム可能なフィルタ - エッジ検出モード			任意のセル	1.8V ± 0.09V		22.0		ns
						3.3V ± 0.3V		21.4		
						5V ± 0.5V		21.3		
t_{pflt_d}	遅延	プログラム可能なフィルタ - 両方のエッジ遅延モード	IN の立ち上がり / 立ち下がりエッジ	OUT の立ち上がり / 立ち下がりエッジ	1cell	1.8V ± 0.09V		176.0		ns
						3.3V ± 0.3V		178.7		
						5V ± 0.5V		161.0		
					2 セル	1.8V ± 0.09V		278.2		ns
						3.3V ± 0.3V		281.1		
						5V ± 0.5V		282.1		
					3 セル	1.8V ± 0.09V		378.2		ns
						3.3V ± 0.3V		352.1		
						5V ± 0.5V		382.8		
					4 セル	1.8V ± 0.09V		477.3		ns
						3.3V ± 0.3V		481.0		
						5V ± 0.5V		482.7		

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

T_A = 25℃

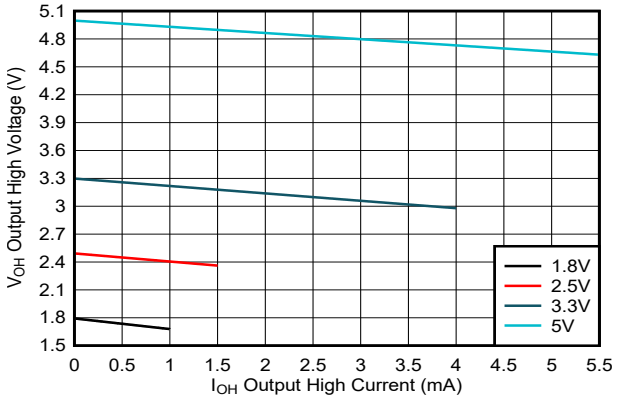


図 5-1. High 状態での 1X プッシュプル標準出力電圧 (V_{OH})

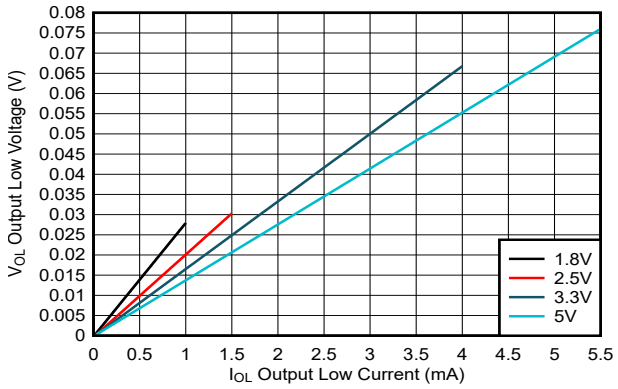


図 5-2. Low 状態での 1X プッシュプル標準出力電圧 (V_{OL})

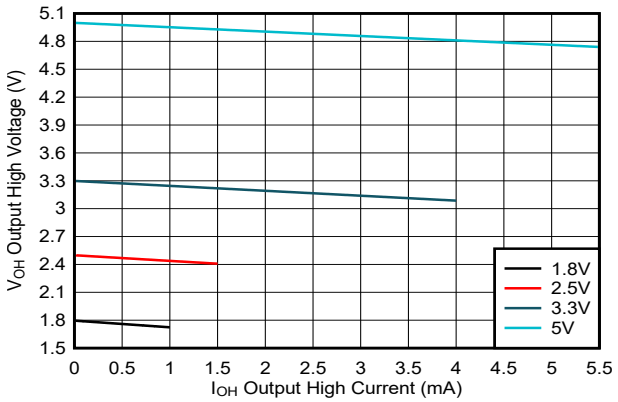


図 5-3. High 状態での 2X プッシュプル標準出力電圧 (V_{OH})

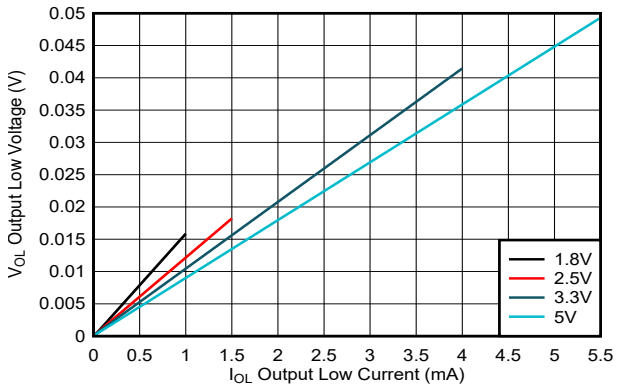


図 5-4. Low 状態での 2X プッシュプル標準出力電圧 (V_{OL})

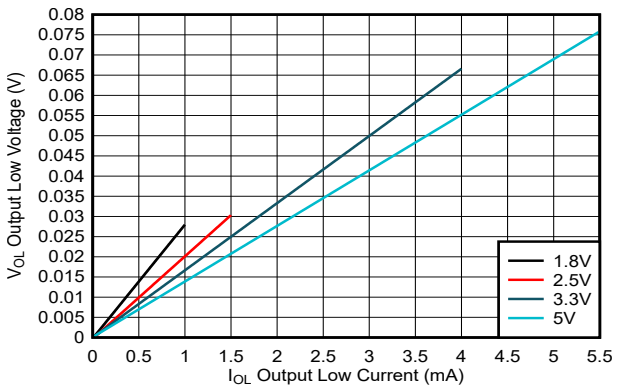


図 5-5. Low 状態での 1X オープンドレイン NMOS 標準出力電圧 (V_{OL})

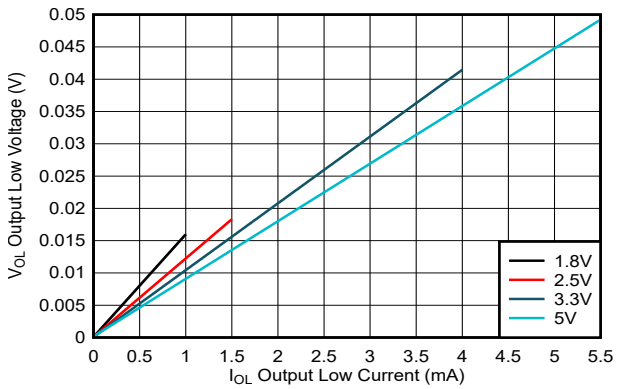


図 5-6. Low 状態での 2X オープンドレイン NMOS 標準出力電圧 (V_{OL})

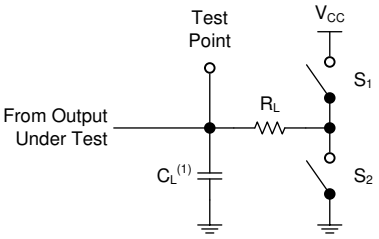
Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

波形間の位相関係は任意で選択します。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

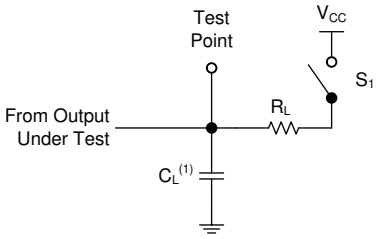
クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



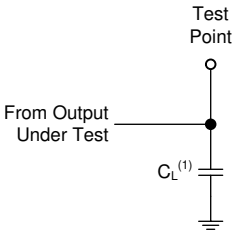
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-2. オープン ドレイン出力の負荷回路



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-3. プッシュプル出力のための負荷回路

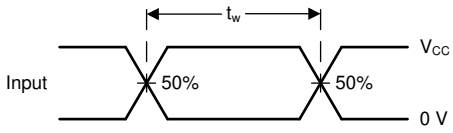


図 6-4. 電圧波形、パルス幅

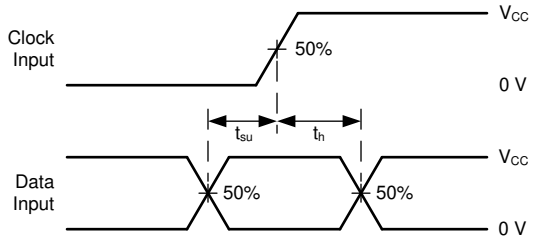
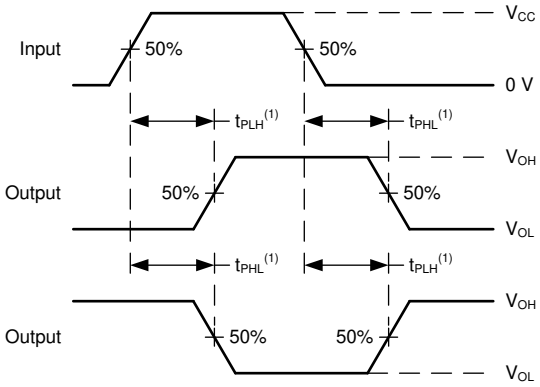


図 6-5. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-6. 電圧波形、伝搬遅延

Copyright © 2026 Texas Instruments Incorporated

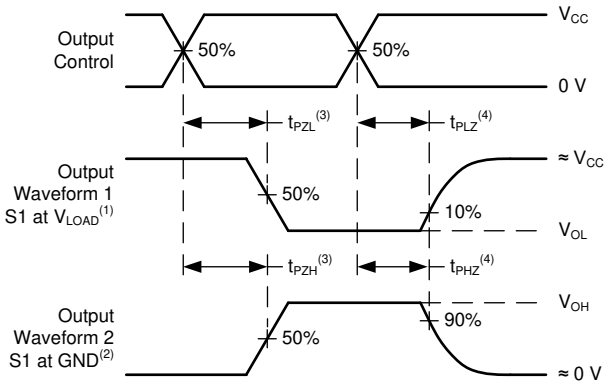
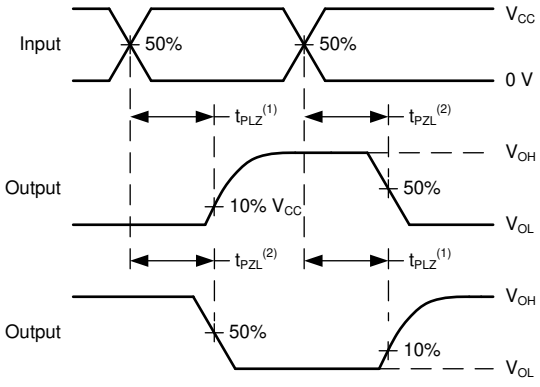
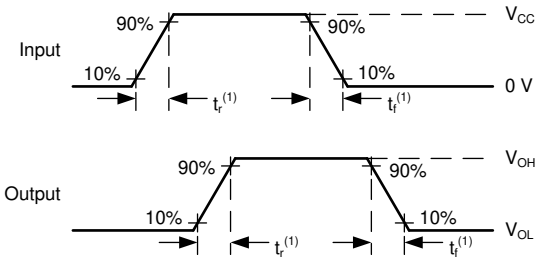


図 6-7. 電圧波形、伝搬遅延



(1) t_{PLZ} と t_{PZL} の大きい方が t_{pd} に相当します。

図 6-8. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-9. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

TPLD1201 は、組み合わせ論理、順序論理、アナログ ブロックを内蔵した多用途なプログラマブル ロジック IC を特長とするテキサス・インスツルメンツ プログラマブル ロジック デバイス (TPLD) ファミリのデバイスであり、一般的なシステム機能を実装するためのコンパクトな統合型低消費電力ソリューションを提供します。

TPLD1201 は、デジタル入力、デジタル出力、デジタル入出力、アナログ入出力として構成できる 1 つの GPI と 7 つの GPIO を備えています。

TPLD1201 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システムを備えています。ここでは、これを接続マルチプレクサと言います。それぞれの接続マルチプレクサ入力は、デジタル I/O、ルックアップ テーブル、アナログ コンパレータ出力など、特定のデジタル マクロセル出力にハードワイヤ接続されています。接続マルチプレクサを使うと、各デジタル入力を 1 つの出力のみに接続できるため、バスの競合が発生しません。

TPLD1201 には、以下に示すマクロセルがあります。

- 機能を設定可能なロジック ブロック:
  - 2 つの 2 ビット ルックアップ テーブル (LUT)
  - 2 つの 3 ビット LUT
  - 2 つの 2 ビット LUT または D タイプ フリップ フロップ (DFF) またはラッチ
  - 2 つの 3 ビット LUT または DFF またはラッチ (リセット / セット オプション付き)
  - 1 つの 3 ビット LUT またはパイプ遅延
  - 1 つの 4 ビット LUT または 8 ビット カウンタ (CNT) または遅延ジェネレータ (DLY)
- 3 つの 8 ビット CNT/DLY
- 1 つのプログラマブル グリッチ除去フィルタ (PFLT) またはエッジ検出器 (EDET)
- 25kHz と 2MHz のどちらかのクロックを生成するための 1 つの発振器 (OSC)
- 2 つのアナログ コンパレータ (ACMP)
- 電圧リファレンス (VREF) (アナログ IO に出力可能)

この InterConnect Studio ソフトウェア環境では、シンプルなドラッグ アンド ドロップ インターフェイスを使用してカスタム回路設計を構築し、マクロセル、I/O ピン、相互接続を構成することができます。回路の作成に加えて、InterConnect Studio にはデジタルおよびアナログ機能のシミュレーション機能があり、設計を検証し、標準的な消費電力の推定値を提供できます。回路設計が完成した時点で、InterConnect Studio は、不揮発性メモリ内でその設計を一時的にエミュレートするか、または、ワンタイム プログラマブル (OTP) を永続的にプログラムすることが可能です。OTP は、ロックすることにより、内容の読み戻しを防止できます。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図

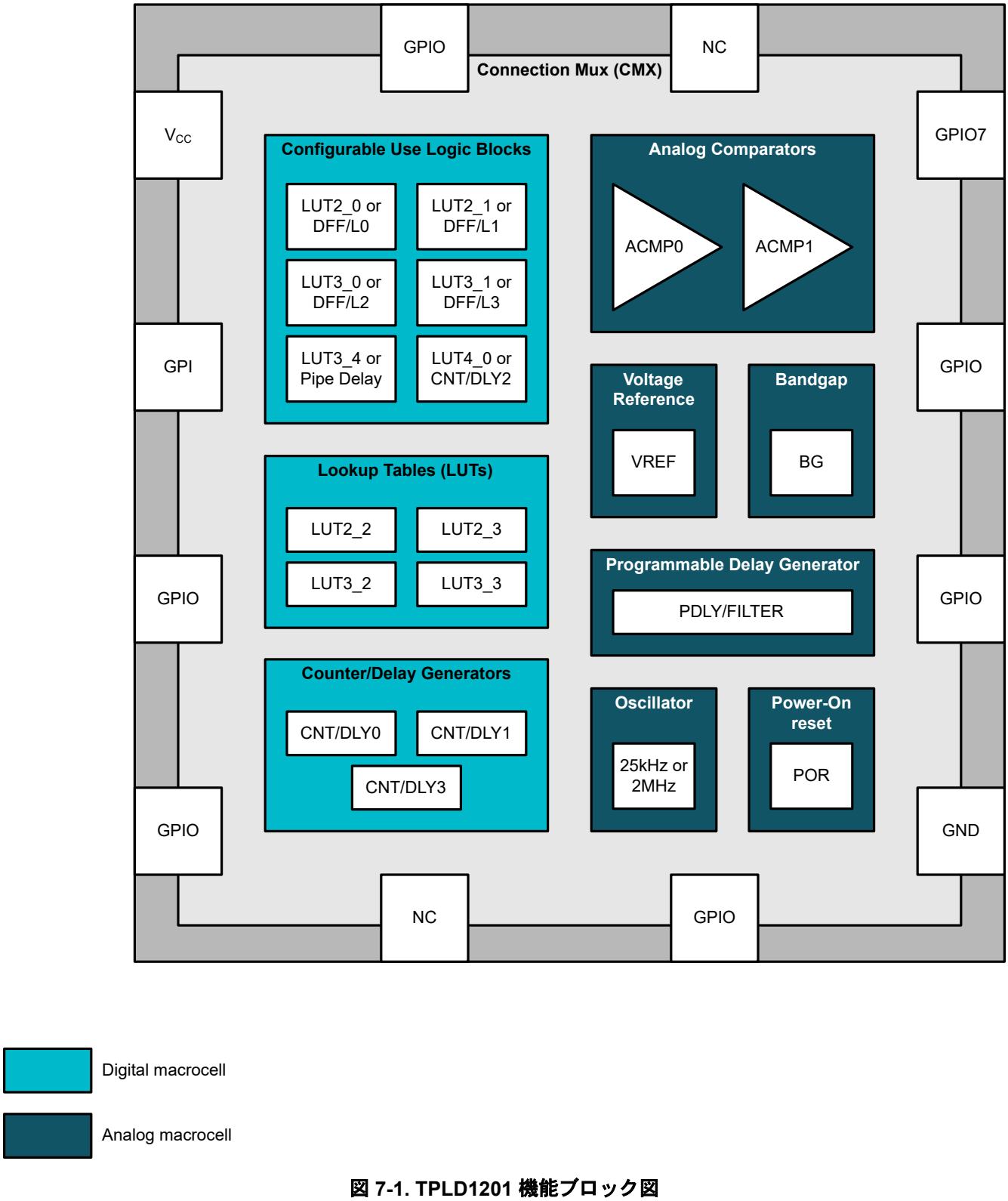


図 7-1. TPLD1201 機能ブロック図

7.3 機能説明

7.3.1 I/O ピン

TPLD1201 は 1 本の入力ピンと 7 本の多機能 I/O ピンを持っています。GPIO ピンは、ユーザー定義の入力、出力、または特殊機能のいずれかとして使用できます。

7.3.1.1 入力モード

ピンを入力として構成する場合、以下のオプションを使用できます:

- シュミット トリガなしのデジタル入力
- シュミット トリガ付きデジタル入力
- 低電圧デジタル入力

低電圧デジタル入力は、シュミット トリガなしのデジタル入力よりも V_{IH}/V_{IL} の仕様が低くなっています。これにより、低電圧デジタル入力 V_{IH} および V_{IL} 仕様を満たす V_{CC} より低い任意の電圧ドメインからの昇圧変換が可能です。

以下のピンは、特殊機能として動作するオプションも備えています。

- IO9:外部クロック入力
- IO1:アナログ コンパレータ 0 の正入力
- IO2:アナログ コンパレータの負入力
- IO4:アナログ コンパレータ 1 の正入力
- IO7:内部電圧リファレンス出力

7.3.1.2 出力モード

ピンを出力として構成する場合、ドライブ強度をプログラム可能な以下のオプションを利用できます:

- プッシュ プル出力
- オープン ドレインの NMOS 出力
- オープン ドレインの PMOS 出力

7.3.1.3 プルアップまたはプルダウン抵抗

すべての I/O ピンには、ピン構造に接続できるユーザー選択可能な抵抗のオプションがあります。これらの抵抗で選択可能な値は、10kΩ、100kΩ、1MΩ です。これらの内部抵抗はプルアップとプルダウンのどちらかとして構成できます。InterConnect Studio で設計すると、設計で未使用のすべてのピンは、デフォルトで 1MΩ のプルダウンが接続されるように構成されます。さらに、パワーオン イベントの後、パワーオン リセット シーケンスが完了するまで、すべてのポートがハイインピーダンス状態になります。

表 7-1. ピン構成オプション

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IN0	未使用のピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミット トリガなし) デジタル入力 (シュミット トリガ付き) 低電圧デジタル入力	フローティング	—
				プルダウン	10kΩ
					100kΩ
					1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IO1、IO2	使用されていないピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミット トリガなし) デジタル入力 (シュミット トリガ付き) 低電圧デジタル入力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
	デジタル出力	1	プッシュプル出力 (1X、2X)	フローティング	—
			オープンドレイン NMOS (1X、2X) オープンドレイン PMOS (1X、2X)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
	デジタル入出力	0	アナログ入力	—	—
		1	オープンドレイン NMOS (1X、2X)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
	アナログ入出力	—	アナログ入出力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IO4、IO7	使用されていないピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミット トリガなし) デジタル入力 (シュミット トリガ付き) 低電圧デジタル入力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
	デジタル出力	1/0	プッシュプル出力 (1X、2X)	フローティング	—
			オープン ドレイン NMOS (1X、2X) 3 ステート出力 (1X、2X)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
	デジタル入出力	0	デジタル入力 (シュミット トリガなし) デジタル入力 (シュミット トリガ付き) 低電圧デジタル入力 アナログ入力 (IO4 のみ)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
		1	プッシュプル (1X、2X) オープン ドレイン NMOS (1X、2X)	上記と共有	
	アナログ入出力	—	アナログ入出力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IO5、IO6、IO9	使用されていないピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミット トリガなし) デジタル入力 (シュミット トリガ付き) 低電圧デジタル入力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ
	デジタル出力	1	プッシュプル出力 (1X、2X)	フローティング	—
			オープンドレイン NMOS (1X、2X) オープンドレイン PMOS (1X、2X)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
					1MΩ

注

GPI/IN0 には、電源オン時にデバイスをリセットするオプションもあります。POR とは異なり、外部リセットによって内部ロジックと配線、入力、出力のみがリセットされます。NVM は以前の状態を保持します。GPI リセットが有効になっている場合、入力モードはシュミット トリガなしのデジタル入力に設定してください。
外部リセットを *無効*、*レベル センシティブ*、*エッジ トリガ* のいずれにするかを選択します。
レベル センシティブ が選択されている場合、入力が High になると、本デバイスは、すべての内部デバイスがリセットされるリセット モードに入ります。このピンが Low になると、本デバイスはリセット パワーオン シーケンスを開始します。
エッジ トリガ を選択すると、立ち上がりエッジまたは立ち下がりエッジを検出するようにエッジ検出器を構成できます。そして、GPI/IN0 のエッジによって本デバイスはリセットされ、リセット パワーオン シーケンスが開始されます。

7.3.2 接続マルチプレクサ

TPLD1201 には、内部マクロセルおよび I/O ピンの配線を構成するための相互接続システムがあります。この相互接続システムは、接続マルチプレクサと呼ばれています。接続マルチプレクサには 32 の入力と 44 の出力があります。接続マルチプレクサの 32 の入力は、それぞれ、I/O ピン、LUT、アナログ コンパレータ、その他のデジタル リソース、VCC、GND などを含む特定のマクロセルにハードワイヤ接続されています。デジタル マクロセルへの入力は、5 ビット レジスタを使用して、これら 32 本の入力ラインのいずれかを選択します。

7.3.3 機能を設定可能なロジック ブロック

2 つの 2 ビット LUT と 2 つの 3 ビット LUT を含む組み合わせロジックは、TPLD1201 内のルックアップ テーブル (LUT) によってサポートされています。組み合わせ機能マクロセルの入力と出力は、OTP ビットの状態によって定義される特定のロジック機能を持つように、接続マルチプレクサによって構成されます。

TPLD1201 は、複数のロジックまたはタイミング機能を備えた 7 つの組み合わせ機能ブロック (マクロセル) を内蔵しています。いずれの場合も、これらはルックアップ テーブル (LUT)、または別のロジックまたはタイミング機能として機能できます。これらのロジック ブロックに実装できる機能については、以下の一覧表を参照してください。

- 2 つの 2 ビット LUT
- 2 つの 3 ビット LUT

Copyright © 2026 Texas Instruments Incorporated

- 2 つの 2 ビット LUT または D タイプ フリップ フロップまたはラッチ
- 2 つの 3 ビット LUT または D タイプ フリップ フロップまたはラッチ (リセット / セット オプション付き)
- 1 つの 3 ビット LUT またはパイプ遅延
- 1 つの 4 ビット LUT または 8 ビット カウンタまたは遅延ジェネレータ

7.3.3.1 2 ビット LUT マクロセル

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。

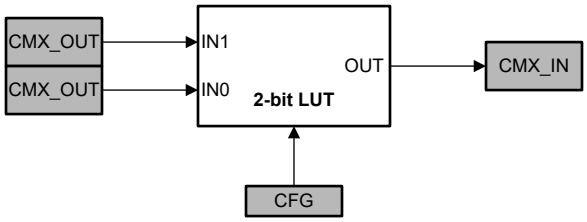


図 7-2. 2 ビット LUT のブロック図

これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-2 に、2 ビット LUT の真理値表を示します。

表 7-2. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	ユーザー定義
0	1	
1	0	
1	1	

出力機能を定義するため、各 2 ビット LUT は OTP 内に 4 つのビットを備えています。

Copyright © 2026 Texas Instruments Incorporated

7.3.3.2 3 ビット LUT マクロセル

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。

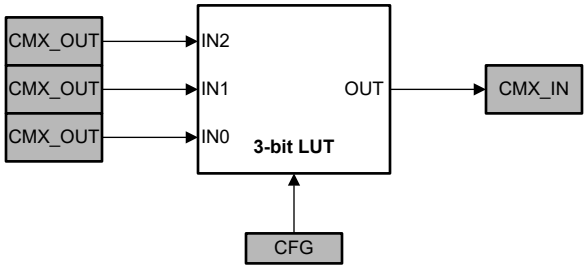


図 7-3. 3 ビット LUT のブロック図

これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-3 に、3 ビット LUT の真理値表を示します。

表 7-3. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

7.3.3.3 2 ビット LUT または D フリップ フロップ / ラッチ マクロセル

機能を設定可能なこのロジック ブロックは 2 ビット LUT と D フリップ フロップ / ラッチのどちらかとして機能できます。

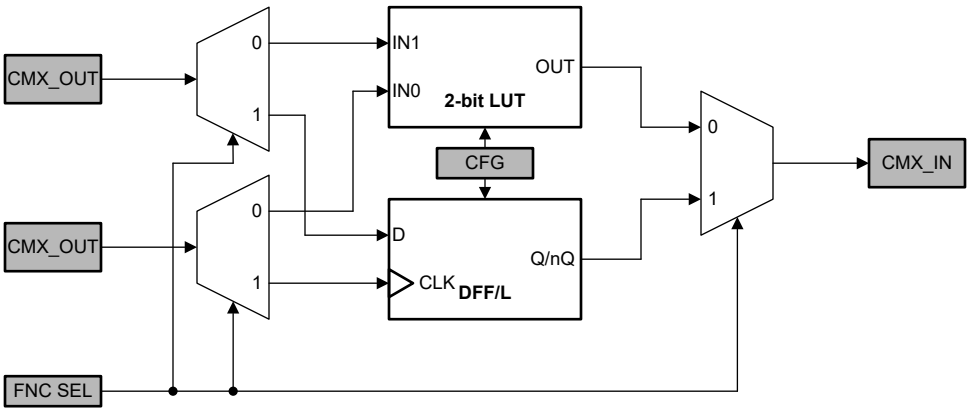


図 7-4. 2 ビット LUT または DFF / ラッチのブロック図

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-4 に、2 ビット LUT の真理値表を示します。

表 7-4. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	ユーザー定義
0	1	
1	0	
1	1	

出力機能を定義するため、各 2 ビット LUT は OTP 内に 4 つのビットを備えています。

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、フリップ フロップ / ラッチのデータ (D) およびクロック (CLK) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルはクロックおよび出力極性パラメータだけでなく、初期状態パラメータを持っています。

D フリップ フロップ / ラッチの動作は以下の機能説明に従います:

- クロック極性は設定可能であり、非反転 (CLKPOL = 0、CLK) または反転 (CLKPOL = 1、nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-5 と 表 7-6 に、それぞれ D フリップ フロップと D ラッチの真理値表を示します。

表 7-5. D フリップ フロップの真理値表

CLKPOL	CLK	D	Q	nQ
0	↓	0	Q_0	nQ_0
	↑	0	0	1
	↓	1	Q_0	nQ_0
	↑	1	1	0
1	↓	0	0	1
	↑	0	Q_0	nQ_0
	↓	1	1	0
	↑	1	Q_0	nQ_0

Copyright © 2026 Texas Instruments Incorporated

表 7-6. D ラッチの真理値表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	Q_0	nQ_0
	0	1	1	0
	1	1	Q_0	nQ_0
1	0	0	Q_0	nQ_0
	1	0	0	1
	0	1	Q_0	nQ_0
	1	1	1	0

7.3.3.4 3 ビット LUT または D フリップ フロップ / ラッチ (セット / リセット付き) マクロセル

機能を設定可能なこのロジック ブロックは、3 ビット LUT と D フリップ フロップ / ラッチ (セット / リセット付き) のどちらかとして機能できます。

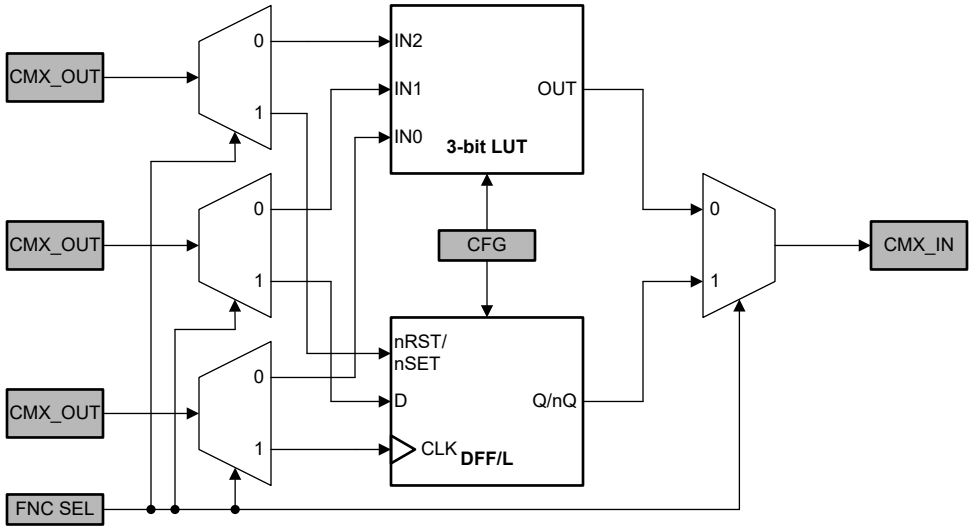


図 7-5. 3 ビット LUT または DFF またはラッチ (nRST または nSET 付き) のブロック図

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-7 に、3 ビット LUT の真理値表を示します。

表 7-7. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップ / ラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルは初期状態、クロック極性、リセット / セット極性、出力極性のパラメータを持っています。

D フリップ フロップ / ラッチの動作は以下の機能説明に従います:

- クロック極性は設定可能であり、非反転 (CLKPOL = 0、CLK) または反転 (CLKPOL = 1、nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low のリセット / セットを使うこともできます。
  - nRST:入力を High にすると、DFF / ラッチは通常動作に入り、入力を Low にすると、Q は 0 にリセットされます。
  - nSET:入力を High にすると、DFF / ラッチは通常動作に入り、入力を Low にすると、Q は 1 にセットされます。
- リセット / セットが不要な場合、これらの入力を V_{CC} またはその他の常に High になっているソースに接続できます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-8 と表 7-9 に、それぞれ D フリップ フロップと D ラッチ (リセット / セット付き) の真理値表を示します。

表 7-8. D フリップ フロップ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0

Copyright © 2026 Texas Instruments Incorporated

表 7-8. D フリップ フロップ (nRST/nSET 付き) の真理値表 (続き)

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 7-9. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

7.3.3.5 3 ビット LUT またはパイプ遅延マクロセル

このマクロセルは 3 ビット LUT とパイプ遅延のどちらかとして機能できます。

Copyright © 2026 Texas Instruments Incorporated

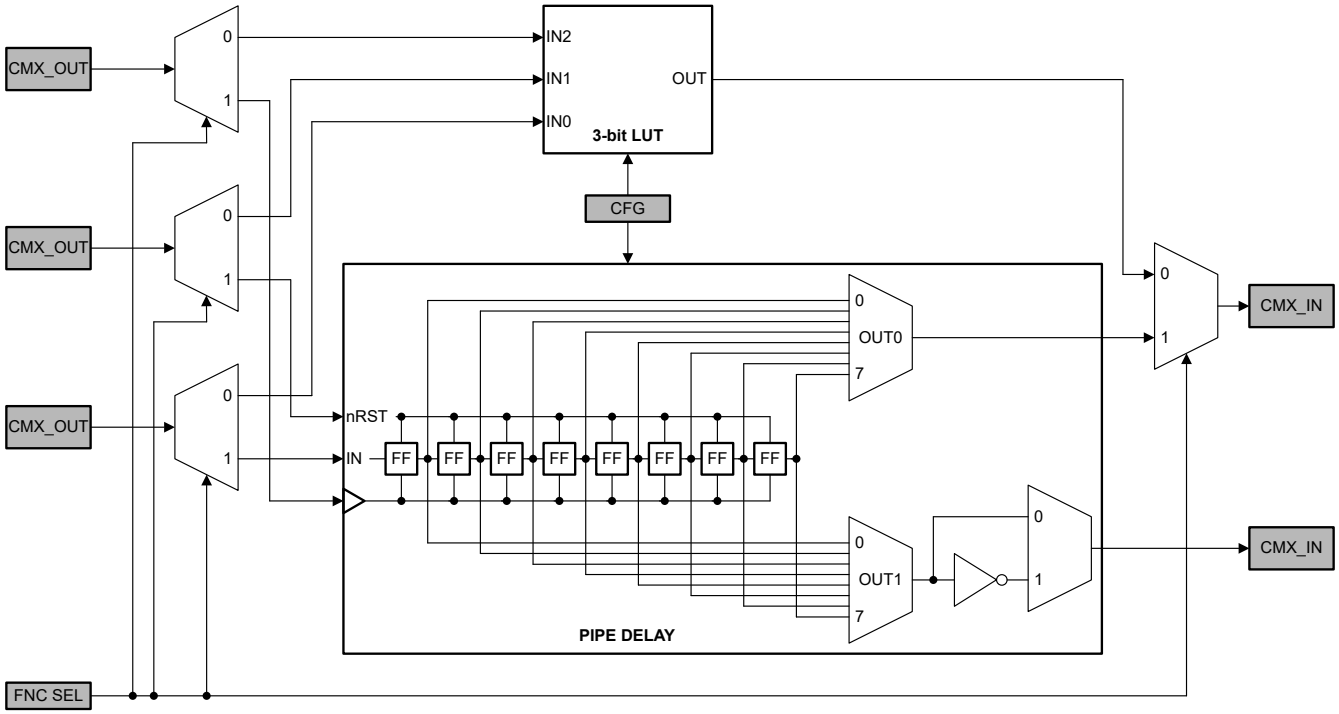


図 7-6. 3 ビット LUT またはパイプ遅延のブロック図

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (

- AND
- NAND
- または
- NOR
- XOR
- XNOR
- INV

表 7-10 に、3 ビット LUT の真理値表を示します。

表 7-10. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

パイプ遅延を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップ / ラッチの遅延入力 (IN)、クロック (CLK)、リセット (nRST) 入力に入力され、2 つの出力は接続マルチプレクサに戻ります。このマクロセルを使うと、ユーザーは出力ごとの遅延段数 (1～8) と OUT1 の出力極性を選択できます。

Copyright © 2026 Texas Instruments Incorporated

パイプ遅延は、8 つの DFF で構成された 8 段の遅延です。DFF セルは直列に接続され、各遅延セルの出力が隣の DFF セルに転送されます。各パイプ遅延出力の遅延量の選択を制御するために使用されるマルチプレクサへの OUT0 および OUT1 出力の各組には、遅延出力点があります。

通常のパイプ遅延機能を使う場合、nRST 入力を High にする必要があります。nRST 入力が Low の場合、パイプ遅延マクロセルはリセット状態に入り、すべての出力は Low になります。

図 7-7 に、2 段の遅延を選択したパイプ遅延マクロセルの例を示します。

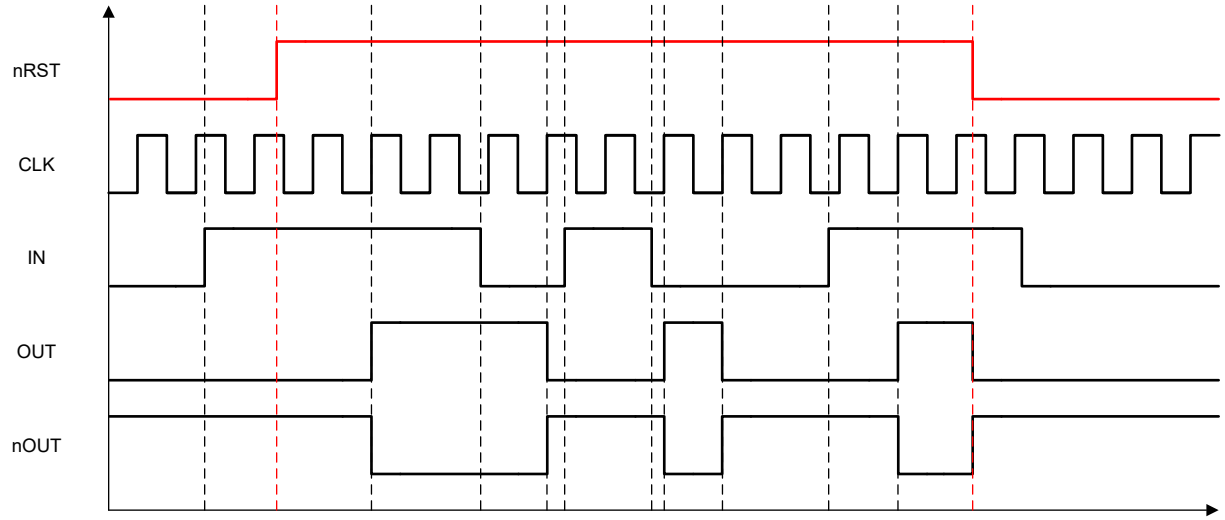


図 7-7. パイプ遅延マクロセルのタイミング例 (遅延 = 2)

7.3.3.6 4 ビット LUT または 8 ビット カウンタ / 遅延マクロセル

このマクロセルは 4 ビット LUT とカウンタ / 遅延ジェネレータ (CNT/DLY) のどちらかとして機能できます。

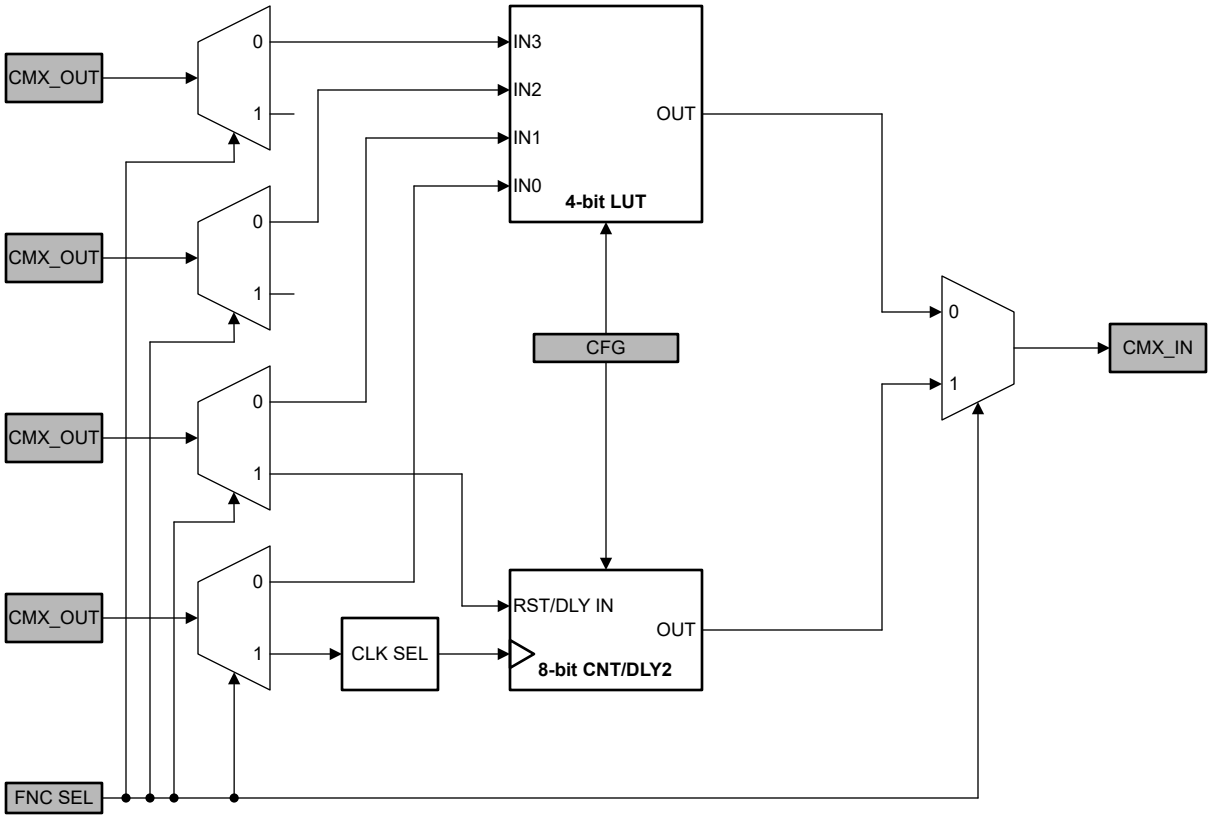


図 7-8. 4 ビット LUT または 8 ビット CNT/DLY のブロック図

LUT 機能を実装するために使用する場合、4 ビット LUT は接続マルチプレクサから 4 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-11 に、4 ビット LUT の真理値表を示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-11. 4 ビット LUT の真理値表

IN3	IN2	IN1	IN0	OUT
0	0	0	0	ユーザー定義
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

出力機能を定義するため、各 4 ビット LUT は OTP 内に 16 つのビットを備えています。

8 ビット カウンタ / 遅延機能を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、カウンタ / 遅延マクロセルのクロック (CLK) とリセット (RST/DLY IN) に入力され、その出力は接続マルチプレクサに戻ります。カウンタとして本マクロセルは、定められたデータ値をカウントし、設定値に達すると、パルスを生成し、またはリセットします。遅延として本マクロセルは、レジスタ値の関数として設定された期間だけ立ち上がりエッジまたは立ち下がりエッジを遅らせます。

CNT/DLY マクロセルの詳細については、セクション 7.3.4 を参照してください。

7.3.4 8 ビット カウンタ / 遅延ジェネレータ (CNT/DLY)

カウンタ / 遅延ジェネレータは 8 ビットで、1～255 のカウンタ データ値をサポートします。柔軟性を高めるため、これらの各マクロセルのクロック ソースは、内部発振器、発振器から生成された分周クロック (OSC/4、/12、/24、/64、/4096)、または接続マルチプレクサから生成される外部クロック ソースとして構成できます。前の CNT/DLY マクロセルの出力からチェーン接続して、より長いカウンタ / 遅延回路を実装するオプションもあります。カウンタ / 遅延マクロセルが立ち上がりエッジ トリガであることに注意してください。つまり、クロックの立ち上がりエッジでカウンタがインクリメント / デクリメントします。

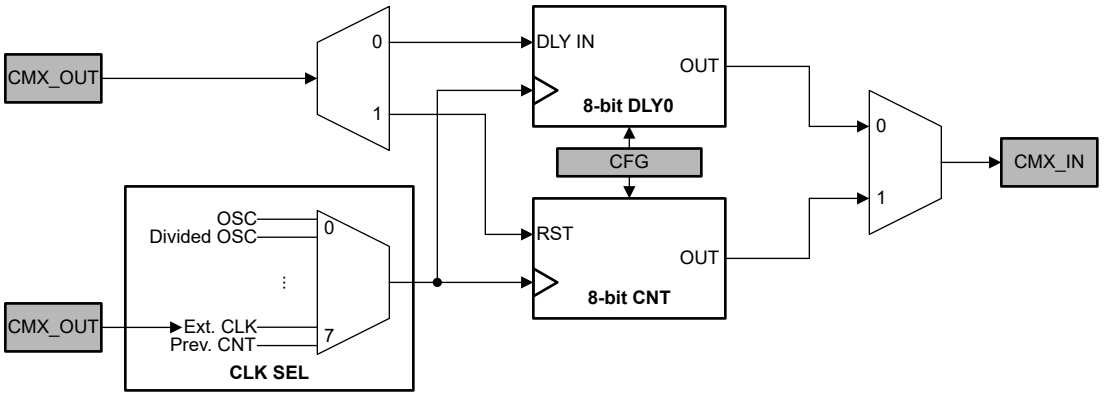


図 7-9. CNT/DLY ブロック図

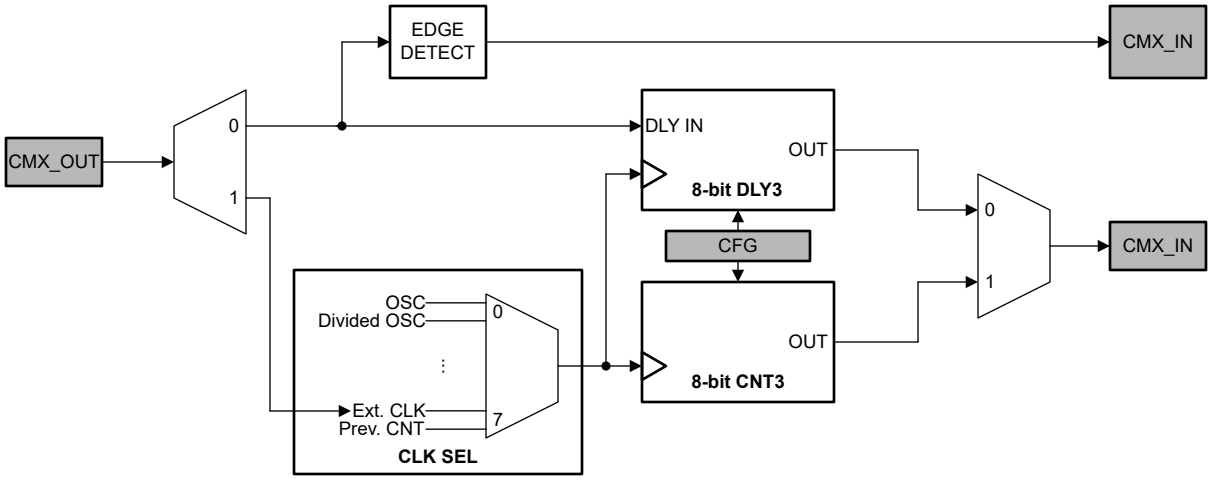


図 7-10. CNT/DLY3 のブロック図

カウンタ / ディレイ (CNT/DLY) マクロセルとして、モードをディレイ、カウンタから選択できます。

CNT/DLY3 は遅延モードの場合、オプションのエッジ検出器もあり、遅延出力に加えて、指定されたエッジで短いパルスを生成します。

7.3.4.1 遅延モード

遅延ジェネレータ (DLY) として構成されている場合、このマクロセルは、カウンタ DATA と CLK 入力周波数に基づいて入力を遅延させ、立ち上がり / 立ち下がりエッジを遅延します。遅延するエッジは、エッジ選択パラメータで選択され、次のように設定できます。

- 立ち上がり:IN の立ち上がりエッジでのみ遅延を発生させます。
- 立ち下がり:IN の立ち下がりエッジでのみ遅延を発生させます。
- 両方:IN の立ち上がりエッジと立ち下がりエッジの両方で遅延を発生させます。

遅延アプリケーションの場合、TI はより大きなカウンタデータ値を使用して誤差を低減することを推奨します。入力パルス幅が指定の遅延時間より短い場合、パルスはフィルタで除去されます。この機能はグリッチ除去に役立ちます。

オンチップ発振器を使用する場合、OSC が「強制電源オン」と「自動電源オン」のどちらに設定されているかに応じて、遅延誤差またはオフセットが発生します。クロック同期のために、遅延計算には追加で 2 クロック サイクルが含まれており、

遅延時間は次の式で計算されます:

$$\mathrm{DELAY} = \left[\mathrm{DATA} + \left(t_{d_er} \text{ or } t_{d_os}\right) + 2\right] \div f_{CLK} \quad (1)$$

OSC が「自動電源オン」に設定され、その後前の出力が存在する前に DLY マクロセルがトリガされると、OSC はクロックを継続し、DLY が次の立ち上がりエッジで開始します。したがって、それ以降の遅延は、OSC が「強制電源オン」に設定されているかのように計算できます。

図 7-11 に、両方のエッジ遅延 (both) と DATA = 1 に設定された遅延マクロセル動作の例を示します。

Copyright © 2026 Texas Instruments Incorporated

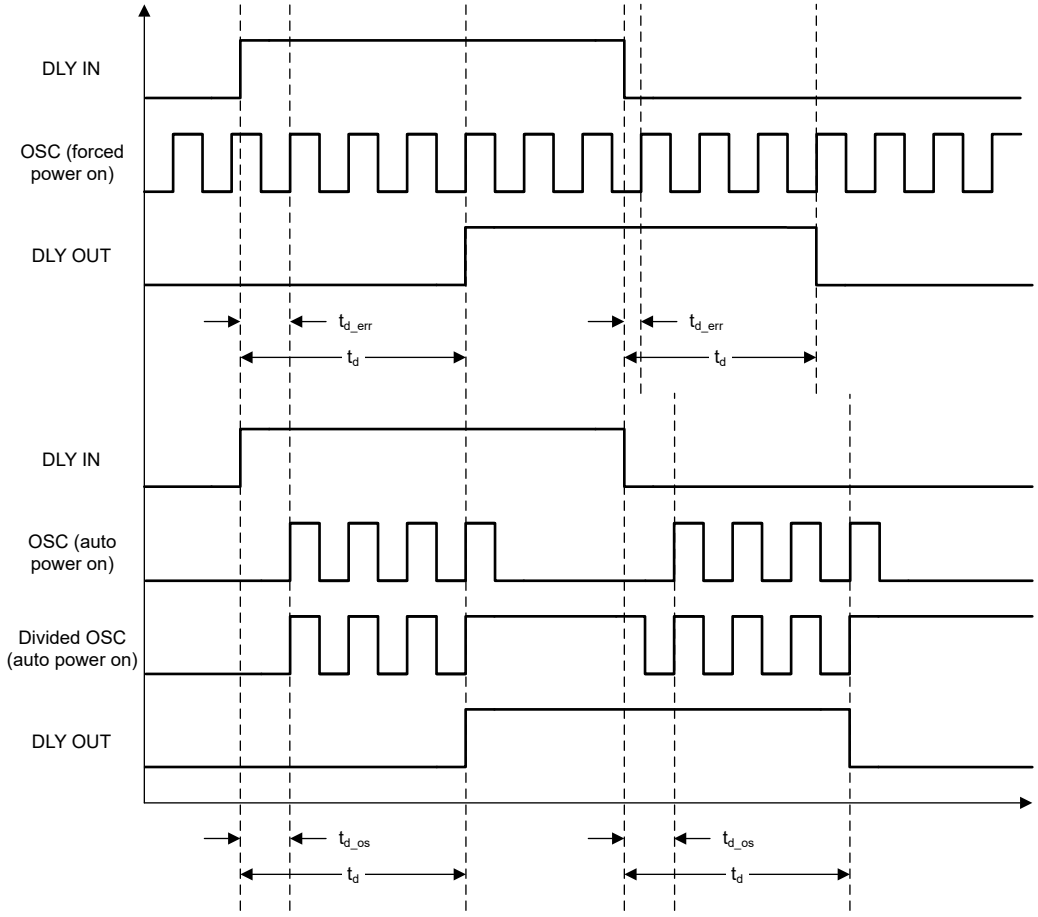


図 7-11. 遅延出力タイミングの例 (両方のエッジ遅延と DATA = 1)

図 7-12 に、エッジを選択した data = 3 に対する遅延マクロセルのタイミング例を示します。

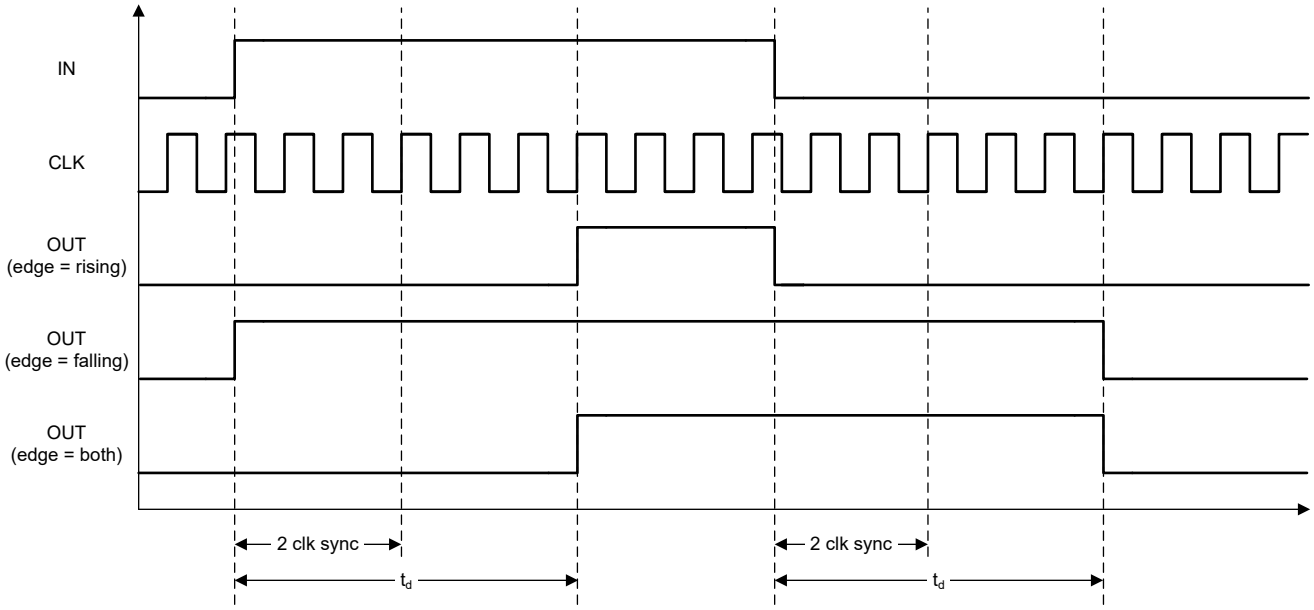


図 7-12. 遅延出力タイミングの例 (DATA = 3)

7.3.4.2 エッジ検出器モード

CNT/DLY3 が遅延として構成された場合、有効なエッジが検出されたときに約 20ns 幅のパルスを生成するオプションがこのマクロセルにはあります。どちらのエッジでエッジ検出器がパルスを生成するかは、エッジ選択パラメータによって決定され、次のように設定できます。

- 立ち上がり:IN の立ち上がりエッジのみがパルスを生成します。
- 立ち下がり:IN の立ち下がりエッジのみがパルスを生成します。
- 両方:IN の立ち上がりエッジおよび立ち下がりエッジの両方でパルスが生成されます。

下の画像に、エッジ選択パラメータにより EDET オプションがどのように動作するかの例を示します。

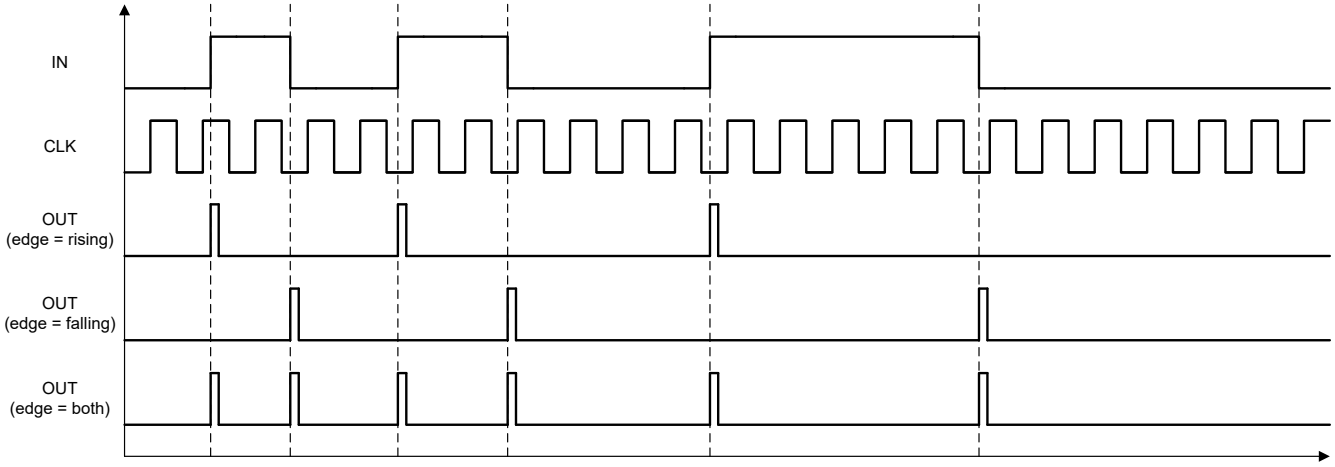


図 7-13. エッジ検出器の出力タイミングの例

7.3.4.3 カウンタ モードのリセット

カウンタ (CNT) として構成し、IN 入力に有効なエッジが表示されると、このマクロセルは内部カウンタを 0 にリセットし、次の立ち上がりクロック エッジで DATA からカウントダウンを開始します。その後、カウントが 0 に達した時点で、マクロセルは 1 CLK 周期の間パルスを出力し、DATA の値にラップアラウンドします。カウンタは、別のリセットを受信するまで継続的に動作します。カウンタがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- Rising:IN の立ち上がりエッジのみがカウンタをリセットします。
- Falling:IN の立ち下がりエッジのみがカウンタをリセットします。
- Both:IN の立ち上がりエッジと立ち下がりエッジの両方で、カウンタがリセットされます。
- High Level Reset:IN が High のときは常にカウンタは 0 にリセットされ、リセット後、カウンタ出力は次の立ち上がり CLK エッジまで Low に維持され、その後は通常動作します。

カウンタ時間は次の式で計算されます:

$$\text{COUNT} = [\text{DATA} + 1] \div f_{\text{CLK}} \quad (2)$$

After a reset, an additional 2 clock cycles is added for clock synchronization

注

POR 後、カウンタは DATA = 0 で初期化されます。

図 7-14 および 図 7-15 に、それぞれ DATA=1 および DATA=3 でのエッジ選択パラメータごとのカウンタ出力タイミング図の例を示します。

Copyright © 2026 Texas Instruments Incorporated

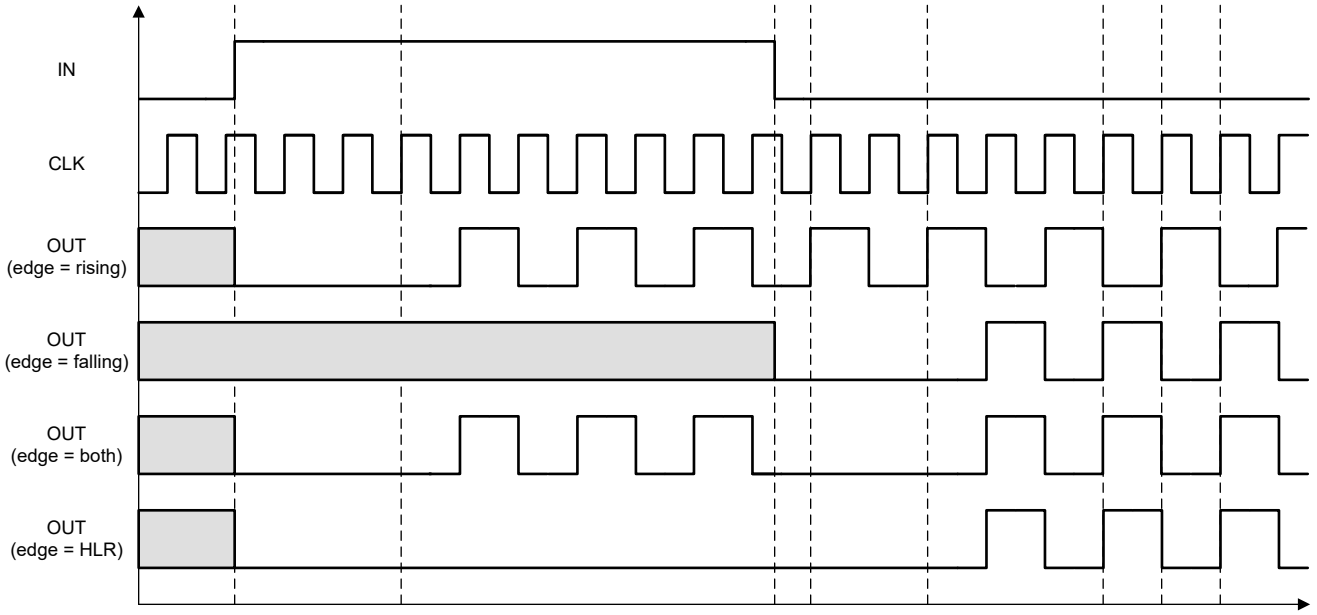


図 7-14. カウンタ出力タイミングの例 (DATA = 1)

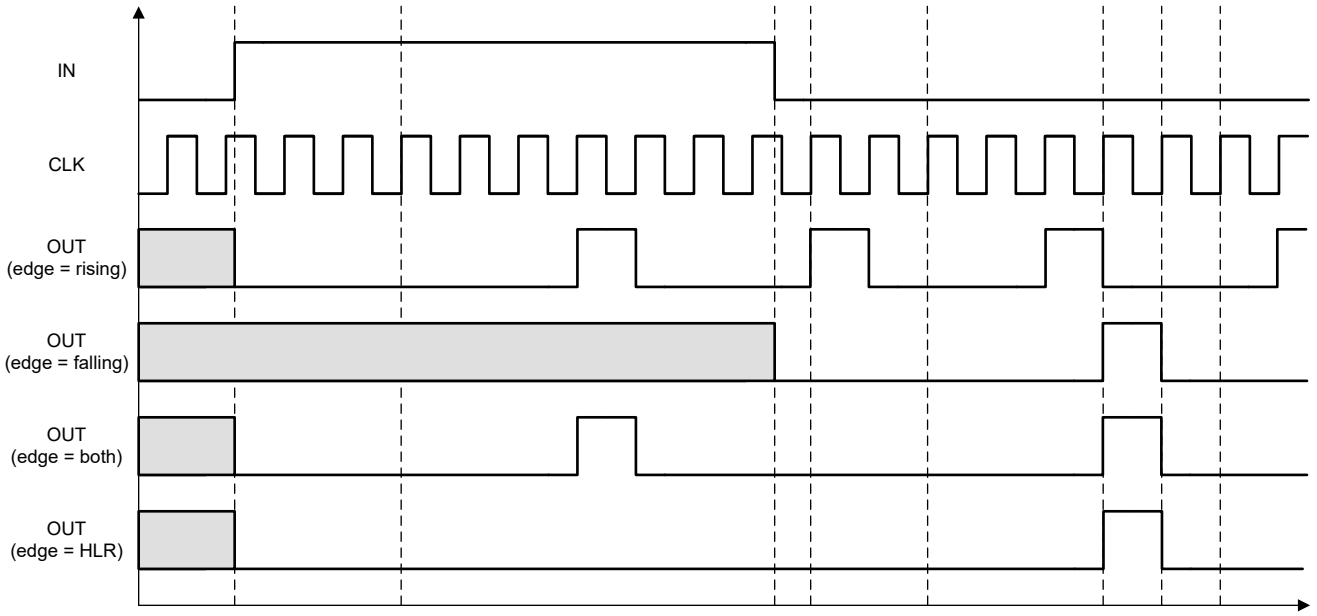


図 7-15. カウンタ出力タイミングの例 (DATA = 3)

図 7-16 に、IN 信号がカウンタの長さより短い場合のカウンタ マクロセルの動作の例を示します (エッジ選択パラメータが「Both」に設定されている場合に表示)。

Copyright © 2026 Texas Instruments Incorporated

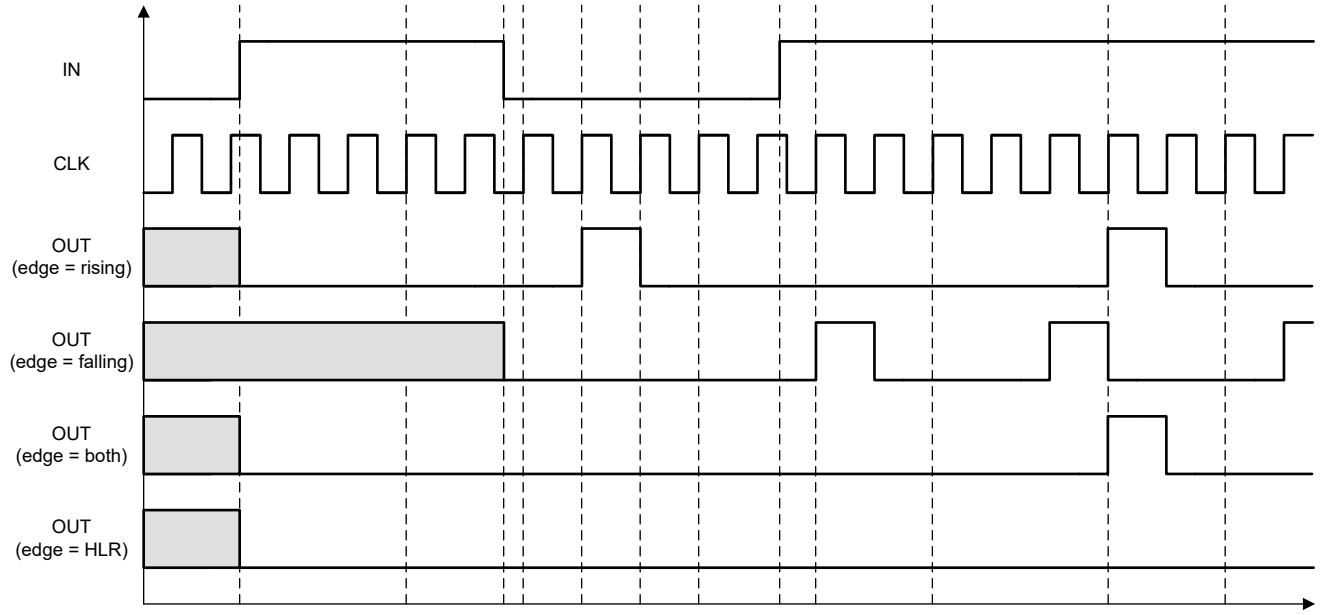


図 7-16. RST < DATA (DATA = 3) でのカウンタ出力タイミングの例

7.3.5 プログラム可能なグリッチ除去フィルタまたはエッジ検出器マクロセル

TPLD1201 には 1 つのマクロセルがあり、プログラマブル フィルタ (PFLT) またはエッジ検出器 (EDET) として構成できます。PFLT マクロセルを使用すると、t_{pflt_pw} および t_{pflt_pd} で特性化される遅延 (t_{pflt_d}) を生成できます。t_{pflt_pw} は 125ns、250ns、375ns、500ns に設定でき、t_{pflt_pd} は固定値です。さらに、マクロセルの出力は、立ち上がりエッジ検出、立ち下がりエッジ検出、両方のエッジ検出、または両方のエッジ遅延の 4 つのオプションのいずれかに構成できます。最後に、このフィルタは短いローパス フィルタとして動作し、出力を非反転または反転に設定できます。

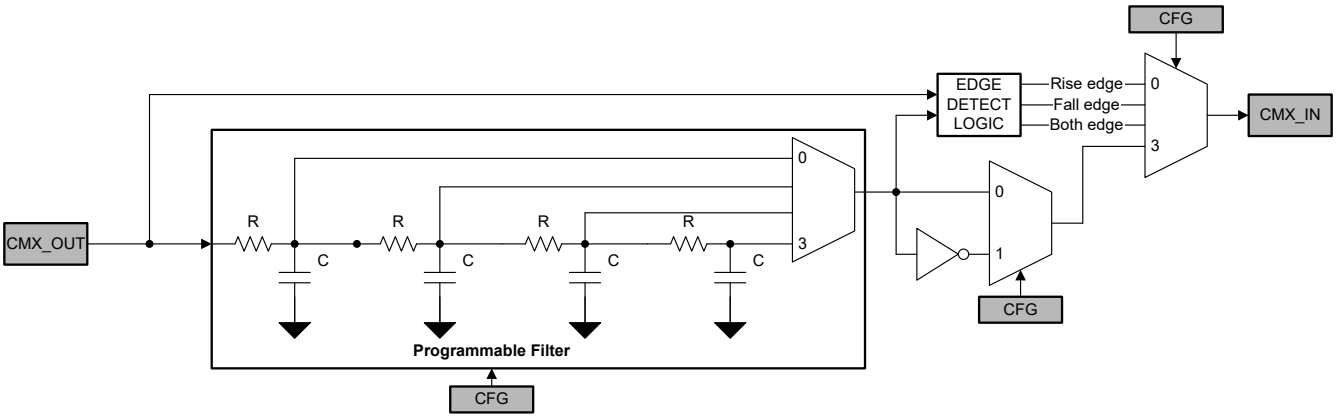


図 7-17. プログラム可能なフィルタおよびエッジ検出器のブロック図

注

入力信号は t_{pflt_d} より長くする必要があります。長くしないと、フィルタによって除去されます。

Copyright © 2026 Texas Instruments Incorporated

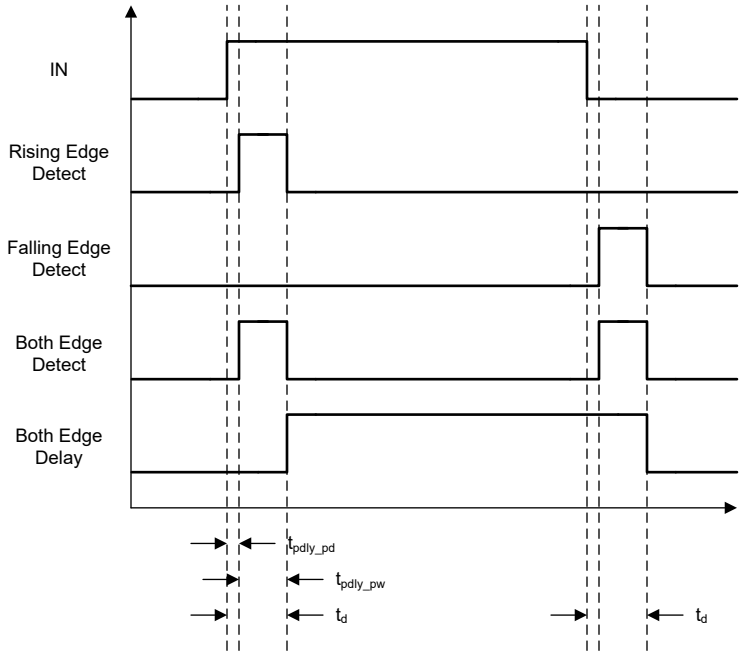


図 7-18. プログラム可能なフィルタおよびエッジ検出器の出力タイミング図の例

7.3.6 周波数選択可能発振器

TPLD1201 には 1 つの内部発振器があり、25 kHz または 2 MHz で動作するように選択できます。ユーザーは、OSC マクロセルに対してこれらの動作周波数のいずれかを選択できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

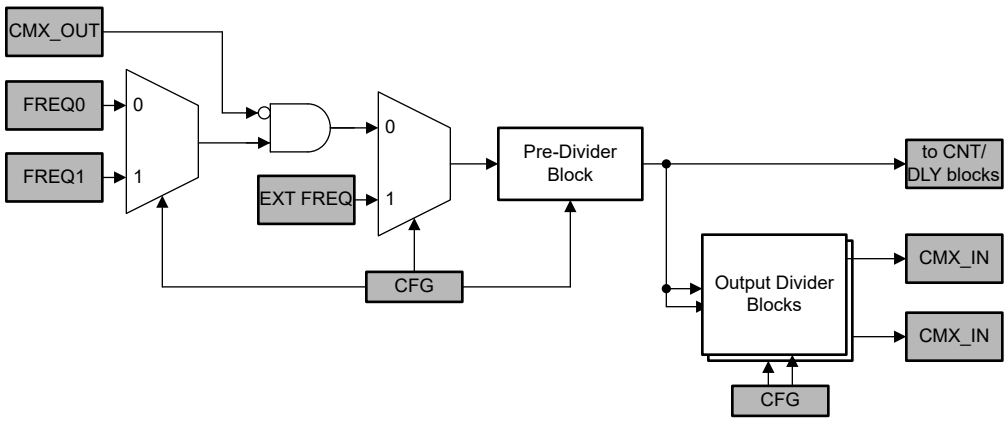


図 7-19. 発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、*発振器の周波数モード* に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには 2 つの独立した第 2 段の分周器があり、接続マルチプレクサに対して 2 つの異なるクロック (OUT0 および OUT1) の出力が可能です。*発振器の周波数モード* を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3.7 アナログ コンパレータ (ACMP)

TPLD1201 には 2 つのアナログ コンパレータ (ACMP) マクロ セルがあります。アナログ コンパレータは 2 つの電圧 (IN+ と IN-) を比較し、どちらの入力が大きいかを示すデジタル信号 (OUT) (IN+ が大きい場合は High 信号、IN- が大きい場合は Low 信号) を出力します。

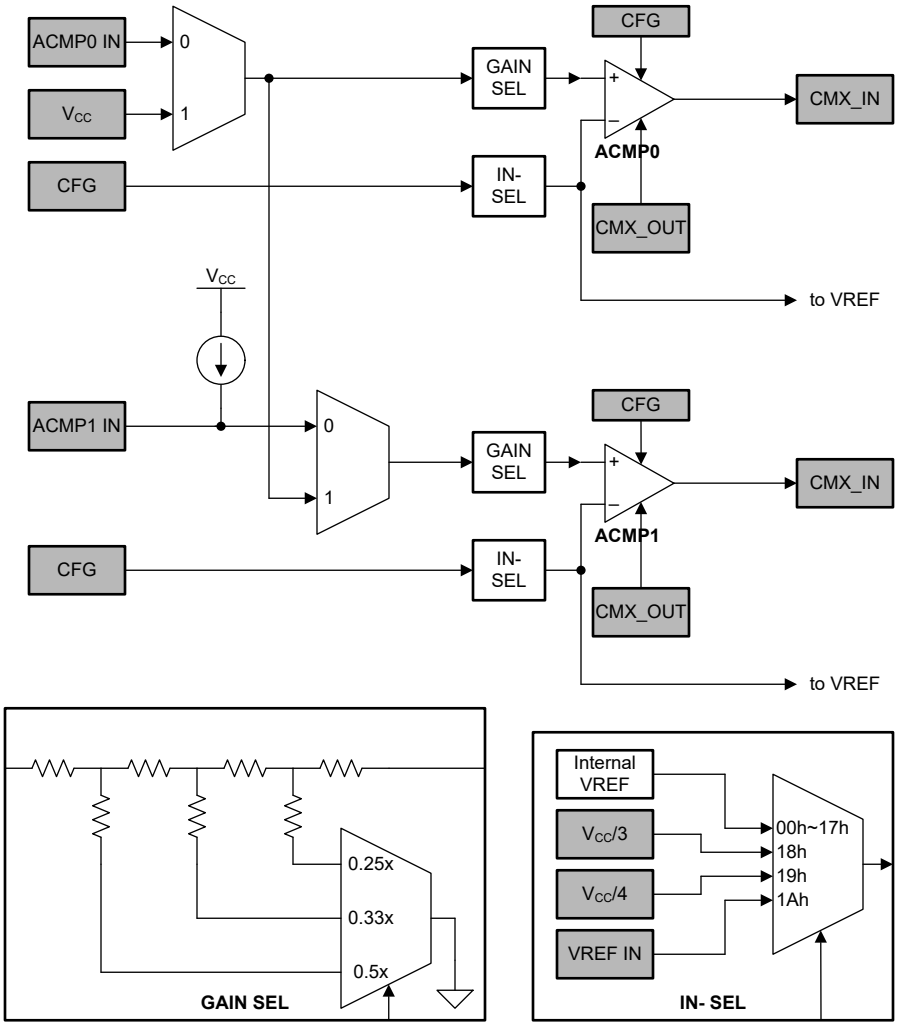


図 7-20. ACMP のブロック図

ACMP マクロセルを動作させるには、パワー アップ信号 (PWR UP) を High にアサートする必要があります。接続マルチプレクサからの信号に接続することで、接続マルチプレクサからのデジタル信号に基づいて、常時オン、常時オフ、動的にオンのいずれかに各 ACMP を設定できます。パワー ダウンされた場合、ACMP は Low 信号を出力します。

- PWR UP = 1 : ACMP はパワー アップされます。
- PWR UP = 0 : ACMP はパワー ダウンされます。

パワー アップ時、ACMP 出力は low に維持され、POR 信号が high になった後、100µs (標準値) で有効化されます。この間、内部発振器がパワー ダウンされないようにしてください。

各 ACMP セルは、各種外部信号源によって提供される信号を入力する正信号入力と、その信号をアナログ コンパレータに入力する前に増幅する選択可能なゲイン段を持っています。ACMP1 は、外部センサを励起するための 100µA プルアップ電流源も備えています。負入力信号は内部 VREF と外部源のどちらかから生成されます。

Copyright © 2026 Texas Instruments Incorporated

表 7-12. ACMP0 と ACMP1 の入力源

パラメータ	ACMP0(1)	ACMP1(2)
IN+ 信号源	アナログ入力 0 (IO1 と共有)	アナログ入力 1 (IO4 と共有)
	V_{CC}	ACMP0 IN+
IN- 信号源	150mV	150mV
	...	...
	1200mV	1200mV
	V_{CC}/3	V_{CC}/3
	V_{CC}/4	V_{CC}/4
	VREF アナログ入力 (IO2 と共有)	VREF アナログ入力 (IO2 と共有)

(1) ACMP への正アナログ入力源。
(2) ACMP への負アナログ入力源。内部 VREF スレッショルドは 1200mV 付近に最適化されています。

IN+ ゲイン:各 ACMP セルは、各種外部信号源によって提供される信号を入力する正信号入力と、その信号をアナログコンパレータに接続する前に増幅する選択可能なゲイン段 (1X、0.5X、0.33X、0.25X) を持っています。

IN- 電圧範囲:内部 VREF、V_{CC}/3、V_{CC}/4、外部電源を使用して、150mV～1.2V に設定できます。

ヒステリシス:各 ACMP では 4 種類のヒステリシス (0mV、25mV、50mV、200mV) を選択できます。内部 VREF マクロセルまたは外部 VREF 入力を使用している場合、ヒステリシスを選択できます。

- **0mV**:入力信号のヒステリシスをディセーブルにします。
- **25mV**:+12.5mV および -12.5mV のヒステリシスです。VREF = 1V の場合、トリガ ポイントは 1.0125V および 0.9875V になります。
- **50mV**:+25mV および -25mV のヒステリシスです。VREF = 1V の場合、トリガ ポイントは 1.025V および 0.975V になります。
- **200mV**:+100mV および -100mV のヒステリシスです。VREF = 1V の場合、トリガ ポイントは 1.1V および 0.9V になります。

ヒステリシスが必要な場合、ヒステリシスが VREF よりも小さくなるようにします。さもないと、負のトリガ点がデバイス グランドより低く設定され、推奨動作条件の範囲外のストレスが本デバイスに印加されて、本デバイスの寿命を縮める可能性があります。

低帯域幅:ACMP セルは、入力信号の帯域幅を選択する機能を備えており、この機能を使って低帯域幅の信号を比較することで、消費電力を節約し、ノイズの影響を低減できます。

ACMP 負入力で V_{CC}/3 と V_{CC}/4 を使用しない場合、消費電力を低減するため、これらを無効化できます。

7.3.8 電圧リファレンス (VREF)

電圧リファレンス (VREF) は固定 (一定の) 電圧を生成し、アナログ コンパレータと外部回路に基準電圧を提供します。TPLD1201 は、2 つのアナログ コンパレータに基準電圧を提供するための電圧リファレンス マクロセルを備えています。このマクロセルは、ユーザーが選択した固定基準電圧、本デバイスの V_{CC} 電源電圧の 1/2、1/3、1/4 の基準電圧、VREF アナログ入力 (IO4 と共有) から外部的に供給された基準電圧を出力できます。本マクロセルは VREF アナログ出力 (IO7 と共有) に基準電圧を出力することもできます。

Copyright © 2026 Texas Instruments Incorporated

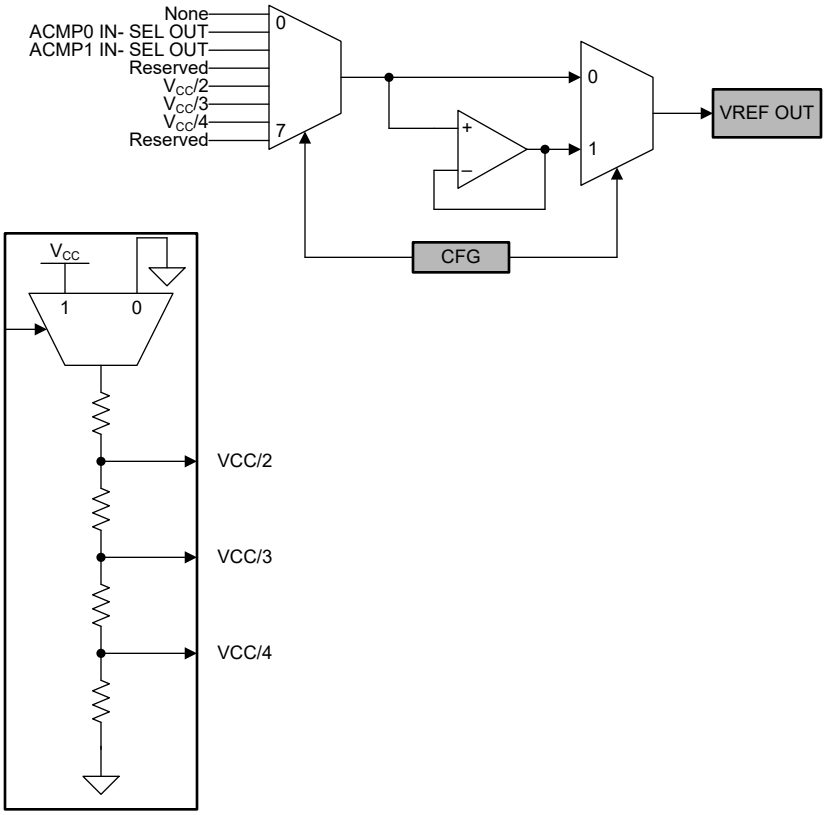


図 7-21. 電圧リファレンスのブロック図

VREF 選択の際に V_{CC}/2、V_{CC}/3、V_{CC}/4 を使用しない場合、消費電力を低減するために、これらを無効化できます。

バンドギャップを強制的にオンにすると、本チップに電力を供給している間、バンドギャップは作動状態に保たれます。

出力アクティブ バッファ パラメータは VREF のアクティブ出力バッファを有効化します。

表 7-13. VREF 範囲

V_{CC}	VREF 範囲
1.71V ～ 5.5V	150mV ～ 1.2V

7.4 デバイスの機能モード

7.4.1 パワーオン リセット

TPLD1201 は、適切なデバイス初期化と本デバイス内のすべてのマクロセルの動作を可能にするパワーオン リセット (POR) マクロセルを備えています。POR 回路の目的は、V_{CC} 電源がデバイスで最初に上昇するとき、およびパワーダウンで V_{CC} が下降するときに、一貫性のある動作と予測可能な結果を得ることです。この目標を達成するために、POR は定義された一連の内部イベントを駆動して、デバイス内のさまざまなマクロセルの状態を変化させ、最終的には I/O ピンの状態を変化させます。

パワーオン リセット (POR) マクロセルは、デバイスの電源 (V_{CC}) が V_{PORR} 付近まで上昇し、デバイスが完全に起動すると、出力としてロジック High 信号を生成します。すべての出力が高インピーダンス状態になり、チップは OTP からのデータのロードを開始します。内部マクロセルに対するリセット信号が解除され、すべてのレジスタがデフォルト状態に初期化されます。図 7-22 に、POR システムが、あるマクロセルをイネーブルする一連の信号を生成する様子を示します。

Copyright © 2026 Texas Instruments Incorporated

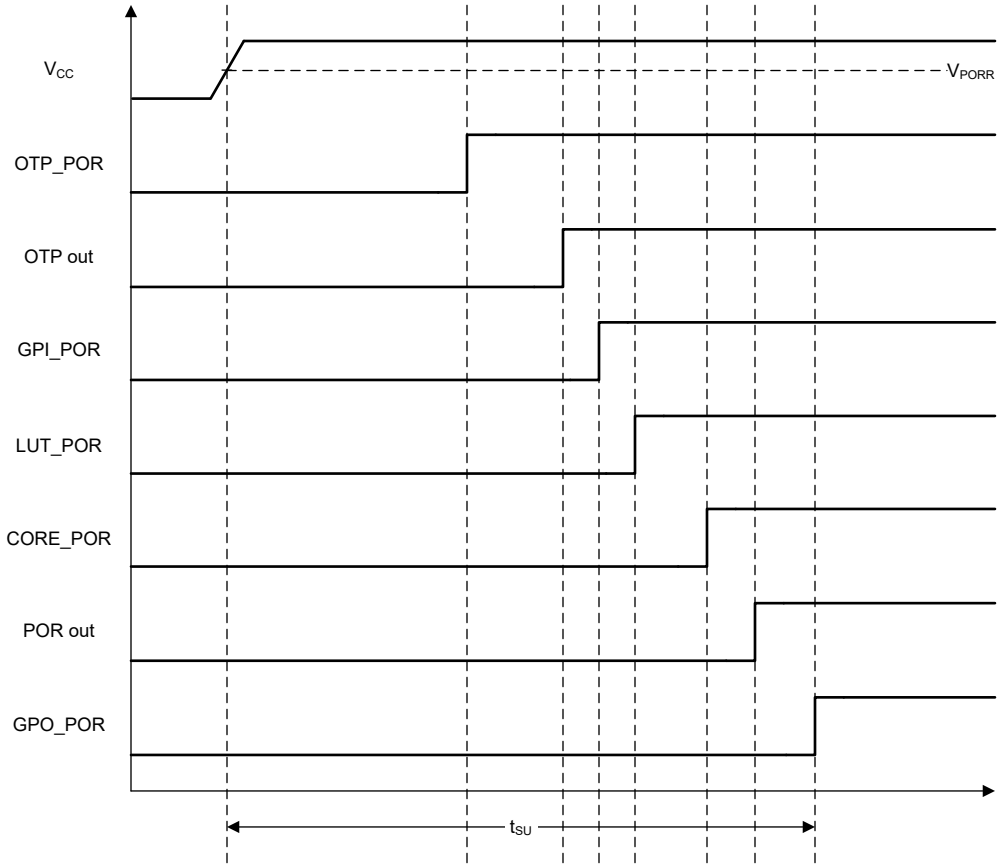


図 7-22. POR シーケンス

図 7-22 に示すように、V_{CC} が上がり始め、V_{PORR} スレッショルドを横切った後、次の動作が行われます:

- まず、オンチップ OTP メモリがリセットされます。
- 次に、本デバイスは OTP メモリからデータを読み取り、各マクロセルと接続マルチプレクサを構成するため、この情報を転送します。
- 第 3 段階では、入力として構成された GPIO がリセットされ、それらが有効化されます。
- その後、LUT がリセットされ、アクティブになります。LUT の後、遅延セル、OSC、DFF、ラッチ、パイプ遅延が初期化されます。
- すべてのマクロセルが初期化されると、POR マクロセルによって生成された内部 POR 信号が Low から High に変化します。
- このデバイスで最後に初期化される部分は、出力ピンであり、この時点で高インピーダンスからアクティブに遷移します。

GPIO の高速充電:特に大きな容量が存在する場合、入力が正常な電圧により早く到達できるように、任意の構成済みプルアップ / プルダウン抵抗と並列に 2kΩ の抵抗を接続する機能が備わっています。10kΩ、100kΩ、1MΩ の GPIO プルアップ / プルダウン抵抗は、POR シーケンスが完了するまで有効化されません。

初期化:すべての内部マクロセルはデフォルトで Low レベルに初期化されます。V_{CC} が V_{PORR} を上回ると、TPLD1201 のマクロセルがパワーオンされ、強制的にリセット状態になります。

VREF 出力ピン駆動信号は、POR 出力信号が High になる 3µs～5µs 前に発生してもかまいません。POR 信号が High になると、前述の電源オン シーケンスが完了したことを示します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPLD1201 の構成可能なロジックおよびタイミング ブロックにより、本デバイスは多数の部品に対称的なパワーアップ信号とパワーダウン信号を供給できます。このアプリケーションでは、デバイスはカウンタ / 遅延マクロセルに基づいて、パワーアップおよびパワーダウンのシーケンシング信号の最大量を出力するように構成されています。

8.2 代表的なアプリケーション

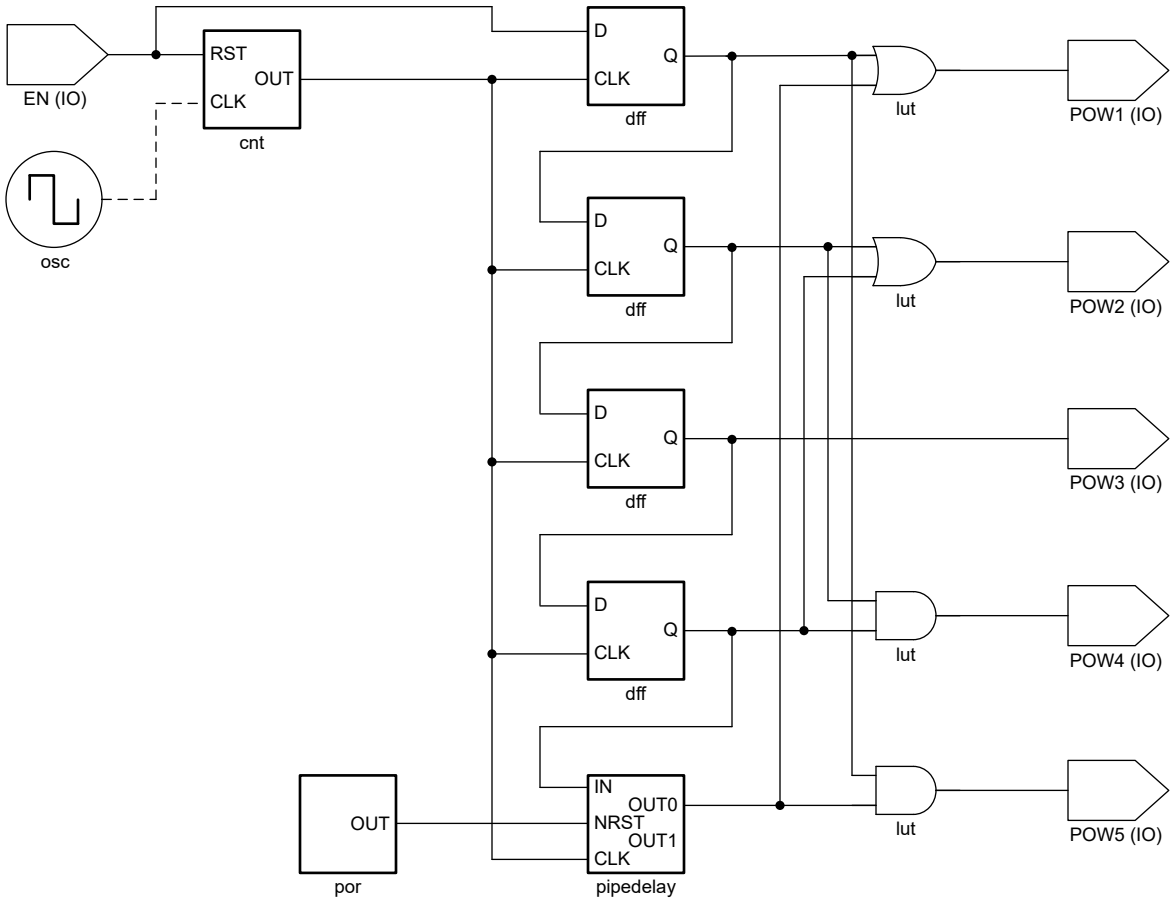


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

Copyright © 2026 Texas Instruments Incorporated

正電圧の電源は、TPLD1201 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、TPLD1201 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

TPLD1201 は、データシートの仕様をすべて満たしつつ、合計容量 15pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、15pF を超えることは推奨しません。

TPLD1201 は、「電気的特性」表に定義されている出力電圧 (V_{OH} および V_{OL}) および電流で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ または $V_{t-(min)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ または $V_{t+(max)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、TPLD1201 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

TPLD1201 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

TPLD1201 にはシュミット トリガ入力があるため、信号遷移レート要件なしで使うことができます。

シュミット トリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピーク ツー ピーク制限が得られます。

標準的な CMOS 入力とは異なり、シュミット トリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (代表値) を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を用いて出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

オープン ドレイン出力を互いに直接接続して、ワイヤード AND 構成を形成したり、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、TPLD1201 から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

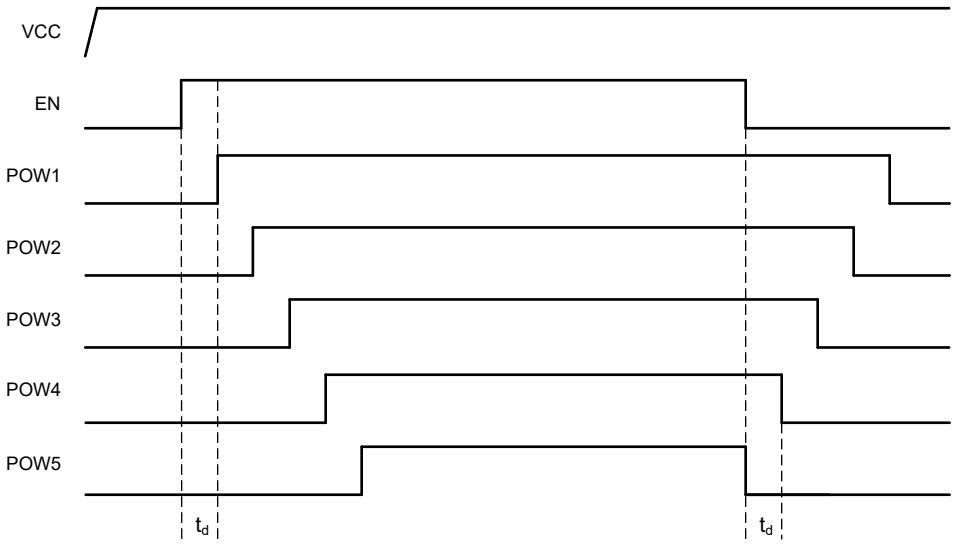


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

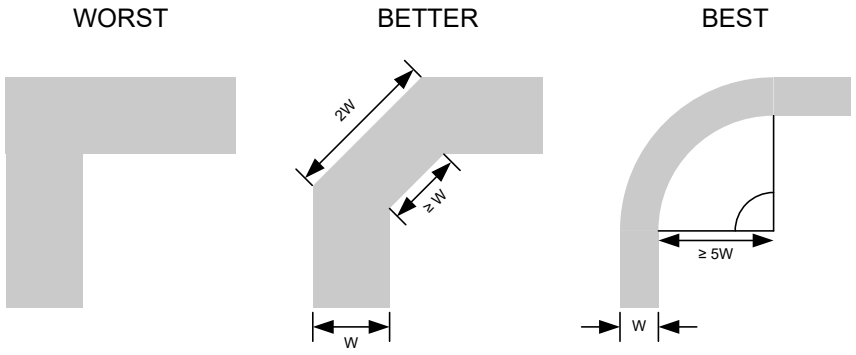


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

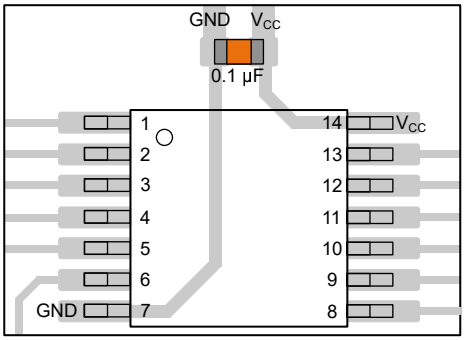


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

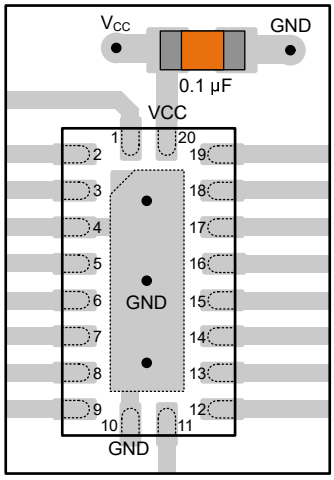


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

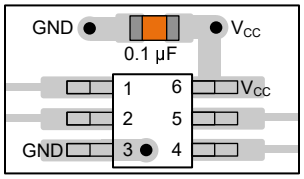


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

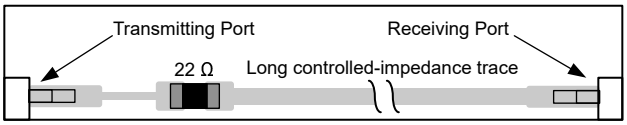


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision E (December 2025) to Revision F (April 2026)	Page
• 初期出力値に関するテキストを削除。	32
• クロック同期バイパスに関するテキストを削除。	34

Changes from Revision D (August 2025) to Revision E (December 2025)	Page
• RWS パッケージ オプションを追加	1
• RWS パッケージのピン配置を追加	3
• デバイスの正しいスタートアップ動作を反映するように POR シーケンスの説明を更新。	40

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPLD1201DGSR	Active	Production	VSSOP (DGS) | 10	3000 | LARGE T&R	-	Call TI	Level-1-260C-UNLIM	-40 to 125	1201
TPLD1201RWBR	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QW
TPLD1201RWBR.A	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QW
TPLD1201RWSR	Active	Production	X2QFN (RWS) | 12	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	TE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPLD1201 :

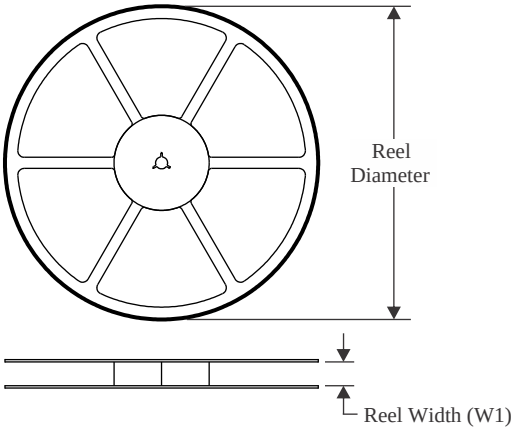
- Automotive : TPLD1201-Q1

NOTE: Qualified Version Definitions:

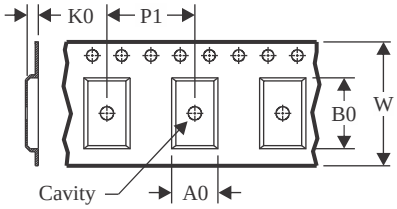
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

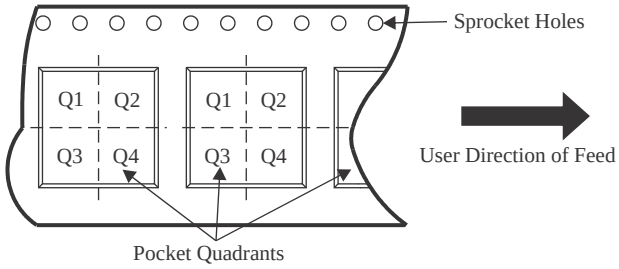


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

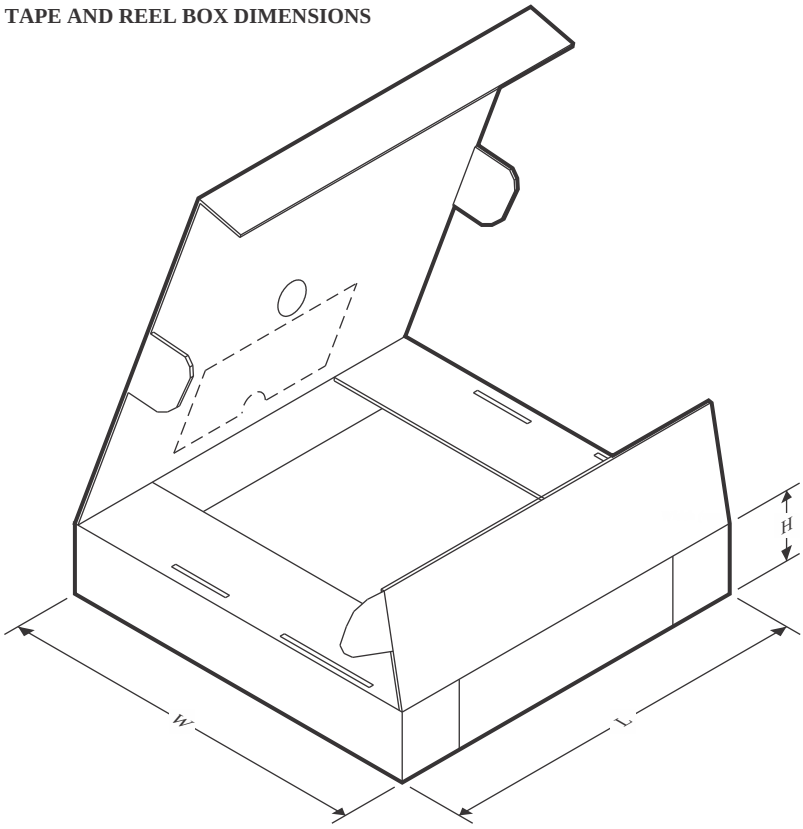
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPLD1201DGSR	VSSOP	DGS	10	3000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPLD1201RWBR	X2QFN	RWB	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q2
TPLD1201RWSR	X2QFN	RWS	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

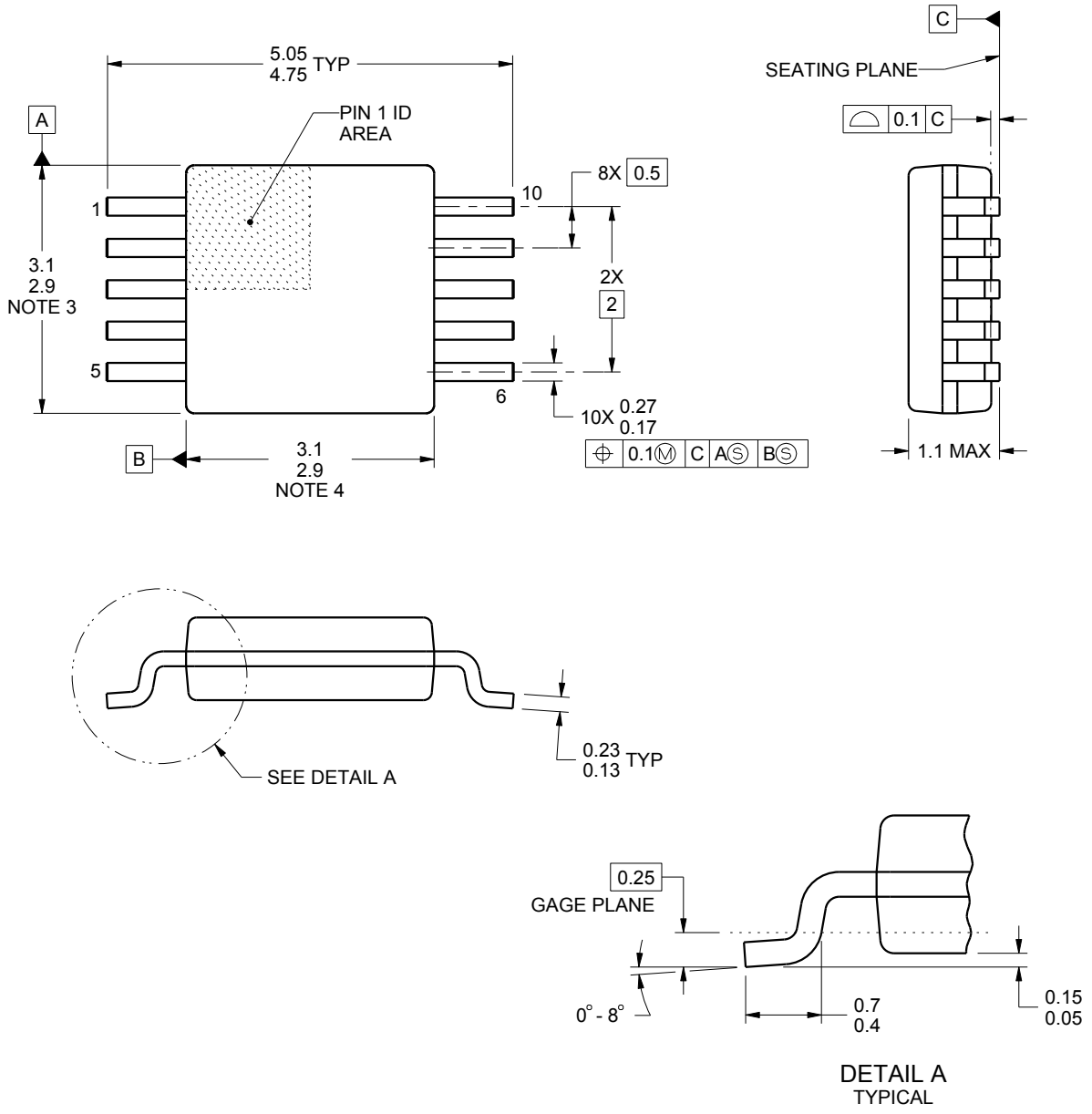
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPLD1201DGSR	VSSOP	DGS	10	3000	353.0	353.0	32.0
TPLD1201RWBR	X2QFN	RWB	12	3000	210.0	185.0	35.0
TPLD1201RWSR	X2QFN	RWS	12	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DGS0010A

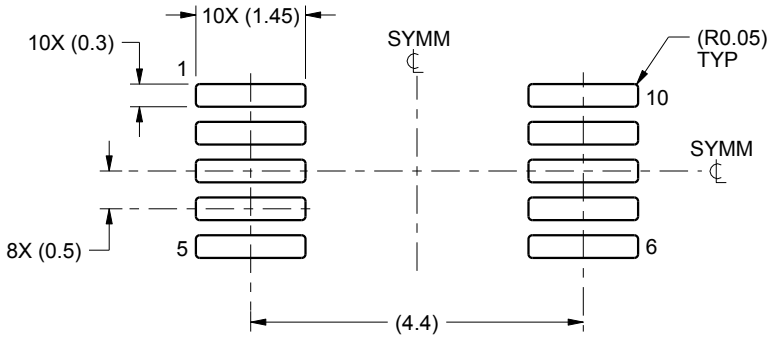
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

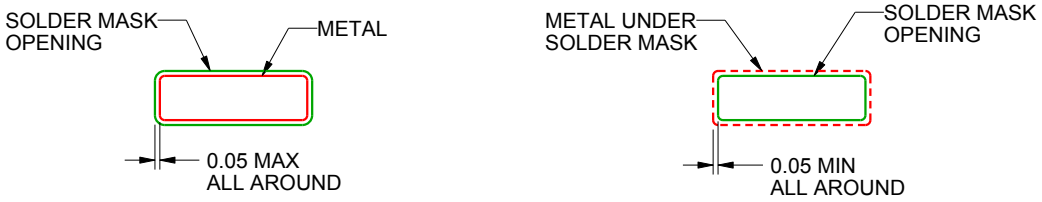


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

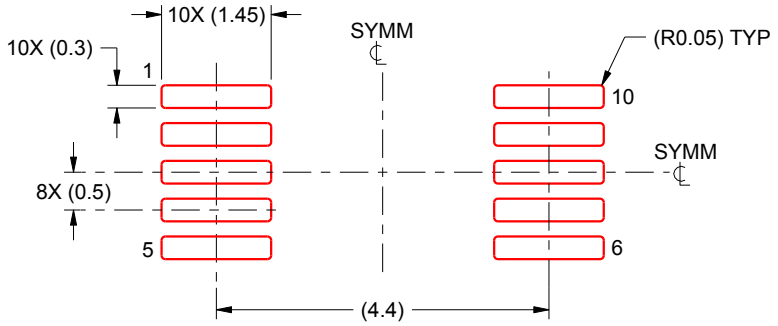


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

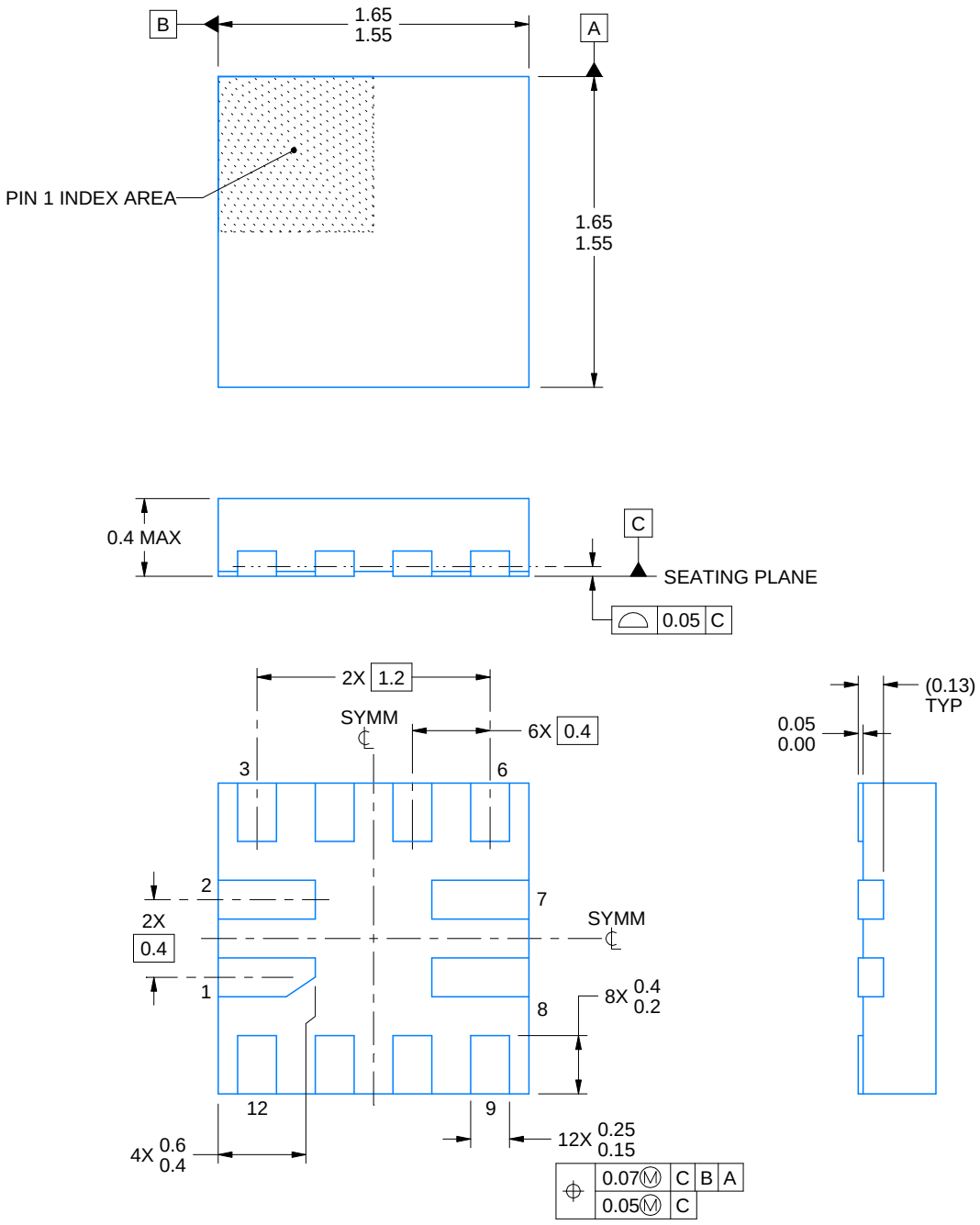
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

RWB0012A

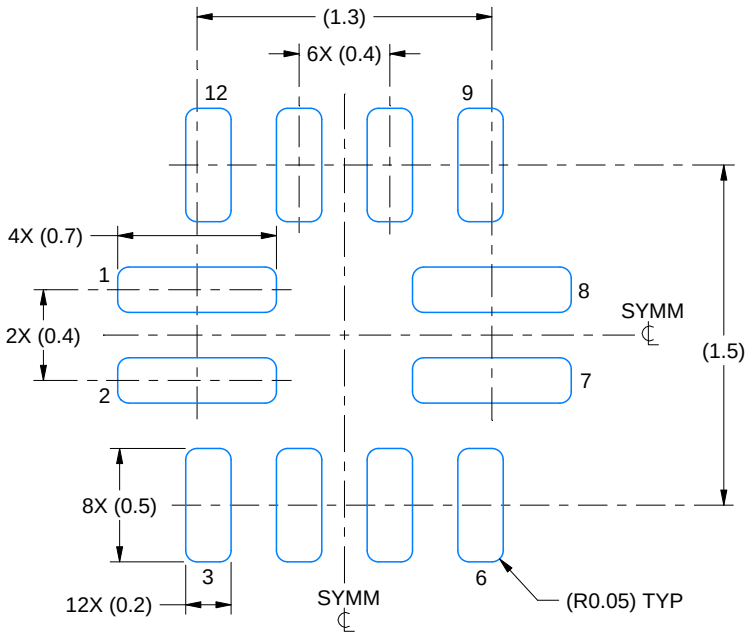
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

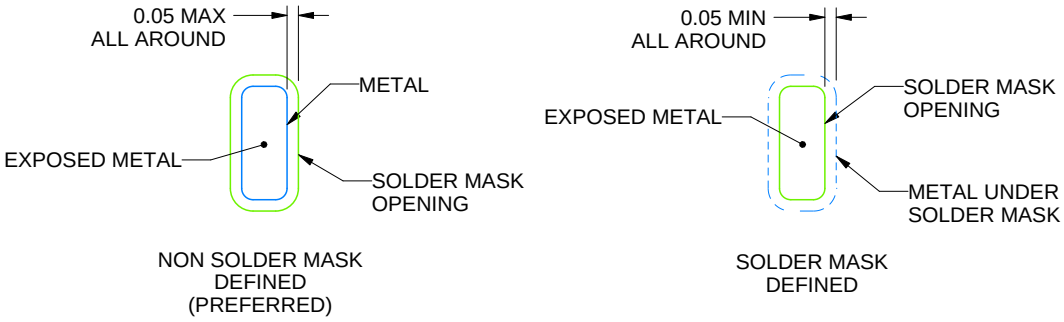


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDER MASK DETAILS

4221631/B 07/2017

NOTES: (continued)

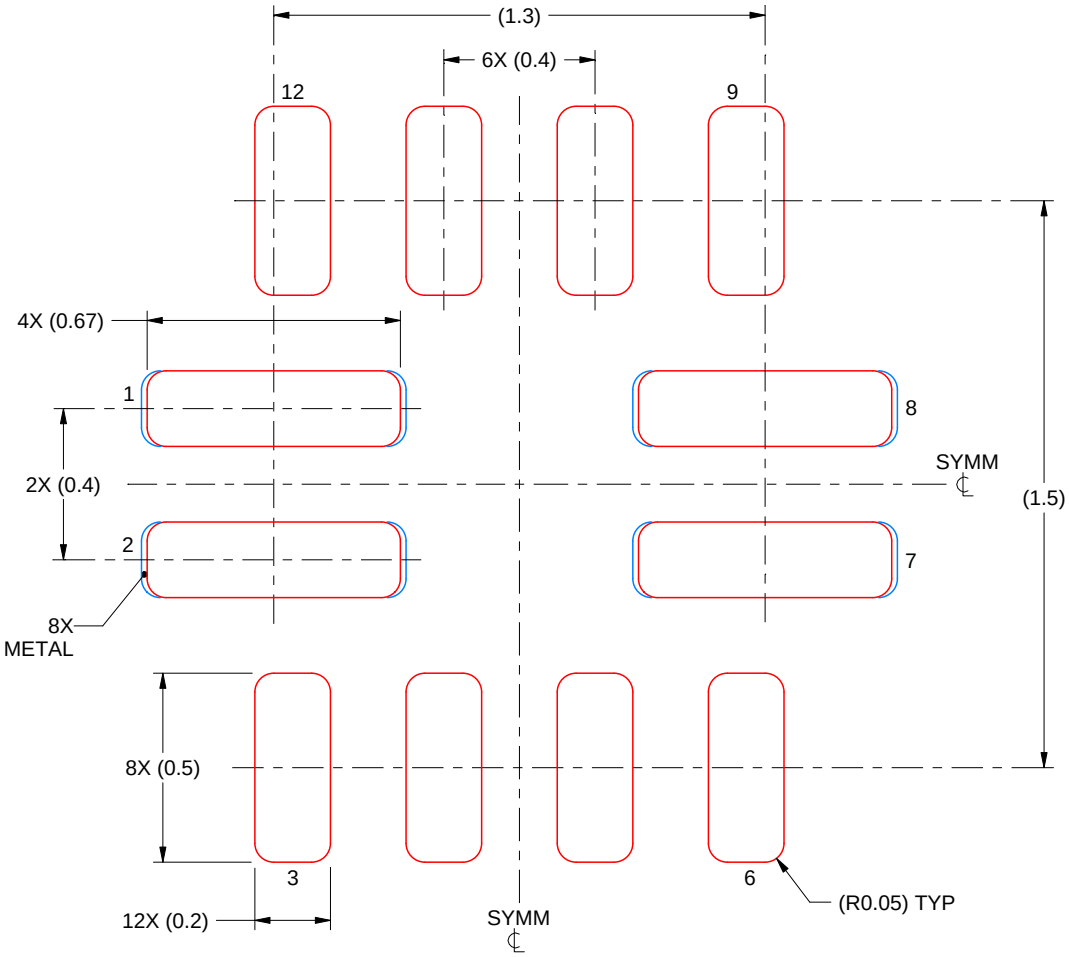
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RWB0012A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

PADS 1,2,7 & 8
96% PRINTED SOLDER COVERAGE BY AREA
SCALE:50X

4221631/B 07/2017

NOTES: (continued)

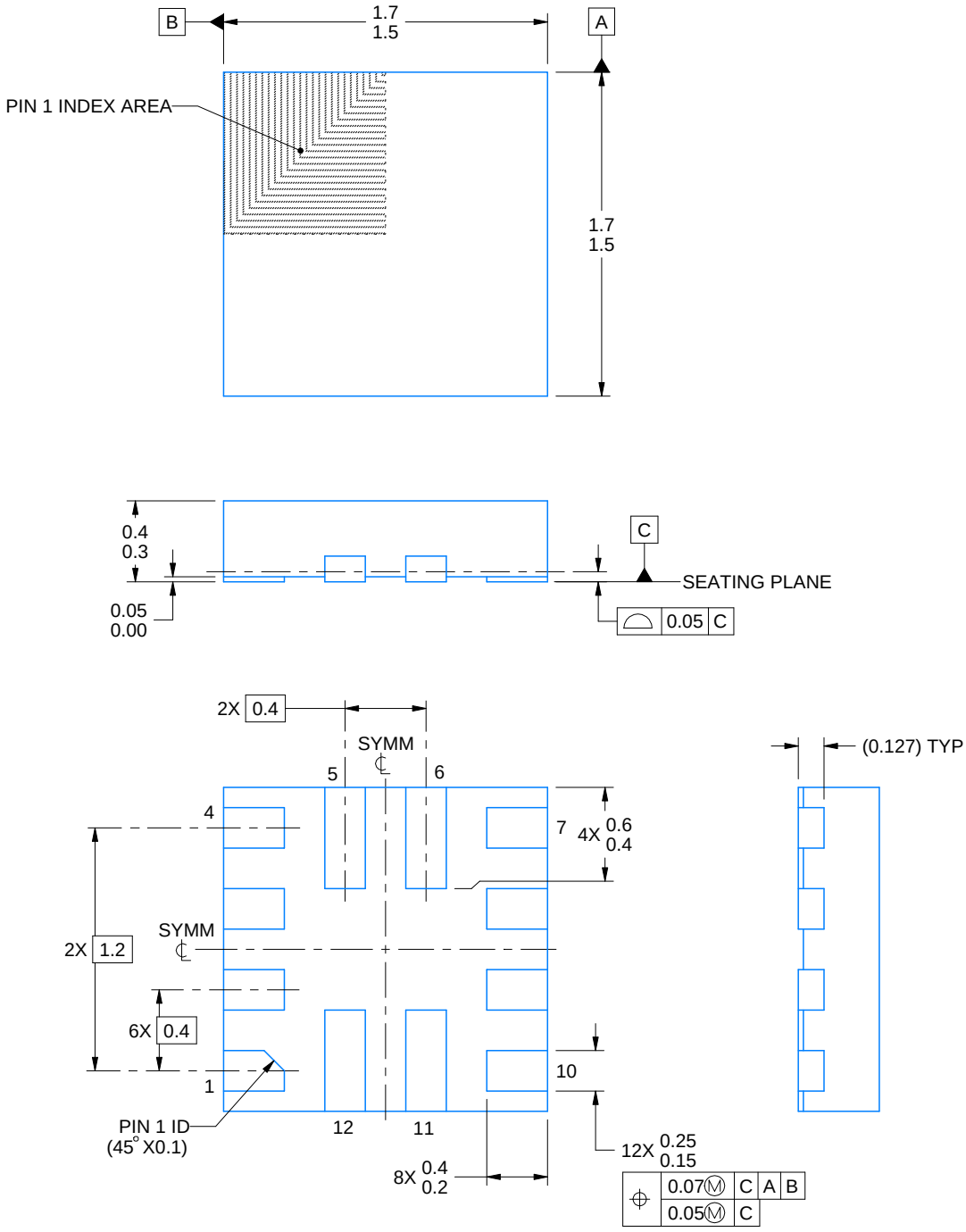
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RWS0012A

PACKAGE OUTLINE

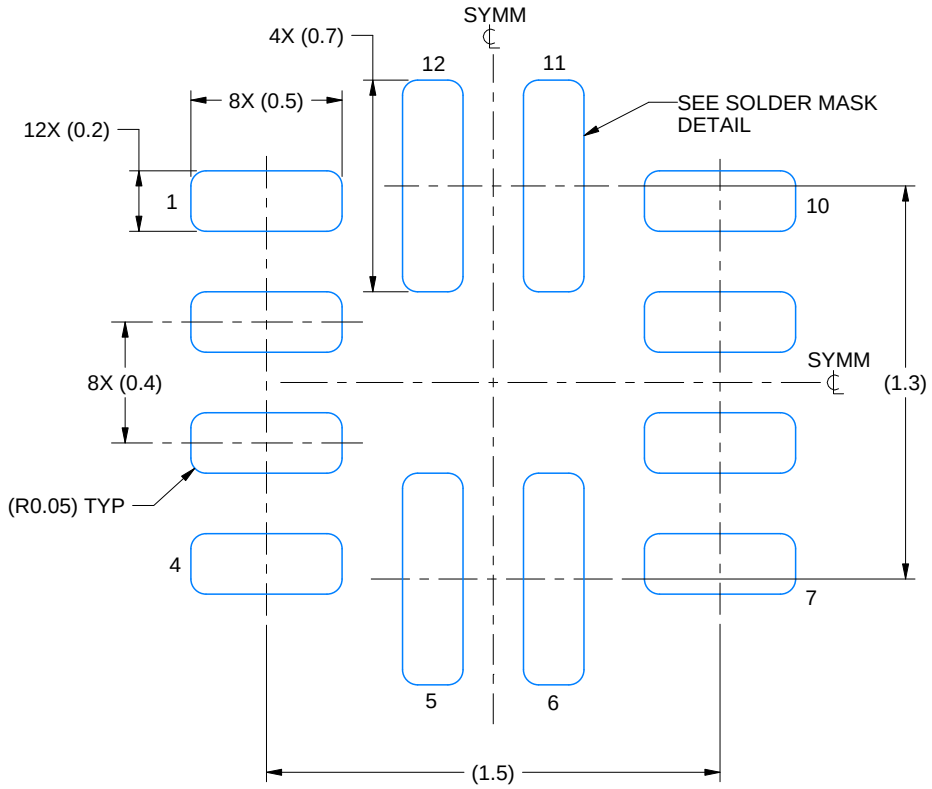
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

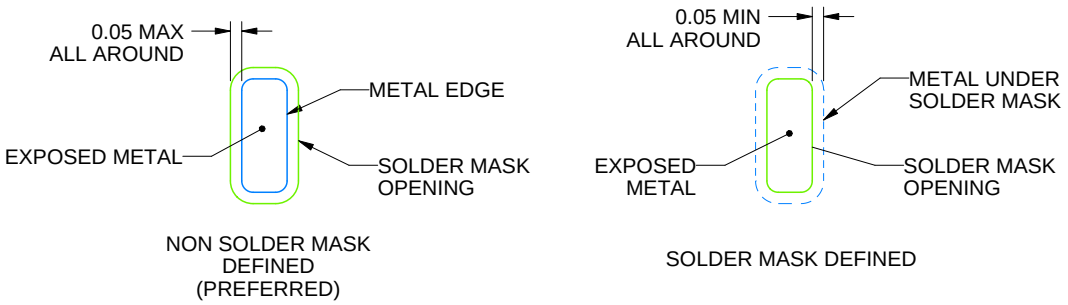


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

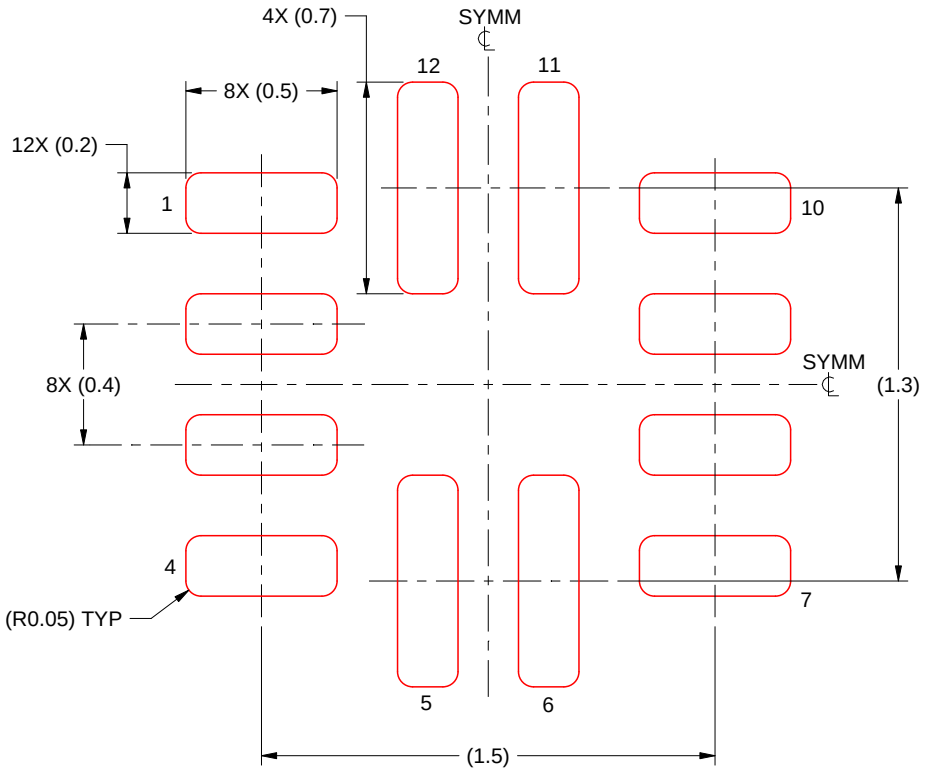


SOLDER MASK DETAILS

4231917/A 05/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 40X

4231917/A 05/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月