TPLD2001-Q1 車載用プログラマブル ロジック デバイス、18 GPIO および選択可能な I2C/SPI を搭載

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～125℃の周囲温度範囲
- 動作特性
  - 拡張温度範囲:–40°C ～ 125°C
  - 広い電源電圧範囲:1.71V ～ 5.5V
- マクロセルを構成可能
  - 2 ビット、3 ビット、および 4 ビットのルックアップ テーブル (LUT)
  - D タイプ フリップ フロップおよびラッチ、リセット / セット オプションありとなし
  - 8 ビット シフト レジスタ
  - 16 ビット パターン ジェネレータ
  - 8 つの状態のステート マシン
  - カウンタおよび遅延ジェネレータ
  - PWM ジェネレータ
  - ウォッチドッグ タイマ
  - グリッチ除去フィルタまたはエッジ検出器をプログラム可能
  - ディスクリート アナログ コンパレータ
  - マルチ電圧リファレンスの選択機能を搭載した、マルチチャネル サンプリング アナログ コンパレータ
  - 電圧リファレンスとアナログ温度センサ
  - アナログ マルチプレクサ
  - 発振器
- 柔軟なデジタル I/O 機能
  - すべてのデジタル信号を任意の GPIO に配線可能
  - デジタル入力モード:デジタル入力、シュミット トリガあり / なし、低電圧デジタル入力
  - デジタル出力モード:プッシュプル、オープン ドレイン NMOS、トライステート
- 開発ツール
  - TPLD2001-Q1 評価基板
  - TPLD プログラマ
  - InterConnect Studio
- インライン プログラミングに対応

2 アプリケーション

- ウェアラブル
- PC とノート PC
- パーソナル エレクトロニクス
- ファクトリ オートメーション / 制御
- ゲーム アプリケーション
- 通信機器
- 車載用

3 説明

TPLD2001-Q1 は、組み合わせ論理、順序論理、およびアナログ ブロックを持つ多用途のプログラマブル ロジック IC を備えた TI のプログラマブル ロジック デバイス (TPLD) ファミリのデバイスです。TPLD は、タイミング遅延、電圧モニタ、システム リセット、電源シーケンス、I/O エクスパンダなどの共通のシステム機能を実装するための統合型で、コンパクトな低消費電力デザインを提供します。このコスト最適化デバイスは、小型フォーム ファクタに豊富な機能を備えており、−40°C ～ 125°C の拡張温度範囲に対応し、1.71V ～ 5.5V の電源電圧で動作します。

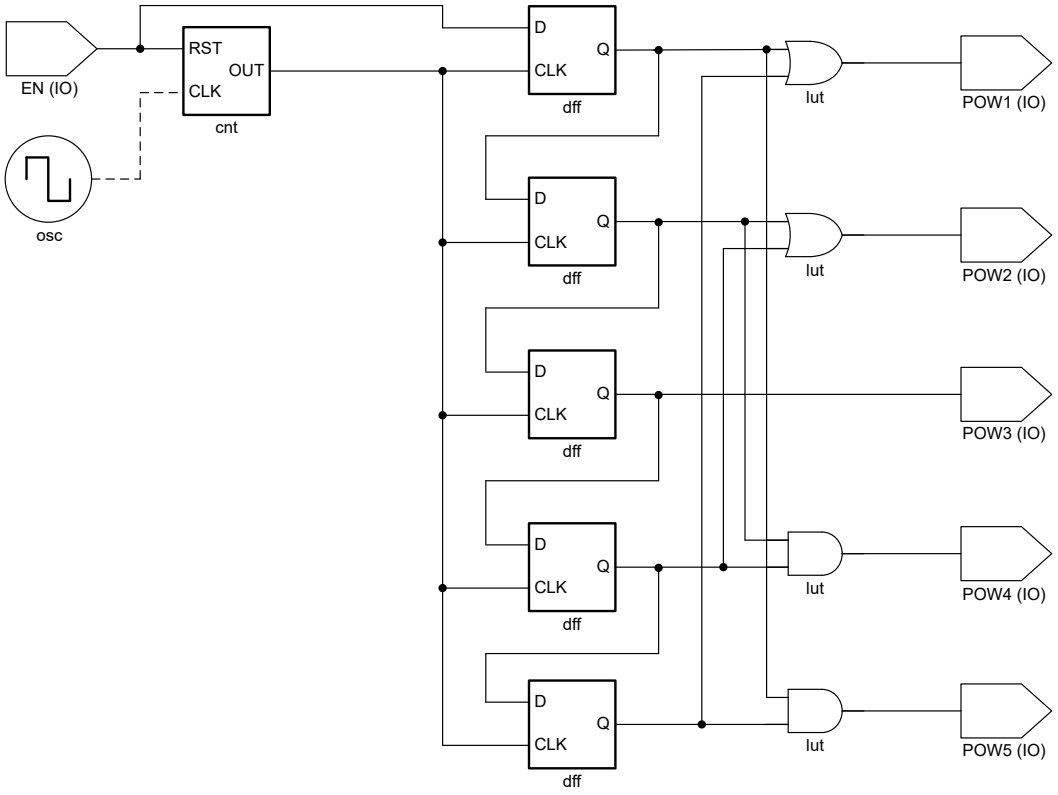
システム設計者は、不揮発性メモリを一時的にエミュレートするか、InterConnect Studio を通じてワンタイム プログラマブル (OTP) を永続的にプログラミングすることにより、回路を作成し、マクロセル、I/O ピン、および相互接続を構成できます。TPLD2001-Q1 は、アプリケーション ノート、リファレンス デザイン、設計例などを含む充実したハードウェアおよびソフトウェアのエコシステムによってサポートされています。詳細および設計ツールへのアクセスについては、ti.com をご覧ください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPLD2001-Q1	DGS (VSSOP、20)	5.10mm × 3.00mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 4
5 仕様 5
5.1 絶対最大定格 5
5.2 ESD 定格 5
5.3 推奨動作条件 5
5.4 熱に関する情報 6
5.5 電気的特性 6
5.6 電源電流特性 13
5.7 スイッチング特性 14
5.8 I²C バス タイミング要件 20
5.9 SPI のタイミング要件 20
6 代表的特性 22
7 パラメータ測定情報 23
8 詳細説明 26
8.1 概要 26
8.2 機能ブロック図 27
8.3 機能説明 28
8.4 デバイスの機能モード 92
9 TPLD2001-Q1 レジスタ 99
9.1 TPLD2001_User のレジスタ 100
9.2 TPLD2001_Cfg_0 のレジスタ 114
9.3 TPLD2001_Cfg_1 のレジスタ 157
10 アプリケーションと実装 228
10.1 アプリケーション情報 228
10.2 代表的なアプリケーション 228
10.3 電源に関する推奨事項 231
10.4 レイアウト 231
11 デバイスおよびドキュメントのサポート 233
11.1 ドキュメントの更新通知を受け取る方法 233
11.2 サポート・リソース 233
11.3 商標 233
11.4 静電気放電に関する注意事項 233
11.5 用語集 233
12 改訂履歴 233
13 メカニカル、パッケージ、および注文情報 233

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

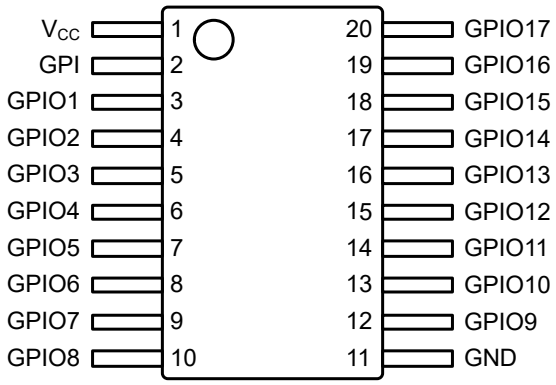


図 4-1. DGS パッケージ、20 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン			説明			
名称	VSSOP (DGS)	タイプ(1)	主な機能	2 次的なアナログ機能 (ある場合)	2 次的なデジタル機能 (ある場合)	セカンダリ シリアル通信機能 (ある場合)
GPI	2	I	汎用入力 (2)			VPP
GPIO1	3	I/O	OE 付きの汎用 I/O(3)	AMUX0A/ACMP IN2		インターフェイスの選択
GPIO2	4	I/O	OE 付きの汎用 I/O(3)	AMUX0B/ACMP IN3		I^2C アドレス 6
GPIO3	5	I/O	OE 付きの汎用 I/O(3)	AMUX0Y		I^2C アドレス 5
GPIO4	6	I/O	汎用 I/O	ACMP IN0		I^2C アドレス 4
GPIO5	7	I/O	汎用 I/O			SPI nCS / I^2C アドレス 3
GPIO6	8	I/O	汎用 I/O			SPI SCLK / I^2C SCL
GPIO7	9	I/O	汎用 I/O			SPI SDI / I^2C SDA
GPIO8	10	I/O	汎用 I/O			SPI SDO
GND	11	P	グランド			
GPIO9	12	I/O	汎用 I/O	外部 VREF IN		
GPIO10	13	I/O	OE 付きの汎用 I/O(3)	McACMP IN0		
GPIO11	14	I/O	OE 付きの汎用 I/O(3)	McACMP IN1		
GPIO12	15	I/O	OE 付きの汎用 I/O(3)	McACMP IN2		
GPIO13	16	I/O	OE 付きの汎用 I/O(3)	McACMP IN3		
GPIO14	17	I/O	汎用 I/O	AMUX1A	OSC0 Ext.CLK	
GPIO15	18	I/O	OE 付きの汎用 I/O(3)	AMUX1B	OSC1 Ext.CLK	
GPIO16	19	I/O	OE 付きの汎用 I/O(3)	ACMP IN1		
GPIO17	20	I/O	OE 付きの汎用 I/O(3)	AMUX1Y	OSC2 Ext.CLK	
V_{CC}	1	P	電源電圧			

(1) P = 電源、I/O = 入出力、I = 入力
(2) 汎用入力 (GPI) ピンはプログラミング中の高電圧 (VPP) に耐えます。インシステム プログラミングを行う場合、このピンに接続されたペリフェラルに特に注意を払います。
(3) 出力イネーブル (OE) 接続は、接続マルチプレクサを介して利用でき、InterConnect Studio で構成できます。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	GND を基準とした V_{CC} 電源電圧		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IOK}	入力 / 出力クランプ電流	V_{IO} < 0 または V_{IO} > V_{CC}	-50	50	mA
I_O	連続出力電流	V_O = 0～V_{CC}	-50	50	mA
I_{DC}	平均または DC 電流 (各ピンを流れる電流) の最大値	プッシュプル 1X		12	mA
		プッシュプル 2X		17	
		オープンドレイン NMOS 1X		18	
		オープンドレイン NMOS 2X		28	
		オープンドレイン NMOS 4X		45	
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1500	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			V_{CC}	最小値	最大値	単位
V_{CC}	電源電圧			1.71	5.5	V
V_I	入力電圧			0	V_{CC}	V
V_O	出力電圧			0	V_{CC}	V
V_{IH}	High レベル入力電圧	ロジック入力	1.71V ～ 5.5V	(0.7 × V_{CC})		V
		低電圧ロジック入力	1.8V ± 0.09V	0.90		
			3.3V ± 0.3V	1.08		
			5V ± 0.5V	1.22		
V_{IH}	High レベル入力電圧	I^2C SCL、SDA ピン SPI SDI、SCLK、nCS	1.71V ～ 5.5V	(0.7 × V_{CC})		V

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

			V_{CC}	最小値	最大値	単位
V_{IL}	Low レベル入力電圧	ロジック入力	1.71V ～ 5.5V		(0.3 × V_{CC})	V
		低電圧ロジック入力	1.8V ± 0.09V		0.47	
			3.3V ± 0.3V		0.52	
			5V ± 0.5V		0.56	
V_{IL}	Low レベル入力電圧	I^2C SCL、SDA ピン SPI SDI、SCLK、nCS	1.71V ～ 5.5V		(0.3 × V_{CC})	V
F_{IN_MAX}	最大入力周波数	IN0 のみ	1.71V ～ 5.5V		250	kHz
$F_{(EXT_OSC)}$	外部発振器周波数	ロジック入力	1.71V ～ 5.5V		25	MHz
T_A	周辺温度			-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DGS (VSSOP)	20	92.9	35.7	49.7	1.3	49.3	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
電源およびパワーオン リセット								
V_{PORR}	パワーオン リセット電圧、V_{CC} 立ち上がり		V_I = V_{CC} または GND、I_O = 0		1.20		1.45	V
V_{PORF}	パワーオン リセット電圧、V_{CC} 立ち下がり		V_I = V_{CC} または GND、I_O = 0		1.14		1.36	V
t_{SU}	起動時間		V_{CC} 立ち上がりから V_{PORR} を超えるまで、GPO がアクティブになります			0.76		ms
V_{PP}	プログラミング電圧				7.5		8	V
t_{PP}	プログラミング時間					50		ms
デジタル IO								
V_{T+}	正方向入力スレッショルド電圧	シュミット トリガ付きのロジック入力		1.8V ± 0.09V	0.94		1.27	V
				3.3V ± 0.3V	1.55		2.17	
				5V ± 0.5V	2.21		3.19	
V_{T-}	負方向入力スレッショルド電圧	シュミット トリガ付きのロジック入力		1.8V ± 0.09V	0.58		0.94	V
				3.3V ± 0.3V	1.10		1.79	
				5V ± 0.5V	1.63		2.7	
V_{HYS}	シュミット トリガ ヒステリシス (V_{T+} - V_{T-})	シュミット トリガ付きのロジック入力		1.8V ± 0.09V	0.24	0.36		V
				3.3V ± 0.3V	0.33	0.42		
				5V ± 0.5V	0.40	0.49		
V_{HYS}	IN0 ヒステリシス			1.71V ～ 5.5V			0.2	V

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	プッシュプル 1X	I_{OH} = -100µA	1.8V ± 0.09V	1.68			V
		プッシュプル 2X			1.69			
		プッシュプル 1X	I_{OH} = -3mA	3.3V ± 0.3V	2.47			
		プッシュプル 2X			2.63			
		プッシュプル 1X	I_{OH} = -5mA	5V ± 0.5V	3.84			
		プッシュプル 2X			4.02			
V_{OH}	High レベル出力電圧	SPI SDO	I_{OH} = -2mA	1.71V ～ 5.5V	(0.7 × V_{CC})			V
V_{OL}	Low レベル出力電圧	プッシュプル 1X	I_{OL} = 100µA	1.8V ± 0.09V			0.01	V
		プッシュプル 2X					0.01	
		オープンドレイン NMOS 1X					0.01	
		オープンドレイン NMOS 2X					0.01	
		プッシュプル 1X	I_{OL} = 3mA	3.3V ± 0.3V			0.1	
		プッシュプル 2X					0.1	
		オープンドレイン NMOS 1X					0.1	
		オープンドレイン NMOS 2X					0.1	
		プッシュプル 1X	I_{OL} = 5mA	5V ± 0.5V			0.12	
		プッシュプル 2X					0.12	
		オープンドレイン NMOS 1X					0.12	
		オープンドレイン NMOS 2X					0.12	
V_{OL}	Low レベル出力電圧	I^2C SCL、SDA ピン (オープンドレイン NMOS 4X)	I_{OL} = 3mA	V_{CC} > 2V			0.4	V
		I^2C SCL、SDA ピン (オープンドレイン NMOS 4X)	I_{OL} = 2mA	V_{CC} ≤ 2V			(0.2 × V_{CC})	
		SPI SDO ピン	I_{OL} = 2mA	1.71V ～ 5.5V			(0.3 × V_{CC})	
I_{OL}	Low レベル出力電流	I^2C SCL、SDA ピン (標準モード、ファスト モード)	V_{OL} = 0.4V	1.71V ～ 5.5V	3			mA
		I^2C SCL、SDA ピン (ファスト モード プラス)			20			
I_I	入力リーク電流	すべてのピン	V_I = V_{CC}	1.71V ～ 5.5V			±1	µA
			V_I = GND				±1	
I_{OZ}	オフ状態 (高インピーダンス状態) の出力電流		V_O = 0～5.5V	1.71V ～ 5.5V			±1	µA
F_{OUT}	最大出力周波数 (1)	すべての IO プッシュプル 1X またはプッシュプル 2X	C_L = 15pF	1.8V ± 0.09V			8	MHz
				3.3V ± 0.3V			8	MHz
				5V ± 0.5V			8	MHz
F_{OUT}	最大出力周波数 (1)	IO14、IO15、IO17 のみ プッシュプル 1X またはプッシュプル 2X	C_L = 15pF	1.8V ± 0.09V			10	MHz
				3.3V ± 0.3V			12	MHz
				5V ± 0.5V			12	MHz

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
$R_{pu(int)}$	内部プルアップ抵抗					1		MΩ
						100		kΩ
						10		kΩ
$R_{pd(int)}$	内部プルダウン抵抗					1		MΩ
						100		kΩ
						10		kΩ
C_I	入力ピン容量	各入力ピン	V_I = V_{CC} または GND	1.71V ～ 5.5V		4	10	pF
C_I	入力ピン容量	I^2C SCL ピン SPI SDI、SCK、nCS ピン	V_I = V_{CC} または GND	1.71V ～ 5.5V		4	10	pF
C_{IO}	入力 / 出力ピンの容量	各 I/O ピン	V_{IO} = V_{CC} または GND	1.71V ～ 5.5V		4	10	pF
C_{IO}	入力 / 出力ピンの容量	I^2C SDA ピン	V_{IO} = V_{CC} または GND	1.71V ～ 5.5V		4	10	pF
アナログ コンパレータ — ディスクリート アナログ コンパレータ								
t_{start}	スタート時間	ACMP パワーオン遅延	バンドギャップ強制オン、発振器強制オン	1.71V ～ 5.5V		120		µs
			バンドギャップ強制オン、発振器自動オン			120		
			バンドギャップ自動オン、発振器強制オン			120		
			バンドギャップ自動オン、発振器自動オン			180		
V_{AI}	入力電圧	正入力		1.71V ～ 5.5V	0		V_{CC}	V
		負入力			0		2.016	
V_{offset}	入力オフセット電圧	T_A = 25°C	V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 1504mV	1.71V ～ 5.5V	-12		12	mV
		–40°C < T_A ≤ 125°C			-15		15	
		T_A = 25°C	V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 2016mV	2.3V ～ 5.5V	-12		12	
		–40°C < T_A ≤ 125°C			-15		15	
dV_{IO}/dT	入力オフセット電圧ドリフト	–40°C < T_A ≤ 125°C	V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 1504mV	1.71V ～ 5.5V	-20	0.1	35	µV/°C
			V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 2016mV	2.3V ～ 5.5V	-20	0.1	34	
I_B	入力バイアス電流						1	µA
C_{ID}	入力容量、差動					3		pF
C_{IM}	入力容量、同相					3		pF

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
PROP	伝搬遅延、応答時間	Low から High、低帯域幅イネーブル	ゲイン = 1、Vref = 32mV ～ 1504mV、オーバードライブ = 32mV	1.71V ～ 5.5V			11	µs
		High から Low、低帯域幅イネーブル					10	
		Low から High、低帯域幅ディセーブル					2	
		High から Low、低帯域幅ディセーブル					2	
		Low から High、低帯域幅イネーブル	ゲイン = 1、Vref = 32mV ～ 2016mV、オーバードライブ = 32mV	2.3V ～ 5.5V			16	
		High から Low、低帯域幅イネーブル					9	
		Low から High、低帯域幅ディセーブル					3	
		High から Low、低帯域幅ディセーブル					2	
アナログ コンパレータ — マルチチャネル アナログ コンパレータ								
t_{start}	スタート時間	ACMP パワーオン遅延	バンドギャップ強制オン OSC 強制オン 1 チャネル、1-VREF	1.71V ～ 5.5V		135		µs
			バンドギャップ強制オン OSC0 強制オン マルチチャネル モード			2.9		ms
			バンドギャップ強制オン OSC1 強制オン マルチチャネル モード			150		µs
V_{AI}	入力電圧	正入力		1.71V ～ 5.5V	0		V_{CC}	V
		負入力			0		2.016	
V_{offset}	入力オフセット電圧	T_A = 25℃	V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 1504mV	1.71V ～ 5.5V	-12		12	mV
		–40°C < T_A ≤ 125°C			-15		15	
		T_A = 25℃	V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 2016mV	2.3V ～ 5.5V	-12		12	
		–40°C < T_A ≤ 125°C			-15		15	
dV_{IO}/dT	入力オフセット電圧ドリフト	–40°C < T_A ≤ 125°C	V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 1504mV	1.71V ～ 5.5V	-20	0.1	35	µV/°C
			V_{HYS} = 0mV、ゲイン = 1、VREF = 32mV ～ 2016mV	2.3V ～ 5.5V	-20	0.1	31	
I_B	入力バイアス電流						1	µA
C_{ID}	入力容量、差動					3		pF
C_{IM}	入力容量、同相					3		pF

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
PROP	伝搬遅延、応答時間	Low から High、低帯域幅イネーブル	1 チャンネル、ゲイン = 1、Vref = 32mV ～ 1504mV、オーバードライブ = 32mV	1.71V ～ 5.5V			11	µs
		High から Low、低帯域幅イネーブル					10	
		Low から High、低帯域幅ディセーブル	1 チャンネル、ゲイン = 1、Vref = 32mV ～ 1504mV、オーバードライブ = 32mV	1.71V ～ 5.5V			2	
		High から Low、低帯域幅ディセーブル					2	
		Low から High、低帯域幅イネーブル	1 チャンネル、ゲイン = 1、Vref = 32mV ～ 2016mV、オーバードライブ = 32mV	2.3V ～ 5.5V			11	µs
		High から Low、低帯域幅イネーブル					8	µs
		Low から High、低帯域幅ディセーブル	1 チャンネル、ゲイン = 1、Vref = 32mV ～ 2016mV、オーバードライブ = 32mV	2.3V ～ 5.5V			2	µs
		High から Low、低帯域幅ディセーブル					2	µs
		Low から High	マルチチャンネル、ゲイン = 1、Vref = 32mV ～ 1504mV、オーバードライブ = 32mV	1.71V ～ 5.5V			(t_{SMP_CLK} × CH)	µs
		High から Low					(t_{SMP_CLK} × CH)	µs
		Low から High	マルチチャンネル、ゲイン = 1、Vref = 32mV ～ 2016mV、オーバードライブ = 32mV	2.3V ～ 5.5V			(t_{SMP_CLK} × CH)	µs
		High から Low					(t_{SMP_CLK} × CH)	µs
アナログ コンパレータ - ヒステリシス								
V_{HYS}	ヒステリシス内蔵	–40°C < T_A ≤ 125°C	V_{HYS} = 64mV	1.71V ～ 5.5V	54.4	62.8	71.0	mV
			V_{HYS} = 128mV		109.0	126.5	136.1	
			V_{HYS} = 192mV		176.7	189.3	204.3	
アナログ コンパレータ - 入力ゲイン								
R_{sin}	直列入力抵抗		ゲイン = 0.5	1.71V ～ 5.5V		1		MΩ
			ゲイン = 0.33			0.75		
			ゲイン = 0.25			1		
G_{err}	ゲイン誤差		ゲイン = 0.5	1.71V ～ 5.5V	-2.3	1.3	5.8	%
			ゲイン = 0.33		-1.6	1.6	5.0	
			ゲイン = 0.25		-1.5	1.8	4.7	
電圧リファレンス								

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
VREF	内部 VREF 誤差	T_A = 25℃	VREF = 32mV ～ 512mV	1.71V ～ 5.5V	-4.98	0.67	5.96	%
		–40°C < T_A ≤ 125°C			-6.61		6.73	
		T_A = 25℃	VREF = 544mV ～ 1024mV		-6.12	0.05	6.55	
		–40°C < T_A ≤ 125°C			-6.65		6.80	
		T_A = 25℃	VREF = 1056mV ～ 1504mV		-5.99	0.01	6.40	
		–40°C < T_A ≤ 125°C			-6.59		6.84	
		T_A = 25℃	VREF = 1536mV ～ 2016mV	2.3V ～ 5.5V	-4.76	0.32	5.59	
		–40°C < T_A ≤ 125°C			-6.31		6.37	
アナログ温度センサ								
T_{ERR}	温度センサの精度		10°C ～ 45°C	1.71V ～ 5.5V	-3.8		4.1	ºC
			–40°C ～ 85°C		-6.5		6.8	
			–40°C ～ 105°C		-6.5		6.8	
			–40°C ～ 125°C		-7.4		7.7	
T_{OUT}	温度センサ出力		-40°C	1.71V ～ 5.5V	1.212	1.242	1.270	V
			-30°C		1.170	1.197	1.223	
			-20°C		1.128	1.152	1.174	
			-10°C		1.086	1.107	1.127	
			0°C		1.042	1.061	1.079	
			10°C		0.998	1.016	1.033	
			20°C		0.956	0.972	0.986	
			25°C		0.934	0.949	0.963	
			30°C		0.916	0.927	0.937	
			40°C		0.868	0.883	0.897	
			50°C		0.823	0.840	0.854	
			60°C		0.778	0.796	0.813	
			70°C		0.733	0.753	0.771	
			80°C		0.687	0.709	0.730	
			85°C		0.663	0.687	0.709	
			90°C		0.640	0.665	0.688	
			100°C		0.594	0.621	0.647	
			110°C		0.547	0.578	0.608	
			120°C		0.501	0.534	0.567	
			125°C		0.478	0.512	0.545	
t_{DELAY}	温度センサのスタートアップ遅延			1.71V ～ 5.5V		70	100	µs
アナログ マルチプレクサ								

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
r_{on}	オン状態スイッチ抵抗	–40°C < T_A ≤ 125°C	V_I = 0V、I_O = 4mA	1.8V ± 0.09V			35	Ω
			V_I = 1.71V、I_O = -4mA				35	
			V_I = 0V、I_O = 8mA	2.5V ± 0.2V			32.5	
			V_I = 2.3V、I_O = -8mA				32.5	
			V_I = 0V、I_O = 24mA	3.3V ± 0.3V			30	
			V_I = 3V、I_O = -24mA				35	
			V_I = 0V、I_O = 30mA	5V ± 0.5V			30	
			V_I = 2.4V、I_O = -30mA				30	
			V_I = 4.5V、I_O = -30mA				30	
r_{range}	信号範囲にわたるオン状態スイッチ抵抗	0 ≤ V_A、V_B ≤ V_{CC} –40°C < T_A ≤ 125°C	I_O = -4mA	1.8V ± 0.09V			205	Ω
			I_O = -8mA	2.5V ± 0.2V			75	
			I_O = -24mA	3.3V ± 0.3V			35	
			I_O = -30mA	5V ± 0.5V			25	
Δr_{on}	スイッチ間のオン状態抵抗の差	V_A、V_B = 1.15V –40°C < T_A ≤ 125°C	I_O = -4mA	1.8V ± 0.09V		14.7		Ω
		V_A、V_B = 1.6V –40°C < T_A ≤ 125°C	I_O = -8mA	2.5V ± 0.2V		5.3		
		V_A、V_B = 2.1V –40°C < T_A ≤ 125°C	I_O = -24mA	3.3V ± 0.3V		3.5		
		V_A、V_B = 3.15V –40°C < T_A ≤ 125°C	I_O = -30mA	5V ± 0.5V		3.8		
$r_{on(flat)}$	オン状態抵抗の平坦性	0 ≤ V_A、V_B ≤ V_{CC} –40°C < T_A ≤ 125°C	I_O = -4mA	1.8V ± 0.09V		110		Ω
			I_O = -8mA	2.5V ± 0.2V		40		
			I_O = -24mA	3.3V ± 0.3V		10		
			I_O = -30mA	5V ± 0.5V		2		
I_{off}	オフ状態スイッチ リーク電流		0 ≤ V_I、V_O ≤ V_{CC}	1.71V ～ 5.5V			±7.5	μA
$I_{S(on)}$	オン状態スイッチ リーク電流		V_I = V_{CC} または GND、V_O = オープン	5.5V		±0.1	±2.5	μA
Cio(off)	スイッチ入力/出力容量	A、B		5V		9.5		pF
Cio(on)	スイッチ入力/出力容量	A、B		5V		20		pF
		Y				20		

(1) オープン ドレインのスイッチング性能は、使用するプルアップ抵抗によって制限されます。

Copyright © 2026 Texas Instruments Incorporated

5.6 電源電流特性

T_A = 25℃ (特に記述のない限り)

パラメータ		テスト条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			単位
			最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
スタンバイ												
I_{CC}	スタンバイ	入力 = 静止状態、出力 = オープン、I_O = 0、OSC 電源オフ、ACMP 電源オフ		1.38			1.41			1.43		μA
I_{CC}	スタンバイ、バンドギャップ有効	バンドギャップ強制オン		3.46			3.49			3.52		μA
発振器												
I_{CC}	OSC0 有効:2kHz	事前分周 = 1		0.62			0.71			1.11		μA
		事前分周 = 2		0.62			0.71			1.07		
		事前分周 = 4		0.62			0.71			1.04		
		事前分周 = 8		0.62			0.71			1.08		
I_{CC}	OSC1 有効:2MHz	事前分周 = 1		31.4			34.4			42.7		μA
		事前分周 = 2		28.4			31.5			39.8		
		事前分周 = 4		26.5			29.5			37.9		
		事前分周 = 8		25.4			28.5			36.9		
I_{CC}	OSC2 有効:25MHz	事前分周 = 1		317.5			319.1			319.8		μA
		事前分周 = 2		260.2			261.4			261.9		
		事前分周 = 4		227.3			228.3			228.7		
		事前分周 = 8		210.7			211.6			212		
I_{CC}	OSC2 有効:25MHz	通常の起動、OSC 出力アイドル		15.0			15.7			18.2		μA
I_{CC}	OSC2 有効:25MHz	高速起動が有効、OSC 出力がアイドル		21.0			21.8			23.6		μA
アナログ コンパレータ — ディスクリート アナログ コンパレータ												
I_{CC}	ディスクリート アナログ コンパレータ (ACMP)	外部 VREF (32mV)、IN+ = 0V、低帯域幅モード無効		3.57			3.67			3.75		μA
		外部 VREF (32mV)、IN+ = VCC、低帯域幅モード無効		4.22			4.33			4.44		
		外部 VREF (32mV)、IN+ = 0V、低帯域幅モード有効		0.86			0.86			0.86		
		外部 VREF (32mV)、IN+ = VCC、低帯域幅モード有効		0.86			0.87			0.87		
アナログ コンパレータ — マルチチャネル アナログ コンパレータ												

Copyright © 2026 Texas Instruments Incorporated

T_A = 25℃ (特に記述のない限り)

パラメータ		テスト条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			単位
			最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
I_{CC}	マルチチャネル サンプリング アナログ コンパレータ (McACMP)	1 チャネル、外部 VREF (32mV)、IN+ = 0V、低帯域幅モード無効		3.56			3.66			3.83		μA
		1 チャネル、外部 VREF (32mV)、IN+ = VCC、低帯域幅モード無効		4.2			4.32			4.45		
		1 チャネル、外部 VREF (32mV)、IN+ = 0V、低帯域幅モード有効		0.9			0.91			0.94		
		1 チャネル、外部 VREF (32mV)、IN+ = VCC、低帯域幅モード有効		0.91			0.92			0.94		
		4 チャネル連続サンプリング、外部 VREF (32mV)、IN+ = 0V、OSC = 2kHz		0.94			0.98			1.06		
		4 チャネル連続サンプリング、外部 VREF (32mV)、IN+ = 0V、OSC = 100kHz		4.05			4.17			4.28		
電圧リファレンス												
I_{CC}	電圧リファレンス (VREF)	内部 VREF (32mV ～ 2016mV)		4.83			4.89			4.93		μA
アナログ温度センサ												
I_{CC}	アナログ温度センサ (TS)	温度センサ イネーブル		3.46			3.46			3.55		μA
アナログ マルチプレクサ												
I_{CC}	アナログ マルチプレクサ (AMUX)	アナログ マルチプレクサがイネーブル		2.29			3.14			4.01		μA

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
デジタル IO									
t_{pd}	遅延	ロジック入力	プッシュプル出力	立ち上がり	1.8V ± 0.09V			32.4	ns
				立ち下がり				29.6	
				立ち上がり	3.3V ± 0.3V			19.2	
				立ち下がり				17.0	
				立ち上がり	5V ± 0.5V			15.2	
				立ち下がり				14.4	

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{pd}	遅延		シュミット トリガ付きのロジック入力	プッシュプル出力	立ち上がり	1.8V ± 0.09V			38.2	ns
					立ち下がり				36.5	
					立ち上がり	3.3V ± 0.3V			23.4	
					立ち下がり				22.5	
					立ち上がり	5V ± 0.5V			19.2	
					立ち下がり				19.8	
t_{pd}	遅延		低電圧ロジック入力	プッシュプル出力	立ち上がり	1.8V ± 0.09V			32.3	ns
					立ち下がり				32.7	
					立ち上がり	3.3V ± 0.3V			21.3	
					立ち下がり				21.8	
					立ち上がり	5V ± 0.5V			18.5	
					立ち下がり				18.1	
t_{pd}	遅延		ロジック入力	オープンドレインの NMOS 出力	立ち上がり	1.8V ± 0.09V			—	ns
					立ち下がり				26.3	
					立ち上がり	3.3V ± 0.3V			—	
					立ち下がり				17.6	
					立ち上がり	5V ± 0.5V			—	
					立ち下がり				15.4	
t_{pd}	遅延	ピンからの出力イネーブル	OE	プッシュプル出力	ハイ インピーダンスを 1 に設定	1.8V ± 0.09V			45.4	ns
						3.3V ± 0.3V			28.8	
						5V ± 0.5V			24.5	
					ハイ インピーダンスを 0 に設定	1.8V ± 0.09V			39.3	ns
						3.3V ± 0.3V			24.5	
						5V ± 0.5V			21.1	
用途を構成可能なロジック										
t_{pd}	遅延	2 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V			1.0	ns
					立ち下がり				0.9	
					立ち上がり	3.3V ± 0.3V			1.0	
					立ち下がり				0.9	
					立ち上がり	5V ± 0.5V			1.0	
					立ち下がり				0.9	
t_{pd}	遅延	3 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V			0.9	ns
					立ち下がり				0.7	
					立ち上がり	3.3V ± 0.3V			0.9	
					立ち下がり				0.7	
					立ち上がり	5V ± 0.5V			0.9	
					立ち下がり				0.7	
t_{pd}	遅延	4 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V			1.1	ns
					立ち下がり				1.0	
					立ち上がり	3.3V ± 0.3V			1.1	
					立ち下がり				1.0	
					立ち上がり	5V ± 0.5V			1.1	
					立ち下がり				1.0	

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{pd}	遅延	DFF/ ラッチ	CLK	Q	立ち上がり	1.8V ± 0.09V			1.5	ns
					立ち下がり				1.6	
					立ち上がり	3.3V ± 0.3V			1.5	
					立ち下がり				1.6	
					立ち上がり	5V ± 0.5V			1.6	
					立ち下がり				1.7	
t_{pd}	遅延	DFF/ ラッチ	nRST/nSET	Q	立ち上がり	1.8V ± 0.09V			4.6	ns
					立ち下がり				4.6	
					立ち上がり	3.3V ± 0.3V			4.7	
					立ち下がり				4.6	
					立ち上がり	5V ± 0.5V			4.7	
					立ち下がり				4.6	
t_{pd}	遅延	シフト レジスタ	CLK	OUT	立ち上がり	1.8V ± 0.09V			1.5	ns
					立ち下がり				1.6	
					立ち上がり	3.3V ± 0.3V			1.5	
					立ち下がり				1.6	
					立ち上がり	5V ± 0.5V			1.5	
					立ち下がり				1.6	
t_{pd}	遅延	シフト レジスタ	nRST	OUT	立ち上がり	1.8V ± 0.09V			—	ns
					立ち下がり				2.2	
					立ち上がり	3.3V ± 0.3V			—	
					立ち下がり				2.2	
					立ち上がり	5V ± 0.5V			—	
					立ち下がり				2.2	
t_{pd}	遅延	パターン ジェネレータ	CLK	OUT	立ち上がり	1.8V ± 0.09V			1.7	ns
					立ち下がり				1.7	
					立ち上がり	3.3V ± 0.3V			1.5	
					立ち下がり				1.6	
					立ち上がり	5V ± 0.5V			1.7	
					立ち下がり				1.7	
カウンタ / 遅延										
t_{pd}	遅延	カウンタ - 遅延モード	IN の立ち上がりエッジ	OUT の立ち上がりエッジ	立ち下がりエッジをトリガ	1.8V ± 0.09V			3.7	ns
			IN の立ち下がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジをトリガ				2.9	
			IN の立ち上がりエッジ	OUT の立ち上がりエッジ	立ち下がりエッジをトリガ	3.3V ± 0.3V			3.7	
			IN の立ち下がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジをトリガ				2.9	
			IN の立ち上がりエッジ	OUT の立ち上がりエッジ	立ち下がりエッジをトリガ	5V ± 0.5V			3.7	
			IN の立ち下がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジをトリガ				2.9	

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{pw}	パルス幅	カウンタ - エッジ検出モード	OUT の立ち上がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジ検出	1.8V ± 0.09V		19.7		ns
						3.3V ± 0.3V		19.8		
						5V ± 0.5V		19.8		
					立ち下がりエッジ検出	1.8V ± 0.09V		19.9		
						3.3V ± 0.3V		19.9		
						5V ± 0.5V		19.9		
					両方のエッジ検出	1.8V ± 0.09V		19.9		
						3.3V ± 0.3V		20.0		
						5V ± 0.5V		20.0		
ステート マシン										
t_{st_pw}	状態遷移パルス幅					1.8V ± 0.09V		22.0		ns
						3.3V ± 0.3V		22.0		
						5V ± 0.5V		22.0		
t_{st_dly}	状態遷移遅延					1.8V ± 0.09V		61.5		ns
						3.3V ± 0.3V		51.3		
						5V ± 0.5V		48.6		
発振器										
f_{err}	発振器の周波数誤差				OSC0 2kHz	1.8V ± 0.09V	-5.0		7.0	%
						3.3V ± 0.3V	-5.5		6.0	
						5V ± 0.5V	-5.5		6.0	
					OSC1 2MHz	1.8V ± 0.09V	-8.4		11.3	%
						3.3V ± 0.3V	-9.5		11.0	
						5V ± 0.5V	-10.4		7.5	
					OSC2 25MHz	1.8V ± 0.09V	-5.8		3.6	%
						3.3V ± 0.3V	-4.4		4.6	
						5V ± 0.5V	-5.3		4.6	
t_{d_osc}	発振器のスタートアップ遅延				OSC0 2kHz	1.8V ± 0.09V		364.2		µs
						3.3V ± 0.3V		315.8		
						5V ± 0.5V		319.9		
t_{d_osc}	発振器のスタートアップ遅延				OSC1 2MHz、バンドギャップ強制オン	1.8V ± 0.09V		0.52		µs
						3.3V ± 0.3V		0.49		
						5V ± 0.5V		0.53		
t_{d_osc}	発振器のスタートアップ遅延				OSC2 25MHz、バンドギャップ強制オン	1.8V ± 0.09V		2.80		µs
						3.3V ± 0.3V		2.69		
						5V ± 0.5V		2.58		
t_{d_osc}	発振器のスタートアップ遅延				OSC2 25MHz、高速スタートアップが有効	1.8V ± 0.09V		0.38		µs
						3.3V ± 0.3V		0.37		
						5V ± 0.5V		0.34		
t_{d_bg}	バンドギャップのスタートアップ遅延				バンドギャップ自動オン	1.8V ± 0.09V		42.0		µs
						3.3V ± 0.3V		42.0		
						5V ± 0.5V		42.0		

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
t_{set_osc}	発振器のスタートアップ セトリング時間				OSC0 2kHz	1.8V ± 0.09V		164.0		µs
						3.3V ± 0.3V		165.2		
						5V ± 0.5V		166.1		
					OSC1 2MHz	1.8V ± 0.09V		0.8		µs
						3.3V ± 0.3V		0.7		
						5V ± 0.5V		0.7		
					OSC2 25MHz	1.8V ± 0.09V		0.1		µs
						3.3V ± 0.3V		0.1		
						5V ± 0.5V		0.1		
t_{d_err}	遅延誤差				OSC (強制パワー オン)	1.71V ～ 5.5V	0		1	CLK サイクル
プログラム可能なフィルタ										
t_{pflt_pw}	パルス幅	プログラム可能なフィルタ - エッジ検出モード	OUT の立ち上がりエッジ	OUT の立ち下がりエッジ	1 セル	1.8V ± 0.09V		138.2		ns
						3.3V ± 0.3V		138.1		
						5V ± 0.5V		138.3		
					2 セル	1.8V ± 0.09V		238.4		ns
						3.3V ± 0.3V		238.2		
						5V ± 0.5V		238.0		
					3 セル	1.8V ± 0.09V		336.9		ns
						3.3V ± 0.3V		336.4		
						5V ± 0.5V		336.6		
					4 セル	1.8V ± 0.09V		434.3		ns
						3.3V ± 0.3V		434.2		
						5V ± 0.5V		434.5		
t_{pflt_pd}	遅延	プログラム可能なフィルタ - エッジ検出モード			任意のセル	1.8V ± 0.09V		63.4		ns
						3.3V ± 0.3V		63.4		
						5V ± 0.5V		63.4		
t_{pflt_d}	遅延	プログラム可能なフィルタ - 両方のエッジ遅延モード	IN の立ち上がり / 立ち下がりエッジ	OUT の立ち上がり / 立ち下がりエッジ	1 セル	1.8V ± 0.09V		153.4		ns
						3.3V ± 0.3V		153.5		
						5V ± 0.5V		153.6		
					2 セル	1.8V ± 0.09V		253.7		ns
						3.3V ± 0.3V		253.9		
						5V ± 0.5V		253.6		
					3 セル	1.8V ± 0.09V		352.4		ns
						3.3V ± 0.3V		352.2		
						5V ± 0.5V		352.7		
					4 セル	1.8V ± 0.09V		450.2		ns
						3.3V ± 0.3V		449.9		
						5V ± 0.5V		450.3		
アナログ マルチプレクサ										

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		始点 (入力)	終点 (出力)	テスト条件	V_{CC}	最小値	標準値	最大値	単位
周波数応答 (スイッチオン時)		Y、または A、B	A、B または Y	R_L = 50Ω、f_{in} = サイン波	1.8V ± 0.09V		204		MHz
					2.5V ± 0.2V		205		
					3.3V ± 0.3V		207		
					5V ± 0.5V		211		
クロストーク (スイッチ間)		A または B	B または A	R_L = 50Ω、f_{in} = 10MHz (サイン波)	1.8V ± 0.09V		-48.6		dB
					2.5V ± 0.2V		-48.3		
					3.3V ± 0.3V		-48.2		
					5V ± 0.5V		-48.0		
フィードスルー減衰 (スイッチ オフ)		Y、または A、B	A、B または Y	C_L = 5pF、R_L = 50Ω、f_{in} = 10MHz (サイン波)	1.8V ± 0.09V		-47.6		dB
					2.5V ± 0.2V		-47.7		
					3.3V ± 0.3V		-47.7		
					5V ± 0.5V		-47.7		
電荷注入		IN	Y	C_L = 0.1nF、R_L = 1MΩ	3.3V		1.2		pC
					5V		1.5		
全高調波歪		Y、または A、B	A、B または Y	V_I = 0.5 × V_{pp}、R_L = 600Ω、f_{in}= 600Hz ～ 20kHz (サイン波)	1.8V ± 0.09V		0.06		%
					2.5V ± 0.2V		0.03		
					3.3V ± 0.3V		0.015		
					5V ± 0.5V		0.45		
t_{pd} (2)	遅延	Y、または A、B	A、B または Y		1.8V ± 0.09V			2.6	ns
					2.5V ± 0.2V			1.6	
					3.3V ± 0.3V			1.2	
					5V ± 0.5V			1.0	
t_{en} (3)	イネーブル時間	IN	A または B		1.8V ± 0.09V	5.9		45.0	ns
					2.5V ± 0.2V	3.8		36.2	
					3.3V ± 0.3V	3.4		33.8	
					5V ± 0.5V	2.6		30.8	
t_{dis} (4)	ディセーブル時間				1.8V ± 0.09V	6.0		45.7	
					2.5V ± 0.2V	4.7		36.4	
					3.3V ± 0.3V	3.7		33.3	
					5V ± 0.5V	3.2		30.8	
t_{B-M}	ブレイク ビフォー メイク時間	IN	Y	IN = LOW から High ステップ A、B = V_{CC}/2、R_L = 50Ω、C_L = 35pF	1.8V ± 0.09V	2.8	4.1		ns
					2.5V ± 0.2V	2.1	2.6		
					3.3V ± 0.3V	1.5	2.1		
					5V ± 0.5V	1.0	1.5		

(1) t_{pd} は t_{PLH} または t_{PHL} のうち遅い方です。遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン抵抗と指定された負荷コンデンサの RC 時定数から算出されます。
(2) t_{en} は t_{PZL} と t_{PZH} のうち遅い方です。
(3) t_{dis} は t_{PLZ} と t_{PHZ} のうち遅い方です。

Copyright © 2026 Texas Instruments Incorporated

5.8 I²C バス タイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			標準モード (Sm)		ファースト モード (Fm)		ファースト モード プラス (Fm+)		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{scl}	I²C クロック周波数		0	100	0	400	0	1000	kHz
t_{sch}	I²C クロックの High 時間		4		0.6		0.26		µs
t_{scl}	I²C クロックの Low 時間		4.7		1.3		0.5		µs
t_{sp}	I²C スパイク時間			50		50		50	ns
t_{sds}	I²C シリアル データ セットアップ時間		250		100		50		ns
t_{sdh}	I²C シリアル データ ホールド時間		0		0		0		ns
t_{icr}	I²C 入力の立ち上がり時間			1000	20	300		120	ns
t_{icf}	I²C 入力の立ち下がり時間			300	20 × (V_{CC}/ 5.5V)	300	20 × (V_{CC}/ 5.5V)	120	ns
t_{ocf}	I²C 出力の立ち下がり時間	10pF ～ 400pF バス (SM/FM)、10pF ～ 550pF バス (FM+)		300		300		120	ns
t_{buf}	STOP と START 間の I²C バスのフリー時間		4.7		1.3		0.5		µs
t_{sts}	I²C START または反復 START 条件の設定		4.7		0.6		0.26		µs
t_{sth}	I²C START または反復 START 条件ホールド		4		0.6		0.26		µs
t_{sps}	I²C STOP 条件の設定		4		0.6		0.26		µs
$t_{vd(data)}$	有効データ時間	SCL Low から SDA 出力有効まで		3.45		0.9		0.45	µs
$t_{vd(ack)}$	ACK 条件の有効データ時間	SCL Low から SDA (出力) Low への ACK 信号		3.45		0.9		0.45	µs
C_b	I²C バスの容量性負荷			400		400		550	pF

5.9 SPI のタイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
f_{SCLK}	SCLK、SPI クロック周波数				4	MHz
t_{SCLK}	SCLK、SPI クロック周期		250			ns
t_R	SDI、nCS、SCLK 信号の立ち上がり時間				40	ns
t_F	SDI、nCS、SCLK 信号の立ち下がり時間				40	ns
t_{SCLKH}	SCLK High 時間		125			ns
t_{SCLKL}	SCLK Low 時間		125			ns
t_{NCS_SU}	SCLK 立ち上がりエッジ前の nCS セットアップ時間		100			ns
t_{NCS_HOLD}	SCLK 立ち下がりエッジ後の nCS ホールド時間		100			ns
t_{NCS_DIS}	nCS ディセーブル時間		50			ns
t_{SDI_SU}	SCLK 立ち上がりエッジ前の SDI セットアップ時間		50			ns
t_{SDI_HOLD}	SCLK 立ち上がりエッジ後の SDI ホールド時間		50			ns
t_{SDO_VALID}	SCLK 立ち下がりエッジから次の SDO データまでの時間				80	ns

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{SDOR}	SDO の立ち上がり時間				40	ns
t_{SDOF}	SDO の立ち下がり時間				40	ns

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性

T_A = 25℃

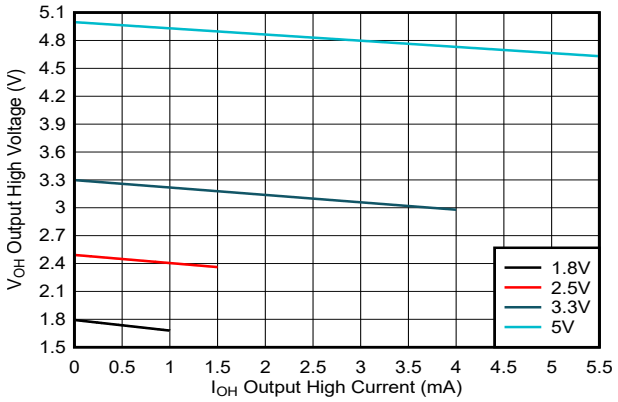


図 6-1. High 状態での 1X プッシュプル標準出力電圧 (V_{OH})

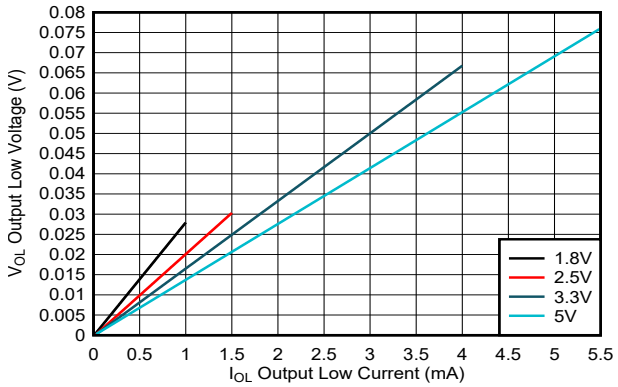


図 6-2. Low 状態での 1X プッシュプル標準出力電圧 (V_{OL})

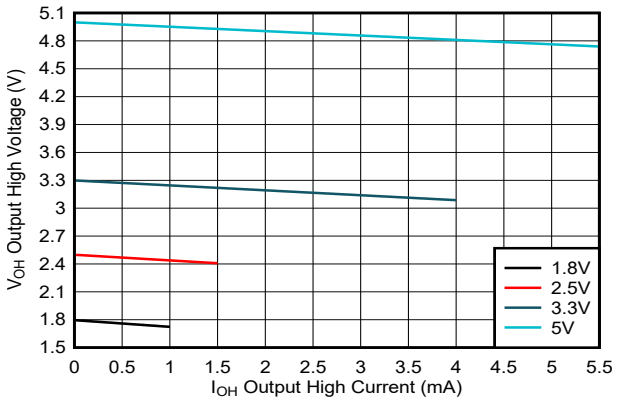


図 6-3. High 状態での 2X プッシュプル標準出力電圧 (V_{OH})

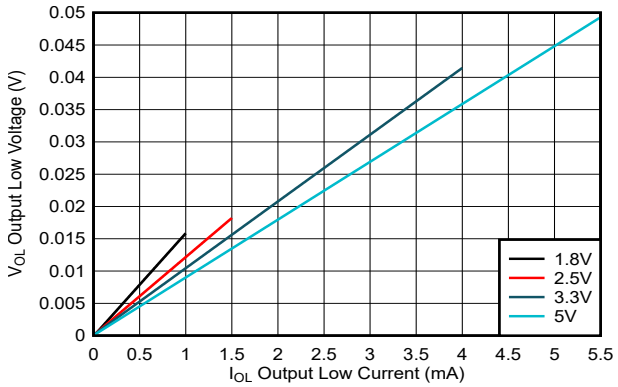


図 6-4. Low 状態での 2X プッシュプル標準出力電圧 (V_{OL})

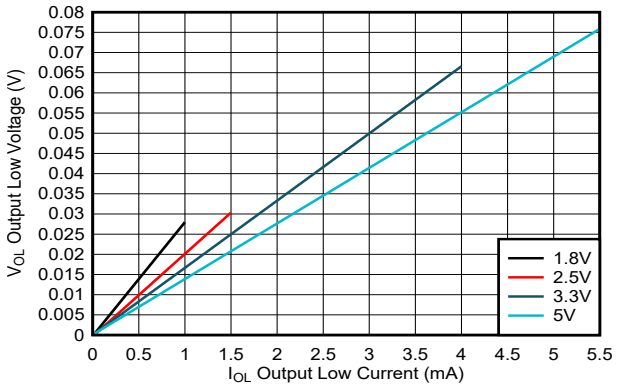


図 6-5. Low 状態での 1X オープンドレイン NMOS 標準出力電圧 (V_{OL})

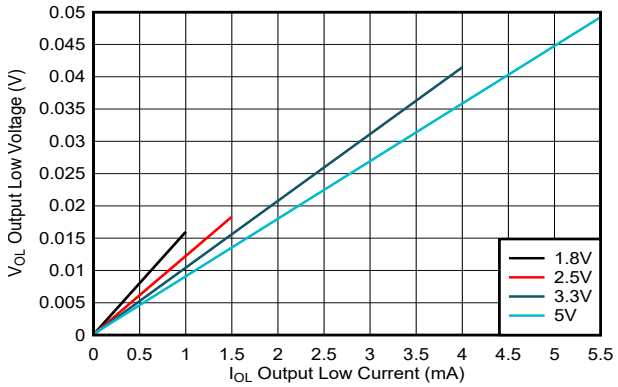


図 6-6. Low 状態での 2X オープンドレイン NMOS 標準出力電圧 (V_{OL})

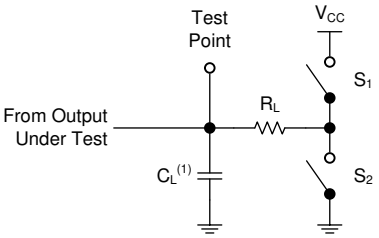
Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

波形間の位相関係は任意で選択します。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 5ns。

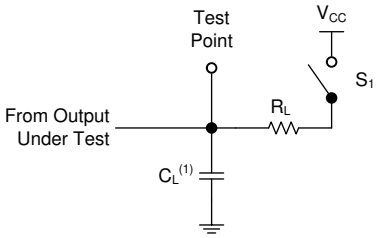
クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



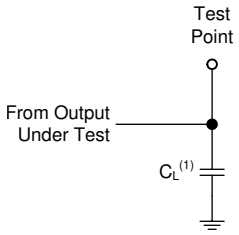
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 7-1. 3 ステート出力の負荷回路



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 7-2. オープン ドレイン出力の負荷回路



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 7-3. プッシュプル出力のための負荷回路

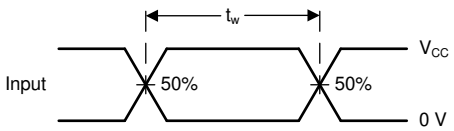


図 7-4. 電圧波形、パルス幅

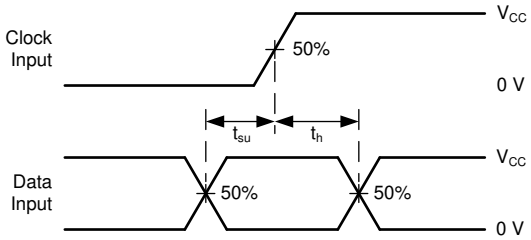
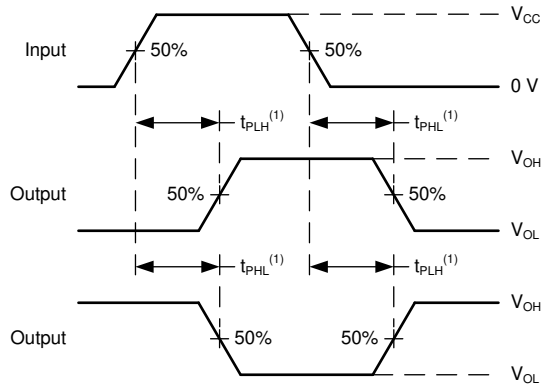
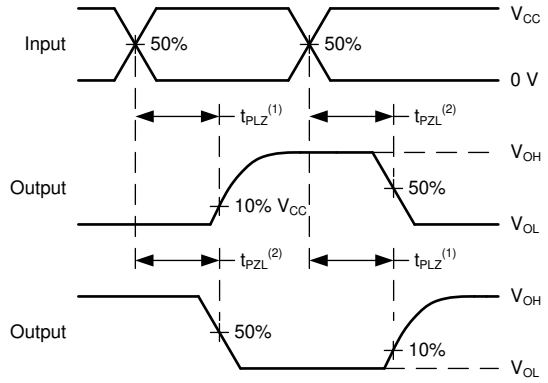


図 7-5. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 7-6. 電圧波形、伝搬遅延



(1) t_{PLZ} と t_{PZL} の大きい方が t_{pd} に相当します。

図 7-8. 電圧波形、伝搬遅延

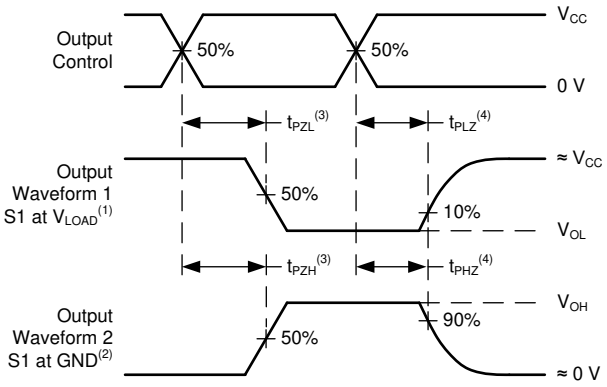
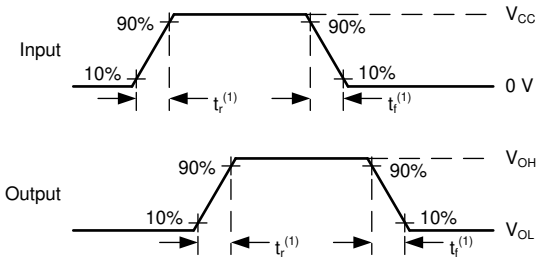


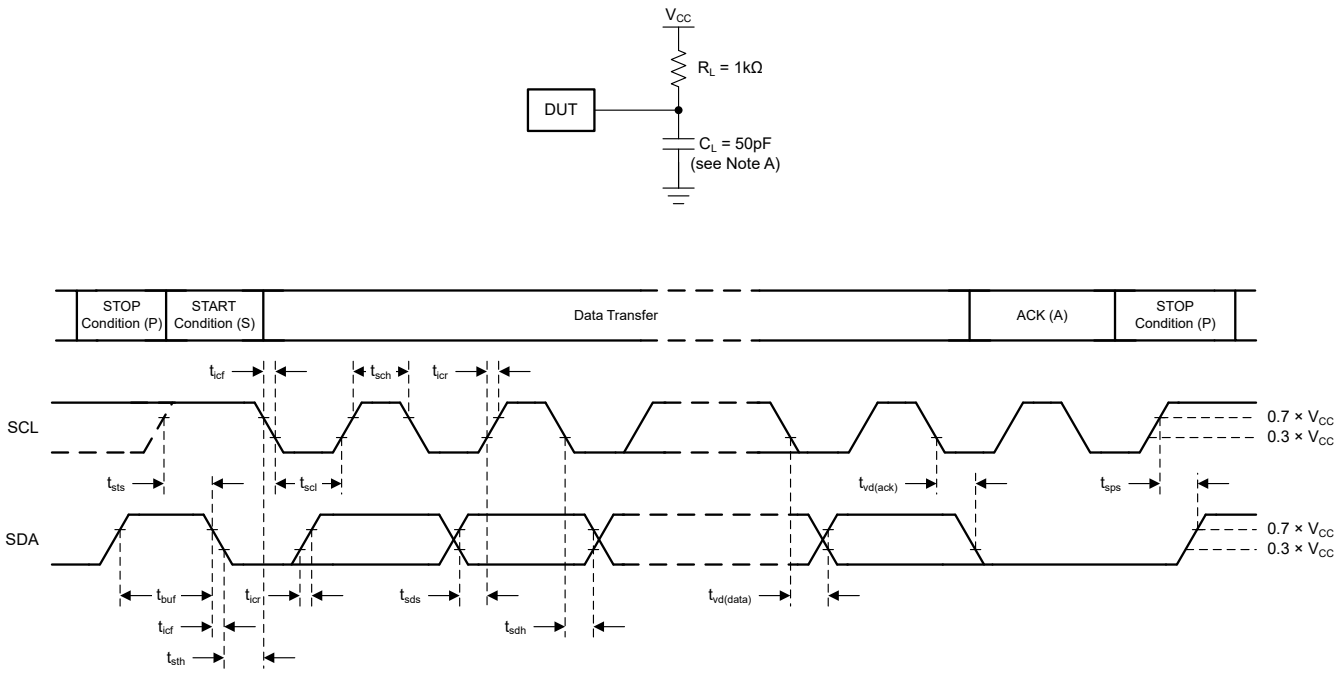
図 7-7. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

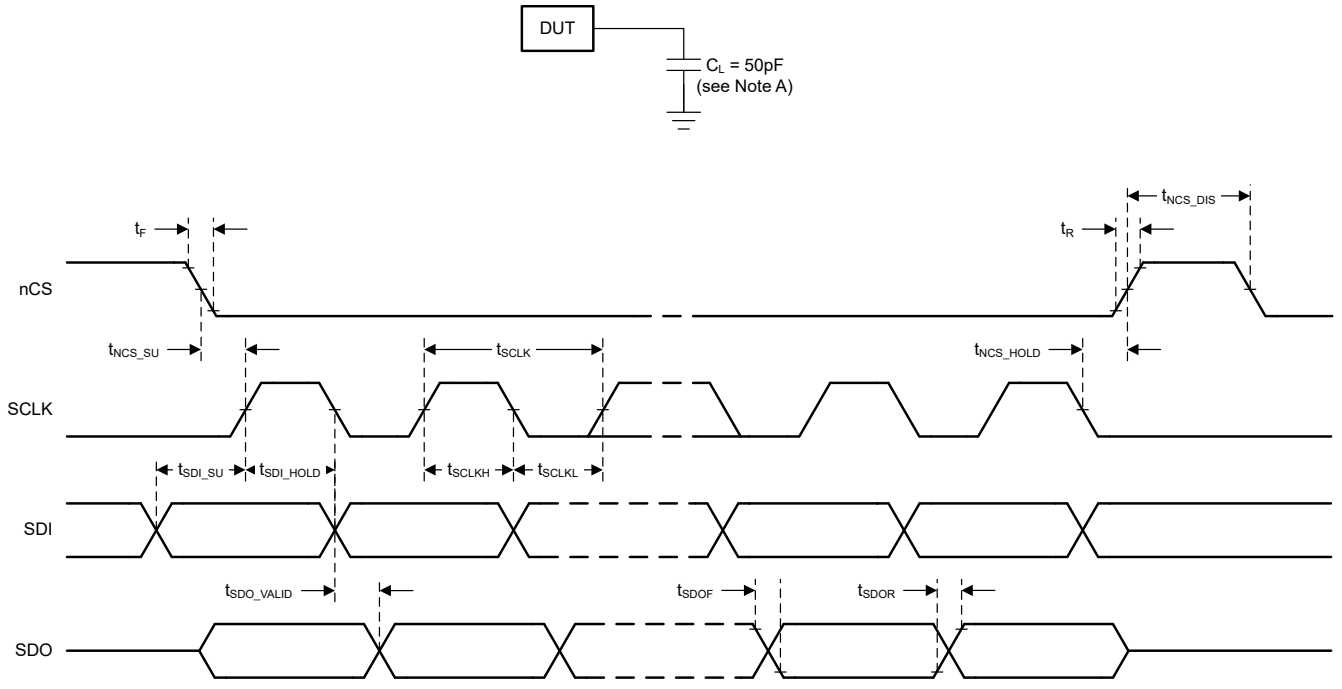
図 7-9. 電圧波形、入力および出力の遷移時間

Copyright © 2026 Texas Instruments Incorporated



A. C_L にはプローブと治具の容量が含まれます。

図 7-10. I²C インターフェイスの負荷回路と電圧波形



A. C_L にはプローブと治具の容量が含まれます。

図 7-11. SPI インターフェイスの負荷回路と電圧波形

8 詳細説明

8.1 概要

TPLD2001-Q1 は、組み合わせ論理、順序論理、アナログ ブロックを内蔵した多用途なプログラマブル ロジック IC を特長とするテキサス・インスツルメンツ プログラマブル ロジック デバイス (TPLD) ファミリのデバイスであり、一般的なシステム機能を実装するためのコンパクトな統合型低消費電力ソリューションを提供します。

TPLD2001-Q1 は 17 個の GPIO と 1 個の GPI があり、それぞれを デジタル入力、デジタル出力、デジタル入出力、またはアナログ入出力として構成することができます。

TPLD2001-Q1 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システムを備えています。ここでは、これを接続マルチプレクサと言います。それぞれの接続マルチプレクサ入力は、デジタル I/O、ルックアップ テーブル、アナログ コンパレータ出力など、特定のデジタル マクロセル出力にハードワイヤ接続されています。接続マルチプレクサを使うと、各デジタル入力を 1 つの出力のみに接続できるため、バスの競合が発生しません。

TPLD2001-Q1 には、以下に示すマクロセルがあります。

- 14 個の構成可能な論理ブロックが用意されており、組み合わせ論理または順序論理を実装するために使用できます
  - 3 つの論理ユニットを、2 ビット LUT または D フリップ フロップ/ ラッチとして選択可能
  - 1 つの論理ユニットを、2 ビット LUT またはパターン ジェネレータとして選択可能
  - 2 つの論理ユニットを、3 ビット LUT または D フリップ フロップ/ ラッチとして選択可能
  - 4 つの論理ユニットを、3 ビット LUT、D フリップ フロップ/ ラッチ、またはシフト レジスタとして選択可能
  - 4 つの論理ユニットを、4 ビット LUT または D フリップ フロップ/ ラッチとして選択可能
- 6 つの構成可能なロジックおよびタイミング ブロック
  - 4 つの 3 ビット LUT または D フリップ フロップ/ ラッチ、または 8 ビット カウンタ
  - 2 つの 3 ビット LUT または D フリップ フロップ/ ラッチおよび/または 16 ビット カウンタ
- 2 つのプログラム可能なグリッチ除去フィルタまたはエッジ検出器
- 1 つのグリッチ除去フィルタまたはエッジ検出器
- 1 つの 8 ステート マシン、非同期または同期モード
- 4 つの 8 ビット カウンタ/ 有限ステート マシン
- 4 つの PWM ジェネレータ
- 1 つのウォッチドッグ タイマ
- 4 つのディスクリート アナログ コンパレータ
- 1 つのマルチチャネル アナログ コンパレータを備え、サンプリング エンジンと複数電圧リファレンス選択機能を内蔵
- 内部基準電圧
- アナログ温度センサ
- 2 個の Break-Before-Make アナログ マルチプレクサ
- 3 つの発振器: 2kHz、2MHz、25MHz
- 1 つのシリアル通信: I^2C または SPI を選択可能

InterConnect Studio はドラッグ & ドロップによるシンプルなインターフェイスを通じて、構成可能レジスタ (揮発性メモリ) に書き込んだり、ワンタイム プログラマブル (OTP) の不揮発性メモリからロードしたりすることにより、カスタム回路設計の構築や、マクロセル、I/O ピン、インターコネクションの構成ができます。回路の作成に加えて、InterConnect Studio にはデジタルおよびアナログ機能のシミュレーション機能があり、設計を検証し、標準的な消費電力の推定値を提供できます。回路設計が確定したら、OTP に書き込みを行い、内容の読み戻しを防ぐためにロックできます。

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図

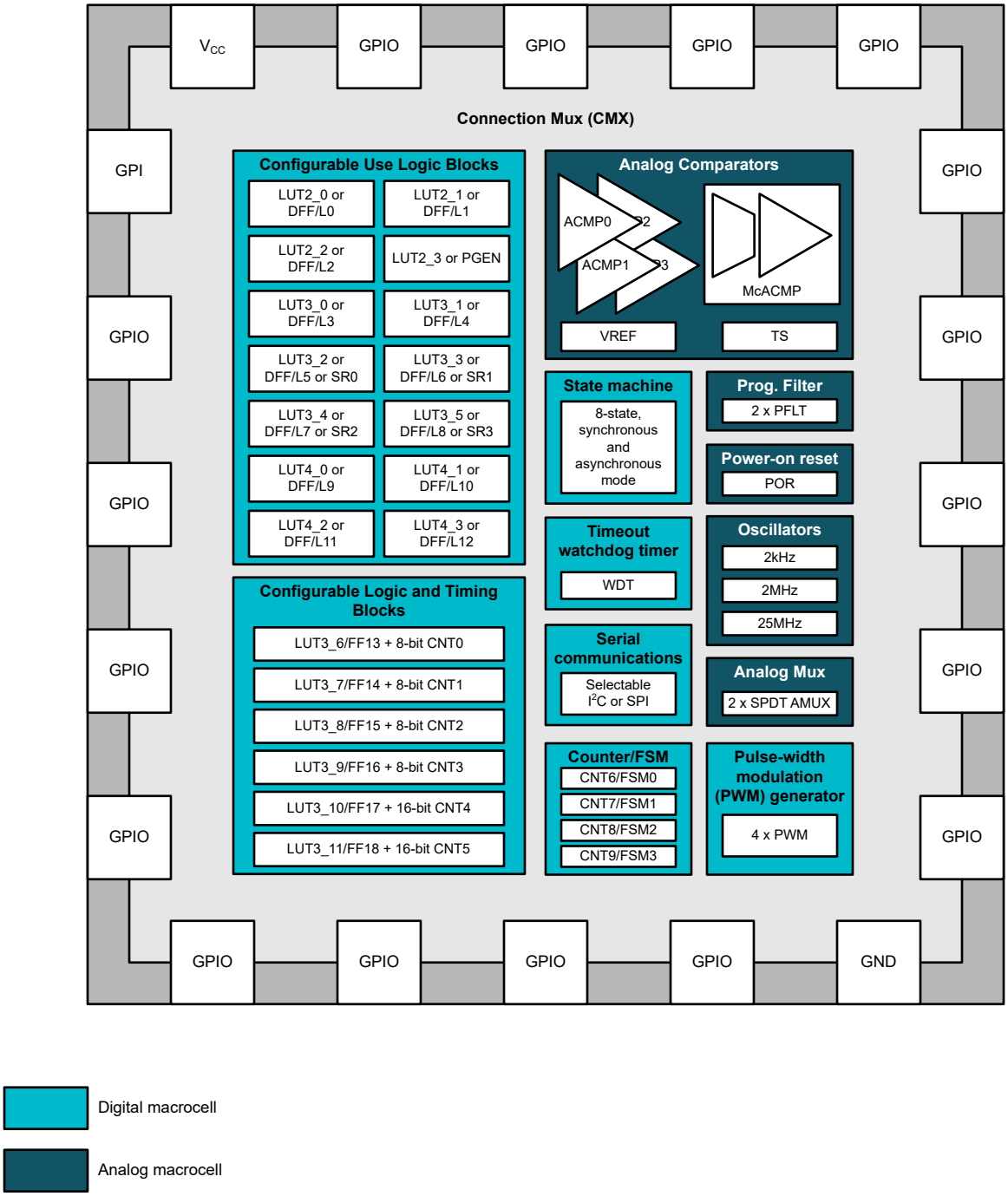


図 8-1. TPLD2001-Q1 機能ブロック図

8.3 機能説明

8.3.1 I/O ピン

TPLD2001-Q1 は 1 本の入力ピンと 17 本の多機能 I/O ピンを持っています。GPIO ピンは、ユーザー定義の入力、出力、または特殊機能のいずれかとして使用できます。

8.3.1.1 入力モード

ピンを入力として構成する場合、以下のオプションを使用できます。

- シュミット トリガなしのデジタル入力
- シュミット トリガ付きデジタル入力
- 低電圧デジタル入力

低電圧デジタル入力は、シュミット トリガなしのデジタル入力よりも V_{IH}/V_{IL} の仕様が低くなっています。これにより、低電圧デジタル入力 V_{IH} および V_{IL} 仕様を満たす V_{CC} より低い任意の電圧ドメインからの昇圧変換が可能です。

デジタル入力オプションに加えて、複数の IO に特殊機能を持つことができます。3 つの IO を外部発振器入力として使用できます。

- IO14：OSC0 外部クロック
- IO15：OSC1 外部クロック
- IO17：OSC2 外部クロック

複数の IO を、内部アナログ コンパレータへのアナログ入力として機能させることもできます。

- IO4：ACMP IN0
- IO16：ACMP IN1
- IO1：ACMP IN2
- IO2：ACMP IN3
- IO9：外部 VREF IN
- IO10：McACMP IN0
- IO11：McACMP IN1
- IO12：McACMP IN2
- IO13：McACMP IN3

3 つの IO は、内部のブレーク ビフォー メイク方式のアナログ マルチプレクサ用に、双方向アナログ ピンとして構成することも可能です。

- IO1：AMUX0A
- IO2：AMUX0B
- IO3：AMUX0Y
- IO14：AMUX1A
- IO15：AMUX1B
- IO17：AMUX1Y

8.3.1.2 出力モード

ピンを出力として構成する場合、ドライブ強度をプログラム可能な以下のオプションを利用できます:

- プッシュ プル出力
- オープン ドレインの NMOS 出力

Copyright © 2026 Texas Instruments Incorporated

8.3.1.3 プルアップまたはプルダウン抵抗

すべての I/O ピンには、ピン構造に接続できるユーザー選択可能な抵抗のオプションがあります。これらの抵抗で選択可能な値は、10kΩ、100kΩ、1MΩ です。これらの内部抵抗はプルアップとプルダウンのどちらかとして構成できます。InterConnect Studio で設計すると、設計で未使用のすべてのピンは、デフォルトで 1MΩ のプルダウンが接続されるように構成されます。さらに、パワーオン イベントの後、パワーオン リセット シーケンスが完了するまで、すべてのポートがハイインピーダンス状態になります。

表 8-1. ピン構成オプション

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IN0	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミット トリガなしのデジタル入力 シュミット トリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
IO6、IO7	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミット トリガなしのデジタル入力 シュミット トリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X) オープン ドレイン NMOS (1X、4X)	フローティング	—
				プルダウン プルアップ	10k 100k 1M
IO1、IO2、IO3、IO10、IO11、IO12、IO13、IO15、IO16、IO17	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミット トリガなしのデジタル入力 シュミット トリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X)	フローティング	—
			オープン ドレイン NMOS (1X、2X) 3 ステート出力 (1x、2x)	プルダウン プルアップ	10k 100k 1M
	デジタル入出力	0	シュミット トリガなしのデジタル入力 シュミット トリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
		1	プッシュプル出力 (1X、2X) オープン ドレイン NMOS (1X、2X)		
	アナログ入出力	—	アナログ入出力	フローティング	—
				プルダウン プルアップ	10k 100k 1M

Copyright © 2026 Texas Instruments Incorporated

表 8-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IO5、IO8	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミット トリガなしのデジタル入力 シュミット トリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X)	フローティング	—
			オープン ドレイン NMOS (1X、2X)	プルダウン プルアップ	10k 100k 1M
IO4、IO9、IO14	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミット トリガなしのデジタル入力 シュミット トリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X)	フローティング	—
			オープン ドレイン NMOS (1X、2X)	プルダウン プルアップ	10k 100k 1M
	アナログ入出力	—	アナログ入出力	フローティング	—
				プルダウン プルアップ	10k 100k 1M

注

出力イネーブル (OE) が CMX から制御される IO を使用し、3-state 出力のデジタル出力として構成する場合、入力モードをアナログ入出力に構成することを推奨します。

8.3.2 接続マルチプレクサ

接続マルチプレクサは、本デバイスのプログラム後に、デバイスの内部機能用の内部配線を作成するために使用されます。これらのレジスタは、ワンタイム プログラマブル メモリ (OTP) からプログラムされます。

TPLD2001-Q1 内の各機能マクロセルの出力には、特定のデジタル ビット コードが割り当てられており、作成される設計に基づいて、アクティブ「High」または非アクティブ「Low」に設定されます。TPLD2001-Q1 内の 2048 レジスタ ビットがプログラムされると、完全なカスタム回路が作成されます。

接続マルチプレクサには 83 の入力と 157 の出力があります。接続マルチプレクサへの 83 個の入力のそれぞれは、I/O ピン、LUT、アナログ コンパレータ、その他のデジタル リソース、V_{CC} および GND を含む特定のソース マクロセルにハードワイヤードされています。デジタル マクロセルへの入力は、7 ビット レジスタを使用して、これら 83 本の入力ラインのいずれかを選択します。

表 8-2. 接続マルチプレクサ入力表

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
0	GND	0	0	0	0	0	0	0

Copyright © 2026 Texas Instruments Incorporated

表 8-2. 接続マルチプレクサ入力表 (続き)

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
1	IN0 DIN	0	0	0	0	0	0	1
2	IO1 DIN/仮想 IN0	0	0	0	0	0	1	0
3	IO2 DIN/仮想 IN1	0	0	0	0	0	1	1
4	IO3 DIN/仮想 IN2	0	0	0	0	1	0	0
5	IO4 DIN/仮想 IN3	0	0	0	0	1	0	1
6	IO5 DIN/仮想 IN4	0	0	0	0	1	1	0
7	IO6 DIN/仮想 IN5	0	0	0	0	1	1	1
8	IO7 DIN/仮想 IN6	0	0	0	1	0	0	0
9	IO8 DIN	0	0	0	1	0	0	1
10	IO9 DIN/仮想 IN7	0	0	0	1	0	1	0
11	IO10 DIN	0	0	0	1	0	1	1
12	IO11 DIN	0	0	0	1	1	0	0
13	IO12 DIN	0	0	0	1	1	0	1
14	IO13 DIN	0	0	0	1	1	1	0
15	IO14 DIN	0	0	0	1	1	1	1
16	IO15 DIN	0	0	1	0	0	0	0
17	IO16 DIN	0	0	1	0	0	0	1
18	IO17 DIN	0	0	1	0	0	1	0
19	LUT2_0/DFF OUT	0	0	1	0	0	1	1
20	LUT2_1/DFF OUT	0	0	1	0	1	0	0
21	LUT2_2/DFF OUT	0	0	1	0	1	0	1
22	LUT2_3/PGEN OUT	0	0	1	0	1	1	0
23	LUT3_0/DFF OUT	0	0	1	0	1	1	1
24	LUT3_1/DFF OUT	0	0	1	1	0	0	0
25	LUT3_2/DFF/SR OUT	0	0	1	1	0	0	1
26	LUT3_3/DFF/SR OUT	0	0	1	1	0	1	0
27	LUT3_4/DFF/SR OUT	0	0	1	1	0	1	1
28	LUT3_5/DFF/SR OUT	0	0	1	1	1	0	0
29	LUT3_6/LDC OUT	0	0	1	1	1	0	1
30	LUT3_7/LDC OUT	0	0	1	1	1	1	0
31	LUT3_8/LDC OUT	0	0	1	1	1	1	1
32	LUT3_9/LDC OUT	0	1	0	0	0	0	0
33	LUT3_10/LDC OUT	0	1	0	0	0	0	1
34	LUT3_11/LDC OUT	0	1	0	0	0	1	0
35	LUT4_0/DFF OUT	0	1	0	0	0	1	1
36	LUT4_1/DFF OUT	0	1	0	0	1	0	0

Copyright © 2026 Texas Instruments Incorporated

表 8-2. 接続マルチプレクサ入力表 (続き)

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
37	LUT4_2/DFF OUT	0	1	0	0	1	0	1
38	LUT4_3/DFF OUT	0	1	0	0	1	1	0
39	PFLT0 OUT	0	1	0	0	1	1	1
40	PFLT1 OUT	0	1	0	1	0	0	0
41	FLT/EDET OUT	0	1	0	1	0	0	1
42	SM OUT0	0	1	0	1	0	1	0
43	SM OUT1	0	1	0	1	0	1	1
44	SM OUT2	0	1	0	1	1	0	0
45	SM OUT3	0	1	0	1	1	0	1
46	SM OUT4	0	1	0	1	1	1	0
47	SM OUT5	0	1	0	1	1	1	1
48	SM OUT6	0	1	1	0	0	0	0
49	SM OUT7	0	1	1	0	0	0	1
50	ACMP0 OUT	0	1	1	0	0	1	0
51	ACMP1 OUT	0	1	1	0	0	1	1
52	ACMP2 OUT	0	1	1	0	1	0	0
53	ACMP3 OUT	0	1	1	0	1	0	1
54	McACMP CH0_0 OUT	0	1	1	0	1	1	0
55	McACMP CH0_1 OUT	0	1	1	0	1	1	1
56	McACMP CH1_0 OUT	0	1	1	1	0	0	0
57	McACMP CH1_1 OUT	0	1	1	1	0	0	1
58	McACMP CH2_0 OUT	0	1	1	1	0	1	0
59	McACMP CH2_1 OUT	0	1	1	1	0	1	1
60	McACMP CH3_0 OUT	0	1	1	1	1	0	0
61	McACMP CH3_1 OUT	0	1	1	1	1	0	1
62	McACMP データ RDY	0	1	1	1	1	1	0
63	OSC0 OUT0	0	1	1	1	1	1	1
64	OSC0 OUT1	1	0	0	0	0	0	0
65	OSC1 OUT0	1	0	0	0	0	0	1
66	OSC1 OUT1	1	0	0	0	0	1	0
67	OSC2 OUT	1	0	0	0	0	1	1
68	CNT8 OUT	1	0	0	0	1	0	0
69	CNT9 OUT	1	0	0	0	1	0	1
70	CNT10 OUT	1	0	0	0	1	1	0
71	CNT11 OUT	1	0	0	0	1	1	1
72	PWM GEN0 OUTN	1	0	0	1	0	0	0

Copyright © 2026 Texas Instruments Incorporated

表 8-2. 接続マルチプレクサ入力表 (続き)

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
73	PWM GEN0 OUTP	1	0	0	1	0	0	1
74	PWM GEN1 OUTN	1	0	0	1	0	1	0
75	PWM GEN1 OUTP	1	0	0	1	0	1	1
76	PWM GEN2 OUTN	1	0	0	1	1	0	0
77	PWM GEN2 OUTP	1	0	0	1	1	0	1
78	PWM GEN3 OUTN	1	0	0	1	1	1	0
79	PWM GEN3 OUTP	1	0	0	1	1	1	1
80	WDT OUT	1	0	1	0	0	0	0
81	POR OUT	1	0	1	0	0	0	1
82	予約済み [1]	1	0	1	0	0	1	0
...	...	...	...	...	...	...	...	...
126	予約済み [1]	1	1	1	1	1	1	0
127	VCC	1	1	1	1	1	1	1

1. 予約済みオプションは、内部で VCC に接続されています。

表 8-3. 接続マルチプレクサの出力表

接続マルチプレクサの出力	接続マルチプレクサの出力信号
0	IO1 DOUT
1	IO1 OE
2	IO2 DOUT
3	IO2 OE
4	IO3 DOUT
5	IO3 OE
6	IO4 DOUT
7	IO5 DOUT
8	IO6 DOUT
9	IO7 DOUT
10	IO8 DOUT
11	IO9 DOUT
12	IO10 DOUT
13	IO10 OE
14	IO11 DOUT
15	IO11 OE
16	IO12 DOUT
17	IO12 OE
18	IO13 DOUT
19	IO13 OE
20	IO14 DOUT
21	IO15 DOUT
22	IO15 OE
23	IO16 DOUT
24	IO16 OE
25	IO17 DOUT
26	IO17 OE
27	LUT2_0 IN0/DFF CLK IN
28	LUT2_0 IN1/DFF D IN
29	LUT2_1 IN0/DFF CLK IN
30	LUT2_1 IN1/DFF D IN
31	LUT2_2 IN0/DFF CLK IN
32	LUT2_2 IN1/DFF D IN
33	LUT2_3 IN0/PGEN CLK IN
34	LUT2_3 IN1/PGEN RST IN
35	LUT3_0 IN0/DFF CLK IN
36	LUT3_0 IN1/DFF D IN
37	LUT3_0 IN2/DFF RST IN
38	LUT3_1 IN0/DFF CLK IN
39	LUT3_1 IN1/DFF D IN
40	LUT3_1 IN2/DFF RST IN
41	LUT3_2 IN0/DFF/SR CLK IN
42	LUT3_2 IN1/DFF/SR D IN
43	LUT3_2 IN2/DFF/SR RST IN

Copyright © 2026 Texas Instruments Incorporated

表 8-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
44	LUT3_3 IN0/DFF/SR CLK IN
45	LUT3_3 IN1/DFF/SR D IN
46	LUT3_3 IN2/DFF/SR RST IN
47	LUT3_4 IN0/DFF/SR CLK IN
48	LUT3_4 IN1/DFF/SR D IN
49	LUT3_4 IN2/DFF/SR RST IN
50	LUT3_5 IN0/DFF/SR CLK IN
51	LUT3_5 IN1/DFF/SR D IN
52	LUT3_5 IN2/DFF/SR RST IN
53	LUT3_6 IN0/DFF CLK IN OR LDC IN0
54	LUT3_6 IN1/DFF D IN OR LDC IN1
55	LUT3_6 IN2/DFF RST IN OR LDC IN2
56	LUT3_7 IN0/DFF CLK IN OR LDC IN0
57	LUT3_7 IN1/DFF D IN OR LDC IN1
58	LUT3_7 IN2/DFF RST IN OR LDC IN2
59	LUT3_8 IN0/DFF CLK IN OR LDC IN0
60	LUT3_8 IN1/DFF D IN OR LDC IN1
61	LUT3_8 IN2/DFF RST IN OR LDC IN2
62	LUT3_9 IN0/DFF CLK IN OR LDC IN0
63	LUT3_9 IN1/DFF D IN OR LDC IN1
64	LUT3_9 IN2/DFF RST IN OR LDC IN2
65	LUT3_10 IN0/DFF CLK IN OR LDC IN0
66	LUT3_10 IN1/DFF D IN OR LDC IN1
67	LUT3_10 IN2/DFF RST IN OR LDC IN2
68	LUT3_11 IN0/DFF CLK IN OR LDC IN0
69	LUT3_11 IN1/DFF D IN OR LDC IN1
70	LUT3_11 IN2/DFF RST IN OR LDC IN2
71	LUT4_0 IN0/DFF CLK IN
72	LUT4_0 IN1/DFF D IN
73	LUT4_0 IN2/DFF RST IN
74	LUT4_0 IN3
75	LUT4_1 IN0/DFF CLK IN
76	LUT4_1 IN1/DFF D IN
77	LUT4_1 IN2/DFF RST IN
78	LUT4_1 IN3
79	LUT4_2 IN0/DFF CLK IN
80	LUT4_2 IN1/DFF D IN
81	LUT4_2 IN2/DFF RST IN
82	LUT4_2 IN3
83	LUT4_3 IN0/DFF CLK IN
84	LUT4_3 IN1/DFF D IN
85	LUT4_3 IN2/DFF RST IN
86	LUT4_3 IN3
87	PFLT0 IN

Copyright © 2026 Texas Instruments Incorporated

表 8-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
88	PFLT1 IN
89	FLT/EDET IN
90	SM ST0 EN0
91	SM ST0 EN1
92	SM ST0 EN2
93	SM ST1 EN0
94	SM ST1 EN1
95	SM ST1 EN2
96	SM ST2 EN0
97	SM ST2 EN1
98	SM ST2 EN2
99	SM ST3 EN0
100	SM ST3 EN1
101	SM ST3 EN2
102	SM ST4 EN0
103	SM ST4 EN1
104	SM ST4 EN2
105	SM ST5 EN0
106	SM ST5 EN1
107	SM ST5 EN2
108	SM ST6 EN0
109	SM ST6 EN1
110	SM ST6 EN2
111	SM ST7 EN0
112	SM ST7 EN1
113	SM ST7 EN2
114	SM CLK IN
115	SM RST IN
116	ACMP0 PWR UP
117	ACMP1 PWR UP
118	ACMP2 PWR UP
119	ACMP3 PWR UP
120	McACMP ENABLE
121	McACMP RST
122	OSC0 PWR DOWN
123	OSC1 PWR DOWN
124	OSC2 PWR DOWN
125	CNT6/FSM IN
126	CNT6/FSM UP
127	CNT6/FSM KEEP
128	CNT6/FSM CLK IN
129	CNT7/FSM IN
130	CNT7/FSM UP
131	CNT7/FSM KEEP

Copyright © 2026 Texas Instruments Incorporated

表 8-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
132	CNT7/FSM CLK IN
133	CNT8/FSM IN
134	CNT8/FSM UP
135	CNT8/FSM KEEP
136	CNT8/FSM CLK IN
137	CNT9/FSM IN
138	CNT9/FSM UP
139	CNT9/FSM KEEP
140	CNT9/FSM CLK IN
141	PWM GEN0 PWR UP
142	PWM GEN1 PWR UP
143	PWM GEN2 PWR UP
144	PWM GEN3 PWR UP
145	WDT EN
146	WDT IN
147	VIRTUAL OUT0
148	VIRTUAL OUT1
149	VIRTUAL OUT2
150	VIRTUAL OUT3
151	VIRTUAL OUT4
152	VIRTUAL OUT5
153	VIRTUAL OUT6
154	VIRTUAL OUT7
155	AMUX0_SEL
156	AMUX1_SEL

8.3.3 使用論理ブロック数を構成可能

組み合わせロジックは、TPLD2001-Q1 内の参照テーブル (LUT) を使用してサポートされています。組み合わせ機能マクロセルの入力と出力は、OTP ビットの状態によって定義される特定のロジック機能を持つように、接続マルチプレクサから設定されます。

TPLD2001-Q1 には 用途を設定可能なロジック ブロック (マクロ セル) が 14 個あり、組み合わせロジックまたはシーケンシャル ロジック機能として機能できます。いずれの場合も、マクロセルは参照テーブル (LUT)、または別のロジックまたはタイミング機能として機能できます。これらのロジック ブロックに実装可能な機能については、以下のリストを参照してください。

- 選択可能な 3 つの 2 入力 LUT または D フリップ フロップもしくはラッチ (DFF/L)
- 選択可能な 1 つの 2 入力 LUT またはパターン ジェネレータ (PGEN)
- 選択可能な 2 つの 3 入力 LUT またはリセット/セット付き DFF/L
- 選択可能な 4 つの 3 入力 LUT、DFF/L またはシフト レジスタ (SR)
- 選択可能な 4 つの 4 入力 LUT または DFF/L、リセット/セット付き

8.3.3.1 2 ビット LUT または D フリップ フロップ / ラッチ マクロセル

用途を設定可能なこのロジック ブロックは、2 ビット LUT、または D フリップ フロップもしくはラッチとして機能できます。

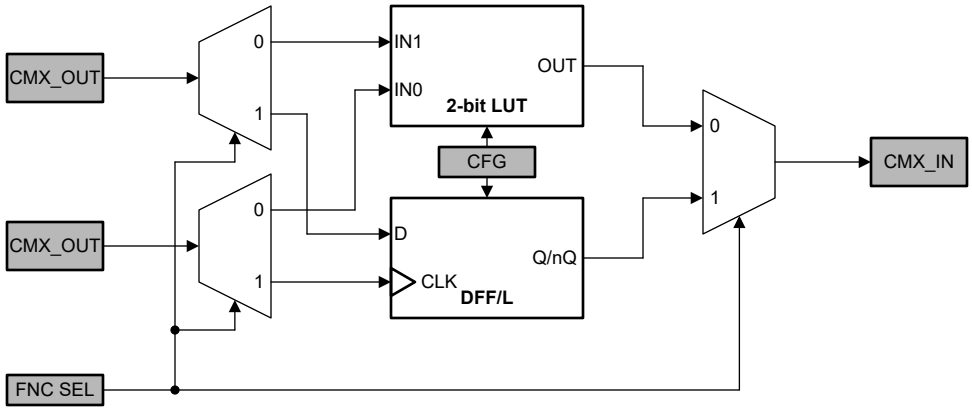


図 8-2. 2 ビット LUT または DFF / ラッチのブロック図

8.3.3.1.1 2 ビット LUT

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR).を含む、任意のユーザー定義 2 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 4 ビット レジスタを使用して出力関数を定義します。

表 8-4 に、2 ビット LUT の真理値表を示します。

表 8-4. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	
0	1	
1	0	
1	1	

8.3.3.1.2 D フリップ フロップ/ ラッチ

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、フリップ フロップまたはラッチのデータ (D) 入力およびクロック (CLK) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルには、初期状態パラメータとクロックおよび出力極性パラメータがあり、設定可能です。

D フリップ フロップ/ラッチの動作は、以下の機能説明に従います:

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 8-5 と 表 8-6 に、それぞれ D フリップ フロップと D ラッチの真理値表を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-5. D フリップ フロップの真理値表

CLKPOL	CLK	D	Q	nQ
0	↓	0	Q_0	nQ_0
	↑	0	0	1
	↓	1	Q_0	nQ_0
	↑	1	1	0
1	↓	0	0	1
	↑	0	Q_0	nQ_0
	↓	1	1	0
	↑	1	Q_0	nQ_0

表 8-6. D ラッチの真理値表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	Q_0	nQ_0
	0	1	1	0
	1	1	Q_0	nQ_0
1	0	0	Q_0	nQ_0
	1	0	0	1
	0	1	Q_0	nQ_0
	1	1	1	0

8.3.3.2 2 ビット LUT またはパターン ジェネレータ マクロセル

用途を設定可能なこのロジック ブロックは、2 ビット LUT またはパターン ジェネレータとして機能できます。

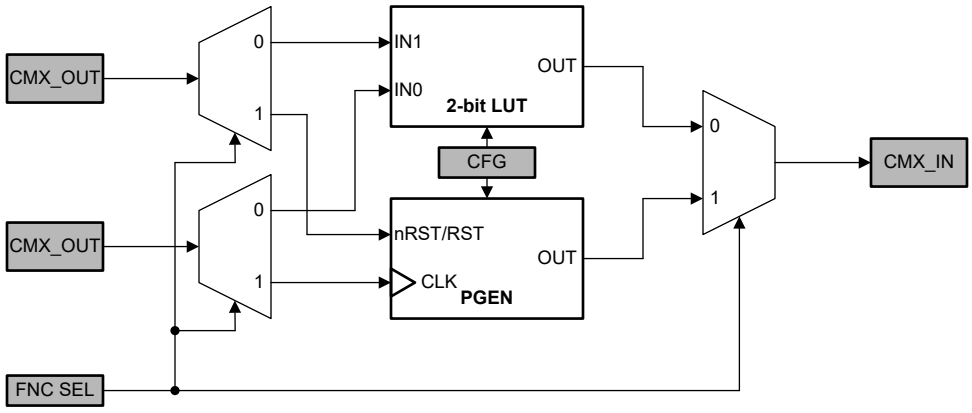


図 8-3. 2 ビット LUT またはパターン ジェネレータのブロック図

8.3.3.2.1 2 ビット LUT

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR).を含む、任意のユーザー定義 2 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 4 ビット レジスタを使用して出力関数を定義します。

表 8-7 に、2 ビット LUT の真理値表を示します。

表 8-7. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	
0	1	
1	0	
1	1	

8.3.3.2.2 パターン ジェネレータ

パターン ジェネレータとして構成した場合、接続マルチプレクサからの 2 つの入力信号は、パターン ジェネレータのリセット (nRST/RST) 入力とクロック (CLK) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルにはパターン サイズ、ビット パターン、リセット信号極性のパラメータがあり、マクロセルがリセット中でない限り、CLK 入力の立ち上がりエッジで連続的にクロック出力される 16 ビットまでのパターンを生成するように構成できます。リセット中、マクロセルは、プログラムされたビット パターンの最初のビットを連続的に出力します。

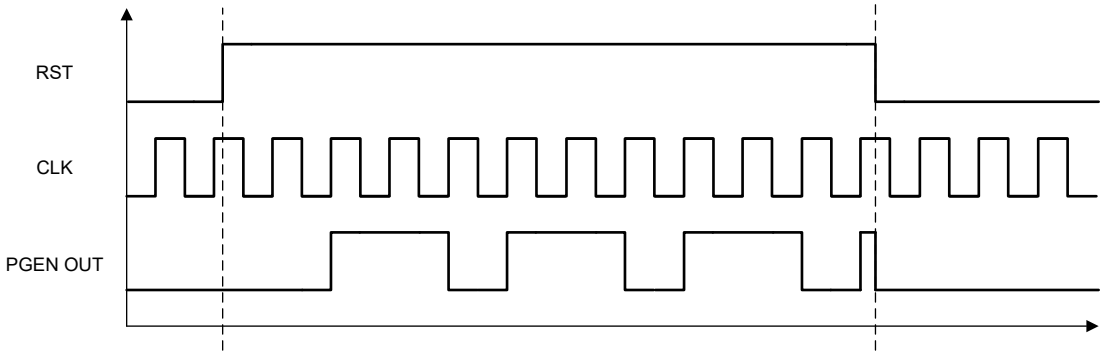


図 8-4. パターン ジェネレータ出力タイミング図の例 (サイズ = 3、パターン = 011、Low レベル RST)

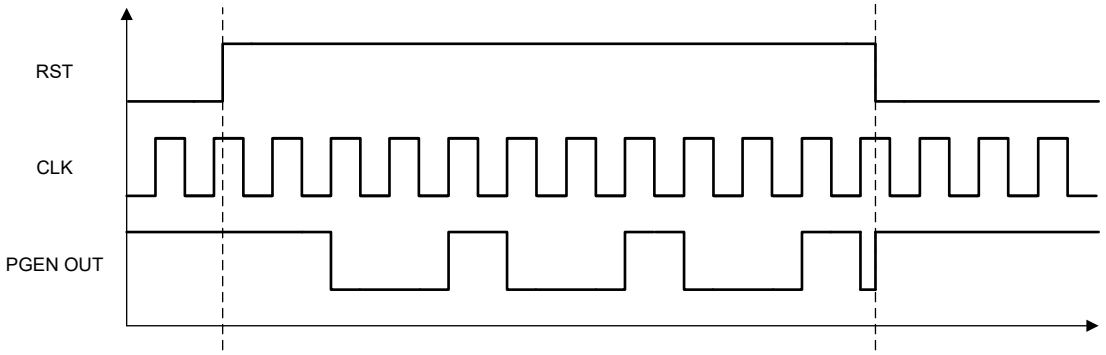


図 8-5. パターン ジェネレータ出力タイミング図の例 (サイズ = 3、パターン = 100、Low レベル RST)

出力パターンは、ユーザー レジスタを使用してシステム内で更新できます。パターン レジスタを更新する際は、データの読み込み時にグリッチが発生しないように、パターン ジェネレータをリセット状態にしておくことを推奨します。

8.3.3.3 3 ビット LUT または D フリップ フロップ / ラッチ (リセット / セット付き) マクロセル

用途を設定可能なこのロジック ブロックは、3 ビット LUT または D フリップ フロップまたはラッチ (セットまたはリセット付き) のいずれかとして機能します。

Copyright © 2026 Texas Instruments Incorporated

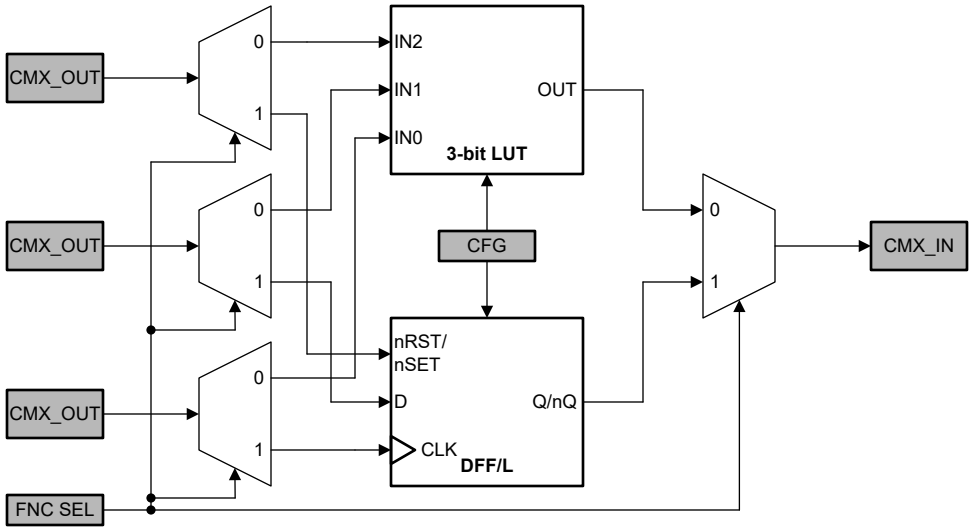


図 8-6. 3 ビット LUT または DFF / ラッチ (nRST/nSET 付き) のブロック図

8.3.3.3.1 3 ビット LUT

LUT 機能を実装するために使用する場合、3 ビット LUT は、それぞれ接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR).を含む、任意のユーザー定義 3 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 8 ビット レジスタを使用して出力関数を定義します。

表 8-8 に、3 ビット LUT の真理値表を示します。

表 8-8. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

8.3.3.3.2 D フリップ フロップ / ラッチ、リセット / セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップまたはラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、クロック極性、リセット/設定極性、出力選択、出力極性のパラメータをユーザーが構成可能です。

D フリップ フロップ/ラッチの動作は、以下の機能説明に従います:

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。

Copyright © 2026 Texas Instruments Incorporated

  - CLK を使用するラッチ：CLK が Low のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ：CLK が High のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット / セットを選択することができます。
  - nRST：High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 0 にリセットされます。
  - RST：Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 0 にリセットされます。
  - nSET：High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 1 にセットされます。
  - SET：Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 1 にセットされます。
- リセット/セットが不要な場合は、極性をアクティブ Low に設定して、この入力を V_{CC} または常に High になっている信号源に接続できます。
- これらの DFF / ラッチには、「デュアル ステージ DFF」オプションを有効にすることにより、CLK の立ち下がりエッジまたは nCLK の立ち上がりエッジで 2 番目の DFF / ラッチ サンプリングを使用し、出力を入力からさらに分離するためのオプションがあります。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 8-9 および 表 8-10 に、それぞれアクティブ low のリセット/セット付き D フリップ フロップおよび D ラッチの真理値表を示します。

表 8-9. D フリップ フロップ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 8-10. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0

Copyright © 2026 Texas Instruments Incorporated

表 8-10. D ラッチ (nRST/nSET 付き) の真理値表 (続き)

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

8.3.3.4 3 ビット LUT または D フリップ フロップ / ラッチまたはシフト レジスタ マクロセル

用途を設定可能なこのロジック ブロックは、3 ビット LUT、または D フリップ フロップもしくはラッチ (リセット / セット付き)、または 8 ビット シフト レジスタのいずれかとして機能できます。

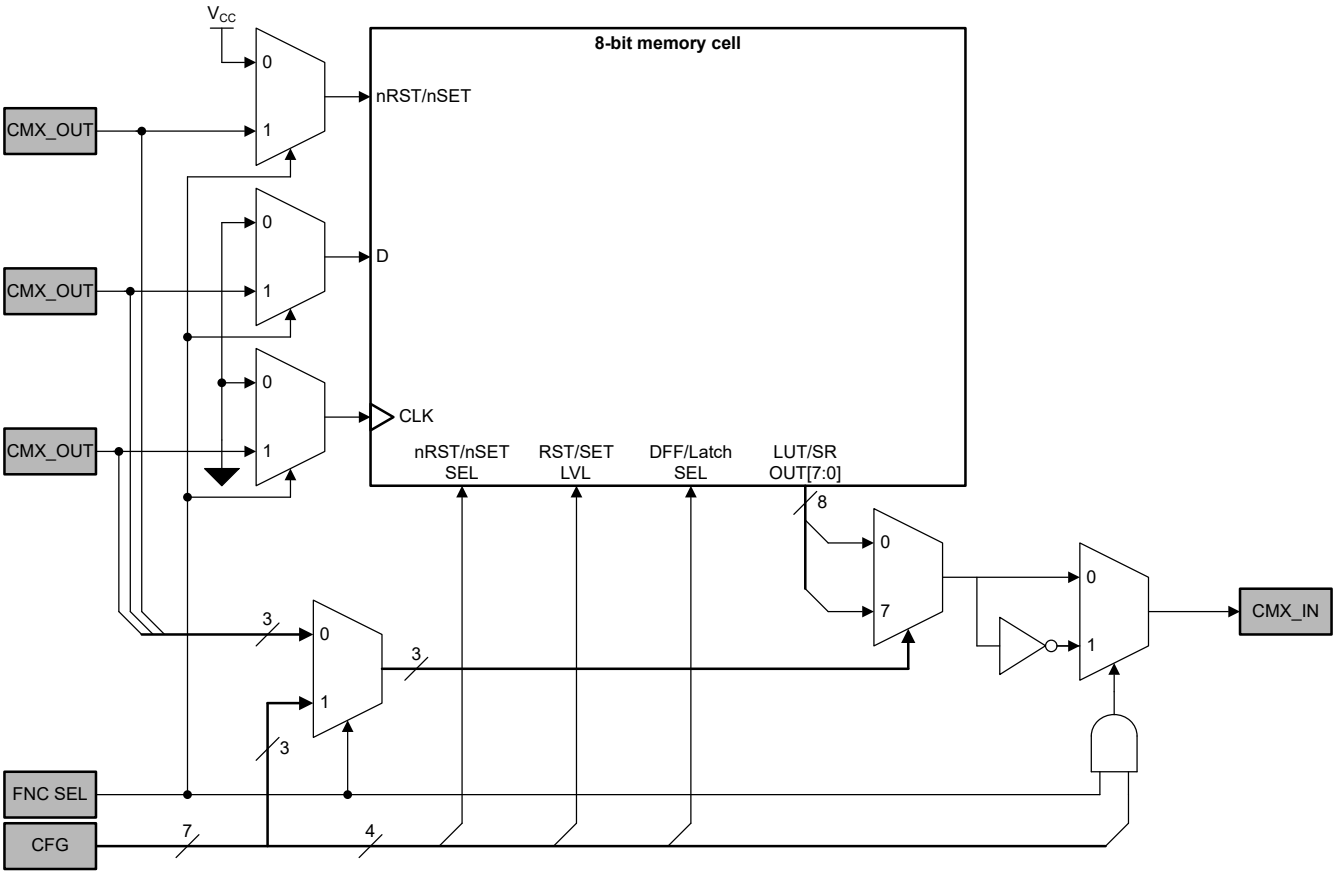


図 8-7. 3 ビット LUT または DFF / ラッチ (nRST/nSET 付き) または 8 ビット SISO シフト レジスタのブロック図

8.3.3.4.1 3 ビット LUT

LUT 機能を実装するために使用する場合、3 ビット LUT は、それぞれ接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR).を含む、任意のユーザー定義 3 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 8 ビット レジスタを使用して出力関数を定義します。

表 8-11 に、3 ビット LUT の真理値表を示します。

表 8-11. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

8.3.3.4.2 D フリップ フロップ / ラッチ、リセット / セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップまたはラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、リセット / セット極性、出力極性パラメータをユーザーが構成可能です。

D フリップ フロップ / ラッチの動作は、以下の機能説明に従います。

- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット / セットを選択することができます。
  - nRST:High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 0 にリセットされます。
  - RST:Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 0 にリセットされます。
  - nSET:High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 1 にセットされます。
  - SET:Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 1 にセットされます。
- リセット / セットが不要な場合は、極性をアクティブ "Low" に設定して、この入力を V_{CC} または常に High になっている信号源に接続できます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 8-12 および 表 8-13 に、それぞれアクティブ "Low" のリセット / セット付き D フリップ フロップおよび D ラッチの真理値表を示します。

表 8-12. nRST/nSET 付き D フリップ フロップの真理値表

nRST	nSET	CLK	D	Q	nQ
0	—	X	X	0	1
—	0	X	X	1	0
1	1	↓	0	Q_0	nQ_0
		↑	0	0	1
		↓	1	Q_0	nQ_0
		↑	1	1	0

表 8-13. nRST/nSET 付き D ラッチの真理値表

nRST	nSET	CLK	D	Q	nQ
0	—	X	X	0	1
—	0	X	X	1	0

Copyright © 2026 Texas Instruments Incorporated

表 8-13. nRST/nSET 付き D ラッチの真理値表 (続き)

nRST	nSET	CLK	D	Q	nQ
1	1	0	0	0	1
		1	0	Q_0	nQ_0
		0	1	1	0
		1	1	Q_0	nQ_0

8.3.3.4.3 8 ビット シフト レジスタ

シフト レジスタを実装するために使用する場合、初期状態、リセット / セット極性、出力極性、レジスタ長を構成できます。レジスタ長は、最小 2、最大 8 に設定できます。

図 8-8 に、シフト レジスタ マクロセルの動作例を示します。

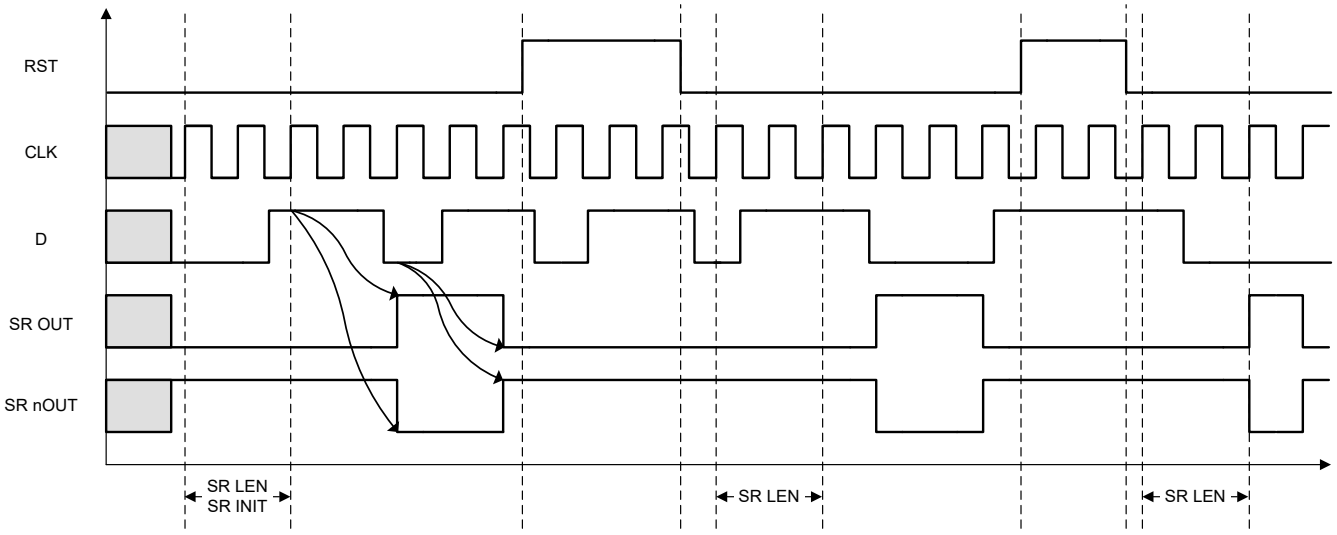


図 8-8. シフト レジスタ出力のタイミング図の例 (初期状態 = 00、レジスタ長 = 2、High レベル リセット)

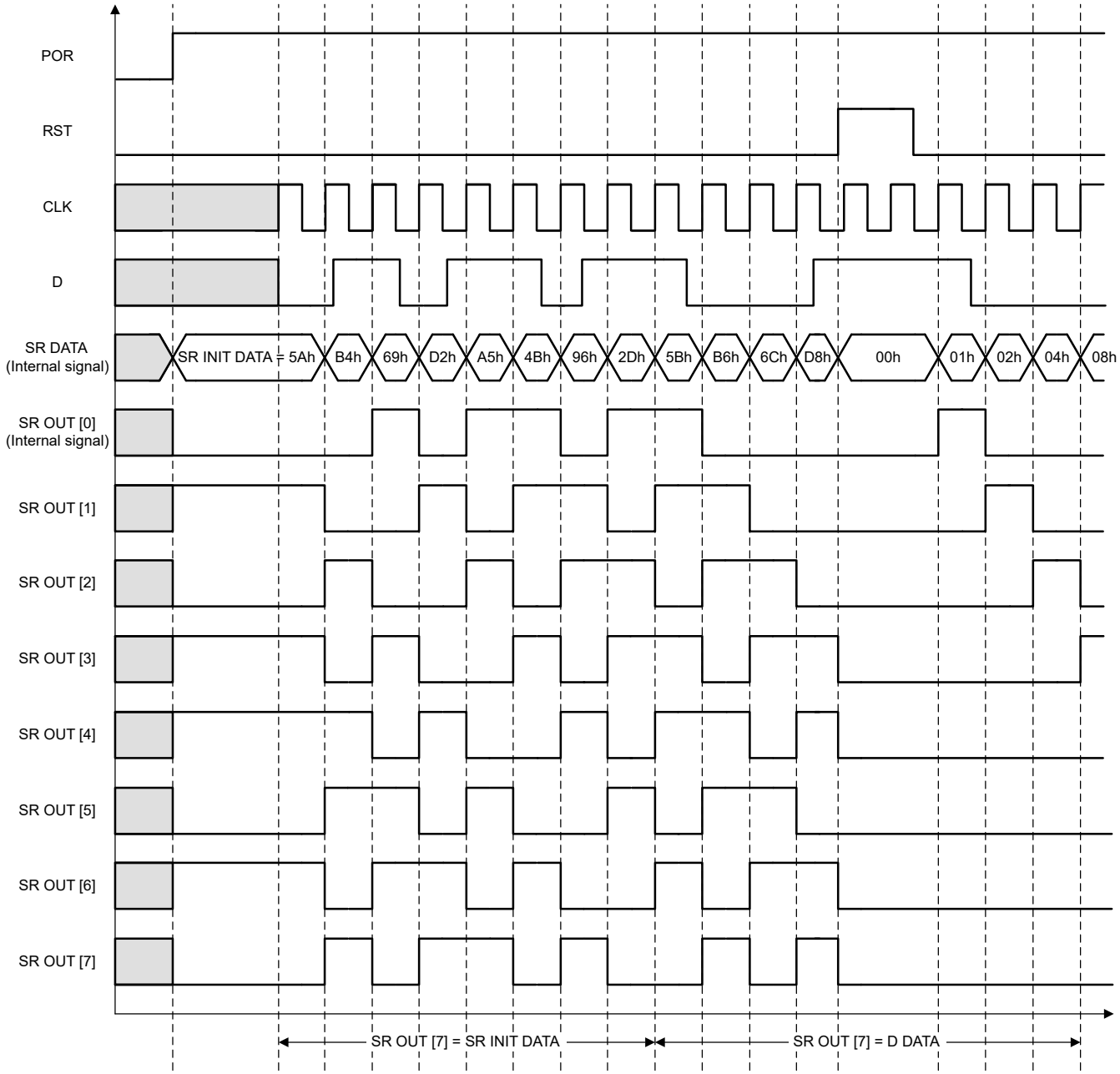


図 8-9. シフト レジスタ出力のタイミング図の例 (初期状態 = 5Ah、High レベル リセット)

Copyright © 2026 Texas Instruments Incorporated

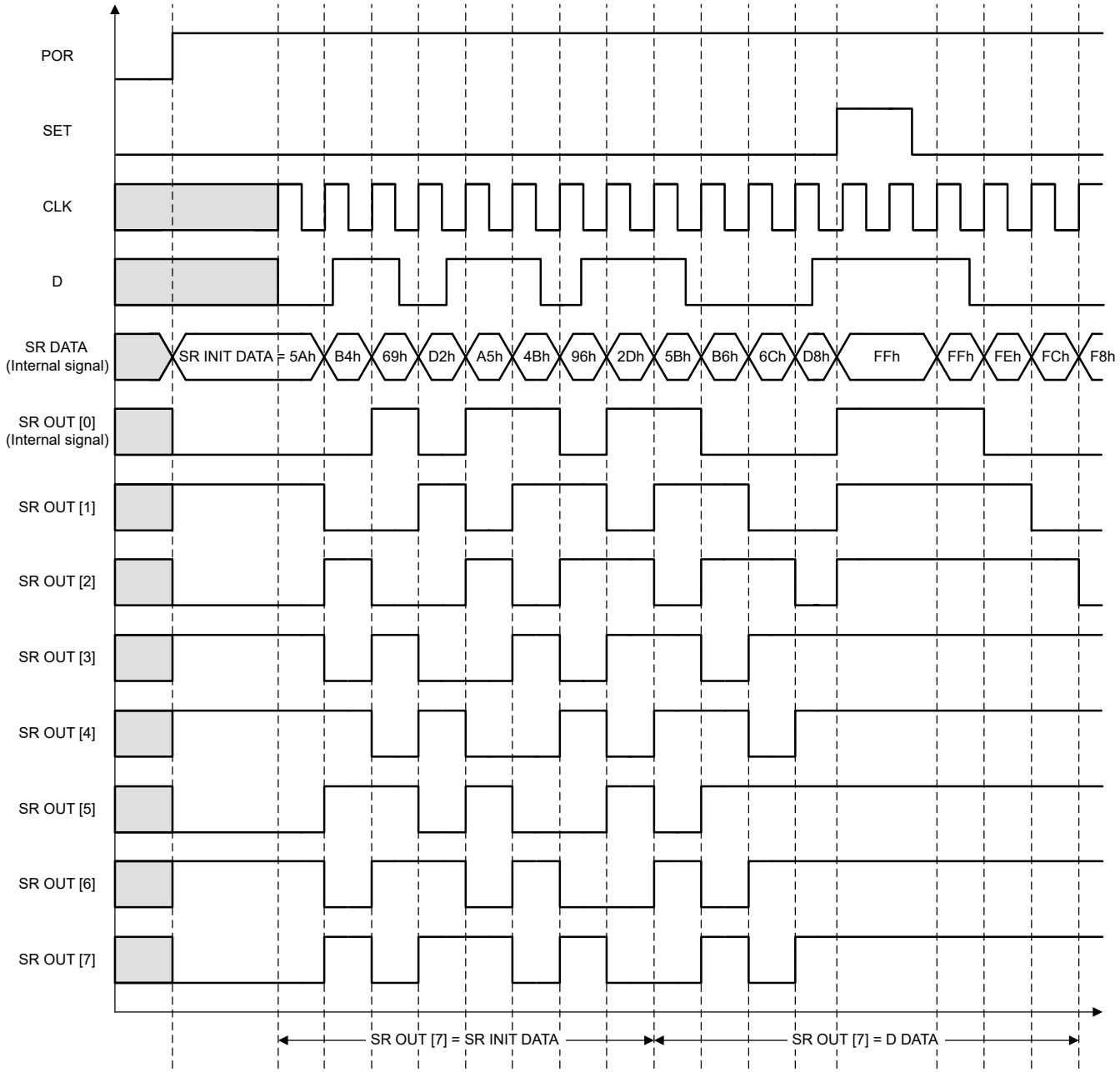


図 8-10. シフト レジスタ出力のタイミング図の例 (初期状態 = 5Ah、High レベル セット)

8.3.3.5 4 ビット LUT または D フリップ フロップ / ラッチ (リセット / セット付き) マクロセル

用途を設定可能なこのロジック ブロックは、4 ビット LUT として、または D フリップ フロップもしくはラッチ (リセット / セット付き) として機能できます。

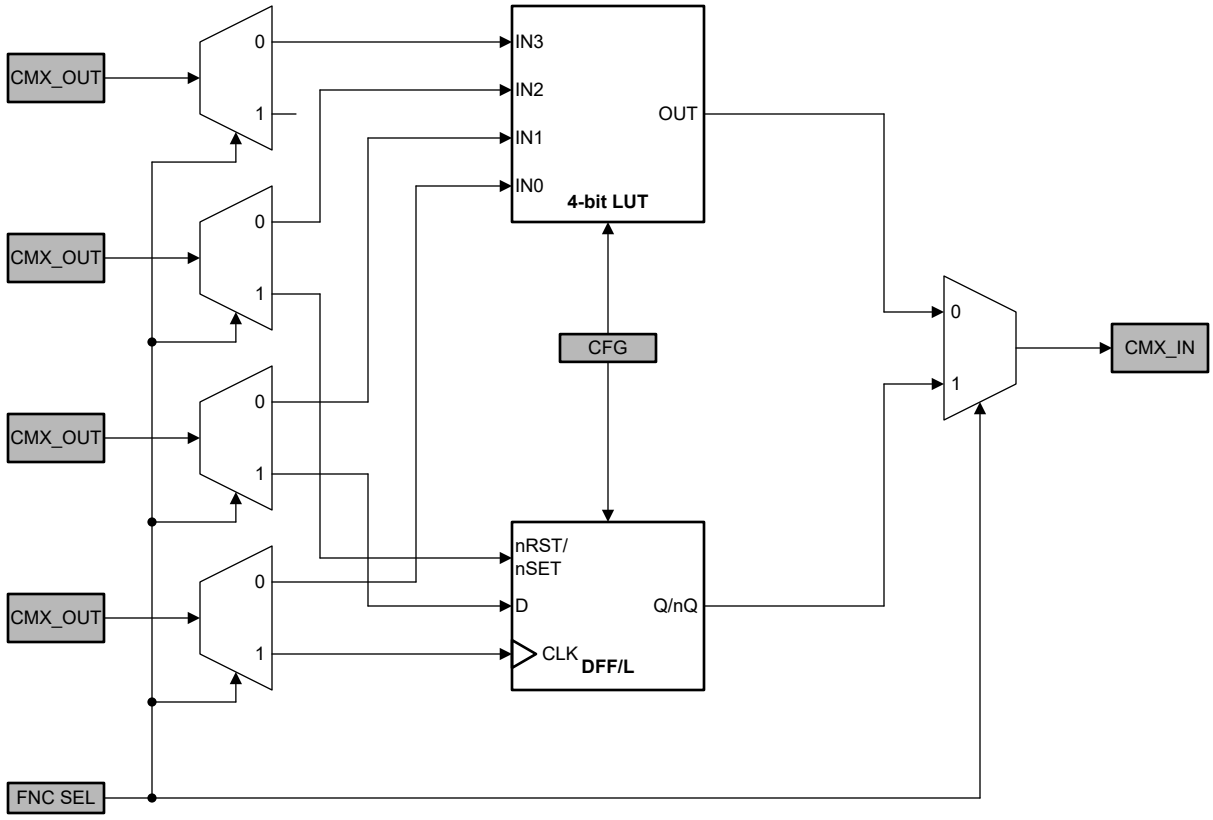


図 8-11. 4 ビット LUT または DFF / ラッチのブロック図

8.3.3.5.1 4 ビット LUT

LUT 機能を実装するために使用する場合、4 ビット LUT は接続マルチプレクサから 4 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。この LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR).を含む、任意のユーザー定義 4 入力関数に構成できます。

LUT 機能にプログラムされている場合、このマクロセルは 16 ビット レジスタを使用して出力関数を定義します。

表 8-14 に、4 ビット LUT の真理値表を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-14. 4 ビット LUT の真理値表

IN3	IN2	IN1	IN0	OUT
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

8.3.3.5.2 D フリップ フロップ/ ラッチ、リセット / セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップまたはラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、クロック極性、リセット/設定極性、出力選択、出力極性のパラメータをユーザーが構成可能です。

D フリップ フロップ/ラッチの動作は、以下の機能説明に従います:

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット / セットを選択することができます。
  - nRST:High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 0 にリセットされます。
  - RST:Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 0 にリセットされます。
  - nSET:High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 1 にセットされます。
  - SET:Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 1 にセットされます。
- リセット/セットが不要な場合は、極性をアクティブ Low に設定して、この入力を V_{CC} または常に High になっている信号源に接続できます。
- これらの DFF / ラッチには、「デュアル ステージ DFF」オプションを有効にすることにより、CLK の立ち下がりエッジまたは nCLK の立ち上がりエッジで 2 番目の DFF / ラッチ サンプリングを使用し、出力を入力からさらに分離するためのオプションがあります。

Copyright © 2026 Texas Instruments Incorporated

- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 8-15 および 表 8-16 に、それぞれアクティブ low のリセット/セット付き D フリップ フロップおよび D ラッチの真理値表を示します。

表 8-15. D フリップ フロップ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 8-16. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

8.3.4 構成可能なロジックおよびタイミング ブロック

TPLD2001-Q1 は、組み合わせ論理またはシーケンス論理機能として機能する 8 構成可能ロジック ブロックおよびタイミング ブロック (マクロセル) を搭載しています。構成可能なロジックおよびタイミング ブロックは、3 ビット LUT、nRST/nSET 付きの D フリップ フロップ、、1 つの 8 ビット カウンタ / 遅延ジェネレータまたは 16 ビット カウンタ / 遅延ジェネレータ として機能します。これらのマクロセルでは、上記の機能を組み合わせることもでき、LUT/DFF 出力を CNT/DLY 入力に、または CNT/DLY 出力をいずれかの LUT/DFF 入力に接続することもできます。

Copyright © 2026 Texas Instruments Incorporated

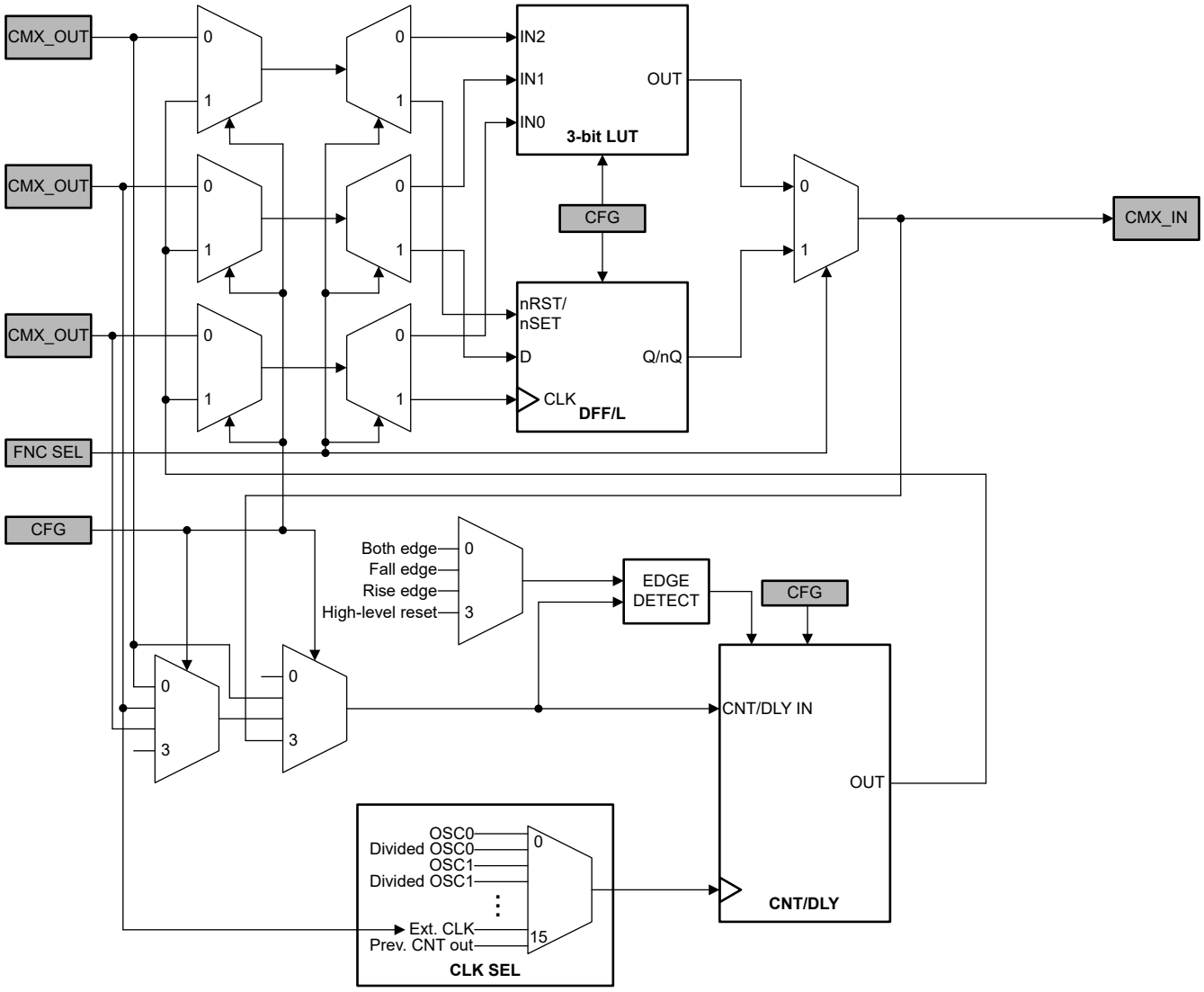


図 8-12. LUT/DFF + CNT/DLY のブロック図

表 8-17. LUT/DFF + CNT/DLY の接続オプション

LDC_FS (1 ビット)	LDC_CMX_IN_SEL (2 ビット)	LDC_CMX_MODE (2 ビット)	LDC IN0	LDC IN1	LDC IN2	LDC OUT
0	XX	00	LUT A	LUT B	LUT C	LUT OUT
1	XX	00	DFF CLK	DFF D	DFF RST	DFF OUT
X	XX	01	未使用。	CNT 外部 CLK	CNT IN	CNT OUT
0	00	10	LUT A	LUT B	CNT IN	LUT OUT
0	01	10	LUT A	CNT IN	LUT C	LUT OUT
0	10	10	CNT IN	LUT B	LUT C	LUT OUT
1	00	10	DFF CLK	DFF D	CNT IN	DFF OUT
1	01	10	DFF CLK	CNT IN	DFF RST	DFF OUT
1	10	10	CNT IN	DFF D	DFF RST	DFF OUT
0	XX	11	LUT A	LUT B	LUT C	CNT OUT

Copyright © 2026 Texas Instruments Incorporated

表 8-17. LUT/DFF + CNT/DLY の接続オプション (続き)

LDC_FS (1 ビット)	LDC_CMX_IN_SEL (2 ビット)	LDC_CMX_MODE (2 ビット)	LDC IN0	LDC IN1	LDC IN2	LDC OUT
1	XX	11	DFF CLK	DFF D	DFF RST	CNT OUT

8.3.4.1 3 ビット LUT

LUT 機能を実装するために使用する場合、3 ビット LUT は、それぞれ接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR).を含む、任意のユーザー定義 3 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 8 ビット レジスタを使用して出力関数を定義します。

表 8-18 に、3 ビット LUT の真理値表を示します。

表 8-18. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

8.3.4.2 D フリップ フロップ / ラッチ、リセット / セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップまたはラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、リセット / セット極性、出力極性パラメータをユーザーが構成可能です。

D フリップ フロップ / ラッチの動作は、以下の機能説明に従います。

- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット / セットを選択することができます。
  - nRST:High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 0 にリセットされます。
  - RST:Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 0 にリセットされます。
  - nSET:High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 1 にセットされます。
  - SET:Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 1 にセットされます。
- リセット / セットが不要な場合は、極性をアクティブ "Low" に設定して、この入力を V_{CC} または常に High になっている信号源に接続できます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 8-19 および 表 8-20 に、それぞれアクティブ "Low" のリセット / セット付き D フリップ フロップおよび D ラッチの真理値表を示します。

表 8-19. nRST/nSET 付き D フリップ フロップの真理値表

nRST	nSET	CLK	D	Q	nQ
0	—	X	X	0	1
—	0	X	X	1	0

Copyright © 2026 Texas Instruments Incorporated

表 8-19. nRST/nSET 付き D フリップ フロップの真理値表 (続き)

nRST	nSET	CLK	D	Q	nQ
1	1	↓	0	Q_0	nQ_0
		↑	0	0	1
		↓	1	Q_0	nQ_0
		↑	1	1	0

表 8-20. nRST/nSET 付き D ラッチの真理値表

nRST	nSET	CLK	D	Q	nQ
0	—	X	X	0	1
—	0	X	X	1	0
1	1	0	0	0	1
		1	0	Q_0	nQ_0
		0	1	1	0
		1	1	Q_0	nQ_0

Copyright © 2026 Texas Instruments Incorporated

8.3.4.3 カウンタ / 遅延ジェネレータ (CNT/DLY)

TPLD2001-Q1 は、4 個の 8 ビットおよび 2 個の 16 ビットのカウンタ / 遅延ジェネレータを備えており、それぞれの最大 DATA 値は 255 および 65535 です。カウンタ数は読み取り可能で、ユーザー レジスタを使用してシステム内でデータを更新できます。現在のカウント値を読み取る際には、正確なデータを取得するために 2 回連続した読み取りトランザクションが必要です。TI では、カウンタのデータ レジスタを更新する際に、データの読み込み中にグリッチが発生しないよう、カウンタをリセット状態にしておくことを推奨しています。新しいカウンタ データを書き込んだ後、カウンタをリセット状態から解除するにはクロック パルスが 2 回必要です。

それぞれのマクロセルのクロック ソースは、柔軟性を高めるために以下のいずれかに設定することができます。内部発振器 (OSC0、OSC1、または OSC2)、発振器から分周されたクロック(OSC0/8、/64、/512、/4096、/32768、/262144、または OSC1/8、/64、/512、あるいは OSC2/4)、または接続マルチプレクサを経由した外部クロック ソースが利用可能です。カウンタ/遅延マクロセルは立ち上がりエッジ トリガであることに注意してください。つまり、カウンタは CLK 入力の立ち上がりエッジでカウントダウンします。

注

カウンタ マクロセルを使用しない場合は、クロック選択 (CLK_SEL) を CMX からの外部 CLK に設定することを推奨します。

カウンタ/遅延ジェネレータ マクロセルを使用できるモードには、遅延モード、ワンショット モード、周波数比較モード、カウンタ モード、エッジ検出モード、遅延エッジ検出モードがあります。

8.3.4.3.1 遅延モード

遅延ジェネレータ (DLY) として構成されている場合、このマクロセルは、カウンタ DATA と CLK 入力周波数に基づいて入力を遅延させ、立ち上がり / 立ち下がりエッジを遅延します。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 Low、または初期値 High をバイパスするように設定することもできます。遅延するエッジは、エッジ選択パラメータで選択され、次のように設定できます。

- 立ち上がり:IN の立ち上がりエッジでのみ遅延を発生させます。
- 立ち下がり:IN の立ち下がりエッジでのみ遅延を発生させます。
- 両方:IN の立ち上がりエッジと立ち下がりエッジの両方で遅延を発生させます。

遅延アプリケーションの場合、TI はより大きなカウンタデータ値を使用して誤差を低減することを推奨します。入力パルス幅が指定の遅延時間より短い場合、パルスはフィルタで除去されます。この機能はグリッチ除去に役立ちます。

オンチップ発振器を使用する場合、OSC が「強制電源オン」と「自動電源オン」のどちらに設定されているかに応じて、遅延誤差またはオフセットが発生します。クロック同期のために、遅延計算には追加で 2 クロック サイクルが含まれており、

遅延時間は次の式で計算されます:

$$\mathrm{DELAY} = \left[\mathrm{DATA} + \left(t_{d_er} \text{ or } t_{d_os}\right) + 2\right] \div f_{CLK} \quad (1)$$

OSC が「自動電源オン」に設定され、その後前の出力が存在する前に DLY マクロセルがトリガされると、OSC はクロックを継続し、DLY が次の立ち上がりエッジで開始します。したがって、それ以降の遅延は、OSC が「強制電源オン」に設定されているかのように計算できます。

図 8-13 に、両方のエッジ遅延 (both) と DATA = 1 に設定された遅延マクロセル動作の例を示します。

Copyright © 2026 Texas Instruments Incorporated

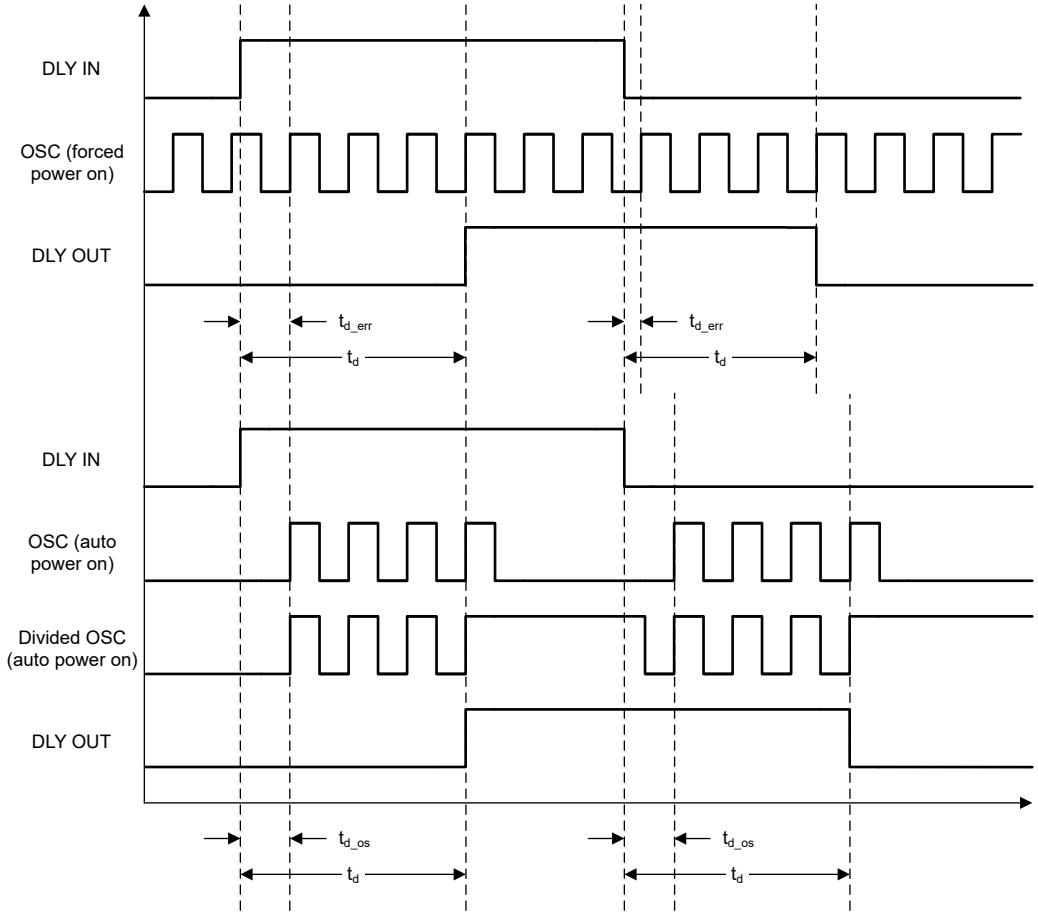


図 8-13. 遅延出力タイミングの例 (両方のエッジ遅延と DATA = 1)

図 8-14 に、エッジを選択した data = 3 に対する遅延マクロセルのタイミング例を示します。

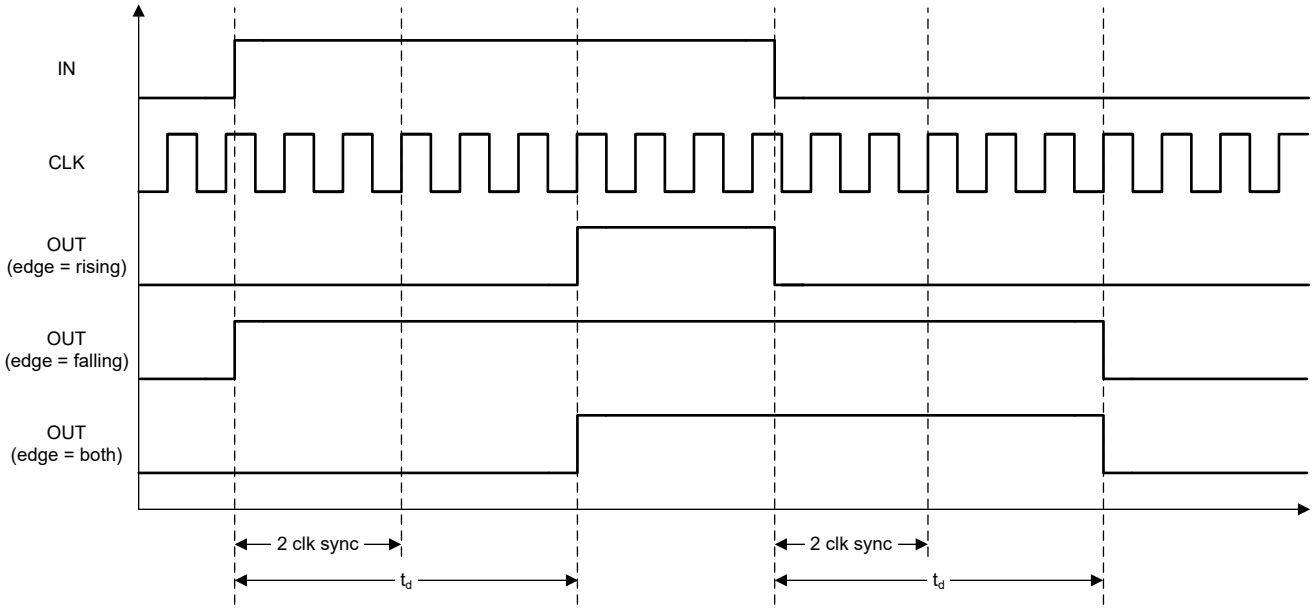


図 8-14. 遅延出力タイミングの例 (DATA = 3)

8.3.4.3.2 カウンタ モードのリセット

カウンタ (CNT) として構成し、IN 入力に有効なエッジが表示されると、このマクロセルは内部カウンタを 0 にリセットし、次の立ち上がりクロック エッジで DATA からカウントダウンを開始します。その後、カウントが 0 に達した時点で、マクロセルは 1 CLK 周期の間パルスを出力し、DATA の値にラップアラウンドします。カウンタは、別のリセットを受信するまで継続的に動作します。カウンタがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- Rising：IN の立ち上がりエッジのみがカウンタをリセットします。
- Falling：IN の立ち下がりエッジのみがカウンタをリセットします。
- Both：IN の立ち上がりエッジと立ち下がりエッジの両方で、カウンタがリセットされます。
- High Level Reset：IN が High のときは常にカウンタは 0 にリセットされ、リセット後、カウンタ出力は次の立ち上がり CLK エッジまで Low に維持され、その後は通常動作します。

カウンタ時間は次の式で計算されます：

$$\text{COUNT} = [\text{DATA} + 1] \div f_{\text{CLK}} \quad (2)$$

After a reset, an additional 2 clock cycles is added for clock synchronization with an option to bypass.クロック同期をバイパスすると、カウンタが不明な値にリセットされる場合があることに注意してください。

注

POR 後、カウンタは DATA = 0 で初期化されます。

図 8-15 および 図 8-16 に、それぞれ DATA=1 および DATA=3 でのエッジ選択パラメータごとのカウンタ出力タイミング図の例を示します。

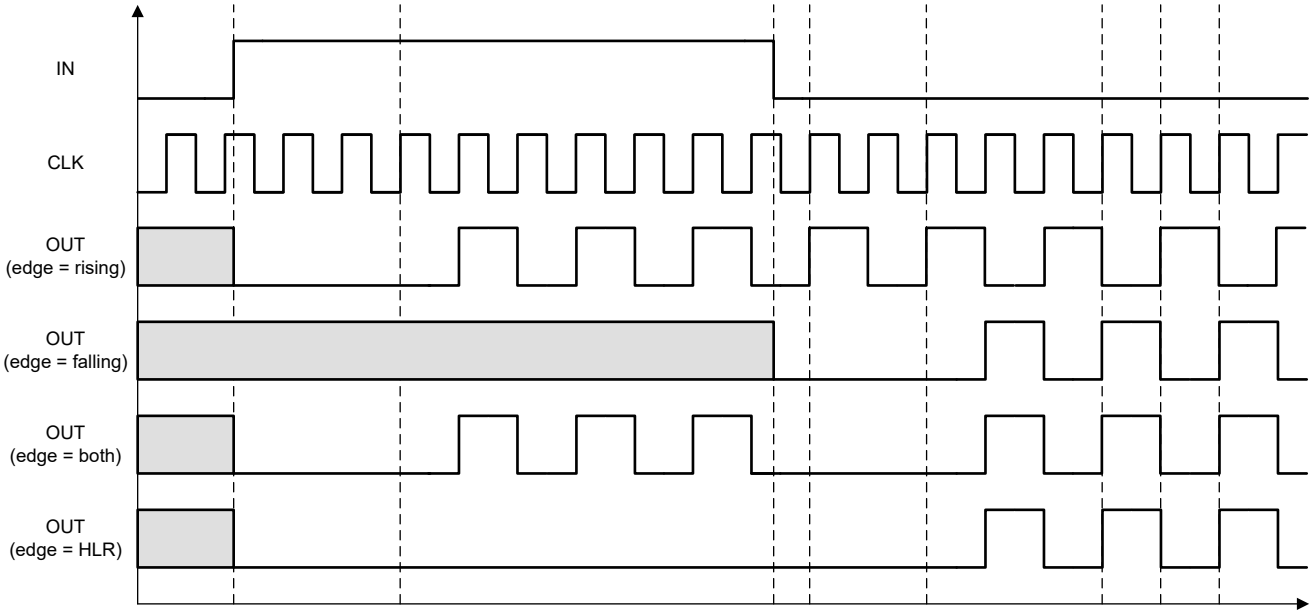


図 8-15. カウンタ出力タイミングの例 (DATA = 1)

Copyright © 2026 Texas Instruments Incorporated

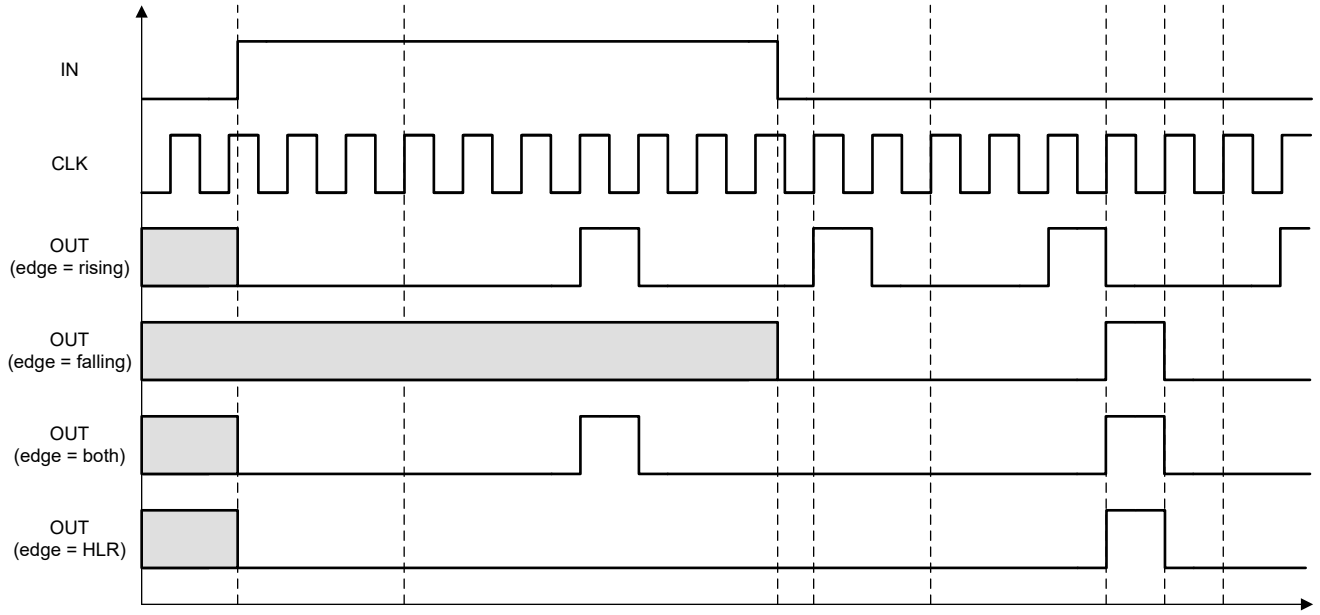


図 8-16. カウンタ出力タイミングの例 (DATA = 3)

図 8-17 に、IN 信号がカウンタの長さより短い場合のカウンタ マクロセルの動作の例を示します (エッジ選択パラメータが「Both」に設定されている場合に表示)。

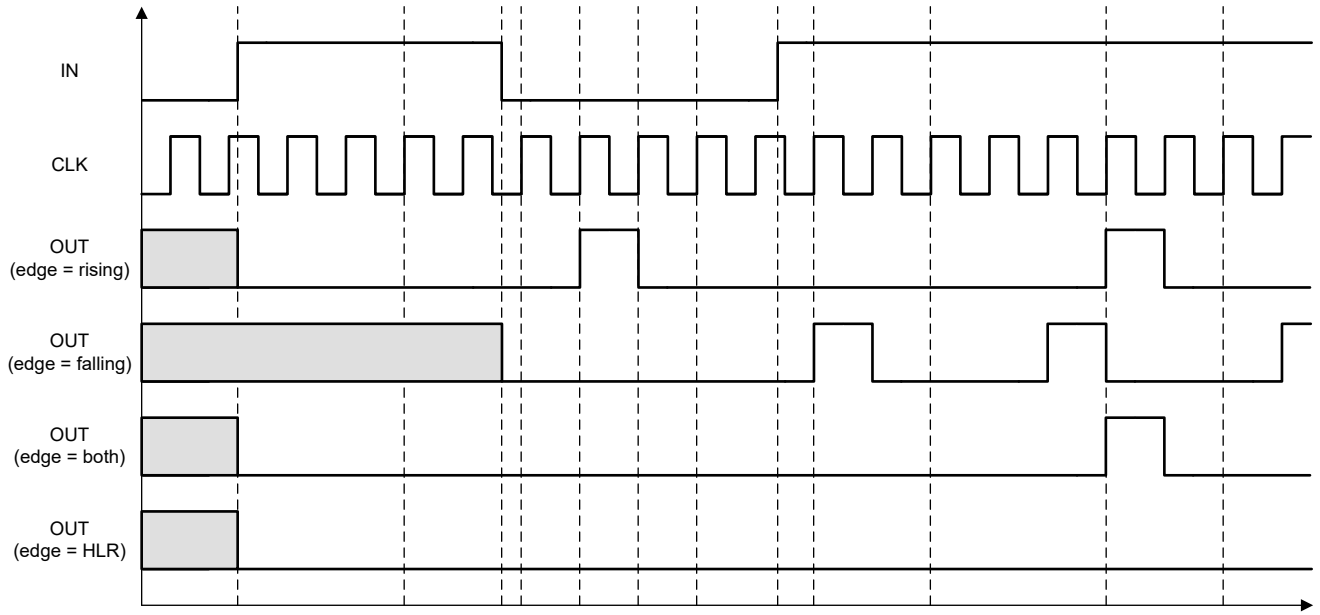


図 8-17. RST < DATA (DATA = 3) でのカウンタ出力タイミングの例

8.3.4.3.3 ワンショット モード

ワンショットとして構成した場合、このマクロ セルは IN 入力に有効なエッジが現れたときに開始するパルスを生成します。これにより、カウンタは 2 CLK サイクル後にデータの値からカウントダウンを開始し、カウンタが 0 に達するとパルスは終了し、データの値がカウンタに再ロードされて次のトリガを待機します。カウンタがデクリメントしている間に受信されたトリガは無視されます。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 Low、または初期値 High をバイパスするように設定することもできます。ワンショットがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **立ち上がり**:IN の立ち上がりエッジのみがワンショットをリセット。
- **立ち下がり**:IN の立ち下がりエッジのみがワンショットをリセット。
- **両方**:IN の立ち上がりエッジおよび立ち下がりエッジの両方がワンショットをリセット。

クロック同期のためのワンショット パルス幅計算には、追加の 2 クロック サイクルが含まれ、

$$\text{ONESHOT} = \left[\text{DATA} + \left(t_{d_er} \text{ or } t_{d_os}\right) + 1\right] \div f_{CLK} \quad (3)$$

図 8-18 に、エッジ選択パラメータを基準にして、ワンショット マクロセルの動作の例を示します。

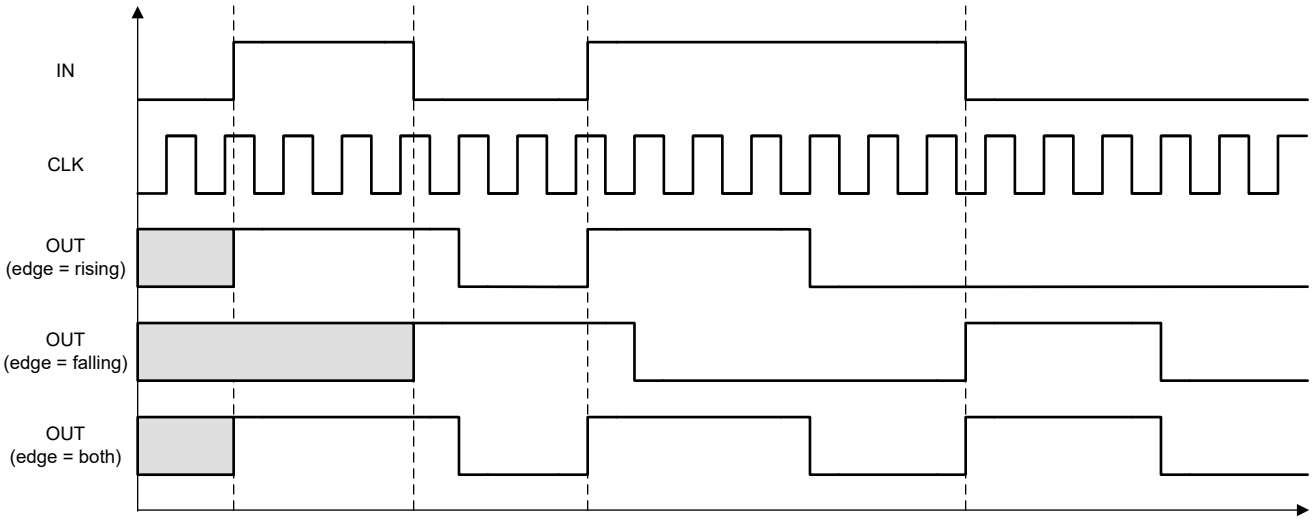


図 8-18. ワンショット出力タイミングの例 (データ = 2)

8.3.4.3.4 周波数検出器モード

周波数検出器 (FDET) として構成した場合、このマクロセルは、入力信号が DATA で指定された周期よりも速いか遅いかを示します。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 Low、または初期値 High をバイパスするように設定することもできます。周波数検出器がリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **立ち上がり**:IN の立ち上がりエッジで、周波数検出器をトリガおよびリセット。
- **立ち下がり**:IN の立ち下がりエッジで、周波数検出器をトリガおよびリセット。
- **両方**:IN の立ち上がりエッジで周波数検出器がカウントを開始、IN の立ち下がりエッジで周波数検出器をリセット。

トリガを受信すると、さらに 2 クロック サイクルを使用して IN およびカウンタを CLK と同期させます。その後、CLK の次の立ち上がりエッジで、カウンタはデータの値からデクリメントを開始します。FDET マクロセルを適切に動作させるために、TI では最小 DATA の 3 を使用することを推奨しています。

内部カウンタが 0 に達すると、FDET マクロセルは Low 信号を出力し、入力周波数が DATA の値よりも遅いことを示します。それ以外の場合で、カウンタが 0 に達する前にリセットによって中断されると、FDET マクロセルは High 信号を出力し、IN の信号のほうが速いことを示します。

図 8-19 に、エッジ選択パラメータに基づいて FDET マクロセルがどのように動作するかの例を示します。

Copyright © 2026 Texas Instruments Incorporated

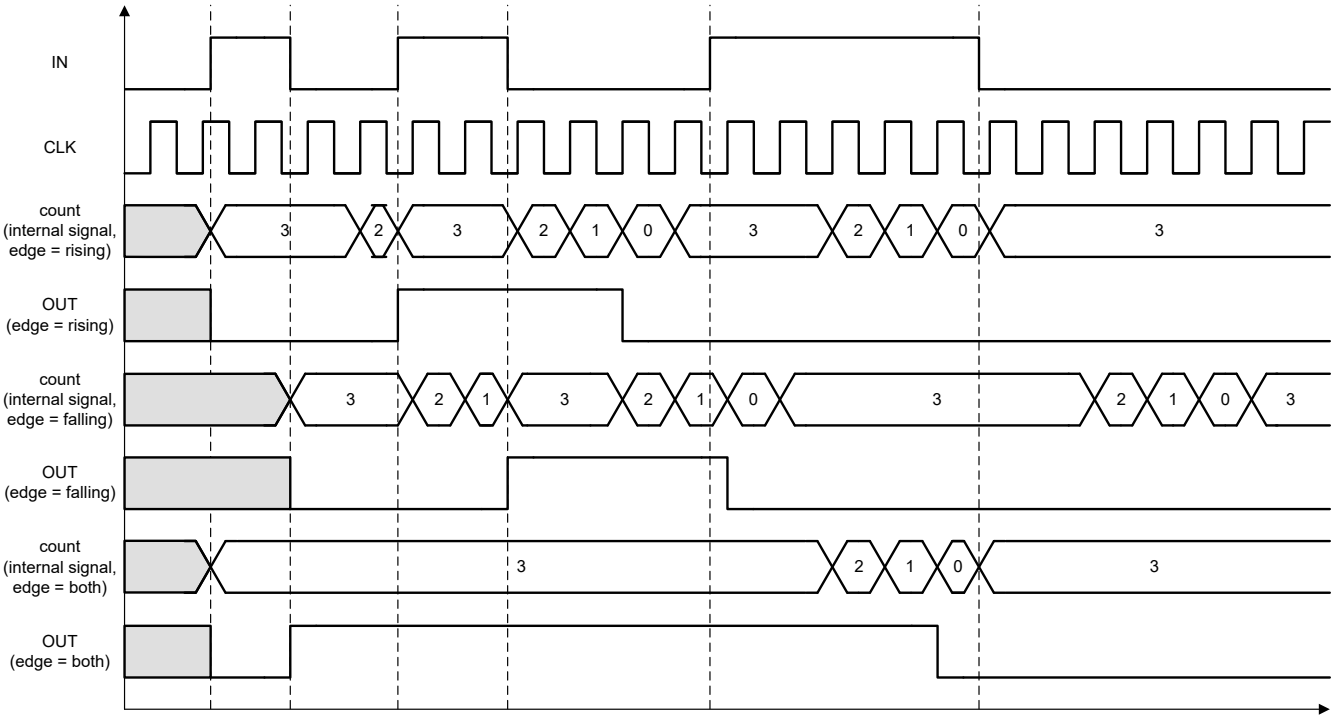


図 8-19. 周波数検出器の出力タイミングの例 (データ = 4)

8.3.4.3.5 エッジ検出器モード

エッジ検出器 (EDET) として構成した場合、このマクロセルは、有効なエッジが検出されたとき、約 20ns 幅のパルスを生成します。どちらのエッジでエッジ検出器がパルスを生成するかは、エッジ選択パラメータによって決定され、次のように設定できます。

- **立ち上がり**:IN の立ち上がりエッジのみがパルスを生成します。
- **立ち下がり**:IN の立ち下がりエッジのみがパルスを生成します。
- **両方**:IN の立ち上がりエッジおよび立ち下がりエッジの両方でパルスが生成されます。

図 8-20 に、エッジ選択パラメータに基づいて EDET マクロセルがどのように動作するかの例を示します。

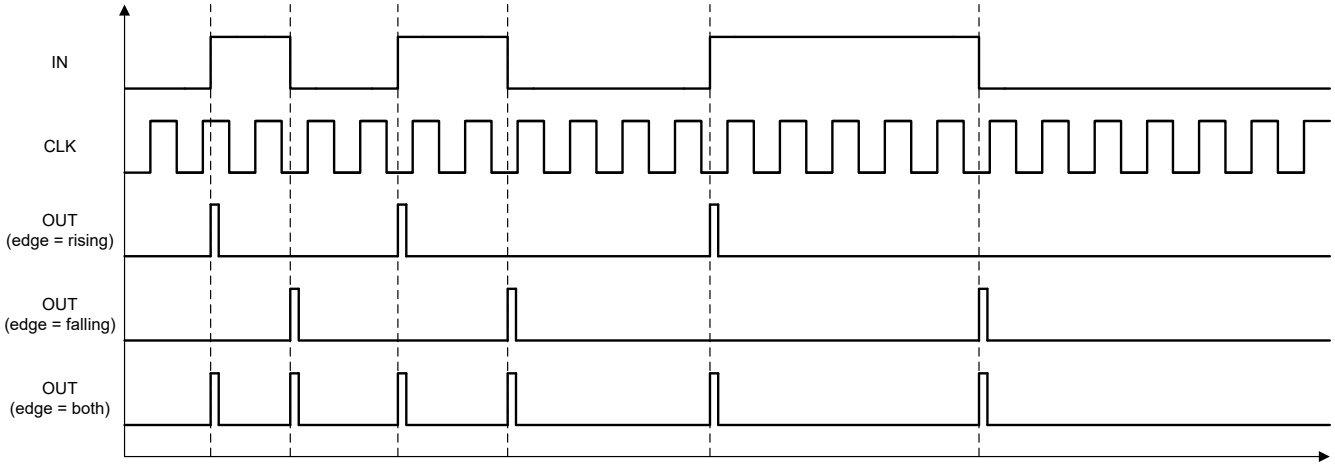


図 8-20. エッジ検出器の出力タイミングの例

8.3.4.3.6 遅延エッジ検出モード

遅延エッジ検出器 (遅延 EDET) として構成されている場合、このマクロセルは、遅延した入力上で選択したエッジが検出されるとデータの値だけ入力を遅延させ、その後、約 20ns 幅のパルスを生成します。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 Low、または初期値 High をバイパスするように設定することもできます。遅延を発生させてエッジ検出パルスを出力する対象となるエッジは、エッジ選択パラメータで選択し、次のように設定できます。

- **立ち上がり**:IN の立ち上がりエッジでのみ遅延を発生させます。
- **立ち下がり**:IN の立ち下がりエッジでのみ遅延を発生させます。
- **両方**:IN の立ち上がりエッジと立ち下がりエッジの両方で遅延を発生させます。

トリガを受信すると、さらに 2 クロック サイクルを使用して IN およびカウンタを CLK と同期させます。その後、CLK の次の立ち上がりエッジで、カウンタはデータの値からデクリメントを開始します。カウンタが 0 に達してデータの値に戻る場合、遅延 EDET マクロセルはパルスを出力します。それ以外の場合で、カウンタが 0 に達する前にリセットされて中断されると、遅延 EDET マクロセルは前のエッジを「フィルタ処理」して消去します。

図 8-21 に、エッジ選択パラメータを基準にして、遅延 EDET マクロセルの動作例を示します。

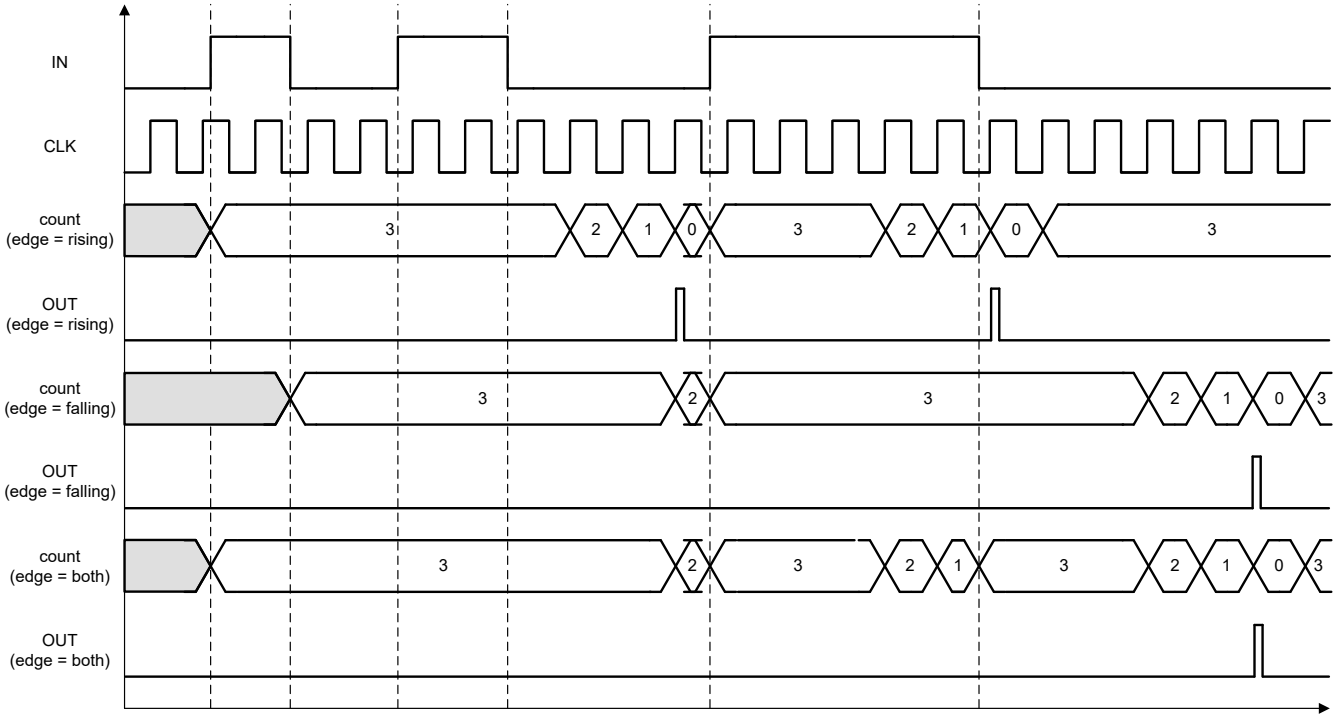


図 8-21. 遅延エッジ検出器の出力タイミングの例 (データ = 3)

8.3.4.4 LUT/DFF + CNT モード

構成可能なロジック ブロックとタイミング ブロックは、ディスクリート LUT、DFF / ラッチ、または前述のカウンタに加えて、次の 2 つのモードに構成できます。

- モード 1:LUT/DFF からカウンタへ。接続マルチプレクサからの 3 つの入力は LUT/DFF/LAT に入力され、最初の段の出力はカウンタの入力に接続されます。カウンタの出力は、接続マルチプレクサに戻ります。
- モード 2:カウンタから LUT/DFF へ。接続マルチプレクサからの 1 つの入力はカウンタ入力に入力され、その出力は LUT または DFF/LAT のいずれか 1 つの入力に接続されます。2 段目の出力は接続マルチプレクサに戻ります。

この機能により、設計において、より多くの LUT、DFF / ラッチ、カウンタを使用できます。ただし、1 つのブロック内では、LUT のみ、または DFF / ラッチのみを使用できます。さらに、これらのモードでは、カウンタに対する接続マルチプレクサからの外部クロック ソースがディセーブルされるため、内部発振器から派生した周波数のみを使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.3.5 プログラム可能なグリッチ除去フィルタまたはエッジ検出器

TPLD2001-Q1 には、プログラマブル フィルタ (PFLT) またはエッジ検出器 (EDET) として構成できる 2 つのマクロセルがあります。PFLT マクロセルを使用すると、t_{pflt_pw} および t_{pflt_pd} で特性化される遅延 (t_{pflt_d}) を生成できます。t_{pflt_pw} は 125ns、250ns、375ns、500ns に設定でき、t_{pflt_pd} は固定値です。さらに、マクロセルの出力は、立ち上がりエッジ検出、立ち下がりエッジ検出、両方のエッジ検出、または両方のエッジ遅延の 4 つのオプションのいずれかに構成できます。最後に、このフィルタは短いローパス フィルタとして動作し、出力を非反転または反転に設定できます。

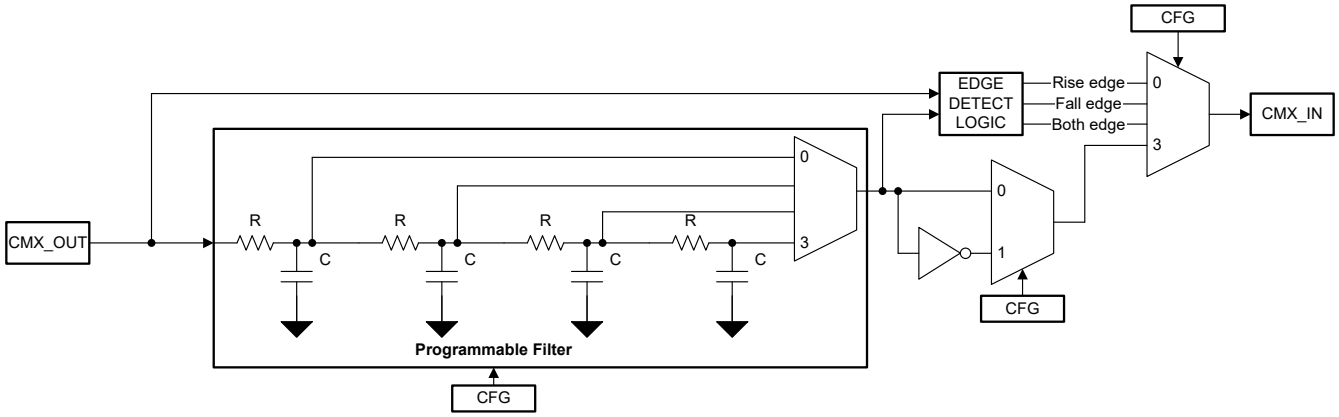


図 8-22. プログラム可能なフィルタ / エッジ検出器のブロック図

注

入力信号は t_{pflt_d} よりも長くする必要があります。長くしないと、フィルタによって除去されます。

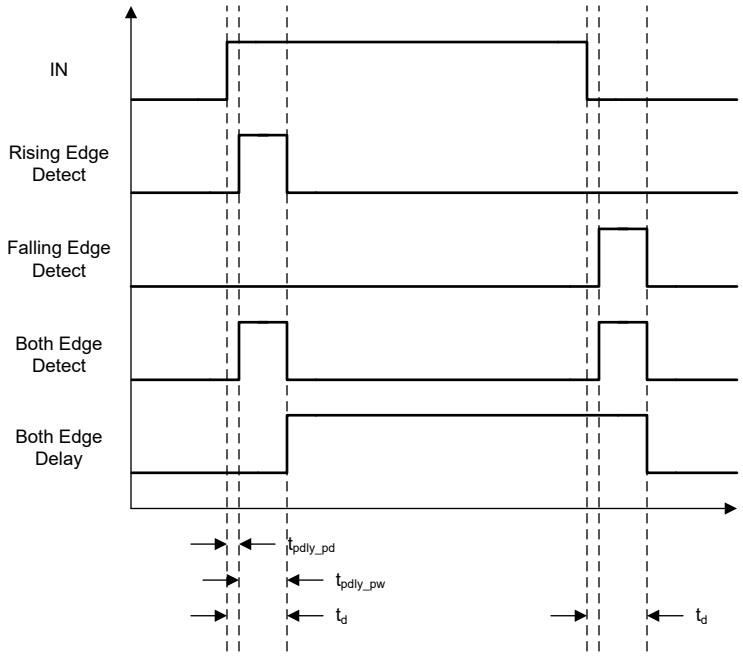


図 8-23. 遅延エッジ検出器出力のタイミング図

8.3.6 グリッチ除去フィルタまたはエッジ検出器

TPLD2001-Q1 には、グリッチ除去フィルタまたはエッジ検出器として構成できる 1 つのマクロセルがあります。

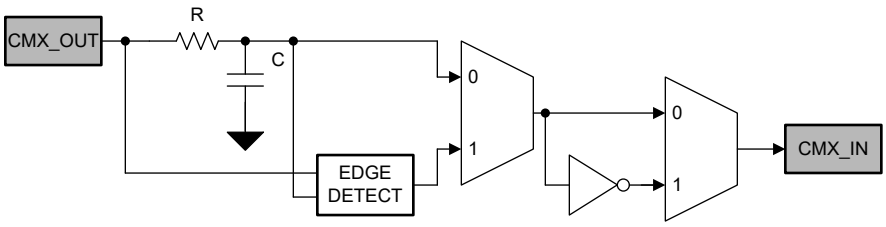


図 8-24. グリッチ除去フィルタまたはエッジ検出器のブロック図

グリッチ除去フィルタは、短いローパス フィルタとして動作し、フィルタ出力は非反転または反転に設定できます。

このマクロセルは、エッジ検出器として、立ち上がりエッジ、立ち下がりエッジ、両方のエッジでトリガされる短いパルスを出力するように構成できます。または、フィルタとして動作して両方のエッジを遅延させることもできます。エッジ検出器の出力は、非反転または反転に設定できます。

8.3.7 ステート マシン (SM)

TPLD2001-Q1 にはステート マシン マクロセルが搭載されており、24 の状態遷移入力、1 つのクロック入力、1 つのステート マシン リセット入力、8 つの出力を備え、同期または非同期で動作できます。このマクロセルは、2～8 個の状態を持つステート マシンを作成するように構成できます。状態、状態遷移条件、状態遷移入力、状態出力はユーザー定義です。各状態には最大 3 つの遷移条件があり、その特定の状態への遷移をトリガできます。この遷移条件は、接続マルチプレクサにハードワイヤ接続されている状態遷移入力に限定されます。

Copyright © 2026 Texas Instruments Incorporated

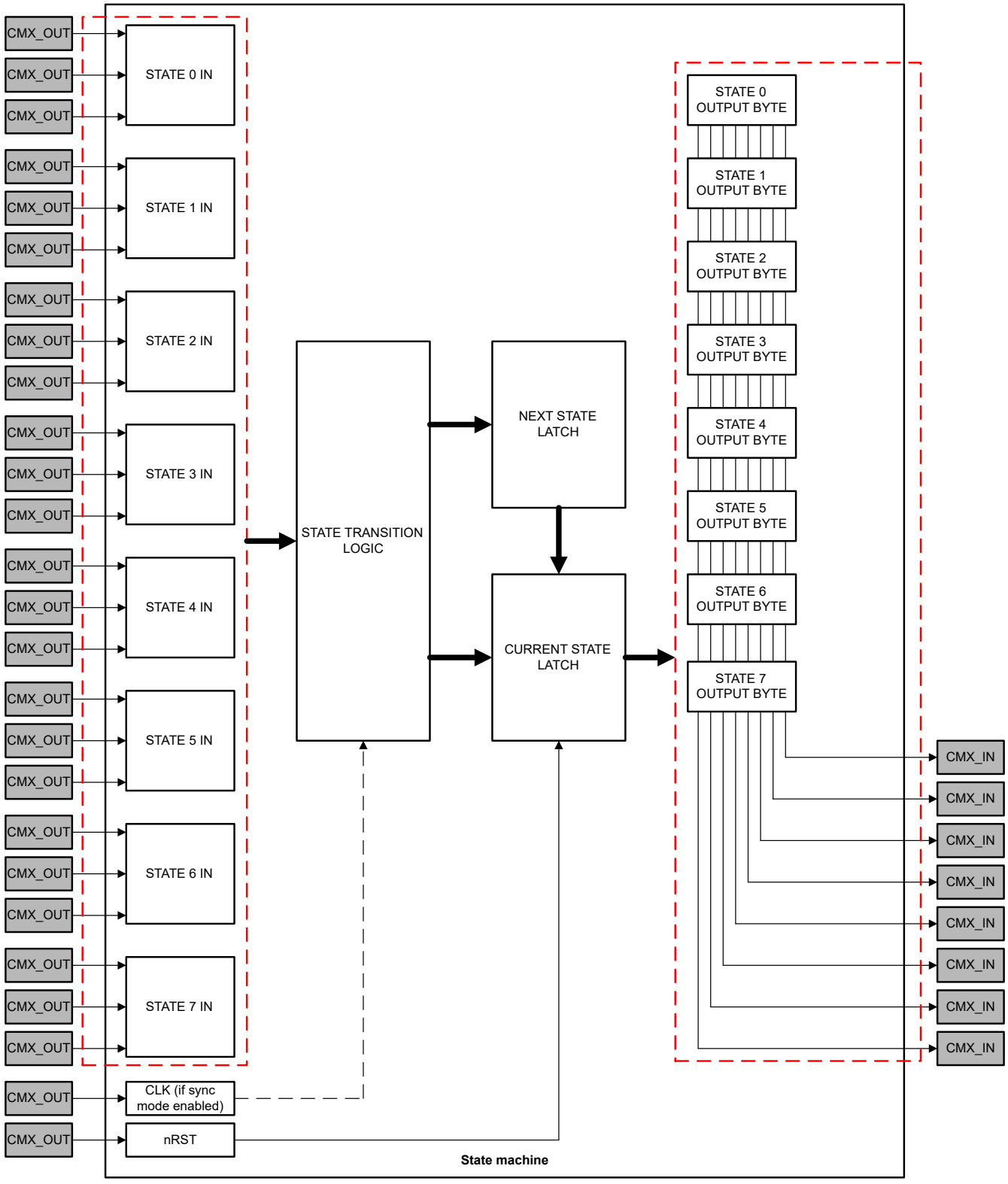


図 8-25. ステート マシンのブロック図

8.3.7.1 ステート マシン入力

ステート マシン マクロセルには、接続マルチプレクサから 26 の入力があります。その内訳は、24 の状態遷移入力、1 つのクロック入力、1 つのリセット入力です。

24 の状態遷移入力は、それぞれアクティブ High 入力なので、タイミングに関する考慮事項が満たされていれば、High レベルの入力は状態遷移をトリガします。さらに、これら 24 の入力は、3 つの入力のセットが、ある特定の状態への遷移を駆動するものとしてグループ化されています。たとえば、いずれかの状態から状態 2 への遷移を駆動する 3 つの入力があります。したがって、これにより、ある特定の状態への遷移の最大数は 3 に制限されます。

ステート マシンを同期モードで動作させ、状態遷移条件が満たされると、クロック入力の次の立ち上がりエッジで状態遷移が発生します。非同期モードでは、状態遷移条件が満たされると、状態遷移は非同期に発生し、クロック入力は使用されず無視されます。

また、アクティブ Low の非同期リセット入力もあり、これがアサートされるとステート マシンはリセット状態になり、解除されたときステート マシンはユーザーが選択した初期状態になります。

8.3.7.2 ステート マシン出力

ステート マシン マクロセルには、接続マルチプレクサへの 8 つの出力があります。ユーザーは、定義済みの各状態に対して、8 バイト RAM を使って 8 個の出力の動作を設定できます。これらの出力は、現在の状態に応じて構成可能な 8 個のパラレル出力と見なすことができます。8 つの出力はそれぞれ接続マルチプレクサ入力であり、これらの入力は、LUT、D フリップ フロップ、カウンタへの入力、GPO ピンへの出力など、設計の他の場所に接続されている可能性があります。

ステート マシンの出力は、ユーザーレジスタを使用してシステム内で更新できます。グリッチのない動作を行うには、ステート マシンの出力ビットが変更されている間、ステート マシンをリセットにすることを推奨します。

8.3.7.3 ステート マシンの構成

動作しているステート マシンには、状態、初期状態、状態遷移、モード、クロック極性を設定できます。

- **状態:** 最大 8 つのステートを使用できます。
- **初期状態:** 使用される状態の 1 つを、ステート マシン マクロセルが非同期リセット後にリセットされる初期状態として選択できます。
- **状態遷移:** ユーザーは、状態遷移条件入力を指定して、ある状態から他の状態への遷移を設定できます。個々の状態に対する遷移として、最大 3 つの遷移を指定できます。状態遷移条件は、接続マルチプレクサからの入力であり、いずれかの GPI または他のマクロセル出力から取得するように構成できます。
- **モード:** ステート マシンの動作は、状態遷移条件がクロック入力に同期してラッチされる同期モード、または、非同期モードを選択できます。
- **クロックの同期:** 同期モードで動作している場合、ステート マシンのクロックをシステム クロックに同期して、グリッチをさらに減らすこともできます。

シリアル通信インターフェイスがイネーブルの場合、この通信を使って、アクティブなステート マシンの現在の状態を読み出したり、状態出力を再構成したりできます。シリアル通信インターフェイス経由でステート マシン構成に加えられた変更は、次の状態遷移の後、またはリセット イベントの後に初めて反映されます。したがって、望ましい動作を維持するために、マクロセルを再構成する間、ステート マシンをリセット状態に維持することがベスト プラクティスとなります。

8.3.7.4 ステート マシンのタイミングに関する考慮事項

ステート マシン マクロセルが動作中、特に非同期動作中は、状態遷移入力のタイミング要件、I/O の遅延、状態遷移入力パスで使用されるその他のマクロセルの遅延、および接続マルチプレクサの遅延を考慮して、入力が適切に処理され、状態遷移が確定的であることを確認する必要があります。

同期モードでは、状態遷移トリガ入力を少なくとも 2 クロック サイクルの間アサートする必要があります。そうでなければ、入力は無視されます。非同期モードでは、少なくとも状態遷移パルス幅 t_{st_pw} の間、状態遷移トリガ入力をアサートする必要があります。状態遷移条件が満たされた場合、状態遷移遅延 t_{st_dly} の後に遷移が発生します。

Copyright © 2026 Texas Instruments Incorporated

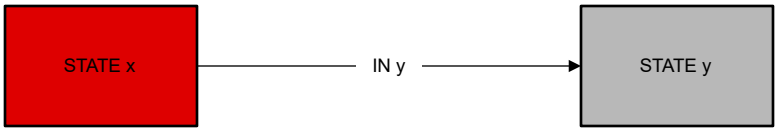


図 8-26. 状態遷移

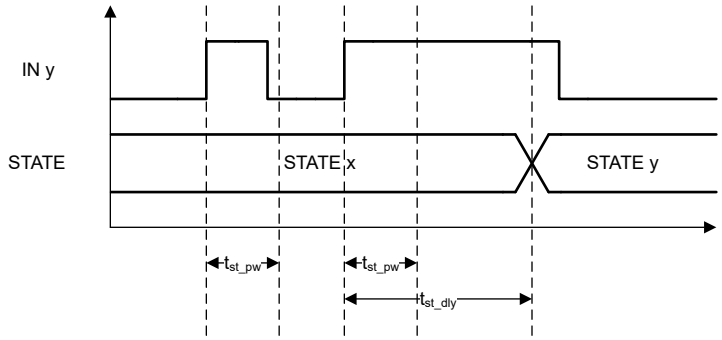


図 8-27. 状態遷移トリガ要件のタイミング例

状態遷移パルス幅 t_{st_pw} 内に 2 つ以上の状態遷移入力トリガが存在する場合、次の状態は不定になります。このような状況を回避するために、状態遷移入力のタイミングを慎重に検討する必要があります。

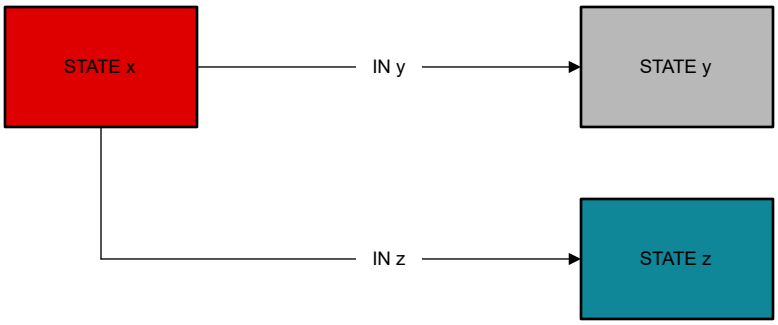


図 8-28. 競合するトリガによる状態遷移

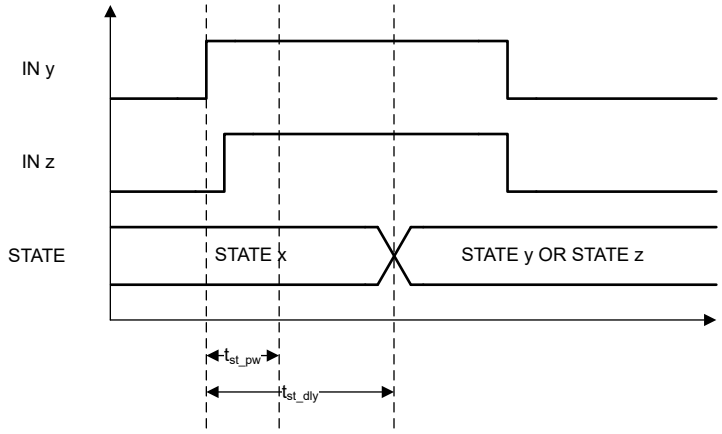


図 8-29. 競合するトリガによる状態遷移の考慮事項のタイミング例

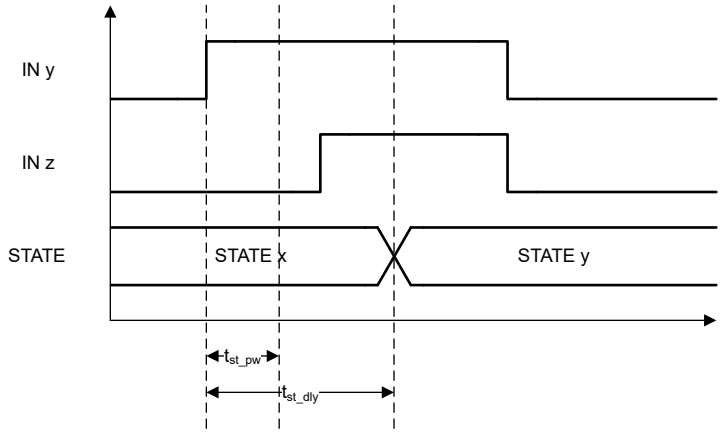


図 8-30. 確定的な遷移のための状態遷移の考慮事項のタイミング例

シーケンシャル状態遷移または閉ループ状態遷移では、ステート マシンを次の状態に移行させる状態遷移入力トリガがアサートされた場合、状態遷移遅延 t_{st_dly} の後で後続の状態へ遷移が発生します。このため、ステート マシンは、少なくとも t_{st_dly} の間、現在の状態を維持します。



図 8-31. シーケンシャル状態遷移

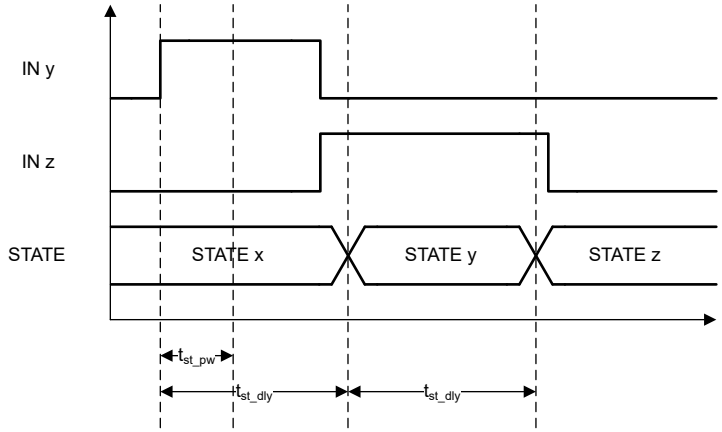


図 8-32. シーケンシャル状態遷移のタイミング例

ここに示す閉ループ状態遷移の例では、2 つの状態のみを考慮しています。ただし、閉ループは、2 から最大 8 までの任意の数の状態で作成できます。

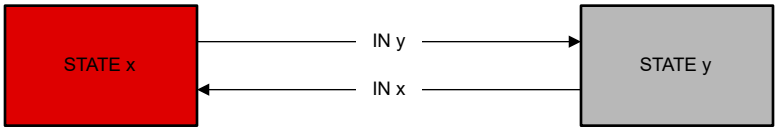


図 8-33. 閉ループ状態遷移

Copyright © 2026 Texas Instruments Incorporated

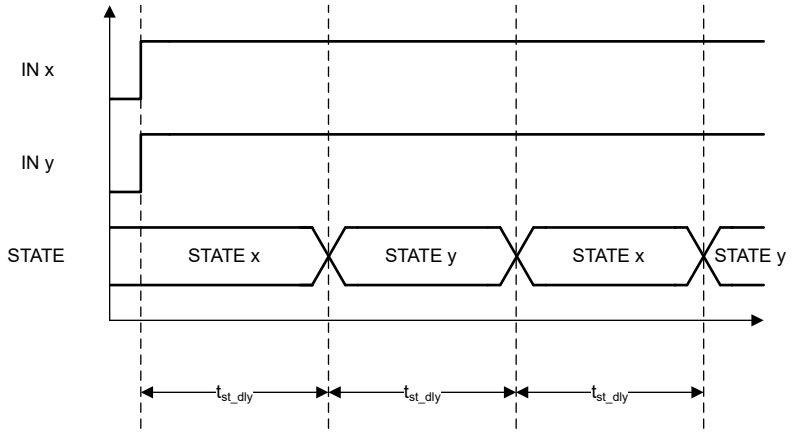


図 8-34. 閉ループ状態遷移のタイミング例

8.3.8 8 ビット カウンタ / 遅延ジェネレータ / 有限ステート マシン

TPLD2001-Q1 には 4 つの 8 ビット カウンタがあり、セクション 8.3.4.3 に示すモードに加えて、リセット カウンタ モード中は有限ステート マシン (FSM) として動作できます。これらの 8 ビット カウンタ マクロセルには、接続マルチプレクサからの 4 つの入力 (カウンタ入力、FSM アップ / ダウン、FSM キープ、および外部クロック入力) と、接続マルチプレクサへの 1 つの出力 (カウンタ出力) があります。このマクロセルからは、現在のカウント値の 8 ビット パラレル出力もあり、この出力は、パルス幅変調 (PWM) ジェネレータ マクロセルに直接接続されます。

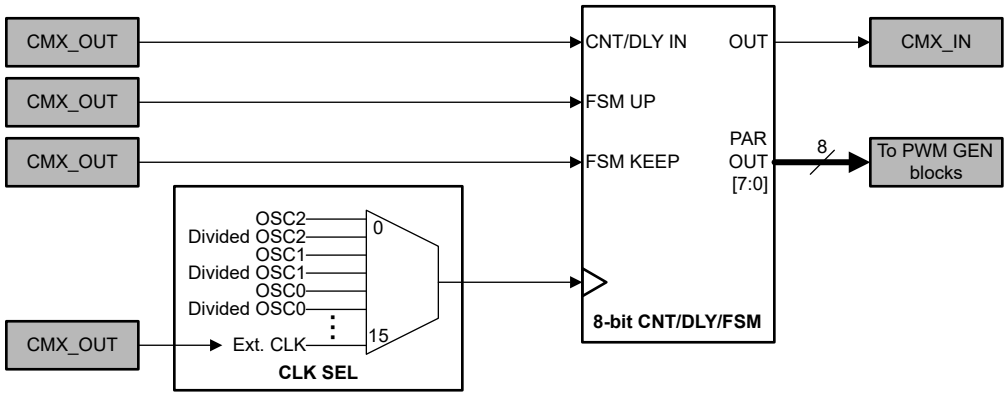


図 8-35. CNT/DLY/FSM のブロック図

動作している FSM には、カウンタ リセット データおよびクロックを設定できます。

- カウンタ リセット データ:リセット条件が満たされたときにカウンタにロードされる値で、1 ～ 255 の任意の値に設定できます。カウンタ データは、ユーザー レジスタを使用してインシステムで更新できます。グリッチのないデータ ロードを確保するため、カウンタ データ レジスタを更新する場合はカウンタをリセット状態にすることを推奨します。
- エッジ選択 (このエッジにおいて、カウンタを初期カウンタ データに非同期的にリセット): 立ち上がり、立ち下がり、または High レベルでのリセット。
- クロック入力:OSC0、OSC0 から派生した分周クロック (/8、/64、/512、/4096、/32768、/262144)、OSC1、OSC1 から派生した分周クロック (/8、/64、/512)、OSC2、OSC2 から派生した分周クロック (/4)、または外部クロック。

注

未使用のカウンタ マクロセルの場合、過剰な電流消費を減らすため、クロック選択 (CLK_SEL) を CMX からの外部 CLK に設定します。

Copyright © 2026 Texas Instruments Incorporated

FSM アップ入力は、クロック入力の立ち上がりエッジを基準にして、カウントをデクリメントするかインクリメントするかというカウンタ / FSM の方向を決定します。FSM アップ = Low のとき、カウンタは デクリメント (カウント ダウン) し、0 に達すると初期カウンタ データにリセットされます。FSM アップ = High のとき、カウンタはインクリメント (カウント アップ) し、255 に達すると初期カウンタ データにリセットされます。

FSM キープ入力は、現在のカウントを一時停止またはラッチし、FSM アップ入力またはクロック入力を無視します。カウントリセット入力はカウンタをリセットしますが、デクリメントもインクリメントもしません。FSM キープ = Low の間、カウンタは設定に従ってカウントします。FSM キープ = High の間、カウンタは一時停止します。一定の FSM カウンタ値が必要な場合は、適切な機能を維持するため、FSM キープを High に維持し、FSM アップ を Low に設定します。

アップまたはキープのトリガ後、クロック同期のためにさらに 2 クロック サイクルが追加され、バイパス オプションも備えています。クロック同期をバイパスすると、カウンタが不明な値にリセットされる場合があることに注意してください。

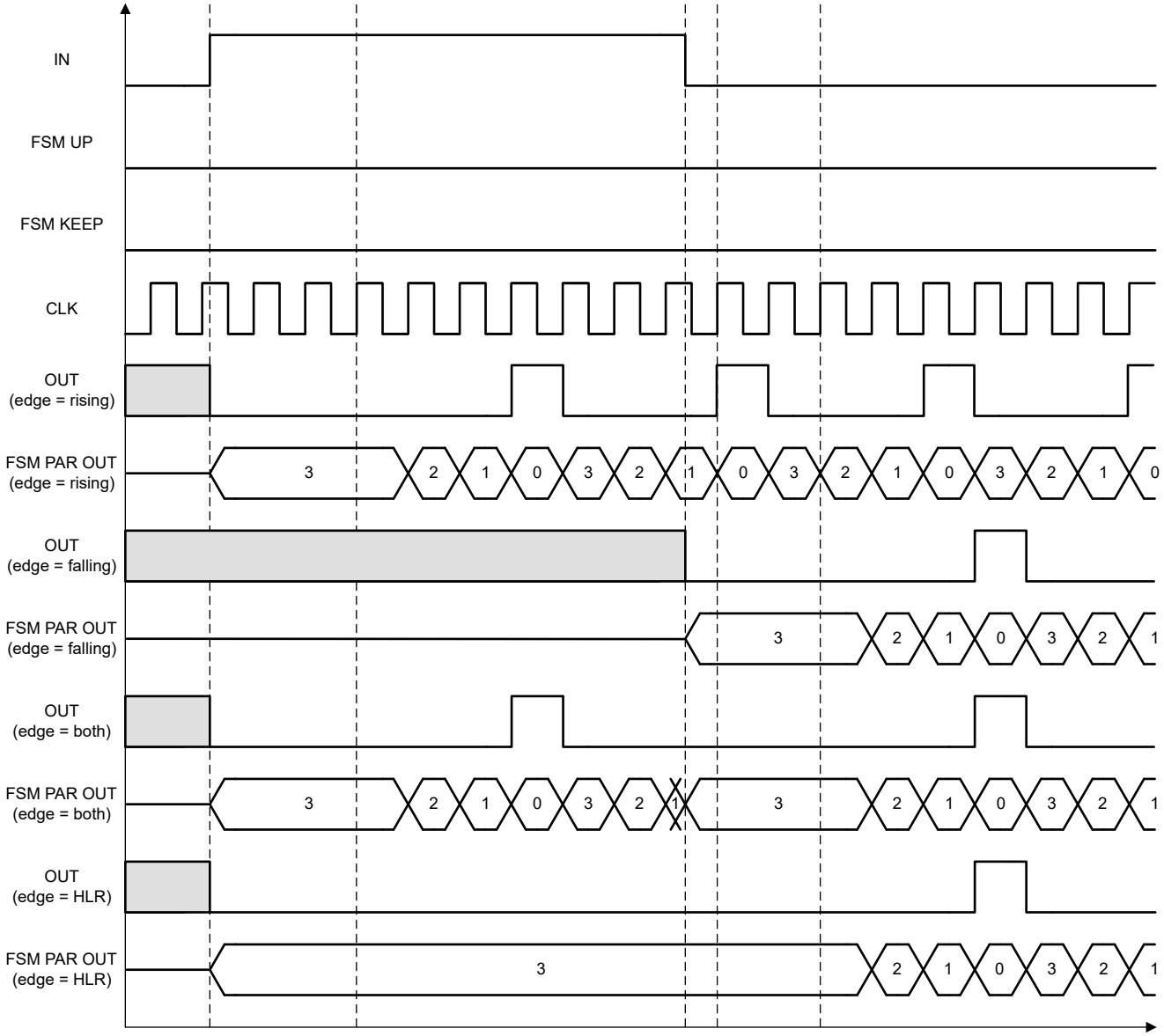


図 8-36. CNT/FSM タイミング例 (DATA = 3)

Copyright © 2026 Texas Instruments Incorporated

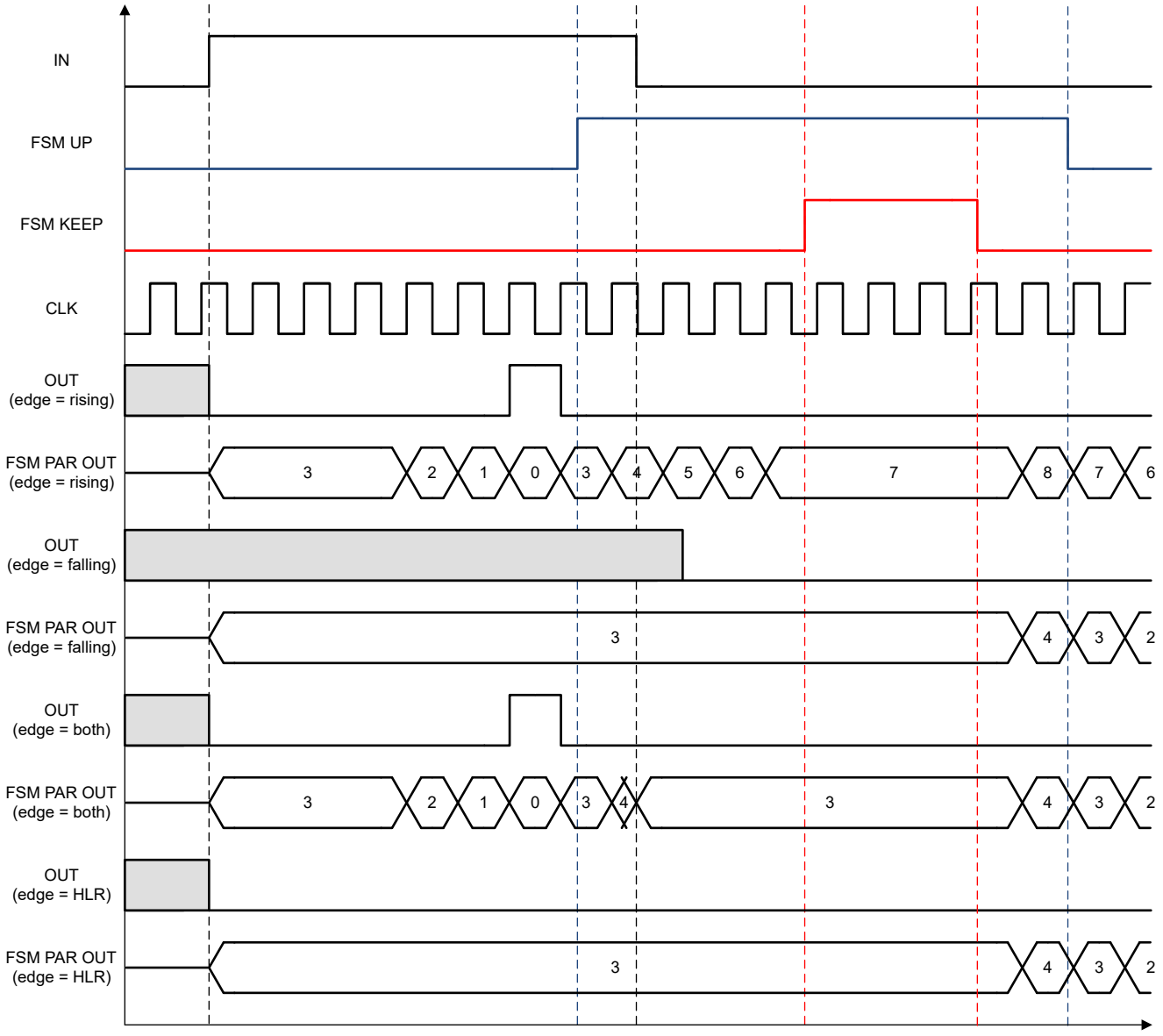


図 8-37. アップ / キープ付き CNT/FSM タイミング例 (DATA = 3)

8.3.9 PWM ジェネレータ

TPLD2001-Q1 には 4 つのパルス幅変調 (PWM) ジェネレータが搭載されており、選択した FSM のカウンタ値に比例するデューティ サイクルを持つ方形波を出力します。これらの PWM ジェネレータ マクロセルには、マクロセルの電源投入を制御するための接続 MUX からの 1 つの入力、FSM ブロックからの直接入力 1 つ、および接続 MUX への 2 つの出力があります。

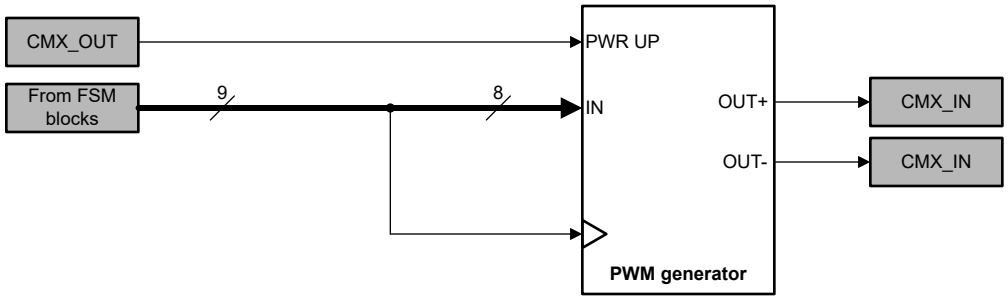


図 8-38. PWM ジェネレータのブロック図

動作している PWM ジェネレータには、入力信号源、デッドバンド時間、出力極性、クロックを構成できます。

- **データ入力信号源 (IN):** 4 つの FSM のいずれかを選択して、カウンタ値を供給できます。
- **デッドバンド時間 (t_{db}):** 0 CLK (デッドバンドなし)、1 CLK、2 CLK、5 CLK。デッドバンド時間は、PWM ジェネレータの OUT- 出力に適用されます。
- **出力極性:** 各出力 (OUT+ および OUT-) の極性は、非反転または反転 (nOUT+ や nOUT-) に構成できます。
- **クロック** OSC0、OSC0 から派生した分周クロック (/8、/64、/512、/4096、/32768、/262144)、OSC1、OSC1 から派生した分周クロック (/8、/64、/512)、OSC2、または OSC2 から派生した分周クロック (/4)。

PWM ジェネレータ マクロセルは、256 クロック サイクルごとに、選択された FSM のカウント値を読み出します。したがって、PWM ジェネレータの出力周波数は $f_{CLK}/256$ によって決定されます。さらに、PWM 信号のデューティ サイクルは次の式で計算されます。デューティ サイクル (%) = (IN / 256) * 100、最小デューティ サイクルは 0% (すなわち 0/256)、最大は 99.61% (すなわち 255/256) です。

PWM ジェネレータを起動するとき、マクロセルは、クロック同期に 2 クロック サイクルを必要とすることに注意します。選択したデッドバンド時間が FSM カウンタのデータ入力よりも長い場合、非反転 OUT- 出力に一定の Low が出力されます。さらに、PWM ジェネレータ マクロセルは、PWM PWR UP 入力に Low 信号を送信することで電源オフでき、アイドル状態での出力を防止できます。

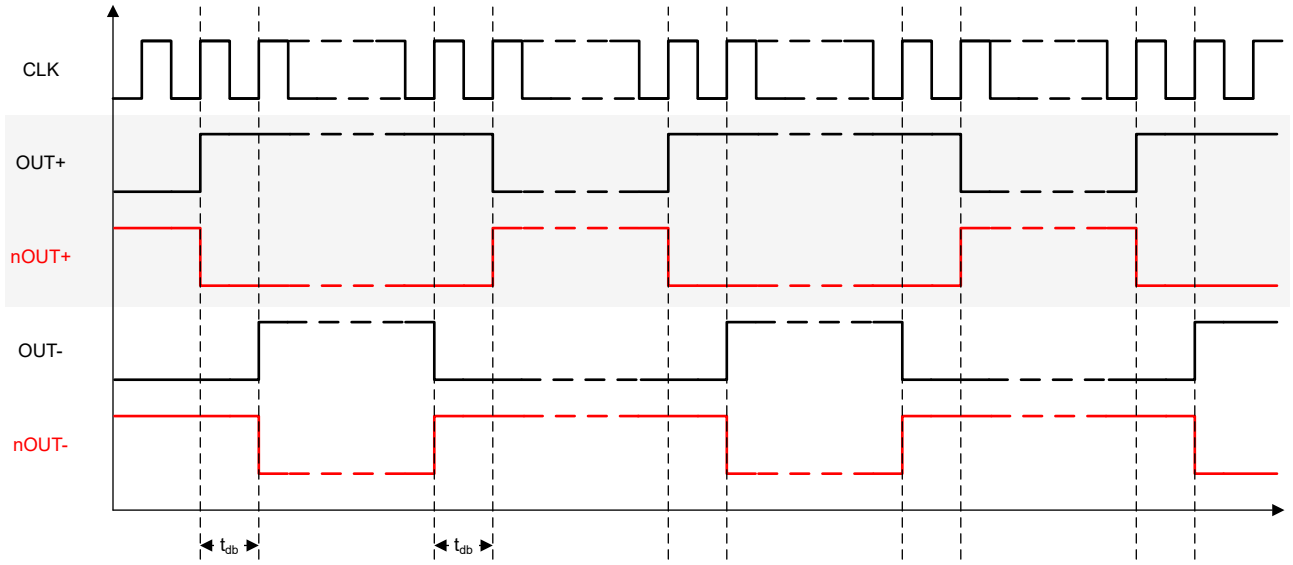


図 8-39. PWM ジェネレータのタイミング例

Copyright © 2026 Texas Instruments Incorporated

8.3.10 ウォッチドッグ タイマ

ウォッチドッグ タイマ (WDT) マクロセルは、t_{WD} 期間で定義された時間フレーム内の任意のエッジ (立ち上がりまたは立ち下がり) について、マクロセルへの入力を監視します。WDT マクロセルには、接続マルチプレクサからの 2 つの入力があります。1 つのアクティブ High イネーブルと 1 つのウォッチドッグ入力。また、内部発振器から直接 1 つのクロック入力もあります。

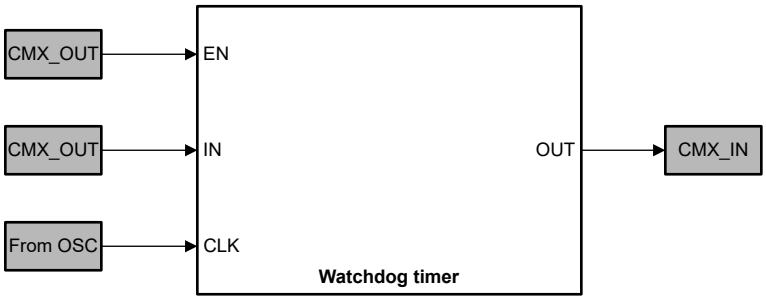


図 8-40. ウォッチドッグ タイマのブロック図

動作している WDT には、タイムアウト期間 (t_{WD})、出力アサート時間 (t_{WDO})、クロック ソース、追加のクロック分周オプション、ディスエーブル時の WDT の動作を構成できます。

- タイムアウト期間 (t_{WD}):WDT は 8 ビット カウンタで動作するので、5 ～ 255 のカウント データ値をサポートします。
- 出力アサート時間 (t_{WDO}):独立した 8 ビット カウンタが出力のアサート期間を制御し、1～255 のカウント データ値をサポートします。
- クロック ソース:OSC0、OSC0 から派生した分周クロック (/8、/64、/512、/4096、/32768、/262144)、OSC1、OSC1 から派生した分周クロック (/8、/64、/512)、OSC2、または OSC2 から派生した分周クロック (/4)。
- 追加のクロック分周:100 で分周する追加のクロック分周を有効にすると、タイムアウト期間をさらに延長できます。
- ディセーブル時の動作:WDT がディセーブルになったときの動作として、カウンタを指定されたカウント データにリセットするか、または、カウンタを一時停止して WDT が再度イネーブルになったときに再開するか、どちらかを設定できます。選択にかかわらず、WDT マクロセルが無効化されている間に WDT 入力にいずれかのエッジが発生すると、カウンタはリセットされます。

タイムアウト条件に達すると、WDT マクロセルは指定された時間の間 Low パルスを出力します。

注

未使用のウォッチドッグ タイマ マクロセルの場合、過剰な電流消費を低減するため、クロック選択 (CLK_SEL) を CMX からの外部 CLK に設定します。

Copyright © 2026 Texas Instruments Incorporated

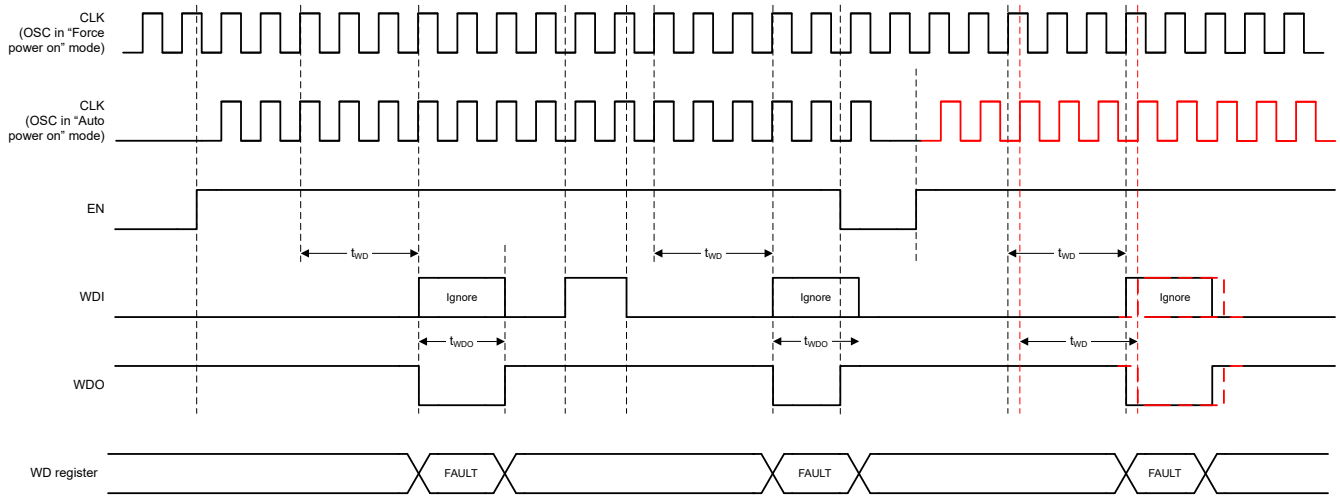


図 8-41. ウォッチドッグ タイマの出力タイミングの例 (ディセーブル時、カウント リセット)

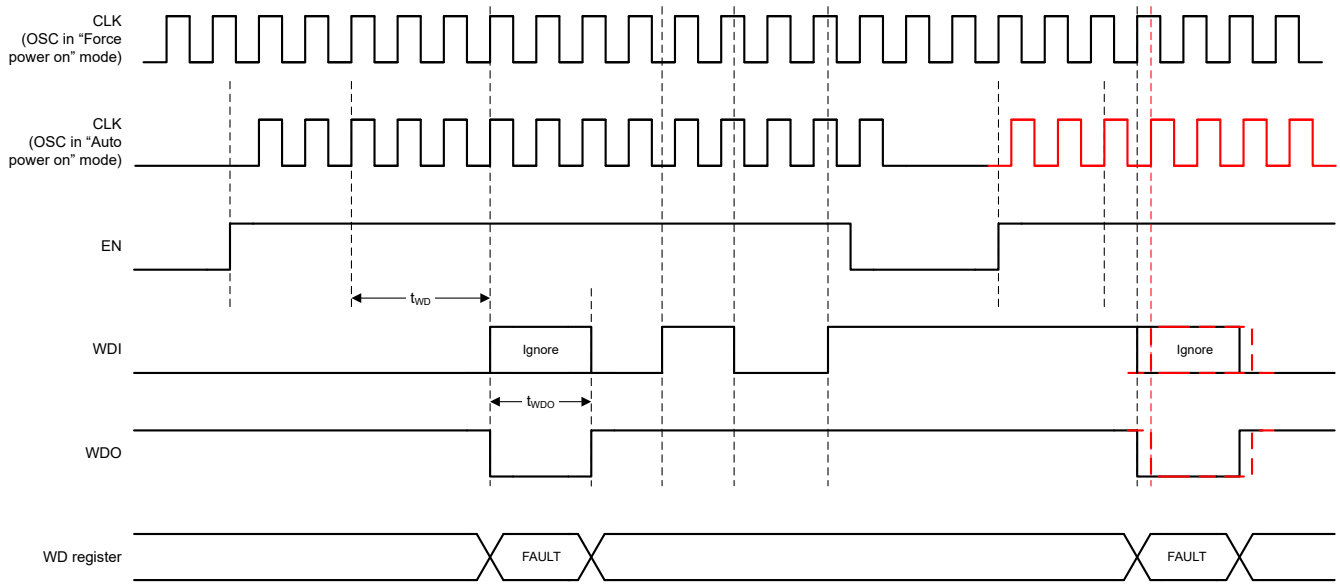


図 8-42. ウォッチドッグ タイマの出力タイミングの例 (ディセーブル時、カウント一時停止)

8.3.11 アナログ コンパレータ

TPLD2001-Q1 は、4 つの独立したアナログ コンパレータ (ACMP) と 1 つのマルチ チャネル サンプリング コンパレータ (McACMP) を搭載しています。ACP および McACMP は 2 つの電圧 (IN+ および IN-) を比較し、どちらが大きいかを示すデジタル信号 (OUT) を出力します。IN+ が大きければ High 信号、IN- が大きければ Low 信号になります。

Copyright © 2026 Texas Instruments Incorporated

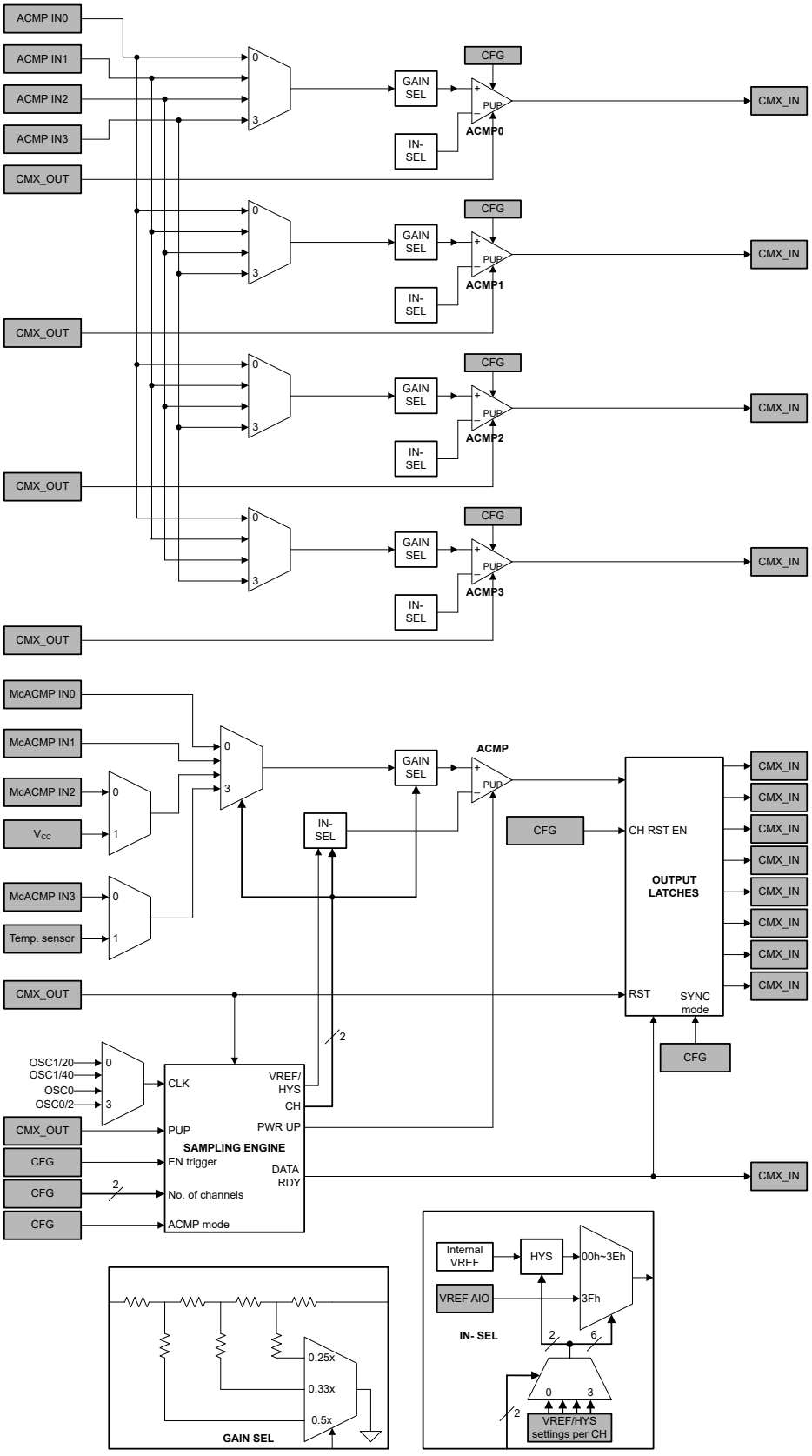


図 8-43. アナログ コンパレータのブロック図

Copyright © 2026 Texas Instruments Incorporated

8.3.11.1 ディスクリート アナログ コンパレータ (ACMP)

ACMP マクロセルを TPLD デザインで使用するには、パワー アップ (PWR UP) ポートをロジック High 信号に接続する必要があります。接続マルチプレクサからの信号に接続することにより、接続マルチプレクサからのデジタル信号に基づいて、常時オン、常時オフ、動的にオンのいずれかに ACMP を設定できます。

- PWR UP = 1 => ACMP の電源がオンになります。
- PWR UP = 0 => ACMP の電源がオフになります。

電源オフのとき、ACMP の出力は静的ロジック Low です。電源オン時、出力は Low に維持され、PWR UP 信号が high になった後で 110µs (最大値) が有効になります。この期間中は、OSC1 の電源がオフにならないようにしてください。

ACMP マクロセルには、各種外部信号源から供給される正の入力信号があり、その信号をアナログ コンパレータに入力する前に増幅する選択可能なゲイン段を備えています。負入力信号は、内部 VREF またはすべてのコンパレータ チャネルで共有される外部源のいずれかから供給できます。

表 8-21. ACMP 入力信号源

パラメータ	ソース
IN+ 信号源	ACMP IN0
	ACMP IN1
	ACMP IN2
	ACMP IN3

IN+ ゲイン: McACMP の正の入力は各種の外部信号源から供給でき、アナログ コンパレータに接続する前に選択可能なゲイン段 (1X、0.5X、0.33X、0.25X) も備えています。

IN- 電圧範囲: 内部 VREF で 32mV～2.016V、または外部ソースで最大 2.016V

ディスクリート アナログ コンパレータごとの VREF 選択は、ユーザー レジスタを使用してシステム内で更新できます。グリッチのない測定を行うには、VREF を変更するときにすべてのアナログ コンパレータを無効 / パワーダウンにすることを推奨します。VREF 選択が更新されている間にアナログ コンパレータが無効化されていない場合、アナログ コンパレータから有効なデータが出力されるのに最大 10µs が必要になることがあります。

ヒステリシス: 内部 VREF を使用する場合、対応する ACMP チャネルには 0mV、32mV、64mV、192mV の 4 つのヒステリシス オプションがあります。IN+ 入力信号が遅い場合、またはノイズの多い場合は、ヒステリシスを使用することを推奨します。

- **0mV**: 入力信号のヒステリシスをディセーブルにします。
- **64mV**: +32mV および -32mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.056V および 0.992V になります。
- **128mV**: +64mV および -64mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.088V および 0.960V になります。
- **192mV**: +96mV および -96mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.120V および 0.928V になります。

ヒステリシスが必要な場合は、内部 VREF を使用する必要があります。さらに、制限範囲が無ければ VREF の範囲を超えてしまうヒステリシスの値は、デバイスで利用可能な最小値と最大値に制限されます。たとえば、IN- = 1.984V、VHYS = ±64mV の場合、下限のトリガ ポイントは 1.920V、上限のトリガ ポイントは 2.016V になります。

低帯域幅: ACMP セルは、入力信号の帯域幅を選択する機能を備えており、この機能を使って低帯域幅の信号を比較することで、消費電力を節約し、ノイズの影響を低減できます。

Copyright © 2026 Texas Instruments Incorporated

8.3.11.2 マルチチャネル アナログ コンパレータ (McACMP)

McACMP マクロセルを TPLD 設計で使用するには、パワーアップ (PUP) ポートを論理 High 信号に接続する必要があります。接続マルチプレクサからの信号に接続することにより、接続マルチプレクサからのデジタル信号に基づいて、McACMP を常時オン、常時オフ、または動的に切り替えるようにできます。

- PUP = 1 のとき、McACMP は電源オンの状態になります。
- PUP = 0 のとき、McACMP は電源オフの状態になります。

電源投入時、出力は静的な状態を保ち、PUP 信号が High になった後 t_{start} のタイミングで有効になります。その間、OSC1 の電源がオフにならないことを確認してください。

McACMP マクロセルには、各種外部信号源から供給される正の入力信号があり、その信号をアナログ コンパレータに入力する前に増幅する選択可能なゲイン段を備えています。負入力信号は、内部 VREF またはすべてのコンパレータ チャネルで共有される外部源のいずれかから供給できます。各チャネルは、比較対象となる最大 4 つの負入力ポイントから選択することができます。

表 8-22. McACMP 入力ソース

パラメータ	1 次信号源	2 次信号源
IN+ 信号源	McACMP IN0	
	McACMP IN1	
	McACMP IN2	V_{CC}
	McACMP IN3	温度センサ

IN+ ゲイン: McACMP の正の入力は各種の外部信号源から供給でき、アナログ コンパレータに接続する前に選択可能なゲイン段 (1X、0.5X、0.33X、0.25X) も備えています。

IN- 電圧範囲: 内部 VREF で 32mV～2.016V、または外部ソースで最大 2.016V

マルチチャネル サンプリング アナログ コンパレータの各チャネルにおける VREF の選択は、ユーザー レジスタを使用してシステム動作中に更新できます。グリッチのない測定を行うには、VREF を変更するときにすべてのアナログ コンパレータを無効/電源オフにすることを推奨します。VREF 選択が更新されている間にアナログ コンパレータが無効化されていない場合、アナログ コンパレータから有効なデータが出力されるのに最大 10µs が必要になることがあります。

ヒステリシス: 内部 VREF を使用する場合、対応する McACMP チャネルには 0mV、32mV、64mV、192mV の 4 つのヒステリシス オプションがあります。IN+ 入力信号が遅い場合、またはノイズの多い場合は、ヒステリシスを使用することを推奨します。

- **0mV**: 入力信号のヒステリシスをディセーブルにします。
- **64mV**: +32mV および -32mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.056V および 0.992V になります。
- **128mV**: +64mV および -64mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.088V および 0.960V になります。
- **192mV**: +96mV および -96mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.120V および 0.928V になります。

ヒステリシスが必要な場合は、内部 VREF を使用する必要があります。さらに、制限範囲が無ければ VREF の範囲を超えてしまうヒステリシスの値は、デバイスで利用可能な最小値と最大値に制限されます。たとえば、IN- = 1.984V、VHYS = ±64mV の場合、下限のトリガ ポイントは 1.920V、上限のトリガ ポイントは 2.016V になります。

1 つのチャネルと 1 つの VREF のみが選択されている場合、McACMP はサンプリング エンジンを無効にし、ディスクリートなアナログ コンパレータとして動作します。

マルチチャネル サンプリング モードでは、最大 4 つのチャネルをサンプリングするように TPLD2001-Q1 を構成できます。各チャネルは、ゲイン、基準電圧、ヒステリシス (内部 VREF を使用する場合) をそれぞれ独自に選択できます。サン

Copyright © 2026 Texas Instruments Incorporated

プリング クロックは、OSC0 または OSC1 の出力から選択でき、指定されたプレ分周器および McACMP 内の追加の分周器を通じて生成されます。設定可能なその他の構成には、出力の同期方法、サンプルシーケンス開始のトリガー、シーケンスの再スタート、出力ラッチのリセット/ クリア入力、およびチャネルごとに最大 2 つの VREF を選択するオプションが含まれます。

マルチチャネル モードでサンプリングを行う場合、McACMP は設定されたチャネルを順番に (チャネル 0 からチャネル n まで) サンプリングし、サンプルを取得するクロックのエッジを選択できます。

クロック McACMP サンプリング クロックは、OSC1/20、OSC1/40、OSC0、OSC0/2 のいずれかを選択できます。

表 8-23. McACMP クロック オプション

ベース周波数	プレデバイダ	デバイダ
2kHz	1	1
	2	2
	4	
	8	
2MHz	1	20
	2	40
	4	
	8	

イネーブル トリガ: イネーブル信号は McACMP の同期信号であるため、トリガ パルス幅は少なくとも 1 クロック サイクル幅にする必要があります。

- **エッジ センシティブ PUP モード:** McACMP は、PUP 入力で立ち上がりエッジが検出されると、1 回のサンプリング シーケンスを開始し、その後アイドル状態に移行します。
- **レベル センシティブ PUP モード:** McACMP は、PUP 入力で High 信号が検出されるとサンプリング シーケンスを開始し、PUP が High である限り連続的にサンプリングを行い、PUP が Low になると、McACMP はサンプリング シーケンスを完了してからアイドル状態に移行します。

出力同期:

- **同時:** 最後のチャネルがサンプリングされた後、サンプリングされた出力はラッチされ、それぞれのチャネル出力に提示されます。
- **分散:** サンプリングされた出力は、サンプリングされたときに、対応するチャネル出力に提示されます。

サンプリング エッジの選択:

- **負のエッジ:** クロックの負のエッジまたは立ち下がりエッジでサンプルがキャプチャされます。
- **正のエッジ:** サンプルはクロックの正のエッジまたは立ち上がりエッジで取得されます。

シーケンスの再起動/出力ラッチ リセット: McACMP が動作中でも、リスタート/リセット信号をアサートすることで、サンプリング シーケンスをチャネル 0 から再開始できます。この信号がアサートされたときに、出力ラッチ データをクリアするように各チャネルを個別に設定することも可能です。リセット入力が "Low" に保持されている場合、McACMP はイネーブル トリガ モードに関係なく、リセットが解放されるまでチャネル 0 を連続的にサンプリングします。

また、すべての設定されたチャネルのサンプリングが完了すると、ベース クロック周波数の 1 クロック分だけ High 信号をアサートするデータ準備完了出力も備わっています。たとえば、1kHz (2kHz/2) のサンプリング クロックが選択されている場合、データ準備完了パルスの幅は 500µs になります。

図 8-44 は、チャネル 0 とチャネル 1 がそれぞれ 2 つの VREF を用いてサンプリングされるように設定され、かつ出力ラッチのリセットが有効になっているのはチャネル 0 のみである McACMP の設定例を示しています。

Copyright © 2026 Texas Instruments Incorporated

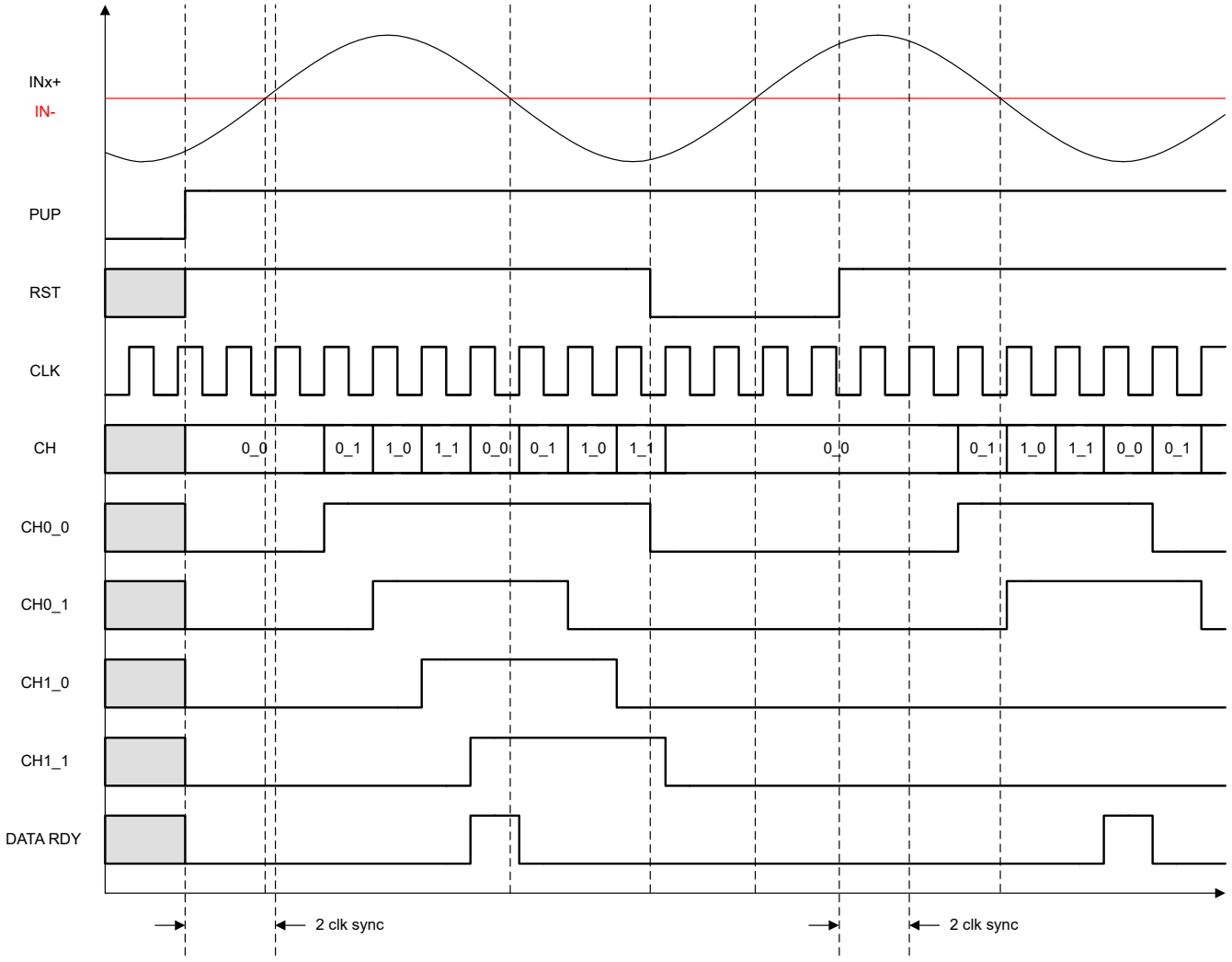


図 8-44. マルチチャネル サンプリング コンパレータのタイミング例

8.3.12 電圧リファレンス (VREF)

TPLD2001-Q1 には、アナログ コンパレータへの基準電圧を提供する電圧リファレンス マクロセルがあります。このマクロセルでは、32mV 刻みで 32mV ～ 2.016V の範囲でユーザーが選択する固定電圧リファレンス、または、外部 VREF AIO からの外部供給電圧リファレンスを利用できます。外部 VREF オプションは、すべてのコンパレータと、McACMP のすべてのチャネルで共有されます。

2.3V 未満の V_{CC} で動作している場合、最大 VREF オプションは V_{CC} - 0.3V に低下します。そのため、1.8V 電源で動作している場合の最大 VREF は 1.504V です。

ディスクリート アナログ コンパレータごと、またはマルチチャネル サンプリング アナログ コンパレータのチャネルごとに VREF の選択は、ユーザー レジスタを使用してインシステムで更新できます。グリッチのない測定を行うには、VREF を変更するときにすべてのアナログ コンパレータを無効/電源オフにすることを推奨します。VREF 選択が更新されている間にアナログ コンパレータが無効化されていない場合、アナログ コンパレータから有効なデータが出力されるのに最大でそのアナログ コンパレータの t_{start} の時間が必要になることがあります。

表 8-24. VREF の選択表

ビット列挙	VREF 出力
000000	32mV

表 8-24. VREF の選択表 (続き)

ビット列挙	VREF 出力
000001	64mV
000010	96mV
000011	128mV
000100	160mV
000101	192mV
000110	224mV
000111	256mV
001000	288mV
001001	320mV
001010	352mV
001011	384mV
001100	416mV
001101	448mV
001110	480mV
001111	512mV
010000	544mV
010001	576mV
010010	608mV
010011	640mV
010100	672mV
010101	704mV
010110	736mV
010111	768mV
011000	800mV
011001	832mV
011010	864mV
011011	896mV
011100	928mV
011101	960mV
011110	992mV
011111	1024mV
100000	1056mV
100001	1088mV
100010	1120mV
100011	1152mV
100100	1184mV
100101	1216mV
100110	1248mV
100111	1280mV
101000	1312mV
101001	1344mV
101010	1376mV
101011	1408mV
101100	1440mV

Copyright © 2026 Texas Instruments Incorporated

表 8-24. VREF の選択表 (続き)

ビット列挙	VREF 出力
101101	1472mV
101110	1504mV
101111	1536mV
110000	1568mV
110001	1600mV
110010	1632mV
110011	1664mV
110100	1696mV
110101	1728mV
110110	1760mV
110111	1792mV
111000	1824mV
111001	1856mV
111010	1888mV
111011	1920mV
111100	1952mV
111101	1984mV
111110	2016mV
111111	外部 VREF AIO

表 8-25. VREF 範囲

V_{CC}	VREF 範囲
1.71V ～ 2.3V	32mV ～ 1.504V
2.3V ～ 5.5V	32mV ～ 2.016V

8.3.13 アナログ温度センサ (TS)

TPLD2001-Q1 は、-40℃ ～ +125℃ で動作するアナログ温度センサ (TS) マクロセルを搭載しています。線形伝達関数の傾きは -0.0044V/℃ (標準値)、出力電圧は 0℃ で 1.061V (標準値) です。

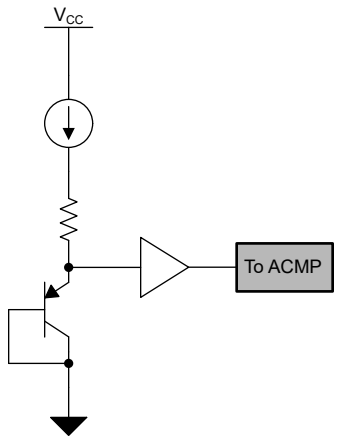


図 8-45. アナログ温度センサのブロック図

温度 (T、摂氏) からセンサ出力 (V_{out}、ボルト) への変換式は次のとおりです。

$$V_{out} = [-0.0044 \times T] + 1.061 \quad (4)$$

8.3.14 アナログ マルチプレクサ (AMUX)

TPLD2001-Q1 には、2 つのアナログ マルチプレクサ (AMUX) マクロセルがあり、ブレーク ビフォ アメイクの単極双投 (SPDT) アナログ スイッチとして動作します。この AMUX はアナログとデジタルの両方の信号を処理でき、最大で V_{CC} (ピーク) までの振幅の信号をどちらの方向にも転送できます。

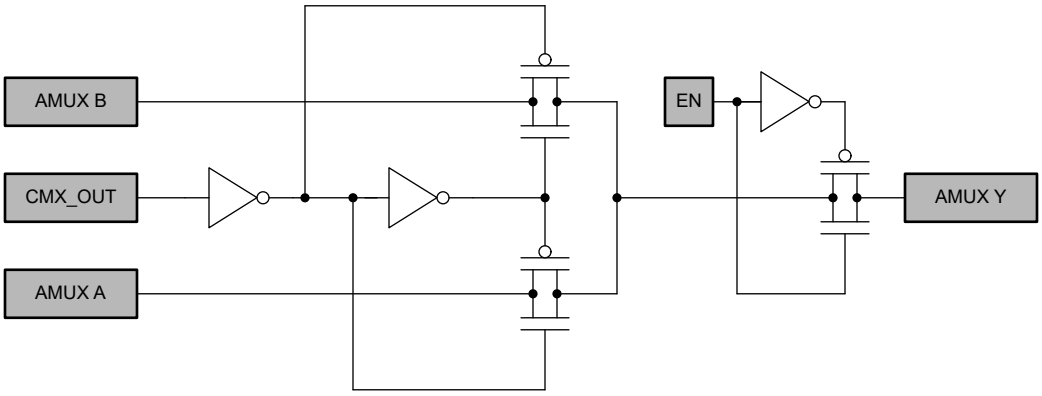


図 8-46. アナログ マルチプレクサのブロック図

接続 MUX からの制御入力に応じて、A チャネルまたは B チャネルのいずれかがアクティブになります。制御入力が Low の場合は A チャンネルが選択されます。制御入力が High の場合は B チャンネルが選択されます。

表 8-26. AMUX 機能表

制御入力 (CMX_OUT)	オン チャネル
Low	AMUX Y = AMUX A
High	AMUX Y = AMUX B

Copyright © 2026 Texas Instruments Incorporated

8.3.15 発振器

TPLD2001-Q1 には 3 つの内部発振器があり、OSC0 は 2MHz に、OSC1 は 2kHz に、OSC2 は 25MHz に固定されています。ユーザーは内部発振器をバイパスすることもでき、動作周波数は IO からの外部クロック入力から取得できます。

8.3.15.1 2kHz 固定周波数発振回路

TPLD2001-Q1 は、2kHz で動作する 1 つの内部発振器を備えています。ユーザーは、OSC マクロセルに対して、この動作周波数で発振器を使用できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

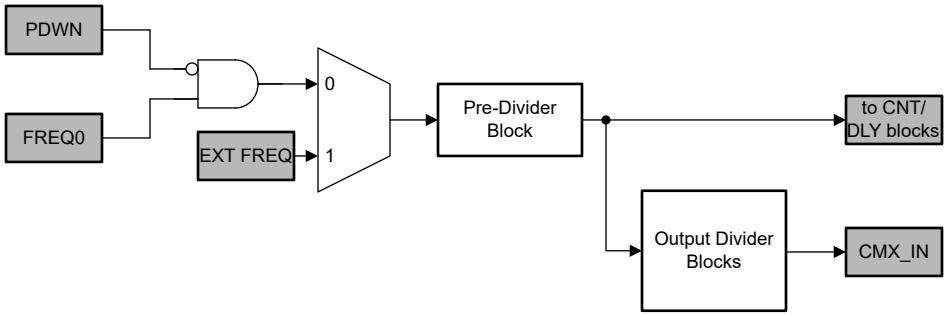


図 8-47. 固定周波数発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、表 8-28 に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには、別の 2 段目の分周器があり、接続マルチプレクサへの出力 (OUT0) を備えています。表 8-29 を参照してください。

表 8-27. 周波数の選択肢および制限

周波数のオプション	最小値	標準値	最大値
FREQ0	1.9kHz	2kHz	2.1kHz
EXT	-	-	25MHz

表 8-28. 発振器事前分周器

事前分周器のオプション	大きさ
P0	1
P1	2
P2	4
P3	8

表 8-29. 発振器出力分周器

出力分周器 オプション	大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12

Copyright © 2026 Texas Instruments Incorporated

表 8-29. 発振器出力分周器 (続き)

出力分周器 オプション	大きさ
OD6	24
OD7	64

8.3.15.2 2MHz 固定周波数発振回路

TPLD2001-Q1 は、2MHz で動作する 1 つの内部発振器を備えています。ユーザーは、OSC マクロセルに対して、この動作周波数で発振器を使用できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

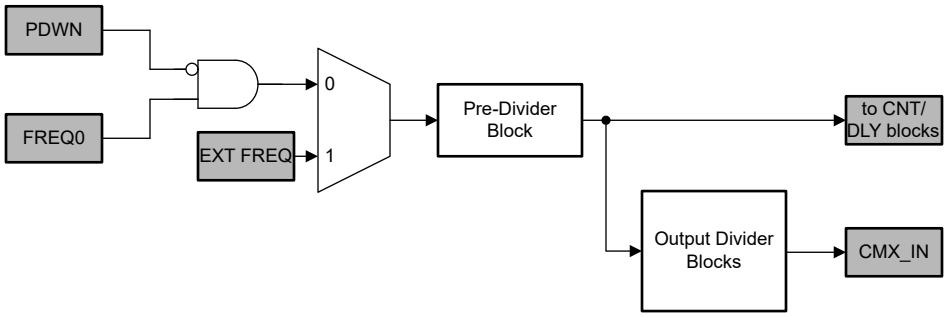


図 8-48. 固定周波数発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、表 8-31 に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには、別の 2 段目の分周器があり、接続マルチプレクサへの出力 (OUT0) を備えています。表 8-32 を参照してください。

表 8-30. 周波数の選択肢および制限

周波数のオプション	最小値	標準値	最大値
FREQ0	1.9MHz	2MHz	2.1MHz
EXT	-	-	25MHz

表 8-31. 発振器事前分周器

事前分周器のオプション	大きさ
P0	1
P1	2
P2	4
P3	8

表 8-32. 発振器出力分周器

出力分周器 オプション	大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8

Copyright © 2026 Texas Instruments Incorporated

表 8-32. 発振器出力分周器 (続き)

出力分周器 オプション	大きさ
OD5	12
OD6	24
OD7	64

8.3.15.3 25MHz 固定周波数発振回路

TPLD2001-Q1 は、25MHz で動作する 1 つの内部発振器を備えています。ユーザーは、OSC マクロセルに対して、この動作周波数で発振器を使用できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

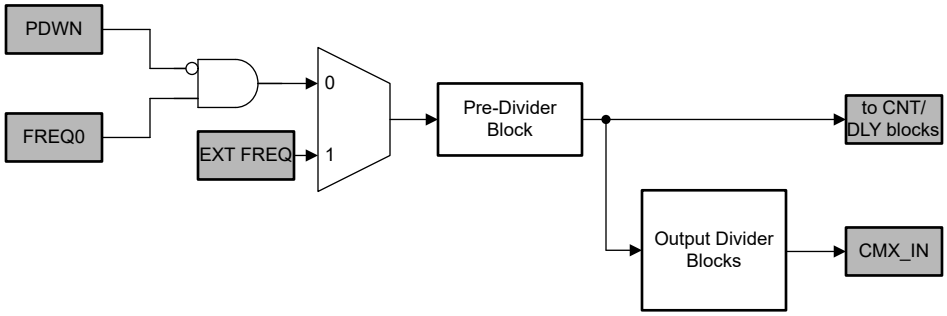


図 8-49. 固定周波数発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、表 8-34 に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには、別の 2 段目の分周器があり、接続マルチプレクサへの出力 (OUT0) を備えています。表 8-35 を参照してください。

表 8-33. 周波数の選択肢および制限

周波数のオプション	最小値	標準値	最大値
FREQ0	23.75MHz	25MHz	26.25MHz
EXT	-	-	25MHz

表 8-34. 発振器事前分周器

事前分周器のオプション	大きさ
P0	1
P1	2
P2	4
P3	8

表 8-35. 発振器出力分周器

出力分周器 オプション	大きさ
OD0	1
OD1	2
OD2	3
OD3	4

Copyright © 2026 Texas Instruments Incorporated

表 8-35. 発振器出力分周器 (続き)

出力分周器 オプション	大きさ
OD4	8
OD5	12
OD6	24
OD7	64

8.3.15.4 発振器の電力モード

デバイスの内部発振器のいずれかを使用する場合、それぞれの発振器には次の 3 つの電力モードが利用可能です:

- **自動電源オン (CTRL_SRC = 0 および PWR_MODE = 0)**:内部発振器は、発振器を必要とする任意のマクロセルが動作を開始すると起動し、タスクが完了すると電源がオフになります。
- **強制電源オン (CTRL_SRC = 0 および PWR_MODE = 1)**:デバイスの電源がオンになっている間、内部発振器は連続的に動作します。
- **外部電源オン/オフ (CTRL_SRC = 1、CTRL_SEL = 0、PWR_MODE = 1)**:PDWN 入力に High を入力すると発振器の電源がオフになり、Low を入力すると発振器の電源がオンになります。

これらの電源モードは、内部発振器が選択されている場合にのみ適用され、外部クロック (SRC_SEL = 1) が使用されている場合はバイパスされます。内部発振器の電源がオフの間、すべての事前分圧器および 2 次的状態の分圧器は一時停止状態です。

8.3.16 シリアル通信

TPLD2001-Q1 には、シリアル通信マクロセルがあり、ユーザー レジスタを介して構成レジスタをインシステムで更新できます。

ユーザー レジスタを使用すると、デバイス ID、プログラム ID、現在のカウンタ カウント、現在のカウンタ DATA、ウォッチドッグ タイマ DATA、ウォッチドッグ タイマ ステータス、パターン ジェネレータ DATA、ステート マシンのステータスと出力 DATA、アナログ コンパレータの電圧リファレンス選択、仮想入力、仮想出力を読み取ることができます。関連するアドレスについては、ユーザー レジスタのレジスタ マップを参照してください。

各レジスタに書き込むことで、現在のカウンタ DATA、ウォッチドッグ タイマ DATA、パターン ジェネレータ DATA、ステート マシン出力 DATA、電圧リファレンス選択、および仮想入力をシステム内で更新できます。

このマクロセルでは、TPLD2001-Q1 を I^2C または SPI デバイスとして構成できます。

Copyright © 2026 Texas Instruments Incorporated

8.3.16.1 I²C モード

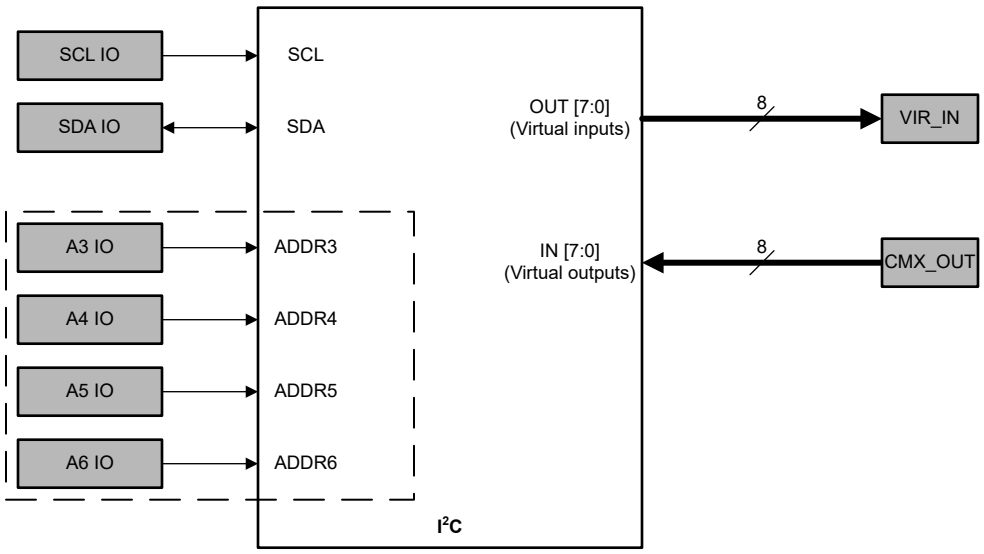


図 8-50. I²C シリアル通信 GPIO の割り当て

I²C に設定すると、マクロセルでは次の IO を使用します。

- IO6：SCL
- IO7：SDA
- IO5：HW 定義 ADDR 3、A3 (オプション)
- IO4：HW 定義 ADDR 4、A4 (オプション)
- IO3：HW 定義 ADDR 5、A5 (オプション)
- IO2：HW 定義 ADDR 6、A6 (オプション)

TPLD2001-Q1 は以下をサポートしています。

- ペリフェラル/ターゲット モードのみ
- 標準モード、ファスト モード、ファスト モード プラス
- IO または OTP メモリにより 4 ビットのハードウェア アドレスを構成可能

双方向 I²C バスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。デバイスの出力段に接続するときは、両方のラインをプルアップ抵抗経由で正の電源に接続する必要があります。データ転送は、バスがビジー状態でないときにのみ開始されます。

TPLD のターゲット デバイス アドレスは OTP から派生し、最上位バイトには IO から取するオプションがあるため、TPLD は TPLD デバイスの電源投入時にのみ IO がサンプリングされ、それぞれの GPIO を回路設計でデジタル入力として使用できます。I2C_IO_LAT ビットをロジック 1 に設定することにより、電源オン中に IO ラッチを有効にして連続的にサンプリングするためのオプションもあります。

Copyright © 2026 Texas Instruments Incorporated

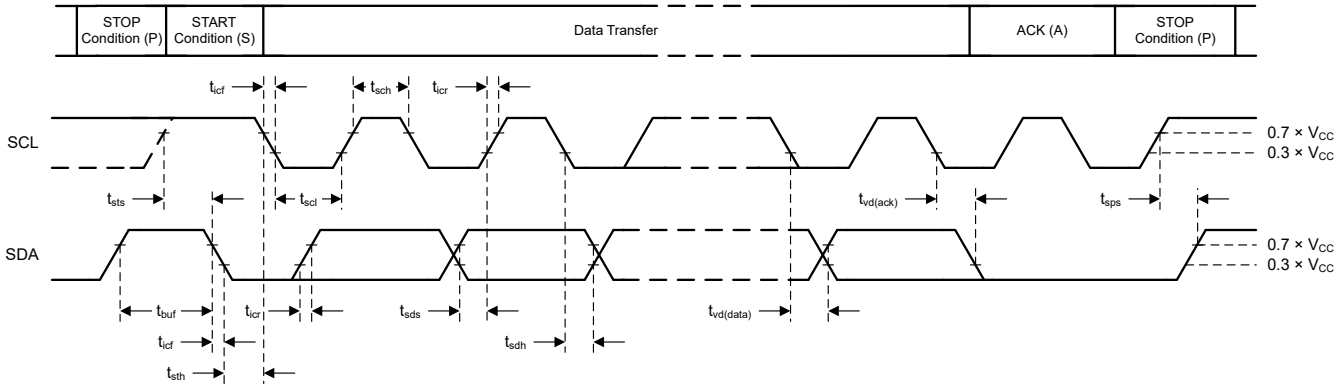


図 8-51. I²C 読み出し/書き込みのタイミング図

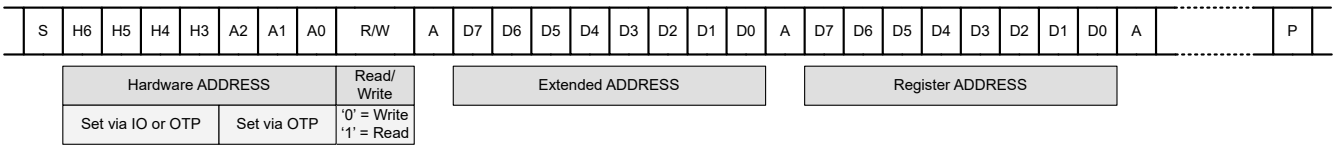


図 8-52. TPLD I²C のフレームとフォーマット

このデバイスとの I²C 通信は、START 条件を送信するコントローラによって開始されます。START 条件は、SCL 入力が high のときに、SDA 入力/出力が high から low に遷移することです。START 条件の後、デバイスのハードウェア アドレス バイトが送信されます。データ方向ビット (R/$\overline{W}$) を含む最上位ビット (MSB) が最初に送信されます。

有効なアドレス バイトを受信すると、このデバイスは、ACK 関連のクロック パルスが High のときに SDA 入力 / 出力を Low にするアクノリッジ (ACK) で応答します。レスポンダ デバイスのアドレス入力を START 条件と STOP 条件の間で変更することはできません。

I²C バスでは、各クロック パルスの間に 1 つのデータ ビットのみが転送されます。SDA ラインのデータは、クロック周期の High パルス中は安定している必要があります。この時点でデータ ラインが変化すると、制御コマンド (START または STOP) として解釈されるためです。

STOP 条件は、SCL 入力が High のときに SDA 入力 / 出力が Low から High に遷移することであり、コントローラから送信されます。

START 条件と STOP 条件の間に、トランスミッタからレシーバへ任意の数のデータ バイトを転送できます。8 ビットの各バイトの後に 1 つの ACK ビットが続きます。レシーバが ACK ビットを送信する前に、トランスミッタは SDA ラインを解放する必要があります。アクノリッジを行うデバイスは、ACK 関連のクロック周期が High パルスのときは SDA ラインが安定して Low を維持できるようにするため、ACK クロック パルスの間は SDA ラインをプルダウンする必要があります。レスポンダのレシーバは、アドレス指定されている場合、各バイトを受信した後に ACK を生成する必要があります。同様に、コントローラはレスポンダのトランスミッタから受信した各バイトの後に NACK を生成する必要があります。適切な動作のためには、セットアップ時間とホールド時間の条件を満たす必要があります。

コントローラのレシーバは、最後のバイトがレスポンダからクロック出力された後、アクノリッジ (NACK) を生成せずに、データの終了をレスポンダのトランスミッタに通知します。これは、コントローラのレシーバで SDA ラインを High に保持することにより行われます。この場合、コントローラが STOP 条件を生成できるように、トランスミッタはデータ ラインを解放する必要があります。

TPLD2001-Q1 の書き込みまたは読み出しを行う際、アドレス 0x0FD のビット 0 に論理 0 を書き込むことで、自動アドレスのインクリメントを有効化するオプションがあります。これは、ロジック 1 を書き込むことで無効にできます。I²C の場合、アドレス自動インクリメントは特定の拡張アドレス、つまりページ アドレス内でのみ機能することに注意してください。したがって、バースト読み取りまたは書き込みを使う場合、0x0FF は 0x000 にロール オーバーされることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

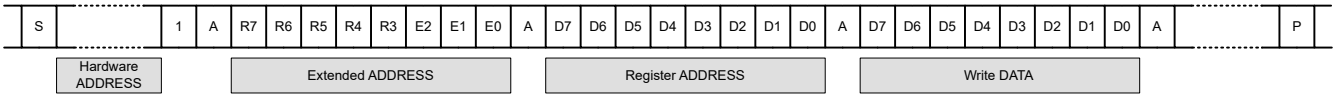


図 8-53. I²C 書き込みコマンドのフォーマット

TPLD2001-Q1 にデータを送信または書き込みするには、バス コントローラはデバイス ハードウェア アドレスを送信し、最下位ビット (LSB) をロジック 0 に設定する必要があります。次の 2 バイトはレジスタ アドレスを設定してから、書き込みデータが続きます。1 回の書き込みフレームで送信されるデータ バイト数に制限はありません。

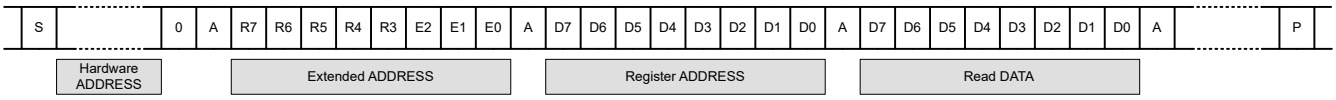


図 8-54. I²C 読み出しコマンドのフォーマット

TPLD2001-Q1 から読み取るには、バス コントローラは、最初に、ロジック 1 に設定した LSB を含めた TPLD2001-Q1 ハードウェアのアドレスを送信する必要があります。その後のバイトには、以前に書き込まれたアドレスにデータが含まれます。アドレスの自動インクリメントがイネーブルされている場合は、次のアドレスにデータが含まれます。

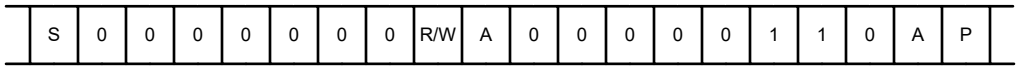


図 8-55. TPLD I²C ソフトウェア リセット コマンド

ソフトウェア リセット呼び出しは、I2C バス上のコントローラから送信されるコマンドで、このコマンドに対応しているすべてのデバイスに対して電源オンのデフォルト状態にリセットするよう指示を出します。ソフトウェア リセット呼び出しのリッスンを有効化するには、I2C_RST_EN ビットをロジック 1 に設定します。ソフトウェア リセットを想定どおりに機能させるためには、I²C バスの機能を有効にして、このバスにデバイスが接続されていない状態にする必要があります。

ソフトウェア リセット呼び出しは、以下の手順で定義されます。

1. I²C バスのコントローラから START 条件を送信します。
2. 使用するアドレスは、予約済みのゼネラル コールの I²C バス アドレス「0000 000」で、R/W ビットは 0 にセットします。送信されるバイトは、0x00 です。
3. ジェネラル コール機能をサポートしているすべてのデバイスは、ACK を送信します。R/W ビットが 1 (読み出し) にセットされていれば、デバイスは NACK を送信します。
4. ジェネラル コール アドレスの送信が確認されると、コントローラは 0x06 に相当するデータの 1 バイトのみを送信します。データ バイトが他の値の場合、デバイスはアクノリッジを送信せず、リセットもしません。送信バイト数が 1 バイトを超える場合、2 番目以降のバイトはアクノリッジされず、デバイスは無効と判断して I²C メッセージを無視します。
5. データ (0x06) の 1 バイトが送信されると、コントローラはソフトウェア リセット呼び出しシーケンスを終了させるために STOP 条件を送信します。START 条件が繰り返し送信されてもデバイスは無視し、リセットは実行されません。

上記の手順が正常に完了すると、デバイスはリセットを実行し、すべてのレジスタ値はクリアされて電源オン時のデフォルト値に戻ります。

Copyright © 2026 Texas Instruments Incorporated

8.3.16.2 SPI モード

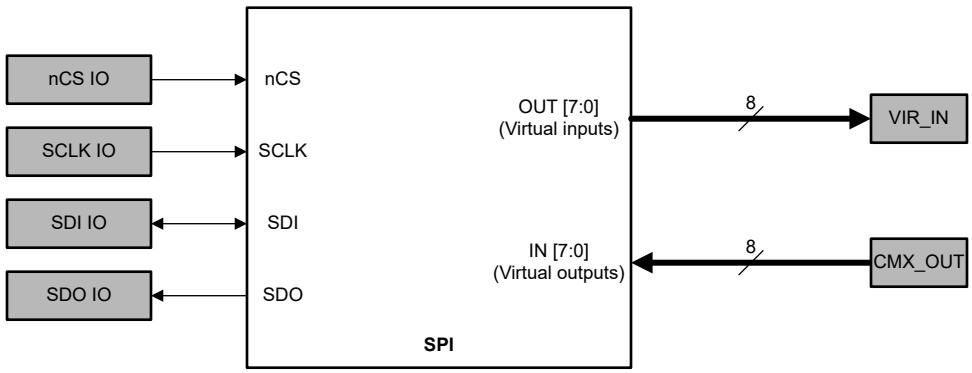


図 8-56. SPI シリアル通信 GPIO のアロケーション

SPI に設定すると、マクロセルでは次の IO を使用します。

- IO5：nCS
- IO6：SCLK
- IO7：SDI
- IO8：SDO

TPLD2001-Q1 は以下をサポートしています。

- ペリフェラル/ターゲット モードのみ
- SPI モード 0、すなわち SCLK はアイドル Low であり、SDI/SDO は SCLK の立ち上がりエッジで有効です
- 最大 4 MHz の SCLK
- 8 ビットのデータ フレーム サイズ

SPI 通信は標準的な SPI プロトコルを使用します。物理的には、デジタル インターフェイス ピンは nCS (チップ セレクト Not)、SDI (シリアル データ入力)、SDO (シリアル データ出力)、SCLK (SPI クロック) です。

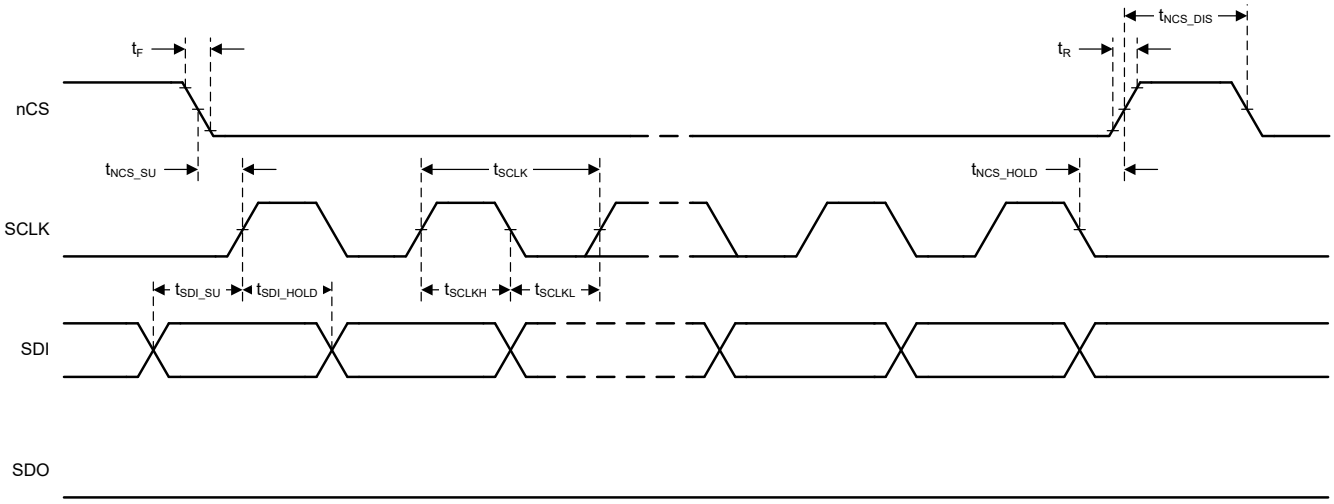


図 8-57. SPI 書き込みタイミング図

Copyright © 2026 Texas Instruments Incorporated

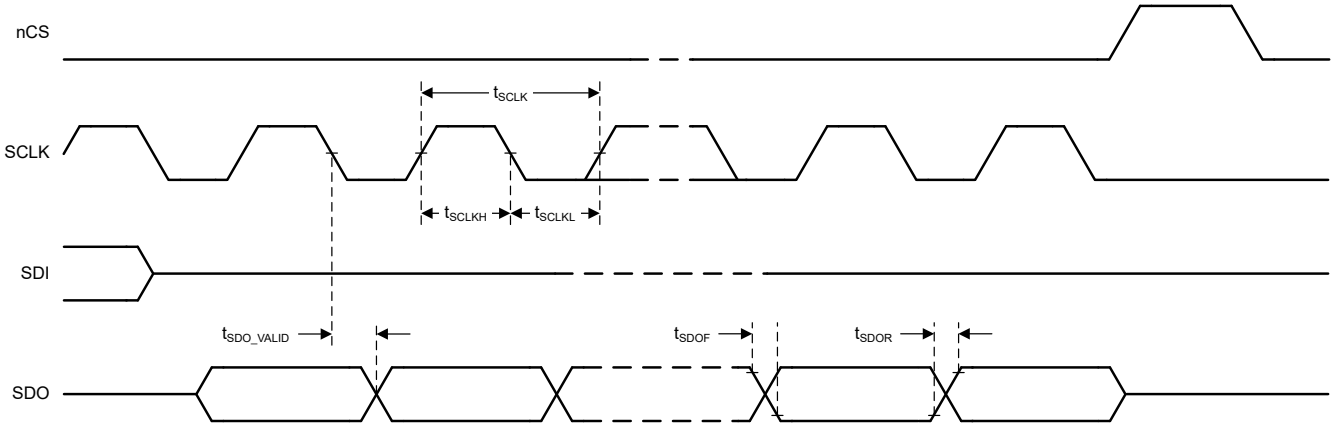


図 8-58. SPI 読み出しのタイミング図

TPLD2001-Q1 の SPI モジュールはモード 0 をサポートしているため、SDI ラインの入力データは SCLK の立ち上がりエッジでサンプリングされます。SDO ライン上の SPI 出力データは、SCLK の立ち下がりエッジで変化します。

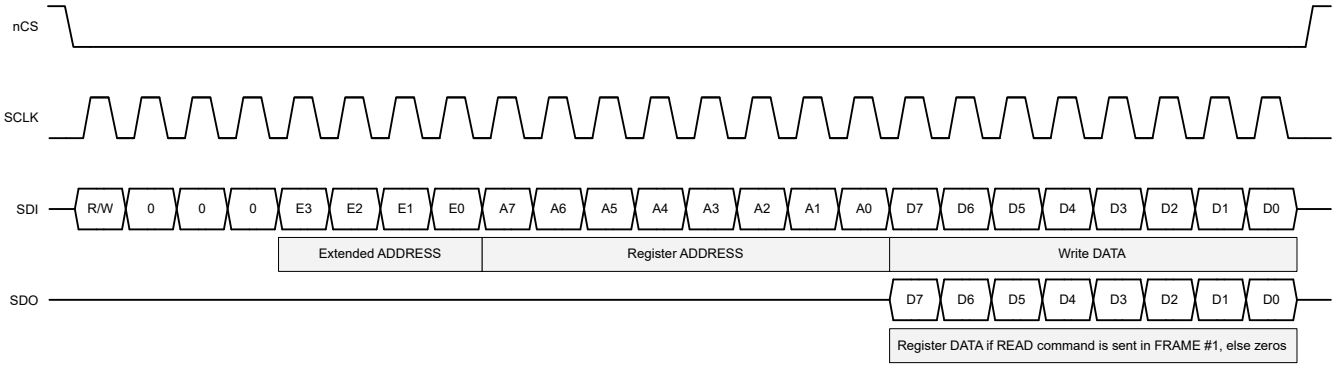


図 8-59. TPLD SPI のフレームとフォーマット

各 SPI トランザクションは、1 ビットのコマンド、7 ビットの拡張アドレス、8 ビットのターゲット レジスタ アドレス、および 8 ビットのデータ フィールドで構成されます。SDO ライン上でシフト アウトされたデータには、READ コマンド (R/W = 0) で設定されたアドレスに保存されたデータが含まれています。WRITE コマンド (R/W = 1) 中にシフト アウトされるデータ バイトは、新しいデータが書き込まれる前のレジスタの内容です。

8.3.16.3 仮想 I/O

TPLD 内では、このマクロセルには 8 つの入力と 8 つの出力があり、最大 8 つのデジタル マクロセル出力を読み取ることができ、デバイス内で使用できる最大 8 つの仮想入力を提供します。

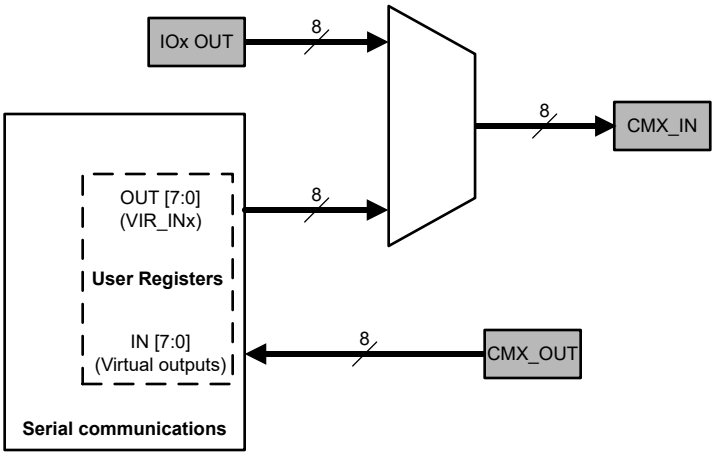


図 8-60. シリアル線通信のブロック図

このマクロセルの出力は、デバイスへの仮想入力として機能します。接続マルチプレクサへの信号の配線は、物理的なデジタル入力ピンと共有されるため、仮想入力を使用すると、デジタル入力ピンのリソースは使用できなくなり、接続 Mux 入力は仮想入力レジスタから供給されます。表 8-36 に、デジタル入力ピンと仮想入力間の共有リソースを示します。

表 8-36. 共有リソースのデジタル IO と仮想

仮想入力	VIR_IN0	VIR_IN1	VIR_IN2	VIR_IN3	VIR_IN4	VIR_IN5	VIR_IN6	VIR_IN7
デジタル入力ピン	IO1	IO2	IO3	IO4	IO5	IO6	IO7	IO8

仮想入力と仮想出力を使用して、TPLD を 8 ビットのシリアルからパラレルへの GPIO 拡張として、またはパラレルからシリアルへのバッファとしてに構成できます。

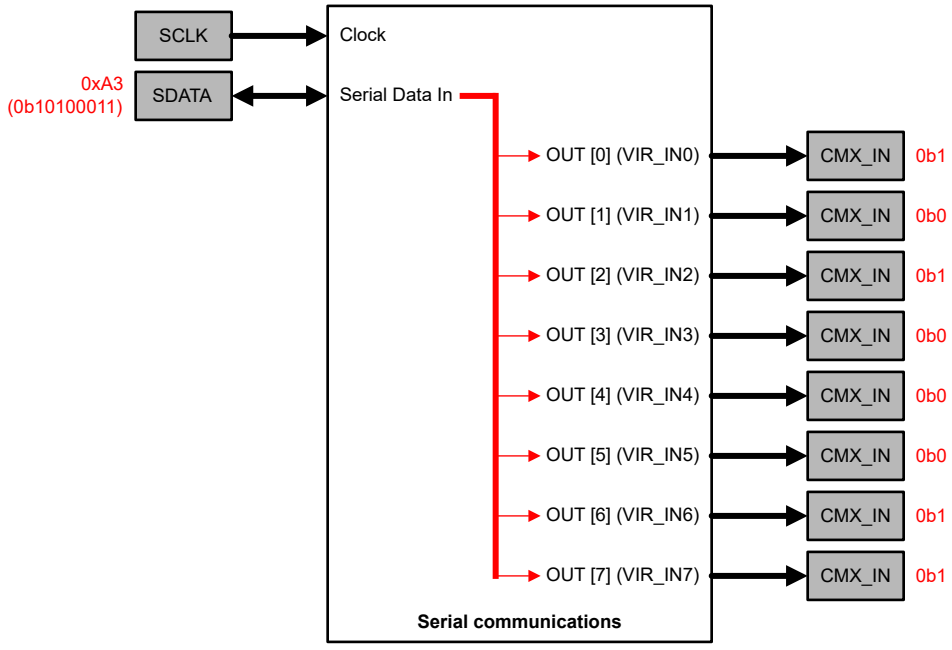


図 8-61. シリアル パラレル I/O エクスパンダーのシリアル通信ブロック図

Copyright © 2026 Texas Instruments Incorporated

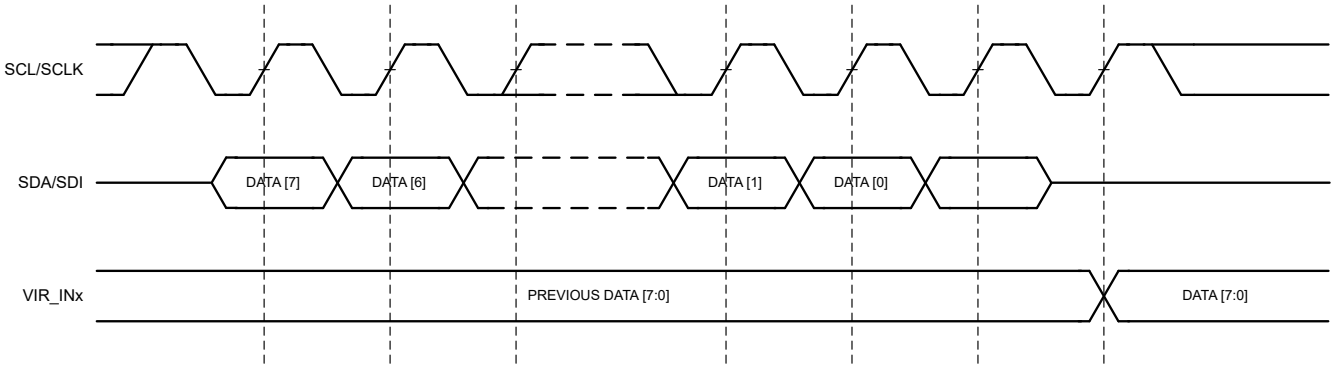


図 8-62. シリアル パラレル I/O エクスパンダのタイミング例におけるシリアル通信

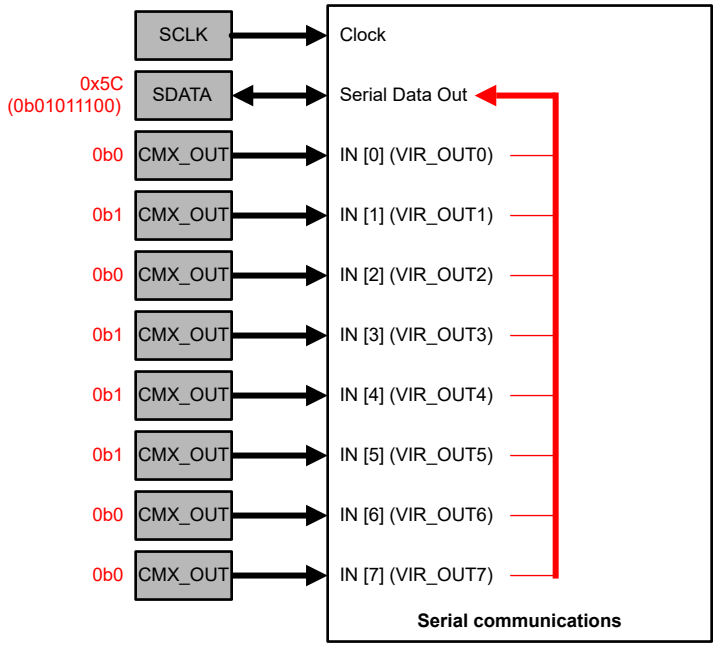


図 8-63. パラレル シリアルブロック図のシリアル通信

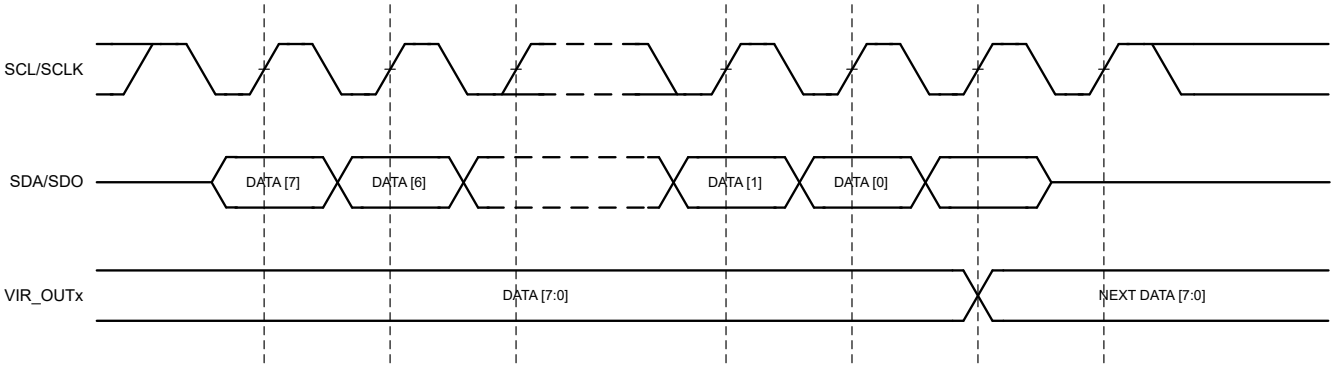


図 8-64. パラレル シリアル タイミング例のシリアル通信

Copyright © 2026 Texas Instruments Incorporated

8.4 デバイスの機能モード

8.4.1 パワーオン リセット

TPLD2001-Q1 にはパワーオン リセット (POR) マクロセルがあり、デバイスを正しく初期化し、デバイス内のすべてのマクロセルが確実に動作するようにします。POR 回路の目的は、V_{CC} 電源がデバイスで最初に上昇するとき、およびパワーダウンで V_{CC} が下降するときに、一貫性のある動作と予測可能な結果を得ることです。この目標を達成するために、POR は定義された一連の内部イベントを駆動して、デバイス内のさまざまなマクロセルの状態を変化させ、最終的には I/O ピンの状態を変化させます。

パワーオン リセット (POR) マクロセルは、デバイスの電源 (V_{CC}) が V_{PORR} 付近まで上昇し、デバイスが完全に起動すると、出力としてロジック High 信号を生成します。すべての出力が高インピーダンス状態になり、チップは OTP からのデータのロードを開始します。内部マクロセルに対するリセット信号が解除され、すべてのレジスタがデフォルト状態に初期化されます。図 8-65 に、POR システムが、あるマクロセルをイネーブルする一連の信号を生成する様子を示します。

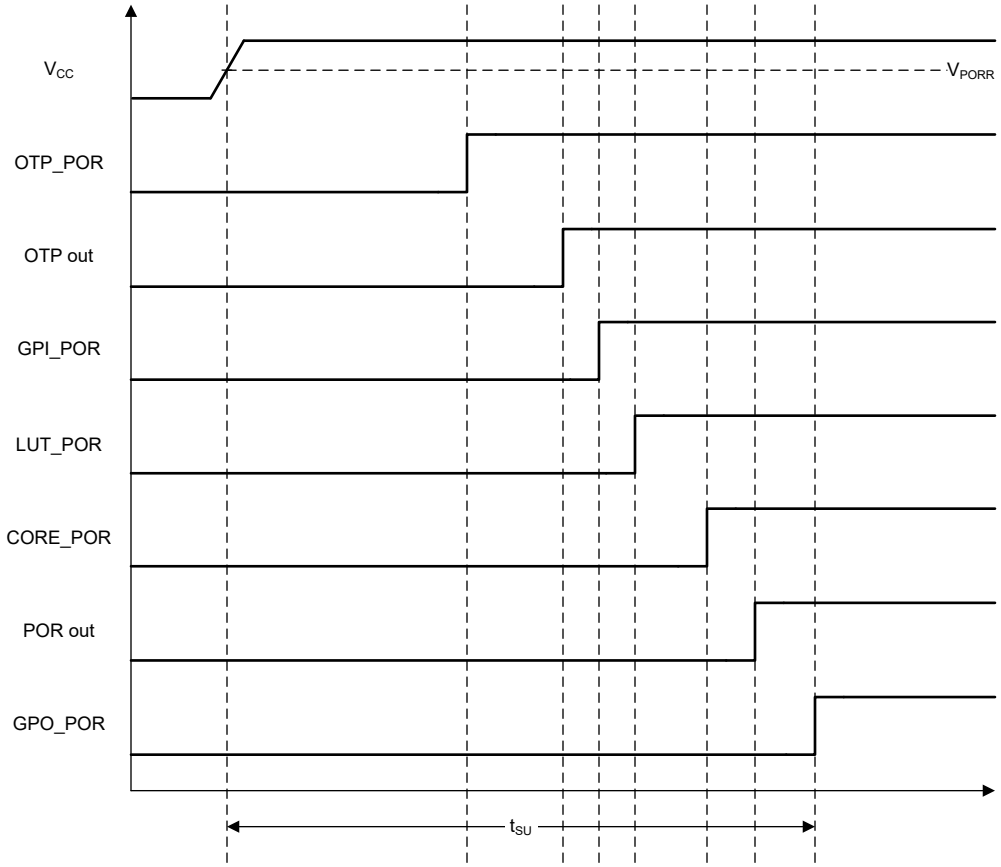


図 8-65. POR シーケンス

図 8-65 からわかるように、V_{CC} が上昇を開始し、V_{PORR} スレッショルドを上回った後、以下の動作を実行します。

- まず、オンチップ RAM メモリがリセットされます。
- 次に、チップ (TPLD2001-Q1) が OTP からデータを読み取り、この情報を各マクロセルを構成するための RAM (レジスタ) と、マクロセル間の信号をルーティングする接続マルチプレクサに転送します。
- 3 番目の段階では、入力ピン (入力として構成された GPIO) をリセットしてから、それらをイネーブルにします。
- その後、LUT がリセットされ、アクティブになります。LUT の後、遅延セル、RC OSC、DFF、ラッチ、およびパイプ遅延が初期化されます。
- すべてのマクロセルが初期化されると、内部 POR 信号 (POR マクロセル出力) が Low から High になります。
- このデバイスで最後に初期化される部分は、出力ピンであり、この時点で高インピーダンスからアクティブに遷移します。

Copyright © 2026 Texas Instruments Incorporated

GPIO の高速充電: 有効化されている場合、POR シーケンス中に GPIO と GND の間に 2kΩ 抵抗が接続され、GPIO を事前コンディショニングします。

初期化: デフォルトでは、すべての内部マクロセルは初期状態で Low レベルになっています。V_{CC} > V_{PORR} となった時点から、TPLD2001-Q1 のマクロセルに電源が投入され、強制的にリセット状態になります。すべての出力は Hi-Z で、チップが OTP からのデータのロードを開始します。その後、内部マクロセルに対してリセット信号が解除されて、以下の順序で内部マクロセルの初期化が開始されます。

- 入力ピン、アナログ コンパレータ、プルアップ / プルダウン抵抗
- LUT
- DFF、遅延 / カウンタ、パイプ遅延
- マトリクスへの POR 出力
- 内部ロジックに対応した出力ピン

POR 信号が High になると、前述の電源オン シーケンスが完了したことを示します。

8.4.2 電源制御モード

TPLD2001-Q1 では、バンドギャップ電圧およびプリバイアス電圧の電力モードを制御するオプションがあります。これらのビットを 000 (自動オン/オフ) に維持することを推奨しますが、アナログ マクロセル (発振器、アナログ コンパレータなど) を使用しない場合は、これらの設定を使用してバンドギャップおよびプリバイアス電圧を電源オフにし、デバイスの消費電力をさらに減らすことができます。

表 8-37. バンドギャップ電圧電力制御モード

制御コード	ビットの詳細
000	自動オン: • 発振器 • アナログ コンパレータ • 電圧リファレンス • 温度センサ • 「CMX からの外部 CLK」を使用していない PWM ジェネレータ / ウォッチドッグ タイマ / ステート マシン いずれかのカウンタが使用されている場合の強制オンを除きます
001	自動オン: • 発振器 • アナログ コンパレータ • 電圧リファレンス • 温度センサ • 「CMX からの外部 CLK」を使用していない、すべてのカウンタ / PWM ジェネレータ / ウォッチドッグ タイマ / ステート マシン
01X	強制オン
1XX	強制オフ

表 8-38. プリバイアス電圧電力制御モード

制御コード	ビットの詳細
000	自動オン: • 発振器 • アナログ コンパレータ • 電圧リファレンス • 温度センサ • 「CMX からの外部 CLK」を使用していない、すべてのカウンタ / PWM ジェネレータ / ウォッチドッグ タイマ / ステート マシン この設計で DFF が用いられている場合、あるいは「CMX からの外部 CLK」で構成されたカウンタ / PWM ジェネレータ / ウォッチドッグ タイマ / ステート マシンが用いられている場合の強制オンを除きます
001	自動オン: • 発振器 • アナログ コンパレータ • 電圧リファレンス • 温度センサ • 「CMX からの外部 CLK」を使用していない、すべてのカウンタ / PWM ジェネレータ / ウォッチドッグ タイマ / ステート マシン • すべてのアクティブなシリアル通信トランザクション
01X	強制オン
1XX	強制オフ

8.4.3 保護機能

TPLD2001-Q1 は、デバイス構成ビットの読み取り / 書き込み保護や、内部 OTP の CRC エラー検出などの保護機能を備えています。

8.4.3.1 デバイス読み取り/書き込みロック

TPLD2001-Q1 にはロック機能が実装されており、セキュア アプリケーションのためのデバイス リードバック保護を可能にするとともに、TPLD2001-Q1 レジスタへの偶発的または意図しない書き込みを防止します。OTP には次の 3 つのビットがあり、ユーザーはシリアル通信インターフェイス経由で読み書きのルールを定義できます。

- **構成レジスタ (CFG) 読み取り (RD) ロック**:CFG RD ロックがセットされている場合、シリアル通信インターフェイス経由の構成レジスタのすべての読み取りコマンドをブロックし、0 で応答します。
- **構成レジスタ (CFG) 書き込み (WR) ロック**:CFG WR ロックがセットされている場合、シリアル通信インターフェイス経由の構成レジスタへのすべての書き込みコマンドをブロックします。
- **ユーザー レジスタ (USER) ロック**:USER ロックは 2 ビットで構成され、ビット設定に応じて、特定のレジスタ アドレスへのシリアル通信インターフェイスを介してユーザー レジスタ空間への書き込みコマンドがブロックされ、要求された変更はすべて拒否されます (構成レジスタは変更されません)。

表 8-39. ユーザー レジスタ ロック アクセス タイプ設定値

登録	ロック ビット						
	CFG RD ロック = 0b0 CFG WR ロック = 0b0 ユーザー ロック = 0b00	CFG RD ロック = 0b0 CFG WR ロック = 0b0 ユーザー ロック = 0b01	CFG RD ロック = 0b0 CFG WR ロック = 0b0 ユーザー ロック = 0b10	CFG RD ロック = 0b0 CFG WR ロック = 0b0 ユーザー ロック = 0b11	CFG RD ロック = 0b1 CFG WR ロック = 0b0 ユーザー ロック = 0bXX	CFG RD ロック = 0b0 CFG WR ロック = 0b1 ユーザー ロック = 0bXX	CFG RD ロック = 0b1 CFG WR ロック = 0b1 ユーザー ロック = 0bXX

Copyright © 2026 Texas Instruments Incorporated

表 8-39. ユーザー レジスタ ロック アクセス タイプ設定値 (続き)

登録	ロック ビット						
デバイス ID (0x000 - 0x003)	R	R	R	R	R	R	R
ID のプログラミング (0x004 - 0x007)	R	R	R	R	R	R	R
カウンター COUNT (0x010 - 0x01F)	R	R	R	R	—	R	—
カウンター DATA (0x020 - 0x02F)	R/W	R/W	R	R	—	R/W	—
ウォッチドッグ タイマのデータ (0x030 - 0x031)	R/W	R/W	R	R	—	R/W	—
ウォッチドッグ タイマ ステータス (0x032)	R	R	R	R	—	R	—
パターン ジェネレータ (0x040 - 0x041)	R/W	R/W	R	R	—	R/W	—
ステート マシン (0x050 - 0x05F)	R/W	R	R/W	R	—	R/W	—
アナログ コンパレータ用の電圧リファレンスの選択 (0x070 - 0x07F)	R/W	R	R	R/W	—	R/W	—
仮想入力 (0x0E0)	R/W	R/W	R/W	R/W	R/W	R/W	R/W
仮想出力 (0x0E1)	R	R	R	R	R	R	R
CRC のステータス (0x0FE)	R	R	R	R	R	R	R
構成レジスタ (0x200 - 0x3FF)	R/W	R/W	R/W	R/W	W	R	—

シリアル通信インターフェイス経由のデバイスに対する書き込みコマンドで、保護ビットに基づいてブロックされていない場合には、OTP ビットをミラーリングする構成レジスタの内容が変更されます。これらの書き込みコマンドによって OTP ビット自体は変更されません。POR イベントがあると、このレジスタ ビットは OTP の元のプログラムされた内容に復元されます。

8.4.3.2 OTP 巡回冗長検査 (CRC)

巡回冗長検査 (CRC) は、OTP 領域のエラー チェックを実行し、このメモリのデータ整合性を検証するための一般的な方法です。OTP は、TPLD2001-Q1 のマクロセルと接続マルチプレクサの配線を構成するために使用されます。OTP はワンタイム プログラマブルであり、デバイス構成データを保持します。OTP メモリは、デバイスの電源投入時に読み込まれ、TPLD2001-Q1 接続マルチプレクサに転送されます。

保存された構成を OTP からデバイスのレジスタにロードする前に、OTP メモリのビット整合性を検証するために、安全対策として、TPLD2001-Q1 は OTP に巡回冗長検査 (CRC) 機能を実装しており、OTP に保存されたデータが破損していないことを確認できます。起動時に、OTP は内部的に読み取られ、有効な CRC であることを確認します。CRC が有効で

Copyright © 2026 Texas Instruments Incorporated

ない場合、このプロセスは、さらに合計 7 回実行されます。8 回目の試行でもまだ有効でない場合、デバイスは OTP からの内容のロードを続行しますが、以下に示すステータス ビットを設定します。

CRC_ERR_CNT ビット：

レジスタ 0x0FEh[7:5] の CRC_ERR_CNT ビットは、OTP の内容をデバイスの構成にロードするまでの CRC 試行失敗回数を示します。

CRC_ERR_FLAG ビット：

レジスタ 0x0FEh[0] の CRC_ERR_FLAG ビットは、OTP の内容をデバイス構成へロードする際に、CRC 計算の失敗が 8 回以上あることを示しています。

8.4.4 プログラミング

TPLD2001-Q1 は、I^2C または SPI を通じてプログラムされます。

TPLD2001-Q1 デバイスのプログラムされた事例では、ユーザーが行った構成の選択は OTP 内のビット設定として保存され、この情報が、起動時に接続マルチプレクサ レジスタへ転送されます。接続マルチプレクサ レジスタを使うと、マクロセルの構成と、接続マルチプレクサ内の接続を設定するための構成が可能であり、ユーザー アプリケーションに最適な方法で信号を転送できます。

8.4.4.1 選択可能な I^2C/SPI

プログラムされていない TPLD2001-Q1 デバイスでは、インターフェイス選択ピン (IO1) がデバイスの電源投入時にサンプリングされ、t_{SU} (最大) 経過後に TPLD がどのインターフェイスで起動するかが決定されます。

このピンが GND (ロジック Low) に接続されているか、またはフローティングの場合、TPLD2001-Q1 は I^2C インターフェイスで構成されます。このとき、ターゲット アドレスの上位 4 ビットは対応する HW Addr IO によって決定され、下位 3 ビットはデフォルトで 001b または ADDR = [A6][A5][A4][A3][0][0][1] となります。

このピンを VCC (ロジック High) に接続すると、TPLD2001-Q1 は SPI で構成されます。

プログラムされたデバイス (OTP が書き込み済みのデバイス) では、OTP メモリに保存されている選択によって、この設定が上書きされます。

I2C_EN	SPI_EN	インターフェイス有効
0	0	デバイスがプログラムされていない (ブランク)
0	1	SPI
1	0	I^2C
1	1	I2C と SPI のどちらでもなく、ピンは GPIO

8.4.4.2 構成メモリとワンタイム プログラマブル メモリのプログラミング

TPLD2001-Q1 はワンタイム プログラマブル (OTP) メモリを搭載しています。これらのメモリ ビットは、電源がない状態でも設定値を保持し、TPLD デバイスの構成に使用されます。また、最大で 1 回のみ書き込みが可能です。TPLD2001-Q1 のすべての構成レジスタのデフォルト値は、POR イベントが発行された後、OTP から読み込まれます。

構成レジスタを一時的に設定する手順:

1. 目的のシリアル通信プロトコルでデバイスを起動した後、レジスタ 0x000 および 0x001 から DEVICE_ID を読み取り、デバイスとの通信が確立されていることを確認します。
2. その後:
   a. SPI の場合、フレーム間で、少なくとも 200µs を持つ次の 4 フレームを送信します: 0x9000B9、0x90003E、0x9000AF、0x900058

Copyright © 2026 Texas Instruments Incorporated

b. I²C の場合、4 つの書き込みトランザクションにおいて、トランザクション間に少なくとも 500µs を指定して以下を送信します:
   i. トランザクション 1: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0xB9
   ii. トランザクション 2: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0x3E
   iii. トランザクション 3: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0xAF
   iv. トランザクション 4: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0x58

3. 最後のフレームが送信された後、1ms 待ちます。
4. レジスタ 0x400 から 0x10 を読み出すことで、正しい構成モードが正常に開始されたことを確認します。
5. レジスタ 0x400 に 0x02 を書き込みます。
6. 構成ビットを 0x200~0x3FF に送信します。
7. オプションとして、構成ビットを送信した後、読み出しコマンドを使用して、デバイスに正しいデータが書き込まれていることを確認できます。
8. その後:
   a. SPI の場合、以下のフレームを送信します: 0x90004B
   b. I²C の場合、次の書き込みトランザクションを送信します: BYTE0 = ADDR、BYTE1 = 01、BYTE2 = 0x4B
9. 最後に、構成を有効にするには、レジスタ 0x400 に 0x00 を書き込みます。
10. デバイスが一時的に設定されました。

注

I²C マクロセルが有効になって TPLD を一時的に設定すると、ターゲット アドレスの最初の 4 ビットは 0000b に設定され、次の 3 ビットは構成ビット、または ADDR = [0][0][0][0][A2][A1][A0] から供給されます。ターゲット アドレスの最初の 4 ビット、または MSB を変更するには、OTP 書き込みが必要です。

一時的な構成を変更するには、デバイスの電源を入れ直し、手順を繰り返して構成レジスタを一時的に設定することをお勧めします。

I²C マクロセルが有効化された状態でデバイスがすでに一時的に設定されている場合、I2C_ADDR レジスタ (SER_COMM_CFG1) へのに書き込みは即座に有効になります。したがって、それ以降の I²C トランザクションは、更新されたターゲット アドレスに対処する必要があります。

OTP の書き込み手順:

1. デバイスが一時的に構成されている場合は、処理を続行する前に電源を再投入して構成レジスタをクリアします。
2. 構成レジスタを一時的に設定するには、手順のステップ 1～7 に従います。
3. GPI ピンに V_{PP} を印加します。
4. OTP のプログラミングを開始するには、レジスタ 0x401 に 0x01 を書き込みます。
5. プログラミングが完了するまで t_{PP} 待ちます。
6. GPI ピンから V_{PP} を削除します。
7. これで、デバイス OTP が書き込まれました。

8.4.4.3 Intel HEX ファイル形式

InterConnect Studio は、構成ビットを Intel HEX 形式で生成します。.hex ファイルを解析することで、TPLD デバイスを構成するためのデータ ストリームを抽出できます。Intel HEX レコード、またはテキスト行の構造を以下に示します。

表 8-40. レコード構造の例

:	10	0200	00	000102030405060708090A0B0C0D0E0F	76
開始コード	バイト数	アドレス	レコード タイプ	データ	チェックサム

- **開始コード:**1 文字、ASCII コロン (:)。

- **バイト数:** データ フィールドのバイト数を示す 2 桁の 16 進数。
- **アドレス:** 最初のデータ バイトの開始アドレス オフセットを表す 4 桁の 16 進数。
- **レコード タイプ:**データ フィールドの意味を定義する 2 桁の 16 進数。Intel HEX 形式には 6 つの標準レコード タイプがありますが、.hex ファイルの生成で使用されるのはそのうちの 2 つだけです。
  - **16 進コード 00:**これはデータ レコード タイプを示しています。上記のレコード構造の例では、バイト数は 0x10 (16 バイト)、開始アドレスは 0x0200、データは 0x00、0x01、0x02、0x03、0x04、0x05、0x06、0x07、0x08、0x09、0x0A、0x0B、0x0C、0x0D、0x0E、0x0F となります。
  - **16 進コード 01:**ファイル終了のレコード タイプを示します。バイト数は 0x00、アドレスは通常 0x0000 で、データ フィールドは省略されます。
- **データ:***バイト数*で指定されたバイト数分のデータ列を含みます。
- **チェックサム:**チェックサムは、それ以前のすべてのバイトを加算し、その合計の下位 1 バイトに対して 2 の補数を取ることで算出された 2 桁の 16 進数 です。この値を使用して、レコードにエラーがないことを確認できます。

Copyright © 2026 Texas Instruments Incorporated

9 TPLD2001-Q1 レジスタ

以下のセクションでは、TPLD2001-Q1 でアクセス可能なレジスタについて説明します。

注

デバイスからの読み取りおよびデバイスへの書き込みは非同期であるので、カウンタに使用されるクロックの速度およびシリアル通信インターフェイスの速度に応じて、読み取りが発生するまでに、カウンタの現在のカウント値が変化する可能性があります。

注

カウンタ データを更新する際は、カウンタをリセット状態にすることを推奨します。カウンタがリセット状態のままでない場合、CNT0 ～ CNT5 の更新は次回のリセットまで有効になりません。一方、CNT6 ～ CNT9 の更新は即座に有効になります。

カウンタ データを更新した後、カウンタを再初期化するために 2 つのクロックが必要です。外部クロック オプションを使用する場合、カウンタを適切に動作させるために 2 つのクロックを供給してください。

Copyright © 2026 Texas Instruments Incorporated

9.1 TPLD2001_User のレジスタ

TPLD2001_User レジスタのメモリマップされたレジスタを、表 9-1 に示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-1. TPLD2001_USER のレジスタ

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0h	DEVICE_ID0	DEVICE_ID_MSB							
1h	DEVICE_ID1	DEVICE_ID_LSB							
2h	DEVICE_ID2	DEVICE_ID_RSVD							
3h	DEVICE_ID3	DEVICE_ID_REV							
4h	DEVICE_ID4	DEVICE_ID4							
5h	DEVICE_ID5	DEVICE_ID5							
6h	DEVICE_ID6	DEVICE_ID6							
7h	DEVICE_ID7	DEVICE_ID7							
10h	CNT0_COUNT	CNT0_COUNT							
11h	CNT1_COUNT	CNT1_COUNT							
12h	CNT2_COUNT	CNT2_COUNT							
13h	CNT3_COUNT	CNT3_COUNT							
14h	CNT4_COUNT_LSB	CNT4_COUNT_LSB							
15h	CNT4_COUNT_MSB	CNT4_COUNT_MSB							
16h	CNT5_COUNT_LSB	CNT5_COUNT_LSB							
17h	CNT5_COUNT_MSB	CNT5_COUNT_MSB							
18h	CNT6_COUNT	CNT6_COUNT							
19h	CNT7_COUNT	CNT7_COUNT							
1Ah	CNT8_COUNT	CNT8_COUNT							
1Bh	CNT9_COUNT	CNT9_COUNT							
20h	CNT0_DATA	CNT0_DATA							
21h	CNT1_DATA	CNT1_DATA							
22h	CNT2_DATA	CNT2_DATA							
23h	CNT3_DATA	CNT3_DATA							
24h	CNT4_DATA_LSB	CNT4_DATA_LSB							
25h	CNT4_DATA_MSB	CNT4_DATA_MSB							
26h	CNT5_DATA_LSB	CNT5_DATA_LSB							
27h	CNT5_DATA_MSB	CNT5_DATA_MSB							
28h	CNT6_DATA	CNT6_DATA							
29h	CNT7_DATA	CNT7_DATA							
2Ah	CNT8_DATA	CNT8_DATA							
2Bh	CNT9_DATA	CNT9_DATA							
30h	WDT_TIMEOUT_DATA	WATCHDOG_TIMEOUT_DATA							
31h	WDT_OUTPUT_DATA	WATCHDOG_OUTPUT_DATA							
32h	WDT_STATUS	予約済み							WDT_STATUS
40h	PGEN_DATA_LSB	PGEN_DATA_LSB							
41h	PGEN_DATA_MSB	PGEN_DATA_MSB							
50h	STATE_MACHINE	予約済み					CURRENT_STATE		
51h	STATE0_OUT	STATE0_OUT							
52h	STATE1_OUT	STATE1_OUT							
53h	STATE2_OUT	STATE2_OUT							
54h	STATE3_OUT	STATE3_OUT							
55h	STATE4_OUT	STATE4_OUT							
56h	STATE5_OUT	STATE5_OUT							
57h	STATE6_OUT	STATE6_OUT							
58h	STATE7_OUT	STATE7_OUT							
70h	VREF_ACMP0	予約済み		VREF_ACMP0					
71h	VREF_ACMP1	予約済み		VREF_ACMP1					
72h	VREF_ACMP2	予約済み		VREF_ACMP2					

Copyright © 2026 Texas Instruments Incorporated

表 9-1. TPLD2001_USER のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
73h	VREF_ACMP3	予約済み		VREF_ACMP3					
74h	VREF_McACMP0_0	予約済み		VREF_McACMP0_0					
75h	VREF_McACMP0_1	予約済み		VREF_McACMP0_1					
76h	VREF_McACMP1_0	予約済み		VREF_McACMP1_0					
77h	VREF_McACMP1_1	予約済み		VREF_McACMP1_1					
78h	VREF_McACMP2_0	予約済み		VREF_McACMP2_0					
79h	VREF_McACMP2_1	予約済み		VREF_McACMP2_1					
7Ah	VREF_McACMP3_0	予約済み		VREF_McACMP3_0					
7Bh	VREF_McACMP3_1	予約済み		VREF_McACMP3_1					
E0h	VIRTUAL_INPUT	VIRTUAL_IN							
E1h	VIRTUAL_OUTPUT	VIRTUAL_OUT							
FDh	SER_COMM_CFG	予約済み							ADDR_INC
FEh	CRC_STATUS	ERR_CNT			予約済み				ERR_FLAG
FFh	SER_COMM_WR_MASK	SER_COMM_WR_MASK							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. TPLD2001_User のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1.1 DEVICE_ID0 レジスタ (オフセット = 0h) [リセット = 20h]

DEVICE_ID0 を表 9-3 に示します。

概略表に戻ります。

表 9-3. DEVICE_ID0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_MSB	R	20h	

9.1.2 DEVICE_ID1 レジスタ (オフセット = 1h) [リセット = 01h]

DEVICE_ID1 を表 9-4 に示します。

概略表に戻ります。

表 9-4. DEVICE_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_LSB	R	1h	

9.1.3 DEVICE_ID2 レジスタ (オフセット = 2h) [リセット = 00h]

DEVICE_ID2 を表 9-5 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

表 9-5. DEVICE_ID2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_RSVD	R	0h	

9.1.4 DEVICE_ID3 レジスタ (オフセット = 3h) [リセット = 00h]

DEVICE_ID3 を表 9-6 に示します。

概略表に戻ります。

表 9-6. DEVICE_ID3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_REV	R	0h	

9.1.5 DEVICE_ID4 レジスタ (オフセット = 4h) [リセット = X0h]

DEVICE_ID4 を表 9-7 に示します。

概略表に戻ります。

表 9-7. DEVICE_ID4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID4	R	Xh	

9.1.6 DEVICE_ID5 レジスタ (オフセット = 5h) [リセット = X0h]

DEVICE_ID5 を表 9-8 に示します。

概略表に戻ります。

表 9-8. DEVICE_ID5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID5	R	Xh	

9.1.7 DEVICE_ID6 レジスタ (オフセット = 6h) [リセット = X0h]

DEVICE_ID6 を表 9-9 に示します。

概略表に戻ります。

表 9-9. DEVICE_ID6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID6	R	Xh	

9.1.8 DEVICE_ID7 レジスタ (オフセット = 7h) [リセット = X0h]

DEVICE_ID7 を表 9-10 に示します。

概略表に戻ります。

表 9-10. DEVICE_ID7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID7	R	Xh	

Copyright © 2026 Texas Instruments Incorporated

9.1.9 CNT0_COUNT レジスタ (オフセット = 10h) [リセット = X0h]

CNT0_COUNT を表 9-11 に示します。

概略表に戻ります。

表 9-11. CNT0_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT0_COUNT	R	Xh	

9.1.10 CNT1_COUNT レジスタ (オフセット = 11h) [リセット = X0h]

CNT1_COUNT を表 9-12 に示します。

概略表に戻ります。

表 9-12. CNT1_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT1_COUNT	R	Xh	

9.1.11 CNT2_COUNT レジスタ (オフセット = 12h) [リセット = X0h]

CNT2_COUNT を表 9-13 に示します。

概略表に戻ります。

表 9-13. CNT2_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT2_COUNT	R	Xh	

9.1.12 CNT3_COUNT レジスタ (オフセット = 13h) [リセット = X0h]

CNT3_COUNT を表 9-14 に示します。

概略表に戻ります。

表 9-14. CNT3_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT3_COUNT	R	Xh	

9.1.13 CNT4_COUNT_LSB レジスタ (オフセット = 14h) [リセット = X0h]

CNT4_COUNT_LSB を表 9-15 に示します。

概略表に戻ります。

表 9-15. CNT4_COUNT_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_COUNT_LSB	R	Xh	

9.1.14 CNT4_COUNT_MSB レジスタ (オフセット = 15h) [リセット = X0h]

CNT4_COUNT_MSB を表 9-16 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-16. CNT4_COUNT_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_COUNT_MSB	R	Xh	

9.1.15 CNT5_COUNT_LSB レジスタ (オフセット = 16h) [リセット = X0h]

CNT5_COUNT_LSB を表 9-17 に示します。

概略表に戻ります。

表 9-17. CNT5_COUNT_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_COUNT_LSB	R	Xh	

9.1.16 CNT5_COUNT_MSB レジスタ (オフセット = 17h) [リセット = X0h]

CNT5_COUNT_MSB を表 9-18 に示します。

概略表に戻ります。

表 9-18. CNT5_COUNT_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_COUNT_MSB	R	Xh	

9.1.17 CNT6_COUNT レジスタ (オフセット = 18h) [リセット = X0h]

CNT6_COUNT を表 9-19 に示します。

概略表に戻ります。

表 9-19. CNT6_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT6_COUNT	R	Xh	

9.1.18 CNT7_COUNT レジスタ (オフセット = 19h) [リセット = X0h]

CNT7_COUNT を表 9-20 に示します。

概略表に戻ります。

表 9-20. CNT7_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT7_COUNT	R	Xh	

9.1.19 CNT8_COUNT レジスタ (オフセット = 1Ah) [リセット = X0h]

CNT8_COUNT を表 9-21 に示します。

概略表に戻ります。

表 9-21. CNT8_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT8_COUNT	R	Xh	

Copyright © 2026 Texas Instruments Incorporated

9.1.20 CNT9_COUNT レジスタ (オフセット = 1Bh) [リセット = X0h]

CNT9_COUNT を表 9-22 に示します。

概略表に戻ります。

表 9-22. CNT9_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT9_COUNT	R	Xh	

9.1.21 CNT0_DATA レジスタ (オフセット = 20h) [リセット = X0h]

CNT0_DATA を表 9-23 に示します。

概略表に戻ります。

表 9-23. CNT0_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT0_DATA	R/W	Xh	

9.1.22 CNT1_DATA レジスタ (オフセット = 21h) [リセット = X0h]

CNT1_DATA を表 9-24 に示します。

概略表に戻ります。

表 9-24. CNT1_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT1_DATA	R/W	Xh	

9.1.23 CNT2_DATA レジスタ (オフセット = 22h) [リセット = X0h]

CNT2_DATA を表 9-25 に示します。

概略表に戻ります。

表 9-25. CNT2_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT2_DATA	R/W	Xh	

9.1.24 CNT3_DATA レジスタ (オフセット = 23h) [リセット = X0h]

CNT3_DATA を表 9-26 に示します。

概略表に戻ります。

表 9-26. CNT3_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT3_DATA	R/W	Xh	

9.1.25 CNT4_DATA_LSB レジスタ (オフセット = 24h) [リセット = X0h]

CNT4_DATA_LSB を表 9-27 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-27. CNT4_DATA_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_DATA_LSB	R/W	Xh	

9.1.26 CNT4_DATA_MSB レジスタ (オフセット = 25h) [リセット = X0h]

CNT4_DATA_MSB を表 9-28 に示します。

概略表に戻ります。

表 9-28. CNT4_DATA_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_DATA_MSB	R/W	Xh	

9.1.27 CNT5_DATA_LSB レジスタ (オフセット = 26h) [リセット = X0h]

CNT5_DATA_LSB を表 9-29 に示します。

概略表に戻ります。

表 9-29. CNT5_DATA_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_DATA_LSB	R/W	Xh	

9.1.28 CNT5_DATA_MSB レジスタ (オフセット = 27h) [リセット = X0h]

CNT5_DATA_MSB を表 9-30 に示します。

概略表に戻ります。

表 9-30. CNT5_DATA_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_DATA_MSB	R/W	Xh	

9.1.29 CNT6_DATA レジスタ (オフセット = 28h) [リセット = X0h]

CNT6_DATA を表 9-31 に示します。

概略表に戻ります。

表 9-31. CNT6_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT6_DATA	R/W	Xh	

9.1.30 CNT7_DATA レジスタ (オフセット = 29h) [リセット = X0h]

CNT7_DATA を表 9-32 に示します。

概略表に戻ります。

表 9-32. CNT7_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT7_DATA	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

9.1.31 CNT8_DATA レジスタ (オフセット = 2Ah) [リセット = X0h]

CNT8_DATA を表 9-33 に示します。

概略表に戻ります。

表 9-33. CNT8_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT8_DATA	R/W	Xh	

9.1.32 CNT9_DATA レジスタ (オフセット = 2Bh) [リセット = X0h]

CNT9_DATA を表 9-34 に示します。

概略表に戻ります。

表 9-34. CNT9_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT9_DATA	R/W	Xh	

9.1.33 WDT_TIMEOUT_DATA レジスタ (オフセット = 30h) [リセット = X0h]

表 9-35 に、WDT_TIMEOUT_DATA を示します。

概略表に戻ります。

表 9-35. WDT_TIMEOUT_DATA レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	WATCHDOG_TIMEOUT_DATA	R/W	Xh	

9.1.34 WDT_OUTPUT_DATA レジスタ (オフセット = 31h) [リセット = X0h]

表 9-36 に、WDT_OUTPUT_DATA を示します。

概略表に戻ります。

表 9-36. WDT_OUTPUT_DATA レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	WATCHDOG_OUTPUT_DATA	R/W	Xh	

9.1.35 WDT_STATUS レジスタ (オフセット = 32h) [リセット = X0h]

表 9-37 に、WDT_STATUS を示します。

概略表に戻ります。

表 9-37. WDT_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	WDT_STATUS	R	Xh	ウォッチドッグの故障/ タイムアウト出力

9.1.36 PGEN_DATA_LSB レジスタ (オフセット = 40h) [リセット = X0h]

表 9-38 に、PGEN_DATA_LSB を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-38. PGEN_DATA_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_LSB	R/W	Xh	

9.1.37 PGEN_DATA_MSB レジスタ (オフセット = 41h) [リセット = X0h]

表 9-39 に、PGEN_DATA_MSB を示します。

概略表に戻ります。

表 9-39. PGEN_DATA_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_MSB	R/W	Xh	

9.1.38 STATE_MACHINE レジスタ (オフセット = 50h) [リセット = X0h]

表 9-40 に、STATE_MACHINE を示します。

概略表に戻ります。

表 9-40. STATE_MACHINE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R	0h	予約済み
2:0	CURRENT_STATE	R	Xh	

9.1.39 STATE0_OUT レジスタ (オフセット = 51h) [リセット = X0h]

STATE0_OUT を表 9-41 に示します。

概略表に戻ります。

表 9-41. STATE0_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE0_OUT	R/W	Xh	

9.1.40 STATE1_OUT レジスタ (オフセット = 52h) [リセット = X0h]

STATE1_OUT を表 9-42 に示します。

概略表に戻ります。

表 9-42. STATE1_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE1_OUT	R/W	Xh	

9.1.41 STATE2_OUT レジスタ (オフセット = 53h) [リセット = X0h]

STATE2_OUT を表 9-43 に示します。

概略表に戻ります。

表 9-43. STATE2_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE2_OUT	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

9.1.42 STATE3_OUT レジスタ (オフセット = 54h) [リセット = X0h]

STATE3_OUT を表 9-44 に示します。

概略表に戻ります。

表 9-44. STATE3_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE3_OUT	R/W	Xh	

9.1.43 STATE4_OUT レジスタ (オフセット = 55h) [リセット = X0h]

STATE4_OUT を表 9-45 に示します。

概略表に戻ります。

表 9-45. STATE4_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE4_OUT	R/W	Xh	

9.1.44 STATE5_OUT レジスタ (オフセット = 56h) [リセット = X0h]

STATE5_OUT を表 9-46 に示します。

概略表に戻ります。

表 9-46. STATE5_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE5_OUT	R/W	Xh	

9.1.45 STATE6_OUT レジスタ (オフセット = 57h) [リセット = X0h]

STATE6_OUT を表 9-47 に示します。

概略表に戻ります。

表 9-47. STATE6_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE6_OUT	R/W	Xh	

9.1.46 STATE7_OUT レジスタ (オフセット = 58h) [リセット = X0h]

STATE7_OUT を表 9-48 に示します。

概略表に戻ります。

表 9-48. STATE7_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STATE7_OUT	R/W	Xh	

9.1.47 VREF_ACMP0 レジスタ (オフセット = 70h) [リセット = X0h]

VREF_ACMP0 を表 9-49 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-49. VREF_ACMP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP0	R/W	Xh	

9.1.48 VREF_ACMP1 レジスタ (オフセット = 71h) [リセット = X0h]

VREF_ACMP1 を表 9-50 に示します。

概略表に戻ります。

表 9-50. VREF_ACMP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP1	R/W	Xh	

9.1.49 VREF_ACMP2 レジスタ (オフセット = 72h) [リセット = X0h]

VREF_ACMP2 を表 9-51 に示します。

概略表に戻ります。

表 9-51. VREF_ACMP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP2	R/W	Xh	

9.1.50 VREF_ACMP3 レジスタ (オフセット = 73h) [リセット = X0h]

VREF_ACMP3 を表 9-52 に示します。

概略表に戻ります。

表 9-52. VREF_ACMP3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP3	R/W	Xh	

9.1.51 VREF_McACMP0_0 レジスタ (オフセット = 74h) [リセット = X0h]

VREF_McACMP0_0 を表 9-53 に示します。

概略表に戻ります。

表 9-53. VREF_McACMP0_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP0_0	R/W	Xh	

9.1.52 VREF_McACMP0_1 レジスタ (オフセット = 75h) [リセット = X0h]

VREF_McACMP0_1 を表 9-54 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-54. VREF_McACMP0_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP0_1	R/W	Xh	

9.1.53 VREF_McACMP1_0 レジスタ (オフセット = 76h) [リセット = X0h]

VREF_McACMP1_0 を表 9-55 に示します。

概略表に戻ります。

表 9-55. VREF_McACMP1_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP1_0	R/W	Xh	

9.1.54 VREF_McACMP1_1 レジスタ (オフセット = 77h) [リセット = X0h]

VREF_McACMP1_1 を表 9-56 に示します。

概略表に戻ります。

表 9-56. VREF_McACMP1_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP1_1	R/W	Xh	

9.1.55 VREF_McACMP2_0 レジスタ (オフセット = 78h) [リセット = X0h]

VREF_McACMP2_0 を表 9-57 に示します。

概略表に戻ります。

表 9-57. VREF_McACMP2_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP2_0	R/W	Xh	

9.1.56 VREF_McACMP2_1 レジスタ (オフセット = 79h) [リセット = X0h]

VREF_McACMP2_1 を表 9-58 に示します。

概略表に戻ります。

表 9-58. VREF_McACMP2_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP2_1	R/W	Xh	

9.1.57 VREF_McACMP3_0 レジスタ (オフセット = 7Ah) [リセット = X0h]

VREF_McACMP3_0 を表 9-59 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-59. VREF_McACMP3_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP3_0	R/W	Xh	

9.1.58 VREF_McACMP3_1 レジスタ (オフセット = 7Bh) [リセット = X0h]

VREF_McACMP3_1 を表 9-60 に示します。

概略表に戻ります。

表 9-60. VREF_McACMP3_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP3_1	R/W	Xh	

9.1.59 VIRTUAL_INPUT レジスタ (オフセット = E0h) [リセット = X0h]

表 9-61 に、VIRTUAL_INPUT を示します。

概略表に戻ります。

表 9-61. VIRTUAL_INPUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	VIRTUAL_IN	R/W	Xh	

9.1.60 VIRTUAL_OUTPUT レジスタ (オフセット = E1h) [リセット = X0h]

表 9-62 に、VIRTUAL_OUTPUT を示します。

概略表に戻ります。

表 9-62. VIRTUAL_OUTPUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	VIRTUAL_OUT	R	Xh	

9.1.61 SER_COMM_CFG レジスタ (オフセット = FDh) [リセット = X0h]

表 9-63 に、SER_COMM_CFG を示します。

概略表に戻ります。

表 9-63. SER_COMM_CFG レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	ADDR_INC	R/W	Xh	アドレスの自動インクリメントを無効化 0h = イネーブル 1h=ディセーブル

9.1.62 CRC_STATUS レジスタ (オフセット = FEh) [リセット = X0h]

表 9-64 に、CRC_STATUS を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-64. CRC_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	ERR_CNT	R	0h	
4:1	予約済み	R	0h	予約済み
0	ERR_FLAG	R	Xh	

9.1.63 SER_COMM_WR_MASK レジスタ (オフセット = FFh) [リセット = X0h]

表 9-65 に、SER_COMM_WR_MASK を示します。

概略表に戻ります。

表 9-65. SER_COMM_WR_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	SER_COMM_WR_MASK	R/W	Xh	

9.2 TPLD2001_Cfg_0 のレジスタ

TPLD2001_Cfg_0 レジスタのメモリマップされたレジスタを、表 9-66 に示します。表 9-66 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-66. TPLD2001_CFG_0 のレジスタ

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
200h	CMX_0	予約済み	IO1_DOUT_CMX						
201h	CMX_1	予約済み	IO1_OE_CMX						
202h	CMX_2	予約済み	IO2_DOUT_CMX						
203h	CMX_3	予約済み	IO2_OE_CMX						
204h	CMX_4	予約済み	IO3_DOUT_CMX						
205h	CMX_5	予約済み	IO3_OE_CMX						
206h	CMX_6	予約済み	IO4_DOUT_CMX						
207h	CMX_7	予約済み	IO5_DOUT_CMX						
208h	CMX_8	予約済み	IO6_DOUT_CMX						
209h	CMX_9	予約済み	IO7_DOUT_CMX						
20Ah	CMX_10	予約済み	IO8_DOUT_CMX						
20Bh	CMX_11	予約済み	IO9_DOUT_CMX						
20Ch	CMX_12	予約済み	IO10_DOUT_CMX						
20Dh	CMX_13	予約済み	IO10_OE_CMX						
20Eh	CMX_14	予約済み	IO11_DOUT_CMX						
20Fh	CMX_15	予約済み	IO11_OE_CMX						
210h	CMX_16	予約済み	IO12_DOUT_CMX						
211h	CMX_17	予約済み	IO12_OE_CMX						
212h	CMX_18	予約済み	IO13_DOUT_CMX						
213h	CMX_19	予約済み	IO13_OE_CMX						
214h	CMX_20	予約済み	IO14_DOUT_CMX						
215h	CMX_21	予約済み	IO15_DOUT_CMX						
216h	CMX_22	予約済み	IO15_OE_CMX						
217h	CMX_23	予約済み	IO16_DOUT_CMX						
218h	CMX_24	予約済み	IO16_OE_CMX						
219h	CMX_25	予約済み	IO17_DOUT_CMX						
21Ah	CMX_26	予約済み	IO17_OE_CMX						
21Bh	CMX_27	予約済み	LUT2_0_IN0_/_DFF_CLK_IN_CMX						
21Ch	CMX_28	予約済み	LUT2_0_IN1_/_DFF_D_IN_CMX						
21Dh	CMX_29	予約済み	LUT2_1_IN0_/_DFF_CLK_IN_CMX						
21Eh	CMX_30	予約済み	LUT2_1_IN1_/_DFF_D_IN_CMX						
21Fh	CMX_31	予約済み	LUT2_2_IN0_/_DFF_CLK_IN_CMX						
220h	CMX_32	予約済み	LUT2_2_IN1_/_DFF_D_IN_CMX						
221h	CMX_33	予約済み	LUT2_3_IN0_/_PGEN_CLK_IN_CMX						
222h	CMX_34	予約済み	LUT2_3_IN1_/_PGEN_RST_IN_CMX						
223h	CMX_35	予約済み	LUT3_0_IN0_/_DFF_CLK_IN_CMX						
224h	CMX_36	予約済み	LUT3_0_IN1_/_DFF_D_IN_CMX						
225h	CMX_37	予約済み	LUT3_0_IN2_/_DFF_RST_IN_CMX						
226h	CMX_38	予約済み	LUT3_1_IN0_/_DFF_CLK_IN_CMX						
227h	CMX_39	予約済み	LUT3_1_IN1_/_DFF_D_IN_CMX						
228h	CMX_40	予約済み	LUT3_1_IN2_/_DFF_RST_IN_CMX						
229h	CMX_41	予約済み	LUT3_2_IN0_/_DFF/SR_CLK_IN_CMX						
22Ah	CMX_42	予約済み	LUT3_2_IN1_/_DFF/SR_D_IN_CMX						
22Bh	CMX_43	予約済み	LUT3_2_IN2_/_DFF/SR_RST_IN_CMX						
22Ch	CMX_44	予約済み	LUT3_3_IN0_/_DFF/SR_CLK_IN_CMX						
22Dh	CMX_45	予約済み	LUT3_3_IN1_/_DFF/SR_D_IN_CMX						
22Eh	CMX_46	予約済み	LUT3_3_IN2_/_DFF/SR_RST_IN_CMX						
22Fh	CMX_47	予約済み	LUT3_4_IN0_/_DFF/SR_CLK_IN_CMX						
230h	CMX_48	予約済み	LUT3_4_IN1_/_DFF/SR_D_IN_CMX						

Copyright © 2026 Texas Instruments Incorporated

表 9-66. TPLD2001_CFG_0 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
231h	CMX_49	予約済み	LUT3_4_IN2_/_DFF/SR_RST_IN_CMX						
232h	CMX_50	予約済み	LUT3_5_IN0_/_DFF/SR_CLK_IN_CMX						
233h	CMX_51	予約済み	LUT3_5_IN1_/_DFF/SR_D_IN_CMX						
234h	CMX_52	予約済み	LUT3_5_IN2_/_DFF/SR_RST_IN_CMX						
235h	CMX_53	予約済み	LUT3_6_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX						
236h	CMX_54	予約済み	LUT3_6_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX						
237h	CMX_55	予約済み	LUT3_6_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX						
238h	CMX_56	予約済み	LUT3_7_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX						
239h	CMX_57	予約済み	LUT3_7_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX						
23Ah	CMX_58	予約済み	LUT3_7_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX						
23Bh	CMX_59	予約済み	LUT3_8_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX						
23Ch	CMX_60	予約済み	LUT3_8_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX						
23Dh	CMX_61	予約済み	LUT3_8_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX						
23Eh	CMX_62	予約済み	LUT3_9_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX						
23Fh	CMX_63	予約済み	LUT3_9_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX						
240h	CMX_64	予約済み	LUT3_9_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX						
241h	CMX_65	予約済み	LUT3_10_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX						
242h	CMX_66	予約済み	LUT3_10_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX						
243h	CMX_67	予約済み	LUT3_10_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX						
244h	CMX_68	予約済み	LUT3_11_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX						
245h	CMX_69	予約済み	LUT3_11_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX						
246h	CMX_70	予約済み	LUT3_11_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX						
247h	CMX_71	予約済み	LUT4_0_IN0_/_DFF_CLK_IN_CMX						
248h	CMX_72	予約済み	LUT4_0_IN1_/_DFF_D_IN_CMX						
249h	CMX_73	予約済み	LUT4_0_IN2_/_DFF_RST_IN_CMX						
24Ah	CMX_74	予約済み	LUT4_0_IN3__CMX						
24Bh	CMX_75	予約済み	LUT4_1_IN0_/_DFF_CLK_IN_CMX						
24Ch	CMX_76	予約済み	LUT4_1_IN1_/_DFF_D_IN_CMX						
24Dh	CMX_77	予約済み	LUT4_1_IN2_/_DFF_RST_IN_CMX						
24Eh	CMX_78	予約済み	LUT4_1_IN3__CMX						
24Fh	CMX_79	予約済み	LUT4_2_IN0_/_DFF_CLK_IN__CMX						
250h	CMX_80	予約済み	LUT4_2_IN1_/_DFF_D_IN_CMX						
251h	CMX_81	予約済み	LUT4_2_IN2_/_DFF_RST_IN_CMX						
252h	CMX_82	予約済み	LUT4_2_IN3__CMX						
253h	CMX_83	予約済み	LUT4_3_IN0_/_DFF_CLK_IN__CMX						
254h	CMX_84	予約済み	LUT4_3_IN1_/_DFF_D_IN_CMX						
255h	CMX_85	予約済み	LUT4_3_IN2_/_DFF_RST_IN_CMX						
256h	CMX_86	予約済み	LUT4_3_IN3__CMX						
257h	CMX_87	予約済み	PFLT0_IN_CMX						
258h	CMX_88	予約済み	PFLT1_IN_CMX						
259h	CMX_89	予約済み	FILT_IN_CMX						
25Ah	CMX_90	予約済み	SM_ST0_EN0_CMX						
25Bh	CMX_91	予約済み	SM_ST0_EN1_CMX						
25Ch	CMX_92	予約済み	SM_ST0_EN2_CMX						
25Dh	CMX_93	予約済み	SM_ST1_EN0_CMX						
25Eh	CMX_94	予約済み	SM_ST1_EN1_CMX						
25Fh	CMX_95	予約済み	SM_ST1_EN2_CMX						
260h	CMX_96	予約済み	SM_ST2_EN0_CMX						
261h	CMX_97	予約済み	SM_ST2_EN1_CMX						
262h	CMX_98	予約済み	SM_ST2_EN2_CMX						
263h	CMX_99	予約済み	SM_ST3_EN0_CMX						
264h	CMX_100	予約済み	SM_ST3_EN1_CMX						
265h	CMX_101	予約済み	SM_ST3_EN2_CMX						
266h	CMX_102	予約済み	SM_ST4_EN0_CMX						

Copyright © 2026 Texas Instruments Incorporated

表 9-66. TPLD2001_CFG_0 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
267h	CMX_103	予約済み	SM_ST4_EN1_CMX						
268h	CMX_104	予約済み	SM_ST4_EN2_CMX						
269h	CMX_105	予約済み	SM_ST5_EN0_CMX						
26Ah	CMX_106	予約済み	SM_ST5_EN1_CMX						
26Bh	CMX_107	予約済み	SM_ST5_EN2_CMX						
26Ch	CMX_108	予約済み	SM_ST6_EN0_CMX						
26Dh	CMX_109	予約済み	SM_ST6_EN1_CMX						
26Eh	CMX_110	予約済み	SM_ST6_EN2_CMX						
26Fh	CMX_111	予約済み	SM_ST7_EN0_CMX						
270h	CMX_112	予約済み	SM_ST7_EN1_CMX						
271h	CMX_113	予約済み	SM_ST7_EN2_CMX						
272h	CMX_114	予約済み	SM_CLK_IN_CMX						
273h	CMX_115	予約済み	SM_RST_IN_CMX						
274h	CMX_116	予約済み	ACMP0_PWR_UP_CMX						
275h	CMX_117	予約済み	ACMP1_PWR_UP_CMX						
276h	CMX_118	予約済み	ACMP2_PWR_UP_CMX						
277h	CMX_119	予約済み	ACMP3_PWR_UP_CMX						
278h	CMX_120	予約済み	McACMP_ENABLE_CMX						
279h	CMX_121	予約済み	McACMP_RST_CMX						
27Ah	CMX_122	予約済み	OSC0_PWR_DOWN_CMX						
27Bh	CMX_123	予約済み	OSC1_PWR_DOWN_CMX						
27Ch	CMX_124	予約済み	OSC2_PWR_DOWN_CMX						
27Dh	CMX_125	予約済み	CNT6_FSM0_IN_CMX						
27Eh	CMX_126	予約済み	CNT6_FSM0_UP_CMX						
27Fh	CMX_127	予約済み	CNT6_FSM0_KEEP_CMX						
280h	CMX_128	予約済み	CNT6_FSM0_CLK_IN_CMX						
281h	CMX_129	予約済み	CNT7_FSM1_IN_CMX						
282h	CMX_130	予約済み	CNT7_FSM1_UP_CMX						
283h	CMX_131	予約済み	CNT7_FSM1_KEEP_CMX						
284h	CMX_132	予約済み	CNT7_FSM1_CLK_IN_CMX						
285h	CMX_133	予約済み	CNT8_FSM2_IN_CMX						
286h	CMX_134	予約済み	CNT8_FSM2_UP_CMX						
287h	CMX_135	予約済み	CNT8_FSM2_KEEP_CMX						
288h	CMX_136	予約済み	CNT8_FSM2_CLK_IN_CMX						
289h	CMX_137	予約済み	CNT9_FSM3_IN_CMX						
28Ah	CMX_138	予約済み	CNT9_FSM3_UP_CMX						
28Bh	CMX_139	予約済み	CNT9_FSM3_KEEP_CMX						
28Ch	CMX_140	予約済み	CNT9_FSM3_CLK_IN_CMX						
28Dh	CMX_141	予約済み	PWM_GEN0_PWR_UP_CMX						
28Eh	CMX_142	予約済み	PWM_GEN1_PWR_UP_CMX						
28Fh	CMX_143	予約済み	PWM_GEN2_PWR_UP_CMX						
290h	CMX_144	予約済み	PWM_GEN3_PWR_UP_CMX						
291h	CMX_145	予約済み	WDT_EN_CMX						
292h	CMX_146	予約済み	WDT_IN_CMX						
293h	CMX_147	予約済み	VIRTUAL_OUT0_CMX						
294h	CMX_148	予約済み	VIRTUAL_OUT1_CMX						
295h	CMX_149	予約済み	VIRTUAL_OUT2_CMX						
296h	CMX_150	予約済み	VIRTUAL_OUT3_CMX						
297h	CMX_151	予約済み	VIRTUAL_OUT4_CMX						
298h	CMX_152	予約済み	VIRTUAL_OUT5_CMX						
299h	CMX_153	予約済み	VIRTUAL_OUT6_CMX						
29Ah	CMX_154	予約済み	VIRTUAL_OUT7_CMX						
29Bh	CMX_155	予約済み	AMUX0_SEL_CMX						

Copyright © 2026 Texas Instruments Incorporated

表 9-66. TPLD2001_CFG_0 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
29Ch	CMX_156	予約済み	AMUX1_SEL_CMX						

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-67 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-67. TPLD2001_Cfg_0 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.2.1 CMX_0 レジスタ (オフセット = 200h) [リセット = X0h]

CMX_0 を表 9-68 に示します。

概略表に戻ります。

IO1 DOUT 接続マルチプレクサの配線選択

表 9-68. CMX_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-68. CMX_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	IO1_DOUT_CMX	R/W	Xh	0h = GND 1h = IN0 DIN 2h = IO1 / VIO_0 DIN 3h = IO2 / VIO_1 DIN 4h = IO3 / VIO_2 DIN 5h = IO4 / VIO_3 DIN 6h = IO5 / VIO_4 DIN 7h = IO6 / VIO_5 DIN 8h = IO7 / VIO_6 DIN 9h = IO8 Ah = IO9 DIN/VIO_7 DIN Bh = IO10 DIN Ch = IO11 DIN Dh = IO12 DIN Eh = IO13 DIN Fh = IO14 DIN 10h = IO15 DIN 11h = IO16 DIN 12h = IO17 DIN 13h = LUT2_0 OUT 14h = LUT2_1 OUT 15h = LUT2_2 OUT 16h = LUT2_3 OUT 17h = LUT3_0 OUT 18h = LUT3_1 OUT 19h = LUT3_2 OUT 1Ah = LUT3_3 OUT 1Bh = LUT3_4 OUT 1Ch = LUT3_5 OUT 1Dh = LUT3_6 / LDC OUT 1Eh = LUT3_7 / LDC OUT 1Fh = LUT3_8 / LDC OUT 20h = LUT3_9 / LDC OUT 21h = LUT3_10 / LDC OUT 22h = LUT3_11 / LDC OUT 23h = LUT4_0 OUT 24h = LUT4_1 OUT 25h = LUT4_2 OUT 26h = LUT4_3 OUT 27h = PFLT0 OUT 28h = PFLT1 OUT 29h = FLT / EDET OUT 2Ah = SM OUT0 2Bh = SM OUT1 2Ch = SM OUT2 2Dh = SM OUT3 2Eh = SM OUT4 2Fh = SM OUT5 30h = SM OUT6 31h = SM OUT7 32h = ACMP0 OUT 33h = ACMP1 OUT 34h = ACMP2 OUT 35h = ACMP3 OUT 36h = McACMP CH0_0 OUT 37h = McACMP CH0_1 OUT 38h = McACMP CH1_0 OUT 39h = McACMP CH1_1 OUT 3Ah = McACMP CH2_0 OUT 3Bh = McACMP CH2_1 OUT 3Ch = McACMP CH3_0 OUT 3Dh = McACMP CH3_1 OUT 3Eh = McACMP DATA RDY 3Fh = OSC0 OUT0 40h = OSC0 OUT1 41h = OSC1 OUT0 42h = OSC1 OUT1 43h = OSC2 OUT 44h = CNT6 OUT 45h = CNT7 OUT 46h = CNT8 OUT 47h = CNT9 OUT 48h = PWM GEN0 OUTN 49h = PWM GEN0 OUTP 4Ah = PWM GEN1 OUTN 4Bh = PWM GEN1 OUTP 4Ch = PWM GEN2 OUTN 4Dh = PWM GEN2 OUTP 4Eh = PWM GEN3 OUTN 4Fh = PWM GEN3 OUTP 50h = WDT OUT 51h = POR OUT 52h = 予約済み 53h = 予約済み 54h = 予約済み 55h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-68. CMX_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				56h = 予約済み 57h = 予約済み 58h = 予約済み 59h = 予約済み 5Ah = 予約済み 5Bh = 予約済み 5Ch = 予約済み 5Dh = 予約済み 5Eh = 予約済み 5Fh = 予約済み 60h = 予約済み 61h = 予約済み 62h = 予約済み 63h = 予約済み 64h = 予約済み 65h = 予約済み 66h = 予約済み 67h = 予約済み 68h = 予約済み 69h = 予約済み 6Ah = 予約済み 6Bh = 予約済み 6Ch = 予約済み 6Dh = 予約済み 6Eh = 予約済み 6Fh = 予約済み 70h = 予約済み 71h = 予約済み 72h = 予約済み 73h = 予約済み 74h = 予約済み 75h = 予約済み 76h = 予約済み 77h = 予約済み 78h = 予約済み 79h = 予約済み 7Ah = 予約済み 7Bh = 予約済み 7Ch = 予約済み 7Dh = 予約済み 7Eh = 予約済み 7Fh = VCC

9.2.2 CMX_1 レジスタ (オフセット = 201h) [リセット = X0h]

CMX_1 を表 9-69 に示します。

概略表に戻ります。

IO1 OE 接続マルチプレクサの配線選択

表 9-69. CMX_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO1_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.3 CMX_2 レジスタ (オフセット = 202h) [リセット = X0h]

CMX_2 を表 9-70 に示します。

概略表に戻ります。

IO2 DOUT 接続マルチプレクサの配線選択

表 9-70. CMX_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-70. CMX_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	IO2_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.4 CMX_3 レジスタ (オフセット = 203h) [リセット = X0h]

CMX_3 を表 9-71 に示します。

概略表に戻ります。

IO2 OE 接続マルチプレクサの配線選択

表 9-71. CMX_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO2_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.5 CMX_4 レジスタ (オフセット = 204h) [リセット = X0h]

CMX_4 を表 9-72 に示します。

概略表に戻ります。

IO3 DOUT 接続マルチプレクサの配線選択

表 9-72. CMX_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO3_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.6 CMX_5 レジスタ (オフセット = 205h) [リセット = X0h]

CMX_5 を表 9-73 に示します。

概略表に戻ります。

IO3 OE 接続マルチプレクサの配線選択

表 9-73. CMX_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO3_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.7 CMX_6 レジスタ (オフセット = 206h) [リセット = X0h]

CMX_6 を表 9-74 に示します。

概略表に戻ります。

IO4 DOUT 接続マルチプレクサの配線選択

表 9-74. CMX_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO4_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.8 CMX_7 レジスタ (オフセット = 207h) [リセット = X0h]

CMX_7 を表 9-75 に示します。

概略表に戻ります。

IO5 DOUT 接続マルチプレクサの配線選択

表 9-75. CMX_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO5_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.9 CMX_8 レジスタ (オフセット = 208h) [リセット = X0h]

CMX_8 を表 9-76 に示します。

概略表に戻ります。

IO6 DOUT 接続マルチプレクサの配線選択

表 9-76. CMX_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO6_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.10 CMX_9 レジスタ (オフセット = 209h) [リセット = X0h]

CMX_9 を表 9-77 に示します。

概略表に戻ります。

IO7 DOUT 接続マルチプレクサの配線選択

表 9-77. CMX_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO7_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.11 CMX_10 レジスタ (オフセット = 20Ah) [リセット = X0h]

CMX_10 を表 9-78 に示します。

概略表に戻ります。

IO8 DOUT 接続マルチプレクサの配線選択

表 9-78. CMX_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO8_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.12 CMX_11 レジスタ (オフセット = 20Bh) [リセット = X0h]

CMX_11 を表 9-79 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

IO9 DOUT 接続マルチプレクサの配線選択

表 9-79. CMX_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO9_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.13 CMX_12 レジスタ (オフセット = 20Ch) [リセット = X0h]

CMX_12 を表 9-80 に示します。

概略表に戻ります。

IO10 DOUT 接続マルチプレクサの配線選択

表 9-80. CMX_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO10_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.14 CMX_13 レジスタ (オフセット = 20Dh) [リセット = X0h]

CMX_13 を表 9-81 に示します。

概略表に戻ります。

IO10 OE 接続マルチプレクサの配線選択

表 9-81. CMX_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO10_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.15 CMX_14 レジスタ (オフセット = 20Eh) [リセット = X0h]

CMX_14 を表 9-82 に示します。

概略表に戻ります。

IO11 DOUT 接続マルチプレクサの配線選択

表 9-82. CMX_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO11_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.16 CMX_15 レジスタ (オフセット = 20Fh) [リセット = X0h]

CMX_15 を表 9-83 に示します。

概略表に戻ります。

IO11 OE 接続マルチプレクサの配線選択

表 9-83. CMX_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-83. CMX_15 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	IO11_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.17 CMX_16 レジスタ (オフセット = 210h) [リセット = X0h]

CMX_16 を表 9-84 に示します。

概略表に戻ります。

IO12 DOUT 接続マルチプレクサの配線選択

表 9-84. CMX_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO12_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.18 CMX_17 レジスタ (オフセット = 211h) [リセット = X0h]

CMX_17 を表 9-85 に示します。

概略表に戻ります。

IO12 OE 接続マルチプレクサの配線選択

表 9-85. CMX_17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO12_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.19 CMX_18 レジスタ (オフセット = 212h) [リセット = X0h]

CMX_18 を表 9-86 に示します。

概略表に戻ります。

IO13 DOUT 接続マルチプレクサの配線選択

表 9-86. CMX_18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO13_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.20 CMX_19 レジスタ (オフセット = 213h) [リセット = X0h]

CMX_19 を表 9-87 に示します。

概略表に戻ります。

IO13 OE 接続マルチプレクサの配線選択

表 9-87. CMX_19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO13_OE_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.21 CMX_20 レジスタ (オフセット = 214h) [リセット = X0h]

CMX_20 を表 9-88 に示します。

概略表に戻ります。

IO14 DOUT 接続マルチプレクサの配線選択

表 9-88. CMX_20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO14_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.22 CMX_21 レジスタ (オフセット = 215h) [リセット = X0h]

CMX_21 を表 9-89 に示します。

概略表に戻ります。

IO15 DOUT 接続マルチプレクサの配線選択

表 9-89. CMX_21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO15_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.23 CMX_22 レジスタ (オフセット = 216h) [リセット = X0h]

CMX_22 を表 9-90 に示します。

概略表に戻ります。

IO15 OE 接続マルチプレクサの配線選択

表 9-90. CMX_22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO15_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.24 CMX_23 レジスタ (オフセット = 217h) [リセット = X0h]

CMX_23 を表 9-91 に示します。

概略表に戻ります。

IO16 DOUT 接続マルチプレクサの配線選択

表 9-91. CMX_23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO16_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.25 CMX_24 レジスタ (オフセット = 218h) [リセット = X0h]

CMX_24 を表 9-92 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

IO16 OE 接続マルチプレクサの配線選択

表 9-92. CMX_24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO16_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.26 CMX_25 レジスタ (オフセット = 219h) [リセット = X0h]

CMX_25 を表 9-93 に示します。

概略表に戻ります。

IO17 DOUT 接続マルチプレクサの配線選択

表 9-93. CMX_25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO17_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.27 CMX_26 レジスタ (オフセット = 21Ah) [リセット = X0h]

CMX_26 を表 9-94 に示します。

概略表に戻ります。

IO17 OE 接続マルチプレクサの配線選択

表 9-94. CMX_26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO17_OE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.28 CMX_27 レジスタ (オフセット = 21Bh) [リセット = X0h]

CMX_27 を表 9-95 に示します。

概略表に戻ります。

LUT2_0 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-95. CMX_27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_0_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.29 CMX_28 レジスタ (オフセット = 21Ch) [リセット = X0h]

CMX_28 を表 9-96 に示します。

概略表に戻ります。

LUT2_0 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-96. CMX_28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-96. CMX_28 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	LUT2_0_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.30 CMX_29 レジスタ (オフセット = 21Dh) [リセット = X0h]

CMX_29 を表 9-97 に示します。

概略表に戻ります。

LUT2_1 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-97. CMX_29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_1_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.31 CMX_30 レジスタ (オフセット = 21Eh) [リセット = X0h]

CMX_30 を表 9-98 に示します。

概略表に戻ります。

LUT2_1 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-98. CMX_30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_1_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.32 CMX_31 レジスタ (オフセット = 21Fh) [リセット = X0h]

CMX_31 を表 9-99 に示します。

概略表に戻ります。

LUT2_2 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-99. CMX_31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_2_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.33 CMX_32 レジスタ (オフセット = 220h) [リセット = X0h]

CMX_32 を表 9-100 に示します。

概略表に戻ります。

LUT2_2 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-100. CMX_32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_2_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.34 CMX_33 レジスタ (オフセット = 221h) [リセット = X0h]

CMX_33 を表 9-101 に示します。

概略表に戻ります。

LUT2_3 IN0/PGEN CLK IN 接続マルチプレクサの配線選択

表 9-101. CMX_33 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_3_IN0_/_PGEN_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.35 CMX_34 レジスタ (オフセット = 222h) [リセット = X0h]

CMX_34 を表 9-102 に示します。

概略表に戻ります。

LUT2_3 IN1/PGEN RST IN 接続マルチプレクサの配線選択

表 9-102. CMX_34 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_3_IN1_/_PGEN_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.36 CMX_35 レジスタ (オフセット = 223h) [リセット = X0h]

CMX_35 を表 9-103 に示します。

概略表に戻ります。

LUT3_0 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-103. CMX_35 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_0_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.37 CMX_36 レジスタ (オフセット = 224h) [リセット = X0h]

CMX_36 を表 9-104 に示します。

概略表に戻ります。

LUT3_0 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-104. CMX_36 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_0_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.38 CMX_37 レジスタ (オフセット = 225h) [リセット = X0h]

CMX_37 を表 9-105 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

LUT3_0 IN2/DFF RST IN 接続マルチプレクサの配線選択

表 9-105. CMX_37 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_0_IN2_/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.39 CMX_38 レジスタ (オフセット = 226h) [リセット = X0h]

CMX_38 を表 9-106 に示します。

概略表に戻ります。

LUT3_1 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-106. CMX_38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_1_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.40 CMX_39 レジスタ (オフセット = 227h) [リセット = X0h]

CMX_39 を表 9-107 に示します。

概略表に戻ります。

LUT3_1 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-107. CMX_39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_1_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.41 CMX_40 レジスタ (オフセット = 228h) [リセット = X0h]

CMX_40 を表 9-108 に示します。

概略表に戻ります。

LUT3_1 IN2/DFF RST IN 接続マルチプレクサの配線選択

表 9-108. CMX_40 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_1_IN2_/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.42 CMX_41 レジスタ (オフセット = 229h) [リセット = X0h]

CMX_41 を表 9-109 に示します。

概略表に戻ります。

LUT3_2 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

Copyright © 2026 Texas Instruments Incorporated

表 9-109. CMX_41 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_2_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.43 CMX_42 レジスタ (オフセット = 22Ah) [リセット = X0h]

CMX_42 を表 9-110 に示します。

概略表に戻ります。

LUT3_2 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

表 9-110. CMX_42 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_2_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.44 CMX_43 レジスタ (オフセット = 22Bh) [リセット = X0h]

CMX_43 を表 9-111 に示します。

概略表に戻ります。

LUT3_2 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

表 9-111. CMX_43 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_2_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.45 CMX_44 レジスタ (オフセット = 22Ch) [リセット = X0h]

CMX_44 を表 9-112 に示します。

概略表に戻ります。

LUT3_3 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

表 9-112. CMX_44 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_3_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.46 CMX_45 レジスタ (オフセット = 22Dh) [リセット = X0h]

CMX_45 を表 9-113 に示します。

概略表に戻ります。

LUT3_3 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

表 9-113. CMX_45 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-113. CMX_45 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	LUT3_3_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.47 CMX_46 レジスタ (オフセット = 22Eh) [リセット = X0h]

CMX_46 を表 9-114 に示します。

概略表に戻ります。

LUT3_3 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

表 9-114. CMX_46 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_3_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.48 CMX_47 レジスタ (オフセット = 22Fh) [リセット = X0h]

CMX_47 を表 9-115 に示します。

概略表に戻ります。

LUT3_4 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

表 9-115. CMX_47 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_4_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.49 CMX_48 レジスタ (オフセット = 230h) [リセット = X0h]

CMX_48 を表 9-116 に示します。

概略表に戻ります。

LUT3_4 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

表 9-116. CMX_48 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_4_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.50 CMX_49 レジスタ (オフセット = 231h) [リセット = X0h]

CMX_49 を表 9-117 に示します。

概略表に戻ります。

LUT3_4 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

表 9-117. CMX_49 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-117. CMX_49 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	LUT3_4_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.51 CMX_50 レジスタ (オフセット = 232h) [リセット = X0h]

CMX_50 を表 9-118 に示します。

概略表に戻ります。

LUT3_5 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

表 9-118. CMX_50 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_5_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.52 CMX_51 レジスタ (オフセット = 233h) [リセット = X0h]

CMX_51 を表 9-119 に示します。

概略表に戻ります。

LUT3_5 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

表 9-119. CMX_51 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_5_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.53 CMX_52 レジスタ (オフセット = 234h) [リセット = X0h]

CMX_52 を表 9-120 に示します。

概略表に戻ります。

LUT3_5 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

表 9-120. CMX_52 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_5_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.54 CMX_53 レジスタ (オフセット = 235h) [リセット = X0h]

CMX_53 を表 9-121 に示します。

概略表に戻ります。

LUT3_6 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

表 9-121. CMX_53 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-121. CMX_53 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	LUT3_6_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.55 CMX_54 レジスタ (オフセット = 236h) [リセット = X0h]

CMX_54 を表 9-122 に示します。

概略表に戻ります。

LUT3_6 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

表 9-122. CMX_54 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_6_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.56 CMX_55 レジスタ (オフセット = 237h) [リセット = X0h]

CMX_55 を表 9-123 に示します。

概略表に戻ります。

LUT3_6 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

表 9-123. CMX_55 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_6_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.57 CMX_56 レジスタ (オフセット = 238h) [リセット = X0h]

CMX_56 を表 9-124 に示します。

概略表に戻ります。

LUT3_7 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

表 9-124. CMX_56 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_7_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.58 CMX_57 レジスタ (オフセット = 239h) [リセット = X0h]

CMX_57 を表 9-125 に示します。

概略表に戻ります。

LUT3_7 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

Copyright © 2026 Texas Instruments Incorporated

表 9-125. CMX_57 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_7_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.59 CMX_58 レジスタ (オフセット = 23Ah) [リセット = X0h]

CMX_58 を表 9-126 に示します。

概略表に戻ります。

LUT3_7 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

表 9-126. CMX_58 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_7_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.60 CMX_59 レジスタ (オフセット = 23Bh) [リセット = X0h]

CMX_59 を表 9-127 に示します。

概略表に戻ります。

LUT3_8 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

表 9-127. CMX_59 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_8_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.61 CMX_60 レジスタ (オフセット = 23Ch) [リセット = X0h]

CMX_60 を表 9-128 に示します。

概略表に戻ります。

LUT3_8 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

表 9-128. CMX_60 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_8_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.62 CMX_61 レジスタ (オフセット = 23Dh) [リセット = X0h]

CMX_61 を表 9-129 に示します。

概略表に戻ります。

LUT3_8 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

Copyright © 2026 Texas Instruments Incorporated

表 9-129. CMX_61 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_8_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.63 CMX_62 レジスタ (オフセット = 23Eh) [リセット = X0h]

CMX_62 を表 9-130 に示します。

概略表に戻ります。

LUT3_9 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

表 9-130. CMX_62 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_9_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.64 CMX_63 レジスタ (オフセット = 23Fh) [リセット = X0h]

CMX_63 を表 9-131 に示します。

概略表に戻ります。

LUT3_9 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

表 9-131. CMX_63 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_9_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.65 CMX_64 レジスタ (オフセット = 240h) [リセット = X0h]

CMX_64 を表 9-132 に示します。

概略表に戻ります。

LUT3_9 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

表 9-132. CMX_64 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_9_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.66 CMX_65 レジスタ (オフセット = 241h) [リセット = X0h]

CMX_65 を表 9-133 に示します。

概略表に戻ります。

LUT3_10 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

Copyright © 2026 Texas Instruments Incorporated

表 9-133. CMX_65 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_10_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.67 CMX_66 レジスタ (オフセット = 242h) [リセット = X0h]

CMX_66 を表 9-134 に示します。

概略表に戻ります。

LUT3_10 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

表 9-134. CMX_66 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_10_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.68 CMX_67 レジスタ (オフセット = 243h) [リセット = X0h]

CMX_67 を表 9-135 に示します。

概略表に戻ります。

LUT3_10 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

表 9-135. CMX_67 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_10_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.69 CMX_68 レジスタ (オフセット = 244h) [リセット = X0h]

CMX_68 を表 9-136 に示します。

概略表に戻ります。

LUT3_11 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

表 9-136. CMX_68 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_11_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.70 CMX_69 レジスタ (オフセット = 245h) [リセット = X0h]

CMX_69 を表 9-137 に示します。

概略表に戻ります。

LUT3_11 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

Copyright © 2026 Texas Instruments Incorporated

表 9-137. CMX_69 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_11_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.71 CMX_70 レジスタ (オフセット = 246h) [リセット = X0h]

CMX_70 を表 9-138 に示します。

概略表に戻ります。

LUT3_11 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

表 9-138. CMX_70 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_11_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.72 CMX_71 レジスタ (オフセット = 247h) [リセット = X0h]

CMX_71 を表 9-139 に示します。

概略表に戻ります。

LUT4_0 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-139. CMX_71 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_0_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.73 CMX_72 レジスタ (オフセット = 248h) [リセット = X0h]

CMX_72 を表 9-140 に示します。

概略表に戻ります。

LUT4_0 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-140. CMX_72 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_0_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.74 CMX_73 レジスタ (オフセット = 249h) [リセット = X0h]

CMX_73 を表 9-141 に示します。

概略表に戻ります。

LUT4_0 IN2/DFF RST IN 接続マルチプレクサの配線選択

表 9-141. CMX_73 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-141. CMX_73 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	LUT4_0_IN2_/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.75 CMX_74 レジスタ (オフセット = 24Ah) [リセット = X0h]

CMX_74 を表 9-142 に示します。

概略表に戻ります。

LUT4_0 IN3 接続マルチプレクサの配線選択

表 9-142. CMX_74 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_0_IN3__CMX	R/W	Xh	CMX_0 と同じオプション

9.2.76 CMX_75 レジスタ (オフセット = 24Bh) [リセット = X0h]

CMX_75 を表 9-143 に示します。

概略表に戻ります。

LUT4_1 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-143. CMX_75 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.77 CMX_76 レジスタ (オフセット = 24Ch) [リセット = X0h]

CMX_76 を表 9-144 に示します。

概略表に戻ります。

LUT4_1 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-144. CMX_76 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.78 CMX_77 レジスタ (オフセット = 24Dh) [リセット = X0h]

CMX_77 を表 9-145 に示します。

概略表に戻ります。

LUT4_1 IN2/DFF RST IN 接続マルチプレクサの配線選択

表 9-145. CMX_77 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN2_/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.79 CMX_78 レジスタ (オフセット = 24Eh) [リセット = X0h]

CMX_78 を表 9-146 に示します。

概略表に戻ります。

LUT4_1 IN3 接続マルチプレクサの配線選択

表 9-146. CMX_78 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN3__CMX	R/W	Xh	CMX_0 と同じオプション

9.2.80 CMX_79 レジスタ (オフセット = 24Fh) [リセット = X0h]

CMX_79 を表 9-147 に示します。

概略表に戻ります。

LUT4_2 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-147. CMX_79 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN0_/ _DFF_CLK_IN__CMX	R/W	Xh	CMX_0 と同じオプション

9.2.81 CMX_80 レジスタ (オフセット = 250h) [リセット = X0h]

CMX_80 を表 9-148 に示します。

概略表に戻ります。

LUT4_2 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-148. CMX_80 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.82 CMX_81 レジスタ (オフセット = 251h) [リセット = X0h]

CMX_81 を表 9-149 に示します。

概略表に戻ります。

LUT4_2 IN2/DFF RST IN 接続マルチプレクサの配線選択

表 9-149. CMX_81 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN2_/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.83 CMX_82 レジスタ (オフセット = 252h) [リセット = X0h]

CMX_82 を表 9-150 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

LUT4_2 IN3 接続マルチプレクサの配線選択

表 9-150. CMX_82 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN3__CMX	R/W	Xh	CMX_0 と同じオプション

9.2.84 CMX_83 レジスタ (オフセット = 253h) [リセット = X0h]

CMX_83 を表 9-151 に示します。

概略表に戻ります。

LUT4_3 IN0/DFF CLK IN 接続マルチプレクサの配線選択

表 9-151. CMX_83 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN0_/ _DFF_CLK_IN__CMX	R/W	Xh	CMX_0 と同じオプション

9.2.85 CMX_84 レジスタ (オフセット = 254h) [リセット = X0h]

CMX_84 を表 9-152 に示します。

概略表に戻ります。

LUT4_3 IN1/DFF D IN 接続マルチプレクサ配線選択

表 9-152. CMX_84 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN1_/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.86 CMX_85 レジスタ (オフセット = 255h) [リセット = X0h]

CMX_85 を表 9-153 に示します。

概略表に戻ります。

LUT4_3 IN2/DFF RST IN 接続マルチプレクサの配線選択

表 9-153. CMX_85 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN2_/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.87 CMX_86 レジスタ (オフセット = 256h) [リセット = X0h]

CMX_86 を表 9-154 に示します。

概略表に戻ります。

LUT4_3 IN3 接続マルチプレクサの配線選択

Copyright © 2026 Texas Instruments Incorporated

表 9-154. CMX_86 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN3__CMX	R/W	Xh	CMX_0 と同じオプション

9.2.88 CMX_87 レジスタ (オフセット = 257h) [リセット = X0h]

CMX_87 を表 9-155 に示します。

概略表に戻ります。

PFLT0 IN 接続マルチプレクサの配線選択

表 9-155. CMX_87 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PFLT0_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.89 CMX_88 レジスタ (オフセット = 258h) [リセット = X0h]

CMX_88 を表 9-156 に示します。

概略表に戻ります。

PFLT1 IN 接続マルチプレクサの配線選択

表 9-156. CMX_88 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PFLT1_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.90 CMX_89 レジスタ (オフセット = 259h) [リセット = X0h]

CMX_89 を表 9-157 に示します。

概略表に戻ります。

FLT/EDET IN 接続マルチプレクサの配線選択

表 9-157. CMX_89 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	FILT_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.91 CMX_90 レジスタ (オフセット = 25Ah) [リセット = X0h]

CMX_90 を表 9-158 に示します。

概略表に戻ります。

SM ST0 EN0 接続マルチプレクサの配線選択

表 9-158. CMX_90 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST0_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.92 CMX_91 レジスタ (オフセット = 25Bh) [リセット = X0h]

CMX_91 を表 9-159 に示します。

概略表に戻ります。

SM ST0 EN1 接続マルチプレクサの配線選択

表 9-159. CMX_91 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST0_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.93 CMX_92 レジスタ (オフセット = 25Ch) [リセット = X0h]

CMX_92 を表 9-160 に示します。

概略表に戻ります。

SM ST0 EN2 接続マルチプレクサの配線選択

表 9-160. CMX_92 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST0_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.94 CMX_93 レジスタ (オフセット = 25Dh) [リセット = X0h]

CMX_93 を表 9-161 に示します。

概略表に戻ります。

SM ST1 EN0 接続マルチプレクサの配線選択

表 9-161. CMX_93 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST1_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.95 CMX_94 レジスタ (オフセット = 25Eh) [リセット = X0h]

CMX_94 を表 9-162 に示します。

概略表に戻ります。

SM ST1 EN1 接続マルチプレクサの配線選択

表 9-162. CMX_94 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST1_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.96 CMX_95 レジスタ (オフセット = 25Fh) [リセット = X0h]

CMX_95 を表 9-163 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

SM ST1 EN2 接続マルチプレクサの配線選択

表 9-163. CMX_95 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST1_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.97 CMX_96 レジスタ (オフセット = 260h) [リセット = X0h]

CMX_96 を表 9-164 に示します。

概略表に戻ります。

SM ST2 EN0 接続マルチプレクサの配線選択

表 9-164. CMX_96 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST2_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.98 CMX_97 レジスタ (オフセット = 261h) [リセット = X0h]

CMX_97 を表 9-165 に示します。

概略表に戻ります。

SM ST2 EN1 接続マルチプレクサの配線選択

表 9-165. CMX_97 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST2_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.99 CMX_98 レジスタ (オフセット = 262h) [リセット = X0h]

CMX_98 を表 9-166 に示します。

概略表に戻ります。

SM ST2 EN2 接続マルチプレクサの配線選択

表 9-166. CMX_98 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST2_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.100 CMX_99 レジスタ (オフセット = 263h) [リセット = X0h]

CMX_99 を表 9-167 に示します。

概略表に戻ります。

SM ST3 EN0 接続マルチプレクサの配線選択

表 9-167. CMX_99 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-167. CMX_99 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	SM_ST3_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.101 CMX_100 レジスタ (オフセット = 264h) [リセット = X0h]

CMX_100 を表 9-168 に示します。

概略表に戻ります。

SM ST3 EN1 接続マルチプレクサの配線選択

表 9-168. CMX_100 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST3_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.102 CMX_101 レジスタ (オフセット = 265h) [リセット = X0h]

CMX_101 を表 9-169 に示します。

概略表に戻ります。

SM ST3 EN2 接続マルチプレクサの配線選択

表 9-169. CMX_101 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST3_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.103 CMX_102 レジスタ (オフセット = 266h) [リセット = X0h]

CMX_102 を表 9-170 に示します。

概略表に戻ります。

SM ST4 EN0 接続マルチプレクサの配線選択

表 9-170. CMX_102 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST4_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.104 CMX_103 レジスタ (オフセット = 267h) [リセット = X0h]

CMX_103 を表 9-171 に示します。

概略表に戻ります。

SM ST4 EN1 接続マルチプレクサの配線選択

表 9-171. CMX_103 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST4_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.105 CMX_104 レジスタ (オフセット = 268h) [リセット = X0h]

CMX_104 を表 9-172 に示します。

概略表に戻ります。

SM ST4 EN2 接続マルチプレクサの配線選択

表 9-172. CMX_104 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST4_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.106 CMX_105 レジスタ (オフセット = 269h) [リセット = X0h]

CMX_105 を表 9-173 に示します。

概略表に戻ります。

SM ST5 EN0 接続マルチプレクサの配線選択

表 9-173. CMX_105 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST5_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.107 CMX_106 レジスタ (オフセット = 26Ah) [リセット = X0h]

CMX_106 を表 9-174 に示します。

概略表に戻ります。

SM ST5 EN1 接続マルチプレクサの配線選択

表 9-174. CMX_106 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST5_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.108 CMX_107 レジスタ (オフセット = 26Bh) [リセット = X0h]

CMX_107 を表 9-175 に示します。

概略表に戻ります。

SM ST5 EN2 接続マルチプレクサの配線選択

表 9-175. CMX_107 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST5_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.109 CMX_108 レジスタ (オフセット = 26Ch) [リセット = X0h]

CMX_108 を表 9-176 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

SM ST6 EN0 接続マルチプレクサの配線選択

表 9-176. CMX_108 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST6_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.110 CMX_109 レジスタ (オフセット = 26Dh) [リセット = X0h]

CMX_109 を表 9-177 に示します。

概略表に戻ります。

SM ST6 EN1 接続マルチプレクサの配線選択

表 9-177. CMX_109 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST6_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.111 CMX_110 レジスタ (オフセット = 26Eh) [リセット = X0h]

CMX_110 を表 9-178 に示します。

概略表に戻ります。

SM ST6 EN2 接続マルチプレクサの配線選択

表 9-178. CMX_110 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST6_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.112 CMX_111 レジスタ (オフセット = 26Fh) [リセット = X0h]

CMX_111 を表 9-179 に示します。

概略表に戻ります。

SM ST7 EN0 接続マルチプレクサの配線選択

表 9-179. CMX_111 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST7_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.113 CMX_112 レジスタ (オフセット = 270h) [リセット = X0h]

CMX_112 を表 9-180 に示します。

概略表に戻ります。

SM ST7 EN1 接続マルチプレクサの配線選択

表 9-180. CMX_112 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-180. CMX_112 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	SM_ST7_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.114 CMX_113 レジスタ (オフセット = 271h) [リセット = X0h]

CMX_113 を表 9-181 に示します。

概略表に戻ります。

SM ST7 EN2 接続マルチプレクサの配線選択

表 9-181. CMX_113 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST7_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.115 CMX_114 レジスタ (オフセット = 272h) [リセット = X0h]

CMX_114 を表 9-182 に示します。

概略表に戻ります。

SM CLK IN 接続マルチプレクサの配線選択

表 9-182. CMX_114 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.116 CMX_115 レジスタ (オフセット = 273h) [リセット = X0h]

CMX_115 を表 9-183 に示します。

概略表に戻ります。

SM RST IN 接続マルチプレクサの配線選択

表 9-183. CMX_115 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.117 CMX_116 レジスタ (オフセット = 274h) [リセット = X0h]

CMX_116 を表 9-184 に示します。

概略表に戻ります。

ACMP0 PWR UP 接続マルチプレクサ配線選択

表 9-184. CMX_116 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP0_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.118 CMX_117 レジスタ (オフセット = 275h) [リセット = X0h]

CMX_117 を表 9-185 に示します。

概略表に戻ります。

ACMP1 PWR UP 接続マルチプレクサ配線選択

表 9-185. CMX_117 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP1_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.119 CMX_118 レジスタ (オフセット = 276h) [リセット = X0h]

CMX_118 を表 9-186 に示します。

概略表に戻ります。

ACMP2 PWR UP 接続マルチプレクサ配線選択

表 9-186. CMX_118 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP2_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.120 CMX_119 レジスタ (オフセット = 277h) [リセット = X0h]

CMX_119 を表 9-187 に示します。

概略表に戻ります。

ACMP3 PWR UP 接続マルチプレクサ配線選択

表 9-187. CMX_119 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP3_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.121 CMX_120 レジスタ (オフセット = 278h) [リセット = X0h]

CMX_120 を表 9-188 に示します。

概略表に戻ります。

McACMP イネーブル接続マルチプレクサ配線選択

表 9-188. CMX_120 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	McACMP_ENABLE_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.122 CMX_121 レジスタ (オフセット = 279h) [リセット = X0h]

CMX_121 を表 9-189 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

McACMP RST 接続マルチプレクサ配線選択

表 9-189. CMX_121 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	McACMP_RST_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.123 CMX_122 レジスタ (オフセット = 27Ah) [リセット = X0h]

CMX_122 を表 9-190 に示します。

概略表に戻ります。

OSC0 PWR DOWN 接続マルチプレクサ配線選択

表 9-190. CMX_122 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	OSC0_PWR_DOWN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.124 CMX_123 レジスタ (オフセット = 27Bh) [リセット = X0h]

CMX_123 を表 9-191 に示します。

概略表に戻ります。

OSC1 PWR DOWN 接続マルチプレクサ配線選択

表 9-191. CMX_123 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	OSC1_PWR_DOWN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.125 CMX_124 レジスタ (オフセット = 27Ch) [リセット = X0h]

CMX_124 を表 9-192 に示します。

概略表に戻ります。

OSC2 PWR DOWN 接続マルチプレクサ配線選択

表 9-192. CMX_124 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	OSC2_PWR_DOWN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.126 CMX_125 レジスタ (オフセット = 27Dh) [リセット = X0h]

CMX_125 を表 9-193 に示します。

概略表に戻ります。

CNT6/FSM IN 接続マルチプレクサ配線選択

表 9-193. CMX_125 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-193. CMX_125 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	CNT6_FSM0_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.127 CMX_126 レジスタ (オフセット = 27Eh) [リセット = X0h]

CMX_126 を表 9-194 に示します。

概略表に戻ります。

CNT6/FSM UP 接続マルチプレクサ配線選択

表 9-194. CMX_126 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT6_FSM0_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.128 CMX_127 レジスタ (オフセット = 27Fh) [リセット = X0h]

CMX_127 を表 9-195 に示します。

概略表に戻ります。

CNT6/FSM KEEP 接続マルチプレクサ配線選択

表 9-195. CMX_127 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT6_FSM0_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.129 CMX_128 レジスタ (オフセット = 280h) [リセット = X0h]

CMX_128 を表 9-196 に示します。

概略表に戻ります。

CNT6/FSM CLK IN 接続マルチプレクサ配線選択

表 9-196. CMX_128 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT6_FSM0_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.130 CMX_129 レジスタ (オフセット = 281h) [リセット = X0h]

CMX_129 を表 9-197 に示します。

概略表に戻ります。

CNT7/FSM IN 接続マルチプレクサ配線選択

表 9-197. CMX_129 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_IN_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.131 CMX_130 レジスタ (オフセット = 282h) [リセット = X0h]

CMX_130 を表 9-198 に示します。

概略表に戻ります。

CNT7/FSM UP 接続マルチプレクサ配線選択

表 9-198. CMX_130 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.132 CMX_131 レジスタ (オフセット = 283h) [リセット = X0h]

CMX_131 を表 9-199 に示します。

概略表に戻ります。

CNT7/FSM KEEP 接続マルチプレクサ配線選択

表 9-199. CMX_131 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.133 CMX_132 レジスタ (オフセット = 284h) [リセット = X0h]

CMX_132 を表 9-200 に示します。

概略表に戻ります。

CNT7/FSM CLK IN 接続マルチプレクサ配線選択

表 9-200. CMX_132 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.134 CMX_133 レジスタ (オフセット = 285h) [リセット = X0h]

CMX_133 を表 9-201 に示します。

概略表に戻ります。

CNT8/FSM IN 接続マルチプレクサ配線選択

表 9-201. CMX_133 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.135 CMX_134 レジスタ (オフセット = 286h) [リセット = X0h]

CMX_134 を表 9-202 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

CNT8/FSM UP 接続マルチプレクサ配線選択

表 9-202. CMX_134 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.136 CMX_135 レジスタ (オフセット = 287h) [リセット = X0h]

CMX_135 を表 9-203 に示します。

概略表に戻ります。

CNT8/FSM KEEP 接続マルチプレクサ配線選択

表 9-203. CMX_135 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.137 CMX_136 レジスタ (オフセット = 288h) [リセット = X0h]

CMX_136 を表 9-204 に示します。

概略表に戻ります。

CNT8/FSM CLK IN 接続マルチプレクサ配線選択

表 9-204. CMX_136 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.138 CMX_137 レジスタ (オフセット = 289h) [リセット = X0h]

CMX_137 を表 9-205 に示します。

概略表に戻ります。

CNT9/FSM IN 接続マルチプレクサ配線選択

表 9-205. CMX_137 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT9_FSM3_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.139 CMX_138 レジスタ (オフセット = 28Ah) [リセット = X0h]

CMX_138 を表 9-206 に示します。

概略表に戻ります。

CNT9/FSM UP 接続マルチプレクサ配線選択

表 9-206. CMX_138 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-206. CMX_138 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	CNT9_FSM3_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.140 CMX_139 レジスタ (オフセット = 28Bh) [リセット = X0h]

CMX_139 を表 9-207 に示します。

概略表に戻ります。

CNT9/FSM KEEP 接続マルチプレクサ配線選択

表 9-207. CMX_139 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT9_FSM3_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.141 CMX_140 レジスタ (オフセット = 28Ch) [リセット = X0h]

CMX_140 を表 9-208 に示します。

概略表に戻ります。

CNT9/FSM CLK IN 接続マルチプレクサ配線選択

表 9-208. CMX_140 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT9_FSM3_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.142 CMX_141 レジスタ (オフセット = 28Dh) [リセット = X0h]

CMX_141 を表 9-209 に示します。

概略表に戻ります。

PWM GEN0 PWR UP 接続マルチプレクサ ルーティング選択

表 9-209. CMX_141 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN0_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.143 CMX_142 レジスタ (オフセット = 28Eh) [リセット = X0h]

CMX_142 を表 9-210 に示します。

概略表に戻ります。

PWM GEN1 PWR UP 接続マルチプレクサ ルーティング選択

表 9-210. CMX_142 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN1_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.144 CMX_143 レジスタ (オフセット = 28Fh) [リセット = X0h]

CMX_143 を表 9-211 に示します。

概略表に戻ります。

PWM GEN2 PWR UP 接続マルチプレクサ ルーティング選択

表 9-211. CMX_143 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN2_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.145 CMX_144 レジスタ (オフセット = 290h) [リセット = X0h]

CMX_144 を表 9-212 に示します。

概略表に戻ります。

PWM GEN3 PWR UP 接続マルチプレクサ ルーティング選択

表 9-212. CMX_144 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN3_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.146 CMX_145 レジスタ (オフセット = 291h) [リセット = X0h]

CMX_145 を表 9-213 に示します。

概略表に戻ります。

WDT EN 接続マルチプレクサ配線選択

表 9-213. CMX_145 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	WDT_EN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.147 CMX_146 レジスタ (オフセット = 292h) [リセット = X0h]

CMX_146 を表 9-214 に示します。

概略表に戻ります。

WDT IN 接続マルチプレクサ配線選択

表 9-214. CMX_146 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	WDT_IN_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.148 CMX_147 レジスタ (オフセット = 293h) [リセット = X0h]

CMX_147 を表 9-215 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

VIRTUAL OUT0 接続マルチプレクサ配線選択

表 9-215. CMX_147 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT0_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.149 CMX_148 レジスタ (オフセット = 294h) [リセット = X0h]

CMX_148 を表 9-216 に示します。

概略表に戻ります。

VIRTUAL OUT1 接続マルチプレクサ配線選択

表 9-216. CMX_148 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT1_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.150 CMX_149 レジスタ (オフセット = 295h) [リセット = X0h]

CMX_149 を表 9-217 に示します。

概略表に戻ります。

VIRTUAL OUT2 接続マルチプレクサ配線選択

表 9-217. CMX_149 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT2_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.151 CMX_150 レジスタ (オフセット = 296h) [リセット = X0h]

CMX_150 を表 9-218 に示します。

概略表に戻ります。

VIRTUAL OUT3 接続マルチプレクサ配線選択

表 9-218. CMX_150 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT3_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.152 CMX_151 レジスタ (オフセット = 297h) [リセット = X0h]

CMX_151 を表 9-219 に示します。

概略表に戻ります。

VIRTUAL OUT4 接続マルチプレクサ配線選択

表 9-219. CMX_151 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-219. CMX_151 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	VIRTUAL_OUT4_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.153 CMX_152 レジスタ (オフセット = 298h) [リセット = X0h]

CMX_152 を表 9-220 に示します。

概略表に戻ります。

VIRTUAL OUT5 接続マルチプレクサ配線選択

表 9-220. CMX_152 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT5_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.154 CMX_153 レジスタ (オフセット = 299h) [リセット = X0h]

CMX_153 を表 9-221 に示します。

概略表に戻ります。

VIRTUAL OUT6 接続マルチプレクサ配線選択

表 9-221. CMX_153 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT6_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.155 CMX_154 レジスタ (オフセット = 29Ah) [リセット = X0h]

CMX_154 を表 9-222 に示します。

概略表に戻ります。

VIRTUAL OUT7 接続マルチプレクサ配線選択

表 9-222. CMX_154 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT7_CMX	R/W	Xh	CMX_0 と同じオプション

9.2.156 CMX_155 レジスタ (オフセット = 29Bh) [リセット = X0h]

CMX_155 を表 9-223 に示します。

概略表に戻ります。

AMUX0_SEL 接続マルチプレクサ配線選択

表 9-223. CMX_155 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	AMUX0_SEL_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.2.157 CMX_156 レジスタ (オフセット = 29Ch) [リセット = X0h]

CMX_156 を表 9-224 に示します。

概略表に戻ります。

AMUX1_SEL 接続マルチプレクサ配線選択

表 9-224. CMX_156 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	AMUX1_SEL_CMX	R/W	Xh	CMX_0 と同じオプション

Copyright © 2026 Texas Instruments Incorporated

9.3 TPLD2001_Cfg_1 のレジスタ

TPLD2001_Cfg_1 レジスタのメモリマップされたレジスタを、表 9-225 に示します。表 9-225 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-225. TPLD2001_CFG_1 のレジスタ

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
300h	IN0_CFG	予約済み	PULL_UP_EN	RES_SEL		予約済み		IN_CTRL	
301h	IO1_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
302h	IO2_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
303h	IO3_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
304h	IO4_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
305h	IO5_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
306h	IO6_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
307h	IO7_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
308h	IO8_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
309h	IO9_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Ah	IO10_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Bh	IO11_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Ch	IO12_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Dh	IO13_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Eh	IO14_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Fh	IO15_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
310h	IO16_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
311h	IO17_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
320h	VIO_SEL_0	V_IN7	V_IN6	V_IN5	V_IN4	V_IN3	V_IN2	V_IN1	V_IN0
324h	LUT_FS_0	予約済み				LUT2_3_FS	LUT2_2_FS	LUT2_1_FS	LUT2_0_FS
325h	LUT_FS_1	予約済み		LUT3_5_FS	LUT3_4_FS	LUT3_3_FS	LUT3_2_FS	LUT3_1_FS	LUT3_0_FS
327h	LUT_FS_3	予約済み				LUT4_3_FS	LUT4_2_FS	LUT4_1_FS	LUT4_0_FS
328h	LUT2_0_CFG	予約済み				BIT3	BIT2	BIT1	BIT0
329h	LUT2_1_CFG	予約済み				BIT3	BIT2	BIT1	BIT0
32Ah	LUT2_2_CFG	予約済み				BIT3	BIT2	BIT1	BIT0
32Eh	LUT2_3_CFG0	予約済み		PGEN_RST	予約済み	BITS3_0			
32Fh	LUT2_3_CFG1	PGEN_DATA_LSB							
330h	LUT2_3_CFG2	PGEN_DATA_MSB							
334h	LUT3_0_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
335h	LUT3_1_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
336h	LUT3_2_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
337h	LUT3_2_CFG1	BITS15_8							
338h	LUT3_3_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
339h	LUT3_3_CFG1	BITS15_8							
33Ah	LUT3_4_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Bh	LUT3_4_CFG1	BITS15_8							
33Ch	LUT3_5_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Dh	LUT3_5_CFG1	BITS15_8							
344h	LUT4_0_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
345h	LUT4_0_CFG1	BITS15_8							
346h	LUT4_1_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
347h	LUT4_1_CFG1	BITS15_8							
348h	LUT4_2_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
349h	LUT4_2_CFG1	BITS15_8							
34Ah	LUT4_3_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
34Bh	LUT4_3_CFG1	BITS15_8							
354h	LUT3_6_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
355h	LUT3_6_CFG1	CNT_DATA							
356h	LUT3_6_CFG2	CLK_SEL				MODE_SEL			

Copyright © 2026 Texas Instruments Incorporated

表 9-225. TPLD2001_CFG_1 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
357h	LUT3_6_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
358h	LUT3_6_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
359h	LUT3_7_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
35Ah	LUT3_7_CFG1	CNT_DATA							
35Bh	LUT3_7_CFG2	CLK_SEL				MODE_SEL			
35Ch	LUT3_7_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
35Dh	LUT3_7_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
35Eh	LUT3_8_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
35Fh	LUT3_8_CFG1	CNT_DATA							
360h	LUT3_8_CFG2	CLK_SEL				MODE_SEL			
361h	LUT3_8_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
362h	LUT3_8_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
363h	LUT3_9_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
364h	LUT3_9_CFG1	CNT_DATA							
365h	LUT3_9_CFG2	CLK_SEL				MODE_SEL			
366h	LUT3_9_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
367h	LUT3_9_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
372h	LUT3_10_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
373h	LUT3_10_CFG1	CNT_DATA_7:0							
374h	LUT3_10_CFG2	CNT_DATA_15:8							
375h	LUT3_10_CFG3	CLK_SEL				MODE_SEL			
376h	LUT3_10_CFG4	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
377h	LUT3_10_CFG5	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
378h	LUT3_11_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
379h	LUT3_11_CFG1	CNT_DATA_7:0							
37Ah	LUT3_11_CFG2	CNT_DATA_15:8							
37Bh	LUT3_11_CFG3	CLK_SEL				MODE_SEL			
37Ch	LUT3_11_CFG4	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
37Dh	LUT3_11_CFG5	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
37Eh	CNT6_FSM0_CFG0	CNT_DATA							
37Fh	CNT6_FSM0_CFG1	CLK_SEL				MODE_SEL			
380h	CNT6_FSM0_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
381h	CNT7_FSM1_CFG0	CNT_DATA							
382h	CNT7_FSM1_CFG1	CLK_SEL				MODE_SEL			
383h	CNT7_FSM1_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
384h	CNT8_FSM2_CFG0	CNT_DATA							
385h	CNT8_FSM2_CFG1	CLK_SEL				MODE_SEL			
386h	CNT8_FSM2_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
387h	CNT9_FSM3_CFG0	CNT_DATA							
388h	CNT9_FSM3_CFG1	CLK_SEL				MODE_SEL			
389h	CNT9_FSM3_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET
38Ah	PWM_GEN0_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL
38Bh	PWM_GEN1_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL
38Ch	PWM_GEN2_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL
38Dh	PWM_GEN3_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL
38Eh	PWM_SRC_CFG	PWM_GEN3_DATA_SEL		PWM_GEN2_DATA_SEL		PWM_GEN1_DATA_SEL		PWM_GEN0_DATA_SEL	
38Fh	SM_CFG0	予約済み	SM_S1_IN0			予約済み	SM_S0_IN0		
390h	SM_CFG1	予約済み	SM_S1_IN1			予約済み	SM_S0_IN1		
391h	SM_CFG2	予約済み	SM_S1_IN2			予約済み	SM_S0_IN2		
392h	SM_CFG3	予約済み	SM_S3_IN0			予約済み	SM_S2_IN0		
393h	SM_CFG4	予約済み	SM_S3_IN1			予約済み	SM_S2_IN1		
394h	SM_CFG5	予約済み	SM_S3_IN2			予約済み	SM_S2_IN2		
395h	SM_CFG6	予約済み	SM_S5_IN0			予約済み	SM_S4_IN0		
396h	SM_CFG7	予約済み	SM_S5_IN1			予約済み	SM_S4_IN1		

Copyright © 2026 Texas Instruments Incorporated

表 9-225. TPLD2001_CFG_1 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
397h	SM_CFG8	予約済み	SM_S5_IN2			予約済み	SM_S4_IN2		
398h	SM_CFG9	予約済み	SM_S7_IN0			予約済み	SM_S6_IN0		
399h	SM_CFG10	予約済み	SM_S7_IN1			予約済み	SM_S6_IN1		
39Ah	SM_CFG11	SM_SYNC_EN	SM_S7_IN2			予約済み	SM_S6_IN2		
3A7h	SM_CFG12	SM_CLK_SEL				SM_MODE	SM_INIT_STATE		
3A8h	SM_CFG13	S0_OUT_CFG							
3A9h	SM_CFG14	S1_OUT_CFG							
3AAh	SM_CFG15	S2_OUT_CFG							
3ABh	SM_CFG16	S3_OUT_CFG							
3ACh	SM_CFG17	S4_OUT_CFG							
3ADh	SM_CFG18	S5_OUT_CFG							
3AEh	SM_CFG19	S6_OUT_CFG							
3AFh	SM_CFG20	S7_OUT_CFG							
3B8h	WDT_CFG0	WDT_TIMEOUT_DATA							
3B9h	WDT_CFG1	WDT_OUT_DATA							
3BAh	WDT_CFG2	WDT_CLK_SEL				予約済み		WDT_100X_EN	WDT_EN_SEL
3BBh	PFLT0_CFG	予約済み		PFLT_DLY_SEL		PFLT_POL	予約済み	PFLT_EDGE_SEL	
3BCh	PFLT1_CFG	予約済み		PFLT_DLY_SEL		PFLT_POL	予約済み	PFLT_EDGE_SEL	
3BDh	FILT_CFG	予約済み				FLT_POL	OTP_SPARE	FLT_EDGE_SEL	
3BEh	OSC0_CFG0	予約済み	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		予約済み	PWR_MODE
3BFh	OSC0_CFG1	OUT1_EN	OUT1_DIV			OUT0_EN	OUT0_DIV		
3C0h	OSC1_CFG0	予約済み	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		予約済み	PWR_MODE
3C1h	OSC1_CFG1	OUT1_EN	OUT1_DIV			OUT0_EN	OUT0_DIV		
3C2h	OSC2_CFG0	SU_DLY	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		予約済み	PWR_MODE
3C3h	OSC2_CFG1	予約済み				OUT_EN	OUT_DIV		
3C6h	ACMP0_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL	
3C7h	ACMP0_CFG1	予約済み		VREF_SEL					
3C8h	ACMP1_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL	
3C9h	ACMP1_CFG1	予約済み		VREF_SEL					
3CAh	ACMP2_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL	
3CBh	ACMP2_CFG1	予約済み		VREF_SEL					
3CCh	ACMP3_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL	
3CDh	ACMP3_CFG1	予約済み		VREF_SEL					
3CFh	MCACMP_CFG0	TS_INP_EN	VCC_INP_EN	SYNC_EN	MCS_MODE	CH_EN		予約済み	MCS_EN
3D0h	MCACMP_CFG1	BW_SEL		予約済み			EDGE_SEL	MCS_CLK_SEL	
3D1h	MCACMP_CH0_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3D2h	MCACMP_CH0_CFG1	CH_VREF_SEL		VREF_SEL					
3D3h	MCACMP_CH0_CFG2	予約済み		VREF_SEL1					
3D6h	MCACMP_CH1_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3D7h	MCACMP_CH1_CFG1	CH_VREF_SEL		VREF_SEL					
3D8h	MCACMP_CH1_CFG2	予約済み		VREF_SEL1					
3DBh	MCACMP_CH2_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3DCh	MCACMP_CH2_CFG1	CH_VREF_SEL		VREF_SEL					
3DDh	MCACMP_CH2_CFG2	予約済み		VREF_SEL1					
3E0h	MCACMP_CH3_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3E1h	MCACMP_CH3_CFG1	CH_VREF_SEL		VREF_SEL					
3E2h	MCACMP_CH3_CFG2	予約済み		VREF_SEL1					
3E5h	AMUX0_CFG	予約済み							AMUX_EN
3E6h	AMUX1_CFG	予約済み							AMUX_EN
3F2h	SER_COMM_CFG0	I2C_ADDR_SRC_SEL				I2C_IO_LAT	I2C_RST_EN	I2C_EN	SPI_EN
3F3h	SER_COMM_CFG1	I2C_ADDR_MSB				I2C_ADDR_LSB			予約済み
3F7h	MISC_CFG0	GPIO_QC	CFG_RD_LCK	CFG_WR_LCK	OTP_WR_LCK	USER_LCK		予約済み	
3FAh	DEVICE_ID4	DEVICE_ID4							
3FBh	DEVICE_ID5	DEVICE_ID5							

Copyright © 2026 Texas Instruments Incorporated

表 9-225. TPLD2001_CFG_1 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
3FCh	DEVICE_ID6	DEVICE_ID6							
3FDh	DEVICE_ID7	DEVICE_ID7							
3FEh	CRC_LSB	CRC_LSB							
3FFh	CRC_MSB	CRC_MSB							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-226 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-226. TPLD2001_Cfg_1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.3.1 IN0_CFG レジスタ (オフセット = 300h) [リセット = XXh]

IN0_CFG を表 9-227 に示します。

概略表に戻ります。

GPI による構成

表 9-227. IN0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	予約済み	R	0h	予約済み
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

9.3.2 IO1_CFG レジスタ (オフセット = 301h) [リセット = XXh]

IO1_CFG を表 9-228 に示します。

概略表に戻ります。

GPIO1 構成

表 9-228. IO1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 9-228. IO1_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.3 IO2_CFG レジスタ (オフセット = 302h) [リセット = XXh]

IO2_CFG を表 9-229 に示します。

概略表に戻ります。

GPIO2 構成

表 9-229. IO2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.4 IO3_CFG レジスタ (オフセット = 303h) [リセット = XXh]

IO3_CFG を表 9-230 に示します。

概略表に戻ります。

GPIO3 構成

表 9-230. IO3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

Copyright © 2026 Texas Instruments Incorporated

9.3.5 IO4_CFG レジスタ (オフセット = 304h) [リセット = X0h]

IO4_CFG を表 9-231 に示します。

概略表に戻ります。

GPIO4 構成

表 9-231. IO4_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.6 IO5_CFG レジスタ (オフセット = 305h) [リセット = X0h]

IO5_CFG を表 9-232 に示します。

概略表に戻ります。

GPIO5 構成

表 9-232. IO5_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

9.3.7 IO6_CFG レジスタ (オフセット = 306h) [リセット = X0h]

IO6_CFG を表 9-233 に示します。

概略表に戻ります。

GPIO6 構成

Copyright © 2026 Texas Instruments Incorporated

表 9-233. IO6_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 4X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

9.3.8 IO7_CFG レジスタ (オフセット = 307h) [リセット = X0h]

IO7_CFG を表 9-234 に示します。

概略表に戻ります。

GPIO7 構成

表 9-234. IO7_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 4X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

9.3.9 IO8_CFG レジスタ (オフセット = 308h) [リセット = X0h]

IO8_CFG を表 9-235 に示します。

概略表に戻ります。

GPIO8 構成

表 9-235. IO8_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 9-235. IO8_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

9.3.10 IO9_CFG レジスタ (オフセット = 309h) [リセット = X0h]

IO9_CFG を表 9-236 に示します。

概略表に戻ります。

GPIO9 構成

表 9-236. IO9_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.11 IO10_CFG レジスタ (オフセット = 30Ah) [リセット = XXh]

IO10_CFG を表 9-237 に示します。

概略表に戻ります。

GPIO10 構成

表 9-237. IO10_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

Copyright © 2026 Texas Instruments Incorporated

9.3.12 IO11_CFG レジスタ (オフセット = 30Bh) [リセット = XXh]

IO11_CFG を表 9-238 に示します。

概略表に戻ります。

GPIO11 構成

表 9-238. IO11_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.13 IO12_CFG レジスタ (オフセット = 30Ch) [リセット = XXh]

IO12_CFG を表 9-239 に示します。

概略表に戻ります。

GPIO12 構成

表 9-239. IO12_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.14 IO13_CFG レジスタ (オフセット = 30Dh) [リセット = XXh]

IO13_CFG を表 9-240 に示します。

概略表に戻ります。

GPIO13 構成

表 9-240. IO13_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ

Copyright © 2026 Texas Instruments Incorporated

表 9-240. IO13_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.15 IO14_CFG レジスタ (オフセット = 30Eh) [リセット = X0h]

IO14_CFG を表 9-241 に示します。

概略表に戻ります。

GPIO14 構成

表 9-241. IO14_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミット トリガなしのデジタル入力 1h = シュミット トリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.16 IO15_CFG レジスタ (オフセット = 30Fh) [リセット = XXh]

IO15_CFG を表 9-242 に示します。

概略表に戻ります。

GPIO15 構成

表 9-242. IO15_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープン ドレイン NMOS 1X 3h = オープン ドレイン NMOS 2X

Copyright © 2026 Texas Instruments Incorporated

表 9-242. IO15_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.17 IO16_CFG レジスタ (オフセット = 310h) [リセット = XXh]

IO16_CFG を表 9-243 に示します。

概略表に戻ります。

GPIO16 構成

表 9-243. IO16_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.18 IO17_CFG レジスタ (オフセット = 311h) [リセット = XXh]

IO17_CFG を表 9-244 に示します。

概略表に戻ります。

GPIO17 構成

表 9-244. IO17_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h =プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

9.3.19 VIO_SEL_0 レジスタ (オフセット = 320h) [リセット = X0h]

VIO_SEL_0 を表 9-245 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

IO8 から IO1 の仮想 IO の選択

表 9-245. VIO_SEL_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	V_IN7	R/W	0h	0h = IO9 1h = V_IN7
6	V_IN6	R/W	0h	0h = IO7 1h = V_IN6
5	V_IN5	R/W	0h	0h = IO6 1h = V_IN5
4	V_IN4	R/W	0h	0h = IO5 1h = V_IN4
3	V_IN3	R/W	Xh	0h = IO4 1h = V_IN3
2	V_IN2	R/W	Xh	0h = IO3 1h = V_IN2
1	V_IN1	R/W	Xh	0h = IO2 1h = V_IN1
0	V_IN0	R/W	Xh	0h = IO1 1h = V_IN0

9.3.20 LUT_FS_0 レジスタ (オフセット = 324h) [リセット = 0Xh]

LUT_FS_0 を表 9-246 に示します。

概略表に戻ります。

LUT2_3 to LUT2_0 機能選択

表 9-246. LUT_FS_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	LUT2_3_FS	R/W	Xh	0h = LUT 1h = PGEN
2	LUT2_2_FS	R/W	Xh	0h = LUT 1h = DFF
1	LUT2_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT2_0_FS	R/W	Xh	0h = LUT 1h = DFF

9.3.21 LUT_FS_1 レジスタ (オフセット = 325h) [リセット = XXh]

LUT_FS_1 を表 9-247 に示します。

概略表に戻ります。

LUT3_5 to LUT3_0 機能選択

表 9-247. LUT_FS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	LUT3_5_FS	R/W	Xh	0h = LUT 1h = DFF/SR
4	LUT3_4_FS	R/W	Xh	0h = LUT 1h = DFF/SR
3	LUT3_3_FS	R/W	Xh	0h = LUT 1h = DFF/SR
2	LUT3_2_FS	R/W	Xh	0h = LUT 1h = DFF/SR

Copyright © 2026 Texas Instruments Incorporated

表 9-247. LUT_FS_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	LUT3_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT3_0_FS	R/W	Xh	0h = LUT 1h = DFF

9.3.22 LUT_FS_3 レジスタ (オフセット = 327h) [リセット = 0Xh]

LUT_FS_3 を表 9-248 に示します。

概略表に戻ります。

LUT4_3 to LUT4_0 機能選択

表 9-248. LUT_FS_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	LUT4_3_FS	R/W	Xh	0h = LUT 1h = DFF
2	LUT4_2_FS	R/W	Xh	0h = LUT 1h = DFF
1	LUT4_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT4_0_FS	R/W	Xh	0h = LUT 1h = DFF

9.3.23 LUT2_0_CFG レジスタ (オフセット = 328h) [リセット = X0h]

LUT2_0_CFG を表 9-249 に示します。

概略表に戻ります。

LUT2_0/DFF0 構成

表 9-249. LUT2_0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	BIT3	R/W	Xh	LUT2[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT2[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT2[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT2[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.24 LUT2_1_CFG レジスタ (オフセット = 329h) [リセット = X0h]

LUT2_1_CFG を表 9-250 に示します。

概略表に戻ります。

LUT2_1/DFF1 構成

表 9-250. LUT2_1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-250. LUT2_1_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	BIT3	R/W	Xh	LUT2[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT2[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT2[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT2[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.25 LUT2_2_CFG レジスタ (オフセット = 32Ah) [リセット = X0h]

LUT2_2_CFG を表 9-251 に示します。

概略表に戻ります。

LUT2_2/DFF2 構成

表 9-251. LUT2_2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	BIT3	R/W	Xh	LUT2[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT2[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT2[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT2[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.26 LUT2_3_CFG0 レジスタ (オフセット = 32Eh) [リセット = XXh]

LUT2_3_CFG0 を表 9-252 に示します。

概略表に戻ります。

LUT2_3/PGEN 構成 0

表 9-252. LUT2_3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	PGEN_RST	R/W	Xh	OTP_SPARE または PGEN RST LVL 0h = Low 1h = High
4	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-252. LUT2_3_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	BITS3_0	R/W	Xh	LUT2[3:0] または PGEN SIZE 0h = 1 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8 8h = 9 9h = 10 Ah = 11 Bh = 12 Ch = 13 Dh = 14 Eh = 15 Fh = 16

9.3.27 LUT2_3_CFG1 レジスタ (オフセット = 32Fh) [リセット = X0h]

LUT2_3_CFG1 を表 9-253 に示します。

概略表に戻ります。

PGEN 構成 1

表 9-253. LUT2_3_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_LSB	R/W	Xh	PGEN_DATA[7:0]

9.3.28 LUT2_3_CFG2 レジスタ (オフセット = 330h) [リセット = X0h]

LUT2_3_CFG2 を表 9-254 に示します。

概略表に戻ります。

PGEN 構成 2

表 9-254. LUT2_3_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_MSB	R/W	Xh	PGEN_DATA[15:8]

9.3.29 LUT3_0_CFG レジスタ (オフセット = 334h) [リセット = X0h]

LUT3_0_CFG を表 9-255 に示します。

概略表に戻ります。

LUT3_0/DFF3 構成

表 9-255. LUT3_0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)

Copyright © 2026 Texas Instruments Incorporated

表 9-255. LUT3_0_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.30 LUT3_1_CFG レジスタ (オフセット = 335h) [リセット = X0h]

LUT3_1_CFG を表 9-256 に示します。

概略表に戻ります。

LUT3_1/DFF4 構成

表 9-256. LUT3_1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.31 LUT3_2_CFG0 レジスタ (オフセット = 336h) [リセット = X0h]

LUT3_2_CFG0 を表 9-257 に示します。

概略表に戻ります。

LUT3_2/DFF5/SR0 構成 0

表 9-257. LUT3_2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]

Copyright © 2026 Texas Instruments Incorporated

表 9-257. LUT3_2_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF/ SR OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.32 LUT3_2_CFG1 レジスタ (オフセット = 337h) [リセット = X0h]

LUT3_2_CFG1 を表 9-258 に示します。

概略表に戻ります。

LUT3_2/DFF5/SR0 構成 1

表 9-258. LUT3_2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

9.3.33 LUT3_3_CFG0 レジスタ (オフセット = 338h) [リセット = X0h]

LUT3_3_CFG0 を表 9-259 に示します。

概略表に戻ります。

LUT3_3/DFF6/SR1 構成 0

表 9-259. LUT3_3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF/ SR OUT POL 0h = 非反転出力 1h = 反転出力

Copyright © 2026 Texas Instruments Incorporated

表 9-259. LUT3_3_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.34 LUT3_3_CFG1 レジスタ (オフセット = 339h) [リセット = X0h]

LUT3_3_CFG1 を表 9-260 に示します。

概略表に戻ります。

LUT3_3/DFF6/SR1 構成 1

表 9-260. LUT3_3_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

9.3.35 LUT3_4_CFG0 レジスタ (オフセット = 33Ah) [リセット = X0h]

LUT3_4_CFG0 を表 9-261 に示します。

概略表に戻ります。

LUT3_4/DFF7/SR2 構成 0

表 9-261. LUT3_4_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF/ SR OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.36 LUT3_4_CFG1 レジスタ (オフセット = 33Bh) [リセット = X0h]

LUT3_4_CFG1 を表 9-262 に示します。

概略表に戻ります。

LUT3_4/DFF7/SR2 構成 1

表 9-262. LUT3_4_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

Copyright © 2026 Texas Instruments Incorporated

9.3.37 LUT3_5_CFG0 レジスタ (オフセット = 33Ch) [リセット = X0h]

LUT3_5_CFG0 を表 9-263 に示します。

概略表に戻ります。

LUT3_5/DFF8/SR3 構成 0

表 9-263. LUT3_5_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF/ SR OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.38 LUT3_5_CFG1 レジスタ (オフセット = 33Dh) [リセット = X0h]

LUT3_5_CFG1 を表 9-264 に示します。

概略表に戻ります。

LUT3_5/DFF8/SR3 構成 1

表 9-264. LUT3_5_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

9.3.39 LUT4_0_CFG0 レジスタ (オフセット = 344h) [リセット = X0h]

LUT4_0_CFG0 を表 9-265 に示します。

概略表に戻ります。

LUT4_0/DFF15 構成 0

表 9-265. LUT4_0_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)

Copyright © 2026 Texas Instruments Incorporated

表 9-265. LUT4_0_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.40 LUT4_0_CFG1 レジスタ (オフセット = 345h) [リセット = X0h]

LUT4_0_CFG1 を表 9-266 に示します。

概略表に戻ります。

LUT4_0/DFF15 構成 1

表 9-266. LUT4_0_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

9.3.41 LUT4_1_CFG0 レジスタ (オフセット = 346h) [リセット = X0h]

LUT4_1_CFG0 を表 9-267 に示します。

概略表に戻ります。

LUT4_1/DFF16 構成 0

表 9-267. LUT4_1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

Copyright © 2026 Texas Instruments Incorporated

9.3.42 LUT4_1_CFG1 レジスタ (オフセット = 347h) [リセット = X0h]

LUT4_1_CFG1 を表 9-268 に示します。

概略表に戻ります。

LUT4_1/DFF16 構成 1

表 9-268. LUT4_1_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

9.3.43 LUT4_2_CFG0 レジスタ (オフセット = 348h) [リセット = X0h]

LUT4_2_CFG0 を表 9-269 に示します。

概略表に戻ります。

LUT4_2/DFF17 構成 0

表 9-269. LUT4_2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.44 LUT4_2_CFG1 レジスタ (オフセット = 349h) [リセット = X0h]

LUT4_2_CFG1 を表 9-270 に示します。

概略表に戻ります。

LUT4_2/DFF17 構成 1

表 9-270. LUT4_2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

9.3.45 LUT4_3_CFG0 レジスタ (オフセット = 34Ah) [リセット = X0h]

LUT4_3_CFG0 を表 9-271 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

LUT4_3/DFF18 構成 0

表 9-271. LUT4_3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.46 LUT4_3_CFG1 レジスタ (オフセット = 34Bh) [リセット = X0h]

LUT4_3_CFG1 を表 9-272 に示します。

概略表に戻ります。

LUT4_3/DFF18 構成 1

表 9-272. LUT4_3_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

9.3.47 LUT3_6_CFG0 レジスタ (オフセット = 354h) [リセット = X0h]

LUT3_6_CFG0 を表 9-273 に示します。

概略表に戻ります。

LDC0 構成 0

表 9-273. LUT3_6_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック

Copyright © 2026 Texas Instruments Incorporated

表 9-273. LUT3_6_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.48 LUT3_6_CFG1 レジスタ (オフセット = 355h) [リセット = X0h]

LUT3_6_CFG1 を表 9-274 に示します。

概略表に戻ります。

LDC0 構成 1

表 9-274. LUT3_6_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.49 LUT3_6_CFG2 レジスタ (オフセット = 356h) [リセット = X0h]

LUT3_6_CFG2 を表 9-275 に示します。

概略表に戻ります。

LDC0 構成 2

表 9-275. LUT3_6_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

Copyright © 2026 Texas Instruments Incorporated

9.3.50 LUT3_6_CFG3 レジスタ (オフセット = 357h) [リセット = X0h]

LUT3_6_CFG3 を表 9-276 に示します。

概略表に戻ります。

LDC0 構成 3

表 9-276. LUT3_6_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.51 LUT3_6_CFG4 レジスタ (オフセット = 358h) [リセット = XXh]

LUT3_6_CFG4 を表 9-277 に示します。

概略表に戻ります。

LDC0 構成 4

表 9-277. LUT3_6_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

9.3.52 LUT3_7_CFG0 レジスタ (オフセット = 359h) [リセット = X0h]

LUT3_7_CFG0 を表 9-278 に示します。

概略表に戻ります。

LDC1 構成 0

表 9-278. LUT3_7_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]

Copyright © 2026 Texas Instruments Incorporated

表 9-278. LUT3_7_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.53 LUT3_7_CFG1 レジスタ (オフセット = 35Ah) [リセット = X0h]

LUT3_7_CFG1 を表 9-279 に示します。

概略表に戻ります。

LDC1 構成 1

表 9-279. LUT3_7_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.54 LUT3_7_CFG2 レジスタ (オフセット = 35Bh) [リセット = X0h]

LUT3_7_CFG2 を表 9-280 に示します。

概略表に戻ります。

LDC1 構成 2

表 9-280. LUT3_7_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK

Copyright © 2026 Texas Instruments Incorporated

表 9-280. LUT3_7_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.55 LUT3_7_CFG3 レジスタ (オフセット = 35Ch) [リセット = X0h]

LUT3_7_CFG3 を表 9-281 に示します。

概略表に戻ります。

LDC1 構成 3

表 9-281. LUT3_7_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.56 LUT3_7_CFG4 レジスタ (オフセット = 35Dh) [リセット = XXh]

LUT3_7_CFG4 を表 9-282 に示します。

概略表に戻ります。

LDC1 構成 4

表 9-282. LUT3_7_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-282. LUT3_7_CFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

9.3.57 LUT3_8_CFG0 レジスタ (オフセット = 35Eh) [リセット = X0h]

LUT3_8_CFG0 を表 9-283 に示します。

概略表に戻ります。

LDC2 構成 0

表 9-283. LUT3_8_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.58 LUT3_8_CFG1 レジスタ (オフセット = 35Fh) [リセット = X0h]

LUT3_8_CFG1 を表 9-284 に示します。

概略表に戻ります。

LDC2 構成 1

表 9-284. LUT3_8_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.59 LUT3_8_CFG2 レジスタ (オフセット = 360h) [リセット = X0h]

LUT3_8_CFG2 を表 9-285 に示します。

概略表に戻ります。

LDC2 構成 2

Copyright © 2026 Texas Instruments Incorporated

表 9-285. LUT3_8_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.60 LUT3_8_CFG3 レジスタ (オフセット = 361h) [リセット = X0h]

LUT3_8_CFG3 を表 9-286 に示します。

概略表に戻ります。

LDC2 構成 3

表 9-286. LUT3_8_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.61 LUT3_8_CFG4 レジスタ (オフセット = 362h) [リセット = XXh]

LUT3_8_CFG4 を表 9-287 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

LDC2 構成 4

表 9-287. LUT3_8_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

9.3.62 LUT3_9_CFG0 レジスタ (オフセット = 363h) [リセット = X0h]

LUT3_9_CFG0 を表 9-288 に示します。

概略表に戻ります。

LDC3 構成 0

表 9-288. LUT3_9_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.63 LUT3_9_CFG1 レジスタ (オフセット = 364h) [リセット = X0h]

LUT3_9_CFG1 を表 9-289 に示します。

概略表に戻ります。

LDC3 構成 1

表 9-289. LUT3_9_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

Copyright © 2026 Texas Instruments Incorporated

9.3.64 LUT3_9_CFG2 レジスタ (オフセット = 365h) [リセット = X0h]

LUT3_9_CFG2 を表 9-290 に示します。

概略表に戻ります。

LDC3 構成 2

表 9-290. LUT3_9_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.65 LUT3_9_CFG3 レジスタ (オフセット = 366h) [リセット = X0h]

LUT3_9_CFG3 を表 9-291 に示します。

概略表に戻ります。

LDC3 構成 3

表 9-291. LUT3_9_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

Copyright © 2026 Texas Instruments Incorporated

9.3.66 LUT3_9_CFG4 レジスタ (オフセット = 367h) [リセット = XXh]

LUT3_9_CFG4 を表 9-292 に示します。

概略表に戻ります。

LDC3 構成 4

表 9-292. LUT3_9_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

9.3.67 LUT3_10_CFG0 レジスタ (オフセット = 372h) [リセット = X0h]

LUT3_10_CFG0 を表 9-293 に示します。

概略表に戻ります。

LDC4 構成 0

表 9-293. LUT3_10_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.68 LUT3_10_CFG1 レジスタ (オフセット = 373h) [リセット = X0h]

LUT3_10_CFG1 を表 9-294 に示します。

概略表に戻ります。

LDC4 構成 1

Copyright © 2026 Texas Instruments Incorporated

表 9-294. LUT3_10_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_7:0	R/W	Xh	CNT DATA[7:0]

9.3.69 LUT3_10_CFG2 レジスタ (オフセット = 374h) [リセット = X0h]

LUT3_10_CFG2 を表 9-295 に示します。

概略表に戻ります。

LDC4 構成 2

表 9-295. LUT3_10_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_15:8	R/W	Xh	CNT_DATA[15:8]

9.3.70 LUT3_10_CFG3 レジスタ (オフセット = 375h) [リセット = X0h]

LUT3_10_CFG3 を表 9-296 に示します。

概略表に戻ります。

LDC4 構成 3

表 9-296. LUT3_10_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.71 LUT3_10_CFG4 レジスタ (オフセット = 376h) [リセット = X0h]

LUT3_10_CFG4 を表 9-297 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

LDC4 構成 4

表 9-297. LUT3_10_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.72 LUT3_10_CFG5 レジスタ (オフセット = 377h) [リセット = XXh]

LUT3_10_CFG5 を表 9-298 に示します。

概略表に戻ります。

LDC4 構成 5

表 9-298. LUT3_10_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

9.3.73 LUT3_11_CFG0 レジスタ (オフセット = 378h) [リセット = X0h]

LUT3_11_CFG0 を表 9-299 に示します。

概略表に戻ります。

LDC5 構成 0

表 9-299. LUT3_11_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High

Copyright © 2026 Texas Instruments Incorporated

表 9-299. LUT3_11_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

9.3.74 LUT3_11_CFG1 レジスタ (オフセット = 379h) [リセット = X0h]

LUT3_11_CFG1 を表 9-300 に示します。

概略表に戻ります。

LDC5 構成 1

表 9-300. LUT3_11_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_7:0	R/W	Xh	CNT DATA[7:0]

9.3.75 LUT3_11_CFG2 レジスタ (オフセット = 37Ah) [リセット = X0h]

LUT3_11_CFG2 を表 9-301 に示します。

概略表に戻ります。

LDC5 構成 2

表 9-301. LUT3_11_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_15:8	R/W	Xh	CNT_DATA[15:8]

9.3.76 LUT3_11_CFG3 レジスタ (オフセット = 37Bh) [リセット = X0h]

LUT3_11_CFG3 を表 9-302 に示します。

概略表に戻ります。

LDC5 構成 3

Copyright © 2026 Texas Instruments Incorporated

表 9-302. LUT3_11_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.77 LUT3_11_CFG4 レジスタ (オフセット = 37Ch) [リセット = X0h]

LUT3_11_CFG4 を表 9-303 に示します。

概略表に戻ります。

LDC5 構成 4

表 9-303. LUT3_11_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.78 LUT3_11_CFG5 レジスタ (オフセット = 37Dh) [リセット = XXh]

LUT3_11_CFG5 を表 9-304 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

LDC5 構成 5

表 9-304. LUT3_11_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

9.3.79 CNT6_FSM0_CFG0 レジスタ (オフセット = 37Eh) [リセット = X0h]

CNT6_FSM0_CFG0 を表 9-305 に示します。

概略表に戻ります。

表 9-305. CNT6_FSM0_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.80 CNT6_FSM0_CFG1 レジスタ (オフセット = 37Fh) [リセット = X0h]

CNT6_FSM0_CFG1 を表 9-306 に示します。

概略表に戻ります。

表 9-306. CNT6_FSM0_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK

Copyright © 2026 Texas Instruments Incorporated

表 9-306. CNT6_FSM0_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.81 CNT6_FSM0_CFG2 レジスタ (オフセット = 380h) [リセット = 0Xh]

CNT6_FSM0_CFG2 を表 9-307 に示します。

概略表に戻ります。

表 9-307. CNT6_FSM0_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.82 CNT7_FSM1_CFG0 レジスタ (オフセット = 381h) [リセット = X0h]

CNT7_FSM1_CFG0 を表 9-308 に示します。

概略表に戻ります。

表 9-308. CNT7_FSM1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.83 CNT7_FSM1_CFG1 レジスタ (オフセット = 382h) [リセット = X0h]

CNT7_FSM1_CFG1 を表 9-309 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-309. CNT7_FSM1_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.84 CNT7_FSM1_CFG2 レジスタ (オフセット = 383h) [リセット = 0Xh]

CNT7_FSM1_CFG2 を表 9-310 に示します。

概略表に戻ります。

表 9-310. CNT7_FSM1_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.85 CNT8_FSM2_CFG0 レジスタ (オフセット = 384h) [リセット = X0h]

CNT8_FSM2_CFG0 を表 9-311 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

表 9-311. CNT8_FSM2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.86 CNT8_FSM2_CFG1 レジスタ (オフセット = 385h) [リセット = X0h]

CNT8_FSM2_CFG1 を表 9-312 に示します。

概略表に戻ります。

表 9-312. CNT8_FSM2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

9.3.87 CNT8_FSM2_CFG2 レジスタ (オフセット = 386h) [リセット = 0Xh]

CNT8_FSM2_CFG2 を表 9-313 に示します。

概略表に戻ります。

表 9-313. CNT8_FSM2_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-313. CNT8_FSM2_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.88 CNT9_FSM3_CFG0 レジスタ (オフセット = 387h) [リセット = X0h]

CNT9_FSM3_CFG0 を表 9-314 に示します。

概略表に戻ります。

表 9-314. CNT9_FSM3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

9.3.89 CNT9_FSM3_CFG1 レジスタ (オフセット = 388h) [リセット = X0h]

CNT9_FSM3_CFG1 を表 9-315 に示します。

概略表に戻ります。

表 9-315. CNT9_FSM3_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延/ 立ち下がりエッジ 2h = 遅延/ 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット/ 立ち下がりエッジ 5h = ワンショット/ 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出/ 立ち下がりエッジ 8h = 周波数検出/ 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出/ 立ち下がりエッジ Bh = エッジ検出/ 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ/ 立ち下がりエッジ Eh = カウンタ/ 立ち上がりエッジ Fh = カウンタ / High レベル リセット

Copyright © 2026 Texas Instruments Incorporated

9.3.90 CNT9_FSM3_CFG2 レジスタ (オフセット = 389h) [リセット = 0Xh]

CNT9_FSM3_CFG2 を表 9-316 に示します。

概略表に戻ります。

表 9-316. CNT9_FSM3_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h=反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

9.3.91 PWM_GEN0_CFG レジスタ (オフセット = 38Ah) [リセット = X0h]

PWM_GEN0_CFG を表 9-317 に示します。

概略表に戻ります。

表 9-317. PWM_GEN0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

9.3.92 PWM_GEN1_CFG レジスタ (オフセット = 38Bh) [リセット = X0h]

PWM_GEN1_CFG を表 9-318 に示します。

概略表に戻ります。

表 9-318. PWM_GEN1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK

Copyright © 2026 Texas Instruments Incorporated

表 9-318. PWM_GEN1_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

9.3.93 PWM_GEN2_CFG レジスタ (オフセット = 38Ch) [リセット = X0h]

PWM_GEN2_CFG を表 9-319 に示します。

概略表に戻ります。

表 9-319. PWM_GEN2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

9.3.94 PWM_GEN3_CFG レジスタ (オフセット = 38Dh) [リセット = X0h]

PWM_GEN3_CFG を表 9-320 に示します。

概略表に戻ります。

表 9-320. PWM_GEN3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

9.3.95 PWM_SRC_CFG レジスタ (オフセット = 38Eh) [リセット = X0h]

表 9-321 に、PWM_SRC_CFG を示します。

概略表に戻ります。

表 9-321. PWM_SRC_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	PWM_GEN3_DATA_SEL	R/W	0h	PWM3 DATA ソース選択 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3

Copyright © 2026 Texas Instruments Incorporated

表 9-321. PWM_SRC_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	PWM_GEN2_DATA_SEL	R/W	0h	PWM2 DATA ソース選択 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
3:2	PWM_GEN1_DATA_SEL	R/W	Xh	PWM1 DATA ソース選択 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
1:0	PWM_GEN0_DATA_SEL	R/W	Xh	PWM0 DATA ソース選択 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3

9.3.96 SM_CFG0 レジスタ (オフセット = 38Fh) [リセット = XXh]

SM_CFG0 を表 9-322 に示します。

概略表に戻ります。

表 9-322. SM_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S1_IN0	R/W	Xh	STATE1 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S0_IN0	R/W	Xh	STATE0 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.97 SM_CFG1 レジスタ (オフセット = 390h) [リセット = XXh]

SM_CFG1 を表 9-323 に示します。

概略表に戻ります。

表 9-323. SM_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S1_IN1	R/W	Xh	STATE1 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-323. SM_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	SM_S0_IN1	R/W	Xh	STATE0 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.98 SM_CFG2 レジスタ (オフセット = 391h) [リセット = XXh]

SM_CFG2 を表 9-324 に示します。

概略表に戻ります。

表 9-324. SM_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S1_IN2	R/W	Xh	STATE1 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S0_IN2	R/W	Xh	STATE0 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.99 SM_CFG3 レジスタ (オフセット = 392h) [リセット = XXh]

SM_CFG3 を表 9-325 に示します。

概略表に戻ります。

表 9-325. SM_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S3_IN0	R/W	Xh	STATE3 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S2_IN0	R/W	Xh	STATE2 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

Copyright © 2026 Texas Instruments Incorporated

9.3.100 SM_CFG4 レジスタ (オフセット = 393h) [リセット = XXh]

SM_CFG4 を表 9-326 に示します。

概略表に戻ります。

表 9-326. SM_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S3_IN1	R/W	Xh	STATE3 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S2_IN1	R/W	Xh	STATE2 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.101 SM_CFG5 レジスタ (オフセット = 394h) [リセット = XXh]

SM_CFG5 を表 9-327 に示します。

概略表に戻ります。

表 9-327. SM_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S3_IN2	R/W	Xh	STATE3 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S2_IN2	R/W	Xh	STATE2 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.102 SM_CFG6 レジスタ (オフセット = 395h) [リセット = XXh]

SM_CFG6 を表 9-328 に示します。

概略表に戻ります。

表 9-328. SM_CFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-328. SM_CFG6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:4	SM_S5_IN0	R/W	Xh	STATE5 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S4_IN0	R/W	Xh	STATE4 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.103 SM_CFG7 レジスタ (オフセット = 396h) [リセット = XXh]

SM_CFG7 を表 9-329 に示します。

概略表に戻ります。

表 9-329. SM_CFG7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S5_IN1	R/W	Xh	STATE5 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S4_IN1	R/W	Xh	STATE4 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.104 SM_CFG8 レジスタ (オフセット = 397h) [リセット = XXh]

SM_CFG8 を表 9-330 に示します。

概略表に戻ります。

表 9-330. SM_CFG8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S5_IN2	R/W	Xh	STATE5 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-330. SM_CFG8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	SM_S4_IN2	R/W	Xh	STATE4 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.105 SM_CFG9 レジスタ (オフセット = 398h) [リセット = XXh]

SM_CFG9 を表 9-331 に示します。

概略表に戻ります。

表 9-331. SM_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S7_IN0	R/W	Xh	STATE7 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S6_IN0	R/W	Xh	STATE6 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.106 SM_CFG10 レジスタ (オフセット = 399h) [リセット = XXh]

SM_CFG10 を表 9-332 に示します。

概略表に戻ります。

表 9-332. SM_CFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S7_IN1	R/W	Xh	STATE7 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S6_IN1	R/W	Xh	STATE6 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

Copyright © 2026 Texas Instruments Incorporated

9.3.107 SM_CFG11 レジスタ (オフセット = 39Ah) [リセット = 0Xh]

SM_CFG11 を表 9-333 に示します。

概略表に戻ります。

表 9-333. SM_CFG11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SM_SYNC_EN	R/W	0h	ステート マシンの同期モードでクロック同期を有効にする 0h=ディセーブル 1h = イネーブル
6:4	SM_S7_IN2	R/W	0h	STATE7 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S6_IN2	R/W	Xh	STATE6 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.108 SM_CFG12 レジスタ (オフセット = 3A7h) [リセット = X0h]

SM_CFG12 を表 9-334 に示します。

概略表に戻ります。

表 9-334. SM_CFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SM_CLK_SEL	R/W	0h	ステート マシン CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3	SM_MODE	R/W	Xh	ステート マシンの同期モード選択 0h = 非同期 1h = 同期
2:0	SM_INIT_STATE	R/W	Xh	ステート マシンの初期状態選択 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

9.3.109 SM_CFG13 レジスタ (オフセット = 3A8h) [リセット = X0h]

SM_CFG13 を表 9-335 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

表 9-335. SM_CFG13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S0_OUT_CFG	R/W	Xh	

9.3.110 SM_CFG14 レジスタ (オフセット = 3A9h) [リセット = X0h]

SM_CFG14 を表 9-336 に示します。

概略表に戻ります。

表 9-336. SM_CFG14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S1_OUT_CFG	R/W	Xh	

9.3.111 SM_CFG15 レジスタ (オフセット = 3AAh) [リセット = X0h]

SM_CFG15 を表 9-337 に示します。

概略表に戻ります。

表 9-337. SM_CFG15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S2_OUT_CFG	R/W	Xh	

9.3.112 SM_CFG16 レジスタ (オフセット = 3ABh) [リセット = X0h]

SM_CFG16 を表 9-338 に示します。

概略表に戻ります。

表 9-338. SM_CFG16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S3_OUT_CFG	R/W	Xh	

9.3.113 SM_CFG17 レジスタ (オフセット = 3ACh) [リセット = X0h]

SM_CFG17 を表 9-339 に示します。

概略表に戻ります。

表 9-339. SM_CFG17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S4_OUT_CFG	R/W	Xh	

9.3.114 SM_CFG18 レジスタ (オフセット = 3ADh) [リセット = X0h]

SM_CFG18 を表 9-340 に示します。

概略表に戻ります。

表 9-340. SM_CFG18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S5_OUT_CFG	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

9.3.115 SM_CFG19 レジスタ (オフセット = 3AEh) [リセット = X0h]

SM_CFG19 を表 9-341 に示します。

概略表に戻ります。

表 9-341. SM_CFG19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S6_OUT_CFG	R/W	Xh	

9.3.116 SM_CFG20 レジスタ (オフセット = 3AFh) [リセット = X0h]

SM_CFG20 を表 9-342 に示します。

概略表に戻ります。

表 9-342. SM_CFG20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	S7_OUT_CFG	R/W	Xh	

9.3.117 WDT_CFG0 レジスタ (オフセット = 3B8h) [リセット = X0h]

WDT_CFG0 を表 9-343 に示します。

概略表に戻ります。

表 9-343. WDT_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	WDT_TIMEOUT_DATA	R/W	Xh	WDT タイムアウト期間カウンタ データ

9.3.118 WDT_CFG1 レジスタ (オフセット = 3B9h) [リセット = X0h]

WDT_CFG1 を表 9-344 に示します。

概略表に戻ります。

表 9-344. WDT_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	WDT_OUT_DATA	R/W	Xh	WDT 出力周期カウンタ データ

9.3.119 WDT_CFG2 レジスタ (オフセット = 3BAh) [リセット = 0Xh]

WDT_CFG2 を表 9-345 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-345. WDT_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	WDT_CLK_SEL	R/W	0h	WDT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:2	予約済み	R	0h	予約済み
1	WDT_100X_EN	R/W	Xh	WDT 100X CLK 逓倍器 EN 0h=ディセーブル 1h = イネーブル
0	WDT_EN_SEL	R/W	Xh	WDT EN 機能選択 0h = CNT をリセット 1h = CNT を一時停止

9.3.120 PFLT0_CFG レジスタ (オフセット = 3BBh) [リセット = XXh]

PFLT0_CFG を表 9-346 に示します。

概略表に戻ります。

表 9-346. PFLT0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:4	PFLT_DLY_SEL	R/W	Xh	プログラマブルフィルタ遅延値の選択 0h = 125ns 1h = 250ns 2h = 375ns 3h = 500ns
3	PFLT_POL	R/W	Xh	プログラマブルフィルタ出力極性の選択 0h = 非反転型 1h=反転
2	予約済み	R	0h	予約済み
1:0	PFLT_EDGE_SEL	R/W	Xh	プログマラブル フィルタ エッジ選択 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ 2h = 両方のエッジ 3h = フィルタ

9.3.121 PFLT1_CFG レジスタ (オフセット = 3BCh) [リセット = XXh]

PFLT1_CFG を表 9-347 に示します。

概略表に戻ります。

表 9-347. PFLT1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:4	PFLT_DLY_SEL	R/W	Xh	プログラマブルフィルタ遅延値の選択 0h = 125ns 1h = 250ns 2h = 375ns 3h = 500ns
3	PFLT_POL	R/W	Xh	プログラマブルフィルタ出力極性の選択 0h = 非反転型 1h=反転
2	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-347. PFLT1_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	PFLT_EDGE_SEL	R/W	Xh	プログマラブル フィルタ エッジ選択 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ 2h = 両方のエッジ 3h = フィルタ

9.3.122 FILT_CFG Register (オフセット = 3BDh) [リセット = 0Xh]

表 9-348 に、FILT_CFG を示します。

概略表に戻ります。

表 9-348. FILT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	FLT_POL	R/W	Xh	フィルタ出力極性の選択 0h = 非反転型 1h=反転
2	OTP_SPARE	R	0h	SPARE
1:0	FLT_EDGE_SEL	R/W	Xh	フィルタ/ エッジ検出エッジの選択 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ 2h = 両方のエッジ 3h = フィルタ

9.3.123 OSC0_CFG0 レジスタ (オフセット = 3BEh) [リセット = XXh]

OSC0_CFG0 を表 9-349 に示します。

概略表に戻ります。

表 9-349. OSC0_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CTRL_SRC	R/W	Xh	OSC 電源制御ソースの選択 0h =レジスタから 1h = CMX から
5	CTRL_SEL	R/W	Xh	OSC 電源制御極性の選択 0h = パワーダウン (Low で OSC をイネーブル、High で OSC をディセーブル) 1h = 予約済み
4	SRC_SEL	R/W	Xh	OSC 周波数ソース選択 0h = 内部 OSC 1h = 外部クロック
3:2	PDIV	R/W	Xh	OSC プリデバイダの選択 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	予約済み	R	0h	予約済み
0	PWR_MODE	R/W	Xh	OSC 電力モードの選択 0h = 自動パワー オン 1h = 強制パワー オン

9.3.124 OSC0_CFG1 レジスタ (オフセット = 3BFh) [リセット = X0h]

OSC0_CFG1 を表 9-350 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-350. OSC0_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT1_EN	R/W	0h	OSC OUT1 イネーブル 0h=ディセーブル 1h = イネーブル
6:4	OUT1_DIV	R/W	0h	OSC OUT1 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64
3	OUT0_EN	R/W	Xh	OSC OUT0 イネーブル 0h=ディセーブル 1h = イネーブル
2:0	OUT0_DIV	R/W	Xh	OSC OUT0 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

9.3.125 OSC1_CFG0 レジスタ (オフセット = 3C0h) [リセット = XXh]

OSC1_CFG0 を表 9-351 に示します。

概略表に戻ります。

表 9-351. OSC1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CTRL_SRC	R/W	Xh	OSC 電源制御ソースの選択 0h =レジスタから 1h = CMX から
5	CTRL_SEL	R/W	Xh	OSC 電源制御極性の選択 0h = パワーダウン (Low で OSC をイネーブル、High で OSC をディセーブル) 1h = 予約済み
4	SRC_SEL	R/W	Xh	OSC 周波数ソース選択 0h = 内部 OSC 1h = 外部クロック
3:2	PDIV	R/W	Xh	OSC プリデバイダの選択 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	予約済み	R	0h	予約済み
0	PWR_MODE	R/W	Xh	OSC 電力モードの選択 0h = 自動パワー オン 1h = 強制パワー オン

9.3.126 OSC1_CFG1 レジスタ (オフセット = 3C1h) [リセット = X0h]

OSC1_CFG1 を表 9-352 に示します。

概略表に戻ります。

表 9-352. OSC1_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT1_EN	R/W	0h	OSC OUT1 イネーブル 0h=ディセーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 9-352. OSC1_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:4	OUT1_DIV	R/W	0h	OSC OUT1 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64
3	OUT0_EN	R/W	Xh	OSC OUT0 イネーブル 0h=ディセーブル 1h = イネーブル
2:0	OUT0_DIV	R/W	Xh	OSC OUT0 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

9.3.127 OSC2_CFG0 レジスタ (オフセット = 3C2h) [リセット = 0Xh]

OSC2_CFG0 を表 9-353 に示します。

概略表に戻ります。

表 9-353. OSC2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SU_DLY	R/W	0h	OSC スタートアップ遅延制御 0h = イネーブル 1h=ディセーブル
6	CTRL_SRC	R/W	0h	OSC 電源制御ソースの選択 0h =レジスタから 1h = CMX から
5	CTRL_SEL	R/W	0h	OSC 電源制御極性の選択 0h = パワーダウン (Low で OSC をイネーブル、High で OSC をディセーブル) 1h = 予約済み
4	SRC_SEL	R/W	0h	OSC 周波数ソース選択 0h = 内部 OSC 1h = 外部クロック
3:2	PDIV	R/W	0h	OSC プリデバイダの選択 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	予約済み	R	0h	予約済み
0	PWR_MODE	R/W	Xh	OSC 電力モードの選択 0h = 自動パワー オン 1h = 強制パワー オン

9.3.128 OSC2_CFG1 レジスタ (オフセット = 3C3h) [リセット = 0Xh]

OSC2_CFG1 を表 9-354 に示します。

概略表に戻ります。

表 9-354. OSC2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	OUT_EN	R/W	Xh	OSC 出力イネーブル 0h=ディセーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 9-354. OSC2_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	OUT_DIV	R/W	Xh	OSC OUT 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

9.3.129 ACMP0_CFG0 レジスタ (オフセット = 3C6h) [リセット = X0h]

ACMP0_CFG0 を表 9-355 に示します。

概略表に戻ります。

表 9-355. ACMP0_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.130 ACMP0_CFG1 レジスタ (オフセット = 3C7h) [リセット = XXh]

ACMP0_CFG1 を表 9-356 に示します。

概略表に戻ります。

表 9-356. ACMP0_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-356. ACMP0_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

9.3.131 ACMP1_CFG0 レジスタ (オフセット = 3C8h) [リセット = X0h]

ACMP1_CFG0 を表 9-357 に示します。

概略表に戻ります。

表 9-357. ACMP1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-357. ACMP1_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.132 ACMP1_CFG1 レジスタ (オフセット = 3C9h) [リセット = XXh]

ACMP1_CFG1 を表 9-358 に示します。

概略表に戻ります。

表 9-358. ACMP1_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-358. ACMP1_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

9.3.133 ACMP2_CFG0 レジスタ (オフセット = 3CAh) [リセット = X0h]

ACMP2_CFG0 を表 9-359 に示します。

概略表に戻ります。

表 9-359. ACMP2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-359. ACMP2_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.134 ACMP2_CFG1 レジスタ (オフセット = 3CBh) [リセット = XXh]

ACMP2_CFG1 を表 9-360 に示します。

概略表に戻ります。

表 9-360. ACMP2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-360. ACMP2_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

9.3.135 ACMP3_CFG0 レジスタ (オフセット = 3CCh) [リセット = X0h]

ACMP3_CFG0 を表 9-361 に示します。

概略表に戻ります。

表 9-361. ACMP3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-361. ACMP3_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.136 ACMP3_CFG1 レジスタ (オフセット = 3CDh) [リセット = XXh]

ACMP3_CFG1 を表 9-362 に示します。

概略表に戻ります。

表 9-362. ACMP3_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

表 9-362. ACMP3_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

9.3.137 MCACMP_CFG0 レジスタ (オフセット = 3CFh) [リセット = 0Xh]

MCACMP_CFG0 を表 9-363 に示します。

概略表に戻ります。

表 9-363. MCACMP_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TS_INP_EN	R/W	0h	McACMP への温度センサ入力イネーブル 0h=ディセーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 9-363. MCACMP_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	VCC_INP_EN	R/W	0h	McACMP への VCC 入力イネーブル 0h=ディセーブル 1h = イネーブル
5	SYNC_EN	R/W	0h	McACMP 出力同期の選択 0h = 非同期 1h = 同期
4	MCS_MODE	R/W	0h	McACMP トリガ モードの選択 0h = レベル センシティブ EN モード 1h = エッジ センシティブ EN モード
3:2	CH_EN	R/W	0h	サンプリングされたチャネル数選択 0h = 1 チャネル 1h = 2 チャネル 2h = 3 チャネル 3h = 4 チャネル
1	予約済み	R	0h	予約済み
0	MCS_EN	R/W	Xh	サンプリング モードの選択 0h = 通常モード (シングル チャネル) 1h = マルチチャネル モード

9.3.138 MCACMP_CFG1 レジスタ (オフセット = 3D0h) [リセット = 0Xh]

MCACMP_CFG1 を表 9-364 に示します。

概略表に戻ります。

表 9-364. MCACMP_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	McACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み
5:3	予約済み	R	0h	予約済み
2	EDGE_SEL	R/W	Xh	McACMP サンプリング エッジの選択 0h = CLK の負のエッジでサンプル 1h = CLK の立ち上がりエッジでサンプル
1:0	MCS_CLK_SEL	R/W	Xh	McACMP CLK 選択 0h = OSC1 (2MHz) / 20 1h = OSC1 / 40 2h = OSC0 (2kHz) 3h = OSC0 / 2

9.3.139 MCACMP_CH0_CFG0 レジスタ (オフセット = 3D1h) [リセット = XXh]

MCACMP_CH0_CFG0 を表 9-365 に示します。

概略表に戻ります。

表 9-365. MCACMP_CH0_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RST_EN	R/W	Xh	McACMP CH0 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH0 の入力ソースの選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH0 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X

Copyright © 2026 Texas Instruments Incorporated

表 9-365. MCACMP_CH0_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	HYS_SEL	R/W	Xh	McACMP CH0 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.140 MCACMP_CH0_CFG1 レジスタ (オフセット = 3D2h) [リセット = X0h]

MCACMP_CH0_CFG1 を表 9-366 に示します。

概略表に戻ります。

表 9-366. MCACMP_CH0_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-366. MCACMP_CH0_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	McACMP CH0_0 VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

9.3.141 MCACMP_CH0_CFG2 レジスタ (オフセット = 3D3h) [リセット = XXh]

MCACMP_CH0_CFG2 を表 9-367 に示します。

概略表に戻ります。

表 9-367. MCACMP_CH0_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH0_1 VREF 選択 (CH0_0 と同じオプション)

Copyright © 2026 Texas Instruments Incorporated

9.3.142 MCACMP_CH1_CFG0 レジスタ (オフセット = 3D6h) [リセット = XXh]

MCACMP_CH1_CFG0 を表 9-368 に示します。

概略表に戻ります。

表 9-368. MCACMP_CH1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RST_EN	R/W	Xh	McACMP CH1 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH1 の入力ソースの選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH1 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH1 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.143 MCACMP_CH1_CFG1 レジスタ (オフセット = 3D7h) [リセット = X0h]

MCACMP_CH1_CFG1 を表 9-369 に示します。

概略表に戻ります。

表 9-369. MCACMP_CH1_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み
5:0	VREF_SEL	R/W	Xh	McACMP CH1_0 VREF 選択 (CH0_0 と同じオプション)

9.3.144 MCACMP_CH1_CFG2 レジスタ (オフセット = 3D8h) [リセット = XXh]

MCACMP_CH1_CFG2 を表 9-370 に示します。

概略表に戻ります。

表 9-370. MCACMP_CH1_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH1_1 VREF 選択 (CH0_0 と同じオプション)

9.3.145 MCACMP_CH2_CFG0 レジスタ (オフセット = 3DBh) [リセット = XXh]

MCACMP_CH2_CFG0 を表 9-371 に示します。

概略表に戻ります。

表 9-371. MCACMP_CH2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-371. MCACMP_CH2_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	RST_EN	R/W	Xh	McACMP CH2 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH2 の入力ソースの選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH2 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH2 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.146 MCACMP_CH2_CFG1 レジスタ (オフセット = 3DCh) [リセット = X0h]

MCACMP_CH2_CFG1 を表 9-372 に示します。

概略表に戻ります。

表 9-372. MCACMP_CH2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み
5:0	VREF_SEL	R/W	Xh	McACMP CH2_0 VREF 選択 (CH0_0 と同じオプション)

9.3.147 MCACMP_CH2_CFG2 レジスタ (オフセット = 3DDh) [リセット = XXh]

MCACMP_CH2_CFG2 を表 9-373 に示します。

概略表に戻ります。

表 9-373. MCACMP_CH2_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH2_1 VREF 選択 (CH0_0 と同じオプション)

9.3.148 MCACMP_CH3_CFG0 レジスタ (オフセット = 3E0h) [リセット = XXh]

MCACMP_CH3_CFG0 を表 9-374 に示します。

概略表に戻ります。

表 9-374. MCACMP_CH3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RST_EN	R/W	Xh	McACMP CH3 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH3 入力ソース選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)

Copyright © 2026 Texas Instruments Incorporated

表 9-374. MCACMP_CH3_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	GAIN_SEL	R/W	Xh	McACMP CH3 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH3 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

9.3.149 MCACMP_CH3_CFG1 レジスタ (オフセット = 3E1h) [リセット = X0h]

MCACMP_CH3_CFG1 を表 9-375 に示します。

概略表に戻ります。

表 9-375. MCACMP_CH3_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み
5:0	VREF_SEL	R/W	Xh	McACMP CH3_0 VREF 選択 (CH0_0 と同じオプション)

9.3.150 MCACMP_CH3_CFG2 レジスタ (オフセット = 3E2h) [リセット = XXh]

MCACMP_CH3_CFG2 を表 9-376 に示します。

概略表に戻ります。

表 9-376. MCACMP_CH3_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH3_1 VREF 選択 (CH0_0 と同じオプション)

9.3.151 AMUX0_CFG レジスタ (オフセット = 3E5h) [リセット = 0Xh]

AMUX0_CFG を表 9-377 に示します。

概略表に戻ります。

表 9-377. AMUX0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	AMUX_EN	R/W	Xh	AMUX EN 0h=ディセーブル 1h = イネーブル

9.3.152 AMUX1_CFG レジスタ (オフセット = 3E6h) [リセット = 0Xh]

AMUX1_CFG を表 9-378 に示します。

概略表に戻ります。

表 9-378. AMUX1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-378. AMUX1_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	AMUX_EN	R/W	Xh	AMUX EN 0h=ディセーブル 1h = イネーブル

9.3.153 SER_COMM_CFG0 レジスタ (オフセット = 3F2h) [リセット = X0h]

SER_COMM_CFG0 を表 9-379 に示します。

概略表に戻ります。

表 9-379. SER_COMM_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	I2C_ADDR_SRC_SEL	R/W	0h	I2C HW アドレス ソース選択 (ビット単位) 0h = OTP 1h = IO
3	I2C_IO_LAT	R/W	Xh	I2C HW アドレス指定 IO ラッチ選択 0h = イネーブル 1h=ディセーブル
2	I2C_RST_EN	R/W	Xh	I2C グローバル リセット リスニング選択 0h=ディセーブル 1h = イネーブル
1	I2C_EN	R/W	Xh	I2C シリアル通信イネーブル選択 0h=ディセーブル 1h = イネーブル
0	SPI_EN	R/W	Xh	SPI シリアル通信イネーブルの選択 0h=ディセーブル 1h = イネーブル

9.3.154 SER_COMM_CFG1 レジスタ (オフセット = 3F3h) [リセット = 00h]

SER_COMM_CFG1 を表 9-380 に示します。

概略表に戻ります。

表 9-380. SER_COMM_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	I2C_ADDR_MSB	R/W	0h	I2C HW アドレス
3:1	I2C_ADDR_LSB	R/W	0h	I2C HW アドレス
0	予約済み	R	0h	予約済み

9.3.155 MISC_CFG0 レジスタ (オフセット = 3F7h) [リセット = 00h]

MISC_CFG0 を表 9-381 に示します。

概略表に戻ります。

表 9-381. MISC_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO_QC	R/W	0h	GPIO の高速充電制御 0h=ディセーブル 1h = イネーブル
6	CFG_RD_LCK	R/W	0h	CFG 読み取りロック制御 0h=ディセーブル 1h = イネーブル
5	CFG_WR_LCK	R/W	0h	CFG 書き込みロック制御 0h=ディセーブル 1h = イネーブル
4	OTP_WR_LCK	R/W	0h	OTP 書き込みロック制御 0h=ディセーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 9-381. MISC_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	USER_LCK	R/W	0h	ユーザー読み取り/書き込みロック制御 0h = 予約されておらず、読み取り専用でもないすべてのレジスタへの読み書き (R/W) 1 = カウンタ データ、ウォッチドッグ タイマ データ、およびパターン ジェネレータ レジスタに対してのみ R/W 実行 2h = ステート マシン レジスタのみに対して R/W 実行 3h = 電圧リファレンス選択レジスタのみに R/W 実行
1:0	予約済み	R	0h	予約済み

9.3.156 DEVICE_ID4 レジスタ (オフセット = 3FAh) [リセット = X0h]

DEVICE_ID4 を表 9-382 に示します。

概略表に戻ります。

表 9-382. DEVICE_ID4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID4	R	Xh	デバイス ID

9.3.157 DEVICE_ID5 レジスタ (オフセット = 3FBh) [リセット = X0h]

DEVICE_ID5 を表 9-383 に示します。

概略表に戻ります。

表 9-383. DEVICE_ID5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID5	R	Xh	デバイス ID

9.3.158 DEVICE_ID6 レジスタ (オフセット = 3FCh) [リセット = X0h]

DEVICE_ID6 を表 9-384 に示します。

概略表に戻ります。

表 9-384. DEVICE_ID6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID6	R	Xh	デバイス ID

9.3.159 DEVICE_ID7 レジスタ (オフセット = 3FDh) [リセット = X0h]

DEVICE_ID7 を表 9-385 に示します。

概略表に戻ります。

表 9-385. DEVICE_ID7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID7	R	Xh	デバイス ID

9.3.160 CRC_LSB レジスタ (オフセット = 3FEh) [リセット = X0h]

表 9-386 に、CRC_LSB を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-386. CRC_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CRC_LSB	R/W	Xh	2kB OTP の CRC LSB

9.3.161 CRC_MSB レジスタ (オフセット = 3FFh) [リセット = X0h]

表 9-387 に、CRC_MSB を示します。

概略表に戻ります。

表 9-387. CRC_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CRC_MSB	R/W	Xh	2kB OTP の CRC MSB

Copyright © 2026 Texas Instruments Incorporated

10 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

TPLD2001-Q1 の構成可能なロジックおよびタイミング ブロックにより、本デバイスは多数の部品に対称的なパワーアップ信号とパワーダウン信号を供給できます。このアプリケーションでは、デバイスはカウンタ / 遅延マクロセルに基づいて、パワーアップおよびパワーダウンのシーケンシング信号の最大量を出力するように構成されています。

10.2 代表的なアプリケーション

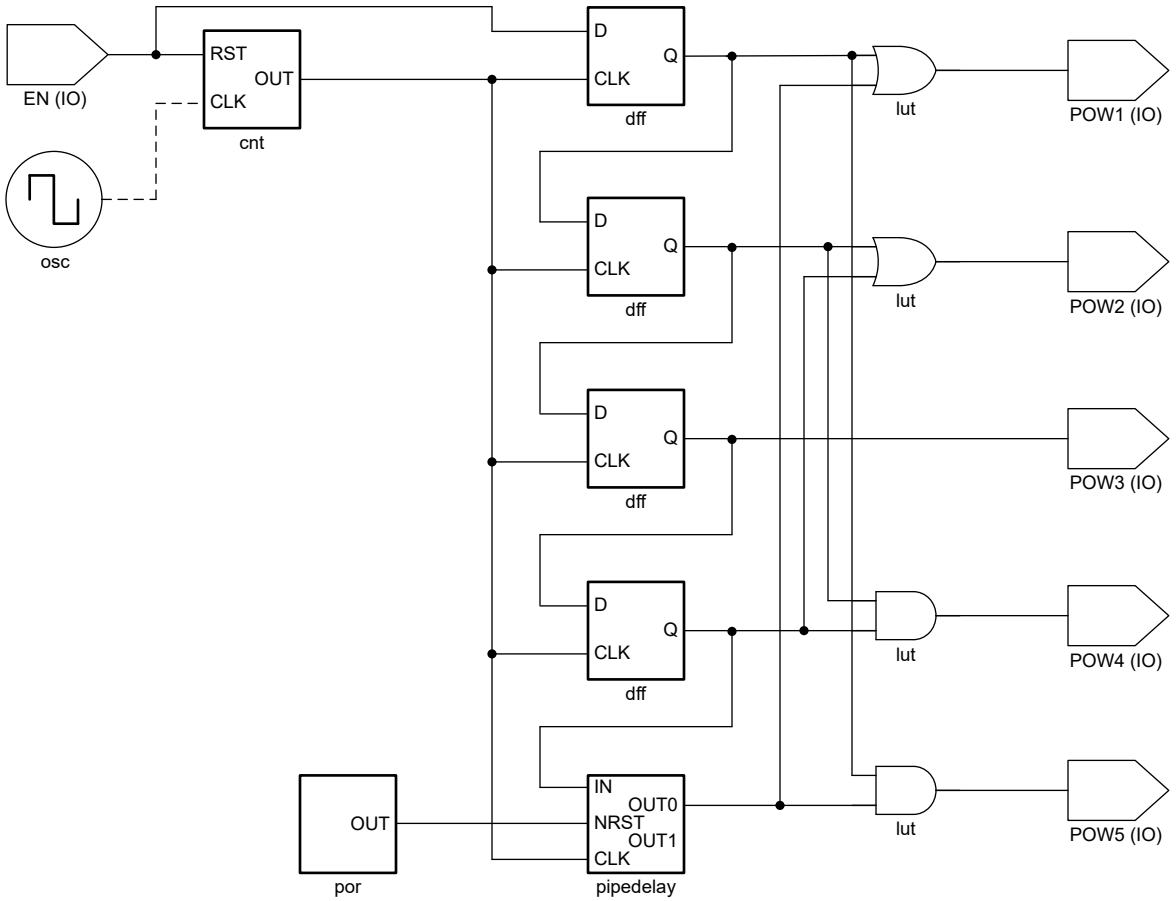


図 10-1. 代表的なアプリケーションのブロック図

10.2.1 設計要件

10.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

Copyright © 2026 Texas Instruments Incorporated

正電圧の電源は、TPLD2001-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、TPLD2001-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

TPLD2001-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 15pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、15pF を超えることは推奨しません。

TPLD2001-Q1 は、「電気的特性」表に定義されている出力電圧 (V_{OH} および V_{OL}) および電流で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

10.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ または $V_{t-(min)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ または $V_{t+(max)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗またはプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、TPLD2001-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

TPLD2001-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

TPLD2001-Q1 にはシュミット トリガ入力があるため、信号遷移レート要件なしで使うことができます。

シュミット トリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値がピーク ツー ピーク制限となります。

標準的な CMOS 入力とは異なり、シュミット トリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (標準値) を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

10.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を用いて出力 Low 電圧を生成します。出力に電流をシンクすると、「*電気的特性*」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

オープン ドレイン出力を互いに直接接続して、ワイヤード AND 構成を形成したり、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

10.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、TPLD2001-Q1 から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

10.2.3 アプリケーション曲線

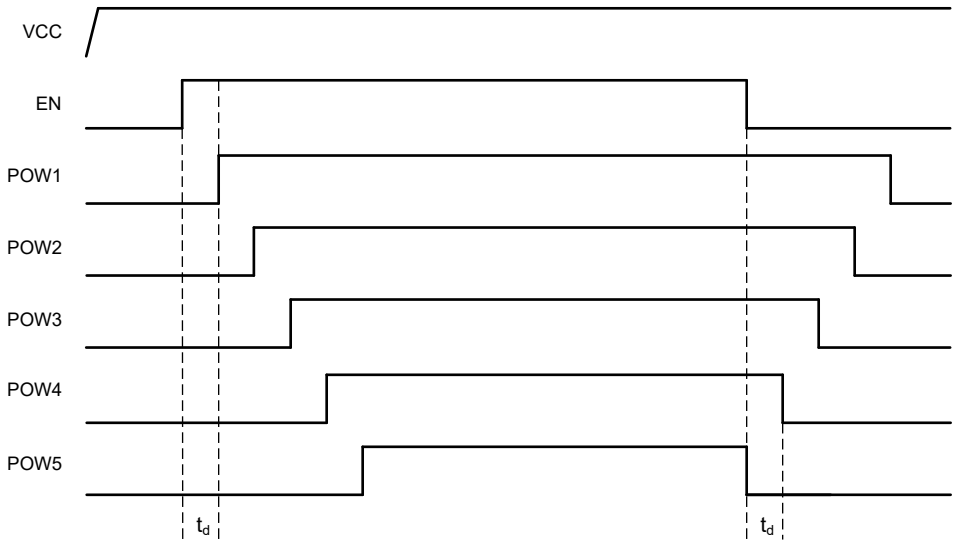


図 10-2. アプリケーション タイミング図

Copyright © 2026 Texas Instruments Incorporated

10.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。設計では、異なる周波数のノイズを除去するために、複数の並列バイパス コンデンサを組み込むことができます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

10.4 レイアウト

10.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2026 Texas Instruments Incorporated

10.4.2 レイアウト例

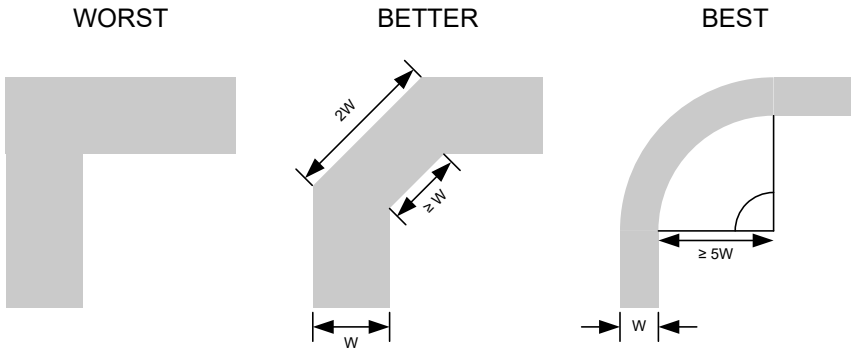


図 10-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

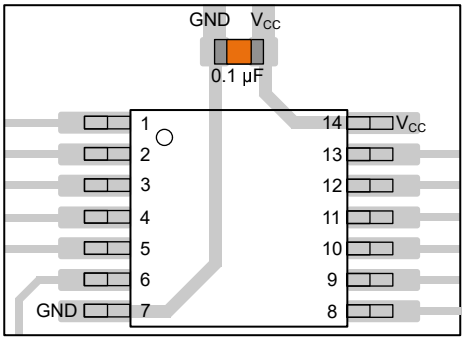


図 10-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

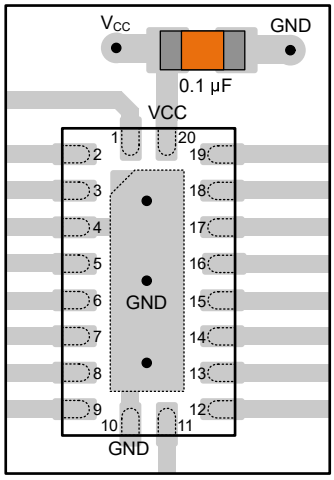


図 10-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

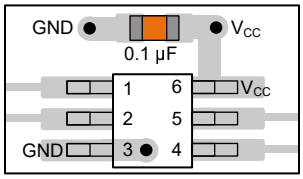


図 10-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

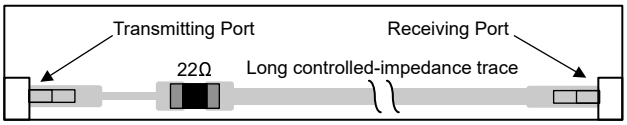


図 10-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2026 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2026) to Revision B (October 2026)	Page
• 推奨動作条件に IN0 の F_{IN_MAX} を追加	5

Changes from Revision * (July 2025) to Revision A (July 2026)	Page
• デバイスのステータスを「事前情報」から「量産データ」に更新。	1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPLD2001DGSRQ1	Active	Preproduction	VSSOP (DGS) | 20	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPLD2001DGSRQ1	Active	Production	VSSOP (DGS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TQ2001

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPLD2001-Q1 :

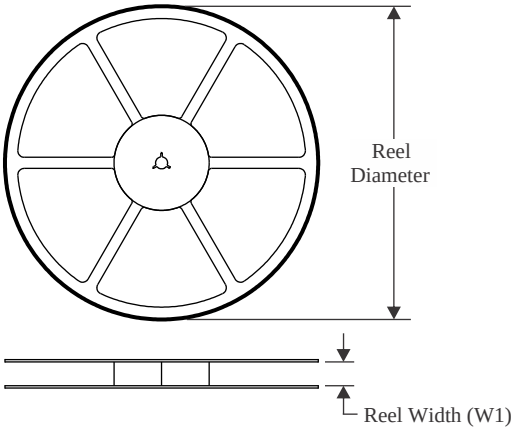
- Catalog : TPLD2001

NOTE: Qualified Version Definitions:

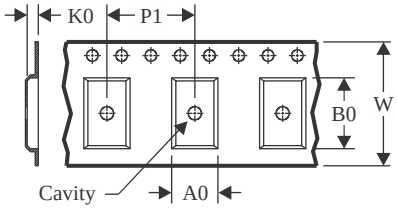
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

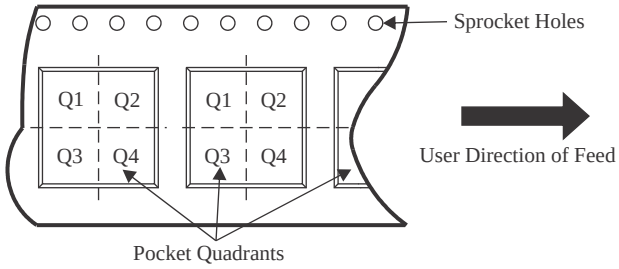


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

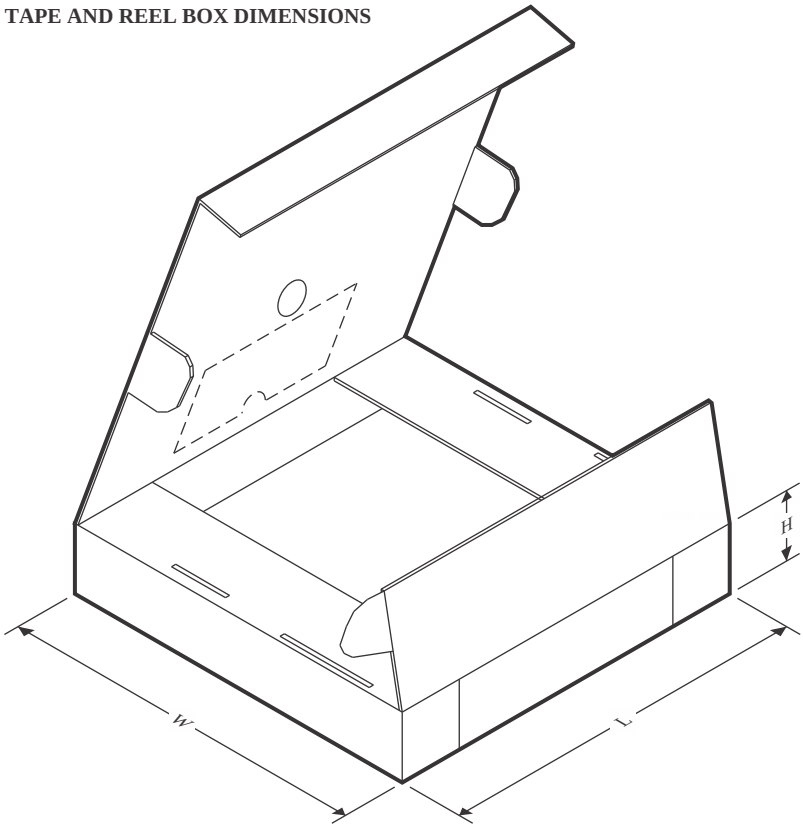
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPLD2001DGSRQ1	VSSOP	DGS	20	3000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

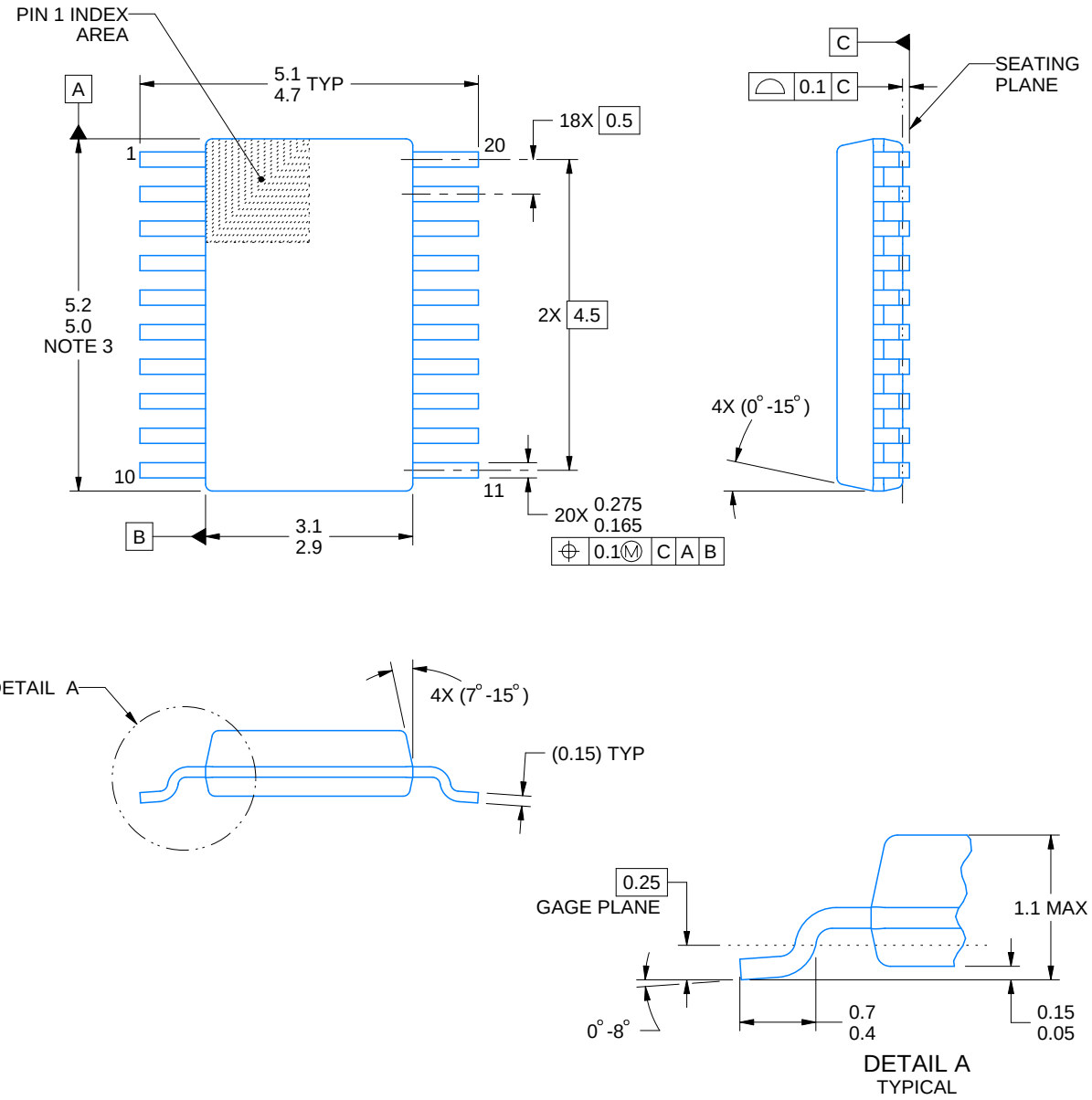
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPLD2001DGSRQ1	VSSOP	DGS	20	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

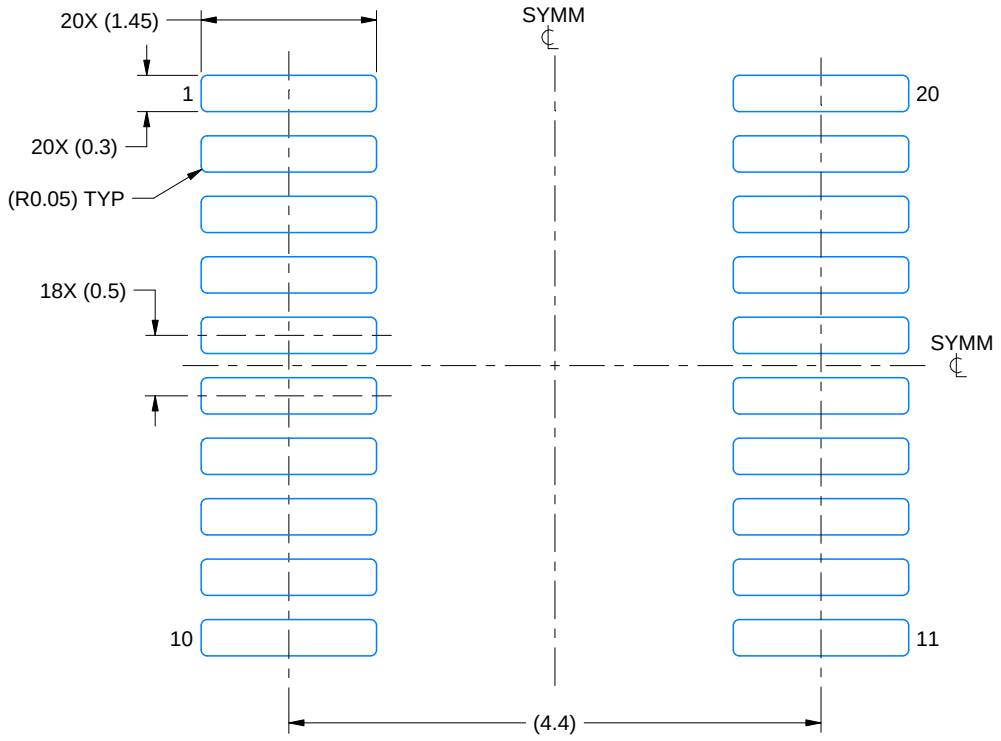
SMALL OUTLINE PACKAGE



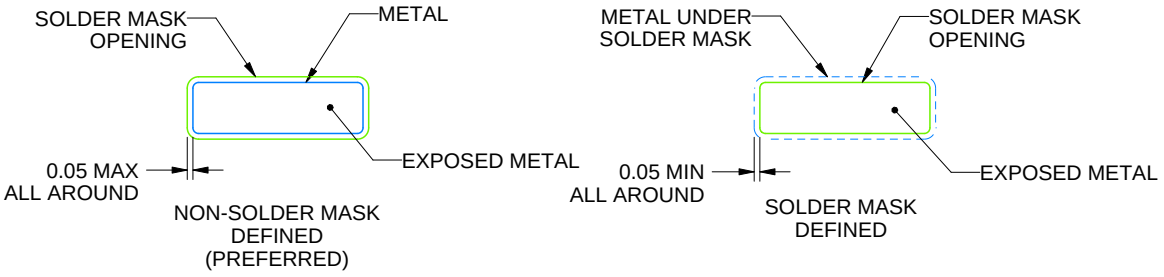
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

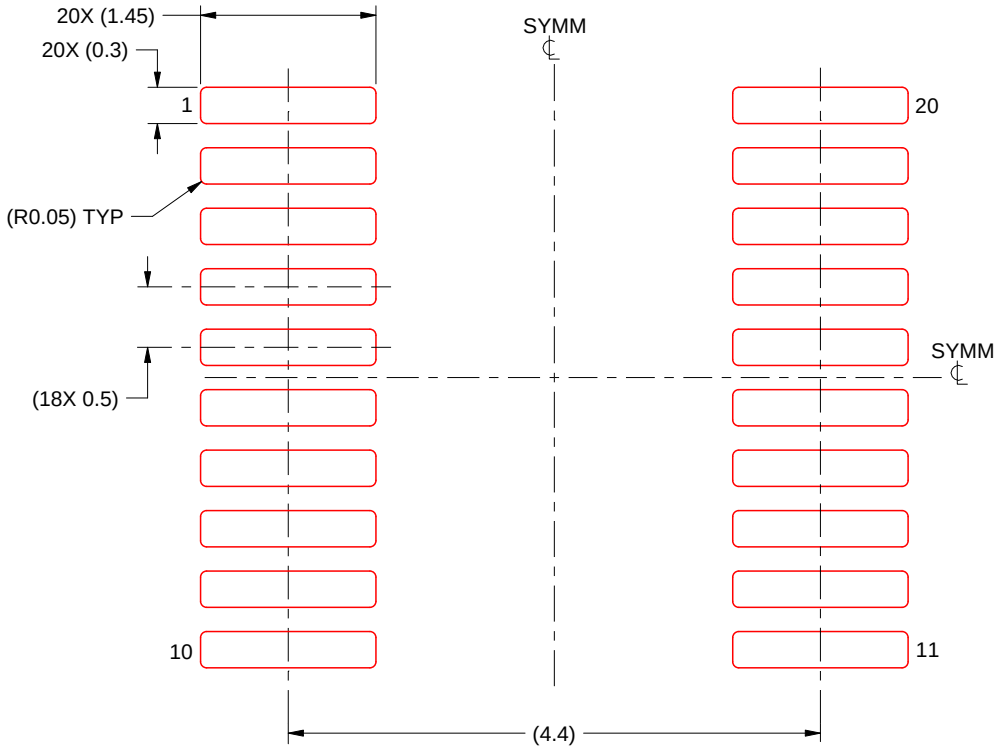


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月